

### 特長

プログラマブルな容量デジタル・コンバータ(CDC)

分解能:フェムトファラッド(fF)

容量センサー入力数: 8

更新レート: 25 ms (全 8 センサー入力)

外付け RC 部品不要

自動変換シーケンスを内蔵

自動キャリブレーション・ロジックを内蔵

環境変化に対する自動補償

自動適応型のスレッシュホールド・レベルと感度レベル

レジスタ・マップが AD7143 と互換

キャリブレーション・データを保存する RAM を内蔵

I<sup>2</sup>C 互換シリアル・インターフェース

シリアル・インターフェース用に別 V<sub>DRIVE</sub> レベルを使用

割込み出力

16 ピン 4 mm × 4 mm の LFCSP パッケージを採用

電源電圧: 2.6 V ~ 3.3 V

低動作電流

フルパワー・モード: 1 mA

低消費電力モード: 21.5 μA

### アプリケーション

携帯電話

パーソナル・ミュージック・プレイヤーおよびマルチメディア・プレイヤー

スマート・ハンドヘルド・デバイス

テレビ制御、AV 制御、リモート制御

ゲーム・コンソール

デジタル静止画カメラ

### 概要

AD7148 は、ボタン、スクロール・バー、ホイールのような機能を構成する容量センサーと組み合わせて使うようにデザインされています。センサーは 1 層の PCB で済むため、非常に薄型のアプリケーションが可能です。

AD7148 は、環境キャリブレーション機能を内蔵する容量デジタル・コンバータ(CDC)です。この CDC は 8 チャンネルの入力を持ち、スイッチ・マトリックスを経由して 16 ビットの 250 kHz シグマ・デルタ(Σ-Δ)コンバータへ入力します。この CDC は外付けセンサー容量の変化を検出することができ、この情報を使って、センサー・アクチベーションを記録します。外付けセンサーの一連のボタンは、スクロール・バー、ホイール、または複数のセンサー・タイプの組み合わせとして配置することができます。ユーザーはレジスタを設定することにより、CDC の設定を完全に制御することができます。

センサーが高分解能であるため、ホスト・プロセッサ上で動作するソフトウェアは最小のもので済みます。

### 機能ブロック図

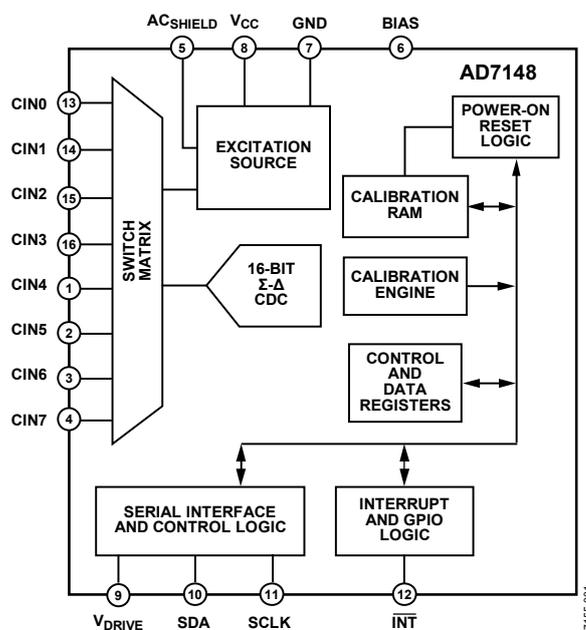


図 1.

AD7148 は、1 ピン容量センサー(グラウンド・センサー)を対象にデザインされています。センサーでのノイズ混入を最小にするアクティブ・シールド付き出力が付いています。フローティング、または 2 電極のセンサーでは、AD7143 を使用してください。

AD7148 は、周囲環境の変化を補償するキャリブレーション・ロジックを内蔵しています。キャリブレーション・シーケンスは、センサーに触れていないかぎり、連続間隔で自動的に実行されます。したがって、環境変化に起因する外付けセンサーの偽接触や接触の見落としは発生しません。

AD7148 は、I<sup>2</sup>C@互換シリアル・インターフェースと割込み出力を内蔵しています。V<sub>CC</sub> と無関係に、シリアル・インターフェースの電圧レベルを設定する V<sub>DRIVE</sub> ピンがあります。

AD7148 は、16 ピン 4 mm × 4 mm の LFCSP パッケージを採用し、2.6 V ~ 3.6 V の電源で動作します。低消費電力モードでの動作電流は、26 μA (typ) です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2007 Analog Devices, Inc. All rights reserved.

Rev. 0

## 目次

特長	1	近接感度	20
アプリケーション	1	FF_SKIP_CNT	20
概要	1	環境キャリブレーション	22
機能ブロック図	1	キャリブレーションなしでの容量センサー動作	22
改訂履歴	2	キャリブレーションを行った場合の容量センサーの動作	22
仕様	3	低速 FIFO	23
低消費電力モードでの平均電流(Typ)	4	SLOW_FILTER_UPDATE_LVL	23
低消費電力モードでの最大平均電流	4	適応型スレッシュホールドと感度	24
I <sup>2</sup> C タイミング仕様(AD7148-1)	5	割込み出力	26
絶対最大定格	6	CDC 変換完了割込み	26
ESD の注意	6	センサー・タッチ割込み	26
ピン配置およびピン機能説明	7	AC <sub>SHIELD</sub> 出力	27
代表的な性能特性	8	I <sup>2</sup> C 互換シリアル・インターフェース	28
動作原理	10	V <sub>DRIVE</sub> 入力	30
容量検出の理論	10	PCB デザインのガイドライン	31
BIAS ピン	11	容量センサー・ボードの機械的仕様	31
動作モード	11	チップ・スケール・パッケージ	31
容量/デジタル・コンバータ	13	パワーアップ・シーケンス	32
CDC 出力のオーバーサンプリング	13	代表的なアプリケーション回路	33
容量センサーのオフセット制御	13	レジスタ・マップ	34
変換シーケンス	13	レジスタの詳細説明	35
CDC 変換シーケンス時間	14	バンク 1 レジスタ	35
CDC 変換結果	15	バンク 2 レジスタ	43
容量センサー入力の構成	16	バンク 3 レジスタ	48
CINx 入力マルチプレクサのセットアップ	16	外形寸法	56
CDC へのシングルエンド接続	16	オーダー・ガイド	56
非接触近接検出	17		
再キャリブレーション	18		

## 改訂履歴

12/07—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{CC} = 2.6\text{ V} \sim 3.6\text{ V}$ 、 $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>CAPACITANCE-TO-DIGITAL CONVERTER</b>					
Update Rate	24.25	25	25.75	ms	8 conversion stages in sequencer; decimation rate = 256
Resolution		16		Bits	
CINx Input Range		$\pm 8$		pF	
No Missing Codes	16			Bits	Guaranteed by design, not production tested
Total Unadjusted Error			$\pm 20$	%	
Output Noise (Peak-to-Peak)		7		Codes	Decimation rate = 128
		3		Codes	Decimation rate = 256
Output Noise (RMS)		0.8		Codes	Decimation rate = 128
		0.5		Codes	Decimation rate = 256
$C_{STRAY}$ Offset Range		$\pm 20$		pF	6-bit DAC
$C_{STRAY}$ Offset Resolution		0.32		pF	
Low Power Mode Delay Accuracy			4	%	% of 200 ms, 400 ms, 600 ms, or 800 ms
<b>EXCITATION SOURCE</b>					
Frequency		250		kHz	
Output Voltage	0		$V_{CC}$	V	Oscillating
<b><math>AC_{SHIELD}</math></b>					
Short-Circuit Source Current		10		mA	
Short-Circuit Sink Current		10		mA	
Maximum Output Load			150	pF	Capacitance load on $AC_{SHIELD}$ to ground
<b>LOGIC INPUTS (SCLK, SDA,)</b>					
Input High Voltage, $V_{IH}$	$0.7 \times V_{DRIVE}$			V	
Input Low Voltage, $V_{IL}$			0.4	V	
Input High Voltage, $I_{IH}$	-1			$\mu\text{A}$	$V_{IN} = V_{DRIVE}$
Input Low Voltage, $I_{IL}$			1	$\mu\text{A}$	$V_{IN} = \text{GND}$
Hysteresis		150		mV	
<b>OPEN-DRAIN OUTPUTS (SCLK, SDA, INT)</b>					
Output Low Voltage, $V_{OL}$			0.4	V	$I_{SINK} = -1\text{ mA}$
Output High Leakage Current, $I_{OH}$		+0.1	$\pm 1$	$\mu\text{A}$	$V_{OUT} = V_{DRIVE}$
<b>POWER</b>					
$V_{CC}$	2.6	3.3	3.6	V	
$V_{DRIVE}$	1.65		3.6	V	Serial interface operating voltage
$I_{CC}$		0.9	1	mA	In full power mode, $V_{CC} + V_{DRIVE}$
		15.5	21.5	$\mu\text{A}$	Low power mode, converter idle, $V_{CC} + V_{DRIVE}$
		2.3	7.5	$\mu\text{A}$	Full shutdown, $V_{CC} + V_{DRIVE}$

### 低消費電力モードでの平均電流(Typ)

特に指定がない限り、 $V_{CC} = 3.6\text{ V}$ 、 $T = 25^\circ\text{C}$ 、 $50\text{ pF}$  負荷。

表 2.

Low Power Mode Delay	Decimation Rate	Current Values of Conversion Stages ( $\mu\text{A}$ )							
		1	2	3	4	5	6	7	8
200 ms	64	20.83	24.18	27.52	30.82	34.11	37.37	40.6	43.81
	128	25.3	31.92	38.45	44.87	51.21	57.45	63.6	69.66
	256	34.11	46.99	59.51	71.66	83.47	94.94	106.1	116.96
400 ms	64	18.17	19.86	21.55	23.23	24.9	26.57	28.23	29.88
	128	20.43	23.79	27.12	30.43	33.72	36.98	40.22	43.43
	256	24.9	31.53	38.06	44.5	50.83	57.08	63.23	69.3
600 ms	64	17.28	18.41	19.54	20.67	21.79	22.91	24.03	25.14
	128	18.79	21.04	23.28	25.51	27.73	29.94	32.13	34.32
	256	21.79	26.25	30.67	35.04	39.37	43.66	47.9	52.11
800 ms	64	16.84	17.69	18.53	19.38	20.23	21.07	21.91	22.75
	128	17.97	19.66	21.35	23.03	24.7	26.37	28.03	29.69
	256	20.23	23.59	26.93	30.24	33.53	36.79	40.03	43.24

### 低消費電力モードでの最大平均電流

特に指定がない限り、 $V_{CC} = 3.6\text{ V}$ 、 $50\text{ pF}$  負荷。

表 3.

Low Power Mode Delay	Decimation Rate	Current Values of Conversion Stages ( $\mu\text{A}$ )							
		1	2	3	4	5	6	7	8
200 ms	64	27.71	31.65	35.56	39.44	43.28	47.1	50.89	54.64
	128	32.96	40.72	48.37	55.89	63.3	70.59	77.77	84.84
	256	43.28	58.37	72.99	87.17	100.92	114.26	127.22	139.8
400 ms	64	24.61	26.6	28.58	30.55	32.51	34.47	36.42	38.36
	128	27.26	31.21	35.12	39	42.85	46.67	50.46	54.22
	256	32.51	40.29	47.94	55.47	62.88	70.18	77.36	84.44
600 ms	64	23.58	24.91	26.23	27.55	28.87	30.18	31.5	32.8
	128	25.35	27.99	30.62	33.24	35.84	38.43	41	43.56
	256	28.87	34.11	39.29	44.41	49.48	54.5	59.46	64.38
800 ms	64	23.06	24.06	25.05	26.05	27.04	28.03	29.02	30
	128	24.39	26.38	28.36	30.33	32.29	34.25	36.2	38.14
	256	27.04	30.98	34.9	38.78	42.64	46.46	50.25	54.01

## I<sup>2</sup>C タイミング仕様(AD7148-1)

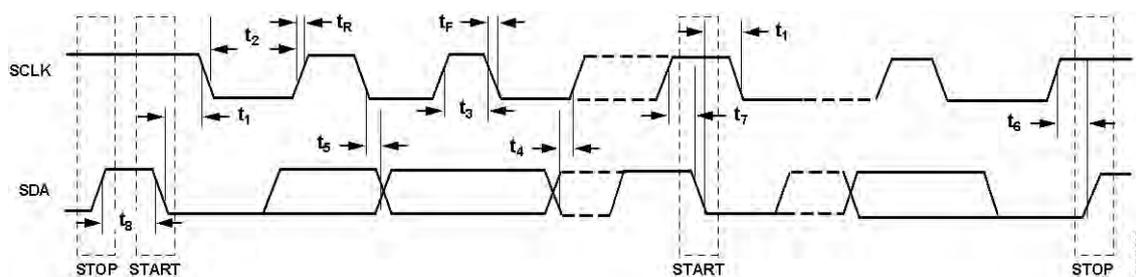
特に指定がない限り、 $T_A = -40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$ 、 $V_{\text{DRIVE}} = 1.65\text{ V} \sim 3.6\text{ V}$ 、 $V_{\text{CC}} = 2.6\text{ V} \sim 3.6\text{ V}$ 。25°Cでのサンプル・テストにより適合性を保証。すべての入力信号のタイミングは、1.6 Vの電圧レベルからとします。

表 4.

Parameter <sup>1</sup>	Limit	Unit	Description
$f_{\text{SCLK}}$	400	kHz max	
$t_1$	0.6	$\mu\text{s min}$	Start condition hold time, $t_{\text{HD, STA}}$
$t_2$	1.3	$\mu\text{s min}$	Clock low period, $t_{\text{LOW}}$
$t_3$	0.6	$\mu\text{s min}$	Clock high period, $t_{\text{HIGH}}$
$t_4$	100	ns min	Data setup time, $t_{\text{SU, DAT}}$
$t_5$	300	ns min	Data hold time, $t_{\text{HD, DAT}}$
$t_6$	0.6	$\mu\text{s min}$	Stop condition setup time, $t_{\text{SU, STO}}$
$t_7$	0.6	$\mu\text{s min}$	Start condition setup time, $t_{\text{SU, STA}}$
$t_8$	1.3	$\mu\text{s min}$	Bus free time between stop and start conditions, $t_{\text{BUF}}$
$t_{\text{R}}$	300	ns max	Clock/data rise time
$t_{\text{F}}$	300	ns max	Clock/data fall time

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

### I<sup>2</sup>Cのタイミング図

図 2. I<sup>2</sup>Cの詳細タイミング図

## 絶対最大定格

表 5.

Parameter	Rating
$V_{CC}$ to GND	-0.3 V to +3.6 V
Analog Input Voltage to GND	-0.3 V to $V_{CC} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3$ V
Input Current to Any Pin Except Supplies <sup>1</sup>	10 mA
ESD Rating (Human Body Model)	2.5 kV
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
LFCSP	
Power Dissipation	450 mW
$\theta_{JA}$ Thermal Impedance	135.7°C/W
IR Reflow Peak Temperature	260°C $\pm$ 0.5°C
Lead Temperature (Soldering, 10 sec)	300°C

<sup>1</sup>最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

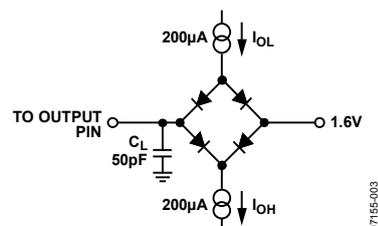


図 3. デジタル出力タイミング仕様の負荷回路

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

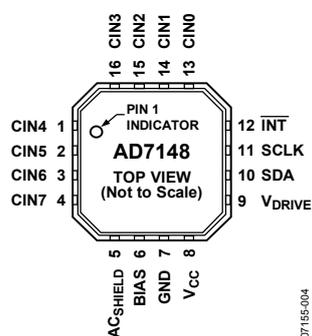


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	CIN4	容量センサー入力。
2	CIN5	容量センサー入力。
3	CIN6	容量センサー入力。
4	CIN7	容量センサー入力。
5	ACSHIELD	CDC アクティブ・シールド付き出力。外部シールドに接続します。
6	BIAS	内部回路のバイアス・ノード。グラウンドとの間に 10 nF のコンデンサが必要。
7	GND	全回路のグラウンド基準ポイント。
8	VCC	電源電圧
9	VDRIVE	シリアル・インターフェースの電源電圧。
10	SDA	I <sup>2</sup> C のシリアル・データ入力/出力。SDA にはプルアップ抵抗が必要。
11	SCLK	シリアル・インターフェースのクロック入力。
12	INT	汎用オープン・ドレイン割込み出力。プログラマブル極性;プルアップ抵抗が必要。
13	CIN0	容量センサー入力。
14	CIN1	容量センサー入力。
15	CIN2	容量センサー入力。
16	CIN3	容量センサー入力。

代表的な性能特性

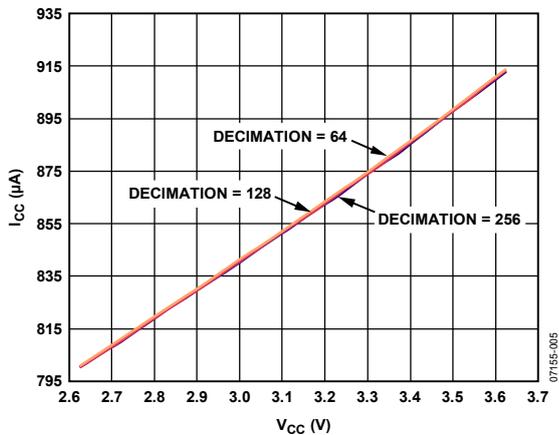


図 5.電源電流対電源電圧

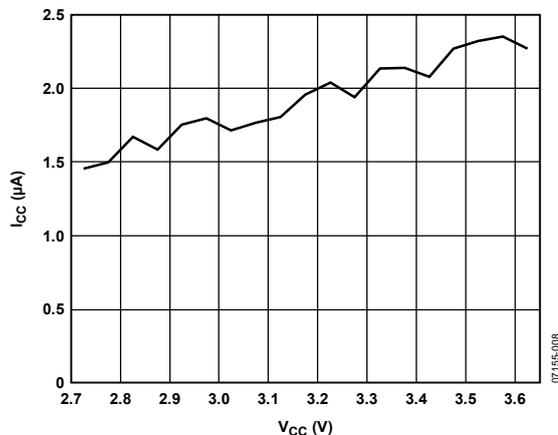


図 8.シャットダウン電源電流対電源電圧

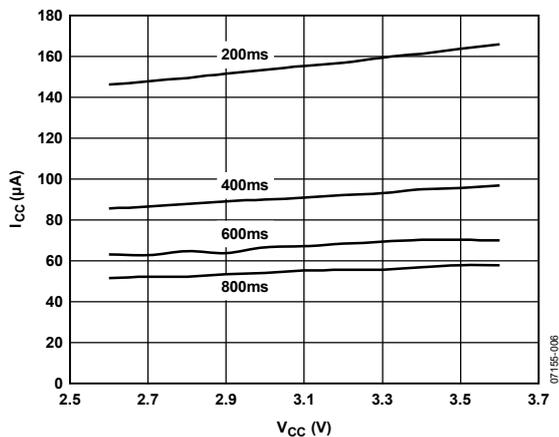


図 6.低電源電流対電源電圧、デシメーション・レート = 256

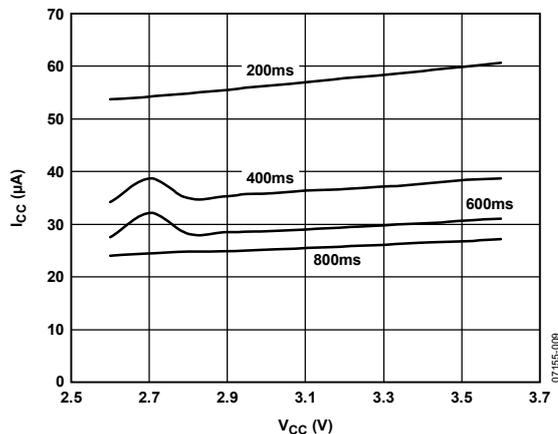


図 9.低電源電流対電源電圧、デシメーション・レート = 64

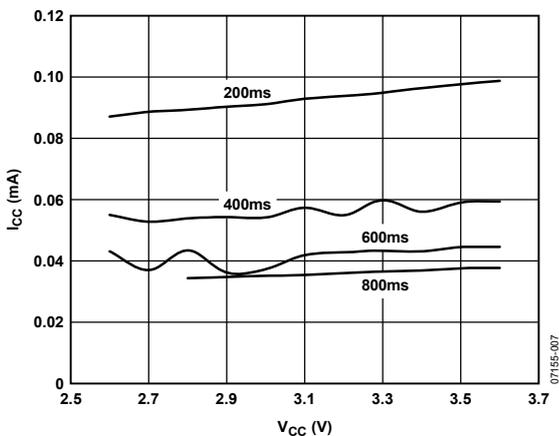


図 7.低電源電流対電源電圧、デシメーション・レート = 128

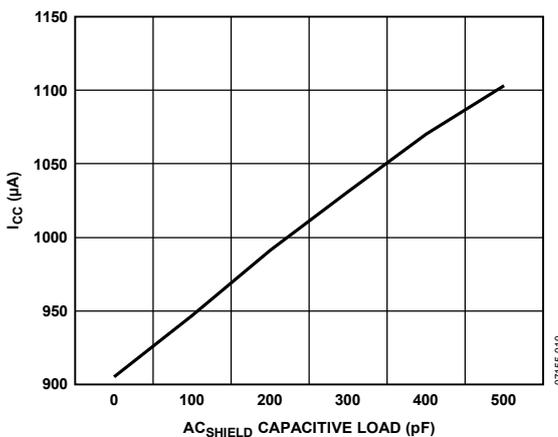


図 10.電源電流対 CIN の容量負荷

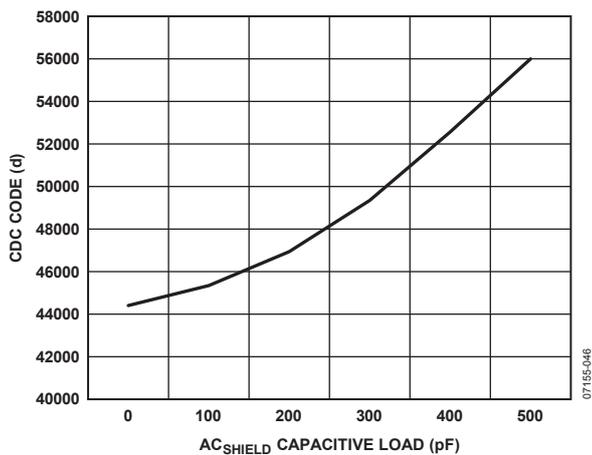


図 11.CDC 出力コード対 AC<sub>SHIELD</sub> の容量負荷

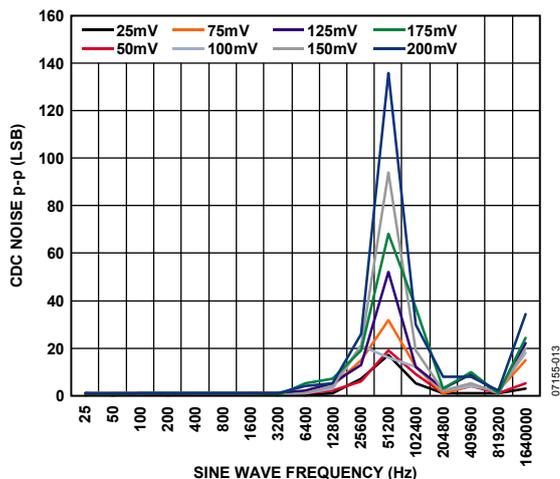


図 14. 電源正弦波除去比、V<sub>CC</sub> = 3.6 V

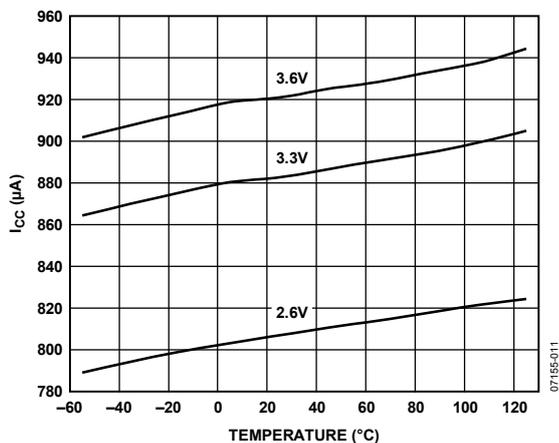


図 12.電源電流の温度特性

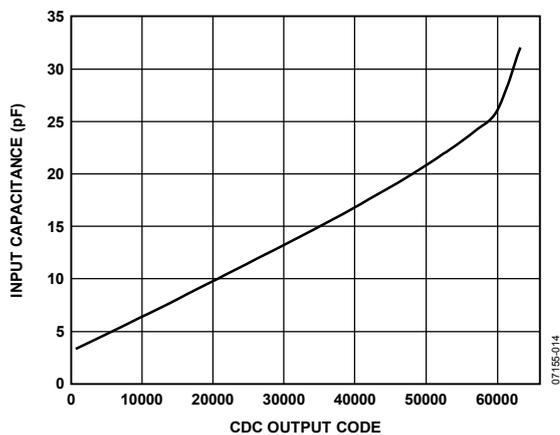


図 15.CDC 直線性、V<sub>CC</sub> = 3.3 V

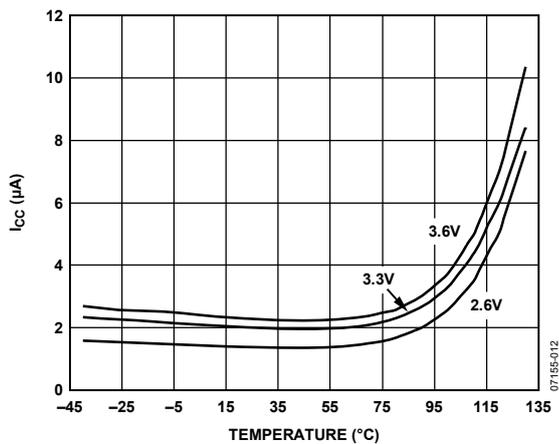


図 13.シャットダウン電源電流の温度特性

## 動作原理

AD7148 は、環境キャリブレーション機能を内蔵する容量デジタル・コンバータ(CDC)であり、高分解能のユーザー入力を必要とする携帯型システムを対象としています。内部回路は、容量入力信号をデジタル値に変換する 16 ビットの $\Sigma$ - $\Delta$ コンバータで構成されています。AD7148 には、CIN0~CIN7 の 8 本の入力ピンがあります。スイッチ・マトリックスにより、入力信号を CDC に接続します。容量デジタル変換の各結果は、複数の内蔵レジスタに保存されます。ホストが後でシリアル・インターフェースを介してこの結果を読み出します。AD7148 は、I<sup>2</sup>C インターフェースを内蔵しているため、広範囲なホスト・プロセッサと互換性を持っています。

AD7148 は、最大 8 個の外付け容量センサーとインターフェースすることができます。これらのセンサーは、ボタン、スクロール・バー、ホイール、または複数のセンサー・タイプの組み合わせとして使用することができます。外付けセンサーは、AD7148 に直接インターフェースする 1 層または多層の PCB 上にある電極から構成されます。

内蔵レジスタを設定することにより、任意のセットの入力センサーを構成するように AD7148 を設定することができます。レジスタを設定して、各外付けセンサーの平均処理、オフセット、ゲインなどのような機能を制御することもできます。各容量入力のポーリング方法を制御するシーケンサも内蔵しています。

AD7148 は、デジタル・ロジックと環境補償に使用する 528 ワードの RAM を内蔵しています。湿度、温度、その他の環境ファクタが容量センサーの動作に影響を与えます。AD7148 はユーザーから見えないかたちで連続キャリブレーションを実行して、これらの影響を補償するため、AD7148 は誤差のない変換結果を常に提供することができます。

AD7148 は、ホストまたは他のマイクロコントローラ上で動作してスクロール・バーやホイールのような高分解能センサー機能を実現する最小限のコンパニオン・ソフトウェアを必要とします。ただし、ボタンを構成するときは、コンパニオン・ソフトウェアは不要です。ボタン・センサーは、デジタル・ロジックによりチップ上で構成することができます。

AD7148 は、フル・パワー・モードまたは低消費電力の自動ウェイクアップ・モードで動作するように設定することができます。自動ウェイクアップ・モードは特に、大幅な省電力とフル機能を提供する低消費電力動作を必要とする携帯型デバイスに適しています。

AD7148 は、新しいデータがレジスタにロードされたことを表示する割込み出力INTを持っています。INTは、ホストへのセンサー・アクチベーション割込みに使います。AD7148 は 2.6 V~3.6 V の電源で動作し、16 ピン 4 mm × 4 mm の LFCSP パッケージを採用しています。

## 容量検出の理論

AD7148 は、1 プレートがグラウンドに接続されているセンサーの容量変化を測定します。PCB 上のセンサー電極が、仮想コンデンサの片方のプレートを構成します。コンデンサの他方のプレートは、センサー入力に対してグラウンドを構成するユーザーの指になります。

AD7148 は、まず励起信号を出力してコンデンサのプレートを充電します。ユーザーがセンサーに近づくと、仮想コンデンサが形成され、ユーザーが 2 枚目のコンデンサ・プレートとして機能します。

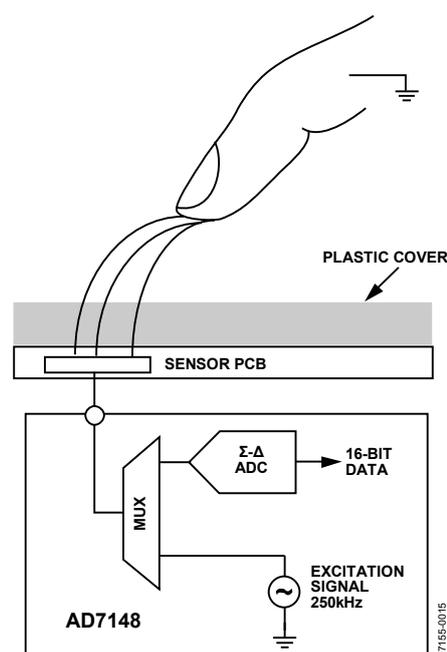


図 16.容量検出 Method

方形波の励起信号が変換時に CINx 入力に加えられ、変調器が CINx ピンへ移動する電荷を連続的にサンプルします。変調器の出力はデジタル・フィルタで処理され、得られたデジタル・データはアドレス 0x00B ~ 0x012 にある各変換ステージの CDC\_RESULT\_Sx レジスタに格納されます。

## センサー・アクチベーションの登録

ユーザーがセンサーに近づくと、そのセンサーに対応する合計容量が変化するため、AD7148 がこれを測定します。この容量変化が、設定されているスレッシュホールドを超えると、AD7148 はこれをセンサー・アクチベーションと判断します。

チップ内のスレッシュホールド値を使って、センサー・アクチベーションが発生したタイミングを決定します。図 17 に、ユーザーがセンサーを活性化したときの、CDC\_RESULT\_Sx の変化を示します。CDC\_RESULT\_Sx の値が STAGEx\_HIGH\_THRESHOLD の値より大きいか、または STAGEx\_LOW\_THRESHOLD の値より小さいとき、センサーはアクティブと見なされます。

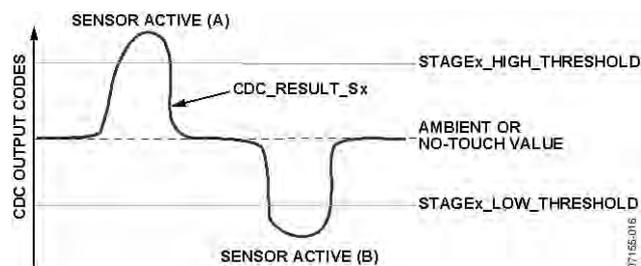


図 17. センサー・アクチベーション・スレッシュホールド

図 17 に、2 つのセンサー・アクチベーションを示します。センサー・アクティブ(A)は、センサーがコンバータの正の入力に接続されたとき発生します。この場合、ユーザーがセンサーをアクティブ化すると、CDC コードが大きくなり、CDC\_RESULT\_Sx 値が STAGEx\_HIGH\_THRESHOLD 値を超えます。センサー・アクティブ(B)は、センサーがコンバータの負の入力に接続されたとき発生します。この場合、ユーザーがセンサーをアクティブ化すると、CDC コードが小さくなり、CDC\_RESULT\_Sx 値が STAGEx\_LOW\_THRESHOLD 値より小さくなります。

各変換ステージの STAGEx\_HIGH\_THRESHOLD レジスタと STAGEx\_LOW\_THRESHOLD レジスタは、レジスタ・バンク 3 にあります。これらのレジスタの値は、AD7148 の環境キャリブレーション機能と適応型スレッシュホールド・ロジックが自動的に更新します。

パワーアップ時、STAGEx\_HIGH\_THRESHOLD レジスタ値および STAGEx\_LOW\_THRESHOLD レジスタ値は、レジスタ・バンク 2 の STAGEx\_OFFSET\_HIGH レジスタ値および STAGEx\_OFFSET\_LOW レジスタ値と同じです。STAGEx\_OFFSET\_HIGH レジスタと STAGEx\_OFFSET\_LOW レジスタは、デバイスのパワーアップ時にユーザーが設定する必要があります。詳細については、環境キャリブレーションのセクションを参照してください。

## 容量検出の完全なソリューション

アナログ・デバイセズは、容量検出の完全なソリューションを提供します。このソリューションの 2 つの主要なエレメントは、センサーPCB と AD7148 です。

アプリケーションでスクロール・バーやホイールのような高分解能センサーが必要な場合は、ホスト・プロセッサで動作するソフトウェアが必要になります。ボタン・センサーには、位置決定アルゴリズムは不要です。

ホストのメモリ条件はセンサーに依存するため、センサー・タイプに応じて、一般にコード・メモリが 10 kB、データ・メモリが 600 バイトです。

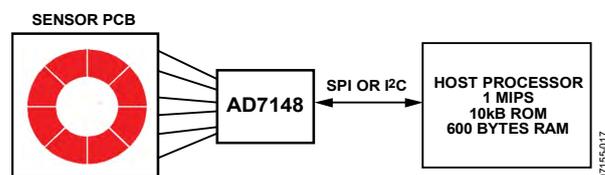


図 18.3 部品による容量検出ソリューション

アナログ・デバイセズは、センサーPCB フットプリント・デザイン・ライブラリを提供し、必要なソフトウェアをオープン・ソース・ベースで提供しています。

## BIAS ピン

BIAS ピン(ピン 6)は内部で AD7148 のバイアス・ノードに接続されています。AD7148 を正しく動作させるためには、BIAS ピンとグラウンドとの間に 10 nF のコンデンサを接続する必要があります。BIAS ピンの電圧は  $V_{CC}/2$  です。

## 動作モード

AD7148 には 3 つの動作モードがあります。デバイスが常にフル・パワー状態にあるフルパワー・モードは、消費電力が問題とならないアプリケーションに適しています(たとえば AC 電源を使用するゲーム・コンソール)。デバイスが自動的にパワーダウンする低消費電力モードは、フル・パワー・モードに比較して大幅に節電するようにデザインされているため、省電力が必要なモバイル・アプリケーションに適しています。シャットダウン・モードでは、デバイスは完全にシャットダウンします。

PWR\_CONTROL レジスタの POWER\_MODE ビット(アドレス 0x000[1:0])を使って、AD7148 の動作モードを設定します。表 7 に、各動作モードに対する POWER\_MODE の設定を示します。AD7148 をシャットダウン・モードにするときは、POWER\_MODE ビットに 01 または 11 を設定します。

表 7. POWER\_MODE の設定

POWER_MODE Bits	Operating Mode
00	Full power mode
01	Shutdown mode
10	Low power mode
11	Shutdown mode

POWER\_MODE ビットのパワーオン時デフォルト設定は 00(フル・パワー・モード)です。

## フル・パワー・モード

フル・パワー・モードでは、AD7148 のすべてのセクションに電源が供給され、変換動作が続きます。センサーに触れると、AD7148 はセンサー・データを処理します。触れたセンサーがない場合、AD7148 は周囲容量レベルを計測し、このデータを内蔵の補償ルーチンで使います。フル・パワー・モードでは、AD7148 は一定レートで変換を行います。詳細については、CDC 変換シーケンス時間のセクションを参照してください。

### 低消費電力モード

AD7148 が低消費電力モードの場合、デバイス初期化時に POWER\_MODE ビットが 10 に設定されます。触れられた外付けセンサーがない場合、AD7148 は変換周波数を下げて、消費電力を大幅に削減します。センサーに触れないかぎり、デバイスは省電力状態を維持します。AD7148 は、LP\_CONV\_DELAY ビットで指定された遅延(200 ms、400 ms、600 ms、800 ms)後に変換を行い、このデータを使って補償ロジックを更新します。

外付けセンサーに触れると、AD7148 は 25 ms ごとに変換シーケンスを開始し、センサーからデータをリードバックします。

低消費電力モードでは、合計消費電流は、変換時の電流と AD7148 が次の変換開始を待つ間の電流との平均になります。たとえば、LP\_CONV\_DELAY 1 = 400 ms の場合、AD7148 の電流は 25 ms 間では 0.85 mA(typ)に、変換と変換の 400 ms 間では 14  $\mu$ A に、それぞれなります。これらの変換タイミングはレジスタ設定により変更できることに注意してください。詳細については、CDC 変換シーケンス時間のセクションを参照してください。

ユーザーが外付けセンサーに触れるのを止めた後に、AD7148 がフル・パワー状態から省電力状態へ変化するために要する時間は設定可能です。AMB\_COMP\_CTRL0 レジスタの PWR\_DOWN\_TIMEOUT ビット(アドレス 0x002[13:12])を使って、ユーザーがセンサーに触れるのを止めた後に AD7148 が省電力状態へ移行する前の遅延を指定します。

### タッチから応答までの小さい遅延

低消費電力モードでは、外付けセンサーの任意の 1 つで接近が検出が検出されるまで、AD7148 は低消費電力状態を維持します。接近が検出されると、AD7148 は自動的にフル・パワー・モード動作に設定されるため、36 ms ごとに各変換シーケンスを実行します。この方法を使うと、実際にセンサーに接触までに AD7148 はフル・パワー・モードで動作するため遅延が小さくなります。

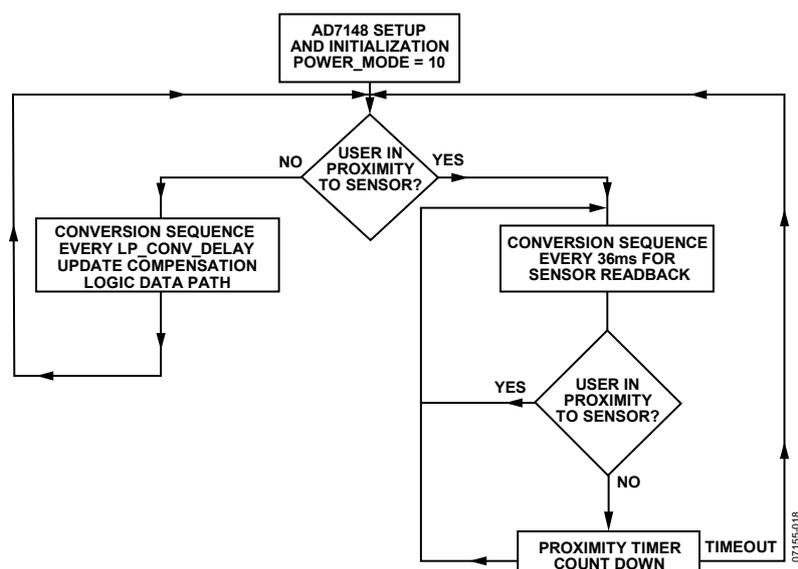


図 19.低消費電力モード動作

## 容量/デジタル・コンバータ

AD7148 の容量デジタル・コンバータは、16 ビット分解能の  $\Sigma\Delta$  アーキテクチャを採用しています。CDC へ入力できる 8 本のピンがあり、これらはスイッチ・マトリックスを経由してコンバータ入力へ接続されます。CDC のサンプリング周波数は 250 kHz です。

### CDC 出力のオーバーサンプリング

デシメーション・レートまたはオーバーサンプリング比は、PWR\_CONTROL レジスタの DECIMATION ビット(アドレス 0x000[9:8])により指定されます(表 8 参照)。

表 8. CDC のデシメーション・レート

DECIMATION Bits	Decimation Rate	CDC Output Rate per Stage (ms)
00	256	3.072
01	128	1.536
10	64	0.768
11	64	0.768

AD7148 のデシメーション処理は、多数のサンプルを取得してその平均値を出力する平均処理です。使用したデジタル・フィルタのアーキテクチャのため、取得サンプル数(ステージあたり)はデシメーション・レートの 3 倍になっています。すなわち、 $3 \times 256$  個または  $3 \times 128$  個のサンプルを平均して、各ステージの結果が得られます。

デシメーション処理は、最終 CDC 結果のノイズ量を削減します。ただし、デシメーション・レートを上げると、ステージあたりの出力レートが下がるため、ノイズのない信号とサンプリング速度との間のトレードオフが可能です。

### 容量センサーのオフセット制御

AD7148 が CDC 計測で漂遊容量を相殺させるために使う 2 つのプログラマブル DAC が内蔵されています。これらのオフセットは、グラウンドに対する漂遊容量によって発生します。これを行う最適な方法は、すべてのセンサーが非アクティブのとき、すべてのステージの CDC 出力をほぼミッドスケール(約 32,700)にすることです。

図 20 の簡略化したブロック図に、STAGEx\_OFFSET レジスタを使ってオフセットを相殺させる方法を示します。6 ビットの POS\_AFE\_OFFSET ビットと NEG\_AFE\_OFFSET ビットを使って、20 pF の範囲で 0.32 pF 分解能のオフセット調整を提供するようにオフセット DAC を設定します。NEG\_AFE\_OFFSET ビットと POS\_AFE\_OFFSET ビットを使って、正と負のオフセットを正または負の CDC 入力に与えます。

このプロセスは、初期容量センサー・キャラクタライゼーションで 1 回だけ必要です。

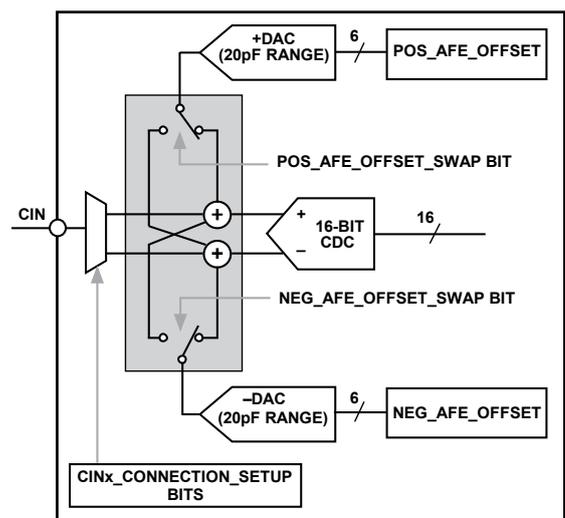


図 20. アナログ・フロントエンドのオフセット制御

### 変換シーケンス

AD7148 は、入力チャンネルの変換制御を行うシーケンスを内蔵しています。1 シーケンスで最大 8 ステージの変換を実行することができます。各 8 変換ステージでは、異なるセンサーからの入力を計測することができます。バンク 2 レジスタを使うと、複数の容量センサー・インターフェース要求をサポートするように各ステージを独自に設定することができます。たとえば、スライダ・センサーを STAGE0~STAGE7 へ、ボタン・センサーを STAGE0 へ、それぞれ割り当てることができます。各変換ステージでは、CINx 入力をコンバータへ接続する入力マルチプレクサが独自の設定を持つことができます。

AD7148 の内蔵シーケンス・コントローラは、STAGE0 から開始される変換制御を提供します。図 21 に、CDC 変換ステージと CINx 入力のブロック図を示します。変換シーケンスは、STAGE0 から開始されて、PWR\_CONTROL レジスタの SEQUENCE\_STAGE\_NUM ビット(アドレス 0x000[7:4])を使って設定される値で指定されるステージで終了する CDC 変換のシーケンスとして定義されます。使用する容量センサーの数とタイプに応じて、すべての変換ステージが必要とされるわけではありません。1 シーケンスでの変換数を設定するときは、センサー・インターフェース条件に応じて、SEQUENCE\_STAGE\_NUM ビットを使います。たとえば、CINx 入力が 6 個の変換ステージだけに割り当てられる場合は、レジスタに 0005 を設定します。さらに、使用するステージ数に従って STAGEx\_CAL\_EN レジスタを設定します。

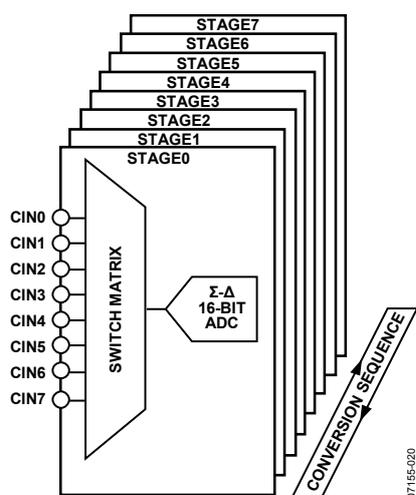


図 21.CDC の変換ステージ

必要な変換ステージ数は、AD7148 に接続されているセンサー数のみに依存します。図 22 に、各センサーに必要とされる変換ステージ数と AD7148 各センサーに必要とされる入力数を示します。

一般に 1 つのボタン・センサーには 1 つのシーケンス・ステージが必要ですが、1 変換ステージに対して 2 個のボタン・センサーが差動で動作するように設定することは可能です。同時にその内の 1 ボタンのみがアクティブになることができます。両ボタンを同時に押すと隣のボタンがアクティブになります。この構成では 1 つの変換ステージが必要です(図 22 の B2 と B3 参照)。

ホイール・センサーは 8 ステージを、スライダは 2 ステージを、それぞれ必要とします。ホスト・ソフトウェアは、各ステージからの結果を使って、スライダまたはホイール上のユーザーのポジションを求めます。このプロセスを実行するアルゴリズムはアナログ・デバイセズから無償で提供していますが、ソフトウェア・ライセンスにサインしていただく必要があります。

### CDC 変換シーケンス時間

CDC が全 8 ステージの計測に要する時間は、CDC 変換シーケンス時間として規定されています。SEQUENCE\_STAGE\_NUM ビットと DECIMATION ビットにより変換時間を指定します(表 9 参照)。

たとえば、デバイスがデシメーション・レート 128 で動作し、SEQUENCE\_STAGE\_NUM ビットが 0005、1 シーケンスで 6 ステージの変換の場合、変換シーケンス時間は 9.216 ms になります。

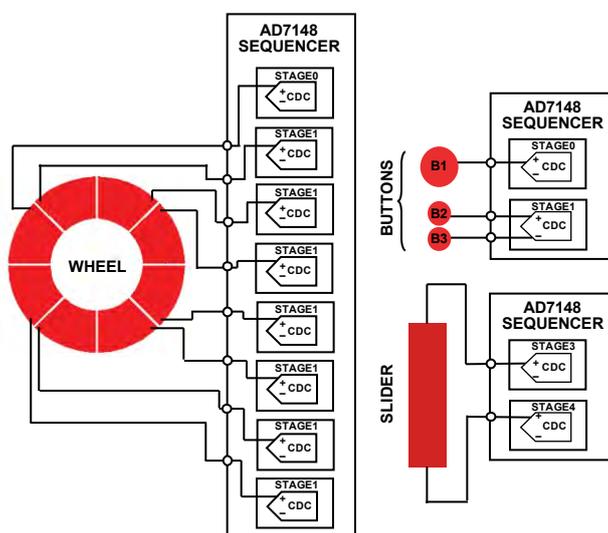


図 22.センサーに対するシーケンサの設定

表 9.フルパワー・モードでの CDC 変換時間

SEQUENCE_STAGE_NUM	Conversion Time (ms)		
	Decimation = 64	Decimation = 128	Decimation = 256
0	0.768	1.536	3.072
1	1.536	3.072	6.144
2	2.304	4.608	9.216
3	3.072	6.144	12.288
4	3.84	7.68	15.36
5	4.608	9.216	18.432
6	5.376	10.752	21.504
7	6.144	12.288	24.576

### フルパワー・モードでの CDC 変換シーケンス時間

SEQUENCE\_STAGE\_NUM ビットと DECIMATION ビットを表 9 に示すように設定すると、全 8 ステージに対するフル・パワー・モードでの CDC 変換シーケンス時間が設定されます。

図 23 に、フル・パワー・モードでの CDC 変換時間の簡略化したタイミング図を示します。フル・パワー・モード CDC 変換時間 ( $t_{CONV\_FP}$ ) は、表 9 に示す値を使って設定します。

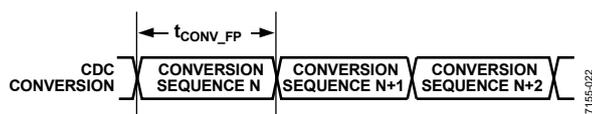


図 23.フルパワー・モードでの CDC 変換シーケンス時間

### 低消費電力モード CDC 変換シーケンス時間—遅延あり

低消費電力自動ウェイクアップ・モードで動作中の各 CDC 変換の周波数は、アドレス 0x000 [3:2] にある LP\_CONV\_DELAY ビットと表 9 に示すレジスタを使って制御します。この機能は、システム要求を満たす変換時間と AD7148 の消費電力との間のトレードオフを最適化する際にある程度の柔軟性を提供します。

たとえば、LP\_CONV\_DELAY ビット(アドレス 0x000[3:2])を 11 に設定すると最大の省電力が実現できます。11 の設定では、AD7148 が自動的にウェイクアップして、各 800 ms ごとに変換を実行します。

表 10.LP\_CONV\_DELAY の設定

LP_CONV_DELAY Bits	Delay Between Conversions (ms)
00	200
01	400
10	600
11	800

図 24 に、低消費電力モードでの CDC 変換時間の簡略化したタイミング例を示します。図に示すように、低消費電力モード CDC 変換時間は、 $t_{CONV\_FP}$  と LP\_CONV\_DELAY ビットによって設定されます。

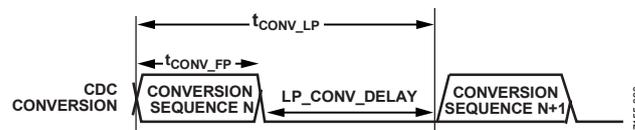


図 24.低消費電力モード CDC 変換シーケンス時間

### CDC 変換結果

ある種の高分解能センサーは、ホストが CDC 変換結果をリードバックして処理することを必要とします。ホストでの処理に必要なレジスタはバンク 3 レジスタ内にあります。ホストは、これらのレジスタからリードバックしたデータをソフトウェア・アルゴリズムを使って処理して、ポジション情報を求めます。

AD7148 は、バンク 3 レジスタ内のリザルト・レジスタの他に、バンク 1 のアドレス 0x00B から開始される 16 ビット CDC 出力データを直接提供します。CDC 16 ビット変換データ・レジスタを読み出すと、ユーザー固有のアプリケーション・データ処理が可能です。

## 容量センサー入力の構成

外付け容量センサーから AD7148 のコンバータまでの各入力接続は、バンク 2 のレジスタを使って独自に構成することができます(表 39～表 42 参照)。これらのレジスタは、入力ピン接続のセットアップ、センサー・オフセット、センサー感度、各ステージのセンサー限界値の設定に使用します。各センサーは個別に最適化することができます。たとえば、STAGE0 に接続されたボタン・センサーは、別のステージに接続された別の機能を持つボタンと異なる感度とオフセット値を持つことができます。

### CINx 入力マルチプレクサのセットアップ

CINx\_CONNECTION\_SETUP ビットには、センサー入力ピンを CDC へ接続する際に使用できるオプションがあります(表 39 と表 40 参照)。

AD7148 は、各 CINx ピンからコンバータの入力へ入力信号を接続するマルチプレクサを内蔵しています。各入力ピンは、CDC の負または正の入力へ接続するか、オープンのままにしておくことができます。各入力ピンは内部でバイアス信号に接続して、ノイズの混入を防止することもできます。入力を使用しない場合は、常に BIAS に接続しておくことができます。

CINx 入力ピンを正の CDC 入力に接続すると、対応するセンサーがアクティブになると、CDC 出力コードが増加します。CINx 入力ピンを負の CDC 入力に接続すると、対応するセンサーがアクティブになると、CDC 出力コードが減少します。

AD7148 は、8 回変換のシーケンスを実行します。CINx\_CONNECTION\_SETUP ビットを使うと、8 回の各変換に対してマルチプレクサを異なる接続に設定することができます。たとえば、CIN0 を CDC 入力に接続するか、またはフローティングにすることができます。8 回のすべての変換ステージでも同じです。

各シーケンス・ステージ・レジスタの 2 ビットにより、入力ピンに対するマルチプレクサ設定が制御されます(図 25 参照)。

### CDC へのシングルエンド接続

CDC へのシングルエンド接続は、一方の CINx 入力を正または負の CDC 入力へ接続することと定義されます。CDC への差動接続は、一方の CINx 入力を正の CDC 入力へ、他方の CINx 入力を負の CDC 入力へ、それぞれ接続することと定義されます。

任意のステージで、CDC へのシングルエンド接続を行う場合には、STAGEx\_CONNECTION\_SETUP レジスタの SE\_CONNECTION\_SETUP ビットを使います。これらのビットは、CDC に対するシングルエンド接続時に、両 CDC ピンへの入力バスをマッチングさせるため、コンバータ計測時の電源除去比を向上させます。

表 11. SE\_CONNECTION\_SETUP ビットの使用

Bit Values	Description
00	Do not use.
01	Single-ended connection. For this stage, there is one CINx connected to the positive CDC input.
10	Single-ended connection. For this stage, there is one CINx connected to the negative CDC input.
11	Differential connection. For this stage, there is one CINx connected to the negative CDC input and one CINx connected to the positive CDC input.

同じ変換に対して、複数の CINx 入力をコンバータの正または負の入力に接続する場合は、SE\_CONNECTION\_SETUP に 11 を設定します。たとえば、CIN0 と CIN3 を CDC の正の入力に接続する場合には、SE\_CONNECTION\_SETUP に 11 を設定します。

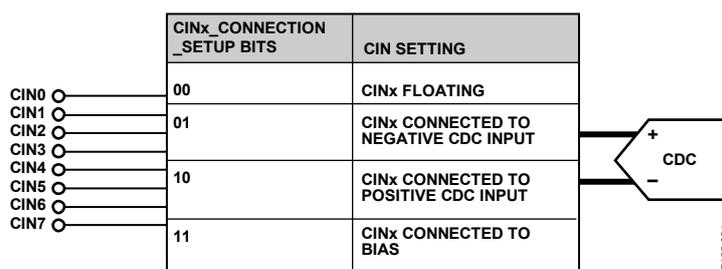


図 25. 入力マルチプレクサ構成のオプション

## 非接触近接検出

AD7148 の内部信号処理機能は、非接触近接検出用のすべての容量センサーを連続的にモニターします。この機能は、ユーザーがセンサーに接近したときこれを検出する機能を提供します。この時点で、すべての内部キャリブレーションは直ちにディスエーブルされて、AD7148 は有効な接触を検出するように自動的に設定されます。

近接コントロール・レジスタ・ビットを表 21 に示します。FP\_PROXIMITY\_CNT レジスタ・ビットと LP\_PROXIMITY\_CNT レジスタ・ビット(アドレス 0x002[11:4])は、フル・パワー・モードまたは低消費電力モードで、ユーザーがセンサーへの接触を停止し、かつセンサーの近傍にいなくなった後のキャリブレーション・ディスエーブル時間の長さを指定します。

ユーザーの接近がなくなる、またはセンサーへの接触がなくなった場合、この時点でキャリブレーションはディスエーブルされ、この期間の終わりに再度イネーブルされます。図 26 と図 27 に、フル・パワー・モードまたは低消費電力モードに対して、これらのレジスタを使ってキャリブレーション・ディスエーブル時間を設定する方法の例を示します。

フル・パワー・モードでのキャリブレーション・ディスエーブル時間は、FP\_PROXIMITY\_CNT の値に 16 を乗算し、さらにフル・パワー・モードでの 1 変換シーケンスに要する時間を乗算した値になります。

低消費電力モードでのキャリブレーション・ディスエーブル時間は、LP\_PROXIMITY\_CNT の値に 4 を乗算し、さらにフル・パワー・モードでの 1 変換シーケンスに要する時間を乗算した値になります。

表 12. 近接コントロール・レジスタ(図 30 参照)

Bits	Length	Register Address	Description
FP_PROXIMITY_CNT	4 bits	0x002[7:4]	Calibration disable time in full power mode.
LP_PROXIMITY_CNT	4 bits	0x002[11:8]	Calibration disable time in low power mode.
FP_PROXIMITY_RECAL	10 bits	0x004[9:0]	Full power mode proximity recalibration time.
LP_PROXIMITY_RECAL	6 bits	0x004[15:10]	Low power mode proximity recalibration time.
PROXIMITY_RECAL_LVL	8 bits	0x003[7:0]	Proximity recalibration level. This value, multiplied by 16, controls the sensitivity of Comparator 2 in Figure 30.
PROXIMITY_DETECTION_RATE	6 bits	0x003[13:8]	Proximity detection rate. This value, multiplied by 16, controls the sensitivity of Comparator 1 in Figure 30.

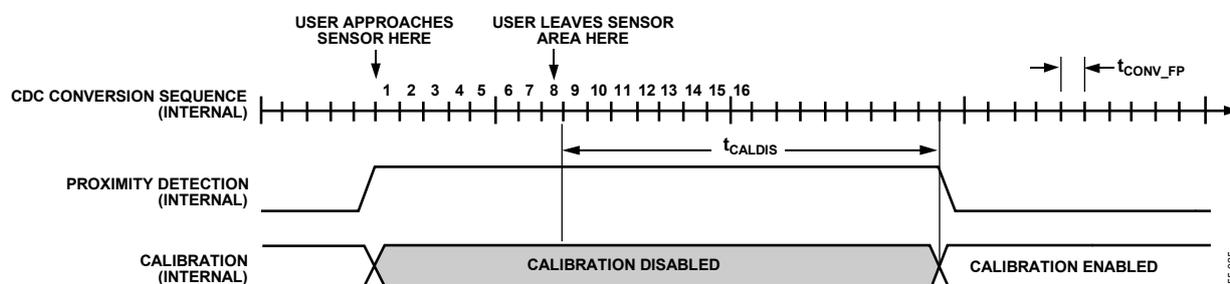
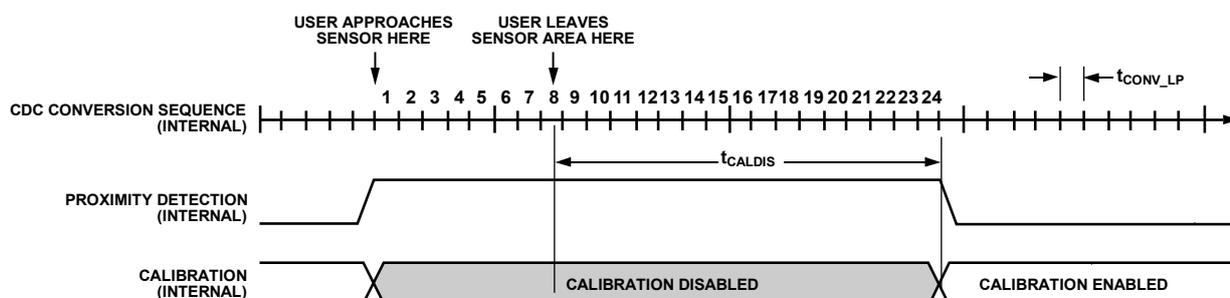


図 26. フルパワー・モード近接検出の例(FP\_PROXIMITY\_CNT = 1)



### NOTES

- SEQUENCE CONVERSION TIME  $t_{CONV\_LP} = t_{CONV\_FP} + LP\_CONV\_DELAY$
- PROXIMITY IS SET WHEN USER APPROACHES THE SENSOR AT WHICH TIME THE INTERNAL CALIBRATION IS DISABLED.
- $t_{CALDIS} = (t_{CONV\_LP} \times LP\_PROXIMITY\_CNT \times 4)$

図 27. 低消費電力モード近接検出の例(LP\_PROXIMITY\_CNT = 4)

## 再キャリブレーション

たとえば、ユーザーが長時間センサーの上方に留まる場合などの状況では、近接フラグを長時間設定することができます。

AD7148 の環境キャリブレーション機能は近接が検出されている間停止されますが、近接イベント中にも周囲容量レベルの変化が発生することがあります。これは、AD7148 に格納されている周囲値が実際の周囲値を表さなくなったことを意味します。この場合、ユーザーがセンサーから離れたときでも、近接フラグは設定されたままになります。この状況は、ユーザーによりセンサーに湿気が導入された場合に発生して、新しいセンサー周囲値が期待値から異なってしまいます。この場合、AD7148 は自動的に内部キャリブレーションを開始するため、ユーザーがセンサーの上方に留まる長さに関係なく周囲値が再キャリブレーションされます。再キャリブレーションは、最大センサー性能を確実にします。

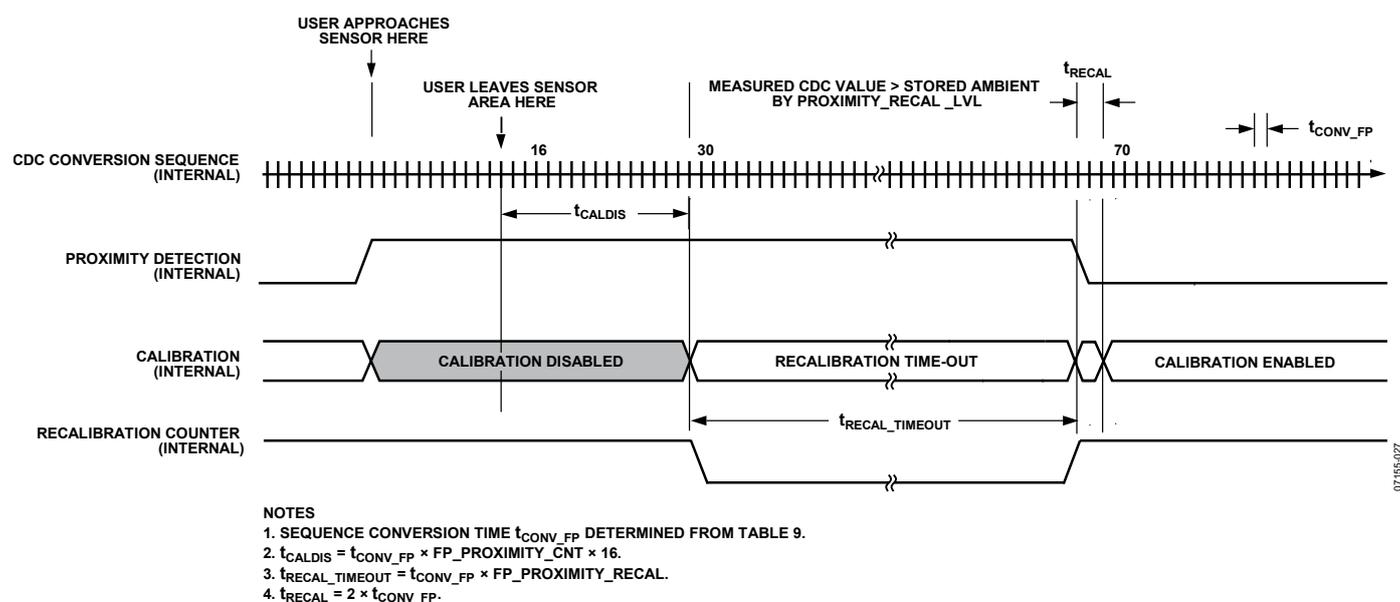
測定された CDC 値が、再キャリブレーション・タイムアウトと呼ばれる設定済み時間の間、PROXIMITY\_RECAL\_LVL ビット (アドレス 0x003[7:0]) で指定される値だけ格納されている周囲値を超えたとき、AD7148 は自動的に再キャリブレーションを行います。

フル・パワー・モードでは、再キャリブレーション・タイムアウトは FP\_PROXIMITY\_RECAL により、低消費電力モードでは LP\_PROXIMTY\_RECAL により、それぞれ制御されます。

フル・パワー・モードでの再キャリブレーション・タイムアウトは、FP\_PROXIMITY\_RECAL にフル・パワー・モードでの 1 変換シーケンスの時間を乗算した値になります。

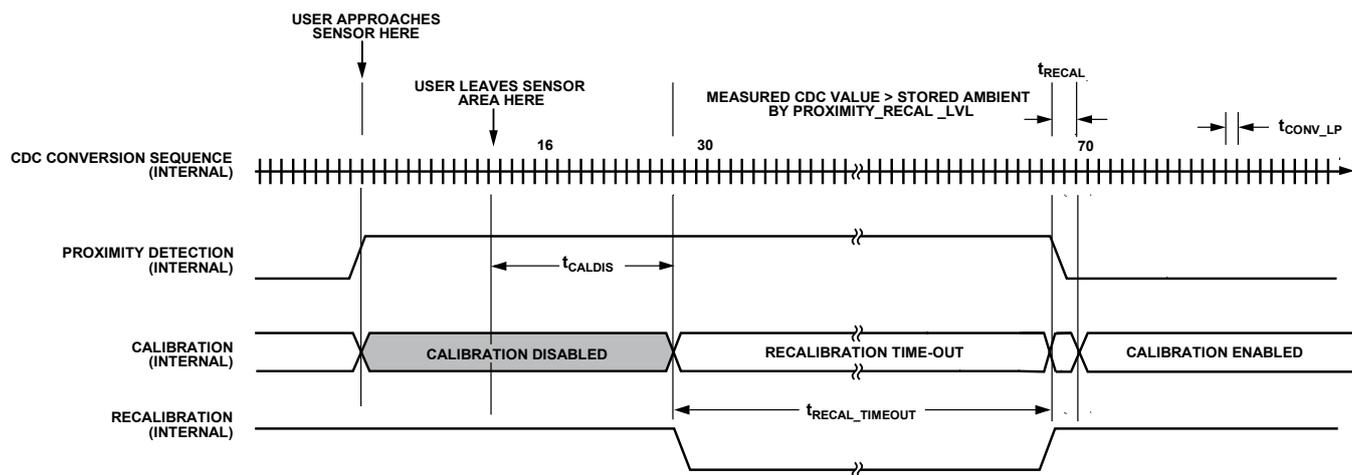
低消費電力モードでの再キャリブレーション・タイムアウトは、LP\_PROXIMITY\_RECAL に低消費電力モードでの 1 変換シーケンスの時間を乗算した値になります。

図 28 と図 29 に、FP\_PROXIMITY\_RECAL レジスタ・ビットと LP\_PROXIMITY\_RECAL レジスタ・ビット (アドレス 0x004[15:0]) を使って、フル・パワー・モードと低消費電力モードで動作中に再キャリブレーションの前に、タイムアウト周期を制御する方法の例を示します。これらの図では、ユーザーがセンサーに接近して離れますが、ユーザーが離れた後も近接検出はアクティブのままです。CDC 測定値は、タイムアウトの全期間、格納されている周囲値を PROXIMITY\_RECAL\_LVL ビットで指定された値だけ上回ります。センサーは、タイムアウト期間の終わりに自動的に再キャリブレーションされます。



07155-027

図 28. フルパワー・モード近接検出の例、再キャリブレーションを実施( $FP\_PROXIMITY\_CNT = 1$ かつ  $FP\_PROXIMITY\_RECAL = 40$ )



## NOTES

1. SEQUENCE CONVERSION TIME  $t_{CONV\_LP} = t_{CONV\_FP} + LP\_CONV\_DELAY$
2.  $t_{CALDIS} = t_{CONV\_LP} \times LP\_PROXIMITY\_CNT \times 4$
3.  $t_{RECAL\_TIMEOUT} = t_{CONV\_FP} \times LP\_PROXIMITY\_RECAL$
4.  $t_{RECAL} = 2 \times t_{CONV\_LP}$

07195-028

図 29.低消費電力モード近接検出の例、再キャリブレーションを実施(LP\_PROXIMITY\_CNT = 4 かつ LP\_PROXIMITY\_RECAL = 40)

## 近接感度

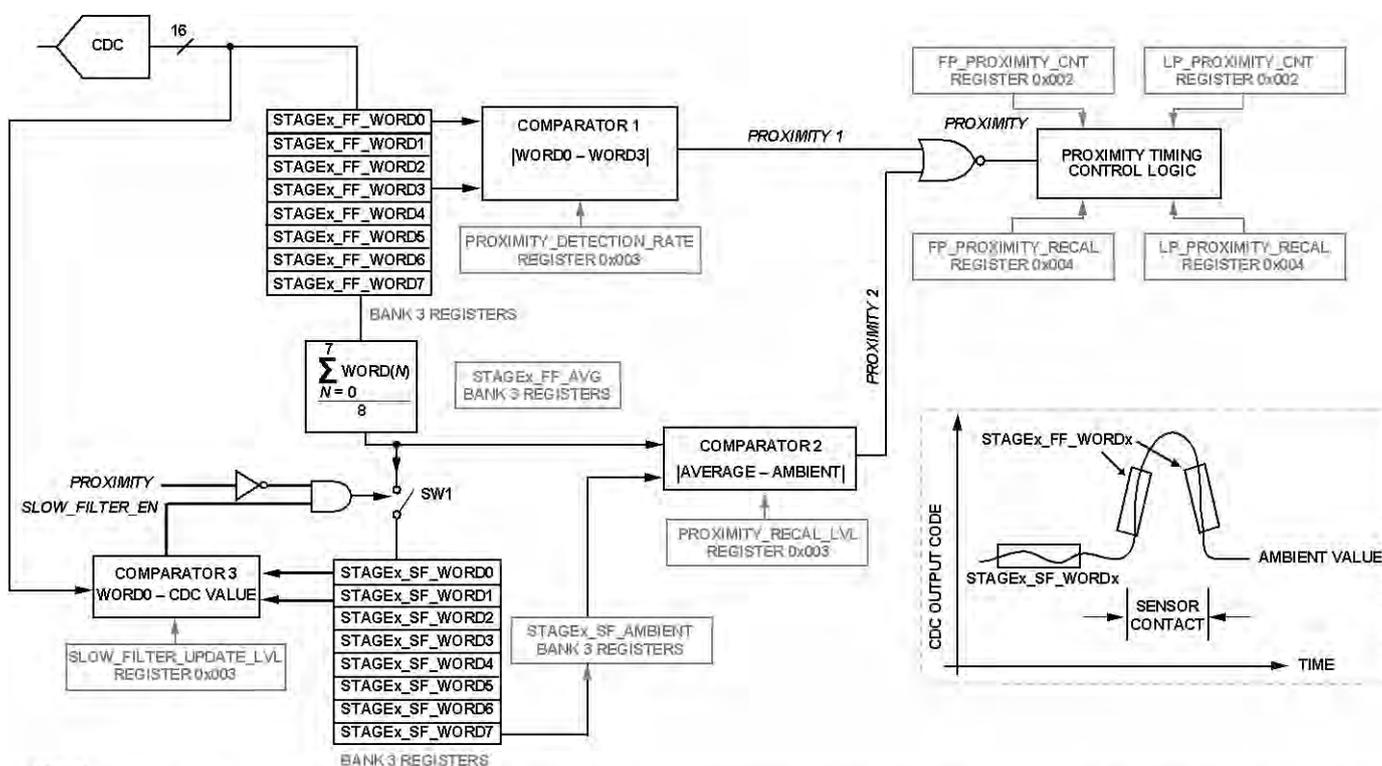
人がセンサー(近接)に近づいたときには、図 30 に示す高速フィルタを使って検出します。コンパレータ 1 とコンパレータ 2 を使って、2 つの条件が内部近接検出信号を設定します。コンパレータ 1 はユーザーがセンサーに接近したタイミングを検出します。PROXIMITY\_DETECTION\_RATE ビット(アドレス 0x003[13:8])は、コンパレータ 1 の感度を制御します。たとえば、PROXIMITY\_DETECTION\_RATE が 4 に設定されている場合、WORD1 と WORD3 との間の絶対差が(4 × 16) LSB コードを超えると、Roximity 1 信号が設定されます。コンパレータ 2 は、ユーザーがセンサーの上方に留まるか、またはセンサーに非常に接近したタイミングを検出します。PROXIMITY\_RECAL\_LVL ビット(アドレス 0x003[7:0])は、コンパレータ 2 の感度を制御します。たとえば、PROXIMITY\_RECAL\_LVL が 75 に設定されている場合、高速フィルタ平均値と周囲値との間の絶対差が(75 × 16) LSB コードを超えると、Roximity 2 信号が設定されます。

## FF\_SKIP\_CNT

内蔵ロジックが近接検出高速 FIFO 使って、近接検出の有無を調べています。高速 FIFO は、設定されたレートでコンバータからサンプルを受け取るようになっています。FF\_SKIP\_CNT(レジスタ 0x002[3:0])は高速フィルタ・スキップ制御ですが、これを使って、シーケンス内にある変換ステージ数によらず、FIFO に入力されるサンプルの周波数を正規化しています。この値は、近接検出高速 FIFO が使用しない(スキップする)CDC サンプルを指定します。

FF\_SKIP\_CNT 値の決定は、容量センサー・インターフェースの初期セットアップ時に 1 回だけ必要です。表 13 に、FF\_SKIP\_CNT が高速 FIFO の更新レートを制御する方法を示します。AD7148 上の全 8 変換ステージを使用する際の推奨設定値は、次のようになります。

FF\_SKIP\_CNT = 0000 = スキップするサンプルなし



### NOTES

1. SLOW\_FILTER\_EN IS SET AND SW1 IS CLOSED WHEN |STAGEx\_SF\_WORD0 - STAGEx\_SF\_WORD1| EXCEEDS THE VALUE PROGRAMMED IN THE SLOW\_FILTER\_UPDATE\_LVL BITS PROVIDING PROXIMITY IS NOT SET.
2. PROXIMITY 1 IS SET WHEN |STAGEx\_FF\_WORD0 - STAGEx\_FF\_WORD3| EXCEEDS THE VALUE PROGRAMMED IN THE PROXIMITY\_DETECTION\_RATE BITS.
3. PROXIMITY 2 IS SET WHEN |AVERAGE - AMBIENT| EXCEEDS THE VALUE PROGRAMMED IN THE PROXIMITY\_RECAL\_LVL BITS.
4. DESCRIPTION OF COMPARATOR FUNCTIONS:  
 COMPARATOR 1: USED TO DETECT WHEN A USER IS APPROACHING OR LEAVING A SENSOR.  
 COMPARATOR 2: USED TO DETECT WHEN A USER IS HOVERING OVER A SENSOR OR APPROACHING A SENSOR VERY SLOWLY.  
 ALSO USED TO DETECT IF THE SENSOR AMBIENT LEVEL HAS CHANGED AS A RESULT OF USER INTERACTION.  
 FOR EXAMPLE, HUMIDITY OR DIRT LEFT BEHIND ON SENSOR.  
 COMPARATOR 3: USED TO ENABLE THE SLOW FILTER UPDATE RATE. THE SLOW FILTER IS UPDATED WHEN SLOW\_FILTER\_EN IS SET AND PROXIMITY IS NOT SET.

図 30. 近接検出ロジック

表 13.FF\_SKIP\_CNT の設定

FF_SKIP_CNT	Fast FIFO Update Rate		
	Decimation = 64	Decimation = 128	Decimation = 256
0	$0.768 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$1.536 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$3.072 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
1	$1.536 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$3.072 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$6.144 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
2	$2.3 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$4.608 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$9.216 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
3	$3.072 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$6.144 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$12.288 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
4	$3.84 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$7.68 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$15.36 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
5	$4.6 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$9.216 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$18.432 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
6	$5.376 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$10.752 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$21.504 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
7	$6.144 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$12.288 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$24.576 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
8	$6.912 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$13.824 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$27.648 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
9	$7.68 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$15.36 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$30.72 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
10	$8.448 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$16.896 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$33.792 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
11	$9.216 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$18.432 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$36.864 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
12	$9.984 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$19.968 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$39.936 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
13	$10.752 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$21.504 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$43.008 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
14	$11.52 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$23.04 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$46.08 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$
15	$12.288 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$24.576 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$	$49.152 \times (\text{SEQUENCE\_STAGE\_NUM} + 1) \text{ ms}$

## 環境キャリブレーション

AD7148 は、容量センサーの周囲レベルに影響を与える環境条件を自動的に調節する容量センサー・キャリブレーション機能を内蔵しています。容量センサーの出力レベルは、温度、湿度、場合によっては塵埃の影響を受けます。AD7148 は、CDC 周囲レベルを連続モニターして、式 1 と式 2 に示すように STAGEx\_HIGH\_THRESHOLD レジスタと STAGEx\_LOW\_THRESHOLD レジスタの値を調節することにより、環境変化を補償して最適かつ信頼度の高いセンサー性能を実現します。CDC 周囲レベルは、ユーザーがセンサーに接近していない、または接触していない期間の容量センサーの出力レベルと定義されます。

補償ロジックは、AD7148 に接触がない場合、設定後に各変換で自動的に動作します。この機能により、AD7148 は環境条件の急速な変化を考慮することができます。

周囲補償コントロール・レジスタは、補償アルゴリズムの全体的なセットアップと制御のためのアクセスをホストに提供します。内蔵 RAM は、各変換ステージの補償データや各ステージ固有のセットアップ情報を保存します。

図 31 に、環境条件に無関係に一定の CDC 周囲レベルを維持する、容量センサーの理想的な動作例を示します。表示した CDC 出力は一方の差動ボタン・センサーの場合で、アクティブになると、測定される容量が一方のセンサーでは増加し、他方のセンサーでは減少します。正と負のセンサー・スレッシュールド・レベルは、STAGEx\_OFFSET\_HIGH 値と STAGEx\_OFFSET\_LOW 値のパーセント値として計算され、スレッシュールド感度設定と周囲値に基づきます。これらの値は、センサー接触の検出に十分であり、スレッシュールド・レベルを超えたとき AD7148 が INT 出力をアサートします。

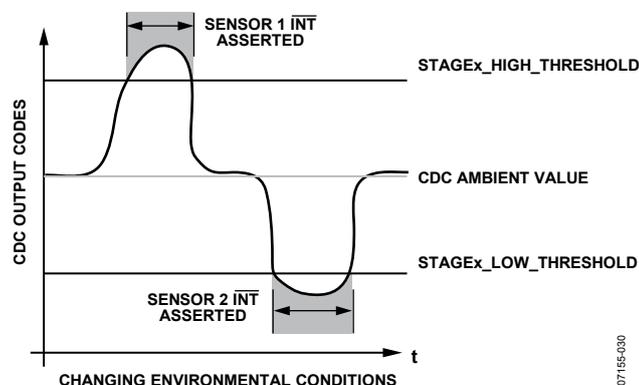


図 31.一定周囲レベルを持つ理想センサーの動作

## キャリブレーションなしでの容量センサー動作

図 32 に、キャリブレーションを行わないときの容量センサーの一般的な動作を示します。この図は、環境条件が変化すると、時間的にドリフトする周囲レベルを示しています。周囲レベルのドリフトにより、センサー2 がユーザーの接触の検出に失敗しています。これは、最初の低いオフセット・レベルがそのまま続く間に、周囲レベルが上にドリフトして検出範囲を超えたために発生しています。

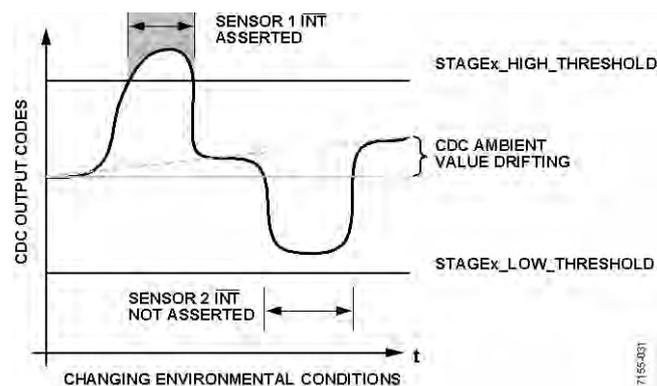
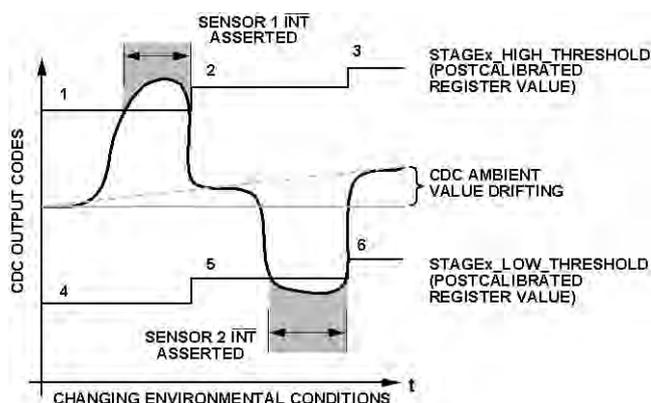


図 32.キャリブレーションなしの一般的なセンサー動作

キャリブレーションを行った場合の容量センサーの動作のセクションに、AD7148 の適応型キャリブレーション・アルゴリズムがこのような失敗を防止する方法を説明しています。

## キャリブレーションを行った場合の容量センサーの動作

AD7148 の内蔵適応型キャリブレーション・アルゴリズムは、図 32 に示すようなセンサー検出の失敗を防止します。誤動作の防止は、CDC 周囲レベルをモニターし、各センサーで測定された周囲ドリフトの大きさに従って STAGEx\_OFFSET\_HIGH と STAGEx\_OFFSET\_LOW の初期値を再調整することにより実行されます。STAGEx\_OFFSET\_HIGH と STAGEx\_OFFSET\_LOW の新しい値を使用して、式 1 と式 2 に説明する内部の STAGEx\_HIGH\_THRESHOLD 値と STAGEx\_LOW\_THRESHOLD 値が自動的に更新されます。このクロード・ループ・ルーチンは、動的な環境条件の中で AD7148 に接続された各センサーの信頼性と再現性のある動作を保証します。図 33 に、AD7148 が適応型キャリブレーション処理を行い、動的な環境条件による CDC 周囲レベルの変化があっても、中断するような失敗を起こさない簡略化した例を示します。



## NOTES

1. INITIAL STAGEx\_OFFSET\_HIGH REGISTER VALUE.
2. POSTCALIBRATED REGISTER STAGEx\_HIGH\_THRESHOLD.
3. POSTCALIBRATED REGISTER STAGEx\_HIGH\_THRESHOLD.
4. INITIAL STAGEx\_LOW\_THRESHOLD.
5. POSTCALIBRATED REGISTER STAGEx\_LOW\_THRESHOLD.
6. POSTCALIBRATED REGISTER STAGEx\_LOW\_THRESHOLD.

07156432

図 33. データ・パスにキャリブレーションを行った一般的なセンサ  
—動作

## 低速 FIFO

図 30 に示すように、AD7148 には多くの FIFO があります。これらの FIFO は、内蔵メモリのバンク 3 内にあります。低速 FIFO は、内蔵ロジックが各センサーからの周囲容量レベルをモニターするときに使います。

### AVG\_FP\_SKIP と AVG\_LP\_SKIP

レジスタ 0x001 では、ビット[13:12]がフル・パワー・モード用の低速 FIFO スキップ・コントロール AVG\_FP\_SKIP です。同じレジスタのビット[15:14]が低消費電力モード用の低速 FIFO スキップ・コントロール AVG\_LP\_SKIP です。これらの値は、低速 FIFO で使用しない(スキップする)CDC サンプルを指定します。

### 内蔵ロジック・ステージ・ハイとロジック・ステージ・ローのスレッシュホールド計算式

$$\begin{aligned}
 STAGEx\_HIGH\_THRESHOLD &= STAGE\_SF\_AMBIENT + \left( \frac{STAGEx\_OFFSET\_HIGH}{4} \right) + \\
 &\left( \frac{STAGEx\_OFFSET\_HIGH - \frac{STAGEx\_OFFSET\_HIGH}{4}}{16} \right) \times POS\_THRESHOLD\_SENSITIVITY
 \end{aligned} \tag{1}$$

$$\begin{aligned}
 STAGEx\_LOW\_THRESHOLD &= STAGE\_SF\_AMBIENT + \left( \frac{STAGEx\_OFFSET\_LOW}{4} \right) + \\
 &\left( \frac{STAGEx\_OFFSET\_LOW - \frac{STAGEx\_OFFSET\_LOW}{4}}{16} \right) \times POS\_THRESHOLD\_SENSITIVITY
 \end{aligned} \tag{2}$$

これらの値を変更すると、コンバータが読み出す容量測定値を周囲容量値が追跡するレートが次のように増減します。

フル・パワー・モードでの低速 FIFO 更新レート =  $AVG\_FP\_SKIP \times [(3 \times \text{デシメーション・レート}) \times (SEQUENCE\_STAGE\_NUM + 1) \times (FF\_SKIP\_CNT + 1) \times 4 \times 10^{-7}]$ 。

低消費電力モードでの低速 FIFO 更新レート =  $(AVG\_LP\_SKIP + 1) \times [(3 \times \text{デシメーション・レート}) \times (SEQUENCE\_STAGE\_NUM + 1) \times (FF\_SKIP\_CNT + 1) \times 4 \times 10^{-7}] / [(FF\_SKIP\_CNT + 1) + LP\_CONV\_DELAY]$ 。

低速 FIFO は、周囲容量値を追跡するとき内蔵ロジックが使用します。低速 FIFO は、25ms のレートでコンバータからサンプルを受け取るようになっていています。AVG\_FP\_SKIP と AVG\_LP\_SKIP を使って、シーケンス内の変換ステージ数に無関係に、FIFO に入力されるサンプルの周波数を正規化していません。

AVG\_FP\_SKIP と AVG\_LP\_SKIP の値の決定は、容量センサー・インターフェースの初期セットアップ時に 1 回だけ必要です。8 変換ステージをすべて使用する場合、これらの設定の推奨値は次のようになります。

AVG\_FP\_SKIP = 00 = 3 個のサンプルをスキップ

AVG\_LP\_SKIP = 00 = 0 個のサンプルをスキップ

### SLOW\_FILTER\_UPDATE\_LVL

SLOW\_FILTER\_UPDATE\_LVL (アドレス 0x003[15:14])は、最新の CDC 計測値を低速 FIFO (低速フィルタ)に入れるか否かを制御します。低速フィルタは、現在の CDC 値と低速 FIFO の最終値の差が SLOW\_FILTER\_UPDATE\_LVL の値より大きいときに更新されます。

## 適応型スレッシュールドと感度

AD7148 は、自動調整の適応型スレッシュールドと感度アルゴリズムを内蔵しています。このアルゴリズムは各センサーの出力レベルを連続モニターし、ユーザーがカバーするセンサー領域に比例してスレッシュールド・レベルを自動的に再スケールします。そのため、AD7148 は指の大きさに無関係にすべてのユーザーに対して最適なスレッシュールドと感度レベルを維持します。

スレッシュールド・レベルは、常に周囲レベルから参照され、このレベルを超えたときに有効なセンサー接触と判定される CDC コンバータの出力レベルとして定義されます。感度レベルは、有効な接触と判定されるために必要なセンサーの感度です。

図 34 に、適応型スレッシュールドと感度アルゴリズムの動作例を示します。正と負のセンサー・スレッシュールド・レベルは、`STAGEx_OFFSET_HIGH` 値と `STAGEx_OFFSET_LOW` 値のパーセント値として計算され、スレッシュールド感度設定と周囲値に基づきます。AD7148 が設定されると、初期計算値が `STAGEx_OFFSET_HIGH` と `STAGEx_OFFSET_LOW` に適用され、その後キャリブレーション・エンジンが自動的にセンサー応答に対して `STAGEx_HIGH_THRESHOLD` 値と `STAGEx_LOW_THRESHOLD` 値を調整します。

AD7148 は、各センサーから測定した平均の最大値と最小値を追跡します。これらの値は、ユーザーがセンサーと相互作用している様子を示します。指が太いほど、平均の最大値または最小値が大きくなり、指が細いほど小さな値になります。

平均の最大値または最小値が変化すると、スレッシュールド・レベルが現在のユーザーに合うように、スレッシュールド・レベルが再スケールされます。図 35 に、内蔵ロジックが最小と最大のセンサー応答を追跡する方法を示します。

図 34 のリファレンス A は、指の細いユーザーに対する感度の低いスレッシュールド・レベルを示しており、固定スレッシュールド・レベルの欠点を表しています。

適応型スレッシュールドと感度アルゴリズムをイネーブルすると、正と負のスレッシュールド・レベルは、`POS_THRESHOLD_SENSITIVITY` 値、`NEG_THRESHOLD_SENSITIVITY` 値、さらに最新の平均最大センサー出力値によって決定されるようになります。これらのビットを使用して、周囲値から参照される、最新平均最大出力レベルの 25%~95.32% の範囲の 16 種類の正と負の感度レベルを選択することができます。感度パーセント値の設定が小さいほど、センサー・アクチベーションが容易にトリガーされるようになります。リファレンス B は、`POS_THRESHOLD_SENSITIVITY = 1000` を設定することにより、正の適応型スレッシュールド・レベルが中感度付近(スレッシュールド・レベル = 62.51%) に設定されることを示しています。図 34 は、`NEG_THRESHOLD_SENSITIVITY = 0011` を設定したときの、負のスレッシュールド・レベルに対する同様の例を示しています。

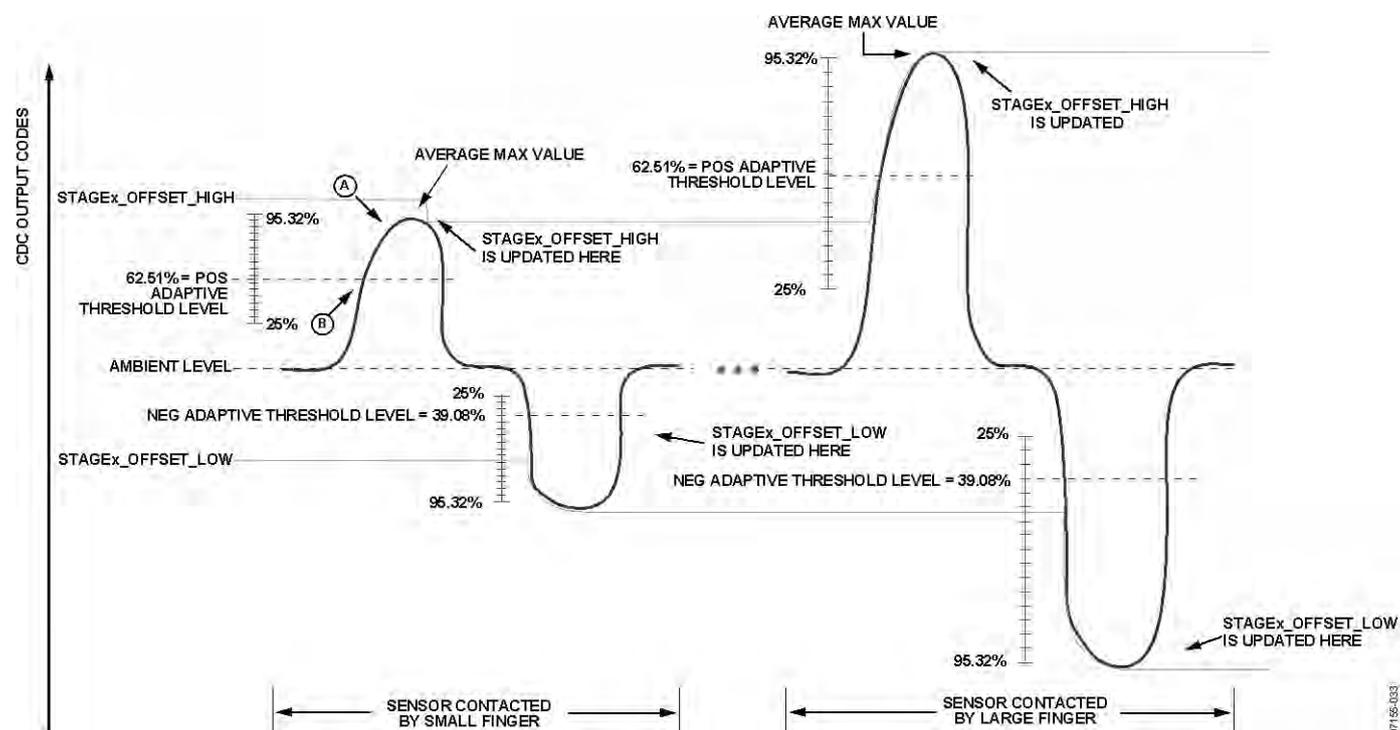


図 34. スレッシュールド感度の例 (`POS_THRESHOLD_SENSITIVITY = 1000`、`NEG_THRESHOLD_SENSITIVITY = 0011`)

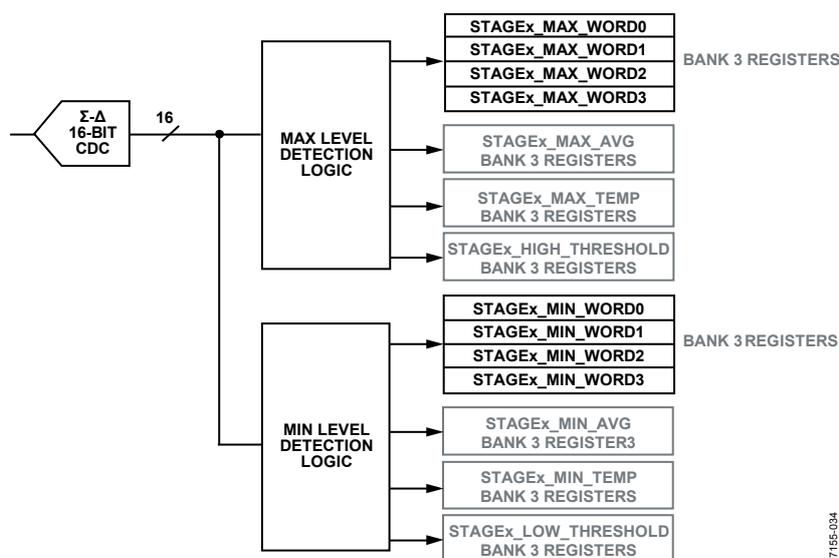


図 35.最小および最大平均センサー値の追跡

表 14.環境キャリブレーション・レジスタと適応型スレッシュホールド・レジスタのその他の情報

Bit	Register Location	Description
NEG_THRESHOLD_SENSITIVITY	Bank 2	Used in Equation 2. This value is programmed once at startup.
NEG_PEAK_DETECT	Bank 2	Used by internal adaptive threshold logic only. The NEG_PEAK_DETECT is set to a percentage of the difference between the ambient CDC value and the minimum average CDC value. If the output of the CDC gets within the NEG_PEAK_DETECT percentage of the minimum average, only then is the minimum average value updated.
POS_THRESHOLD_SENSITIVITY	Bank 2	Used in Equation 1. This value is programmed once at startup.
POS_PEAK_DETECT	Bank 2	Used by internal adaptive threshold logic only. The POS_PEAK_DETECT is set to a percentage of the difference between the ambient CDC value and the maximum average CDC value. If the output of the CDC gets within the POS_PEAK_DETECT percentage of the maximum average, only then is the maximum average value updated.
STAGEx_OFFSET_LOW	Bank 2	Used in Equation 2. An initial value (based on sensor characterization) is programmed into this register at startup. The AD7148 on-chip calibration algorithm automatically updates this register based on the amount of sensor drift due to changing ambient conditions. Set to 80% of the STAGEx_OFFSET_LOW_CLAMP value.
STAGEx_OFFSET_HIGH	Bank 2	Used in Equation 1. An initial value (based on sensor characterization) is programmed into this register at startup. The AD7148 on-chip calibration algorithm automatically updates this register based on the amount of sensor drift due to changing ambient conditions. Set to 80% of the STAGEx_OFFSET_HIGH_CLAMP value.
STAGEx_OFFSET_HIGH_CLAMP	Bank 2	Used by internal environmental calibration and adaptive threshold algorithms only. An initial value (based on sensor characterization) is programmed into this register at startup. The value in this register prevents a user from causing sensor output value to exceed the expected nominal value. Set to the maximum expected sensor response, maximum change in CDC output code.
STAGEx_OFFSET_LOW_CLAMP	Bank 2	Used by internal environmental calibration and adaptive threshold algorithms only. An initial value (based on sensor characterization) is programmed into this register at startup. The value in this register prevents a user from causing sensor output value to exceed the expected nominal value. Set to the minimum expected sensor response, minimum change in CDC output code .
STAGEx_SF_AMBIENT	Bank 3	Used in Equation 1 and Equation 2. This is the ambient sensor output, when the sensor is not touched, as calculated using the slow FIFO.
STAGEx_HIGH_THRESHOLD	Bank 3	Equation 1 value.
STAGEx_LOW_THRESHOLD	Bank 3	Equation 2 value.

## 割込み出力

AD7148 は、ホスト・プロセッサ上の割込みサービス・ルーチンを起動する割込み出力を持っています。このINT信号はピン12で、オープン・ドレイン出力です。AD7148には、CDC変換完了割込み、センサー・スレッシュホールド割込みの2タイプの割込みイベントがあります。各割込みにはイネーブル・レジスタとステータス・レジスタがあります。変換完了割込みとセンサー・スレッシュホールド(センサー・アクチベーション)割込みは、変換ステージごとにイネーブルできます。ステータス・レジスタは、INTピンをトリガーした割込みのタイプを表示します。ステータス・レジスタを読み出すと、このレジスタがクリアされて、INT信号がハイ・レベルに戻ります。読み出しアドレスが設定されると直ちに、この信号はハイ・レベルに戻ります。

### CDC 変換完了割込み

AD7148 割込み信号はロー・レベルになって、変換ステージが完了し、新しい変換結果がレジスタにロードされたことを表示します。

この割込みは、各変換ステージに対して独立にイネーブルすることができます。各変換ステージ完了割込みは、STAGEx\_COMPLETE\_INT\_EN レジスタ(アドレス0x007)を使ってイネーブルすることができます。このレジスタには、各変換ステージに対応するビットが配置されています。このビットを1に設定すると、そのステージの割込みがイネーブルされます。このビットを0にクリアすると、そのステージの変換完了割込みがディセーブルされます。

通常動作では、割込みは変換シーケンス内の最終ステージでのみイネーブルされます。たとえば、5変換ステージある場合、STAGE4の変換完了割込みがイネーブルされます。5変換ステージすべてが完了したときにのみINTがアサートされるので、ホストは5個のすべての変換結果レジスタから新しいデータを読み出すことができます。アドレス0x00AのSTAGEx\_COMPLETE\_INT\_STATUS レジスタを読み出すと、割込みがクリアされます。

レジスタ0x00Aは、変換完了割込みステータス・レジスタです。このレジスタの各ビットは変換ステージに対応します。ステージで変換完了割込みが発生すると、対応するビットがセットされます。このレジスタを読み出すとクリアされます(ただし、割込みを発生させた原因が存在しなくなった場合)。

### センサー・タッチ割込み

センサー・タッチ割込みモードは、センサーが接触されたときにのみホスト・プロセッサが割込みを必要とする場合にのみ実装されます。AD7148をこのモードに設定すると、ユーザーがセンサーに接触したとき、およびセンサーへの接触を停止したとき、割込みが発生するようになります。2つ目の割込みは、ユーザーがセンサーへの接触を停止したことをホスト・プロセッサに通知するために必要です。

レジスタはアドレス0x005(STAGEx\_LOW\_INT\_EN)に配置されており、アドレス0x006(STAGEx\_HIGH\_INT\_EN)を使って、各ステージの割込み出力をイネーブルします。レジスタはアドレス0x008(STAGEx\_LOW\_LIMIT\_INT)に配置されており、アドレス0x009(STAGEx\_HIGH\_LIMIT\_INT)を使って、各ステージの割込みステータスを読み出します。

図36に、STAGE0に接続されたセンサーの1つに接触したときの割込み出力タイミングと、センサー・タッチ割込みモードでの動作を示します。下限値構成の場合、ユーザーがセンサーに接触し、接触を停止すると直ちに割込み出力がアサートされます。

アドレス0x008とアドレス0x009の割込みステータス・レジスタをホスト・プロセッサが読み出すまで、割込み出力はロー・レベルを維持することに注意してください。

スレッシュホールド・ステータス・ビット内に変化が生じると、割込み出力がアサートされます。これは、ユーザーが最初にセンサーに触れ、接触したセンサー数が変化するか、またはユーザーがセンサーに触れなくなったことを表示します。割込みステータス・レジスタのステータス・ビットを読み出すと、現在のセンサー・アクチベーションを知ることができます。

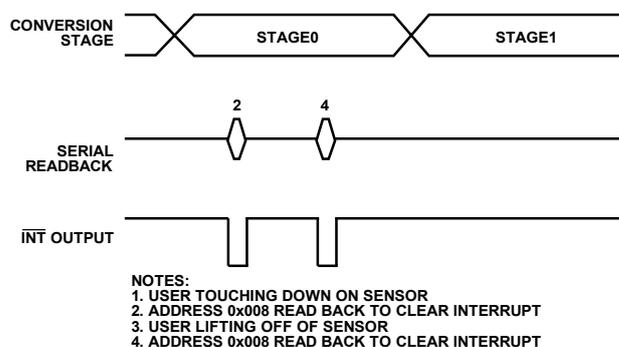


図 36. センサー・タッチ割込みの例

## AC<sub>SHIELD</sub>出力

AD7148 は、CIN<sub>x</sub> とグラウンドとの間の容量を測定します。CIN<sub>x</sub> ピンとセンサーとの間の信号パス上にある、グラウンドに対するすべての容量が AD7148 の変換結果に含まれます。

グラウンドに対する漂遊容量をなくするために、AC<sub>SHIELD</sub> 信号を使って、センサーと CIN<sub>x</sub> との間の接続をシールドする必要があります(図 37 参照)。センサー周辺のプレーンも AC<sub>SHIELD</sub> に接続する必要があります。

AC<sub>SHIELD</sub> 出力は、CIN<sub>x</sub> の励起信号と同じ信号波形です。このため、CIN<sub>x</sub> と AC<sub>SHIELD</sub> との間には AC 電流が流れないので、これらのピンとの間の容量は CIN<sub>x</sub> の電荷移動に影響を与えません。

AC<sub>SHIELD</sub> を使うと容量—グラウンド間でのノイズ混入がなくなります。これは、AD7148 をセンサーから最大 60 cm まで離して配置できることを意味します。このため、センサーと CIN<sub>x</sub> 入力との間の接続を AC<sub>SHIELD</sub> を使って適切にシールドすると、AD7148 をセンサー-PCB とは別の PCB に配置することができます。

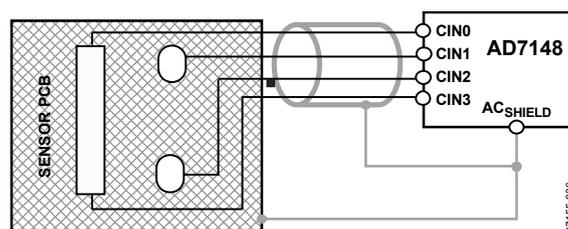


図 37.AC<sub>SHIELD</sub>

## I<sup>2</sup>C 互換シリアル・インターフェース

AD7148 は、業界標準の 2 線式 I<sup>2</sup>C シリアル・インターフェース・プロトコルをサポートしています。SCLK 入力と SDA 入力は、I<sup>2</sup>C のタイミングに関係しています。SDA は、レジスタ書き込み動作とレジスタ読み出し動作を可能にする I/O ピンです。AD7148 は常に、I<sup>2</sup>C シリアル・インターフェース・バス上ではスレーブ・デバイスであり、

固定の 7 ビット・デバイス・アドレス(アドレス 0101 110)を持っています。AD7148 は、マスター・デバイスがバスを介してデバイス・アドレスを送信したときに応答します。AD7148 はバスへのデータ転送を開始することはできません。

表 15. AD7148 の I<sup>2</sup>C デバイス・アドレス

DEV A6	DEV A5	DEV A4	DEV A3	DEV A2	DEV A1	DEV A0
0	1	1	0	1	1	0

### データ転送

データは、I<sup>2</sup>C シリアル・インターフェースを介して 8 ビット・バイトで転送されます。スタート条件は、シリアル・クロック・ライン SCL がハイ・レベルの間にシリアル・データ・ライン SDA 上に発生するハイ・レベルからロー・レベルへの変化として定義されますが、マスターはこのスタート条件を設定して、データ転送を開始します。このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。

シリアル・バスに接続された全てのスレーブ・ペリフェラルはスタート条件に対して応答し、それに続く 8 ビットをシフト入力します。この 8 ビットは、7 ビット・アドレス(MSB 先頭)と R/W ビットで構成されています。この R/W ビットはデータ転送の方向を指定します。送信されたアドレスに対応するアドレスを持つペリフェラルは、9 番目のクロック・パルス区間中に、データ・ラインをロー・レベルにプルダウンして応答します。これはアックノリッジ・ビット(アック・ビット)と呼ばれています。選択されたデバイスが読み書きの対象となるデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/W ビットが 0 の場合は、マスターがスレーブ・デバイスに対して書き込みを行います。R/W ビットが 1 の場合は、マスターがスレーブ・デバイスから読み出しを行います。

8 ビットのデータとそれに続くスレーブ・デバイスからのアックノリッジ・ビットが、9 個のクロック・パルスでシリアル・バスに出力されます。クロックがハイ・レベルの間のロー・レベルからハイ・レベルへの変化はストップ信号と解釈されるため、データ・ラインの変化はクロック信号のロー・レベル区間で発生し、ハイ・レベル区間中は安定している必要があります。1 回のリード動作またはライト動作でシリアル・バスに出力できるデータ・バイト数は、マスター・デバイスとスレーブ・デバイスが処理できるバイト数でのみ制限されます。

全データ・バイトの読み出しまたは書き込みが終了すると、ストップ条件が設定されます。ストップ条件は SCLK がハイ・レベルのときの、SDA のロー・レベルからハイ・レベルへの変化として定義されています。AD7148 がストップ条件を検出すると、アイドル状態に戻り、アドレス・ポインタ・レジスタを 0x00 にリセットします。

### I<sup>2</sup>C バス経由のデータ書き込み

I<sup>2</sup>C バス経由の AD7148 に対する書き込みプロセスを図 38 と図 40 に示します。デバイス・アドレスがバスを介して送信され、その後に 0 に設定された WR/ビットと、書き込み対象の内部データ・レジスタの 10 ビット・アドレスを指定する 2 バイトのデー

タが続きます。次のビット・マップに、レジスタ・アドレスの上位バイトを示します。上位アドレス・バイトのビット 7~ビット 2 は、don't care ビットです。アドレスは、レジスタ・アドレス・バイトの 10 LSB に格納されています。

MSB						LSB	
7	6	5	4	3	2	1	0
X	X	X	X	X	X	Register Address Bit 9	Register Address Bit 8

次のビット・マップに、レジスタ・アドレスの下位バイトを示します。

MSB						LSB	
7	6	5	4	3	2	1	0
Reg Add Bit 7	Reg Add Bit 6	Reg Add Bit 5	Reg Add Bit 4	Reg Add Bit 3	Reg Add Bit 2	Reg Add Bit 1	Reg Add Bit 0

3 番目のデータ・バイトは、内部データ・レジスタに書き込まれるデータの上位 8 ビットです。4 番目のデータ・バイトは、内部データ・レジスタに書き込まれるデータの下位 8 ビットです。

AD7148 のアドレス・ポインタ・レジスタは、各書き込み後に自動的にインクリメントされるため、マスターは同じ書き込みトランザクション内で AD7148 のすべてのレジスタに対してシーケンシャルな書き込みを行うことができます。ただし、アドレス・ポインタ・レジスタは最後のアドレスの後にラップ・アラウンドしません。

アドレス・ポインタが最大値に到達した後に AD7148 へ書き込まれたすべてのデータは無視されます。

AD7148 のすべてのレジスタは 16 ビットです。連続する 2 つの 8 ビット・データ・バイトは結合されて、16 ビット・レジスタに書き込まれます。誤動作を防止するため、デバイスへのすべての書き込みは、偶数個のデータ・バイトで行う必要があります。

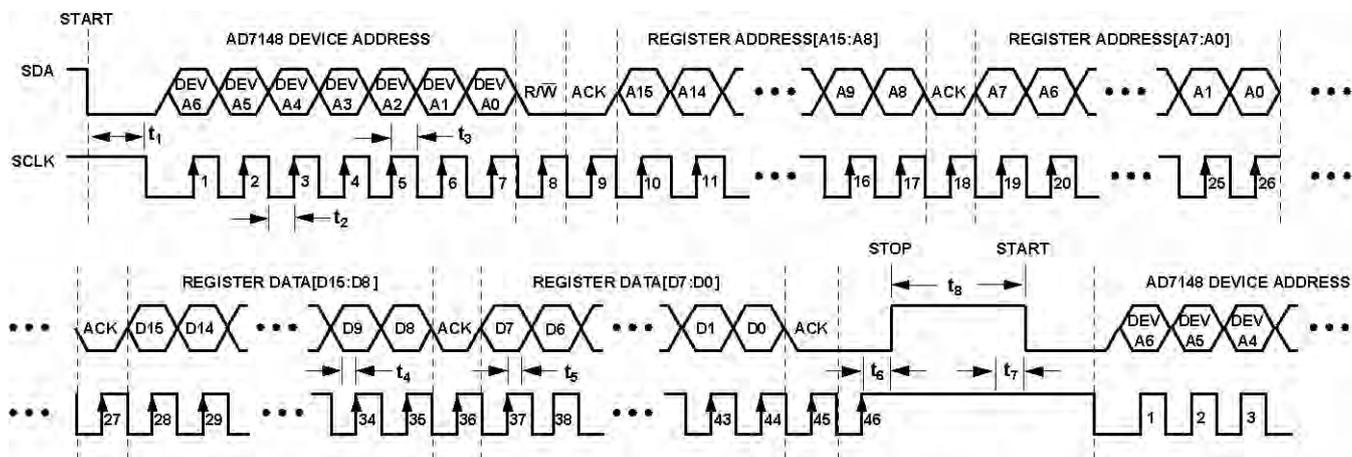
トランザクションを終了するときは、マスターがストップ条件を SDO へ出力するか、マスターがバス制御を維持する場合には繰り返しスタート条件を出力します。

### I<sup>2</sup>C バス経由のデータ読み出し

AD7148 から読み出しを行うときは、まず、アドレス・ポインタ・レジスタに対象となる内部レジスタのアドレスを設定します。マスターが書き込みトランザクションを実行し、次に AD7148 への書き込みを行ってアドレス・ポインタを設定します。続いて、マスターは繰り返しスタート条件を出力してバス制御を維持するか、またはこれが不可能な場合は、ストップ条件により書き込みトランザクションを終了させます。読み出しトランザクションは、R/W ビットを 1 に設定して開始させます。

AD7148 は、最初のリードバック・バイトでアドレス指定されたレジスタからのデータの上位 8 ビットを出力し、続いて次のバイトの下位 8 ビットを出力します。この動作を図 39 と図 40 に示します。

各読み出しの後にアドレス・ポインタが自動的にインクリメントされるため、AD7148 はリードバック・データの出力を続け、マスターがナックとストップ条件をバスへ出力すると停止します。アドレス・ポインタが最大値に到達しても、マスターがデバイスからの読み出しを続けると、AD7148 は直前にアドレス指定されたレジスタからのデータを繰り返し送信します。

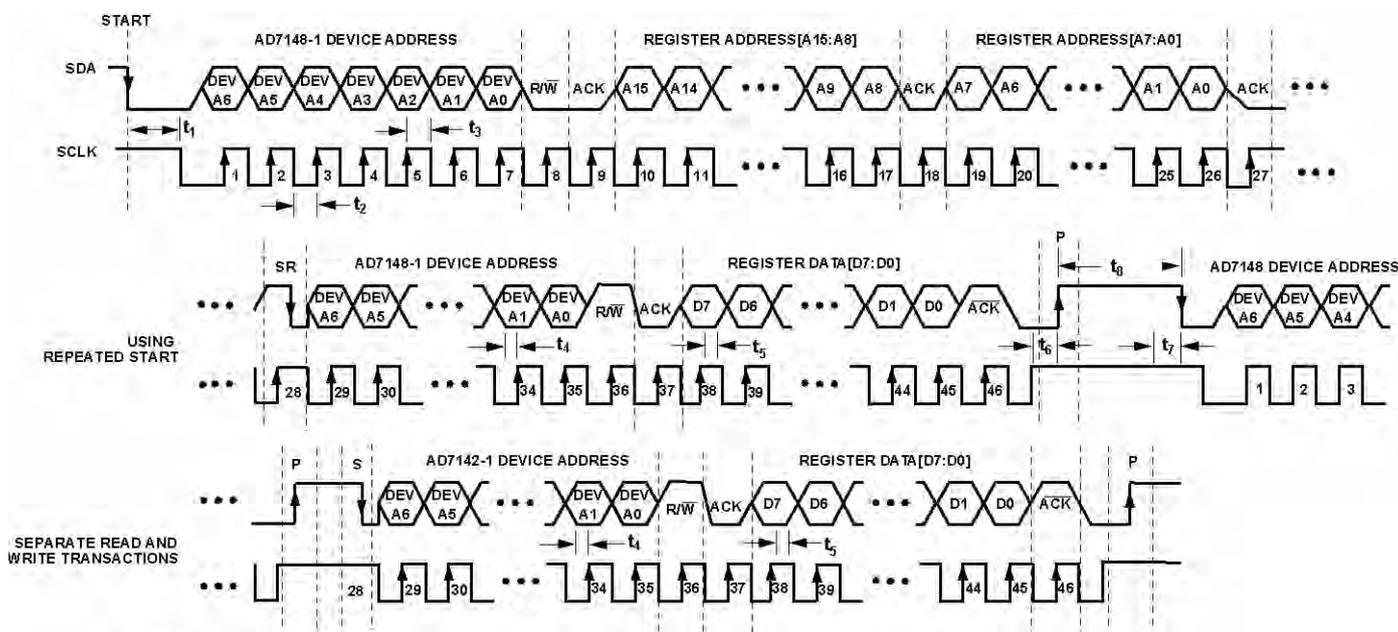


NOTES

1. A START CONDITION AT THE BEGINNING IS DEFINED AS A HIGH-TO-LOW TRANSITION ON SDA WHILE SCLK REMAINS HIGH.
2. A STOP CONDITION AT THE END IS DEFINED AS A LOW-TO-HIGH TRANSITION ON SDA WHILE SCLK REMAINS HIGH.
3. 7-BIT DEVICE ADDRESS [DEV A6:DEV A0] = [0 1 0 1 1 X X], WHERE X ARE DON'T CARE BITS.
4. 16-BIT REGISTER ADDRESS[A15:A0] = [X, X, X, X, X, X, X, X, A9, A8, A7, A6, A5, A4, A3, A2, A1, A0], WHERE X ARE DON'T CARE BITS.
5. REGISTER ADDRESS [A15:A8] AND REGISTER ADDRESS [A7:A0] ARE ALWAYS SEPARATED BY A LOW ACK BIT.
6. REGISTER DATA [D15:D8] AND REGISTER DATA [D7:D0] ARE ALWAYS SEPARATED BY A LOW ACK BIT.

07155-037

図 38. I<sup>2</sup>C タイミングの例—シングル・レジスタ書き込み動作



NOTES

1. A START CONDITION AT THE BEGINNING IS DEFINED AS A HIGH-TO-LOW TRANSITION ON SDA WHILE SCLK REMAINS HIGH.
2. A STOP CONDITION AT THE END IS DEFINED AS A LOW-TO-HIGH TRANSITION ON SDA WHILE SCLK REMAINS HIGH.
3. THE MASTER GENERATES THE ACK AT THE END OF THE READBACK TO SIGNAL THAT IT DOES NOT WANT ADDITIONAL DATA.
4. 7-BIT DEVICE ADDRESS [DEV A6:DEV A0] = [0 1 0 1 1 X X], WHERE THE TWO LSB X'S ARE DON'T CARE BITS.
5. 16-BIT REGISTER ADDRESS[A15:A0] = [X, X, X, X, X, X, X, X, A9, A8, A7, A6, A5, A4, A3, A2, A1, A0], WHERE THE UPPER LSB X'S ARE DON'T CARE BITS.
6. REGISTER ADDRESS [A15:A8] AND REGISTER ADDRESS [A7:A0] ARE ALWAYS SEPARATED BY A LOW ACK BIT.
7. REGISTER DATA [D15:D8] AND REGISTER DATA [D7:D0] ARE ALWAYS SEPARATED BY A LOW ACK BIT.
8. THE R/W BIT IS SET TO A1 TO INDICATE A READBACK OPERATION.

07155-038

図 39. I<sup>2</sup>C タイミングの例—シングル・レジスタ読み出し動作

## WRITE



## READ (USING REPEATED START)



## READ (WRITE TRANSACTION SETS UP REGISTER ADDRESS)


 OUTPUT FROM MASTER

S = START BIT

ACK = ACKNOWLEDGE BIT

 OUTPUT FROM AD7142

P = STOP BIT

ACK̄ = NO ACKNOWLEDGE BIT

SR = REPEATED START BIT

07156-039

図 40. I<sup>2</sup>C タイミングの例—シーケンシャル書込みおよび読み出し動作

作

**V<sub>DRIVE</sub> 入力**

I<sup>2</sup>C シリアル・インターフェース (SCLK、SDA) に関するすべてのピンに対する電源電圧はメインの V<sub>CC</sub> 電源から分離されており、V<sub>DRIVE</sub> ピンに接続されます。

このため、外付けレベル・シフタなしで、AD7148 の最小動作電圧より低いプロセッサの電源電圧へ AD7148 を直接接続することができます。V<sub>DRIVE</sub> ピンは 1.65 V ~ V<sub>CC</sub> の範囲の電源電圧へ接続することができます。

## PCBデザインのガイドライン

### 容量センサー・ボードの機械的仕様

表 16.

Parameter	Symbol	Min	Typ	Max	Unit
Distance from Edge of Any Sensor to Edge of Grounded Metal Object	$D_1$	0.1			mm
Distance Between Sensor Edges <sup>1</sup>	$D_2 = D_3 = D_4$	0			mm
Distance Between Bottom of Sensor Board and Controller Board or Grounded Metal Casing <sup>2</sup>	$D_5$		1.0		mm

<sup>1</sup> 距離は、アプリケーションとユーザーの指位置と動きに対するスイッチ相互の相対的な位置に依存します。相互に隙間なく隣接しているセンサーは差動で構成されます。

<sup>2</sup> 1.0 mm の規定は、導体とセンサー・ボードとの直接接触を防止するためのものです。この規定値はコントローラ・ボードからセンサーへの EMI 結合が発生しないことを保証するものではありません。EMI 結合問題を避けるためには、容量センサー・ボードとメイン・コントローラ・ボードの間をシールドするグラウンドメタルを設けてください (図 43)

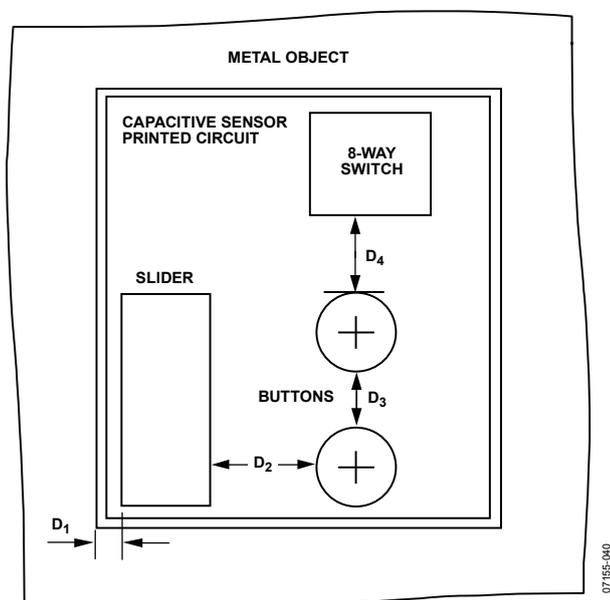


図 41.容量センサー・ボード、上面図

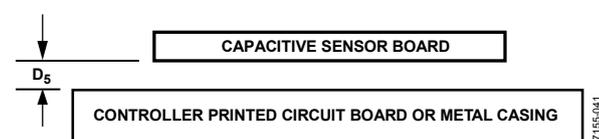


図 42.容量センサー・ボード、側面図

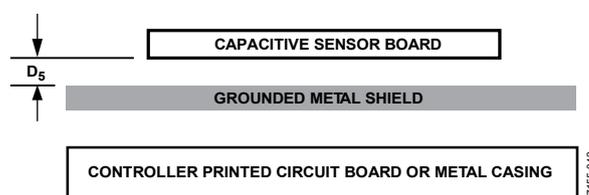


図 43.グラウンド・シールドを使用した容量センサー・ボード

### チップ・スケール・パッケージ

チップ・スケール・パッケージ(CP-16-13)のランドは長方形です。このパッケージに対するプリント回路ボードのパッドは、パッケージのランド長より 0.1 mm 長く、かつパッケージのランド幅より 0.05 mm 広い必要があります。パッド上でランドを中心に合わせてハンダ接続サイズを大きくしてください。

チップ・スケール・パッケージの底面には、中央にサーマル・パッドがあります。プリント回路ボード上のサーマル・パッドは、少なくともこの露出パッドより大きい必要があります。短絡を防止するため、サーマル・パッドとプリント回路ボード上のランド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。

サーマル・ビアをプリント回路ボードのサーマル・パッドに使用すると、パッケージの熱性能を向上させることができます。ビアを使用する場合は、1.2 mm ピッチ・グリッドのパッドを使用する必要があります。ビアの直径は 0.3 mm~0.33 mm であり、ビア・バレルは 1 oz.の銅でメッキして、ビアを構成する必要があります。

プリント回路ボードのサーマル・パッドは GND へ接続してください。

## パワーアップ・シーケンス

最初に AD7148 とマイクロプロセッサのシリアル・インターフェースを開発する際、AD7148 をパワーアップさせるときは、次のシーケンスを使います。

1. AD7148 の電源をターンオンします。
2. アドレス 0x080～アドレス 0x0BF のバンク 2 レジスタへ書込みます。これらのレジスタは連続しているため、シーケンシャルなレジスタ書込みシーケンスを使えます。  
バンク 2 レジスタ値は各アプリケーションに固有であることに注意してください。レジスタ値は、アプリケーション内でのセンサーのキャラクタライゼーションから取得します。さらに、センサー・ボードを開発した後、アナログ・デバイセズから提供する予定です。
3. アドレス 0x000～アドレス 0x007 のバンク 1 レジスタに次の説明のように書込みを行います。

### 注意

この時点で、この連続書込み動作中、アドレス 0x001 はデフォルト値 0x0000 を維持する必要があります。

### レジスタ値:

アドレス 0x000 = 0x0B2

アドレス 0x001 = 0x000

アドレス 0x002 = 0x3230 (使用する変換ステージ数に依存)

アドレス 0x003 = 0x0419

アドレス 0x004 = 0x0832

アドレス 0x005 = 割込みイネーブル・レジスタ(必要とされる割込み動作に依存)

アドレス 0x006 = 割込みイネーブル・レジスタ(必要とされる割込み動作に依存)

アドレス 0x007 = 割込みイネーブル・レジスタ(必要とされる割込み動作に依存)

4. バンク 1 レジスタ、アドレス 0x001 = 0x00FF へ書込みを行います(使用する変換ステージ数に依存)。
5. アドレス 0x008、アドレス 0x009、またはアドレス 0x00A の対応する割込みステータス・レジスタを読み出します。読出されるアドレスは、割込み出力のセクションで説明したように、割込み出力設定により指定されます。
6. 読み出しが必要なレジスタは、各アプリケーションに依存することに注意してください。ボタンの場合、割込みステータス・レジスタがリードバックされ、一方、他のセンサーはスライダまたはホイール・アルゴリズムの要求に従ってデータを読み出します。アナログ・デバイセズは、ユーザーがセンサー・ボードを開発した後、この情報を提供することができます。
7. INTがアサートされるごとに、ステップ 5 を繰り返します。

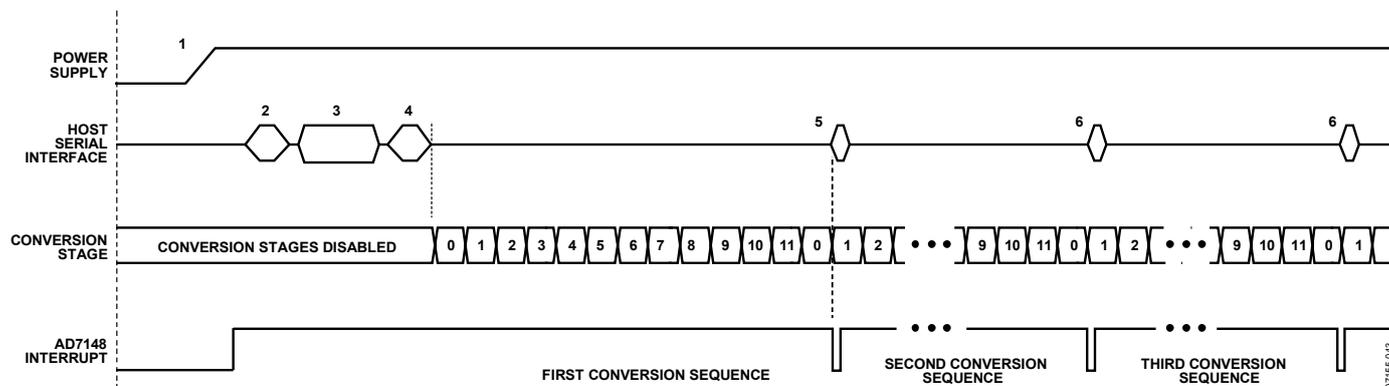


図 44. 推奨スタートアップ・シーケンス

## 代表的なアプリケーション回路

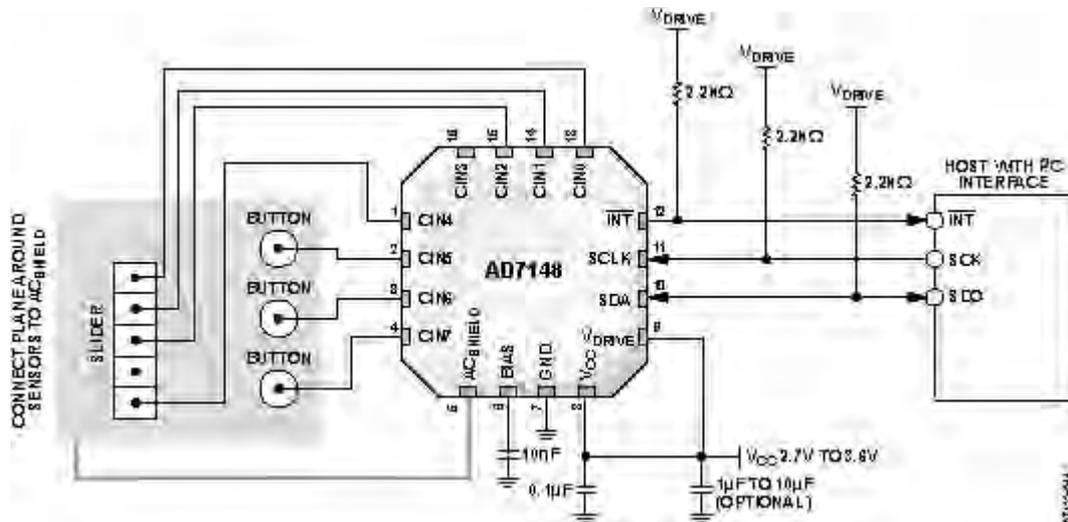


図 45. 代表的なアプリケーション回路

## レジスタ・マップ

AD7148 のアドレス空間は、レジスタ・バンク 1、レジスタ・バンク 2、レジスタ・バンク 3 と呼ばれる 3 つのレジスタ・バンクに分かれています。図 46 に、これらのバンクの分割を示します。

バンク 1 レジスタには、コントロール・レジスタ、CDC 変換コントロール・レジスタ、割込みイネーブル・レジスタ、割込みステータス・レジスタ、CDC 16 ビット変換データ・レジスタ、デバイス ID レジスタ、近接ステータス・レジスタが含まれます。

バンク 2 レジスタには、各変換ステージの個々の CIN<sub>x</sub> 入力の設定に用いられる設定レジスタが含まれます。パワーアップ後直ちにバンク 2 設定レジスタを初期化して、有効な CDC 変換結果データを取得します。

バンク 3 レジスタには、各変換ステージの結果が含まれます。これらのレジスタは、各変換シーケンスの終わりに自動的に更新されます。これらのレジスタは主に AD7148 の内部データ処理機能により使用されますが、必要に応じて外部データ処理機能のためにホスト・プロセッサからアクセスすることができません。

バンク 2 レジスタとバンク 3 レジスタのデフォルト値は、パワーアップ後およびバンク 2 レジスタの設定まで、不定になります。

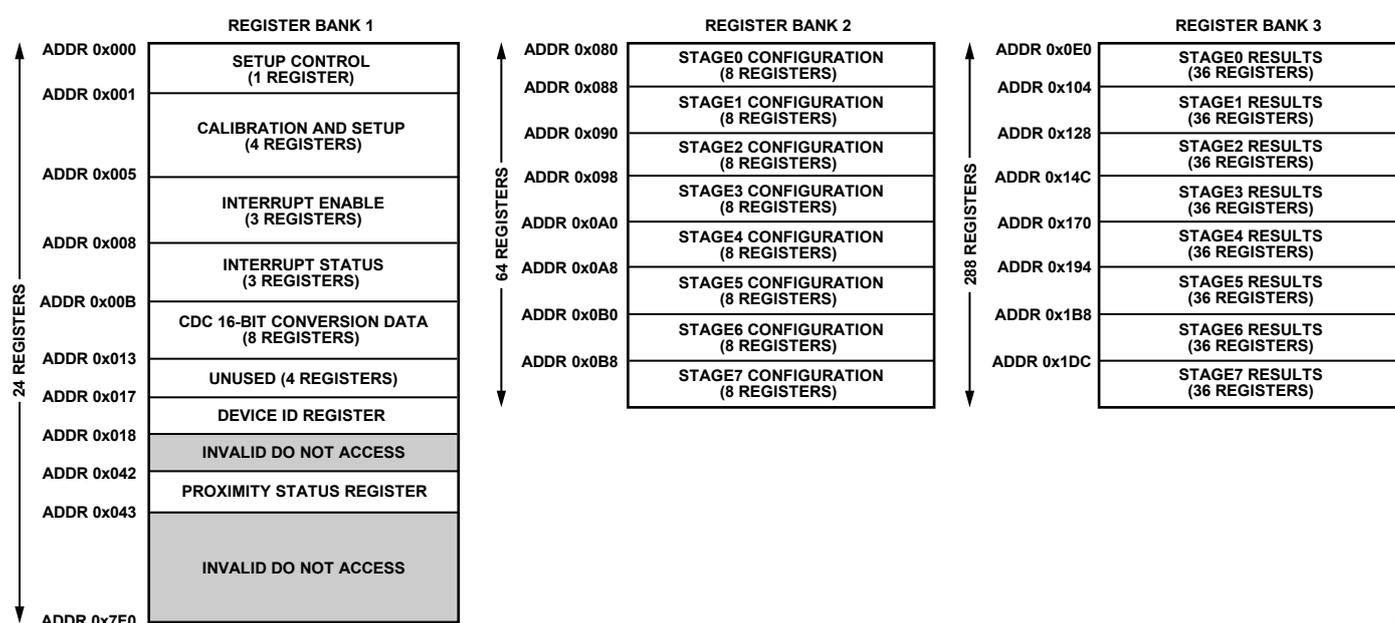


図 46. バンク 1 レジスタ、バンク 2 レジスタ、バンク 3 レジスタのレイアウト

## レジスタの詳細説明

### バンク 1 レジスタ

すべてのアドレス値とデフォルト値は 16 進で表します。

表 17.PWR\_CONTROL レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x000	[1:0]	0	R/ $\overline{W}$	POWER_MODE	Operating modes 00 = full power mode (normal operation, CDC conversions approximately every 36 ms) 01 = full shutdown mode (no CDC conversions) 10 = low power mode (automatic wake up operation) 11 = full shutdown mode (no CDC conversions)
	[3:2]	0	R/ $\overline{W}$	LP_CONV_DELAY	Low power mode conversion delay 00 = 200 ms 01 = 400 ms 10 = 600 ms 11 = 800 ms
	[7:4]	0	R/ $\overline{W}$	SEQUENCE_STAGE_NUM	Number of stages in sequence (N + 1)  0000 = 1 conversion stage in sequence 0001 = 2 conversion stages in sequence ... Maximum value = 1011 = 12 conversion stages per sequence
	[9:8]	0	R/ $\overline{W}$	DECIMATION	ADC decimation factor 00 = decimate by 256 01 = decimate by 128 10 = decimate by 64 11 = decimate by 64
	[10]	0	R/ $\overline{W}$	SW_RESET	Software reset control (self-clearing) 1 = resets all registers to default values
	[11]	0	R/ $\overline{W}$	INT_POL	Interrupt polarity control 0 = active low 1 = active high
	[12]	0	R/ $\overline{W}$		Excitation source control 0 = enable excitation source to CINx pins 1 = disable excitation source to CINx pins
	[13]	0		Unused	Set to 0
	[15:14]	0	R/ $\overline{W}$	CDC_BIAS	CDC bias current control 00 = normal operation 01 = normal operation + 20% 10 = normal operation + 35% 11 = normal operation + 50%

表 18.STAGEx\_CAL\_EN レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x001	[0]	0	R/W	STAGE0_CAL_EN	STAGE0 calibration enable 0 = disable 1 = enable
	[1]	0	R/W	STAGE1_CAL_EN	STAGE1 calibration enable 0 = disable 1 = enable
	[2]	0	R/W	STAGE2_CAL_EN	STAGE2 calibration enable 0 = disable 1 = enable
	[3]	0	R/W	STAGE3_CAL_EN	STAGE3 calibration enable 0 = disable 1 = enable
	[4]	0	R/W	STAGE4_CAL_EN	STAGE4 calibration enable 0 = disable 1 = enable
	[5]	0	R/W	STAGE5_CAL_EN	STAGE5 calibration enable 0 = disable 1 = enable
	[6]	0	R/W	STAGE6_CAL_EN	STAGE6 calibration enable 0 = disable 1 = enable
	[7]	0	R/W	STAGE7_CAL_EN	STAGE7 calibration enable 0 = disable 1 = enable
	[11:8]	0	R/W	Unused	Set unused register bits to 0
	[13:12]	0	R/W	AVG_FP_SKIP	Full power mode skip control 00 = skip 3 samples 01 = skip 7 samples 10 = skip 15 samples 11 = skip 31 samples
	[15:14]	0	R/W	AVG_LP_SKIP	Low power mode skip control 00 = use all samples 01 = skip 1 sample 10 = skip 2 samples 11 = skip 3 samples

表 19.AMB\_COMP\_CTRL0 レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x002	[3:0]	0	R/W	FF_SKIP_CNT	Fast filter skip control (N+1) 0000 = no sequence of results is skipped 0001 = one sequence of results is skipped for every one allowed into fast FIFO 0010 = two sequences of results are skipped for every one allowed into fast FIFO 1011 = maximum value = 8 sequences of results are skipped for every one allowed into fast FIFO
	[7:4]	F	R/W	FP_PROXIMITY_CNT	Calibration disable period in full power mode = FP_PROXIMITY_CNT × 16 × time taken for one conversion sequence in full power mode
	[11:8]	F	R/W	LP_PROXIMITY_CNT	Calibration disable period in low power mode = LP_PROXIMITY_CNT × 4 × time taken for one conversion sequence in low power mode
	[13:12]	0	R/W	PWR_DOWN_TIMEOUT	Full power to low power mode time out control 00 = 1.25 × (FP_PROXIMITY_CNT) 01 = 1.50 × (FP_PROXIMITY_CNT) 10 = 1.75 × (FP_PROXIMITY_CNT) 11 = 2.00 × (FP_PROXIMITY_CNT)
	[14]	0	R/W	FORCED_CAL	Forced calibration control 0 = normal operation 1 = forces all conversion stages to recalibrate
	[15]	0	R/W	CONV_RESET	Conversion reset control (self-clearing) 0 = normal operation 1 = resets the conversion sequence back to STAGE0.

表 20.AMB\_COMP\_CTRL1 レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x003	[7:0]	64	R/W	PROXIMITY_RECAL_LVL	Proximity recalibration level; value is multiplied by 16 to get actual recalibration level
	[13:8]	1	R/W	PROXIMITY_DETECTION_RATE	Proximity detection rate; value is multiplied by 16 to get actual detection rate
	[15:14]	0	R/W	SLOW_FILTER_UPDATE_LVL	Slow filter update level

表 21.AMB\_COMP\_CTRL2 レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x004	[9:0]	3FF	R/W	FP_PROXIMITY_RECAL	Full power mode proximity recalibration time control
	[15:10]	3F	R/W	LP_PROXIMITY_RECAL	Low power mode proximity recalibration time control

表 22.STAGEx\_LOW\_INT\_EN レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x005	[0]	0	R/W	STAGE0_LOW_INT_EN	STAGE0 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE0 low threshold is exceeded
	[1]	0	R/W	STAGE1_LOW_INT_EN	STAGE1 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE1 low threshold is exceeded
	[2]	0	R/W	STAGE2_LOW_INT_EN	STAGE2 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE2 low threshold is exceeded
	[3]	0	R/W	STAGE3_LOW_INT_EN	STAGE3 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE3 low threshold is exceeded
	[4]	0	R/W	STAGE4_LOW_INT_EN	STAGE4 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE4 low threshold is exceeded
	[5]	0	R/W	STAGE5_LOW_INT_EN	STAGE5 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE5 low threshold is exceeded
	[6]	0	R/W	STAGE6_LOW_INT_EN	STAGE6 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE6 low threshold is exceeded
	[7]	0	R/W	STAGE7_LOW_INT_EN	STAGE7 low interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE7 low threshold is exceeded
	[11:8]	0		Unused	Set unused register bits to 0
	[13:12]	0	R/W	GPIO_SETUP	GPIO setup 00 = disable GPIO pin 01 = configure GPIO as an input 10 = configure GPIO as an active low output 11 = configure GPIO as an active high output
	[15:14]	0	R/W	GPIO_INPUT_CONFIG	GPIO input configuration 00 = triggered on negative level 01 = triggered on positive edge 10 = triggered on negative edge 11 = triggered on positive level

表 23.STAGEx\_HIGH\_INT\_EN レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x006	[0]	0	R/W	STAGE0_HIGH_INT_EN	STAGE0 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE0 high threshold is exceeded
	[1]	0	R/W	STAGE1_HIGH_INT_EN	STAGE1 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE1 high threshold is exceeded
	[2]	0	R/W	STAGE2_HIGH_INT_EN	STAGE2 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE2 high threshold is exceeded
	[3]	0	R/W	STAGE3_HIGH_INT_EN	STAGE3 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE3 high threshold is exceeded
	[4]	0	R/W	STAGE4_HIGH_INT_EN	STAGE4 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE4 high threshold is exceeded
	[5]	0	R/W	STAGE5_HIGH_INT_EN	STAGE5 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE5 high threshold is exceeded
	[6]	0	R/W	STAGE6_HIGH_INT_EN	STAGE6 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE6 high threshold is exceeded
	[7]	0	R/W	STAGE7_HIGH_INT_EN	STAGE7 high interrupt enable 0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted if STAGE7 high threshold is exceeded
	[15:8]			Unused	Set unused register bits to 0

表 24.STAGEx\_COMPLETE\_INT\_EN レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x007	[0]	0	R/W	STAGE0_COMPLETE_INT_EN	STAGE0 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE0 conversion
	[1]	0	R/W	STAGE1_COMPLETE_INT_EN	STAGE1 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE1 conversion
	[2]	0	R/W	STAGE2_COMPLETE_INT_EN	STAGE2 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE2 conversion
	[3]	0	R/W	STAGE3_COMPLETE_INT_EN	STAGE3 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE3 conversion
	[4]	0	R/W	STAGE4_COMPLETE_INT_EN	STAGE4 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE4 conversion
	[5]	0	R/W	STAGE5_COMPLETE_INT_EN	STAGE5 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE5 conversion
	[6]	0	R/W	STAGE6_COMPLETE_INT_EN	STAGE6 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE6 conversion
	[7]	0	R/W	STAGE7_COMPLETE_INT_EN	STAGE7 conversion interrupt control  0 = interrupt source disabled 1 = $\overline{\text{INT}}$ asserted at completion of STAGE7 conversion
	[15:8]			Unused	Set unused register bits to 0

表 25.STAGEx\_LOW\_LIMIT\_INT レジスタ<sup>1</sup>

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x008	[0]	0	R	STAGE0_LOW_LIMIT_INT	STAGE0 CDC conversion low limit interrupt result 1 = indicates STAGE0_LOW_THRESHOLD value exceeded
	[1]	0	R	STAGE1_LOW_LIMIT_INT	STAGE1 CDC conversion low limit interrupt result 1 = indicates STAGE1_LOW_THRESHOLD value exceeded
	[2]	0	R	STAGE2_LOW_LIMIT_INT	STAGE2 CDC conversion low limit interrupt result 1 = indicates STAGE2_LOW_THRESHOLD value exceeded
	[3]	0	R	STAGE3_LOW_LIMIT_INT	STAGE3 CDC conversion low limit interrupt result 1 = indicates STAGE3_LOW_THRESHOLD value exceeded
	[4]	0	R	STAGE4_LOW_LIMIT_INT	STAGE4 CDC conversion low limit interrupt result 1 = indicates STAGE4_LOW_THRESHOLD value exceeded
	[5]	0	R	STAGE5_LOW_LIMIT_INT	STAGE5 CDC conversion low limit interrupt result 1 = indicates STAGE5_LOW_THRESHOLD value exceeded
	[6]	0	R	STAGE6_LOW_LIMIT_INT	STAGE6 CDC conversion low limit interrupt result 1 = indicates STAGE6_LOW_THRESHOLD value exceeded
	[7]	0	R	STAGE7_LOW_LIMIT_INT	STAGE7 CDC conversion low limit interrupt result 1 = indicates STAGE7_LOW_THRESHOLD value exceeded
	[15:8]			Unused	Set unused register bits to 0

<sup>1</sup> 規定値を超えていない場合は、レジスタ読み出しの後に自動的に 0 にクリアされます。

表 26.STAGEx\_HIGH\_LIMIT\_INT レジスタ<sup>1</sup>

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x009	[0]	0	R	STAGE0_HIGH_LIMIT_INT	STAGE0 CDC conversion high limit interrupt result 1 = indicates STAGE0_HIGH_THRESHOLD value exceeded
	[1]	0	R	STAGE1_HIGH_LIMIT_INT	STAGE1 CDC conversion high limit interrupt result 1 = indicates STAGE1_HIGH_THRESHOLD value exceeded
	[2]	0	R	STAGE2_HIGH_LIMIT_INT	Stage2 CDC conversion high limit interrupt result 1 = indicates STAGE2_HIGH_THRESHOLD value exceeded
	[3]	0	R	STAGE3_HIGH_LIMIT_INT	STAGE3 CDC conversion high limit interrupt result 1 = indicates STAGE3_HIGH_THRESHOLD value exceeded
	[4]	0	R	STAGE4_HIGH_LIMIT_INT	STAGE4 CDC conversion high limit interrupt result 1 = indicates STAGE4_HIGH_THRESHOLD value exceeded
	[5]	0	R	STAGE5_HIGH_LIMIT_INT	STAGE5 CDC conversion high limit interrupt result 1 = indicates STAGE5_HIGH_THRESHOLD value exceeded
	[6]	0	R	STAGE6_HIGH_LIMIT_INT	STAGE6 CDC conversion high limit interrupt result 1 = indicates STAGE6_HIGH_THRESHOLD value exceeded
	[7]	0	R	STAGE7_HIGH_LIMIT_INT	STAGE7 CDC conversion high limit interrupt result 1 = indicates STAGE7_HIGH_THRESHOLD value exceeded
	[15:8]			Unused	Set unused register bits to 0

<sup>1</sup> 規定値を超えていない場合は、レジスタ読み出しの後に自動的に 0 にクリアされます。

表 27.STAGEx\_COMPLETE\_INT\_STATUS レジスタ<sup>1</sup>

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x00A	[0]	0	R	STAGE0_COMPLETE_INT_STATUS	STAGE0 conversion complete register interrupt status 1 = indicates STAGE0 conversion completed
	[1]	0	R	STAGE1_COMPLETE_INT_STATUS	STAGE1 conversion complete register interrupt status 1 = indicates STAGE1 conversion completed
	[2]	0	R	STAGE2_COMPLETE_INT_STATUS	STAGE2 conversion complete register interrupt status 1 = indicates STAGE2 conversion completed
	[3]	0	R	STAGE3_COMPLETE_INT_STATUS	STAGE3 conversion complete register interrupt status 1 = indicates STAGE3 conversion completed
	[4]	0	R	STAGE4_COMPLETE_INT_STATUS	STAGE4 conversion complete register interrupt status 1 = indicates STAGE4 conversion completed
	[5]	0	R	STAGE5_COMPLETE_INT_STATUS	STAGE5 conversion complete register interrupt status 1 = indicates STAGE5 conversion completed
	[6]	0	R	STAGE6_COMPLETE_INT_STATUS	STAGE6 conversion complete register interrupt status 1 = indicates STAGE6 conversion completed
	[7]	0	R	STAGE7_COMPLETE_INT_STATUS	STAGE7 conversion complete register interrupt status 1 = indicates STAGE7 conversion completed
	[15:8]			Unused	Set unused register bits to 0

<sup>1</sup> 規定値を超えていない場合は、レジスタ読み出しの後に自動的に 0 にクリアされます。

表 28.CDC 16 ビット変換データ・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x00B	[15:0]	0	R	CDC_RESULT_S0	STAGE0 CDC 16-bit conversion data
0x00C	[15:0]	0	R	CDC_RESULT_S1	STAGE1 CDC 16-bit conversion data
0x00D	[15:0]	0	R	CDC_RESULT_S2	STAGE2 CDC 16-bit conversion data
0x00E	[15:0]	0	R	CDC_RESULT_S3	STAGE3 CDC 16-bit conversion data
0x00F	[15:0]	0	R	CDC_RESULT_S4	STAGE4 CDC 16-bit conversion data
0x010	[15:0]	0	R	CDC_RESULT_S5	STAGE5 CDC 16-bit conversion data
0x011	[15:0]	0	R	CDC_RESULT_S6	STAGE6 CDC 16-bit conversion data
0x012	[15:0]	0	R	CDC_RESULT_S7	STAGE7 CDC 16-bit conversion data

表 29.デバイス ID レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x017	[3:0]	0	R	REVISION_CODE	AD7148 revision code
	[15:4]	148	R	DEVID	AD7148 device ID = 0x148

表 30.近接ステータス・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x042	[0]	0	R	STAGE0_PROXIMITY_STATUS	STAGE0 proximity status register 1 = indicates proximity has been detected on STAGE0
	[1]	0	R	STAGE1_PROXIMITY_STATUS	STAGE1 proximity status register 1 = indicates proximity has been detected on STAGE1
	[2]	0	R	STAGE2_PROXIMITY_STATUS	STAGE2 proximity status register 1 = indicates proximity has been detected on STAGE2
	[3]	0	R	STAGE3_PROXIMITY_STATUS	STAGE3 proximity status register 1 = indicates proximity has been detected on STAGE3
	[4]	0	R	STAGE4_PROXIMITY_STATUS	STAGE4 proximity status register 1 = indicates proximity has been detected on STAGE4
	[5]	0	R	STAGE5_PROXIMITY_STATUS	STAGE5 proximity status register 1 = indicates proximity has been detected on STAGE5
	[6]	0	R	STAGE6_PROXIMITY_STATUS	STAGE6 proximity status register 1 = indicates proximity has been detected on STAGE6
	[7]	0	R	STAGE7_PROXIMITY_STATUS	STAGE7 proximity status register 1 = indicates proximity has been detected on STAGE7
	[15:8]			Unused	Set unused register bits to 0

## バンク 2 レジスタ

すべてのアドレス値は 16 進フォーマットで表します。

表 31. ステージ 0 設定レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x080	[15:0]	X	R/ $\overline{W}$	STAGE0_CONNECTION_SETUP[6:0]	STAGE0 CIN[6:0] connection setup (see Table 39) □
0x081	[15:0]	X	R/ $\overline{W}$	STAGE0_CONNECTION_SETUP[7]	STAGE0 CIN7 connection setup (see Table 40) □
0x082	[15:0]	X	R/ $\overline{W}$	STAGE0_AFE_OFFSET	STAGE0 AFE offset control (see Table 41) □
0x083	[15:0]	X	R/ $\overline{W}$	STAGE0_SENSITIVITY	STAGE0 sensitivity control (see Table 42) □
0x084	[15:0]	X	R/ $\overline{W}$	STAGE0_OFFSET_LOW	STAGE0 initial offset low value
0x085	[15:0]	X	R/ $\overline{W}$	STAGE0_OFFSET_HIGH	STAGE0 initial offset high value
0x086	[15:0]	X	R/ $\overline{W}$	STAGE0_OFFSET_HIGH_CLAMP	STAGE0 offset high clamp value
0x087	[15:0]	X	R/ $\overline{W}$	STAGE0_OFFSET_LOW_CLAMP	STAGE0 offset low clamp value

表 32. ステージ 1 設定レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x088	[15:0]	X	R/ $\overline{W}$	STAGE1_CONNECTION_SETUP[6:0]	STAGE1 CIN[6:0] connection setup (see Table 39) □
0x089	[15:0]	X	R/ $\overline{W}$	STAGE1_CONNECTION_SETUP[7]	STAGE1 CIN7 connection setup (see Table 40) □
0x08A	[15:0]	X	R/ $\overline{W}$	STAGE1_AFE_OFFSET	STAGE1 AFE offset control (see Table 41) □
0x08B	[15:0]	X	R/ $\overline{W}$	STAGE1_SENSITIVITY	STAGE1 sensitivity control (see Table 42) □
0x08C	[15:0]	X	R/ $\overline{W}$	STAGE1_OFFSET_LOW	STAGE1 initial offset low value
0x08D	[15:0]	X	R/ $\overline{W}$	STAGE1_OFFSET_HIGH	STAGE1 initial offset high value
0x08E	[15:0]	X	R/ $\overline{W}$	STAGE1_OFFSET_HIGH_CLAMP	STAGE1 offset high clamp value
0x08F	[15:0]	X	R/ $\overline{W}$	STAGE1_OFFSET_LOW_CLAMP	STAGE1 offset low clamp value

表 33. ステージ 2 設定レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x090	[15:0]	X	R/ $\overline{W}$	STAGE2_CONNECTION_SETUP[6:0]	STAGE2 CIN[6:0] connection setup (see Table 39) □
0x091	[15:0]	X	R/ $\overline{W}$	STAGE2_CONNECTION_SETUP[7]	STAGE2 CIN7 connection setup (see Table 40) □
0x092	[15:0]	X	R/ $\overline{W}$	STAGE2_AFE_OFFSET	STAGE2 AFE offset control (see Table 41) □
0x093	[15:0]	X	R/ $\overline{W}$	STAGE2_SENSITIVITY	STAGE2 sensitivity control (see Table 42) □
0x094	[15:0]	X	R/ $\overline{W}$	STAGE2_OFFSET_LOW	STAGE2 initial offset low value
0x095	[15:0]	X	R/ $\overline{W}$	STAGE2_OFFSET_HIGH	STAGE2 initial offset high value
0x096	[15:0]	X	R/ $\overline{W}$	STAGE2_OFFSET_HIGH_CLAMP	STAGE2 offset high clamp value
0x097	[15:0]	X	R/ $\overline{W}$	STAGE2_OFFSET_LOW_CLAMP	STAGE2 offset low clamp value

表 34. ステージ 3 設定レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x098	[15:0]	X	R/W	STAGE3_CONNECTION_SETUP[6:0]	STAGE3 CIN[6:0] connection setup (see Table 39) □
0x099	[15:0]	X	R/W	STAGE3_CONNECTION_SETUP[7]	STAGE3 CIN7 connection setup (see Table 40) □
0x09A	[15:0]	X	R/W	STAGE3_AFE_OFFSET	STAGE3 AFE offset control (see Table 41) □
0x09B	[15:0]	X	R/W	STAGE3_SENSITIVITY	STAGE3 sensitivity control (see Table 42) □
0x09C	[15:0]	X	R/W	STAGE3_OFFSET_LOW	STAGE3 initial offset low value
0x09D	[15:0]	X	R/W	STAGE3_OFFSET_HIGH	STAGE3 initial offset high value
0x09E	[15:0]	X	R/W	STAGE3_OFFSET_HIGH_CLAMP	STAGE3 offset high clamp value
0x09F	[15:0]	X	R/W	STAGE3_OFFSET_LOW_CLAMP	STAGE3 offset low clamp value

表 35. ステージ 4 設定レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x0A0	[15:0]	X	R/W	STAGE4_CONNECTION_SETUP[6:0]	STAGE4 CIN[6:0] connection setup (see Table 39) □
0x0A1	[15:0]	X	R/W	STAGE4_CONNECTION_SETUP[7]	STAGE4 CIN7 connection setup (see Table 40) □
0x0A2	[15:0]	X	R/W	STAGE4_AFE_OFFSET	STAGE4 AFE offset control (see Table 41) □
0x0A3	[15:0]	X	R/W	STAGE4_SENSITIVITY	STAGE4 sensitivity control (see Table 42) □
0x0A4	[15:0]	X	R/W	STAGE4_OFFSET_LOW	STAGE4 initial offset low value
0x0A5	[15:0]	X	R/W	STAGE4_OFFSET_HIGH	STAGE4 initial offset high value
0x0A6	[15:0]	X	R/W	STAGE4_OFFSET_HIGH_CLAMP	STAGE4 offset high clamp value
0x0A7	[15:0]	X	R/W	STAGE4_OFFSET_LOW_CLAMP	STAGE4 offset low clamp value

表 36. ステージ 5 設定レジスタ

Address	Data Bit	Default Value	Type	Name	Description
0x0A8	[15:0]	X	R/W	STAGE5_CONNECTION_SETUP[6:0]	STAGE5 CIN[6:0] connection setup (see Table 39) □
0x0A9	[15:0]	X	R/W	STAGE5_CONNECTION_SETUP[7]	STAGE5 CIN7 connection setup (see Table 40) □
0x0AA	[15:0]	X	R/W	STAGE5_AFE_OFFSET	STAGE5 AFE offset control (see Table 41) □
0x0AB	[15:0]	X	R/W	STAGE5_SENSITIVITY	STAGE5 sensitivity control (see Table 42) □
0x0AC	[15:0]	X	R/W	STAGE5_OFFSET_LOW	STAGE5 initial offset low value
0x0AD	[15:0]	X	R/W	STAGE5_OFFSET_HIGH	STAGE5 initial offset high value
0x0AE	[15:0]	X	R/W	STAGE5_OFFSET_HIGH_CLAMP	STAGE5 offset high clamp value
0x0AF	[15:0]	X	R/W	STAGE5_OFFSET_LOW_CLAMP	STAGE5 offset low clamp value

表 37. ステージ 6 設定レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x0B0	[15:0]	X	R/W	STAGE6_CONNECTION_SETUP[6:0]	STAGE6 CIN[6:0] connection setup (see Table 39) □
0x0B1	[15:0]	X	R/W	STAGE6_CONNECTION_SETUP[7]	STAGE6 CIN7 connection setup (see Table 40) □
0x0B2	[15:0]	X	R/W	STAGE6_AFE_OFFSET	STAGE6 AFE offset control (see Table 41) □
0x0B3	[15:0]	X	R/W	STAGE6_SENSITIVITY	STAGE6 sensitivity control (see Table 42) □
0x0B4	[15:0]	X	R/W	STAGE6_OFFSET_LOW	STAGE6 initial offset low value
0x0B5	[15:0]	X	R/W	STAGE6_OFFSET_HIGH	STAGE6 initial offset high value
0x0B6	[15:0]	X	R/W	STAGE6_OFFSET_HIGH_CLAMP	STAGE6 offset high clamp value
0x0B7	[15:0]	X	R/W	STAGE6_OFFSET_LOW_CLAMP	STAGE6 offset low clamp value

表 38. ステージ 7 設定レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
---------	----------	---------------	------	----------	-------------

0x0B8	[15:0]	X	R/W	STAGE7_CONNECTION_SETUP[6:0]	STAGE7 CIN[6:0] connection setup (see Table 39)□
0x0B9	[15:0]	X	R/W	STAGE7_CONNECTION_SETUP[7]	STAGE7 CIN7 connection setup (see Table 40)□
0x0BA	[15:0]	X	R/W	STAGE7_AFE_OFFSET	STAGE7 AFE offset control (see Table 41)□
0x0BB	[15:0]	X	R/W	STAGE7_SENSITIVITY	STAGE7 sensitivity control (see Table 42)□
0x0BC	[15:0]	X	R/W	STAGE7_OFFSET_LOW	STAGE7 initial offset low value
0x0BD	[15:0]	X	R/W	STAGE7_OFFSET_HIGH	STAGE7 initial offset high value
0x0BE	[15:0]	X	R/W	STAGE7_OFFSET_HIGH_CLAMP	STAGE7 offset high clamp value
0x0BF	[15:0]	X	R/W	STAGE7_OFFSET_LOW_CLAMP	STAGE7 offset low clamp value

表 39.STAGEx の詳しい CIN[0:6]接続セットアップ説明(x = 0~7)

Data Bit	Default Value	Type	Mnemonic	Description
[1:0]	X	R/W	CIN0_CONNECTION_SETUP	CIN0 connection setup 00 = CIN0 not connected to CDC inputs 01 = CIN0 connected to CDC negative input 10 = CIN0 connected to CDC positive input 11 = CIN0 connected to BIAS (connect unused CINx inputs)
[3:2]	X	R/W	CIN1_CONNECTION_SETUP	CIN1 connection setup 00 = CIN1 not connected to CDC inputs 01 = CIN1 connected to CDC negative input 10 = CIN1 connected to CDC positive input 11 = CIN1 connected to BIAS (connect unused CINx inputs)
[5:4]	X	R/W	CIN2_CONNECTION_SETUP	CIN2 connection setup 00 = CIN2 not connected to CDC inputs 01 = CIN2 connected to CDC negative input 10 = CIN2 connected to CDC positive input 11 = CIN2 connected to BIAS (connect unused CINx inputs)
[7:6]	X	R/W	CIN3_CONNECTION_SETUP	CIN3 connection setup 00 = CIN3 not connected to CDC inputs 01 = CIN3 connected to CDC negative input 10 = CIN3 connected to CDC positive input 11 = CIN3 connected to BIAS (connect unused CINx inputs)
[9:8]	X	R/W	CIN4_CONNECTION_SETUP	CIN4 connection setup 00 = CIN4 not connected to CDC inputs 01 = CIN4 connected to CDC negative input 10 = CIN4 connected to CDC positive input 11 = CIN4 connected to BIAS (connect unused CINx inputs)
[11:10]	X	R/W	CIN5_CONNECTION_SETUP	CIN5 connection setup 00 = CIN5 not connected to CDC inputs 01 = CIN5 connected to CDC negative input 10 = CIN5 connected to CDC positive input 11 = CIN5 connected to BIAS (connect unused CINx inputs)
[13:12]	X	R/W	CIN6_CONNECTION_SETUP	CIN6 connection setup 00 = CIN6 not connected to CDC inputs 01 = CIN6 connected to CDC negative input 10 = CIN6 connected to CDC positive input 11 = CIN6 connected to BIAS (connect unused CINx inputs)
[15:14]	X		Unused	Set unused register bits to 0

表 40.STAGEx の詳しい CIN7 接続セットアップの説明(x = 0~7)

Data Bit	Default Value	Type	Mnemonic	Description
[1:0]	X	R/W	CIN7_CONNECTION_SETUP	CIN7 connection setup 00 = CIN7 not connected to CDC inputs 01 = CIN7 connected to CDC negative input 10 = CIN7 connected to CDC positive input

Data Bit	Default Value	Type	Mnemonic	Description
[12:2]	X		Unused	11 = CIN7 connected to BIAS (connect unused CINx inputs) Set unused register bits to 0
[13:12]	X	R/ $\overline{W}$	SE_CONNECTION_SETUP	Single-ended measurement connection setup 00 = do not use 01 = use when one CIN is connected to CDC positive input, single-ended measurements only 10 = use when one CIN is connected to CDC negative input, single-ended measurements only 11 = differential connection to CDC
[14]	X	R/ $\overline{W}$	NEG_AFE_OFFSET_DISABLE	Negative AFE offset enable control 0 = enable 1 = disable
[15]	X	R/ $\overline{W}$	POS_AFE_OFFSET_DISABLE	Positive AFE offset enable control 0 = enable 1 = disable

表 41.STAGEx の詳しいオフセット制御の説明(x = 0~7)

Data Bit	Default Value	Type	Mnemonic	Description
[5:0]	X	R/ $\overline{W}$	NEG_AFE_OFFSET	Negative AFE offset setting (20 pF range) 1 LSB value = 0.32 pF of offset
[6]	X		Unused	Set to 0
[7]	X	R/ $\overline{W}$	NEG_AFE_OFFSET_SWAP	Negative AFE offset swap control 0 = NEG_AFE_OFFSET applied to CDC negative input 1 = NEG_AFE_OFFSET applied to CDC positive input
[13:8]	X	R/ $\overline{W}$	POS_AFE_OFFSET	Positive AFE offset setting (20 pF range) 1 LSB value = 0.32 pF of offset
[14]	X		Unused	Set to 0
[15]	X	R/ $\overline{W}$	POS_AFE_OFFSET_SWAP	Positive AFE offset swap control 0 = POS_AFE_OFFSET applied to CDC positive input 1 = POS_AFE_OFFSET applied to CDC negative input

表 42. STAGEx の詳しい感度制御の説明(x = 0~7)

Data Bit	Default Value	Type	Mnemonic	Description
[3:0]	X	R/W	NEG_THRESHOLD_SENSITIVITY	Negative threshold sensitivity control 0000 = 25%, 0001 = 29.73%, 0010 = 34.40%, 0011 = 39.08% 0100 = 43.79%, 0101 = 48.48%, 0110 = 53.15% 0111 = 57.83%, 1000 = 62.51%, 1001 = 67.22% 1010 = 71.90%, 1011 = 76.58%, 1100 = 81.28% 1101 = 85.96%, 1110 = 90.64%, 1111 = 95.32%
[6:4]	X	R/W	NEG_PEAK_DETECT	Negative peak detect setting 000 = 40% level, 001 = 50% level, 010 = 60% level 011 = 70% level, 100 = 80% level, 101 = 90% level
[7]	X		Unused	Set to 0
[11:8]	X	R/W	POS_THRESHOLD_SENSITIVITY	Positive threshold sensitivity control 0000 = 25%, 0001 = 29.73%, 0010 = 34.40%, 0011 = 39.08% 0100 = 43.79%, 0101 = 48.48%, 0110 = 53.15% 0111 = 57.83%, 1000 = 62.51%, 1001 = 67.22% 1010 = 71.90%, 1011 = 76.58%, 1100 = 81.28% 1101 = 85.96%, 1110 = 90.64%, 1111 = 95.32%
[14:12]	X	R/W	POS_PEAK_DETECT	Positive peak detect setting 000 = 40% level, 001 = 50% level, 010 = 60% level 011 = 70% level, 100 = 80% level, 101 = 90% level
[15]	X		Unused	Set to 0

### バンク 3 レジスタ

すべてのアドレス値は 16 進フォーマットで表します。

表 43. ステージ 0 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x0E0	[15:0]	X	R/W	STAGE0_CONV_DATA	STAGE0 CDC 16-bit conversion data (copy of data in CDC_RESULT_S0 register)
0x0E1	[15:0]	X	R/W	STAGE0_FF_WORD0	STAGE0 fast FIFO WORD0
0x0E2	[15:0]	X	R/W	STAGE0_FF_WORD1	STAGE0 fast FIFO WORD1
0x0E3	[15:0]	X	R/W	STAGE0_FF_WORD2	STAGE0 fast FIFO WORD2
0x0E4	[15:0]	X	R/W	STAGE0_FF_WORD3	STAGE0 fast FIFO WORD3
0x0E5	[15:0]	X	R/W	STAGE0_FF_WORD4	STAGE0 fast FIFO WORD4
0x0E6	[15:0]	X	R/W	STAGE0_FF_WORD5	STAGE0 fast FIFO WORD5
0x0E7	[15:0]	X	R/W	STAGE0_FF_WORD6	STAGE0 fast FIFO WORD6
0x0E8	[15:0]	X	R/W	STAGE0_FF_WORD7	STAGE0 fast FIFO WORD7
0x0E9	[15:0]	X	R/W	STAGE0_SF_WORD0	STAGE0 slow FIFO WORD0
0x0EA	[15:0]	X	R/W	STAGE0_SF_WORD1	STAGE0 slow FIFO WORD1
0x0EB	[15:0]	X	R/W	STAGE0_SF_WORD2	STAGE0 slow FIFO WORD2
0x0EC	[15:0]	X	R/W	STAGE0_SF_WORD3	STAGE0 slow FIFO WORD3
0x0ED	[15:0]	X	R/W	STAGE0_SF_WORD4	STAGE0 slow FIFO WORD4
0x0EE	[15:0]	X	R/W	STAGE0_SF_WORD5	STAGE0 slow FIFO WORD5
0x0EF	[15:0]	X	R/W	STAGE0_SF_WORD6	STAGE0 slow FIFO WORD6
0x0F0	[15:0]	X	R/W	STAGE0_SF_WORD7	STAGE0 slow FIFO WORD7
0x0F1	[15:0]	X	R/W	STAGE0_SF_AMBIENT	STAGE0 slow FIFO ambient value
0x0F2	[15:0]	X	R/W	STAGE0_FF_AVG	STAGE0 fast FIFO average value
0x0F3	[15:0]	X	R/W	STAGE0_PEAK_DETECT_WORD0	STAGE0 peak FIFO WORD0 value
0x0F4	[15:0]	X	R/W	STAGE0_PEAK_DETECT_WORD1	STAGE0 peak FIFO WORD1 value
0x0F5	[15:0]	X	R/W	STAGE0_MAX_WORD0	STAGE0 maximum value FIFO WORD0
0x0F6	[15:0]	X	R/W	STAGE0_MAX_WORD1	STAGE0 maximum value FIFO WORD1
0x0F7	[15:0]	X	R/W	STAGE0_MAX_WORD2	STAGE0 maximum value FIFO WORD2
0x0F8	[15:0]	X	R/W	STAGE0_MAX_WORD3	STAGE0 maximum value FIFO WORD3
0x0F9	[15:0]	X	R/W	STAGE0_MAX_AVG	STAGE0 average maximum FIFO value
0x0FA	[15:0]	X	R/W	STAGE0_HIGH_THRESHOLD	STAGE0 high threshold value
0x0FB	[15:0]	X	R/W	STAGE0_MAX_TEMP	STAGE0 temporary maximum value
0x0FC	[15:0]	X	R/W	STAGE0_MIN_WORD0	STAGE0 minimum value FIFO WORD0
0x0FD	[15:0]	X	R/W	STAGE0_MIN_WORD1	STAGE0 minimum value FIFO WORD1
0x0FE	[15:0]	X	R/W	STAGE0_MIN_WORD2	STAGE0 minimum value FIFO WORD2
0x0FF	[15:0]	X	R/W	STAGE0_MIN_WORD3	STAGE0 minimum value FIFO WORD3
0x100	[15:0]	X	R/W	STAGE0_MIN_AVG	STAGE0 average minimum FIFO value
0x101	[15:0]	X	R/W	STAGE0_LOW_THRESHOLD	STAGE0 low threshold value
0x102	[15:0]	X	R/W	STAGE0_MIN_TEMP	STAGE0 temporary minimum value
0x103	[15:0]	X	—	Unused	Set unused register bits to 0

表 44. ステージ 1 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x104	[15:0]	X	R/W	STAGE1_CONV_DATA	STAGE1 CDC 16-bit conversion data (copy of data in CDC_RESULT_S1 register)
0x105	[15:0]	X	R/W	STAGE1_FF_WORD0	STAGE1 fast FIFO WORD0
0x106	[15:0]	X	R/W	STAGE1_FF_WORD1	STAGE1 fast FIFO WORD1
0x107	[15:0]	X	R/W	STAGE1_FF_WORD2	STAGE1 fast FIFO WORD2
0x108	[15:0]	X	R/W	STAGE1_FF_WORD3	STAGE1 fast FIFO WORD3
0x109	[15:0]	X	R/W	STAGE1_FF_WORD4	STAGE1 fast FIFO WORD4
0x10A	[15:0]	X	R/W	STAGE1_FF_WORD5	STAGE1 fast FIFO WORD5
0x10B	[15:0]	X	R/W	STAGE1_FF_WORD6	STAGE1 fast FIFO WORD6
0x10C	[15:0]	X	R/W	STAGE1_FF_WORD7	STAGE1 fast FIFO WORD7
0x10D	[15:0]	X	R/W	STAGE1_SF_WORD0	STAGE1 slow FIFO WORD0
0x10E	[15:0]	X	R/W	STAGE1_SF_WORD1	STAGE1 slow FIFO WORD1
0x10F	[15:0]	X	R/W	STAGE1_SF_WORD2	STAGE1 slow FIFO WORD2
0x110	[15:0]	X	R/W	STAGE1_SF_WORD3	STAGE1 slow FIFO WORD3
0x111	[15:0]	X	R/W	STAGE1_SF_WORD4	STAGE1 slow FIFO WORD4
0x112	[15:0]	X	R/W	STAGE1_SF_WORD5	STAGE1 slow FIFO WORD5
0x113	[15:0]	X	R/W	STAGE1_SF_WORD6	STAGE1 slow FIFO WORD6
0x114	[15:0]	X	R/W	STAGE1_SF_WORD7	STAGE1 slow FIFO WORD7
0x115	[15:0]	X	R/W	STAGE1_SF_AMBIENT	STAGE1 slow FIFO ambient value
0x116	[15:0]	X	R/W	STAGE1_FF_AVG	STAGE1 fast FIFO average value
0x117	[15:0]	X	R/W	STAGE1_CDC_WORD0	STAGE1 CDC FIFO WORD0
0x118	[15:0]	X	R/W	STAGE1_CDC_WORD1	STAGE1 CDC FIFO WORD1
0x119	[15:0]	X	R/W	STAGE1_MAX_WORD0	STAGE1 maximum value FIFO WORD0
0x11A	[15:0]	X	R/W	STAGE1_MAX_WORD1	STAGE1 maximum value FIFO WORD1
0x11B	[15:0]	X	R/W	STAGE1_MAX_WORD2	STAGE1 maximum value FIFO WORD2
0x11C	[15:0]	X	R/W	STAGE1_MAX_WORD3	STAGE1 maximum value FIFO WORD3
0x11D	[15:0]	X	R/W	STAGE1_MAX_AVG	STAGE1 average maximum FIFO value
0x11E	[15:0]	X	R/W	STAGE1_HIGH_THRESHOLD	STAGE1 high threshold value
0x11F	[15:0]	X	R/W	STAGE1_MAX_TEMP	STAGE1 temporary maximum value
0x120	[15:0]	X	R/W	STAGE1_MIN_WORD0	STAGE1 minimum value FIFO WORD0
0x121	[15:0]	X	R/W	STAGE1_MIN_WORD1	STAGE1 minimum value FIFO WORD1
0x122	[15:0]	X	R/W	STAGE1_MIN_WORD2	STAGE1 minimum value FIFO WORD2
0x123	[15:0]	X	R/W	STAGE1_MIN_WORD3	STAGE1 minimum value FIFO WORD3
0x124	[15:0]	X	R/W	STAGE1_MIN_AVG	STAGE1 average minimum FIFO value
0x125	[15:0]	X	R/W	STAGE1_LOW_THRESHOLD	STAGE1 low threshold value
0x126	[15:0]	X	R/W	STAGE1_MIN_TEMP	STAGE1 temporary minimum value
0x127	[15:0]	X		Unused	Set unused register bits to 0

表 45. ステージ 2 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x128	[15:0]	X	R/W	STAGE2_CONV_DATA	STAGE2 CDC 16-bit conversion data (copy of data in CDC_RESULT_S2 register)
0x129	[15:0]	X	R/W	STAGE2_FF_WORD0	STAGE2 fast FIFO WORD0
0x12A	[15:0]	X	R/W	STAGE2_FF_WORD1	STAGE2 fast FIFO WORD1
0x12B	[15:0]	X	R/W	STAGE2_FF_WORD2	STAGE2 fast FIFO WORD2
0x12C	[15:0]	X	R/W	STAGE2_FF_WORD3	STAGE2 fast FIFO WORD3
0x12D	[15:0]	X	R/W	STAGE2_FF_WORD4	STAGE2 fast FIFO WORD4
0x12E	[15:0]	X	R/W	STAGE2_FF_WORD5	STAGE2 fast FIFO WORD5
0x12F	[15:0]	X	R/W	STAGE2_FF_WORD6	STAGE2 fast FIFO WORD6
0x130	[15:0]	X	R/W	STAGE2_FF_WORD7	STAGE2 fast FIFO WORD7
0x131	[15:0]	X	R/W	STAGE2_SF_WORD0	STAGE2 slow FIFO WORD0
0x132	[15:0]	X	R/W	STAGE2_SF_WORD1	STAGE2 slow FIFO WORD1
0x133	[15:0]	X	R/W	STAGE2_SF_WORD2	STAGE2 slow FIFO WORD2
0x134	[15:0]	X	R/W	STAGE2_SF_WORD3	STAGE2 slow FIFO WORD3
0x135	[15:0]	X	R/W	STAGE2_SF_WORD4	STAGE2 slow FIFO WORD4
0x136	[15:0]	X	R/W	STAGE2_SF_WORD5	STAGE2 slow FIFO WORD5
0x137	[15:0]	X	R/W	STAGE2_SF_WORD6	STAGE2 slow FIFO WORD6
0x138	[15:0]	X	R/W	STAGE2_SF_WORD7	STAGE2 slow FIFO WORD7
0x139	[15:0]	X	R/W	STAGE2_SF_AMBIENT	STAGE2 slow FIFO ambient value
0x13A	[15:0]	X	R/W	STAGE2_FF_AVG	STAGE2 fast FIFO average value
0x13B	[15:0]	X	R/W	STAGE2_CDC_WORD0	STAGE2 CDC FIFO WORD0
0x13C	[15:0]	X	R/W	STAGE2_CDC_WORD1	STAGE2 CDC FIFO WORD1
0x13D	[15:0]	X	R/W	STAGE2_MAX_WORD0	STAGE2 maximum value FIFO WORD0
0x13E	[15:0]	X	R/W	STAGE2_MAX_WORD1	STAGE2 maximum value FIFO WORD1
0x13F	[15:0]	X	R/W	STAGE2_MAX_WORD2	STAGE2 maximum value FIFO WORD2
0x140	[15:0]	X	R/W	STAGE2_MAX_WORD3	STAGE2 maximum value FIFO WORD3
0x141	[15:0]	X	R/W	STAGE2_MAX_AVG	STAGE2 average maximum FIFO value
0x142	[15:0]	X	R/W	STAGE2_HIGH_THRESHOLD	STAGE2 high threshold value
0x143	[15:0]	X	R/W	STAGE2_MAX_TEMP	STAGE2 temporary maximum value
0x144	[15:0]	X	R/W	STAGE2_MIN_WORD0	STAGE2 minimum value FIFO WORD0
0x145	[15:0]	X	R/W	STAGE2_MIN_WORD1	STAGE2 minimum value FIFO WORD1
0x146	[15:0]	X	R/W	STAGE2_MIN_WORD2	STAGE2 minimum value FIFO WORD2
0x148	[15:0]	X	R/W	STAGE2_MIN_WORD3	STAGE2 minimum value FIFO WORD3
0x148	[15:0]	X	R/W	STAGE2_MIN_AVG	STAGE2 average minimum FIFO value
0x149	[15:0]	X	R/W	STAGE2_LOW_THRESHOLD	STAGE2 low threshold value
0x14A	[15:0]	X	R/W	STAGE2_MIN_TEMP	STAGE2 temporary minimum value
0x14B	[15:0]	X		Unused	Set unused register bits to 0

表 46. ステージ 3 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x14C	[15:0]	X	R/W	STAGE3_CONV_DATA	STAGE3 CDC 16-bit conversion data (copy of data in CDC_RESULT_S3 register)
0x14D	[15:0]	X	R/W	STAGE3_FF_WORD0	STAGE3 fast FIFO WORD0
0x14E	[15:0]	X	R/W	STAGE3_FF_WORD1	STAGE3 fast FIFO WORD1
0x14F	[15:0]	X	R/W	STAGE3_FF_WORD2	STAGE3 fast FIFO WORD2
0x150	[15:0]	X	R/W	STAGE3_FF_WORD3	STAGE3 fast FIFO WORD3
0x151	[15:0]	X	R/W	STAGE3_FF_WORD4	STAGE3 fast FIFO WORD4
0x152	[15:0]	X	R/W	STAGE3_FF_WORD5	STAGE3 fast FIFO WORD5
0x153	[15:0]	X	R/W	STAGE3_FF_WORD6	STAGE3 fast FIFO WORD6
0x154	[15:0]	X	R/W	STAGE3_FF_WORD7	STAGE3 fast FIFO WORD7
0x155	[15:0]	X	R/W	STAGE3_SF_WORD0	STAGE3 slow FIFO WORD0
0x156	[15:0]	X	R/W	STAGE3_SF_WORD1	STAGE3 slow FIFO WORD1
0x157	[15:0]	X	R/W	STAGE3_SF_WORD2	STAGE3 slow FIFO WORD2
0x158	[15:0]	X	R/W	STAGE3_SF_WORD3	STAGE3 slow FIFO WORD3
0x159	[15:0]	X	R/W	STAGE3_SF_WORD4	STAGE3 slow FIFO WORD4
0x15A	[15:0]	X	R/W	STAGE3_SF_WORD5	STAGE3 slow FIFO WORD5
0x15B	[15:0]	X	R/W	STAGE3_SF_WORD6	STAGE3 slow FIFO WORD6
0x15C	[15:0]	X	R/W	STAGE3_SF_WORD7	STAGE3 slow FIFO WORD7
0x15D	[15:0]	X	R/W	STAGE3_SF_AMBIENT	STAGE3 slow FIFO ambient value
0x15E	[15:0]	X	R/W	STAGE3_FF_AVG	STAGE3 fast FIFO average value
0x15F	[15:0]	X	R/W	STAGE3_CDC_WORD0	STAGE3 CDC FIFO WORD0
0x160	[15:0]	X	R/W	STAGE3_CDC_WORD1	STAGE3 CDC FIFO WORD1
0x161	[15:0]	X	R/W	STAGE3_MAX_WORD0	STAGE3 maximum value FIFO WORD0
0x162	[15:0]	X	R/W	STAGE3_MAX_WORD1	STAGE3 maximum value FIFO WORD1
0x163	[15:0]	X	R/W	STAGE3_MAX_WORD2	STAGE3 maximum value FIFO WORD2
0x164	[15:0]	X	R/W	STAGE3_MAX_WORD3	STAGE3 maximum value FIFO WORD3
0x165	[15:0]	X	R/W	STAGE3_MAX_AVG	STAGE3 average maximum FIFO value
0x166	[15:0]	X	R/W	STAGE3_HIGH_THRESHOLD	STAGE3 high threshold value
0x167	[15:0]	X	R/W	STAGE3_MAX_TEMP	STAGE3 temporary maximum value
0x168	[15:0]	X	R/W	STAGE3_MIN_WORD0	STAGE3 minimum value FIFO WORD0
0x169	[15:0]	X	R/W	STAGE3_MIN_WORD1	STAGE3 minimum value FIFO WORD1
0x16A	[15:0]	X	R/W	STAGE3_MIN_WORD2	STAGE3 minimum value FIFO WORD2
0x16B	[15:0]	X	R/W	STAGE3_MIN_WORD3	STAGE3 minimum value FIFO WORD3
0x16C	[15:0]	X	R/W	STAGE3_MIN_AVG	STAGE3 average minimum FIFO value
0x16D	[15:0]	X	R/W	STAGE3_LOW_THRESHOLD	STAGE3 low threshold value
0x16E	[15:0]	X	R/W	STAGE3_MIN_TEMP	STAGE3 temporary minimum value
0x16F	[15:0]	X		Unused	Set unused register bits to 0

表 47. ステージ 4 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x170	[15:0]	X	R/W	STAGE4_CONV_DATA	STAGE4 CDC 16-bit conversion data (copy of data in CDC_RESULT_S4 register)
0x171	[15:0]	X	R/W	STAGE4_FF_WORD0	STAGE4 fast FIFO WORD0
0x172	[15:0]	X	R/W	STAGE4_FF_WORD1	STAGE4 fast FIFO WORD1
0x173	[15:0]	X	R/W	STAGE4_FF_WORD2	STAGE4 fast FIFO WORD2
0x174	[15:0]	X	R/W	STAGE4_FF_WORD3	STAGE4 fast FIFO WORD3
0x175	[15:0]	X	R/W	STAGE4_FF_WORD4	STAGE4 fast FIFO WORD4
0x176	[15:0]	X	R/W	STAGE4_FF_WORD5	STAGE4 fast FIFO WORD5
0x177	[15:0]	X	R/W	STAGE4_FF_WORD6	STAGE4 fast FIFO WORD6
0x178	[15:0]	X	R/W	STAGE4_FF_WORD7	STAGE4 fast FIFO WORD7
0x179	[15:0]	X	R/W	STAGE4_SF_WORD0	STAGE4 slow FIFO WORD0
0x17A	[15:0]	X	R/W	STAGE4_SF_WORD1	STAGE4 slow FIFO WORD1
0x17B	[15:0]	X	R/W	STAGE4_SF_WORD2	STAGE4 slow FIFO WORD2
0x17C	[15:0]	X	R/W	STAGE4_SF_WORD3	STAGE4 slow FIFO WORD3
0x17D	[15:0]	X	R/W	STAGE4_SF_WORD4	STAGE4 slow FIFO WORD4
0x17E	[15:0]	X	R/W	STAGE4_SF_WORD5	STAGE4 slow FIFO WORD5
0x17F	[15:0]	X	R/W	STAGE4_SF_WORD6	STAGE4 slow FIFO WORD6
0x180	[15:0]	X	R/W	STAGE4_SF_WORD7	STAGE4 slow FIFO WORD7
0x181	[15:0]	X	R/W	STAGE4_SF_AMBIENT	STAGE4 slow FIFO ambient value
0x182	[15:0]	X	R/W	STAGE4_FF_AVG	STAGE4 fast FIFO average value
0x183	[15:0]	X	R/W	STAGE4_CDC_WORD0	STAGE4 CDC FIFO WORD0
0x184	[15:0]	X	R/W	STAGE4_CDC_WORD1	STAGE4 CDC FIFO WORD1
0x185	[15:0]	X	R/W	STAGE4_MAX_WORD0	STAGE4 maximum value FIFO WORD0
0x186	[15:0]	X	R/W	STAGE4_MAX_WORD1	STAGE4 maximum value FIFO WORD1
0x187	[15:0]	X	R/W	STAGE4_MAX_WORD2	STAGE4 maximum value FIFO WORD2
0x188	[15:0]	X	R/W	STAGE4_MAX_WORD3	STAGE4 maximum value FIFO WORD3
0x189	[15:0]	X	R/W	STAGE4_MAX_AVG	STAGE4 average maximum FIFO value
0x18A	[15:0]	X	R/W	STAGE4_HIGH_THRESHOLD	STAGE4 high threshold value
0x18B	[15:0]	X	R/W	STAGE4_MAX_TEMP	STAGE4 temporary maximum value
0x18C	[15:0]	X	R/W	STAGE4_MIN_WORD0	STAGE4 minimum value FIFO WORD0
0x18D	[15:0]	X	R/W	STAGE4_MIN_WORD1	STAGE4 minimum value FIFO WORD1
0x18E	[15:0]	X	R/W	STAGE4_MIN_WORD2	STAGE4 minimum value FIFO WORD2
0x18F	[15:0]	X	R/W	STAGE4_MIN_WORD3	STAGE4 minimum value FIFO WORD3
0x190	[15:0]	X	R/W	STAGE4_MIN_AVG	STAGE4 average minimum FIFO value
0x191	[15:0]	X	R/W	STAGE4_LOW_THRESHOLD	STAGE4 low threshold value
0x192	[15:0]	X	R/W	STAGE4_MIN_TEMP	STAGE4 temporary minimum value
0x193	[15:0]	X		Unused	Set unused register bits to 0

表 48. ステージ 5 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x194	[15:0]	X	R/W	STAGE5_CONV_DATA	STAGE5 CDC 16-bit conversion data (copy of data in CDC_RESULT_S5 register)
0x195	[15:0]	X	R/W	STAGE5_FF_WORD0	STAGE5 fast FIFO WORD0
0x196	[15:0]	X	R/W	STAGE5_FF_WORD1	STAGE5 fast FIFO WORD1
0x197	[15:0]	X	R/W	STAGE5_FF_WORD2	STAGE5 fast FIFO WORD2
0x198	[15:0]	X	R/W	STAGE5_FF_WORD3	STAGE5 fast FIFO WORD3
0x199	[15:0]	X	R/W	STAGE5_FF_WORD4	STAGE5 fast FIFO WORD4
0x19A	[15:0]	X	R/W	STAGE5_FF_WORD5	STAGE5 fast FIFO WORD5
0x19B	[15:0]	X	R/W	STAGE5_FF_WORD6	STAGE5 fast FIFO WORD6
0x19C	[15:0]	X	R/W	STAGE5_FF_WORD7	STAGE5 fast FIFO WORD7
0x19D	[15:0]	X	R/W	STAGE5_SF_WORD0	STAGE5 slow FIFO WORD0
0x19E	[15:0]	X	R/W	STAGE5_SF_WORD1	STAGE5 slow FIFO WORD1
0x19F	[15:0]	X	R/W	STAGE5_SF_WORD2	STAGE5 slow FIFO WORD2
0x1A0	[15:0]	X	R/W	STAGE5_SF_WORD3	STAGE5 slow FIFO WORD3
0x1A1	[15:0]	X	R/W	STAGE5_SF_WORD4	STAGE5 slow FIFO WORD4
0x1A2	[15:0]	X	R/W	STAGE5_SF_WORD5	STAGE5 slow FIFO WORD5
0x1A3	[15:0]	X	R/W	STAGE5_SF_WORD6	STAGE5 slow FIFO WORD6
0x1A4	[15:0]	X	R/W	STAGE5_SF_WORD7	STAGE5 slow FIFO WORD7
0x1A5	[15:0]	X	R/W	STAGE5_SF_AMBIENT	STAGE5 slow FIFO ambient value
0x1A6	[15:0]	X	R/W	STAGE5_FF_AVG	STAGE5 fast FIFO average value
0x1A7	[15:0]	X	R/W	STAGE5_CDC_WORD0	STAGE5 CDC FIFO WORD0
0x1A8	[15:0]	X	R/W	STAGE5_CDC_WORD1	STAGE5 CDC FIFO WORD1
0x1A9	[15:0]	X	R/W	STAGE5_MAX_WORD0	STAGE5 maximum value FIFO WORD0
0x1AA	[15:0]	X	R/W	STAGE5_MAX_WORD1	STAGE5 maximum value FIFO WORD1
0x1AB	[15:0]	X	R/W	STAGE5_MAX_WORD2	STAGE5 maximum value FIFO WORD2
0x1AC	[15:0]	X	R/W	STAGE5_MAX_WORD3	STAGE5 maximum value FIFO WORD3
0x1AD	[15:0]	X	R/W	STAGE5_MAX_AVG	STAGE5 average maximum FIFO value
0x1AE	[15:0]	X	R/W	STAGE5_HIGH_THRESHOLD	STAGE5 high threshold value
0x1AF	[15:0]	X	R/W	STAGE5_MAX_TEMP	STAGE5 temporary maximum value
0x1B0	[15:0]	X	R/W	STAGE5_MIN_WORD0	STAGE5 minimum value FIFO WORD0
0x1B1	[15:0]	X	R/W	STAGE5_MIN_WORD1	STAGE5 minimum value FIFO WORD1
0x1B2	[15:0]	X	R/W	STAGE5_MIN_WORD2	STAGE5 minimum value FIFO WORD2
0x1B3	[15:0]	X	R/W	STAGE5_MIN_WORD3	STAGE5 minimum value FIFO WORD3
0x1B4	[15:0]	X	R/W	STAGE5_MIN_AVG	STAGE5 average minimum FIFO value
0x1B5	[15:0]	X	R/W	STAGE5_LOW_THRESHOLD	STAGE5 low threshold value
0x1B6	[15:0]	X	R/W	STAGE5_MIN_TEMP	STAGE5 temporary minimum value
0x1B7	[15:0]	X		Unused	Set unused register bits to 0

表 49. ステージ 6 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x1B8	[15:0]	X	R/W	STAGE6_CONV_DATA	STAGE6 CDC 16-bit conversion data (copy of data in CDC_RESULT_S6 register)
0x1B9	[15:0]	X	R/W	STAGE6_FF_WORD0	STAGE6 fast FIFO WORD0
0x1BA	[15:0]	X	R/W	STAGE6_FF_WORD1	STAGE6 fast FIFO WORD1
0x1BB	[15:0]	X	R/W	STAGE6_FF_WORD2	STAGE6 fast FIFO WORD2
0x1BC	[15:0]	X	R/W	STAGE6_FF_WORD3	STAGE6 fast FIFO WORD3
0x1BD	[15:0]	X	R/W	STAGE6_FF_WORD4	STAGE6 fast FIFO WORD4
0x1BE	[15:0]	X	R/W	STAGE6_FF_WORD5	STAGE6 fast FIFO WORD5
0x1BF	[15:0]	X	R/W	STAGE6_FF_WORD6	STAGE6 fast FIFO WORD6
0x1C0	[15:0]	X	R/W	STAGE6_FF_WORD7	STAGE6 fast FIFO WORD7
0x1C1	[15:0]	X	R/W	STAGE6_SF_WORD0	STAGE6 slow FIFO WORD0
0x1C2	[15:0]	X	R/W	STAGE6_SF_WORD1	STAGE6 slow FIFO WORD1
0x1C3	[15:0]	X	R/W	STAGE6_SF_WORD2	STAGE6 slow FIFO WORD2
0x1C4	[15:0]	X	R/W	STAGE6_SF_WORD3	STAGE6 slow FIFO WORD3
0x1C5	[15:0]	X	R/W	STAGE6_SF_WORD4	STAGE6 slow FIFO WORD4
0x1C6	[15:0]	X	R/W	STAGE6_SF_WORD5	STAGE6 slow FIFO WORD5
0x1C7	[15:0]	X	R/W	STAGE6_SF_WORD6	STAGE6 slow FIFO WORD6
0x1C8	[15:0]	X	R/W	STAGE6_SF_WORD7	STAGE6 slow FIFO WORD7
0x1C9	[15:0]	X	R/W	STAGE6_SF_AMBIENT	STAGE6 slow FIFO ambient value
0x1CA	[15:0]	X	R/W	STAGE6_FF_AVG	STAGE6 fast FIFO average value
0x1CB	[15:0]	X	R/W	STAGE6_CDC_WORD0	STAGE0 CDC FIFO WORD0
0x1CC	[15:0]	X	R/W	STAGE6_CDC_WORD1	STAGE6 CDC FIFO WORD1
0x1CD	[15:0]	X	R/W	STAGE6_MAX_WORD0	STAGE6 maximum value FIFO WORD0
0x1CE	[15:0]	X	R/W	STAGE6_MAX_WORD1	STAGE6 maximum value FIFO WORD1
0x1CF	[15:0]	X	R/W	STAGE6_MAX_WORD2	STAGE6 maximum value FIFO WORD2
0x1D0	[15:0]	X	R/W	STAGE6_MAX_WORD3	STAGE6 maximum value FIFO WORD3
0x1D1	[15:0]	X	R/W	STAGE6_MAX_AVG	STAGE6 average maximum FIFO value
0x1D2	[15:0]	X	R/W	STAGE6_HIGH_THRESHOLD	STAGE6 high threshold value
0x1D3	[15:0]	X	R/W	STAGE6_MAX_TEMP	STAGE6 temporary maximum value
0x1D4	[15:0]	X	R/W	STAGE6_MIN_WORD0	STAGE6 minimum value FIFO WORD0
0x1D5	[15:0]	X	R/W	STAGE6_MIN_WORD1	STAGE6 minimum value FIFO WORD1
0x1D6	[15:0]	X	R/W	STAGE6_MIN_WORD2	STAGE6 minimum value FIFO WORD2
0x1D7	[15:0]	X	R/W	STAGE6_MIN_WORD3	STAGE6 minimum value FIFO WORD3
0x1D8	[15:0]	X	R/W	STAGE6_MIN_AVG	STAGE6 average minimum FIFO value
0x1D9	[15:0]	X	R/W	STAGE6_LOW_THRESHOLD	STAGE6 low threshold value
0x1DA	[15:0]	X	R/W	STAGE6_MIN_TEMP	STAGE6 temporary minimum value
0x1DB	[15:0]	X		Unused	Set unused register bits to 0

表 50. ステージ 7 のリザルト・レジスタ

Address	Data Bit	Default Value	Type	Mnemonic	Description
0x1DC	[15:0]	X	R/W	STAGE7_CONV_DATA	STAGE7 CDC 16-bit conversion data (copy of data in CDC_RESULT_S7 register)
0x1DD	[15:0]	X	R/W	STAGE7_FF_WORD0	STAGE7 fast FIFO WORD0
0x1DE	[15:0]	X	R/W	STAGE7_FF_WORD1	STAGE7 fast FIFO WORD1
0x1DF	[15:0]	X	R/W	STAGE7_FF_WORD2	STAGE7 fast FIFO WORD2
0x1E0	[15:0]	X	R/W	STAGE7_FF_WORD3	STAGE7 fast FIFO WORD3
0x1E1	[15:0]	X	R/W	STAGE7_FF_WORD4	STAGE7 fast FIFO WORD4
0x1E2	[15:0]	X	R/W	STAGE7_FF_WORD5	STAGE7 fast FIFO WORD5
0x1E3	[15:0]	X	R/W	STAGE7_FF_WORD6	STAGE7 fast FIFO WORD6
0x1E4	[15:0]	X	R/W	STAGE7_FF_WORD7	STAGE7 fast FIFO WORD7
0x1E5	[15:0]	X	R/W	STAGE7_SF_WORD0	STAGE7 slow FIFO WORD0
0x1E6	[15:0]	X	R/W	STAGE7_SF_WORD1	STAGE7 slow FIFO WORD1
0x1E7	[15:0]	X	R/W	STAGE7_SF_WORD2	STAGE7 slow FIFO WORD2
0x1E8	[15:0]	X	R/W	STAGE7_SF_WORD3	STAGE7 slow FIFO WORD3
0x1E9	[15:0]	X	R/W	STAGE7_SF_WORD4	STAGE7 slow FIFO WORD4
0x1EA	[15:0]	X	R/W	STAGE7_SF_WORD5	STAGE7 slow FIFO WORD5
0x1EB	[15:0]	X	R/W	STAGE7_SF_WORD6	STAGE7 slow FIFO WORD6
0x1EC	[15:0]	X	R/W	STAGE7_SF_WORD7	STAGE7 slow FIFO WORD7
0x1ED	[15:0]	X	R/W	STAGE7_SF_AMBIENT	STAGE7 slow FIFO ambient value
0x1EE	[15:0]	X	R/W	STAGE7_FF_AVG	STAGE7 fast FIFO average value
0x1EF	[15:0]	X	R/W	STAGE7_CDC_WORD0	STAGE7 CDC FIFO WORD0
0x1F0	[15:0]	X	R/W	STAGE7_CDC_WORD1	STAGE7 CDC FIFO WORD1
0x1F1	[15:0]	X	R/W	STAGE7_MAX_WORD0	STAGE7 maximum value FIFO WORD0
0x1F2	[15:0]	X	R/W	STAGE7_MAX_WORD1	STAGE7 maximum value FIFO WORD1
0x1F3	[15:0]	X	R/W	STAGE7_MAX_WORD2	STAGE7 maximum value FIFO WORD2
0x1F4	[15:0]	X	R/W	STAGE7_MAX_WORD3	STAGE7 maximum value FIFO WORD3
0x1F5	[15:0]	X	R/W	STAGE7_MAX_AVG	STAGE7 average maximum FIFO value
0x1F6	[15:0]	X	R/W	STAGE7_HIGH_THRESHOLD	STAGE7 high threshold value
0x1F7	[15:0]	X	R/W	STAGE7_MAX_TEMP	STAGE7 temporary maximum value
0x1F8	[15:0]	X	R/W	STAGE7_MIN_WORD0	STAGE7 minimum value FIFO WORD0
0x1F9	[15:0]	X	R/W	STAGE7_MIN_WORD1	STAGE7 minimum value FIFO WORD1
0x1FA	[15:0]	X	R/W	STAGE7_MIN_WORD2	STAGE7 minimum value FIFO WORD2
0x1FB	[15:0]	X	R/W	STAGE7_MIN_WORD3	STAGE7 minimum value FIFO WORD3
0x1FC	[15:0]	X	R/W	STAGE7_MIN_AVG	STAGE7 average minimum FIFO value
0x1FD	[15:0]	X	R/W	STAGE7_LOW_THRESHOLD	STAGE7 low threshold value
0x1FE	[15:0]	X	R/W	STAGE7_MIN_TEMP	STAGE7 temporary minimum value
0x1FF	[15:0]	X		Unused	Set unused register bits to 0

## 外形寸法

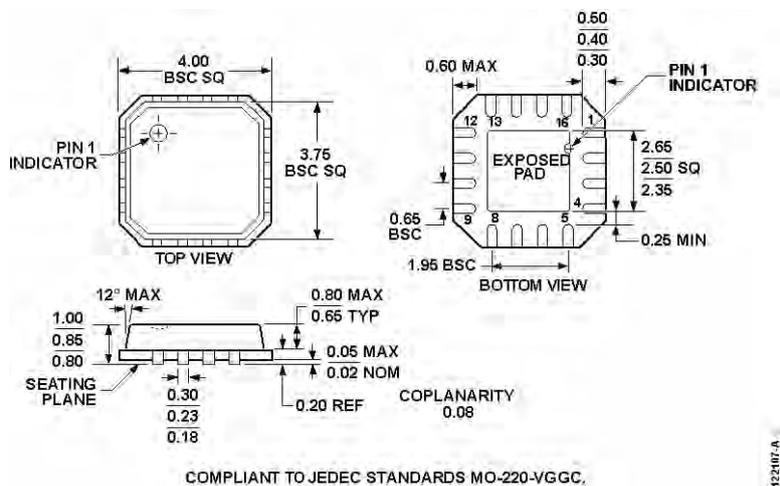


図 47.16 ピン・フレーム・チップ・スケール・パッケージ [LFCSP\_VQ]  
4 mm × 4 mm 極薄クワッド  
(CP-16-13)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Serial Interface Description	Package Description	Package Option
AD7148ACPZ-1REEL <sup>1</sup>	-40°C to +85°C	I <sup>2</sup> C Interface	16-Lead LFCSP_VQ	CP-16-13
AD7148ACPZ-1500RL7 <sup>1</sup>	-40°C to +85°C	I <sup>2</sup> C Interface	16-Lead LFCSP_VQ	CP-16-13

<sup>1</sup> Z = RoHS 準拠製品