日本語参考資料
最新版英語データシートはこちら

デュアル、同時サンプリング、16ビット／14ビットSAR ADC、差動入力

データシート

AD7380/AD7381

特長

16 ビット／14 ビット ADC ファミリ
デュアル同時サンプリング
完全差動アナログ入力
スループット変換レート：4MSPS
S/N 比（代表値）
　92.5dB、V_{REF} = 3.3V 外部、AD7380（16 ビット）の場合
　85.4dB、V_{REF} = 3.3V 外部、AD7381（14 ビット）の場合
オーバーサンプリング機能内蔵
分解能増強機能
OSR が 32 倍の場合の S/N 比：102.8dB（代表値）
INL（最大値）
　16 ビットでは 2.0LSB
　14 ビットでは 1.0LSB
2.5V 内部リファレンス（10ppm/°C）
高速シリアル・インターフェース
−40°C～+125°C で動作
16 ピン LFCSP、3mm × 3mm
広いコモンモード電圧範囲
アラート機能

アプリケーション

モータ・コントロールの位置フィードバック
モータ・コントロール電流の検出
ソナー
電力品質
データ･アクイジション･システム
EDFA アプリケーション
I 信号と Q 信号の復調

機能ブロック図

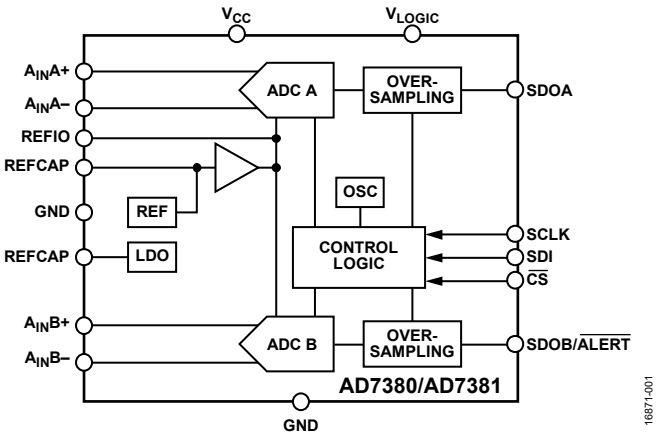


図 1.

概要

AD7380/AD7381 は、デュアル同時サンプリング、高速、低消費電力、逐次比較（SAR）A/D コンバータ（ADC）の 16 ビット／14 ビット・ピン互換ファミリで、3.0V～3.6V 電源で動作し、最大 4MSPS のスループット・レートを特長としています。アナログ入力タイプは差動で、コモンモード入力電圧範囲が広く、$\overline{CS}$の立下がりエッジでサンプリングと変換が実行されます。
オーバーサンプリング・ブロックを内蔵しているので、ダイナミック・レンジが向上し、低帯域幅でのノイズが減少します。バッファ付きの 2.5V 内部リファレンスを内蔵しています。代わりに、最大 3.3V の外部リファレンスを使用してもかまいません。
変換プロセスとデータ・アクイジションでは標準的な制御入力を使用するので、マイクロプロセッサまたはデジタル・シグナル・プロセッサ（DSP）と容易にインターフェースをとることができます。1.8V、2.5V、3.3V のインターフェースと互換性があり、別個のロジック電源を使用します。

AD7380/AD7381 は、16 ピンのリード・フレーム・チップ・スケール・パッケージ（LFCSP）で供給され、−40°C～+125°C での動作が規定されています。

製品のハイライト

1. 2 つの完全な ADC 機能によるデュアル同時サンプリングおよび変換
2. ピン互換の製品ファミリ
3. 4MSPS の高いスループット・レート
4. 省スペースの 3mm × 3mm LFCSP パッケージ
5. 内蔵のオーバーサンプリング・ブロックによるダイナミック・レンジの増加、ノイズの低減、および SCLK 速度条件の低減
6. コモンモード電圧範囲の広い差動アナログ入力
7. 小容量のサンプリング・コンデンサにより、アンプ駆動の負担を軽減

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052（569）6300

目次

特長 1
アプリケーション 1
機能ブロック図 1
概要 1
製品のハイライト 1
改訂履歴 2
仕様 3
タイミング仕様 6
絶対最大定格 8
熱抵抗 8
ESD に関する注意 8
ピン配置およびピン機能の説明 9
代表的な性能特性 10
用語の定義 13
動作原理 14
回路説明 14
コンバータの動作 14
アナログ入力構造 14
ADC の伝達関数 15
アプリケーション情報 16
電源 16
動作モード 17
オーバーサンプリング 17
分解能の増強 19
アラート 19
消費電力モード 20
内部リファレンスと外部リファレンス 20
ソフトウェア・リセット 20
診断セルフ・テスト 20
インターフェース 21
変換結果の読出し 21
低遅延の読出し 22
デバイスのレジスタからの読出し 23
デバイスのレジスタへの書込み 23
CRC 24
レジスタ 27
レジスタのアドレス指定 27
CONFIGURATION1 レジスタ 28
CONFIGURATION2 レジスタ 29
$\overline{\text{ALERT}}$ レジスタ 29
ALERT_LOW_THRESHOLD レジスタ 30
ALERT_HIGH_THRESHOLD レジスタ 30
外形寸法 31
オーダー・ガイド 31

改訂履歴

1/2019—Revision 0: 初版

仕様

特に指定のない限り、V_{CC} = 3.0V～3.6V、V_{LOGIC} = 1.65V～3.6V、リファレンス電圧（V_{REF}）= 2.5V 内部、サンプリング周波数（f_{SAMPLE}）= 4MSPS、T_A = −40°C～+125°C、オーバーサンプリングを有効化しない。

表 1. AD7380

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
THROUGHPUT					
Conversion Rate				4	MSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity Error		−1.0	±0.7	+1.0	LSB
Integral Nonlinearity Error		−2.0	±0.75	+2.0	LSB
Gain Error		−0.015	±0.002	+0.015	% FS[1]
Gain Error Temperature Drift		−11	±1	+11	ppm/°C
Gain Error Match		−0.01	±0.002	+0.01	% FS
Offset Error	At 25°C, V_{CC} = 3.3 V	−0.2	±0.01	+0.2	mV
		−0.5		+0.5	mV
Offset Temperature Drift		−2	±0.5	+2	µV/°C
Offset Error Match		−0.5	±0.1	+0.5	mV
AC ACCURACY	Input frequency (f_{IN}) = 1 kHz				
Dynamic Range	V_{REF} = 3.3 V external		93.3		dB
			91.8		dB
Oversampled Dynamic Range	OSR = 4		95.2		dB
Signal-to-Noise Ratio (SNR)	V_{REF} = 3.3 V external	90	92.5		dB
		88.5	91.1		dB
	OSR = 8, RES = 1		98		dB
	OSR = 16, RES = 1		101		dB
	f_{IN} = 100 kHz		89		dB
Spurious-Free Dynamic Range (SFDR)			−110		dB
Total Harmonic Distortion (THD)			−113		dB
	f_{IN} = 100 kHz		−104		dB
Signal-to-(Noise + Distortion) (SINAD)	V_{REF} = 3.3 V external	89.5	92.3		dB
		88	91		dB
Channel to Channel Isolation			−110		dB
POWER SUPPLIES					
V_{CC} Current (I_{VCC})					
Normal Mode (Operational)			21.5	26	mA
Power Dissipation					
Total Power (P_{TOTAL})			83	107	mW
V_{CC} Power (P_{VCC})					
Normal Mode (Operational)			71	94	mW

[1] これらの仕様には全温度範囲でのばらつきが含まれますが、外部リファレンスによる誤差寄与分は含まれません。

特に指定のない限り、V_{CC} = 3.0V～3.6V、V_{LOGIC} = 1.65V～3.6V、V_{REF} = 2.5V 内部、f_{SAMPLE} = 4MSPS、T_A = −40°C～+125°C、オーバーサンプリングを有効化しない。

表 2. AD7381

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		14			Bits
THROUGHPUT					
Conversion Rate				4	MSPS
DC ACCURACY					
No Missing Codes		14			Bits
Differential Nonlinearity Error		−1.0	±0.5	+1.0	LSB
Integral Nonlinearity Error		−1.0	±0.3	+1.0	LSB
Gain Error		−0.02	±0.002	+0.02	% FS[1]
Gain Error Temperature Drift		−20	±1	+20	ppm/°C
Gain Error Match		−0.02	±0.002	+0.02	% FS
Offset Error		−2	±0.25	+2	LSB
Offset Temperature Drift		+3	±0.5	+3	µV/°C
Offset Error Match		−1.5	±0.25	+1.5	LSB
AC ACCURACY	f_{IN} = 1 kHz				
Dynamic Range			85.4		dB
Oversampled Dynamic Range	OSR = 4		87		dB
Signal-to-Noise Ratio (SNR)	V_{REF} = 3.3 V external	85	85.4		dB
		84.5	85		
	OSR = 8, RES = 1		92.6		dB
	OSR = 16, RES = 1		94.5		dB
	f_{IN} = 100 kHz		84.6		dB
Spurious-Free Dynamic Range (SFDR)	V_{REF} = 3.3 V		−108		dB
			−112		dB
Total Harmonic Distortion (THD)	V_{REF} = 3.3 V		−107		dB
			−112		dB
	f_{IN} = 100 kHz		−101		dB
Signal-to-(Noise + Distortion) (SINAD)		84.5	85.3		dB
		84	84.9		dB
Channel to Channel Isolation			−110		dB
POWER SUPPLIES					
I_{VCC}					
Normal Mode (Operational)			21.5	26	mA
Power Dissipation					
P_{TOTAL}			83	107	mW
P_{VCC}					
Normal Mode (Operational)			71	94	mW

[1] これらの仕様には全温度範囲でのばらつきが含まれますが、外部リファレンスによる誤差寄与分は含まれません。

表 3. 全てのデバイス

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG INPUT					
Voltage Range	($A_{IN}x+$) − ($A_{IN}x-$)	$-V_{REF}$		$+V_{REF}$	V
Absolute Input Voltage	$A_{IN}x+$, $A_{IN}x-$	−0.1		V_{REF} + 0.1	V
Common-Mode Input Range	$A_{IN}x+$, $A_{IN}x-$		0.2 to V_{REF} − 0.2		V
Analog Input Common-Mode Rejection Ratio (CMRR)	f_{IN} = 500 kHz		−75		dB
DC Leakage Current			0.1	1	µA
Input Capacitance	When in track mode		18		pF
	When in hold mode		5		pF
SAMPLING DYNAMICS					
Input Bandwidth	At −0.1 dB		6		MHz
	At −3 dB		25		MHz
Aperture Delay			2		ns
Aperture Delay Match			16	30	ps
Aperture Jitter			20		ps
REFERENCE INPUT AND OUTPUT					
V_{REF} Input Voltage Range	External reference	2.49		3.4	V
V_{REF} Input Current	External reference		0.47	0.51	mA
V_{REF} Output Voltage	At 25°C	2.498	2.5	2.502	V
	−40°C to +125°C	2.495		2.505	V
V_{REF} Temperature Coefficient			1	10	ppm/°C
V_{REF} Line Regulation			−38		ppm/V
V_{REF} Load Regulation			−106		ppm/mA
V_{REF} Noise			7		µA rms
V_{REF} Noise Density			14		nV/√Hz
DIGITAL INPUTS (SCLK, SDI, $\overline{CS}$)					
Logic Levels					
Input Low Voltage (V_{IL})				0.2 × V_{LOGIC}	V
Input High Voltage (V_{IH})		0.8 × V_{LOGIC}			V
Input Low Current (I_{IL})		−1		+1	µA
Input High Current (I_{IH})		−1		+1	µA
DIGITAL OUTPUTS (SDOA, SDOB/$\overline{ALERT}$)					
Output Coding			Twos complement		Bits
Output Low Voltage (V_{OL})	Sink current (I_{SINK}) = +300 µA			0.4	V
Output High Voltage (V_{OH})	Source current (I_{SOURCE}) = −300 µA	V_{LOGIC} − 0.3			V
Floating-State Leakage Current				±1	µA
Floating-State Output Capacitance			10		pF
POWER SUPPLIES					
V_{CC}					
		3.0	3.3	3.6	V
	External reference = 3.3 V	3.2	3.3	3.6	V
V_{LOGIC}		1.65		3.6	V
I_{VCC}					
Normal Mode (Static)			2.3	2.8	mA
Shutdown Mode			100	200	µA
V_{LOGIC} Current (I_{VLOGIC})	SDOA and SDOB at 0x1FFF				
Normal Mode (Static)			10	200	nA
Normal Mode (Operational)			3.5	3.7	mA
Shutdown Mode			10	200	nA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Power Dissipation					
P_{VCC}					
Normal Mode (Static)			7.6	10	mW
Shutdown Mode			330	720	µW
P_{VLOGIC}	SDOA and SDOB at 0x1FFF				
Normal Mode (Static)			33	720	nW
Normal Mode (Operational)			11.5	13.3	mW
Shutdown Mode			33	720	nW

タイミング仕様

特に指定のない限り、V_{CC} = 3.0V～3.6V、V_{LOGIC} = 1.65V～3.6V、V_{REF} = 2.5V 内部、T_A = −40°C～+125°C。

表 4. [1, 2]

Parameter	Min	Typ	Max	Unit	Description
t_{CYC}	250			ns	Time between conversions
t_{SCLKED}	0.4			ns	$\overline{CS}$ falling edge to first SCLK falling edge
t_{SCLK}	12.5			ns	SCLK period
t_{SCLKH}	5			ns	SCLK high time
t_{SCLKL}	5			ns	SCLK low time
t_{CSH}	10			ns	$\overline{CS}$ pulse width
t_{QUIET}	10			ns	Interface quiet time prior to conversion
t_{SDOEN}					$\overline{CS}$ low to SDOx enabled
			5.5	Ns	$V_{LOGIC} \geq 2.25$ V
			8	ns	1.65 V ≤ V_{LOGIC} < 2.25 V
t_{SDOH}	2			ns	SCLK rising edge to SDO hold time
t_{SDOS}					SCLK rising edge to SDO setup time
			5.5	ns	$V_{LOGIC} \geq 2.25$ V
			8	ns	1.65 V ≤ V_{LOGIC} < 2.25 V
t_{SDOT}			45	ns	$\overline{CS}$ rising edge to SDO high impedance
t_{SDIS}	1			ns	SDI setup time prior to SCLK falling edge
t_{SDIH}	1			ns	SDI hold time after SCLK falling edge
t_{SCLKCS}	0			ns	SCLK rising edge to $\overline{CS}$ rising edge
$t_{CONVERT}$			190	ns	Conversion time
$t_{ACQUIRE}$	110			ns	Acquire time
$t_{POWERUP}$					Supply active to conversion
			5	ms	First conversion allowed
			11	ms	Settled to within 1% with internal reference
			5	ms	Settled to within 1% with external reference
$t_{REGWRITE}$			5	ms	Supply active to register read write access allowed
$t_{STARTUP}$					Exiting power-down mode to conversion
			11	ms	Settled to within 1% with internal reference
			10	µs	Settled to within 1% with external reference
$t_{CONVERT0}$[2]	4	7	10	ns	Conversion start time for first sample in oversampling (OS) normal mode
$t_{CONVERTx}$					Conversion start time for x^{th} sample in OS normal mode
	$t_{CONVERT0} + (320 \times (x-1))$			ns	For AD7380 at 3 MSPS
	$t_{CONVERT0} + (250 \times (x-1))$			ns	For AD7381 at 4 MSPS
t_{ALERTS}			200	ns	Time from $\overline{CS}$ to $\overline{ALERT}$ indication (see Figure 34)
t_{ALERTC}			12	ns	Time from $\overline{CS}$ to $\overline{ALERT}$ clear (see Figure 34)
t_{ALERTS_NOS}			12	ns	Time from internal conversion with exceeded threshold to $\overline{ALERT}$ indication (see Figure 34)

[1] 全ての仕様は 10pF 負荷。
[2] 設計により性能を確保している。

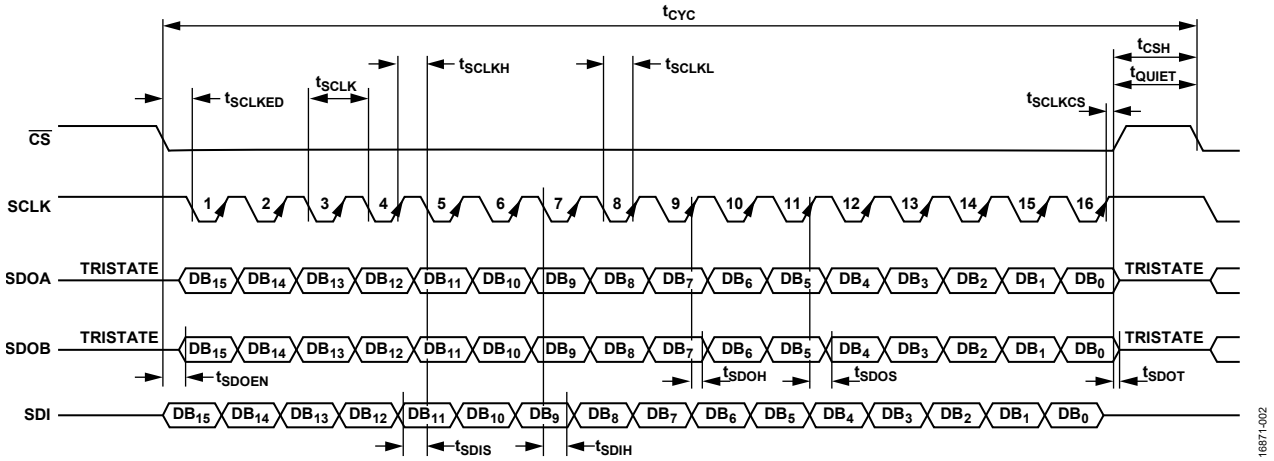


図 2. シリアル・インターフェースのタイミング図

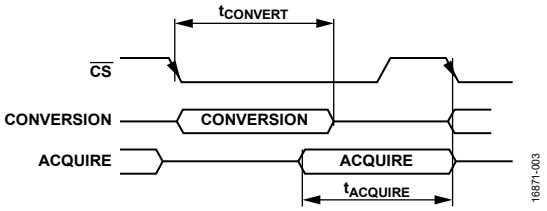


図 3. 内部での変換とアクイジションのタイミング

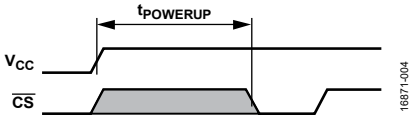


図 4. 変換までの起動時間

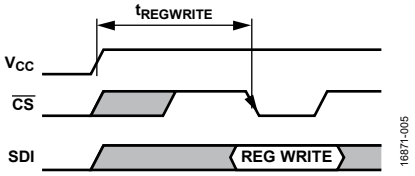


図 5. レジスタの読出し書込みアクセスまでのパワーアップ時間

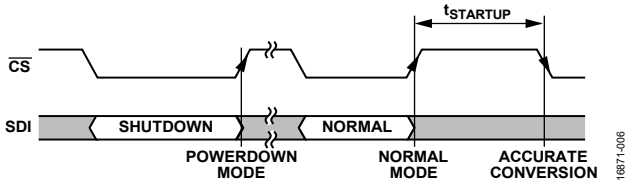
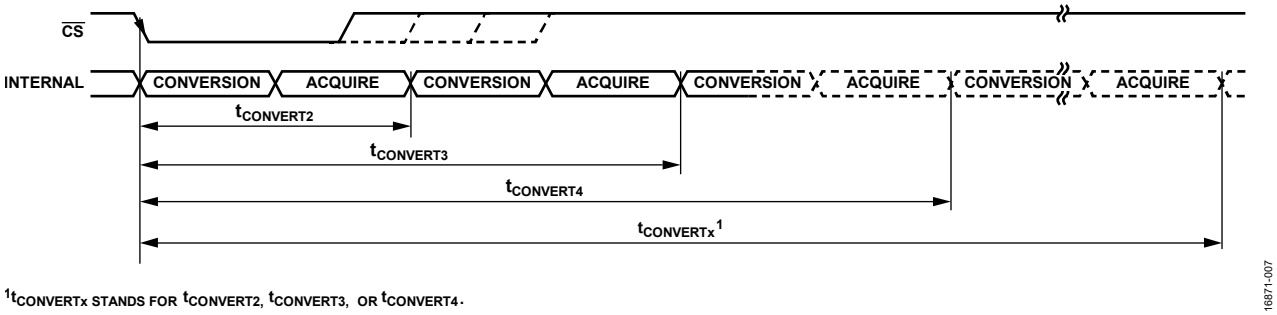


図 6. パワーダウン・モードからノーマル・モードへのタイミング



[1] $t_{CONVERTx}$ STANDS FOR $t_{CONVERT2}$, $t_{CONVERT3}$, OR $t_{CONVERT4}$.

図 7. OS ノーマル・モード時の変換のタイミング

絶対最大定格

表 5.

Parameter	Rating
V_{CC} to Ground (GND)	−0.3 V to +4 V
V_{LOGIC} to GND	−0.3 V to +4 V
Analog Input Voltage to GND	−0.3 V to V_{REF} +0.3 V, V_{CC} + 0.3 V, 4 V
Digital Input Voltage to GND	−0.3 V to V_{LOGIC} + 0.3 V, 4 V
Digital Output Voltage to GND	−0.3 V to V_{LOGIC} + 0.3 V, 4 V
Reference Input and Output (REFIO) Input to GND	−0.3 V to V_{CC} + 0.3 V, 4 V
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Maximum Junction Temperature	150°C
Pb-Free Soldering Reflow Temperature	260°C
Electrostatic Discharge (ESD) Ratings	
Human Body Model（HBM）	4kV
Field Induced Charge Device Model (FICDM)	1.25 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定される、周囲温度とジャンクション温度の間の熱抵抗です。θ_{JC} は、ジャンクション温度とケース温度の間の熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-16-45[1]	55.4	12.7	°C/W

[1] テスト条件 1：熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESDS1 を参照してください。

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

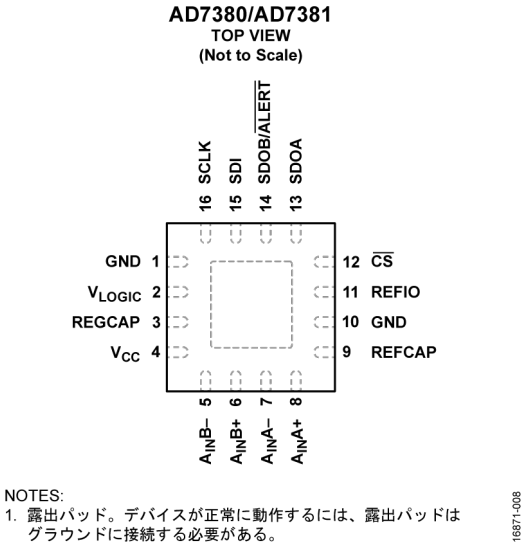


図 8. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1, 10	GND	グラウンド基準ポイント。このピンは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V_{LOGIC}	ロジック・インターフェースの電源電圧、1.65V～3.6V。1μF のコンデンサを使用して、このピンを GND にデカップリングします。
3	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。1μF のコンデンサを使用して、このピンを GND にデカップリングします。このピンの標準電圧は 1.9 V です。
4	V_{CC}	電源入力電圧、3.0V～3.6V。1μF のコンデンサを使用して、このピンを GND にデカップリングします。
5, 6	$A_{IN}B-$, $A_{IN}B+$	ADC B のアナログ入力。これらのアナログ入力は差動ペアを形成します。
7, 8	$A_{IN}A-$, $A_{IN}A+$	ADC A のアナログ入力。これらのアナログ入力は差動ペアを形成します。
9	REFCAP	バンドギャップ・リファレンスのデカップリング・コンデンサ・ピン。1μF のコンデンサを使用して、このピンを GND にデカップリングします。このピンの標準電圧は 2.5 V です。
11	REFIO	リファレンス入出力。2.5V の内蔵リファレンスを外部で使用するようデバイスを構成した場合は、このピンを出力として利用できます。代わりに、2.5V～3.3V の外部リファレンスをこのピンに入力してもかまいません。内部、外部のいずれのリファレンスを選択しても、このピンにはデカップリングが必要です。このピンと GND の間に 1μF のコンデンサを接続する必要があります。
12	$\overline{CS}$	チップ選択入力。アクティブ・ローのロジック入力。この入力は、AD7380 と AD7381 の変換開始とシリアル・データ転送のフレーミングという 2 つの機能を備えています。
13	SDOA	シリアル・データ出力 A。このピンは、ADC A または ADC B の変換結果や、いずれかの内蔵レジスタからのデータにアクセスするシリアル・データ出力ピンとして機能します。
14	SDOB/$\overline{ALERT}$	シリアル・データ出力 B／アラート表示出力。このピンはシリアル・データ出力ピンまたはアラート表示出力として動作できます。 SDOB。このピンは、ADC B の変換結果にアクセスするシリアル・データ出力ピンとして機能します。 $\overline{ALERT}$。このピンは、ローになると変換結果が設定閾値を超えたことを示すアラート・ピンとして動作します。
15	SDI	シリアル・データ入力。この入力は、内蔵のコントロール・レジスタに書き込まれるデータになります。
16	SCLK	シリアル・クロック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。
	EPAD	露出パッド。デバイスを正常に動作させるため、露出パッドはグラウンドに接続する必要があります。

代表的な性能特性

特に指定のない限り、V_{REF} = 2.5V 内部、V_{CC} = 3.6V、V_{LOGIC} = 3.3V、f_{SAMPLE} = 4MSPS、f_{IN} = 1kHz、T_A = 25°C。

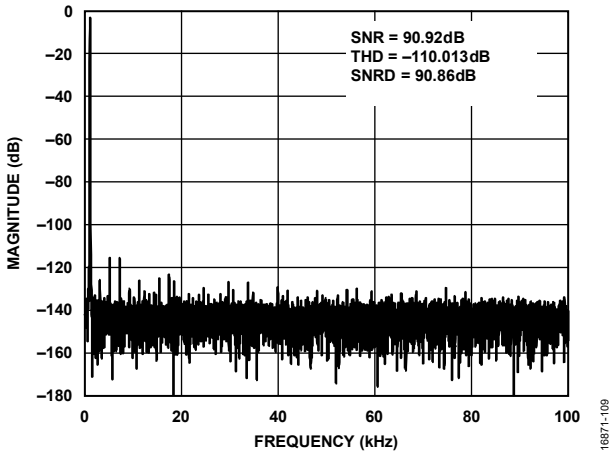


図 9. 高速フーリエ変換（FFT）、V_{REF} = 2.5V 内部

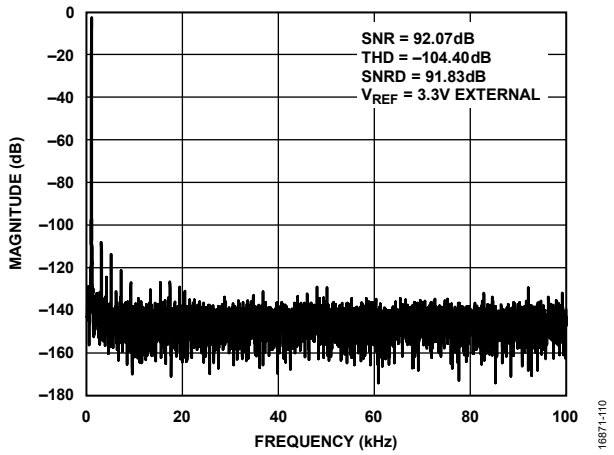


図 10. FFT、V_{REF} = 3.3V 外部

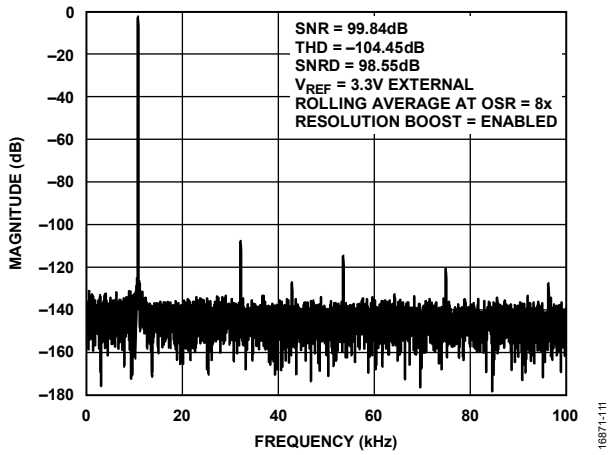


図 11. オーバーサンプリング適用時の FFT

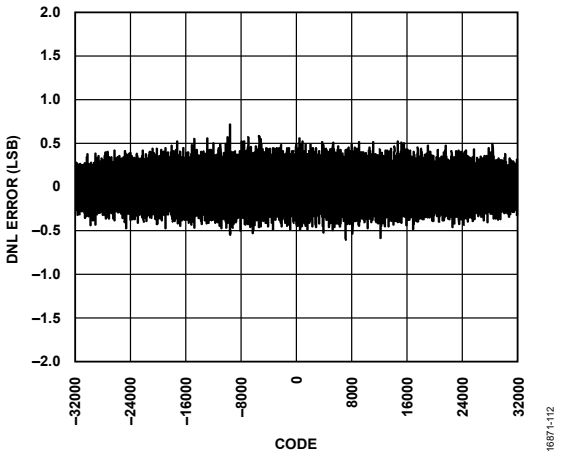


図 12. 代表的な微分非直線性（DNL）誤差

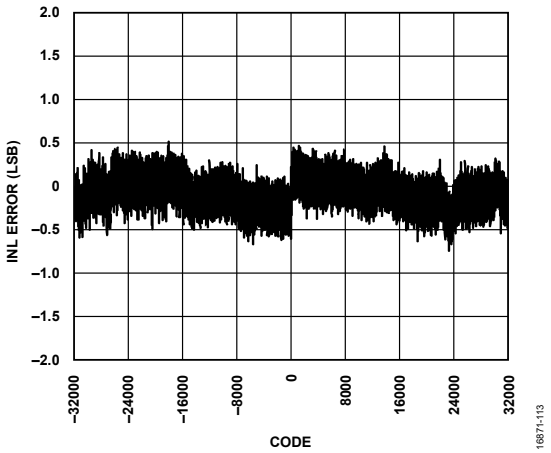


図 13. 代表的な積分非直線性（INL）誤差

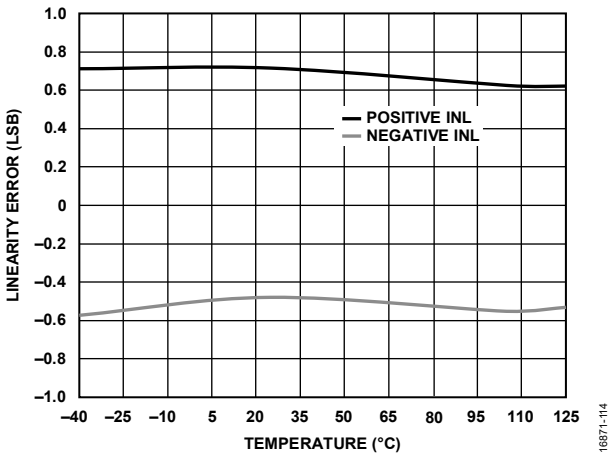


図 14. 直線性誤差の温度特性

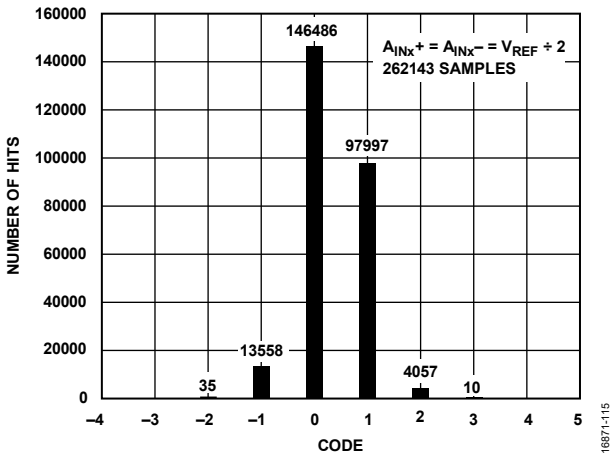


図 15. コード中央値でのコードの DC ヒストグラム

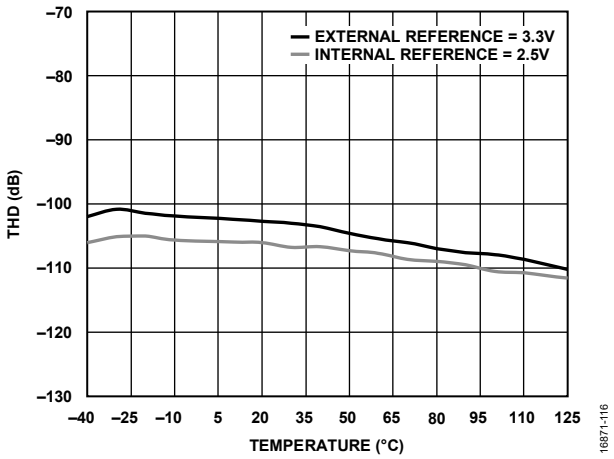


図 16. THD の温度特性

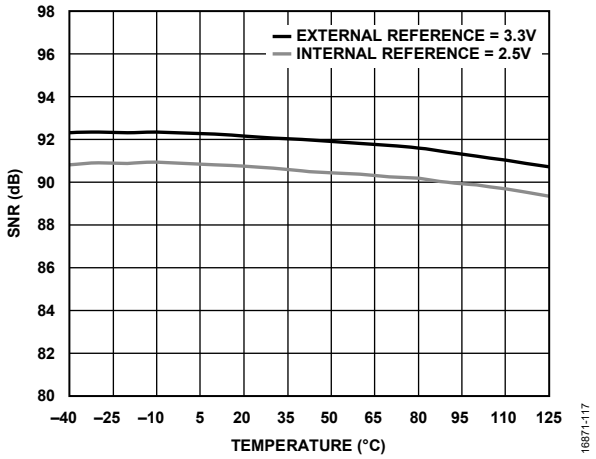


図 17. SNR の温度特性

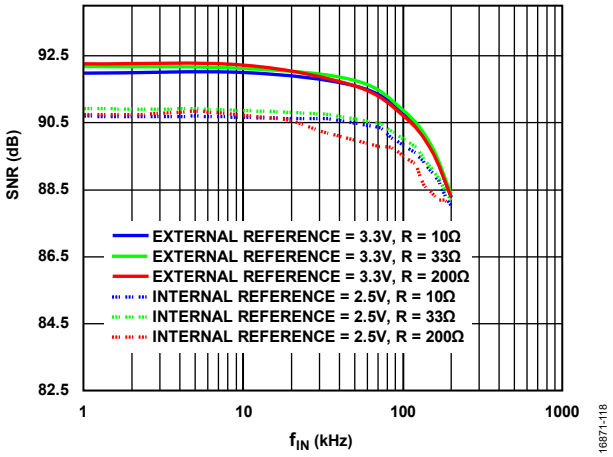


図 18. S/N 比と f_{IN} の関係

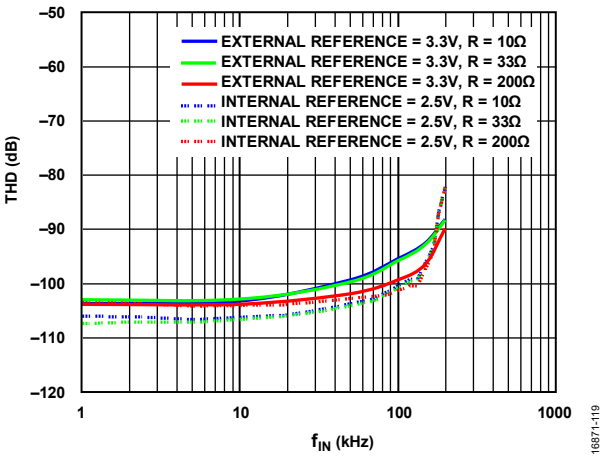


図 19. THD と f_{IN} の関係

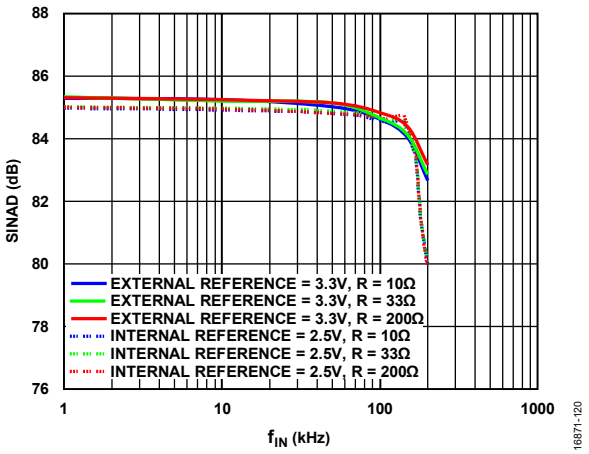


図 20. SINAD と f_{IN} の関係

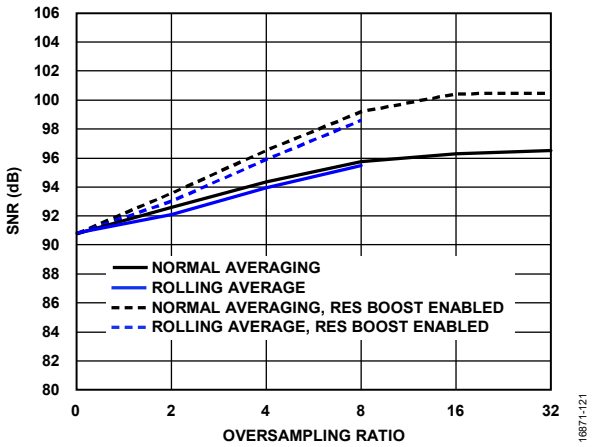


図 21. S/N 比とオーバーサンプリング比の関係

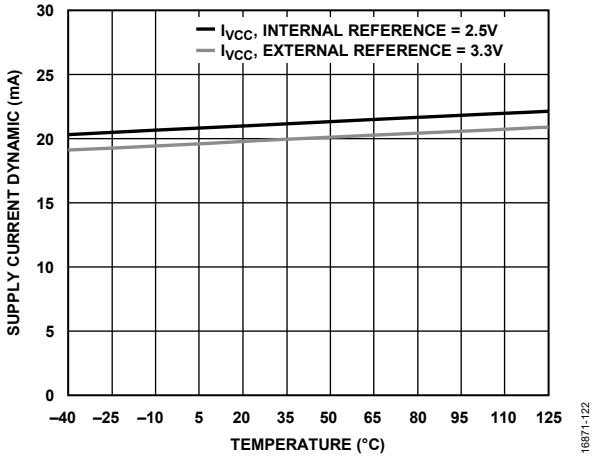


図 22. ダイナミック電源電流の温度特性

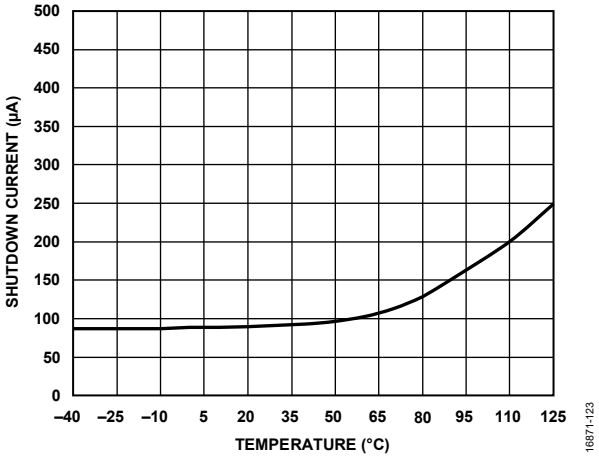


図 23. シャットダウン電流の温度特性

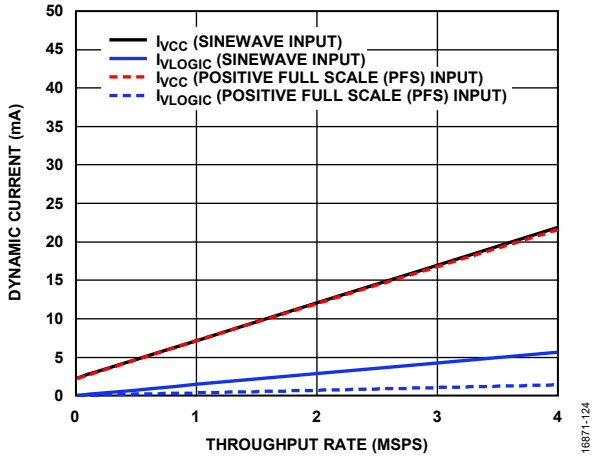


図 24. 差動入力信号でのダイナミック電流とスループット・レートの関係

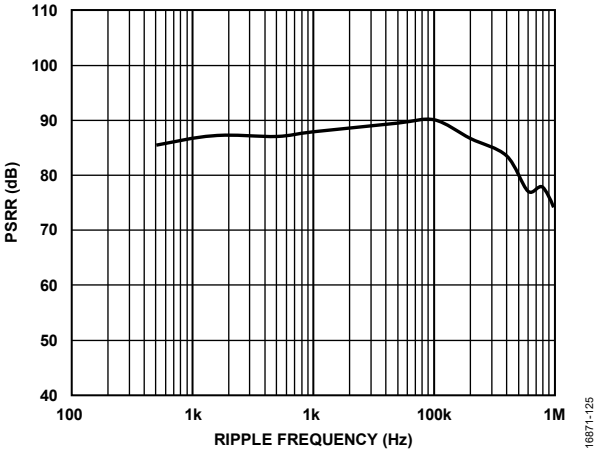


図 25. 電源電圧変動除去比（PSRR）とリップル周波数の関係

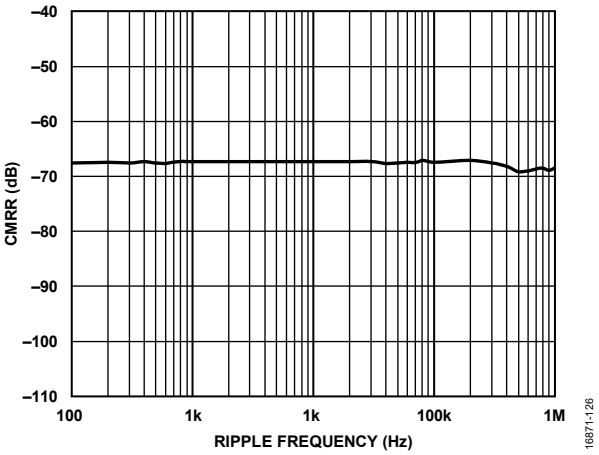


図 26. CMRR とリップル周波数の関係

用語の定義

微分非直線性（DNL）
理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。多くの場合、ノー・ミス・コードが確保される分解能に関して仕様が規定されます。

積分非直線性（INL）
INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より 1/2LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を 1½ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ゲイン誤差
最初の遷移（100 ... 000 から 100 ... 001）は負の公称フルスケールより½ LSB 上のレベルで発生します。最後の遷移（011 ... 110 から 011 ... 111）は、公称フルスケールより 1½ LSB 低いアナログ電圧で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

ゲイン誤差ドリフト
1°C の温度変化によるゲイン誤差の変動です。

ゲイン誤差マッチング
ゲイン誤差マッチングは、入力チャンネル間の負のフルスケール誤差の差と、入力チャンネル間の正のフルスケール誤差の差です。

ゼロ誤差
ゼロ誤差は、理想的なミッドスケール電圧（0V）とミッドスケール出力コード（0LSB）を生成する実際の電圧との差です。

ゼロ誤差ドリフト
1°C の温度変化によるゼロ誤差の変動です。

ゼロ誤差マッチング
ゼロ誤差マッチングは、入力チャンネル間のゼロ誤差の差です。

S/N 比（SNR）
S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の rms 総和に対する実際の入力信号の rms 値の比です。SNR 値はデシベル（dB）で表されます。

スプリアスフリー・ダイナミック・レンジ（SFDR）
SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位は dB です。

全高調波歪み（THD）
THD は、1 次から 5 次までの高調波成分の実効値合計とフルスケール入力信号の実効値の比で、dB で表されます。

信号／（ノイズ+歪み）（SINAD）比
SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の rms 総和（高調波成分は含むが、直流成分と入力信号は除く）に対する実際の入力信号の rms 値の比です。SINAD の値は dB で表されます。

同相ノイズ除去比（CMRR）
CMRR は、$A_{IN}x+$と $A_{IN}x-$のコモンモード電圧に印加された周波数 f の 200mVp-p サイン波の電力に対する周波数 f での ADC 出力での電力の比です。

$$CMRR\ (dB) = 10log(P_{ADC_IN}/P_{ADC_OUT})$$

ここで、
P_{ADC_IN}は $A_{IN}x+$入力および $A_{IN}x-$入力に印加される周波数 f のコモンモード電力。
P_{ADC_OUT}は、周波数 f での ADC の出力電力。

アパーチャ遅延
アパーチャ遅延は、アクイジション性能の尺度であり、$\overline{CS}$ 入力の立下がりエッジと入力信号が変換のために保持される間の時間です。

アパーチャ・ジッタ
アパーチャ・ジッタはアパーチャ遅延の変動です。

動作原理

回路説明

AD7380/AD7381 は、高速、デュアル同時サンプリング、完全差動 16 ビット／14 ビット SAR ADC です。AD7380/AD7381 は 3.0V～3.6V の電源電圧で動作し、最大 4MSPS のスループット・レートを特長としています。

AD7380/AD7381 は、2 つの SAR ADC と、独立した 2 つのデータ出力ピンを備えたシリアル・インターフェースを内蔵しています。このデバイスは 16 ピン LFCSP に収容されており、代替ソリューションと比較して省スペースの点で極めて有利です。

データはデバイスからシリアル・インターフェースを介して読書きされます。インターフェースは 2 つまたは 1 つのシリアル出力を使用して動作できます。AD7380/AD7381 は、2.5V の内部リファレンス V_{REF} を内蔵しています。外部リファレンスが望ましい場合は、内部リファレンスをディスエーブルして、リファレンス値の範囲が 2.5V～3.3V の電圧を供給できます。内部リファレンスをシステム内の他の場所で使用する場合は、リファレンス出力をバッファ処理する必要があります。AD7380/AD7381 の差動アナログ入力電圧範囲は、コモンモード電圧（V_{CM}）$\pm V_{REF}/2$ です。

AD7380/AD7381 は、性能を向上するオーバーサンプリング・ブロックを内蔵しています。また、通常平均とローリング平均のオーバーサンプリング・モード、変換と変換の間の消費電力を節減できるパワーダウン・オプションもあります。デバイスの設定は、標準のシリアル・インターフェースを介して実装されます（インターフェースのセクションを参照）。

コンバータの動作

AD7380/AD7381 には 2 つの SAR ADC があり、それぞれ 2 つの容量性 D/A コンバータ（DAC）をベースにしています。図 27 および図 28 に、アクイジション・フェーズと変換フェーズにおけるこれらの ADC のいずれか 1 つの簡略回路図をそれぞれ示します。ADC は、コントロール・ロジック、SAR DAC、および 2 つの容量性 DAC で構成されています。図 27（アクイジション・フェーズ）では、SW3 は閉じており、SW1 と SW2 は位置 A にあり、コンパレータは平衡状態に保持され、サンプリング・コンデンサ（C_S）アレイは入力の差動信号を収集できます。

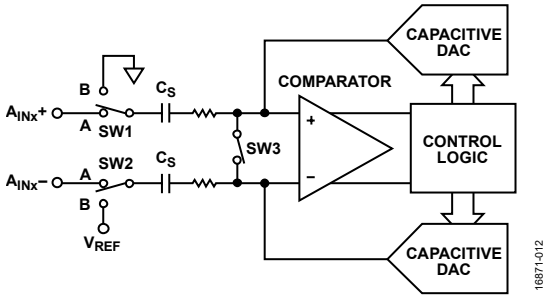


図 27. ADC アクイジション・フェーズ

ADC が変換を開始すると（図 28 を参照）、SW3 が開き、SW1 と SW2 は位置 B に移動して、コンパレータは不平衡状態になります。変換が始まると、入力の接続は両方とも遮断されます。コントロール・ロジックと電荷再配分式 DAC を使用して、サンプリング・コンデンサに対して一定量の電荷を加算および減算し、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。

A_{INX}+ピンと A_{INX}−ピンを駆動する信号源の出力インピーダンスをマッチさせる必要があります。そうしないと、2 つの入力のセトリング時間が異なり、誤差が発生します。

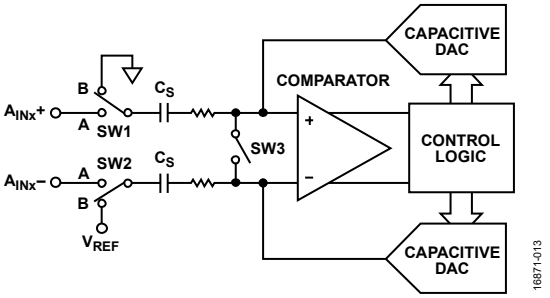


図 28. ADC 変換フェーズ

アナログ入力構造

図 29 に、AD7380/AD7381 のアナログ入力構造の等価回路を示します。4 つのダイオードにより、アナログ入力の ESD 保護を実現しています。アナログ入力信号が電源レールを 300mV 以上超えないよう注意する必要があります。制限値を超えると、これらのダイオードは順方向にバイアスされるようになり、基板への導通が始まります。これらのダイオードが、元に戻らない損傷をデバイスに与えずに導通できる最大電流は 10mA です。

図 29 に示すコンデンサ C1 の代表値は 3pF で、主にピン容量に起因します。抵抗 R1 はスイッチのオン抵抗で構成される集中定数部品です。これらの抵抗の代表値は約 200Ω です。コンデンサ C2 は ADC のサンプリング・コンデンサで、容量の代表値は 15pF です。

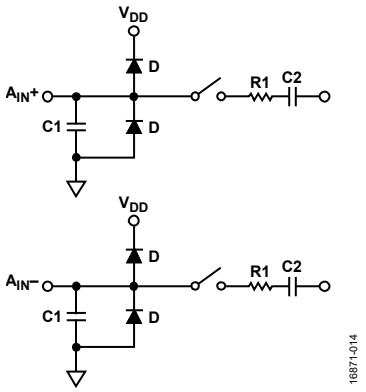


図 29. アナログ入力の等価回路、変換フェーズ—スイッチは開いた状態、トラック・フェーズ—スイッチは閉じた状態

ADC の伝達関数

AD7380/AD7381 は 2.5V～3.3V のリファレンス（V_{REF}）を使用できます。AD7380/AD7381 はアナログ入力（$A_{IN}A+$、$A_{IN}A-$、$A_{IN}B+$、および $A_{IN}B-$）の差動電圧をデジタル出力に変換します。

変換結果は MSB ファースト、2 の補数形式です。LSB サイズは$(2 \times V_{REF})/2^N$ で、N は ADC の分解能です。ADC の分解能は、選択したデバイスの分解能と、分解能増強モードを有効にしているかどうかによって決まります。表 8 に、異なる分解能とリファレンス電圧オプションに対して µV 単位で表された LSB サイズの概要を示します。

AD7380/AD7381 の理想的な伝達特性を図 30 に示します。

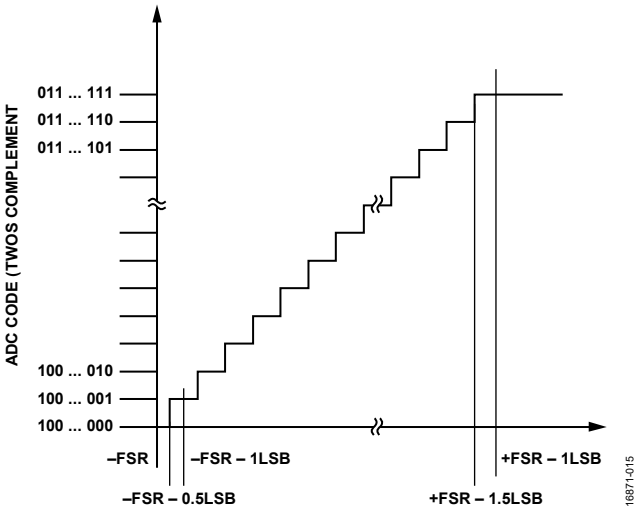


図 30. ADC の理想的な伝達関数（FSR = フルスケール・レンジ）

表 8. LSB サイズ

Resolution	2.5V Reference	3.3V Reference	Unit
14-bit	305.2	402.8	µV
16-bit	76.3	100.7	µV
18-bit	19.1	25.2	µV

アプリケーション情報

図 31 に、AD7380/AD7381 の代表的なアプリケーション回路の例を示します。図に示すように、V_{CC}、V_{LOGIC}、REGCAP、REFIO の各ピンを適切なデカップリング・コンデンサでデカップリングします。
露出パッドはデバイス上の回路に対するグラウンド基準ポイントであり、基板のグラウンドに接続する必要があります。
差動抵抗コンデンサ（RC）フィルタをアナログ入力に配置して、性能を発揮できることを確認する必要があります。
AD7380/AD7381 デバイスの性能は、デジタル・インターフェースのノイズによって影響を受けることがあります。この影響は基板のレイアウトと設計に依存します。デジタル・インターフェースまでのデジタル線の距離を最短にするか、100Ω の抵抗を直列に接続して SDOA ピンと SDOB ピンに近づけ、AD7380/AD7381 のデジタル・インターフェース結合からのノイズを低減します。

電源

AD7380/AD7381 には 2 つの独立した電源 V_{CC} と V_{LOGIC} があり、それぞれアナログ回路とデジタル・インターフェースに供給されます。V_{CC} 電源と V_{LOGIC} 電源の両方に 1μF のコンデンサを別個に接続してデカップリングします。更に、AD7380/AD7381 に電力を供給する内部低ドロップアウト（LDO）レギュレータがあります。この内蔵レギュレータは、デバイス内部でのみ使用される 1.9V 電源を供給します。REGCAP ピンは、1μF のコンデンサを使用して GND にデカップリングします。

パワーアップ

AD7380/AD7381 は電源シーケンシングに対して堅牢です。V_{CC} と V_{LOGIC} は、任意の順序で印加できます。外部リファレンスは V_{CC} と V_{LOGIC} の印加後に印加する必要があります。AD7380/AD7381 は、V_{CC} と V_{LOGIC} を印加してから ADC の変換結果が安定するまでに $t_{POWERUP}$ の時間が必要です。セットアップ・タイムが経過する前に$\overline{CS}$パルスを入力したり AD7380/AD7381 とインターフェースをとっても、ADC の動作に悪影響は及ぼしません。ただし、変換結果がこの時間内にデータシートの仕様を満たすことは確実ではないため、結果は無視する必要があります。

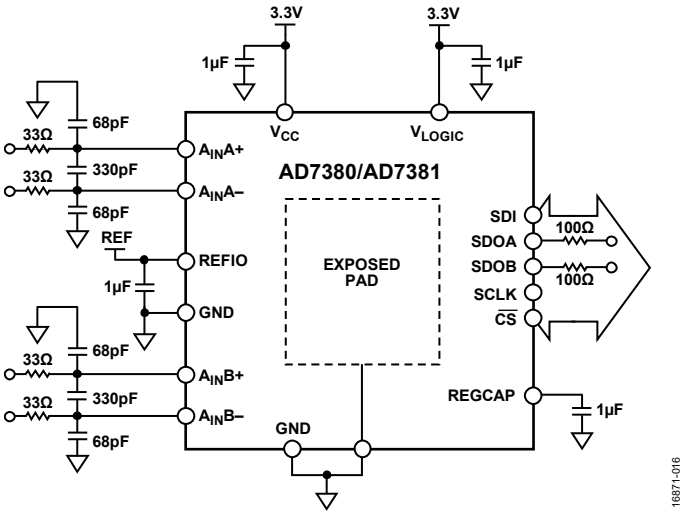


図 31. 代表的なアプリケーション回路

動作モード

AD7380/AD7381 は、デバイスの動作モードを制御するための構成レジスタをいくつか内蔵しています。

オーバーサンプリング

オーバーサンプリングは、アナログ電子技術で使用される一般的な手法で、A/D 変換結果の精度を向上させることを目的としています。多数のアナログ入力サンプルが取り込まれて平均化され、ADC の量子化ノイズと熱ノイズ（kTC）のノイズ成分を低減させます。AD7380/AD7381 はオーバーサンプリング機能を内蔵しており、設定可能な 2 つのオーバーサンプリング・モード（通常平均とローリング平均）があります。

オーバーサンプリング機能を設定するには、CONFIGURATION1 レジスタの OS_MODE ビットと OSR[2:0]ビットをプログラミングします。

通常平均オーバーサンプリング

通常平均オーバーサンプリング・モードは、低速の出力データ・レートが許容されるが、高い S/N 比または広いダイナミック・レンジが望ましいアプリケーションで使用できます。通常平均を取るには、多数のサンプルを取り、サンプルを合算して、結果をサンプル数で割ることが必要です。その後、この結果はデバイスから出力されます。サンプル・データは、処理が完了した後クリアされます。

通常平均オーバーサンプリング・モードを設定するには、OS_MODE ビットをロジック 0 に設定して、OSR[2:0]ビットの値をゼロ以外の有効な値にします。OSR[2:0]ビットに書き込んだ場合は、レジスタが更新されるまでに 2 サイクルの遅延が生じます。デジタル・フィルタのオーバーサンプリング比はオーバーサンプリング・ビット OSR[2:0]を使用して制御します。これらのビットは、別のオーバーサンプリング・レートを選択するためのオーバーサンプリング・ビット・デコーディング機能を提供します。出力結果は、AD7380 では 16 ビット分解能に間引かれ、AD7381 では 14 ビット分解能に間引かれます。分解能を上げることが必要な場合は、CONFIGURATION1 レジスタの分解能増強ビットを設定すれば達成できます。詳細については、分解能の増強のセクションを参照してください。

OSR[2:0]ビットで定義した数（n）のサンプルが取り出されて合算され、結果が n で除算されます。最初の A/D 変換は $\overline{CS}$の立下がりエッジまでに開始され、AD7380/AD7381 はオーバーサンプリング・シーケンスにおける後続のサンプルを全て内部で制御します。オーバーサンプリング・モードでの追加の n 個のサンプルのサンプリング・レートは、AD7380 では 3MSPS であり、AD7381 では 4MSPS です。

オーバーサンプリング済みの変換結果は、シリアル・インターフェースでの次の読書きにおける読出し準備が完了しています。この手法の適用後、計算で使用されたサンプル・データは破棄されます。この処理は、アプリケーションが新しい変換結果を必要とするたびに繰り返され、$\overline{CS}$の立下がりエッジまでに開始されます。

出力データ・レートはオーバーサンプリング比の分だけ減少するので、データを送信するのに必要なSPIのSCLK周波数もそれに応じて減少します。

表 9. AD7380/AD7381 の通常平均オーバーサンプリング性能の概要

Oversampling Ratio	AD7380 SNR (dB typical) V_{REF} = 2.5 V RES = 0	AD7380 SNR (dB typical) V_{REF} = 2.5 V RES = 1	AD7380 SNR (dB typical) V_{REF} = 3.3 V RES = 0	AD7380 SNR (dB typical) V_{REF} = 3.3 V RES = 1	AD7380 Output Data Rate (kSPS maximum)	AD7381 SNR (dB typical) RES = 0	AD7381 SNR (dB typical) RES = 1	AD7381 Output Data Rate (kSPS maximum)
Disabled	90.8	90.8	92.5	92.5	3000	85.2	85.2	4000
2	92.6	93.6	94.0	95.5	1500	84.7	88	2000
4	94.3	96.5	95.4	98.2	750	85.2	91.1	1000
8	95.8	99.2	96.3	100.5	375	85.5	93	500
16	96.3	100.4	96.8	102.0	187.5	85.7	94.6	250
32	96.5	100.5	97.0	102.8	93.75	85.9	95.6	125

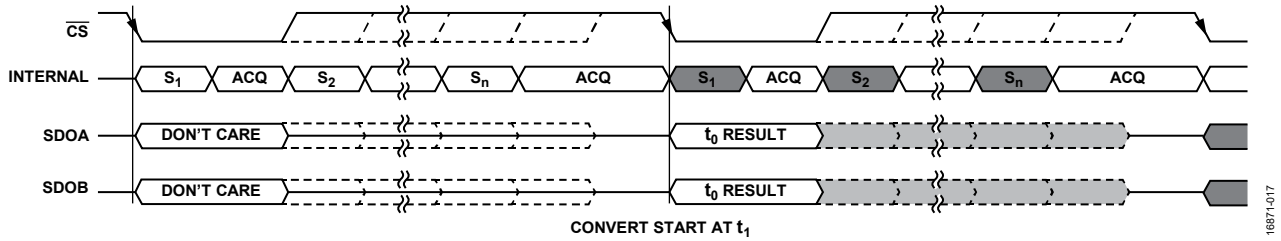


図 32. 通常平均オーバーサンプリングの動作

ローリング平均オーバーサンプリング

ローリング平均オーバーサンプリング・モードは、高い出力データ・レートが要求され、高い S/N 比または広いダイナミック・レンジが望ましいアプリケーションで使用できます。ローリング平均を取るには、多数のサンプルを取り、サンプルを合算して、結果をサンプル数で割ることが必要です。その後、この結果はデバイスから出力されます。サンプル・データは、処理が完了した後もクリアされません。ローリング平均オーバーサンプリング・モードでは、平均計算時に最新サンプルのファースト・イン、ファースト・アウト（FIFO）バッファを使用するので、ADC のスループット・レートと出力データ・レートを同じ値のまま推移させることができます。

ローリング平均オーバーサンプリング・モードを設定するには、OS_MODE ビットをロジック 1 に設定して、OSR[2:0]ビットの値をゼロ以外の有効な値にします。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビット OSR[2:0]を使用して制御します（表 10 を参照）。出力結果は、AD7380 では 16 ビット分解能に間引かれ、AD7381 では 14 ビット分解能に間引かれます。分解能を上げることが必要な場合は、CONFIGURATION1 レジスタの分解能増強ビットを設定すれば達成できます。詳細については、分解能の増強のセクションを参照してください。

ローリング平均オーバーサンプリング・モードでは、全ての A/D 変換が制御され、$\overline{CS}$の立下がりエッジまでに開始されます。変換が完了すると、結果は FIFO にロードされます。FIFO の長さは 8 で、設定したオーバーサンプリング比には無関係です。FIFO がいっぱいになるのは、パワーオン・リセット後の最初の変換、ソフトウェアがハード・リセットまたはソフト・リセットを制御した後の最初の変換、および REFSEL ビットが切り替わった後の最初の変換です。OSR[2:0]ビットと OS_MODE ビットのステータスには関係なく、A/D 変換が完了するたびに、新しい変換結果が FIFO にシフトして入ります。この変換により、FIFO がいっぱいになるのを待たずに、オーバーサンプリングなしからローリング平均オーバーサンプリングへ、または別のローリング平均オーバーサンプリング比へ滑らかに遷移できます。

OSR[2:0]ビットで定義した数（n）のサンプルが FIFO から取り出され、合算されて、結果が n で除算されます。$\overline{CS}$の立下がりエッジ間の時間は、目的の出力データ・レートに応じて、制御できるサイクル時間です。

表 10. AD7380/AD7381 のローリング平均オーバーサンプリング性能の概要

Oversampling Ratio	AD7380					AD7381		
	SNR (dB typical)				Output Data Rate (kSPS maximum)	SNR (dB typical)		Output Data Rate (kSPS maximum)
	V_{REF} = 2.5 V		V_{REF} = 3.3 V					
	RES = 0	RES = 1	RES = 0	RES = 1		RES = 0	RES = 1	
Disabled	91	91	92.5	92.5	4000	85	85	4000
2	92	93	93.2	94.5	4000	84.5	87.7	4000
4	94	96	94.8	97.2	4000	85	91	4000
8	95.5	98.6	95.9	99.6	4000	85.5	93	4000

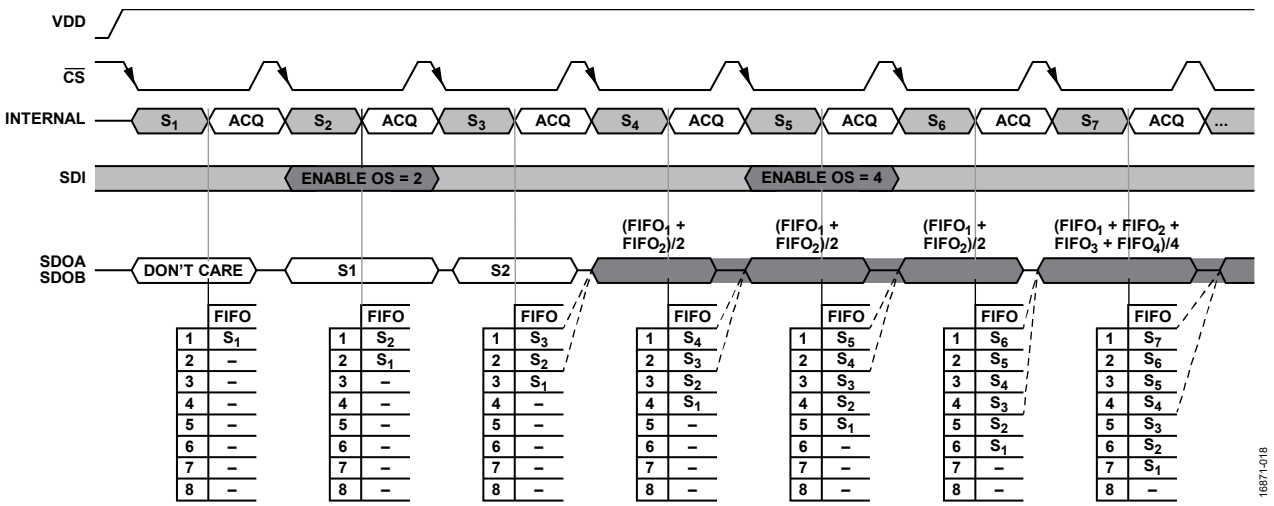


図 33. ローリング平均オーバーサンプリングの動作

分解能の増強

変換結果出力のデフォルトのデータ・サイズは、AD7380 の場合は 16 ビットで、AD7381 の場合は 14 ビットです。内蔵のオーバーサンプリング機能を有効にすると、ADC の性能は、AD7380 では 16 ビット・レベルを、AD7381 では 14 ビット・レベルを、それぞれ超えることができます。性能の強化を実現可能にするため、2 ビットの分解能を上乗せできます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定していて、AD7380/AD7381 が有効なオーバーサンプリング・モードである場合、変換結果のサイズは AD7380 では 18 ビットに、AD7381 では 16 ビットになります。このモードでは、データを伝搬するために AD7380 の場合は 18 の SCLK が必要であり、AD7381 の場合は 16 の SCLK が必要です。

アラート

アラート機能は範囲外インジケータであり、境界外の変換結果の早期インジケータとして使用できます。変換結果値のレジスタが ALERT_HIGH_THRESHOLD レジスタのアラート上限を超えるか、ALERT_LOW_THRESHOLD レジスタのアラート下限より低くなると、アラート・イベントがトリガされます。ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_
THRESHOLD レジスタは、全ての ADC に共通です。制限閾値を設定する場合は、アラート上限閾値をアラート下限閾値より常に大きくする必要があります。詳細なアラート情報には、$\overline{\text{ALERT}}$レジスタでアクセスできます。

このレジスタには、ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。全ての ADC のアラート信号の論理 OR をとると、共通のアラート値が得られます。この値を設定して、SDOB/$\overline{\text{ALERT}}$ピンの$\overline{\text{ALERT}}$機能を解除できます。SDOB/$\overline{\text{ALERT}}$ピンを$\overline{\text{ALERT}}$として設定するには、CONFIGURATION1 レジスタと CONFIGURATION2 レジスタで以下のビットを設定します。

- SDO ビットを 1 に設定します。
- ALERT_EN ビットを 1 に設定します。
- ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタに有効な値を設定します。

アラート表示機能は、オーバーサンプリング・モード（ローリング平均と通常平均の両方）と、非オーバーサンプリング・モードで使用できます。

SDOB/$\overline{\text{ALERT}}$ピンの$\overline{\text{ALERT}}$機能は、変換終了時に更新されます。$\overline{\text{ALERT}}$レジスタのアラート表示ステータス・ビットも更新されるので、次の変換が終了する前に読み出す必要があります。SDOB/$\overline{\text{ALERT}}$ピンの$\overline{\text{ALERT}}$機能は、$\overline{\text{CS}}$の立下がりエッジでクリアされます。また、ソフトウェア・リセットを発行した場合も、$\overline{\text{ALERT}}$レジスタのアラート・ステータスはクリアされます。

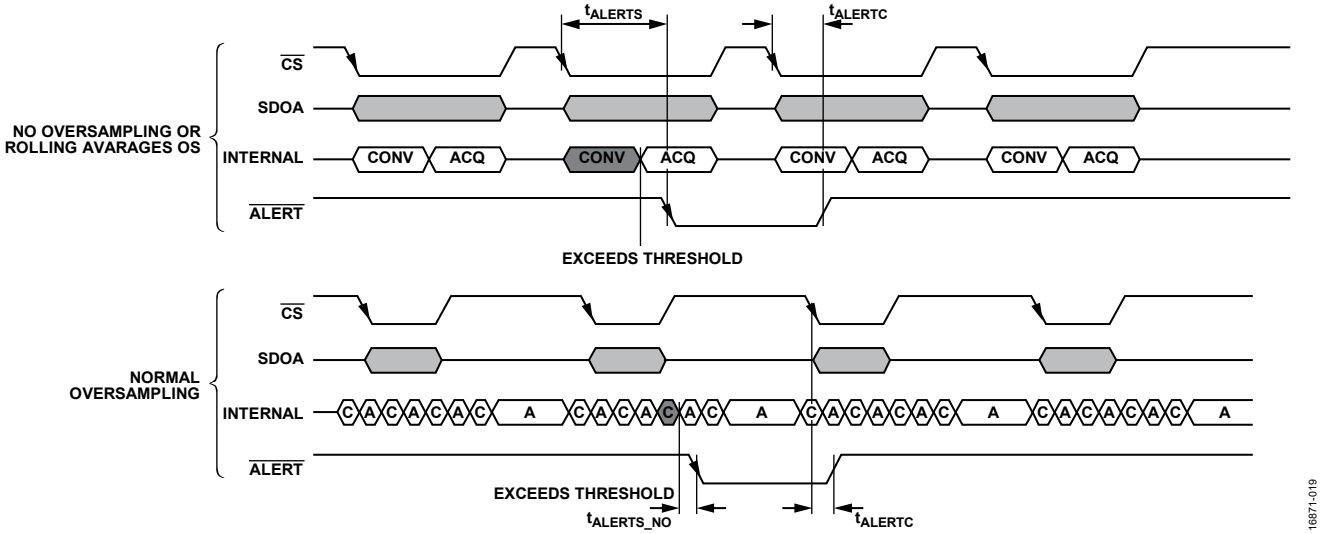


図 34. アラートの動作

消費電力モード

AD7380/AD7381 には、2 つの消費電力モード（ノーマル・モードとシャットダウン・モード）があります。これらの動作モードには、柔軟なパワー・マネージメント・オプションが用意されているので、消費電力とスループット・レートの比を様々なアプリケーション条件に合わせて最適化できます。CONFIGURATION1 レジスタの PMODE ビットをプログラムして、AD7380/AD7381 の消費電力モードを設定します。ノーマル・モードの場合は PMODE をロジック 0 に設定し、シャットダウン・モードの場合はロジック 1 に設定します。

ノーマル・モード

最高速のスループット・レートを達成するには、AD7380/AD7381 をノーマル・モードに維持します。AD7380/AD7381 内部の全てのブロックに最大限の電力が常時供給され、必要に応じて、$\overline{\text{CS}}$の立下がりエッジによって A/D 変換を開始できます。AD7380/AD7381 は、変換していないときは静止モードになっており、消費電力は自動的に減少します。変換を実行するには電流を増やす必要があるので、AD7380/AD7381 の消費電力はスループットに応じて増減します。

シャットダウン・モード

スループット・レートを低くして消費電力を低減することが必要な場合は、シャットダウン・モードを使用します。シャットダウン・モードにするには、各変換間に ADC の電源を遮断するか、一連の変換を高いスループット・レートで実行してから、これらのバースト変換間に比較的長い時間にわたって ADC の電源を遮断します。AD7380/AD7381 がシャットダウン・モードになると、内部リファレンス（イネーブル時）を含む全てのアナログ回路の電源が遮断されます。シャットダウン・モードの間、シリアル・インターフェースは動作状態のままなので、AD7380/AD7381 はシャットダウン・モードを終了できます。
シャットダウン・モードにするには、CONFIGURATION1 レジスタの PMODE ビットに書き込みます。AD7380/AD7381 はシャットダウンして、消費電流が減少します。
シャットダウン・モードを終了してノーマル・モードに戻るには、CONFIGURATION1 レジスタの PMODE ビットをロジック 0 に設定します。シャットダウン・モードに入っても、シャットダウン・モードから抜けても、レジスタの構成設定はまったく変化しません。シャットダウン・モードの終了後、回路がオンしてから変換を開始するまでには十分な時間を見込んでおく必要があります。内部リファレンスをイネーブルする場合は、変換が正確になるように、リファレンスを安定化できる必要があります。

内部リファレンスと外部リファレンス

AD7380/AD7381 には、2.5V の内部リファレンスがあります。より正確なリファレンスまたは広いダイナミック・レンジが必要な場合は、代わりに外部リファレンスを供給してもかまいません。外部供給リファレンスは 2.5V～3.3V の範囲内であれば問題ありません。
内部と外部のどちらのリファレンスを選択するかは、CONFIGURATION1 レジスタの REFSEL ビットで設定します。REFSEL を 0 に設定すると、内部リファレンス・バッファがイネーブルされます。外部リファレンスが望ましい場合は、REFSEL ビットを 1 に設定する必要があり、更に外部リファレンスを REFIO ピンに供給する必要があります。

ソフトウェア・リセット

AD7380/AD7381 には、ソフト・リセットとハード・リセットの 2 つのリセット・モードがあります。リセットを開始するには、CONFIGURATION2 レジスタの RESET[7:0] ビットに書き込みます。
ソフト・リセットは設定可能レジスタの内容を維持しますが、インターフェース・ブロックと ADC ブロックをリフレッシュします。内部のステート・マシンは全て再初期化され、オーバーサンプリング・ブロックと FIFO の内容は消去されます。$\overline{\text{ALERT}}$レジスタはクリアされます。リファレンスと LDO の電源は投入されたままです。
ハード・リセットは、ソフト・リセットによってリセットされるブロックの他に、全てのユーザ・レジスタをデフォルト状態にリセットし、リファレンス・バッファをリセットして、内部発振器ブロックをリセットします。

診断セルフ・テスト

AD7380/AD7381 は、パワーオン・リセット（POR）後またはソフトウェアのハード・リセット後に診断セルフ・テストを実行して、デバイスに正しい設定がロードされていることを確認します。
セルフ・テストの結果は$\overline{\text{ALERT}}$レジスタの SETUP_F ビットに表示されます。SETUP_F ビットをロジック 1 に設定すると、診断セルフ・テストは不合格になります。テストが不合格になった場合は、ソフトウェアのハード・リセットを実行して、AD7380/AD7381 のレジスタをデフォルトのステータスにリセットします。

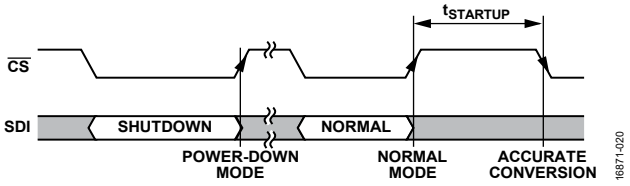


図 35. シャットダウン・モードの動作

インターフェース

AD7380/AD7381 へのインターフェースはシリアル・インターフェースを介しています。このインターフェースは、CS、SCLK、SDOA、SDOB、および SDI ピンで構成されます。

CS信号はシリアル・データ転送をフレーム化して、A/D 変換プロセスを開始します。CSの立下がりエッジでトラック&ホールド回路はホールド・モードになりますが、その時点でアナログ入力がサンプリングされ、バスはスリーステートから外れます。

SCLK 信号は、デバイスに入力されるデータとデバイスから出力されるデータを SDOA、SDOB、および SDI 信号を介して同期します。レジスタへの書込みやレジスタからの読出しには、16 以上の SCLK が必要です。変換読出しでの SCLK の最小数はデバイスの分解能と構成設定により異なります。表 11 を参照してください。

A/D 変換動作は内蔵の発振器によって内部で実行され、SCLK 信号とは無関係です。

AD7380/AD7381 には、2 つのシリアル出力信号（SDOA と SDOB）があります。デバイスのスループットを最高にするには、SDOA と SDOB の両方（2 線モード）を使用して変換結果を読み出します。スループットを低めに抑えることが必要な場合やオーバーサンプリングを使用する場合は、1 線モード（SDOA 信号のみ）を使用して変換結果を読み出すことができます。CONFIGURATION2 レジスタの SDO ビットをプログラムすることで、2 線モードまたは 1 線モードを設定できます。

SPI 読出しまたは SPI 書込みに対して巡回冗長検査（CRC）動作を設定すると、インターフェースの動作が変更されます。このデータシートの関連セクションを参照して、正常な動作を確認する必要があります。

変換結果の読出し

変換プロセスはCS信号によって始まります。CS信号がハイからローに遷移すると、2 つの ADC（ADC A と ADC B）の同時変換が始まります。AD7380/AD7381 には 1 サイクルの読出し遅延時間があります。したがって、変換結果が得られるのは次の SPI 読書き時です。その後、CS信号をローにすると、変換結果がシリアル出力ピンから同期出力されます。この時点で次の変換も始まっています。

変換結果は、AD7380 では 16 ビットの結果として、AD7381 では 14 ビットの結果としてデバイスからシフト出力されます。変換結果の MSB はCSの立下がりエッジでシフト出力されます。残りのデータは、SCLK 入力に制御された状態でデバイスからシフト出力されます。データは SCLK の立上がりエッジでシフト出力され、立下がりエッジと立上がりエッジの両方のデータ・ビットが有効です。SCLK の最後の立下がりエッジ後に、CSを再度ハイにして SDOx ピンを高インピーダンス状態に戻します。

SDOx ピンの変換結果を伝搬するための SCLK のサイクル数は、設定されているシリアル動作モードと、分解能増強モードを有効にするかどうかによって異なります。詳細については、図 36 および表 11 を参照してください。CRC 読出しを有効にすると、CRC 情報を伝搬する追加の SCLK パルスが必要になります。詳細については、CRC のセクションを参照してください。

CS信号によって変換が始まり、更にはデータがフレーム化されるので、データの読書きは 1 つのフレーム内で完了する必要があります。

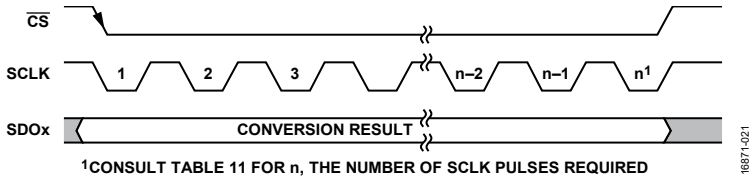


図 36. 変換結果の読出し

表 11. 変換結果を読み出すために必要な SCLK の数（n）

Interface Configuration	Resolution Boost Mode	CRC Read	AD7380	AD7381
2-Wire	Disabled	Disabled	16	14
		Enabled	24	22
	Enabled	Disabled	18	16
		Enabled	26	24
1-Wire	Disabled	Disabled	32	28
		Enabled	40	36
	Enabled	Disabled	36	32
		Enabled	44	40

シリアル 2 線モード

CONFIGURATION1 レジスタの SDO ビットを 0 に設定して、2 線モードを設定します。2 線モードでは、ADC A の変換結果は SDOA ピンで出力され、ADC B の変換結果は SDOB ピンで出力されます。図 37 を参照してください。

シリアル 1 線モード

低速のスループット・レートが許容されるアプリケーションや、通常平均オーバーサンプリングを使用するアプリケーションでは、シリアル・インターフェースを設定して 1 線モードで動作させることができます。1 線モードでは、ADC A と ADC B からの変換結果がシリアル出力 SDOA に出力されます。全てのデータを伝搬するには、追加の SCLK サイクルが必要です。ADC A のデータが先に出力され、その後に ADC B の変換結果が出力されます。図 38 を参照してください。

分解能増強モード

デフォルトの分解能と出力データ・サイズは、AD7380 の場合は 16 ビットで、AD7381 の場合は 14 ビットです。内蔵のオーバーサンプリング機能を有効にすると、ノイズが減少してデバイスの性能が向上します。性能の強化を実現可能にするため、変換出力データに 2 ビットの分解能を上乗せできます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定していて、AD7380/AD7381 が有効なオーバーサンプリング・モードである場合、変換結果のサイズは、AD7380 では 18 ビットになり、AD7381 では 16 ビットになります。

分解能増強モードを有効にしている場合、データを伝搬するために AD7380 では 18 の SCLK が必要であり、AD7381 では 16 の SCLK が必要です。

低遅延の読出し

図 39 に示すように、AD7380/AD7381 のインターフェースには 1 サイクルの遅延があります。低速のスループット・レートで動作するアプリケーションでは、変換結果の読出し遅延時間を短縮できます。変換時間 $t_{CONVERT}$ の経過後は、変換を開始した最初の$\overline{CS}$パルス後の 2 番目の$\overline{CS}$パルスを使用して変換結果を読み出すことができます。この動作を図 39 に示します。

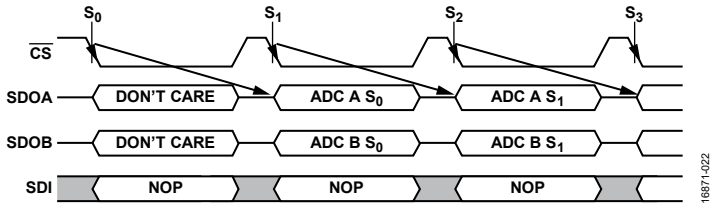


図 37. 2 線モードでの変換結果の読出し

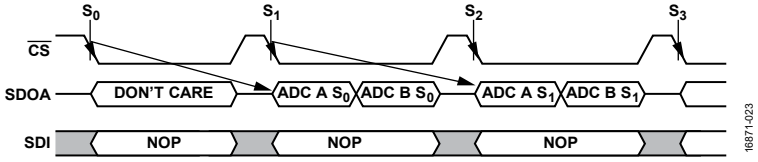


図 38. 1 線モードでの変換結果の読出し

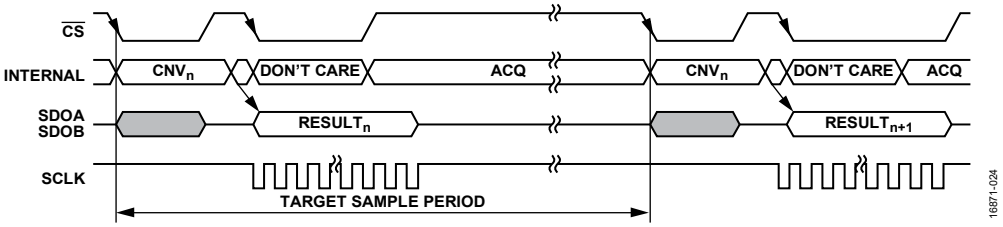


図 39. 低スループット、低遅延

デバイスのレジスタからの読出し

デバイス内の全てのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行します。その後に有効なコマンドまたは NOP のいずれかの追加 SPI コマンドを発行してもかまいません。読出しコマンドのフォーマットを表 14 に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット[D14:D12]の内容はレジスタのアドレスであり、後続の 12 ビット（ビット[D11:D0]）は無視されます。

デバイスのレジスタへの書込み

AD7380/AD7381 の全てのリード／ライト・レジスタには、シリアル・インターフェースを介して書き込むことができます。SPI 書込みアクセスの長さは、CRC 書込み機能によって決まります。CRC の書込みが無効の場合、SPI のアクセスは 16 ビットであり、CRC の書込みが有効の場合は 24 ビットです。書込みコマンドのフォーマットを表 15 に示します。書込みコマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット[D14:D12]の内容はレジスタのアドレスであり、後続の 12 ビット（ビット[D11:D0]）の内容は、選択したレジスタに書き込まれるデータです。

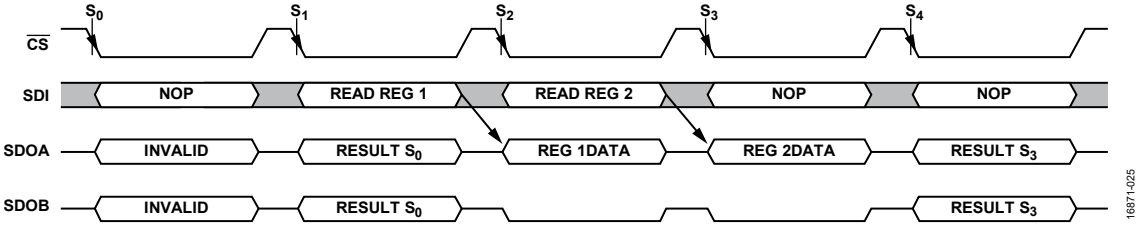


図 40. レジスタの読出し

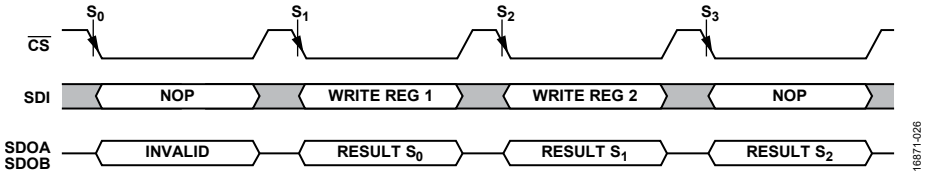


図 41. レジスタの書込み

CRC

AD7380/AD7381 は CRC チェックサム・モードを備えています。このモードを使用すると、データ伝送時のエラーを検出することにより、インターフェースの堅牢性を向上できます。CRC 機能は、SPI インターフェースの読出しと SPI インターフェースの書込みに合わせて、個別に選択できます。例えば、SPI 書込みに対しては CRC 機能を有効にして、デバイス設定に対する予想外の変更を防止できます。ただし、SPI 読出しに対しては CRC 機能を無効にして、高いスループット・レートを維持できます。CRC 機能を制御するには、CONFIGURATION1 レジスタの CRC_W ビットと CRC_R ビットをプログラムします。

CRC 読出し

有効にすると、CRC は変換結果またはレジスタ読出し出力に付加されます。また、CRC は 8 ビットのワードで構成されます。CRC は ADC A および ADC B の変換結果内で計算され、SDOA で出力されます。また、CRC は計算されてレジスタ読出し出力に付加されます。
CRC 読出し機能は 2 線 SPI モード、1 線 SPI モード、および分解能増強モードで使用できます。

CRC 書込み

CRC 書込み機能を有効化するには、CONFIGURATION1 レジスタの CRC_W ビットを 1 に設定します。CRC_W ビットを 1 に設定して CRC 機能を有効化するには、要求フレームに有効な CRC を付加しておく必要があります。
CRC 機能が有効にされると、正しい CRC コマンドを伴わないレジスタ書き込みの要求は全て無視されます。したがって、CRC 機能の有効化／無効化を設定するデータ書き込み時にもこれが必要です。

CRC 多項式

CRC チェックサム計算では、常に多項式 $x^8 + x^2 + x + 1$ が使用されます。
以下は、変換読出し時にチェックサムを生成する方法の例です。2 つのチャンネルの 16 ビット・データ変換結果を合成して 32 ビットのデータを生成します。32 ビット・データの上位 8 ビットを反転して、8 ビット左側にシフトし、8 つのロジック 0 で終わる数字を作成します。多項式の MSB が、データの左端にあるロジック 1 と隣接するように、多項式を並べます。排他的論理和（XOR）関数をデータに適用して、新規の短い数値を生成します。多項式の MSB が新しい結果の左端にあるロジック 1 と隣接するように、多項式を再度並べて、この手順を繰り返します。このプロセスを、元のデータが多項式（8 ビットのチェックサム）よりも小さくなるまで繰り返します。この例では、多項式は 100000111 です。
2 つのチャンネルの元のデータを 0xAAAA および 0x5555、つまり、1010 1010 1010 1010 および 0101 0101 0101 0101 とします。次に、2 つのチャンネルのデータが、右側の 8 つの 0 を含めて付加されます。その結果、データは 1010 1010 1010 1010 0101 0101 0101 0101 0000 0000 になります。
表 12 に、16 ビット、2 チャンネルのデータの CRC 計算を示します。最後の XOR 演算では、縮小データが多項式の値より小さくなります。したがって、剰余は想定データの CRC です。
AD7381 の場合も同じプロセスをたどりますが、32 ビットのデータ（2 つのチャンネルの合成結果）の代わりに 28 ビットのデータを処理します。レジスタのようなデータを読み出す場合、CRC の計算は 16 ビットのレジスタ・データからが基本であり、32 ビット・データの場合に説明したのと同じ処理が実行されます。

表 12. 2 つの 16 ビット・データの CRC 計算の例

Data	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**x**	**x**	**x**	**x**	**x**	**x**	**x**	**x**
Process Data	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**
		1	0	0	0	0	0	1	1	1																														
				1	0	1	0	0	0	1	1	0																												
				1	0	0	0	0	1	1	1	1																												
						1	0	0	0	0	0	1	1	0																										
						1	0	0	0	0	0	1	1	1																										
														1	1	0	0	1	0	1	0	1																		
														1	0	0	0	0	0	1	1	1																		
															1	0	0	1	0	0	0	1	0																	
															1	0	0	0	0	0	1	1	1																	
																1	0	0	0	1	0	0	0	1	1															
																1	0	0	0	0	0	0	0	1	1															
																		1	0	0	0	1	1	0	1															
																		1	0	0	0	0	0	1	1															
																				1	0	0	0	1	0	1													
																				1	0	0	0	0	0	1													
																						1	0	0	0	1	1													
																						1	0	0	0	0	0	1												
																								1	0	0	0	0	1	1										
																								1	0	0	0	0	0	1	1	1								
																																	1	0	0	1	1	1	0	0
CRC																																	1	0	0	1	1	1	0	0

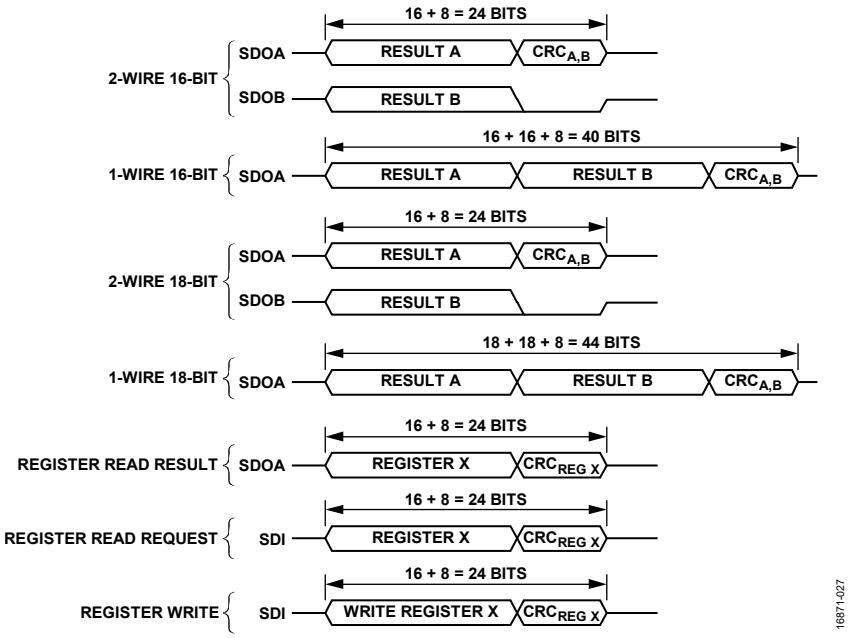

16 + 8 = 24 BITS
2-WIRE 16-BIT
SDOA
RESULT A
CRC A,B
SDOB
RESULT B
16 + 16 + 8 = 40 BITS
1-WIRE 16-BIT
SDOA
RESULT A
RESULT B
CRC A,B
16 + 8 = 24 BITS
2-WIRE 18-BIT
SDOA
RESULT A
CRC A,B
SDOB
RESULT B
18 + 18 + 8 = 44 BITS
1-WIRE 18-BIT
SDOA
RESULT A
RESULT B
CRC A,B
16 + 8 = 24 BITS
REGISTER READ RESULT
SDOA
REGISTER X
CRC REG X
16 + 8 = 24 BITS
REGISTER READ REQUEST
SDI
REGISTER X
CRC REG X
16 + 8 = 24 BITS
REGISTER WRITE
SDI
WRITE REGISTER X
CRC REG X
16871-027

図 42. CRC の動作

レジスタ

AD7380/AD7381 は、デバイスを設定するためのプログラマブル・レジスタを内蔵しています。表 13 に、AD7380/AD7381 で使用できるレジスタの包括的な概要を示します。このレジスタは、リード／ライト（R/W）または読出し専用（R）です。書込み専用レジスタへの読出し要求は無視されます。読出し専用レジスタへの書込み要求は無視されます。他のレジスタ・アドレスへの書込みは無操作コマンド（NOP）とみなされ、無視されます。表 13 に記載されているレジスタ以外のレジスタ・アドレスへの読出し要求は NOP とみなされ、次の SPI フレームで送信されるデータが変換結果になります。

表 13. レジスタの一覧

			Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
Hex.No.	Register Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x1	CONFIGURATION1	[15:8]	ADDRESSING				RESERVED		OS_MODE	OSR[2]	0x0000	R/W
		[7:0]	OSR[1:0]		CRC_W	CRC_R	ALERT_EN	RES	REFSEL	PMODE		
0x2	CONFIGURATION2	[15:8]	ADDRESSING				RESERVED			SDO	0x0000	R/W
		[7:0]	RESET									
0x3	ALERT	[15:8]	ADDRESSING				RESERVED		CRCW_F	SETUP_F	0x0000	R/W
		[7:0]	RESERVED		AL_B_HIGH	AL_B_LOW	RESERVED		AL_A_HIGH	AL_A_LOW		
0x4	ALERT_LOW_THRESHOLD	[15:8]	ADDRESSING				ALERT_LOW[11:8]				0x0800	R/W
		[7:0]	ALERT_LOW[7:0]									
0x5	ALERT_HIGH_THRESHOLD	[15:8]	ADDRESSING				ALERT_HIGH[11:8]				0x07FF	R/W
		[7:0]	ALERT_HIGH[7:0]									

レジスタのアドレス指定

AD7380/AD7381 でのシリアル・レジスタ転送は、16 の SCL サイクルで構成されます。デバイスに書き込まれた 4 つの MSB はデコードされ、どのレジスタがアドレス指定されているかを判別します。この 4 つの MSB は、レジスタ・アドレス（REGADDR）、ビット［2:0］、およびリード／ライト・ビット（WR）で構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。リード／ライト・ビットは、アドレス指定先のレジスタが有効なライト・レジスタである場合、SDI 入力での残りの 12 ビット・データをアドレス指定先のレジスタにロードするかどうかを決めます。WR ビットが 1 の場合、レジスタ選択ビットによってアドレス指定されたレジスタにビットがロードされます。WR ビットが 0 の場合、このコマンドは読出し要求とみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 14. アドレス指定レジスタのフォーマット

MSB LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR	REGADDR[2:0]			DATA［11:0］											

表 15. アドレス指定レジスタのビットの説明

ビット	記号	説明
D15	WR	このビットに 1 を書き込むと、このレジスタのビット[11:0]は、REGADDR［2:0］で指定されたレジスタに書き込まれます（有効なアドレスの場合）。あるいは、0 を書き込むと、SDO ピンから送出される次のデータが指定のレジスタから読み出されます（有効なアドレスの場合）。
D14 to D12	REGADDR[2:0]	WR = 1 の場合は、表 13 に概要を示すように、REGADDR［2:0］の内容によって選択対象のレジスタが決まります。 WR = 0 で、REGADDR[2:0]に有効なレジスタ・アドレスが入っている場合は、要求されたレジスタの内容が、次のインターフェース・アクセス時に SDOA ピンに出力されます。 WR = 0 で、REGADDR[2:0]に 0x0、0x6、または 0x7 が入っている場合、SDI ラインの内容は無視されます。次のインターフェース・アクセスで、読出し対象となる変換結果が得られます。
D11 to D0	DATA[11:0]	WR ビットが 1 に等しく、REGADDR[2:0]ビットに有効なアドレスが入っている場合、これらのビットは、REGADDR[2:0]ビットによって指定された対応レジスタに書き込まれます。

CONFIGURATION1 レジスタ

アドレス：0x1、リセット：0x0000、レジスタ名：CONFIGURATION1

表 16. CONFIGURATION1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］は、該当するレジスタのアドレスを規定します。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予備	0x0	R
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを設定します。 0：通常平均。 1：ローリング平均。	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。該当するモードの全ての ADC のオーバーサンプリング比を設定します。通常平均モードは、2 倍、4 倍、8 倍、16 倍、および 32 倍のオーバーサンプリング比をサポートします。ローリング平均モードは、2 倍、4 倍、および 8 倍のオーバーサンプリング比をサポートします。 000：無効。 001：2 倍。 010：4 倍。 011：8 倍。 100：16 倍。 101：32 倍。 110：無効。 111：無効。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。このビットを 0 から 1 に設定する場合は、コマンドの後に有効な CRC を記述して、この構成ビットを設定する必要があります。有効な CRC が受け取られないと、フレーム全体が無視されます。このビットを 1 に設定した場合は、CRC によってビットを 0 にクリアすることが要求されます。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOx インターフェースの CRC 機能を制御します。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
3	ALERT_EN	ADC データのアラート・インジケータを有効にします。このレジスタが機能するのは、SDO = 1 のときです。それ以外の場合、ALERT_EN ビットは無視されます。 0：SDOB。 1：$\overline{\text{ALERT}}$。	0x0	R/W
2	RES	分解能。変換結果データのサイズを設定します。OSR = 0 の場合、これらのビットは無視され、分解能はデフォルトの分解能に設定されます。 0：通常の分解能。 1：2 ビット高い分解能。	0x0	R/W
1	REFSEL	リファレンスの選択。ADC のリファレンス源を選択します。 0：内部リファレンスを選択します。 1：外部リファレンスを選択します。	0x0	R/W
0	PMODE	パワーダウン・モード。消費電力モードを設定します。 0：ノーマル・モード。 1：パワーダウン・モード。	0x0	R/W

CONFIGURATION2 レジスタ

アドレス：0x2、リセット：0x0000、レジスタ名：CONFIGURATION2

表 17. CONFIGURATION2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］は、該当するレジスタのアドレスを規定します。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:9]	RESERVED	予備	0x0	R
8	SDO	SDO。変換結果のシリアル・データ出力。 0：2 線、SDOA と SDOB の両方で変換データを出力します。 1：1 線、SDOA だけで変換データを出力します。	0x0	R/W
[7:0]	RESET	リセット。 ソフト・リセットを実行するには、0x3C に設定します。ソフト・リセットでは、いくつかのブロックがリフレッシュされますが、レジスタの内容は変化しません。$\overline{\text{ALERT}}$レジスタをクリアして、オーバーサンプリング格納変数またはアクティブなステート・マシンを初期化します。 ハード・リセットを実行するには、0xFF に設定します。ハード・リセットでは、デバイス内にあると想定される全てのブロックがリセットされます。レジスタの内容はデフォルトに設定されます。その他の値は全て無視されます。	0x0	R/W

$\overline{\text{ALERT}}$ レジスタ

アドレス：0x3、リセット：0x0000、レジスタ名：$\overline{\text{ALERT}}$

表 18. $\overline{\text{ALERT}}$のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］は、該当するレジスタのアドレスを規定します。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備	0x0	R
9	CRCW_F	CRC エラー。レジスタ書込みコマンドが CRC エラーによって失敗したことを示します。この障害ビットは持続性があり、レジスタが読み出されるまで設定されたままです。 0：CRC エラーなし。 1：CRC エラー。	0x0	R
8	SETUP_F	ロード・エラー。SETUP_F は、デバイス設定データが起動時に正しくロードされなかったことを示します。このビットは、$\overline{\text{ALERT}}$レジスタの読出しではクリアされません。このビットをクリアしてデバイスのセットアップを再開するには、CONFIGURATION2 レジスタを介したハード・リセットが必要です。 0：セットアップ・エラーなし。 1：セットアップ・エラー。	0x0	R
[7:6]	RESERVED	予備	0x0	R
5	AL_B_HIGH	アラート B ハイ。アラート表示ハイ・ビットは、各入力チャンネルの変換結果が、ALERT_HIGH_THRESHOLD レジスタに設定されている値を超えたかどうかを示します。この障害ビットは持続性があり、レジスタが読み出されるまで設定されたままです。 1：アラート表示。 0：アラート表示なし。	0x0	R
4	AL_B_LOW	アラート B ロー。アラート表示ロー・ビットは、各入力チャンネルの変換結果が、ALERT_LOW_THRESHOLD レジスタに設定されている値を超えたかどうかを示します。この障害ビットは持続性があり、レジスタが読み出されるまで設定されたままです。 1：アラート表示。 0：アラート表示なし。	0x0	R
[3:2]	RESERVED	予備	0x0	R

ビット	ビット名	説明	リセット	アクセス
1	AL_A_HIGH	アラート A ハイ。アラート表示ハイ・ビットは、各入力チャンネルの変換結果が、ALERT_HIGH_THRESHOLD レジスタに設定されている値を超えたかどうかを示します。この障害ビットは持続性があり、レジスタが読み出されるまで設定されたままです。 1：アラート表示。 0：アラート表示なし。	0x0	R
0	AL_A_LOW	アラート A ロー。アラート表示ロー・ビットは、各入力チャンネルの変換結果が、ALERT_LOW_THRESHOLD レジスタに設定されている値を超えたかどうかを示します。この障害ビットは持続性があり、レジスタが読み出されるまで設定されたままです。 1：アラート表示。 0：アラート表示なし。	0x0	R

ALERT_LOW_THRESHOLD レジスタ

アドレス：0x4、リセット：0x0800、レジスタ名：ALERT_LOW_THRESHOLD

表 19. ALERT_LOW_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］は、該当するレジスタのアドレスを規定します。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラート・ロー。ALERT_LOW の D[11:0]ビットが内部の ALERT_LOW レジスタ D[15:4]の MSB に移動します。残りのビット、つまり内部レジスタの D[3:0]は 0x0 に固定されます。コンバータの結果が ALERT_LOW_THRESHOLD より小さい場合はアラートを設定し、ALERT_LOW_THRESHOLD より大きい場合はアラートを無効にします。	0x800	R/W

ALERT_HIGH_THRESHOLD レジスタ

アドレス：0x5、リセット：0x07FF、レジスタ名：ALERT_HIGH_THRESHOLD

表 20. ALERT_HIGH_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］は、該当するレジスタのアドレスを規定します。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGH の D[11:0]ビットが内部の ALERT_HIGH レジスタ D[15:4]の MSB に移動します。残りのビット、つまり内部レジスタ（ALERT_HIGH_INT）の D[3:0]は 0xF に固定されます。コンバータの結果が ALERT_HIGH_THRESHOLD レジスタより大きい場合はアラートを設定し、コンバータの結果が ALERT_HIGH_THRESHOLD レジスタより小さい場合はアラートを無効にします。	0x7FF	R/W

外形寸法

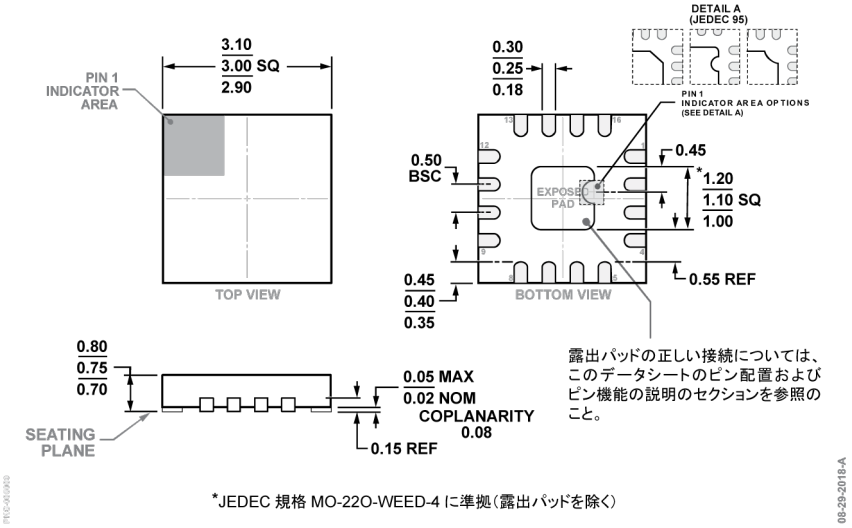


図 43. 16 ピン・リード・フレーム・チップ・スケール・パッケージ［LFCSP］
3 mm × 3 mm ボディ、0.75mm パッケージ高
（CP-16-45）
寸法：mm

オーダー・ガイド

Model[1, 2]	Resolution	Temperature Range	Package Description	Package Option	Marking Code
AD7380BCPZ-RL	16-Bit	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-45	C95
AD7380BCPZ-RL7	16-Bit	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-45	C95
AD7381BCPZ-RL	14-Bit	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-45	C93
AD7381BCPZ-RL7	14-Bit	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-45	C93
EVAL-AD7380FMCZ			AD7380 Evaluation Board		
EVAL-AD7381FMCZ			AD7381 Evaluation Board		

[1] Z = RoHS 準拠製品。
[2] EVAL-AD7380FMCZ と EVAL-AD7381FMCZ は、EVAL-SDP-CH1Z 高速コントローラ・ボードと互換性があります。