日本語参考資料
最新版英語データシートはこちら

4 チャンネル、4MSPS、16 ビットのデュアル同期サンプリング SAR ADC

データシート **AD7386**

特長

16 ビットのデュアル同期サンプリング SAR ADC
シングルエンド・アナログ入力
2:1 マルチプレクサを備えた 4 チャンネル
チャンネル・シーケンサ・モード
最大 4MSPS の高速スループット・レート
オーバーサンプリング機能内蔵
S/N 比（代表値）
　87.5dB、V_{REF} = 3.3V（外部リファレンス）
　93dB（OSR = 8）、V_{REF} = 2.5V（内部リファレンス）
INL（代表値）：±1.5LSB
分解能増強機能
2.5V の内部リファレンス（10ppm/ºC（最大））
アラート機能
温度範囲：−40ºC～+125ºC
16 ピン LFCSP、3mm × 3mm

アプリケーション

モータ・コントロールのポジション・フィードバック
モータ・コントロールの電流検出
ソナー
電力品質
データ･アクイジション･システム
エルビウム添加光増幅器（EDFA）アプリケーション
同相および直交位相の復調

概要

AD7386 は、高速の 16 ビット・デュアル同期サンプリング逐次比較型（SAR）A/D コンバータ（ADC）で、3.0V～3.6V の電源で動作し、最大 4MSPS のスループット・レートを特長としています。アナログ入力のタイプはシングルエンドで、CSの立下がりエッジでサンプリングと変換が行われます。
このデバイスは、シーケンサと集積化オーバーサンプリング・ブロックを内蔵することで、低帯域領域でのダイナミック・レンジを向上させ、ノイズを低減します。バッファ付き 2.5V 内部リファレンスが備わっていますが、代わりに、最大 3.3V の外部リファレンスを使用することも可能です。変換プロセスとデータ・アクイジションでは標準的なコントロール入力を使用しているため、マイクロプロセッサやデジタル・シグナル・プロセッサ（DSP）と容易にインターフェース接続できます。また、別個のロジック電源を使用することにより、1.8V、2.5V、3.3V のインターフェースに対応します。
AD7386 は 16 ピン LFCSP パッケージで供給され、動作温度範囲は−40ºC～+125ºC で仕様規定されています。

製品のハイライト

1. 4 チャンネル、デュアル同時サンプリング ADC。
2. ピン互換の製品ファミリ。
3. 4MSPS の高スループット・レート。
4. 省スペースの 3mm × 3mm LFCSP パッケージ。
5. オーバーサンプリング・ブロックを集積化することで、ダイナミック・レンジと S/N 比が向上し、SCLK の速度条件が緩和。
6. シングルエンド・アナログ入力。
7. サンプリング・コンデンサの容量が小さいため、アンプの駆動負荷が低減。

機能ブロック図

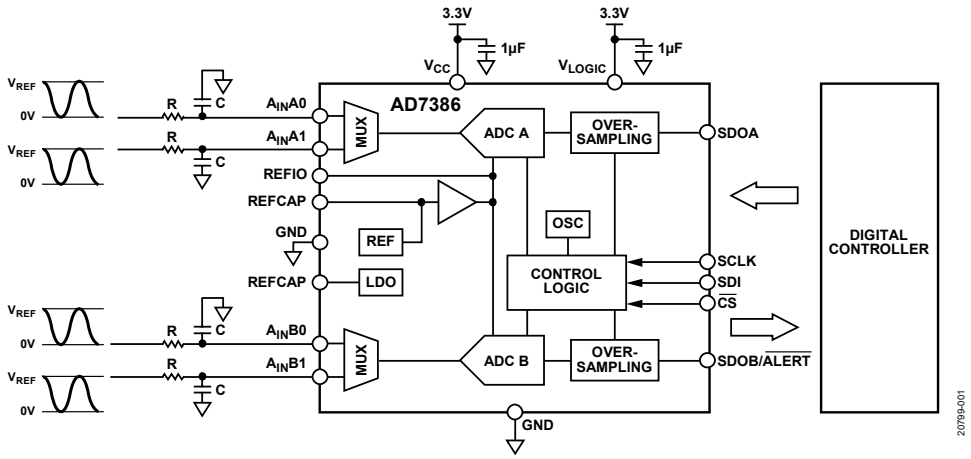


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. **0**

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300

目次

特長 1
アプリケーション....1
概要 1
製品のハイライト....1
機能ブロック図....1
改訂履歴 2
仕様 3
タイミング仕様....5
絶対最大定格....7
熱抵抗....7
ESD に関する注意....7
ピン配置およびピン機能の説明....8
代表的な性能特性....9
用語の定義 12
動作原理 13
回路説明....13
コンバータの動作....13
アナログ入力構造....13
ADC の伝達関数....14
アプリケーション情報....15
電源....15
動作モード 16
チャンネル選択....16
シーケンサ....16
オーバーサンプリング 17
分解能増強....19
アラート....19
電力モード....20
内部リファレンスおよび外部リファレンス 20
ソフトウェア・リセット....20
診断セルフ・テスト....20
インターフェース....21
変換結果の読出し....21
低遅延リードバック 22
デバイス・レジスタからの読出し 23
デバイス・レジスタへの書込み....23
CRC....24
レジスタ 26
レジスタのアドレス指定....27
CONFIGURATION1 レジスタ....27
CONFIGURATION2 レジスタ....29
アラート・レジスタ....29
ALERT_LOW_THRESHOLD レジスタ....30
ALERT_HIGH_THRESHOLD レジスタ....30
外形寸法 31
オーダー・ガイド....31

改訂履歴

8/2019—Revision 0: Initial Version

仕様

特に指定のない限り、V_{CC} = 3.0V～3.6V、V_{LOGIC} = 1.65V～3.6V、リファレンス電圧（V_{REF}）= 2.5V（内部）、サンプリング周波数（f_{SAMPLE}）= 4MSPS、T_A = −40ºC～+125ºC、オーバーサンプリング無効。

表 1. AD7386

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
THROUGHPUT					
Conversion Rate					
Single Channel Pair				4	MSPS
Alternating Channels	SEQ = 1			2	MSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity Error		−1.0	±0.5	+1.0	LSB
Integral Nonlinearity Error		−3.5	±1.5	+3.5	LSB
Gain Error		−0.025	±0.006	+0.025	% FS
Gain Error Temperature Drift		−3	±1	+3	ppm/°C
Gain Error Match		−0.025	±0.006	+0.025	% FS
Offset Error		−0.6	±0.1	+0.6	mV
Offset Temperature Drift		−3	±1	+3	µV/°C
Offset Error Match		−0.5	0.12	+0.5	mV
AC ACCURACY	Input frequency (f_{IN}) = 1 kHz				
Dynamic Range	V_{REF} = 3.3 V external		87.8		dB
			86		dB
Oversampled Dynamic Range	Normal averaging, oversampling ratio (OSR) = 4, RES = 1		91.5		dB
Signal-to-Noise Ratio (SNR)	V_{REF} = 3.3 V external	85.5	87.5		dB
		83.5	85.5		dB
	Rolling averaging, OSR = 8, RES = 1		93		dB
	f_{IN} = 100 kHz		85.3		dB
Spurious-Free Dynamic Range (SFDR)			−100		dB
Total Harmonic Distortion (THD)	V_{REF} = 3.3 V external		−99		dB
			−98		
	f_{IN} = 100 kHz		−96		dB
Signal-to-Noise-and-Distortion (SINAD)	V_{REF} = 3.3 V	85	87.4		dB
		83	85.5		dB
Channel-to-Channel Isolation			−109.7		dB
Channel-to-Channel Memory			−93.5		dB
ANALOG INPUT					
Voltage Input Range		0		V_{REF}	V
DC Leakage Current			0.1	1	µA
Input Capacitance	When in track mode		18		pF
	When in hold mode		5		pF
SAMPLING DYNAMICS					
Input Bandwidth	−0.1 dB		5.3		MHz
	−3 dB		22		MHz
Aperture Delay			2		ns
Aperture Delay Match			300	450	ps
Aperture Jitter			20		ps

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE INPUT/OUTPUT					
V_{REF} Input Voltage Range	External reference	2.49		3.4	V
V_{REF} Input Current	External reference		0.47	0.51	mA
V_{REF} Output Voltage	T_A = 25°C	2.498	2.5	2.502	V
	−40°C to +125°C	2.496	2.5	2.505	V
V_{REF} Temperature Coefficient			1	10	ppm/°C
V_{REF} Line Regulation			−38		ppm/V
V_{REF} Load Regulation			−106		ppm/mA
V_{REF} Noise			7		μV rms
DIGITAL INPUTS (SCLK, SDI, $\overline{CS}$)					
Logic Levels					
Input Low Voltage (V_{IL})				0.2 × V_{LOGIC}	V
Input High Voltage (V_{IH})		0.8 × V_{LOGIC}			V
Input Low Current (I_{IL})		−1		+1	μA
Input High Current (I_{IH})		−1		+1	μA
DIGITAL OUTPUTS (SDOA, SDOB/$\overline{ALERT}$)					
Output Coding			Straight binary		Bits
Output Low Voltage (V_{OL})	Sink current (I_{SINK}) = 300 μA			0.4	V
Output High Voltage (V_{OH})	Source current (I_{SOURCE}) = −300 μA	V_{LOGIC} − 0.3			V
Floating State Leakage Current				±1	μA
Floating State Output Capacitance			10		pF
POWER SUPPLIES					
V_{CC}		3.0	3.3	3.6	V
	External reference = 3.3 V	3.2	3.3	3.6	V
V_{LOGIC}		1.65		3.6	V
V_{CC} Current (I_{VCC})					
Normal Mode (Operational)			22	26	mA
Normal Mode (Static)			2.2	3	mA
Shutdown Mode			100	200	μA
V_{LOGIC} Current (I_{VLOGIC})					
Normal Mode (Operational)	f_{IN} = 1 kHz sine wave		3.15	3.5	mA
Normal Mode (Static)			10	200	nA
Shutdown Mode			10	200	nA
Power Dissipation					
Total Power (P_{TOTAL})			83	107	mW
V_{CC} Power (P_{VCC})					
Normal Mode (Operational)			73	94	mW
Normal Mode (Static)			7.3	10	mW
Shutdown Mode			330	720	μW
V_{LOGIC} Power (P_{VLOGIC})					
Normal Mode (Operational)	f_{IN} = 1 kHz sine wave		10.4	12.6	mW
Normal Mode (Static)			33	720	nW
Shutdown Mode			33	720	nW

タイミング仕様

特に指定のない限り、V_{CC} = 3.0V～3.6V、V_{LOGIC} = 1.65V～3.6V、V_{REF} = 2.5V（内部）、T_A = −40ºC～+125ºC。すべての仕様には 10pF の負荷が含まれます。

表 2.

パラメータ	Min	Typ	Max	単位	説明
t_{CYC}					変換と変換の間の時間
	250			ns	4MSPS
	500			ns	交互変換チャンネル
t_{SCLKED}	0.8			ns	$\overline{CS}$立下がりエッジから最初の SCLK 立下がりエッジまで
t_{SCLK}	12.5			ns	SCLK 周期
t_{SCLKH}	5			ns	SCLK ハイ時間
t_{SCLKL}	5			ns	SCLK ロー時間
t_{CSH}	10			ns	$\overline{CS}$パルス幅
t_{QUIET}	10			ns	変換までのインターフェース禁止時間
t_{SDOEN}				ns	$\overline{CS}$ローから SDOx イネーブルまでの時間
			6		$V_{LOGIC} \geq 2.25V$
			8		$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOH}	2			ns	SCLK 立上がりエッジから SDO ホールドまでの時間
t_{SDOS}				ns	SCLK 立上がりエッジから SDO セットアップまでの時間
			6		$V_{LOGIC} \geq 2.25V$
			8		$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOT}			8	ns	$\overline{CS}$立上がりエッジから SDO ハイ・インピーダンスまでの時間
t_{SDIS}	1			ns	SCLK 立下がりエッジまでの SDI セットアップ時間
t_{SDIH}	1			ns	SCLK 立下がりエッジ後の SDI ホールド時間
t_{SCLKCS}	0			ns	SCLK の立上がりエッジから $\overline{CS}$の立上がりエッジまでの時間
$t_{CONVERT}$			190	ns	変換時間
$t_{ACQUIRE}$	110			ns	取得時間
$t_{POWERUP}$					変換までの電源アクティブ時間
			5	ms	最初の変換が可能
			11	ms	1%以内にセトリングするまでの時間（内部リファレンス使用時）
			5	ms	1%以内にセトリングするまでの時間（外部リファレンス使用時）
$t_{REGWRITE}$			5	ms	レジスタへの読書きアクセスが可能になるまでの電源アクティブ時間
$t_{STARTUP}$					パワーダウン・モード終了後から変換開始までの時間（図 37 参照）
			11	ms	1%以内にセトリングするまでの時間（内部リファレンス使用時）
			10	µs	1%以内にセトリングするまでの時間（外部リファレンス使用時）
$t_{CONVERT0}$	4	7	10	ns	相加平均モードでの最初のサンプリングの変換開始時間（図 6 には示されていない）
$t_{CONVERTx}$					相加平均モードでの x 番目のサンプリングまでの変換時間
	$t_{CONVERT0} + \left(320 \times \left(x - 1\right)\right)$			ns	
t_{ALERTS}			200	ns	$\overline{CS}$から $\overline{ALERT}$指示までの時間（図 36 参照）
t_{ALERTC}			12	ns	$\overline{CS}$から $\overline{ALERT}$クリアまでの時間（図 36 参照）
t_{ALERTS_NOS}			12	ns	閾値を超えた内部変換から $\overline{ALERT}$指示までの時間（図 36 参照）

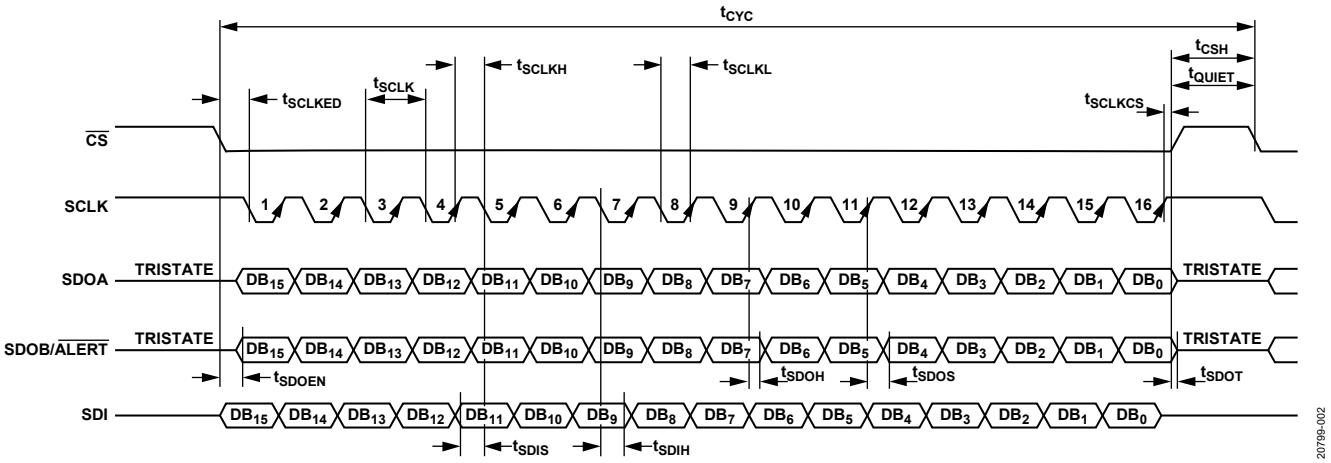


図 2. シリアル・インターフェースのタイミング図

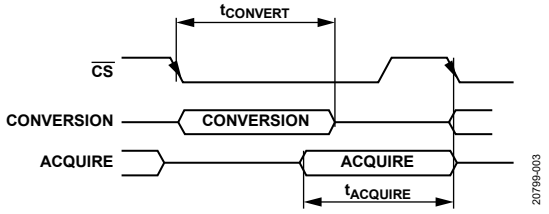


図 3. 内部変換取得時間

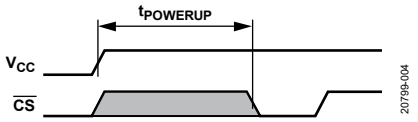


図 4. 変換までのパワーアップ時間

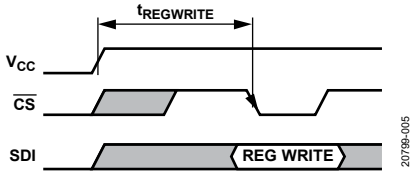
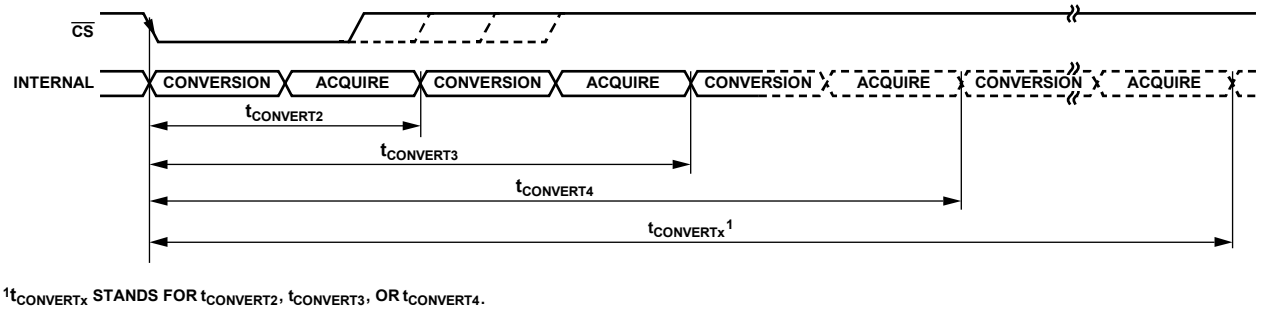


図 5. レジスタの読書きアクセスまでのパワーアップ時間



1tCONVERTx STANDS FOR tCONVERT2, tCONVERT3, OR tCONVERT4.

図 6. 相加平均オーバーサンプリング・モード時の変換タイミング

絶対最大定格

表 3.

Parameter	Rating
V_{CC} to GND	−0.3 V to +4 V
V_{LOGIC} to GND	−0.3 V to +4 V
Analog Input Voltage to GND	−0.3 V to V_{REF} + 0.3 V, V_{CC} + 0.3 V or 4 V
Digital Input Voltage to GND	−0.3 V to V_{LOGIC} + 0.3 V or 4 V
Digital Output Voltage to GND	−0.3 V to V_{LOGIC} + 0.3 V or 4 V
REFIO Input to GND	−0.3 V to V_{CC} + 0.3 V or 4 V
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Maximum Junction Temperature	150°C
Pb-Free Soldering Reflow Temperature	260°C
ESD Ratings	
Human Body Model (HBM)	4 kV
Field Induced Charge Device Model (FICDM)	1.25 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA}は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。θ_{JC}は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-16-45[1]	55.4	12.7	°C/W

[1] 試験条件 1: 熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESDS1 を参照してください。

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

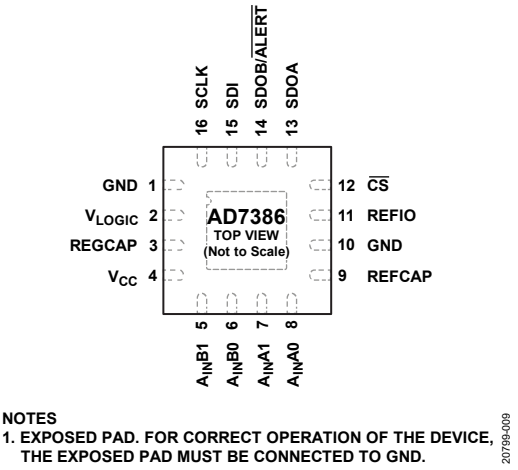


図 7. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 10	GND	グラウンド基準ポイント。これらのピンは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V_{LOGIC}	ロジック・インターフェースの電源電圧（1.65V～3.6V）。1µF のコンデンサを使用して、このピンを GND からデカップリングします。
3	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。1µF のコンデンサを使用して、このピンを GND からデカップリングします。このピンの標準電圧は 1.9V です。
4	V_{CC}	電源入力電圧（3.0V～3.6V）。1µF のコンデンサを使用して、このピンを GND からデカップリングします。
5, 6	$A_{IN}B1$, $A_{IN}B0$	ADC B のアナログ入力。
7, 8	$A_{IN}A1$, $A_{IN}A0$	ADC A のアナログ入力。
9	REFCAP	バンド・ギャップ・リファレンスのデカップリング・コンデンサ・ピン。0.1µF のコンデンサを使用して、このピンを GND からデカップリングします。このピンの標準電圧は 2.5V です。デバイスが外部リファレンスで動作するよう設定されている場合、0.1µF のコンデンサは不要です。
11	REFIO	リファレンス入出力 2.5V の内蔵リファレンスは、外部で使用するようデバイスを設定している場合、このピンを出力として使用できます。また、2.5V～3.3V の外部リファレンスをこのピンに入力することもできます。リファレンス電圧源を選択する際は、CONFIGURATION1 レジスタの REFSEL ビットを適切に設定する必要があります。内部、外部のいずれのリファレンスを選択しても、このピンにはデカップリングが必要です。1µF のコンデンサをこのピンから GND へ接続する必要があります。
12	$\overline{CS}$	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力は、AD7386 の変換開始とシリアル・データ転送のフレーミングの 2 通りの機能を提供します。
13	SDOA	シリアル・データ出力 A。このピンは、ADC A または ADC B の変換結果、もしくはいずれかの内蔵レジスタのデータにアクセスするための、シリアル・データ出力ピンとして機能します。
14	SDOB/ $\overline{ALERT}$	シリアル・データ出力 B（SDOB）。このピンは、ADC B の変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 アラート表示出力（$\overline{ALERT}$）。このピンは、ローになることで変換結果が設定閾値を超えたことを示すアラート・ピンとして機能します。
15	SDI	シリアル・データ入力。このピンは、内蔵コントロール・レジスタに書き込まれたデータを提供します。
16	SCLK	シリアル・クロック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。
Not Applicable	EPAD	露出パッド。デバイスを正しく動作させるために、露出パッドを GND に接続する必要があります。

代表的な性能特性

特に指定のない限り、V_{REF} = 2.5V（内部）、V_{CC} = 3.6V、V_{LOGIC} = 3.3V、f_{SAMPLE} = 4MSPS、f_{IN} = 1kHz、T_A = 25ºC。

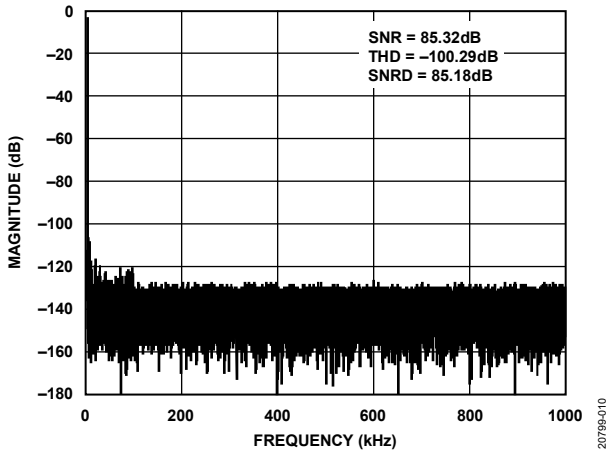


図 8. 高速フーリエ変換（FFT）、V_{REF} = 2.5V（内部）

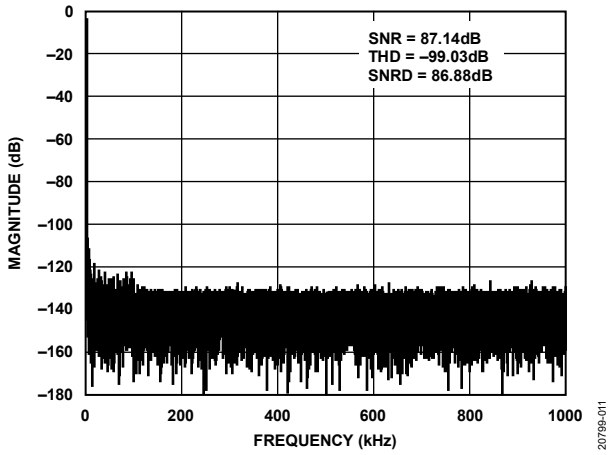


図 9. FFT、V_{REF} = 3.3V（外部）

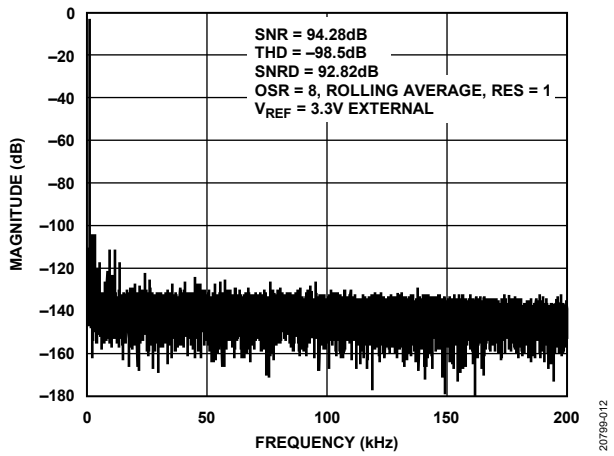


図 10. オーバーサンプリング有効時の FFT

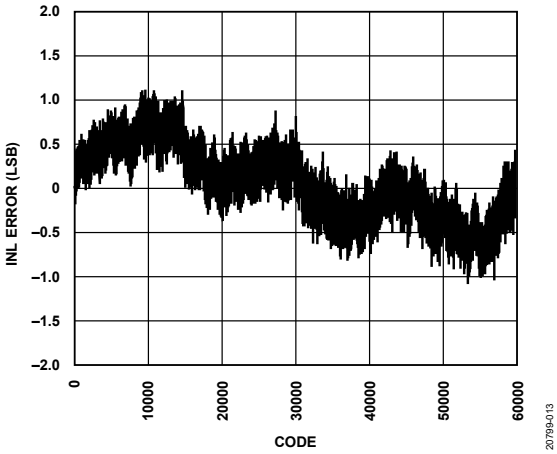


図 11. 積分非直線性（INL）誤差

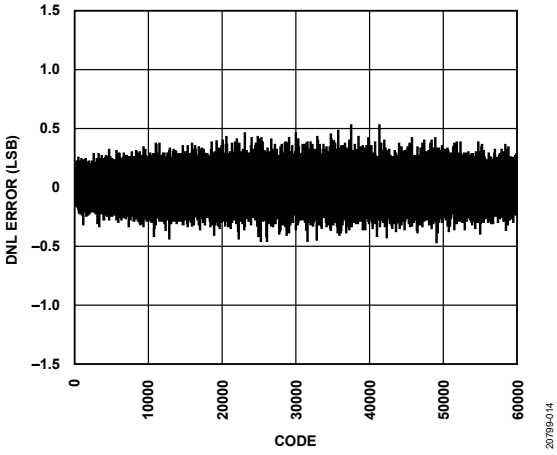


図 12. 微分非直線性（DNL）誤差

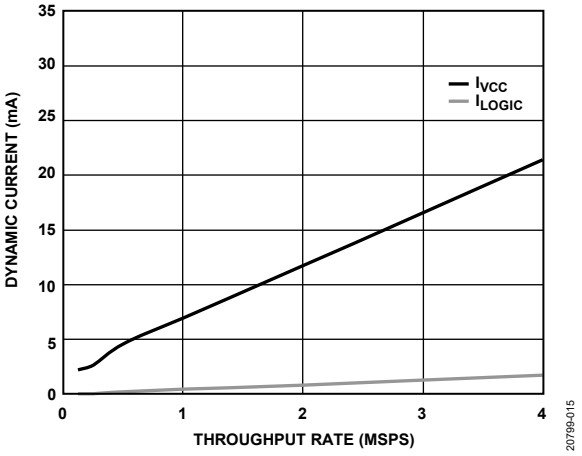


図 13. 動的電流とスループット・レートの関係

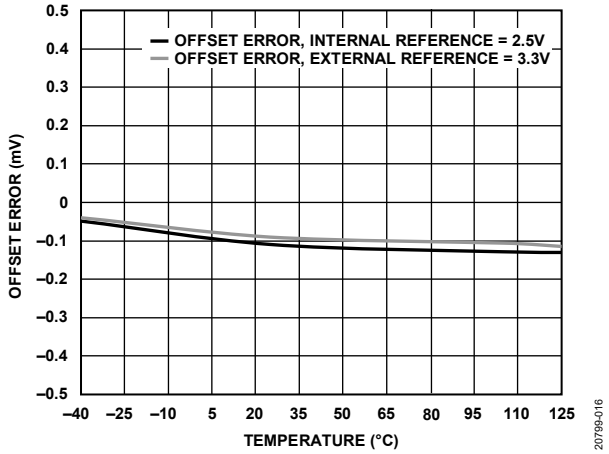


図 14. オフセット誤差の温度特性

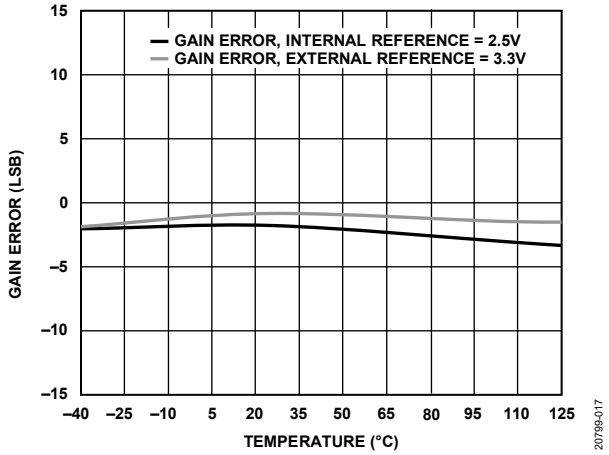


図 15. ゲイン誤差の温度特性

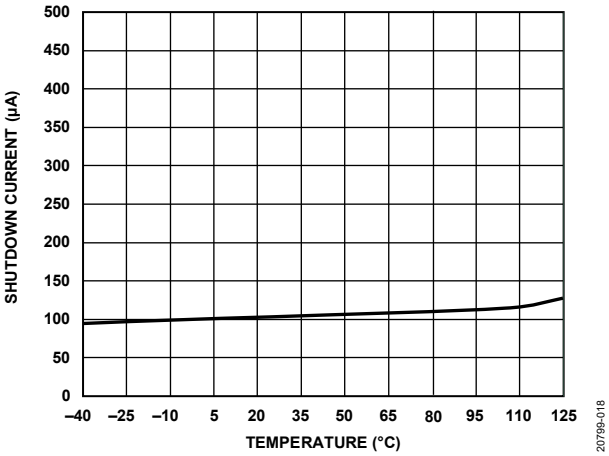


図 16. シャットダウン電流の温度特性

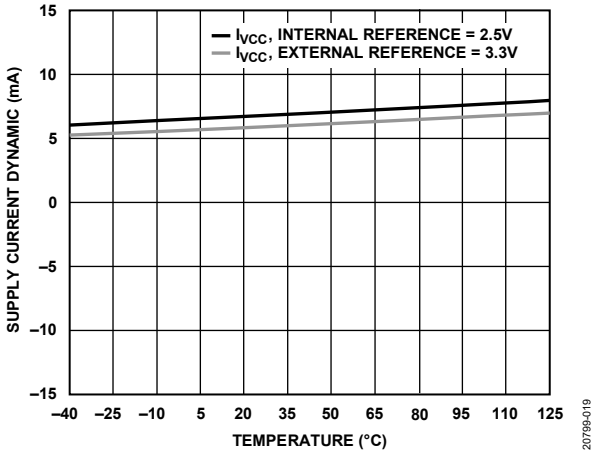


図 17. 動的電源電流の温度特性

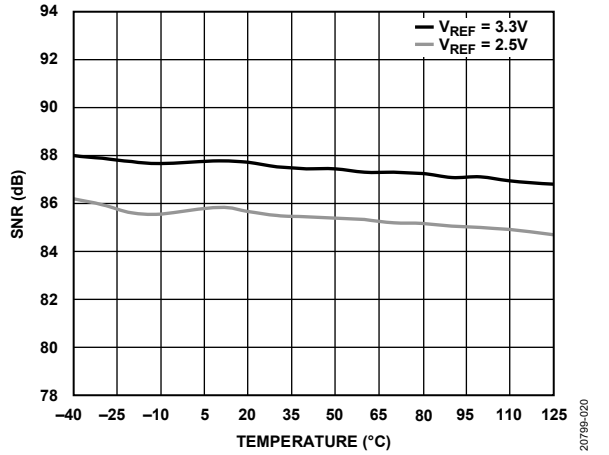


図 18. S/N 比の温度特性

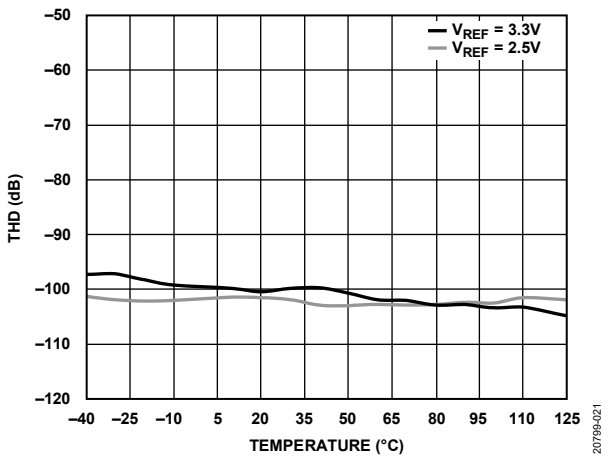


図 19. THD の温度特性

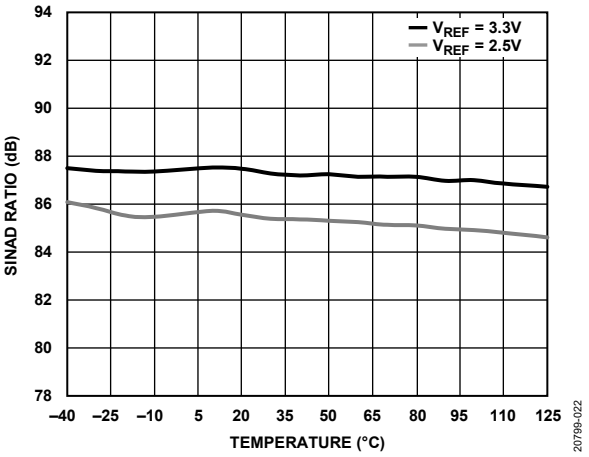


図 20. SINAD 比の温度特性

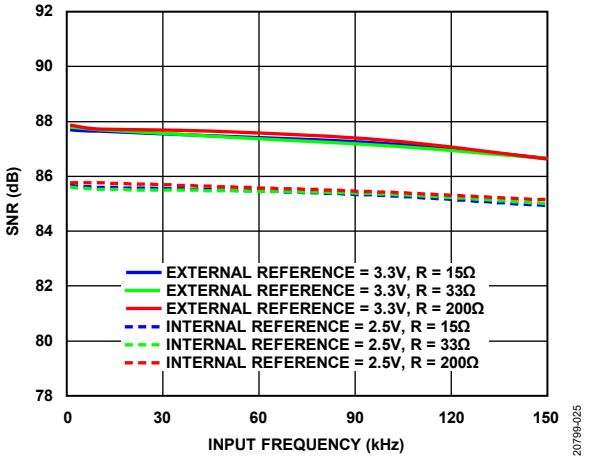


図 23. S/N 比と入力周波数の関係

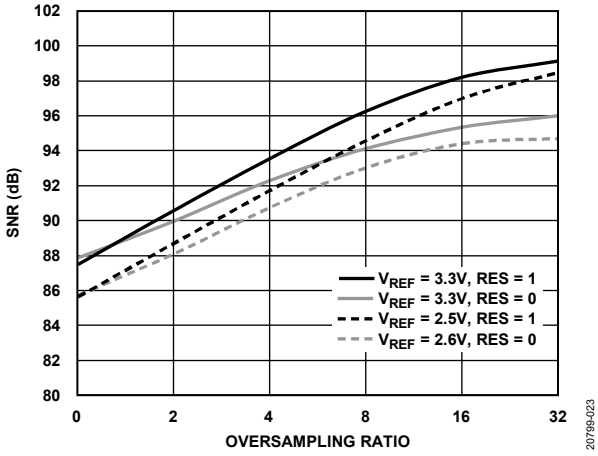


図 21. 相加平均オーバーサンプリング時の S/N 比

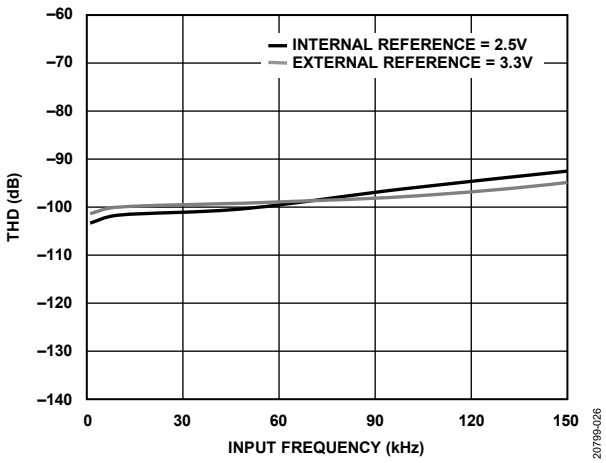


図 24. THD と入力周波数の関係

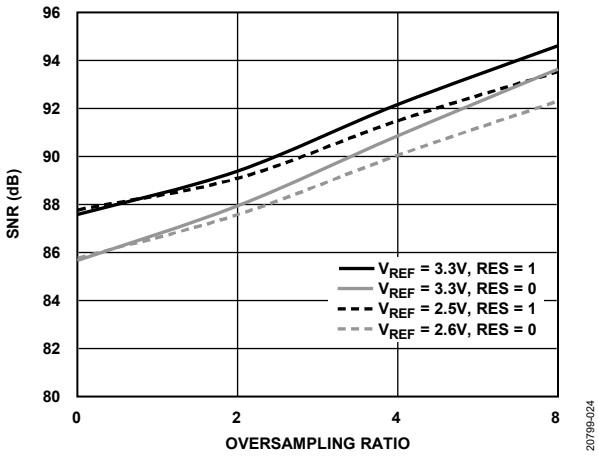


図 22. 移動平均オーバーサンプリング時の S/N 比

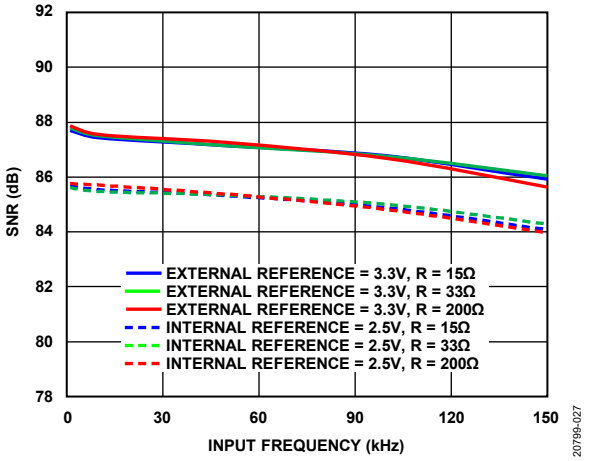


図 25. S/N 比と入力周波数の関係

用語の定義

微分非直線性（DNL）
理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。ノー・ミス・コードの分解能で仕様規定されます。

積分非直線性（INL）
INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より½LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を 1½ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ゲイン誤差
最初の遷移（000…000 から 000…001）は負の公称フルスケールより½LSB 上のレベルで発生する必要があります。最後の遷移（111…110 から 111…111）は、公称フルスケールより 1½LSB 低いアナログ電圧で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

ゲイン誤差ドリフト
1ºC の温度変化あたりのゲイン誤差の変化。

ゲイン誤差マッチング
ゲイン誤差マッチングは、負のフルスケール誤差の入力チャンネル間の差と正のフルスケール誤差の入力チャンネル間の差です。

オフセット誤差
最初の遷移はアナログ・グラウンドより½LSB 上のレベルで発生する必要があります。オフセット誤差は、そのポイントからの実際の遷移の偏差をいいます。

オフセット誤差ドリフト
1ºC の温度変化あたりのゼロ誤差の変化。

S/N 比（SNR）
S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の rms 総和に対する実際の入力信号の rms 値の比です。S/N 比の単位はデシベルです。

スプリアスフリー・ダイナミック・レンジ（SFDR）
SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル（dB）です。

全高調波歪み（THD）
THD は、フルスケール入力信号の rms 値に対する最初の 5 次高調波成分の rms 総和の比率で、単位はデシベルです。

信号／ノイズ+歪み（SINAD）比
SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の rms 総和（高調波成分は含むが、直流成分は除く）に対する実際の入力信号の rms 値の比です。SINAD 値はデシベルで表されます。

チャンネル間メモリ
チャンネル間メモリは、シーケンサ・モード時のチャンネル間のクロストーク・レベルを表す尺度です。ADC の 1 つのアナログ入力チャンネルに特定の周波数のフルスケール信号を印加しておき、別の周波数のフルスケール信号を印加したときに、対をなす ADC チャンネル内で最初の信号がどの程度減衰するかを測定することで求められます。求めた値は通常、デシベル単位で表示され、ADC A および ADC B の両方について測定されます。

同相ノイズ除去比（CMRR）
CMRR は、$A_{INx}0$ と $A_{INx}1$ のコモンモード電圧に印加された周波数 f の 200mVp-p サイン波の電力に対する、周波数 f の ADC 出力電力の比です。

$$CMRR\ (\text{dB}) = 10\log(P_{ADC_IN}/P_{ADC_OUT})$$

ここで、
P_{ADC_IN} は $A_{INx}0$ および $A_{INx}1$ 入力に印加される周波数 f のコモンモード電力。
P_{ADC_OUT} は、周波数 f での ADC の出力電力。

アパーチャ遅延
アパーチャ遅延は、アクイジション性能の尺度で、$\overline{CS}$入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

アパーチャ・ジッタ
アパーチャ・ジッタはアパーチャ遅延の変動です。

動作原理

回路説明

AD7386 は、シングルエンド、4 チャンネルの高速デュアル同期サンプリング 16 ビット SAR ADC です。このデバイスは、3.3V 電源で動作し、最大 4MSPS のスループット・レートを特長としています。

AD7386 は、SAR ADC2 個、マルチプレクサ 1 個、シーケンサ 1 個、個別のデータ出力ピン 2 本を備えたシリアル・インターフェース 1 個で構成されています。16 ピン LFCSP パッケージに収容されており、各種代替ソリューションに比べ、かなりのスペースが節約できる利点を提供します。

データにはデバイスのシリアル・インターフェースを介してアクセスできます。インターフェースは、2 つまたは 1 つのシリアル出力で動作できます。AD7386 は、2.5V のリファレンス V_{REF} を内蔵しています。外部リファレンスが必要な場合は、内部リファレンス・バッファをディスエーブルし、2.5V～V_{CC} の範囲のリファレンスを供給できます。内部リファレンスをシステムの別の場所で使用する場合は、リファレンス出力をバッファする必要があります。AD7386 のアナログ入力範囲は 0V～V_{REF} です。

オーバーサンプリング・ブロックを内蔵することで、性能が向上しています。相加平均オーバーサンプリング・モードと移動平均オーバーサンプリング・モードを使用可能です。変換の間の消費電力を節約できるパワーダウン・オプションも備わっています。デバイスの設定は標準的なシリアル・インターフェースを介して行うことができます。詳細については、インターフェースのセクションを参照してください。

コンバータの動作

AD7386 には 2 個の SAR ADC があり、それぞれが 2 個の容量性 DAC を中心に構成されています。図 26 にこれらの ADC の 1 つのアクイジション・モードの簡略化回路図、図 27 に変換モードの簡略化回路図を示します。ADC は、コントロール・ロジック、SAR、2 個の容量性 DAC で構成されています。図 26（アクイジション・フェーズ）では、SW2 は閉じて、SW1 は位置 A にあり、コンパレータは平衡状態を維持し、サンプリング・コンデンサ・アレイは入力信号を取得します。

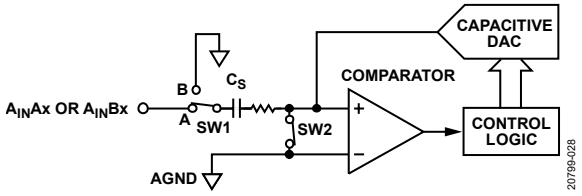


図 26. ADC アクイジション・フェーズ

ADC が変換を開始すると（図 27）、SW2 が開いて、SW1 が位置 B に移動して、コンパレータが非平衡状態になります。コントロール・ロジックと電荷再配分式DACを使って、容量性DACに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを生成します。

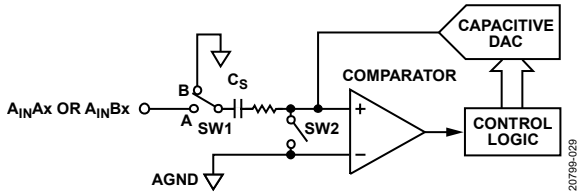


図 27. ADC 変換フェーズ

アナログ入力構造

図 28 に、AD7386 のアナログ入力構造の等価回路を示します。2 個のダイオードにより、アナログ入力の ESD 保護機能が実現します。アナログ入力信号が電源レールを 300mV 以上上回ることのないよう、注意する必要があります。この制限を超えると、ダイオードが順方向バイアスとなり、基板への導通が発生します。各ダイオードがデバイスに回復不能な損傷を与えない最大電流は 10mA です。

図 28 に示すコンデンサ C1 は通常 3pF で、主にピン容量によって決まります。抵抗 R1 はスイッチのオン抵抗で構成される集中定数コンポーネントです。この抵抗の値は通常約 200Ω です。コンデンサ C2 は ADC のサンプリング・コンデンサで、通常 15pF です。

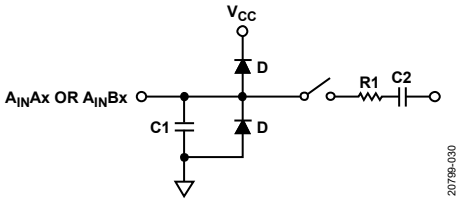


図 28. 等価アナログ入力回路、
変換フェーズ = スイッチ開、トラック・フェーズ = スイッチ閉

ADC の伝達関数

AD7386 では、2.5V～3.3V のリファレンスを使用します。AD7386 は、アナログ入力（$A_{IN}A0$ と $A_{IN}A1$、$A_{IN}B1$ と $A_{IN}B0$）の電圧をデジタル出力に変換します。

変換結果は MSB ファーストで、ストレート・バイナリです。LSB の大きさは$(V_{REF})/2^N$（N は ADC の分解能）です。ADC の分解能は、選択したデバイスの分解能と分解能増強モードが有効かどうかによって決まります。表 6 に、異なる分解能とリファレンス電圧のオプションに対する LSB の大きさを、ボルト単位で示します。

AD7386 の理想伝達特性を図 29 に示します。

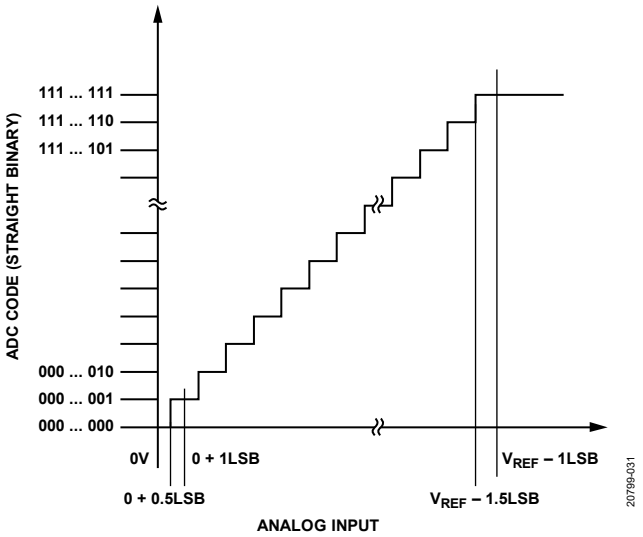


図 29. ADC の理想的な伝達関数（FSR はフルスケール範囲）

表 6. LSB の大きさ

Resolution	2.5 V Reference	3.3 V Reference	Unit
16 Bits	38.1	50.4	µV
18 Bits	9.55	12.6	µV

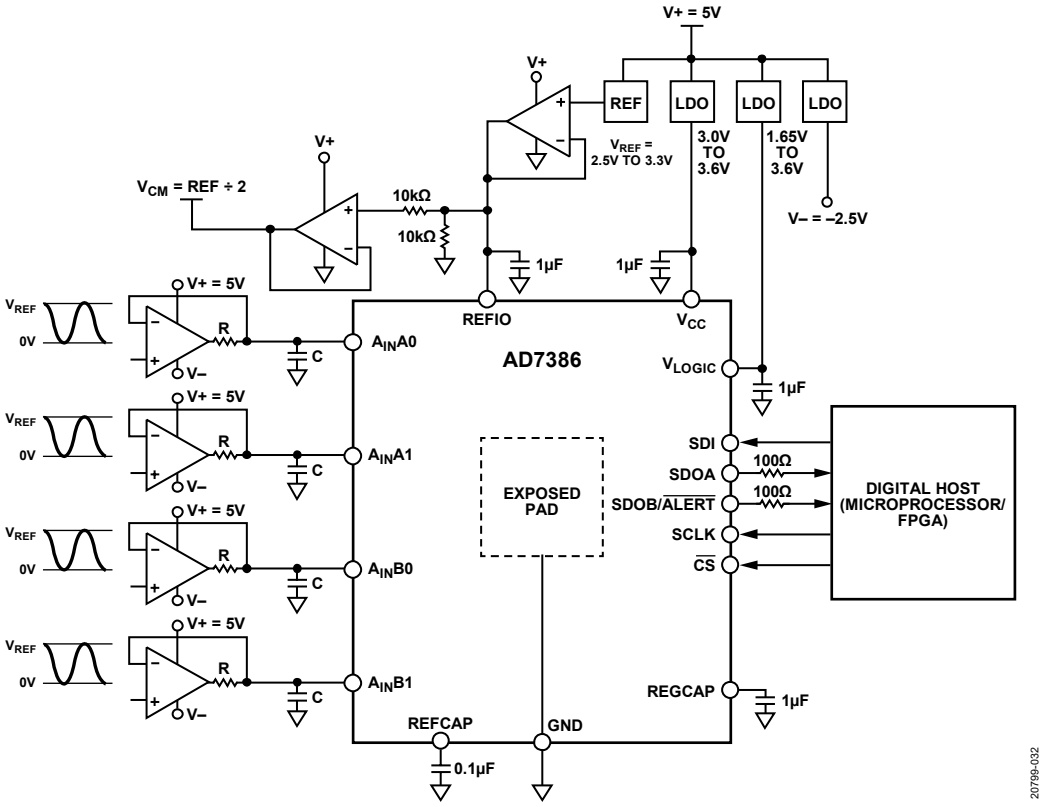


図 30. 代表的なアプリケーション回路

アプリケーション情報

図 30 に、AD7386 のフル機能シグナル・チェーン接続の一例を示します。図30に示すように、V_{CC}ピン、V_{LOGIC}ピン、REGCAP ピン、REFIO ピンは適切なデカップリング・コンデンサを用いて、デカップリングされています。

露出パッドはデバイス上の回路のグラウンド基準ポイントとなるもので、ボードのグラウンドに接続する必要があります。

差動RCフィルタをアナログ入力に配置して、性能を確保します。代表的なアプリケーションでは、R = 33Ω、C = 330pF とすることを推奨します。

AD7386 の性能は、デジタル・インターフェースのノイズの影響を受ける可能性があります。この影響はボード・レイアウトと設計に依存します。デジタル・ラインとデジタル・インターフェースの距離を最小にするか、100Ωの抵抗を SDOA ピンと SDOB/$\overline{ALERT}$ピンの近くに直列に配置して、AD7386 にカップリングするデジタル・インターフェースからのノイズを抑制します。

AD7386 の各シングルエンド・アナログ入力は、0V～V_{REF} の電圧を受け入れることが可能で、アンプで容易に駆動できるため、最適な性能が発揮できます。表 7 に、AD7386 のアプリケーションに最適な、フル機能シグナル・チェーン・ソリューション向けの推奨部品を示します。

AD7386 は 2.5V の内部リファレンスを備えており、ADR4525 や ADR4533 などの 2.5V～3.3V の超低ノイズ高精度電圧リファレンスを外部電圧源として使用することができます。

電源

図 30 に示した代表的なアプリケーション回路の電力は、5V の単電源からシグナル・チェーン全体に供給されています。この 5V 電源には、相補型金属酸化物半導体（CMOS）の低ノイズ、低ドロップアウト（LDO）の ADP7105 を使用することができます。AD7386 の 2 個の独立電源、V_{CC} と V_{LOGIC} は、それぞれアナログ回路とデジタル・インターフェースに電力を供給するもので、ADP166 などの静止電流が極めて小さい LDO レギュレータを使用して供給できます。ADP166 は、代表的な V_{CC} および V_{LOGIC} レベルである 1.2V～3.3V の範囲の固定電圧を出力する最適な電源です。V_{CC} 電源と V_{LOGIC} 電源はどちらも、1µF のコンデンサを使用して個別にデカップリングします。更に、AD7386 に電力供給する LDO レギュレータを内蔵しています。この内部レギュレータは、デバイスの内部使用専用に 1.9V を供給します。REGCAP ピンは、1µF のコンデンサで GND からデカップリングします。

パワーアップ

AD7386 は電源シーケンシングに対して堅牢です。V_{CC} および V_{LOGIC} には、どのシーケンスでも印加できます。外部リファレンスは、V_{CC} および V_{LOGIC} の後に印加する必要があります。

AD7386 では、V_{CC} および V_{LOGIC} に印加してから ADC の変換結果が安定するまでに、$t_{POWERUP}$ の時間が必要です。セットアップ時間が経過する前に $\overline{CS}$パルスを印加したり、AD7386 にインターフェース接続を行ったりしても、ADC の動作に悪影響はありません。

表 7. シグナル・チェーンの部品

併用デバイス	デバイス名	説明	代表的なアプリケーション
ADC 用ドライバ	ADA4896-2	1nV/√Hz のレール to レール・アンプ	高精度、低ノイズ、高周波数
	ADA4807-2	1mA のレール to レール・アンプ	高精度、低消費電力、高周波数
外部リファレンス	ADR4525	超低ノイズの高精度電圧リファレンス	2.5V のリファレンス電圧
	ADR4533		3.3V のリファレンス電圧
LDO	ADP166	極めて低い静止電流、150mA、LDO レギュレータ	V_{CC} および V_{LOGIC} 用 3.0V～3.6V 電源
	ADP7104	低ノイズの CMOS LDO レギュレータ	ドライバ・アンプ用 5V 電源
	ADP7182	低ノイズ・ライン・レギュレータ	ドライバ・アンプ用–2.5V 電源

動作モード

AD7386 には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

チャンネル選択

ADC の変換用チャンネル・ペア（$A_{IN}A0/A_{IN}B0$ および $A_{IN}A1/A_{IN}B1$）は、CONFIGURATION1 レジスタの CH ビットを設定することで選択できます。CH ビットが 0 に設定されている場合、$A_{IN}A0$ チャンネルと $A_{IN}B0$ チャンネルが同時に変換されます。一方、CH ビットが 1 に設定されている場合、$A_{IN}A1$ チャンネルと $A_{IN}B1$ チャンネルが同時に変換されます。

変換するチャンネルを変更する場合、ADC には追加のセトリング時間が必要です。$A_{INX}0$ チャンネルと $A_{INX}1$ チャンネルの間の変更時の最大スループット・レートは、2MSPS です。

シーケンサ

AD7386 では、内蔵シーケンサを使用して、$A_{INX}0$ チャンネルと $A_{INX}1$ チャンネルを自動で入れ替えるよう設定できます。

このシーケンサは、CONFIGURATION1 レジスタの SEQ ビットで制御できます。SEQ ビットが 0 にセットされた場合、シーケンサはディスエーブルになります。SEQ を 1 に設定すると、シーケンサはイネーブルになります。CH ビットは、シーケンサ・モードではクエリされません。シーケンサは、常に $A_{INX}0$ チャンネルで始まり、次に $A_{INX}1$ チャンネルに移動します。$A_{INX}1$ チャンネルの変換後、シーケンサは $A_{INX}0$ チャンネルにループバックし、シーケンスを再開します。

変換するチャンネルを変更する場合、ADC には追加のセトリング時間が必要です。$A_{INX}0$ チャンネルと $A_{INX}1$ チャンネルの間の変更時の最大スループット・レートは、2MSPS です。

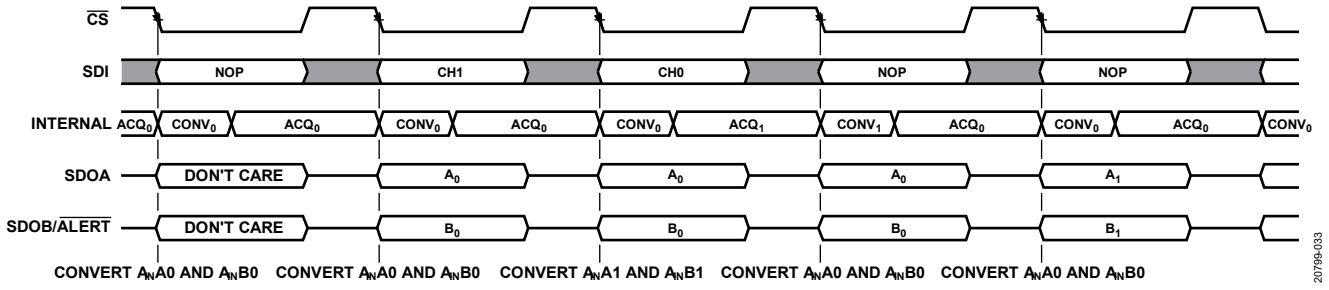


図 31. 手動チャンネル選択のセットアップ

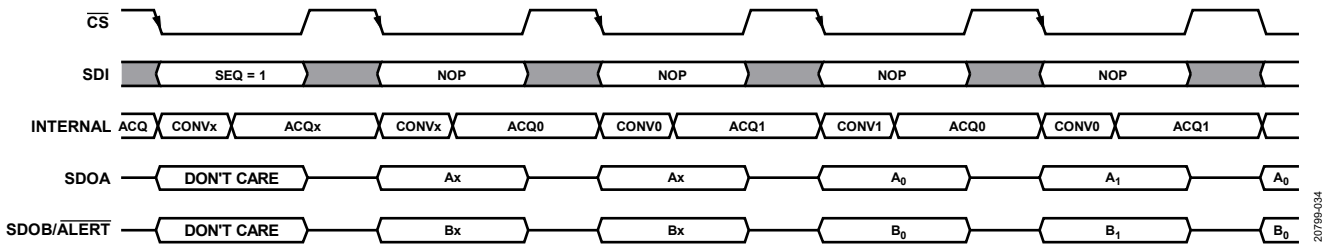


図 32. チャンネル・シーケンサのセットアップ

オーバーサンプリング

オーバーサンプリングは、アナログ電子機器において広く使用されている手法で、ADC の結果の精度を向上することができます。アナログ入力の複数のサンプルを取得し平均することで、ADC の量子化ノイズや熱ノイズ（kTC）に由来するノイズ成分を除去します。AD7386 で、オーバーサンプリング機能がオンチップで提供され、相加平均と移動平均の 2 つのオーバーサンプリング・モードをユーザ設定可能です。

このオーバーサンプリング機能は、CONFIGURATION1 レジスタの OS_MODE ビットと OSR［2:0］ビットをプログラムして設定します。

相加平均オーバーサンプリング

相加平均オーバーサンプリング・モードは、出力データ・レートが遅くなることが許容されるアプリケーションと、S/N 比やダイナミック・レンジが高いことが望ましいアプリケーションで使用できます。相加平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果はデバイスから出力されます。プロセスが完了すると、サンプリングしたデータはクリアされます。

相加平均オーバーサンプリング・モードは、OS_MODE ビットをロジック 0 にし、OSR［2:0］ビットを有効な非ゼロ値とすることで設定されます。OSR［2:0］に書込みを行うと、レジスタが更新されるまでに 2 サイクル分の遅延が生じます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビットである OSR［2:0］を使用して制御します。各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 8 に示します。出力結果は、AD7386 用に 16 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、CONFIGURATION1 レジスタの RES ビットを設定します。詳細については分解能増強のセクションを参照してください。

OSR［2:0］ビットで定義された n 個のサンプルが取得、加算されて、n で除算されます。最初の ADC 変換は $\overline{CS}$ の立下がりエッジで開始され、オーバーサンプリング中の後続の全サンプリングは、AD7386 内部で制御されます。n サンプルを追加した場合のサンプリング・レートは、デバイスの最大サンプリング・レート時のものとなり、相加平均オーバーサンプリング・モードの AD7386 の場合、3MSPS です。データは、次のシリアル・インターフェース・アクセスでリードバックできます。この手法の適用後、計算に使用されたサンプル・データは破棄されます。これは、アプリケーションが新たな変換結果を必要とするたびに繰り返されるプロセスで、$\overline{CS}$ の次の立下がりエッジで開始されます。

出力データ・レートはオーバーサンプリング比分だけ低下するため、データ転送に必要なシリアル・ペリフェラル・インターフェース（SPI）のSCLK周波数も、これに応じて減少します。

表 8. 相加平均オーバーサンプリングの概要

OSR[2:0]	Oversampling Ratio	SNR 2.5 V Internal Reference (dB Typical)	SNR 3.3 V External Reference (dB Typical)	Data Output Rate (kSPS Maximum)
000	No oversampling	85	87	4000
001	2	88	90	1500
010	4	90.7	92.3	750
011	8	93	94	375
100	16	94.4	95	187.5
101	32	94.7	96	93.75

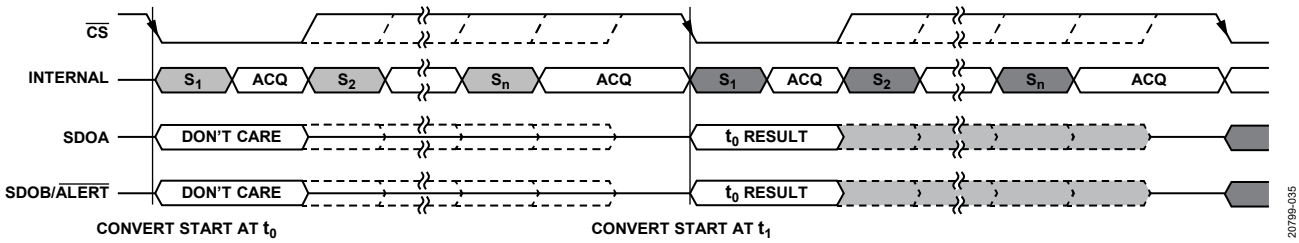


図 33. 相加平均オーバーサンプリングの動作

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、出力データ・レートを高くすることが必要なアプリケーションと、S/N 比やダイナミック・レンジが高いことが望ましいアプリケーションで使用できます。移動平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果はデバイスから出力されます。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し（FIFO）バッファを使用し、それにより ADC スループット・レートと出力データ・レートを同じ状態に維持できます。移動平均オーバーサンプリング・モードは、OS_MODE ビットをロジック 1 にし、OSR［2:0］ビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、OSR［2:0］を使用して制御します。各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 9 に示します。出力結果は、AD7386 用に 16 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、CONFIGURATION1 レジスタの RES ビットを設定することで実現できます。詳細については分解能増強のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADC の全変換は $\overline{CS}$の立下がりエッジで制御と開始が行われます。変換が完了すると、結果は FIFO にロードされます。FIFO の長さはオーバーサンプリング比の設定によらず、8 です。FIFO は、パワーオン・リセット（POR）後の最初の変換、ソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換、または、REFSEL ビットがトグルされた後の最初の変換で満たされます。新しい変換結果は、OSR［2:0］および OS_MODE ビットのステータスに関わらず、各 ADC 変換完了時に FIFO にシフトされます。このシフトによって、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移が可能となり、また、FIFO が満たされるのを待たずに様々な移動平均オーバーサンプリング比が可能となります。

OSR［2:0］ビットで定義された n 個のサンプルが FIFO から取得、加算されて、n で除算されます。$\overline{CS}$の立下がりエッジ間の時間は、目的のデータ出力レートに応じてユーザが制御できるサイクル時間です。

表 9. 移動平均オーバーサンプリングの概要

OSR[2:0]	Oversampling Ratio	SNR 2.5 V Internal Reference (dB Typical)	SNR 3.3 V External Reference (dB Typical)	Data Output Rate (kSPS Maximum)
000	No oversampling	85	87	4000
001	2	87.5	89.1	4000
010	4	90	91.5	4000
011	8	92.3	93.5	4000

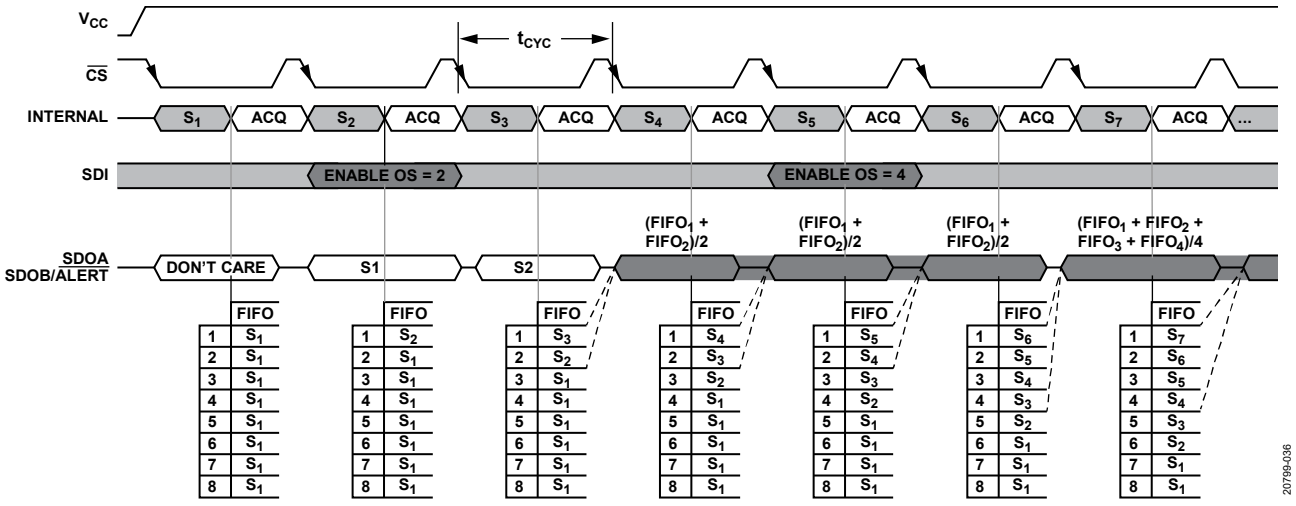


図 34. 移動平均オーバーサンプリング・モードの設定

分解能増強

AD7386 の変換結果出力データのデフォルト・サイズは 16 ビットです。内蔵オーバーサンプリング機能を有効化すると、ADC の性能は AD7386 の 16 ビット・レベルを上回ることができます。この性能向上を実現するために、2 ビットを追加した分解能を可能とすることができます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定し、AD7386 を有効なオーバーサンプリング・モードにした場合、AD7386 の変換結果のサイズは 18 ビットになります。AD7386 のデータを伝搬するには、18SCLK が必要となります。

アラート

アラート機能は範囲外インジケータで、領域外の変換結果の初期インジケータとして使用できます。変換結果値レジスタが ALERT_HIGH_THRESHOLD レジスタのアラート上限値を超えた場合、または ALERT_LOW_THRESHOLD レジスタのアラート下限値を下回った場合、アラート・イベントがトリガされます。ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタは、すべての ADC に共通です。詳細なアラート情報については、アラート・レジスタのセクションを参照してください。このレジスタには、ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。すべての ADC のアラート信号の論理 OR により、共通のアラート値が作成されます。この値は、SDOB/$\overline{\text{ALERT}}$ピンの $\overline{\text{ALERT}}$機能に出力されるよう設定できます。SDOB/$\overline{\text{ALERT}}$ピンは、CONFIGURATION1 レジスタおよび CONFIGURATION2 レジスタの次のビットを設定することで、$\overline{\text{ALERT}}$に設定できます。

- SDO ビットを 1 に設定します。
- ALERT_EN ビットを 1 に設定します。
- ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタに有効な値を設定します。

アラート表示機能は、移動平均と相加平均の両方のオーバーサンプリング・モードおよび非オーバーサンプリング・モードで使用できます。

SDOB/$\overline{\text{ALERT}}$ピンの $\overline{\text{ALERT}}$機能は、変換の終了時に更新されます。アラート・レジスタのアラート表示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。SDOB/$\overline{\text{ALERT}}$ピンの $\overline{\text{ALERT}}$機能は、$\overline{\text{CS}}$の立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、アラート・レジスタのアラート・ステータスがクリアされます。

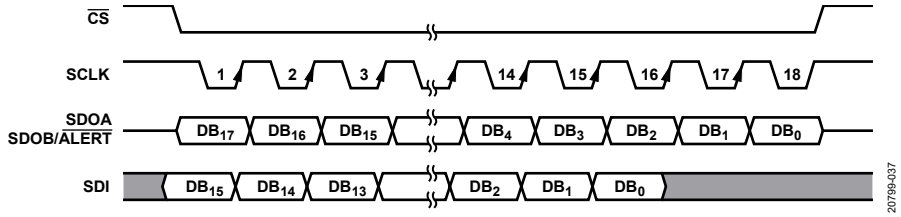


図 35. 分解能増強

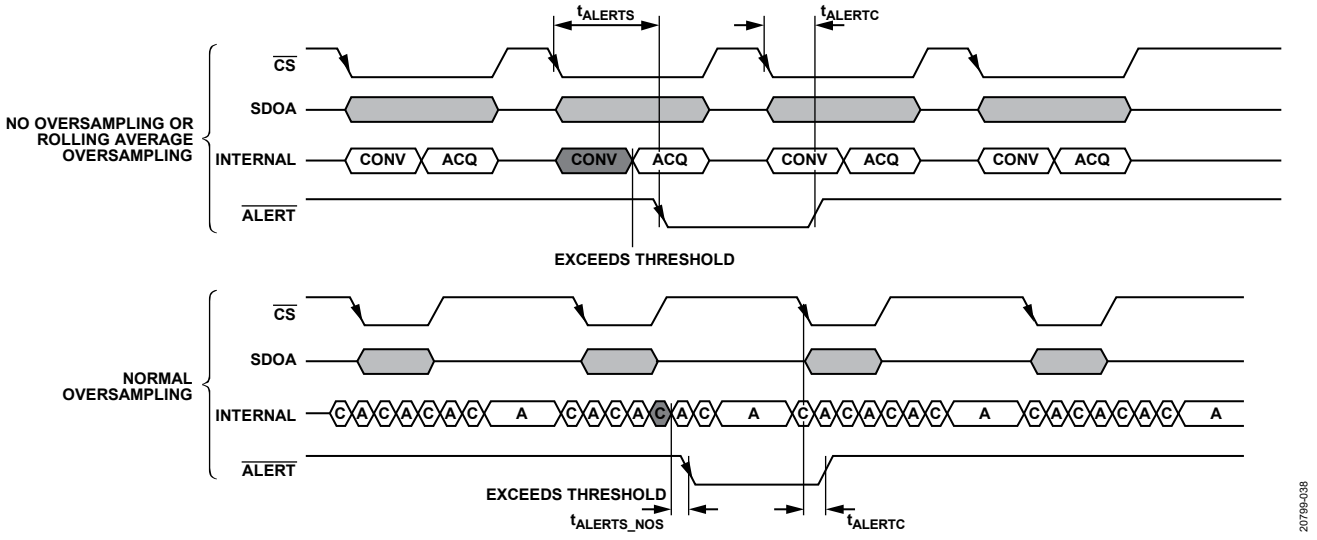


図 36. アラートの動作

電力モード

AD7386には、通常動作モードとパワーダウン・モードの2つの電力モードがあります。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化できます。

CONFIGURATION1 レジスタの PMODE ビットをプログラムして、AD7386 の電力モードを設定します。PMODE をロジック 0 に設定すると通常動作モード、ロジック 1 に設定するとパワーダウン・モードになります。

通常動作モード

スループット・レートを最高速にするには、AD7386を通常動作モードに維持します。AD7386内の全ブロックが常にフルパワーとなり、ADC変換を必要に応じてCSの立下がりエッジで開始できます。AD7386が変換を行っていない場合は、デバイスは静的モードになり、消費電力は自動的に削減されます。変換を実行するには、追加電流が必要となります。そのため、AD7386の消費電力はスループットに応じて増加します。

パワーダウン・モード

スループット・レートを下げ消費電力を抑制することが必要な場合は、バースト変換の間、ユーザのアプリケーションに応じて、各変換の間に ADC をパワーダウンするか、高スループット・レートでの一連の変換を実行した後に比較的長時間 ADC をパワーダウンするかのどちらかの方法で、パワーダウン・モードを使用します。AD7386がパワーダウン・モードになると、内部リファレンス（有効な場合）を含め、すべてのアナログ回路がパワーダウンされます。AD7386がパワーダウン・モードを終了できるよう、シリアル・インターフェースは、パワーダウン・モードの間もアクティブ状態を維持します。

パワーダウン・モードに移行するには、CONFIGURATION1 レジスタの電力モード設定ビット PMODE に、ロジック 1 を書き込みます。AD7386 は停止し、消費電流が削減されます。

パワーダウン・モードを終了し通常動作モードに戻るには、CONFIGURATION1 レジスタの PMODE ビットをロジック 0 に設定します。すべてのレジスタ構成設定は、パワーダウン・モードを開始しても終了しても変わりません。パワーダウン・モードの終了後、変換を開始するまでに、回路がオンになるための十分な時間が必要です。内部リファレンスが有効な場合、正確な変換を行うには、リファレンスが安定できることが必要です。

内部リファレンスおよび外部リファレンス

AD7386 には、2.5V の内部リファレンスがあります。または、更に正確なリファレンスや更に高いダイナミック・レンジが必要な場合は、外部リファレンスを使用できます。外部供給のリファレンスの電圧範囲は 2.5V～3.3V とすることができます。推奨する外部電圧リファレンスは、2.5V の場合は ADR4525、3.3V の場合は ADR4533 です。

内部か外部かのリファレンスの選択は、CONFIGURATION1 レジスタの REFSEL ビットによって設定できます。REFSEL ビットを 0 に設定すると、内部リファレンス・バッファがイネーブルされます。外部リファレンスが望ましい場合は、REFSEL ビットを 1 に設定する必要があります。また、外部リファレンスは REFIO ピンに供給することが必要です。

ソフトウェア・リセット

AD7386には、ソフト・リセットとハード・リセットの2つのリセット・モードがあります。リセットは、CONFIGURATION2 レジスタの RESET［7:0］ビットに書き込むことで開始できます。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースと ADC ブロックを更新します。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックと FIFO は消去されます。アラート・レジスタはクリアされます。リファレンスと LDO レギュレータの電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、リファレンス・バッファと内部発振器ブロックもリセットされます。

診断セルフ・テスト

AD7386は、POR後またはソフトウェア・ハード・リセットの後診断セルフ・テストを実行し、設定が正しくデバイスにロードされるようにします。

セルフ・テストの結果は、アラート・レジスタの SETUP_F ビットに表示されます。SETUP_F ビットがロジック 1 に設定されると、セルフ・テストは不合格です。不合格になった場合、ソフトウェア・ハード・リセットが実行され、AD7386はデフォルト状態にリセットされます。

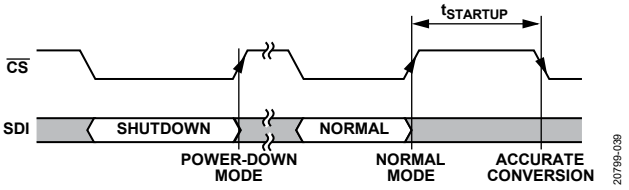


図 37. パワーダウン・モードの動作

インターフェース

AD7386 へのインターフェース接続は、シリアル・インターフェースを通じて行います。インターフェースは、$\overline{CS}$、SCLK、SDOA、SDOB/$\overline{ALERT}$、SDI の各ピンで構成されています。

$\overline{CS}$信号は、シリアル・データ転送をフレーミングし、ADC 変換プロセスを開始します。$\overline{CS}$の立下がりエッジは、アナログ入力がサンプリングされた時点でトラック＆ホールドをホールド・モードにし、バスはスリーステートから取られます。

SCLK 信号は、SDOA、SDOB、SDI の各信号を通じて、データをデバイスに同期させたり、同期を解除したりします。レジスタからの読書きを行うには、最小 16 個の SCLK が必要です。変換の読出しに必要な SCLK の最小数は、デバイスの分解能と構成設定に依存します。

ADC の変換動作は、オンボードの発振器によって内部駆動され、SCLK 信号には依存しません。

AD7386 には、SDOA と SDOB の 2 つのシリアル出力信号があります。最大スループットを実現するには、SDOA と SDOB の両方を 2 線モードで使用し、変換結果を読み出します。スループットを下げる必要がある場合や、オーバーサンプリングを使用する場合は、SDOA 信号のみを使用する 1 線モードで変換結果を読み出すことができます。CONFIGURATION2 レジスタの SDO ビットを設定することで、2 線モードとするか 1 線モードとするかを選択できます。

SPI 読出し、SPI 書込み、オーバーサンプリングの各モードに巡回冗長性チェック（CRC）動作を設定することで、インターフェースの動作が変わります。正しい動作を確保するために、関連する CRC 読出し、CRC 書込み、CRC 多項式の各セクションを参照してください。

変換結果の読出し

$\overline{CS}$信号によって変換プロセスが開始されます。$\overline{CS}$信号がハイからローに遷移すると、ADC A と ADC B の両方の ADC が同時に変換を開始します。AD7386 には 1 サイクルのリードバック遅延があります。そのため、変換結果は次の SPI アクセスで使用できます。次いで、$\overline{CS}$信号をローで受けると、変換結果が SDOA および SDOB/$\overline{ALERT}$ピンにクロックに応じて出力されます。次の変換もこの時点で開始されます。変換結果は、AD7386 の 16 ビット・ワードとしてデバイスからシフト出力されます。変換結果の MSB は、$\overline{CS}$の立下がりエッジでシフト出力されます。その他のデータは、シリアル・クロック（SCLK）入力の制御の下でデバイスからシフト出力されます。データは SCLK の立上がりエッジでシフト出力され、データ・ビットは立上がりエッジと立下がりエッジの両方で有効です。SCLK の最後の立下がりエッジの後、再度 $\overline{CS}$ をハイで受けると、SDOA ピンと SDOB/$\overline{ALERT}$ピンはハイ・インピーダンス状態に戻ります。

変換結果を SDOA ピンと SDOB/$\overline{ALERT}$ピンに伝搬するのに必要な SCLK サイクル数は、設定されるシリアル動作モード、および分解能増強が有効かどうかによって異なります（詳細は、図 38 および表 10 を参照）。CRC 読出しが有効になっている場合、CRC 情報を伝搬するには、追加の SCLK パルスが必要です（詳細は CRC のセクションを参照）。$\overline{CS}$信号によって変換が開始されるため、データのフレーミングと同様、1 つのフレーム内でアクセスを完了する必要があります。

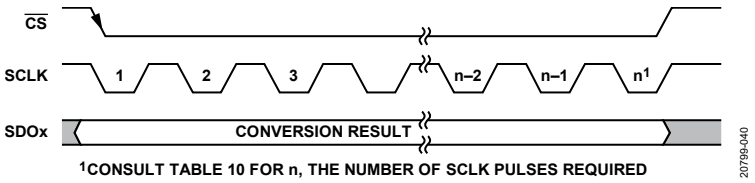


図 38. 変換結果の読出し

表 10. 変換結果の読出しに必要な SCLK 数 n

Interface Configuration	Resolution Boost Mode	CRC Read	Number of SCLKs
2-Wire	Disabled	Disabled	16
		Enabled	24
	Enabled	Disabled	18
		Enabled	26
1-Wire	Disabled	Disabled	32
		Enabled	40
	Enabled	Disabled	36
		Enabled	44

シリアル 2 線モード

2 線モードに設定するには、CONFIGURATION2 レジスタの SDO ビットを 0 に設定します。2 線モードでは、ADC A の変換結果が SDOA ピンに出力され、ADC B の変換結果が SDOB/$\overline{\text{ALERT}}$ピンに出力されます。詳細については図 39 を参照してください。

シリアル 1 線モード

スループット・レートが遅くても構わないアプリケーションや、相加平均オーバーサンプリングを使用するアプリケーションでは、1 線モードで動作するようシリアル・インターフェースを設定できます。1 線モードでは、ADC A および ADC B からの変換結果がシリアル出力 SDOA に出力されます。すべてのデータを伝搬するには、追加の SCLK サイクルが必要です。まず ADC A のデータが出力され、次いで ADC B の変換結果が出力されます。詳細については図 40 を参照してください。

分解能増強モード

AD7386 の分解能と出力データ・サイズのデフォルト値は 16 ビットです。内蔵オーバーサンプリング機能を有効化すると、ノイズが抑制されデバイス性能が向上します。この性能向上を実現するために、変換出力データで 2 ビットを追加した分解能を可能とすることができます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定し、AD7386 を有効なオーバーサンプリング・モードにした場合、AD7386 の変換結果のサイズは 18 ビットになります。

分解能増強モードが有効になっている場合、AD7386 がデータを伝搬するためには 18SCLK が必要です。

低遅延リードバック

AD7386 のインターフェースには、図 41 に示すように、1 サイクル分の遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間の終了後、変換を開始した最初の $\overline{\text{CS}}$ パルスの後の 2 番目の $\overline{\text{CS}}$ パルスを使用して、変換結果をリードバックできます。この動作を図 41 に示します。

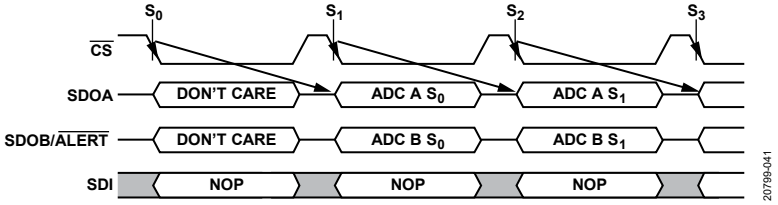


図 39. 2 線モードの変換結果の読出し

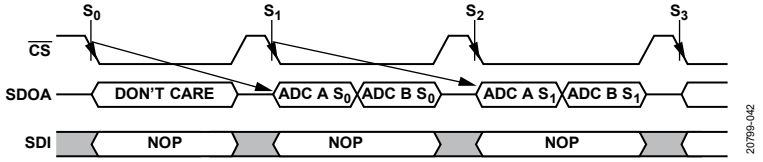


図 40. 1 線モードの変換結果の読出し

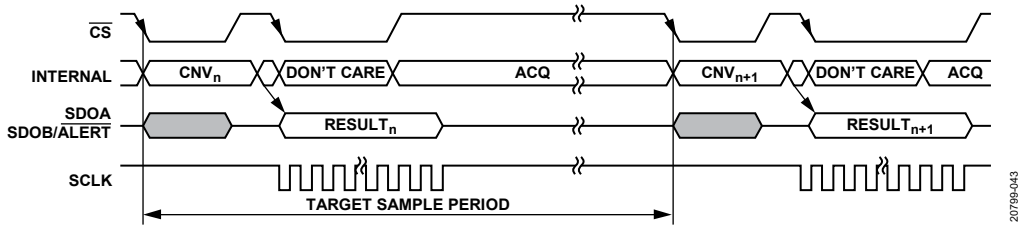


図 41. 低スループットでの低遅延

デバイス・レジスタからの読出し

デバイス内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作（NOP）コマンドのいずれかの追加 SPI コマンドを発行します。リード・コマンドのフォーマットを表 13 に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット［D14:D12］には、レジスタのアドレスが格納されます。後続の 12 ビット（ビット［D11:D0］）は無視されます。図 42 に、AD7386 レジスタの読出しタイミングの詳細を示します。

デバイス・レジスタへの書込み

AD7386 のすべてのリード／ライト・レジスタは、シリアル・インターフェースを介して書き込むことができます。SPI の書込みアクセスの長さは、CRC の書込み機能によって決まります。CRC の書込みが無効な場合は、SPI アクセスは 16 ビット、CRC 書込みが有効な場合は 24 ビットです。書込みコマンドのフォーマットを表 13 に示します。書込みコマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット［D14:D12］には、レジスタのアドレスが格納されます。後続の 12 ビット（ビット［D11:D0］）には、選択したレジスタに書き込むデータが格納されます。

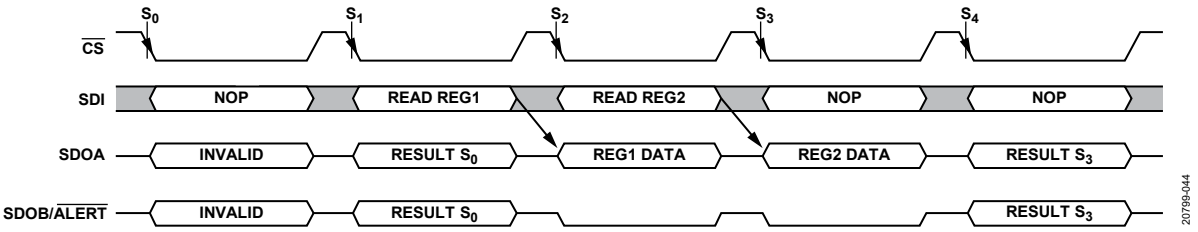


図 42. レジスタ読出し

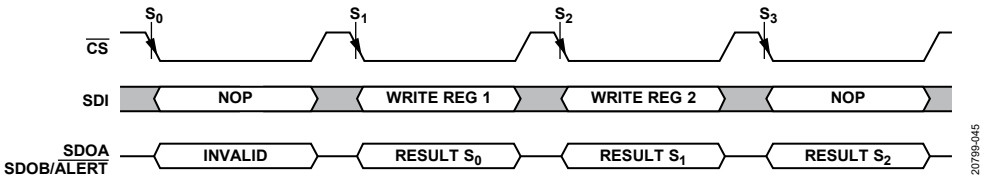


図 43. レジスタ書込み

CRC

AD7386 には CRC チェックサム・モードがあり、これを使用してデータ伝送中のエラーを検出することで、インターフェースの堅牢性を向上させることができます。CRC 機能は、SPI インターフェース読出しと SPI インターフェース書込みに対して個別に選択できます。例えば、SPI 書込みには CRC 機能を有効化してデバイス設定の予期しない変更を防止する一方、SPI 読出しに対しては有効化せずにおいて高いスループットを維持することができます。CRC 機能は、CONFIGURATION1 レジスタの CRC_W ビットと CRC_R ビットを設定することで制御できます。

CRC 読出し

有効にすると、CRC が変換結果またはレジスタ読出しに付加され、8 ビット・ワードを形成します。ADC A と ADC B の変換結果で CRC が計算され、SDOA に出力されます。また、CRC はレジスタ読出し出力についても計算され。付加されます。

CRC 読出し機能は、2 線 SPI モード、1 線 SPI モード、分解能増強モードで使用できます。

CRC 書込み

CRC 書込み機能を有効化するには、CONFIGURATION1 レジスタの CRC_W ビットを 1 に設定する必要があります。CRC_W ビットを 1 に設定して CRC 機能を有効化するには、リクエスト・フレームに有効な CRC が付加されていることが必要です。

CRC機能が有効化されると、有効なCRCコマンドを備えていない限りすべてのレジスタ書込みリクエストは無視され、CRC書込み機能の有効化と無効化を行うには、有効なCRCが必要となります。

CRC 多項式

CRC チェックサム計算では、常に次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、2 つのチャンネルの 16 ビット・データの変換結果を結合し、32 ビット・データを作成します。この 32 ビット・データの 8 個の MSB が反転され、8 ビット分だけシフトし 8 個のロジック 0 で終わる数が作成されます。多項式の MSB が、データの最も左のロジック 1 と合うように、多項式の値の位置決めを実行します。排他的論理和（XOR）関数をデータに適用して、短い数値を新規生成します。再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めを実行します。このプロセスを、元のデータが多項式の値（8 ビット・チェックサム）よりも小さくなるまで繰り返します。例えば、今の場合、多項式は 100000111 です。

2 つのチャンネルの元のデータを 0xAAAA および 0x5555、すなわち、1010 1010 1010 1010 および 0101 0101 0101 0101 とします。次に、この 2 つのチャンネルのデータが、右に 8 個の 0 を含めた上で結合されます。したがって、データは 1010 1010 1010 1010 0101 0101 0101 0101 0000 0000 となります。

表 11 に、16 ビット、2 チャンネルのデータの CRC 計算を示します。最後の XOR 操作では、計算結果（余り）が多項式より小さくなっています。したがって、この余りが、仮定したデータの CRC となります。

表 11. 2 チャンネル、16 ビット・データの CRC 計算の例

Data	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]
Process Data	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0
		1	0	0	0	0	0	1	1	1																														
				1 1	0 0	1 0	0 0	0 0	0 0	1 1	1 1	0 1																												
						1 1	0 0	0 0	0 0	0 0	0 0	1 1	1 1	0 1																										
														1 1	1 0	0 0	0 0	1 0	0 0	1 1	0 1	1 1																	
															1 1	0 0	0 0	1 0	0 0	0 0	1 1	0 1	0 1																
																1 1	0 0	1 0	0 0	0 0	1 1	1 0	1 0	1 1	1 1														
																		1 1	0 0	1 0	0 0	1 0	0 0	1 0	0 0	1 1	1 1											
																				1 1	0 0	1 0	0 0	1 0	0 0	1 0	0 0	1 1	1 1								
																						1 1	0 0	1 0	0 0	1 0	0 0	1 0	0 0	1 1	1 1						
																								1 1	0 0	1 0	0 0	1 0	0 0	1 1	1 1						
																										1 1	0 0	1 0	0 0	1 1	1 1						
																												1 1	0 0	1 0	0 0	1 1	0 1				
																														1 1	0 0	1 0	0 0	1 1	0 1		
																																1 1	0 0	1 1	0 1		
																																		1 1	0 0	1 0	0 0	1 1	0 1
CRC																																	1	0	0	1	1	1	0	0

[1] X = ドント・ケア。

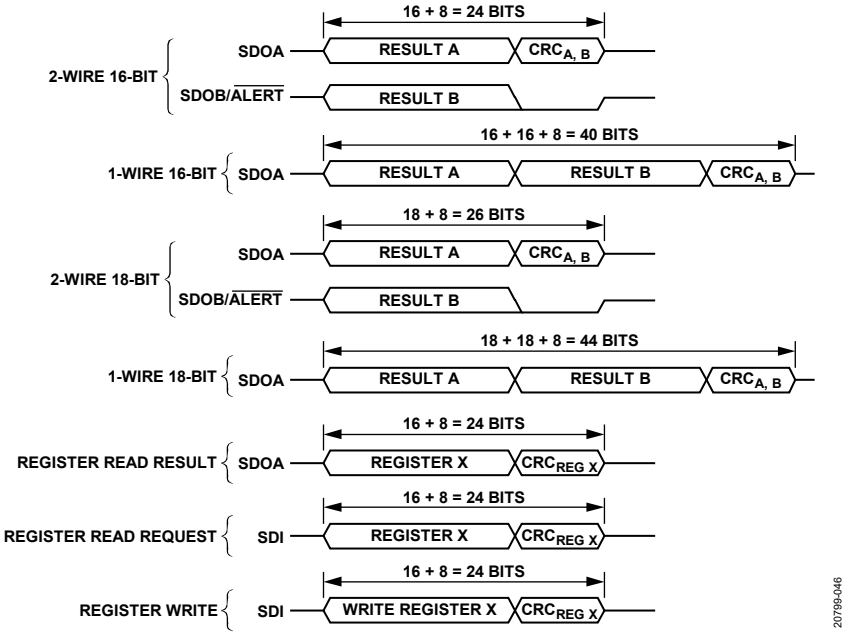


図 44. CRC の動作

レジスタ

AD7386 にはデバイス設定用に、ユーザ設定可能なレジスタが内蔵されています。表 12 に、AD7386 で使用可能な全レジスタの概要を示します。このレジスタは、リード／ライト（R/W）または読出し専用（R）です。書込み専用レジスタへの読出しリクエストは無視されます。読出し専用レジスタへの書込みリクエストは無視されます。その他のレジスタ・アドレスへの書込みは NOP とみなされ、無視されます。表 12 に示したもの以外のレジスタ・アドレスへの読出しリクエストは NOP とみなされ、次の SPI フレームで送信されるデータは変換結果です。

表 12. レジスタの説明

Reg	Name	Bits	Bit 15 / Bit 7	Bit 14 / Bit 6	Bit 13 / Bit 5	Bit 12 / Bit 4	Bit 11 / Bit 3	Bit 10 / Bit 2	Bit 9 / Bit 1	Bit 8 / Bit 0	Reset	RW
0x1	CONFIGURATION1	[15:8]	ADDRESSING				CH	SEQ	OS_MODE	OSR[2]	0x0000	R/W
		[7:0]	OSR[1:0]		CRC_W	CRC_R	ALERT_EN	RES	REFSEL	PMODE		
0x2	CONFIGURATION2	[15:8]	ADDRESSING				RESERVED			SDO	0x0000	R/W
		[7:0]	RESET									
0x3	ALERT	[15:8]	ADDRESSING				RESERVED		CRCW_F	SETUP_F	0x0000	R
		[7:0]	RESERVED		AL_B_HIGH	AL_B_LOW	RESERVED		AL_A_HIGH	AL_A_LOW		
0x4	ALERT_LOW_ THRESHOLD	[15:8]	ADDRESSING				ALERT_LOW[11:8]				0x0000	R/W
		[7:0]	ALERT_LOW[7:0]									
0x5	ALERT_HIGH_ THRESHOLD	[15:8]	ADDRESSING				ALERT_HIGH[11:8]				0x0FFF	R/W
		[7:0]	ALERT_HIGH[7:0]									

レジスタのアドレス指定

AD7386 でのシリアル・レジスタ転送は、16 の SCLK サイクルで構成されます。デバイスに書き込まれた 4 つの MSB は、どのレジスタが指定されているか判断するためにデコードされます。この 4 つの MSB は、レジスタ・アドレス（REGADDR）、ビット［2:0］、およびリード／ライト・ビット（WR）で構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。リード／ライト・ビットは、アドレス指定されたレジスタが有効な書込みレジスタの場合、指定されたレジスタに SDI 入力の残りの 12 ビットのデータをロードするかどうかを決めます。リード／ライト・ビットが 1 の場合、レジスタ選択ビットによって指定されるレジスタにビットがロードされます。リード／ライト・ビットが 0 の場合、このコマンドは読出しリクエストとみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 13.アドレス指定レジスタのフォーマット

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR	REGADDR[2:0]			D[11:0]											

表 14. アドレス指定レジスタのビットの説明

ビット	記号	説明
D15	WR	このビットに 1 が書き込まれていると、このレジスタのビット［11:0］が REGADDR［2:0］で指定されるレジスタに書き込まれます（ただし、そのレジスタのアドレスが有効な場合）。または、0 が書き込まれていると、SDOA ピンに送信される次のデータが指定されたレジスタから読み出されます（ただし、そのレジスタのアドレスが有効な場合）。
D14 to D12	REGADDR[2:0]	WR = 1 のとき、REGADDR［2:0］の内容によって、表 12 に示すようにレジスタが選択されます。 WR = 0 のとき、REGADDR［2:0］には有効なレジスタ・アドレスが含まれ、リクエストされたレジスタの内容が次のインターフェース・アクセスの間に SDOA ピンに出力されます。 WR = 0 で REGADDR［2:0］に 0x0、0x6、0x7 のいずれかが含まれるとき、SDI ラインの内容は無視されます。次のインターフェース・アクセスは、リードバックされた変換結果となります。
D11 to D0	D[11:0]	これらのビットは、WR ビットが 1 で REGADDR［2:0］ビットに有効なアドレスが含まれているとき、REGADDR［2:0］ビットによって指定された対応するレジスタに書き込まれます。

CONFIGURATION1 レジスタ

アドレス：0x1、リセット：0x0000、レジスタ名：CONFIGURATION1

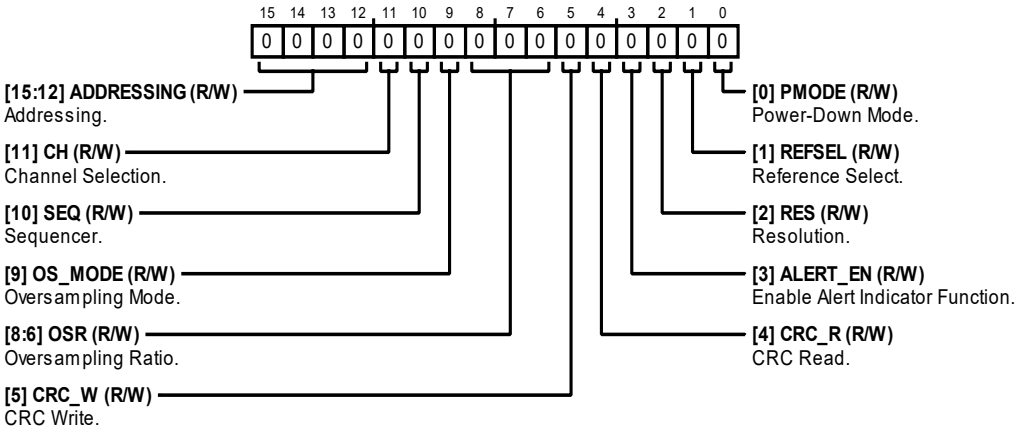


表 15. CONFIGURATION1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
11	CH	チャンネル選択。変換対象のチャンネルを選択します。 0：チャンネル 0。ADC のチャンネル 0（A_{IN}A0 および A_{IN}B0）を選択します。 1：チャンネル 1。ADC のチャンネル 1（A_{IN}A1 および A_{IN}B1）を選択します。	0x0	R/W
10	SEQ	シーケンサ。ADC の A_{IN}x0 チャンネルと A_{IN}x1 チャンネルの間を循環して変換を行います。 0：シーケンサをディスエーブル。 1：シーケンサをイネーブル。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを設定します。 0：相加平均。 1：移動平均。	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。該当するモードのすべての ADC のオーバーサンプリング比を設定します。相加平均モードでは、×2、×4、×8、×16、×32 のオーバーサンプリング比に対応します。移動平均モードでは、×2、×4、×8 のオーバーサンプリング比に対応します。 000：無効。 001：2×。 010：4× 011：8×。 100：16×。 101：32×。 110：無効。 111：無効。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。このビットを 0 から 1 にセットする場合、コマンドの後に有効な CRC を付してこの設定ビットをセットする必要があります。有効な CRC が受信されない場合、フレーム全体が無視されます。ビットが 1 にセットされている場合、CRC ではこれを 0 にクリアする必要があります。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOx インターフェースの CRC 機能を制御します。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
3	ALERT_EN	アラート表示機能を有効化。SDO ビットが 1 の場合に、このレジスタは機能します。それ以外の場合、ALERT_EN ビットは無視されます。 0：SDOB。 1：ALERT。	0x0	R/W
2	RES	分解能増強。変換結果のデータ・サイズを設定します。OSR = 0 の場合、これらのビットは無視され、分解能はデフォルトの分解能に設定されます。 0：通常分解能。 1：2 ビット高い分解能。	0x0	R/W
1	REFSEL	リファレンスの選択。ADC のリファレンス源を選択します。 0：内部リファレンスを選択。 1：外部リファレンスを選択。	0x0	R/W
0	PMODE	パワーダウン・モード。電力モードを設定。 0：通常動作モード。 1：パワーダウン・モード。	0x0	R/W

CONFIGURATION2 レジスタ

アドレス：0x2、リセット：0x0000、レジスタ名：CONFIGURATION2

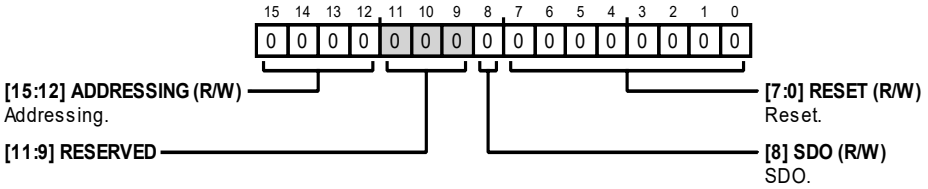


表 16. CONFIGURATION2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:9]	RESERVED	予備。	0x0	R
8	SDO	SDO。変換結果のシリアル・データ出力。 0：2 線−変換データは SDOA ピンおよび SDOB ピンの両方に出力されます。 1：1 線−変換データは SDOA ピンのみに出力されます。	0x0	R/W
[7:0]	RESET	リセット。0x3C−ソフト・リセットを実行します。一部のブロックが更新されます。レジスタの内容は変わりません。アラート・レジスタがクリアされ、オーバーサンプリング保存された変数やアクティブ・ステート・マシンは消去されます。0xFF−ハード・リセットを実行します。デバイス内の可能なブロックはすべてリセットされます。レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

アラート・レジスタ

アドレス：0x3、リセット：0x0000、レジスタ名：アラート

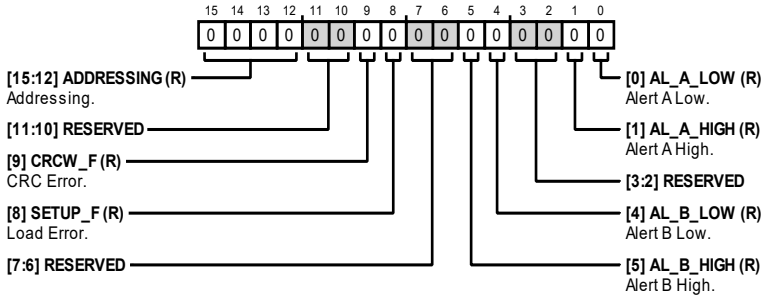


表 17. アラートのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備。	0x0	R
9	CRCW_F	CRC エラー。レジスタ書込みコマンドが CRC エラーのために失敗したことを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 0：CRC エラーなし。 1：CRC エラー。	0x0	R
8	SETUP_F	ロード・エラーSETUP_F ビットは、起動時にデバイス設定データが正しく読み込まれなかったことを示します。このビットは、アラート・レジスタの読出し時にはクリアされません。このビットをクリアし、デバイスを再起動するには、CONFIGURATION2 レジスタを介したハード・リセットが必要です。 0：セットアップ・エラーなし。 1：セットアップ・エラー。	0x0	R
[7:6]	RESERVED	予備。	0x0	R
5	AL_B_HIGH	アラート B ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート表示。 0：アラート表示なし。	0x0	R

ビット	ビット名	説明	リセット	アクセス
4	AL_B_LOW	アラート B ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート表示。 0：アラート表示なし。	0x0	R
[3:2]	RESERVED	予備。	0x0	R
1	AL_A_HIGH	アラート A ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 0：アラート表示なし。 1：アラート表示。	0x0	R
0	AL_A_LOW	アラート A ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート表示。 0：アラート表示なし。	0x0	R

ALERT_LOW_THRESHOLD レジスタ

アドレス：0x4、リセット：0x0000、レジスタ名：ALERT_LOW_THRESHOLD

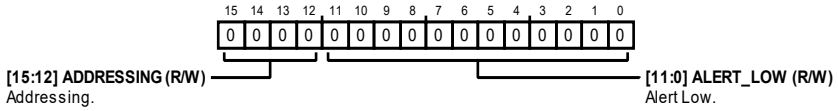


表 18. ALERT_LOW_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラートロー。ALERT_LOW の D［11:0］ビットは、内部アラート・ロー・レジスタの MSB、D［15:4］に移動します。内部レジスタの残りのビット、D［3:0］は、0x0 に固定されます。コンバータの結果が ALERT_LOW_THRESHOLD を下回った場合にアラートがセットされ、ALERT_LOW_THRESHOLD を上回るとアラートは解除されます。	0x0	R/W

ALERT_HIGH_THRESHOLD レジスタ

アドレス：0x5、リセット：0x0FFF、レジスタ名：ALERT_HIGH_THRESHOLD

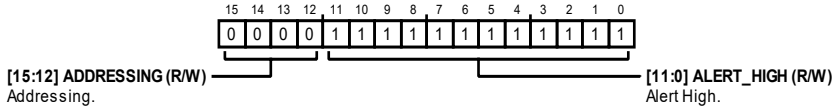


表 19. ALERT_HIGH_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGH の D［11:0］ビットは、内部アラート・ハイ・レジスタの MSB、D［15:4］に移動します。内部レジスタの残りのビット、D［3:0］は、0xF に固定されます。コンバータの結果が ALERT_HIGH_THRESHOLD を上回った場合にアラートがセットされ、ALERT_HIGH_THRESHOLD を下回るとアラートは解除されます。	0xFFF	R/W

外形寸法

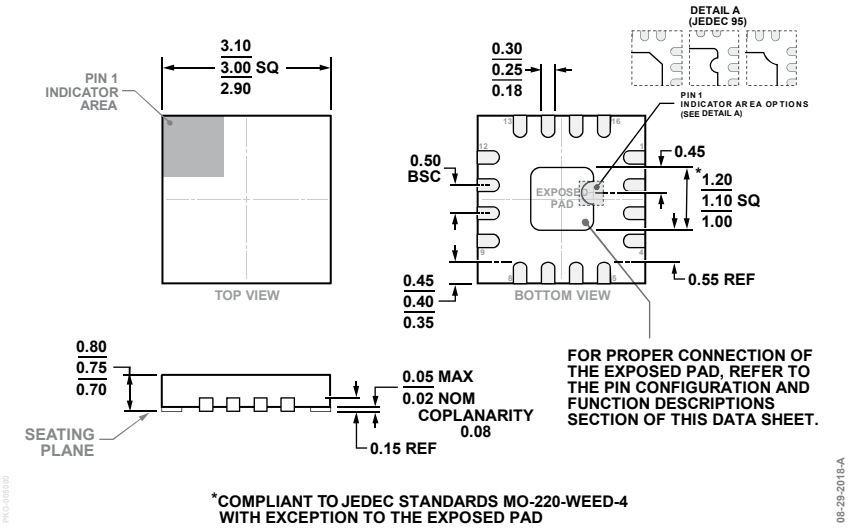


図 45. 16 ピン・リード・フレーム・チップ・スケール・パッケージ［LFCSP］
3mm × 3mm ボディと 0.75mm のパッケージ高
（CP-16-45）
寸法：mm

オーダー・ガイド

Model[1, 2]	Resolution	Temperature Range	Package Description	Package Option	Marking Code
AD7386BCPZ-RL	16-Bit	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-45	C8Z
AD7386BCPZ-RL7	16-Bit	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-45	C8Z
EVAL-AD7386FMCZ			AD7386 Evaluation Board		

[1] Z = RoHS 準拠製品
[2] EVAL-AD7386FMCZ は、EVAL-SDP-CH1Z 高速コントローラ・ボードと互換性があります。