

### 特長

$V_{DD}$ 仕様：2.7~5.25V

低消費電力：

$V_{DD}=3V$ の場合、100kSPSで最大0.9mW

$V_{DD}=5V$ の場合、100kSPSで最大3mW

疑似差動アナログ入力

広い入力帯域幅：

30kHzの入力周波数で70dB SINAD

柔軟な電力/シリアル・クロック速度の管理

パイプライン遅延なし

高速シリアル・インターフェース：

SPI®/QSPI™/MICROWIRE™/DSP互換

自動パワーダウン・モード

8ピンSOT-23パッケージ

### アプリケーション

トランスデューサ・インターフェース

バッテリー駆動のシステム

データ・アキュイジション・システム

携帯型計測機器

### 機能ブロック図

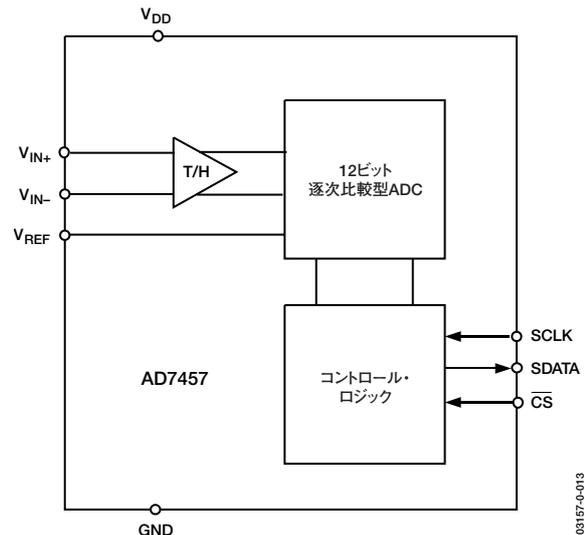


図1

### 概要

AD7457は低消費電力、逐次比較型（SAR）の12ビットA/Dコンバータで、疑似差動アナログ入力を備えています。2.7~5.25Vの単電源で動作し、スループット・レートは最高100kSPSになります。

AD7457のローノイズで広帯域幅の差動トラック・アンド・ホールド・アンプ（T/H）は、1MHzを超える入力周波数を処理できます。外部から $V_{REF}$ ピンに印加するリファレンス電圧は、アプリケーションに応じて100mV~ $V_{DD}$ の範囲が可能です。

変換プロセスとデータ・アキュイジションは $\overline{CS}$ とシリアル・クロックを使用して制御し、これによってマイクロプロセッサやDSPとのインターフェースを行います。

SARアーキテクチャによって、AD7457にはパイプライン遅延がありません。

AD7457は高度な設計技法を使用して、きわめて低い消費電力を実現します。

### 製品のハイライト

- 2.7~5.25V電源による動作
- 低消費電力。3V電源の場合、AD7457は100kSPSのスループット・レートで0.9mWの最大消費電力が可能です。
- 疑似差動アナログ入力
- 柔軟な電力/シリアル・クロック速度の管理。変換レートはシリアル・クロックによって決まるため、シリアル・クロック速度を上げて変換時間を短縮すれば、消費電力を減らすことができます。変換後の自動パワーダウンによって、平均消費電力を低減することができます。
- 可変リファレンス電圧入力
- パイプライン遅延なし
- $\overline{CS}$ 入力とワンショット変換制御によるサンプリング・インスタンスの正確な制御
- 500mVリファレンスで $ENOB > 10$ ビット（typ）

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2003 Analog Devices, Inc. All rights reserved.

REV. 0

# AD7457

## 目次

---

仕様	3	アナログ入力	12
タイミング仕様	5	アナログ入力構造	12
絶対最大定格	6	デジタル入力	13
ESDに関する注意	6	リファレンス部	13
ピン配置と機能の説明	7	シリアル・インターフェース	13
用語集	8	消費電力	14
代表的な性能特性	9	マイクロプロセッサとのインターフェース	14
動作原理	11	アプリケーション情報	16
回路情報	11	グラウンディングとレイアウト	16
コンバータの動作	11	外形寸法	17
ADCの伝達関数	11	オーダー・ガイド	17
代表的な接続図	11		

## 改訂履歴

リビジョン0：初版

## 仕様

特に指定のない限り、 $V_{DD}=2.7\sim 5.25V$ 、 $f_{SCLK}=10MHz$ 、 $f_S=100kSPS$ 、 $V_{REF}=2.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$

表1

パラメータ	テスト条件/備考	Bバージョン <sup>1</sup>	単位
<b>動的性能</b> S/N比 (SNR) <sup>2</sup> 信号対 (ノイズ+歪み) 比 (SINAD) <sup>2</sup> 全高調波歪み (THD) <sup>2</sup> ピーク高調波またはスプリアス・ノイズ <sup>2</sup> 相互変調歪み (IMD) <sup>2</sup> 2次項 3次項 アパーチャ遅延 <sup>2</sup> アパーチャ・ジッター <sup>2</sup> フルパワー帯域幅 <sup>2,3</sup>	$f_{IN}=30kHz$  -84dB (typ) -86dB (typ) $f_a=25kHz$ 、 $f_b=35kHz$  @-3dB @-0.1dB	71 70 -75 -75  -80 -80 5 50 20 2.5	dB (min) dB (min) dB (max) dB (max)  dB (typ) dB (typ) ns (typ) ps (typ) MHz (typ) MHz (typ)
<b>DC精度</b> 分解能 積分非直線性 (INL) <sup>2</sup> 微分非直線性 (DNL) <sup>2</sup> オフセット誤差 <sup>2</sup> ゲイン誤差 <sup>2</sup>	12ビットまでノー・ミスコード保証	12 ±1 ±0.95 ±4.5 ±2	ビット LSB (max) LSB (max) LSB (max) LSB (max)
<b>アナログ入力</b> フルスケール入力スパン 絶対入力電圧 $V_{IN+}$ $V_{IN-}$ <sup>4</sup>  DCリーク電流 入力容量	$V_{IN+}-V_{IN-}$  $V_{DD}=2.7\sim 3.6V$ $V_{DD}=4.75\sim 5.25V$  トラック/ホールド時	$V_{REF}$  $V_{REF}$ -0.1~+0.4 -0.1~+1.5 ±1 30/10	V  V V V μA (max) pF (typ)
<b>リファレンス入力</b> $V_{REF}$ 入力電圧 DCリーク電流 $V_{REF}$ 入力容量	仕様性能を得るには公称誤差±1%  トラック/ホールド時	2.5 <sup>5</sup> ±1 10/30	V μA (max) pF (typ)
<b>ロジック入力</b> ハイレベル入力電圧、 $V_{INH}$ ローレベル入力電圧、 $V_{INL}$ 入力電流、 $I_{IN}$ <sup>6</sup> 入力容量、 $C_{IN}$ <sup>6</sup>	10nA (typ)、 $V_{IN}=0V$ または $V_{DD}$	2.4 0.8 ±1 10	V (min) V (max) μA (max) pF (max)
<b>ロジック出力</b> ハイレベル出力電圧、 $V_{OH}$  ローレベル出力電圧、 $V_{OL}$ フロートイング状態リーク電流 フロートイング状態出力容量 <sup>6</sup> 出力コーディング	$V_{DD}=4.75\sim 5.25V$ 、 $I_{SOURCE}=200\mu A$ $V_{DD}=2.7\sim 3.6V$ 、 $I_{SOURCE}=200\mu A$ $I_{SINK}=200\mu A$	2.8 2.4 0.4 ±1 10 ストレート・バイナリ	V (min) V (min) V (max) μA (max) pF (max)
<b>変換レート</b> 変換時間 トラック・アンド・ホールド・ アクイジション時間 <sup>2</sup> スループット・レート	10MHzのSCLKで1.6μs  シリアル・インターフェースの セクションを参照	16 1  100	SCLKサイクル μs (max)  kSPS (max)

# AD7457

パラメータ	テスト条件/備考	Bバージョン <sup>1</sup>	単位
電源要求			
$V_{DD}$		2.7/5.25	V (min) / (max)
$I_{DD}^{7, 8}$			
変換時 <sup>6</sup>	$V_{DD}=4.75\sim 5.25V$	1.5	mA (max)
	$V_{DD}=2.7\sim 3.6V$	1.2	mA (max)
ノーマル・モード (静止時)	SCLK オンまたはオフ	0.5	mA (typ)
ノーマル・モード (動作時)	$V_{DD}=4.75\sim 5.25V$	0.7	mA (max)
	$V_{DD}=2.7\sim 3.6V$	0.33	mA (max)
パワーダウン	SCLK オンまたはオフ	1	$\mu A$ (max)
消費電力			
ノーマル・モード (動作時)	$V_{DD}=5V$	3	mW (max)
	$V_{DD}=3V$	0.9	mW (max)
パワーダウン	$V_{DD}=5V$ 、SCLK オンまたはオフ	5	$\mu W$ (max)
	$V_{DD}=3V$ 、SCLK オンまたはオフ	3	$\mu W$ (max)

<sup>1</sup> 温度範囲 (Bバージョン) :  $-40\sim +85^{\circ}C$

<sup>2</sup> 用語集のセクションを参照してください。

<sup>3</sup> アクイジション時間内で  $27V/\mu s$  を超えるスルーレート (フルスケール入力サイン波  $>3.5MHz$ ) のアナログ入力を与えると、コンバータが不正な結果を返すことがあります。

<sup>4</sup>  $V_{IN-}$  に DC 入力を入力して、 $V_{IN+}$  に疑似グラウンドを与えます。

<sup>5</sup> AD7457 は、 $100mV\sim V_{DD}$  の範囲のリファレンス入力で機能します。

<sup>6</sup> 特性によって保証されています。

<sup>7</sup> 消費電力のセクションを参照してください。

<sup>8</sup> フルスケール DC 入力で測定しています。

## タイミング仕様<sup>1</sup>

特に指定のない限り、 $V_{DD}=2.7\sim 5.25V$ 、 $f_{SCLK}=10MHz$ 、 $f_S=100kSPS$ 、 $V_{REF}=2.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$

表2

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ での限界値	単位	説明
$f_{SCLK}^2$	10	kHz (min)	
	10	MHz (max)	
$t_{CONVERT}$	$16 \times t_{SCLK}$		$t_{SCLK} = 1/f_{SCLK}$
$t_2$	1.6	$\mu s$ (max)	$\overline{CS}$ の立ち上がりエッジからSCLK立ち下がりエッジまでのセットアップ・タイム
$t_3^3$	10	ns (min)	
$t_4^3$	20	ns (max)	$\overline{CS}$ の立ち上がりエッジからSDATAスリーステート・ディセーブルまでの遅延
$t_5$	40	ns (max)	SCLK立ち下がりエッジ後のデータ・アクセス時間
$t_6$	$0.4 t_{SCLK}$	ns (min)	SCLKハイ・パルス幅
$t_7$	$0.4 t_{SCLK}$	ns (min)	SCLKロー・パルス幅
$t_8^4$	10	ns (min)	SCLKエッジからデータ有効までのホールド・タイム
	10	ns (min)	SCLK立ち下がりエッジからSDATAスリーステート・イネーブルまで
	35	ns (max)	SCLK立ち下がりエッジからSDATAスリーステート・イネーブルまで
$t_{POWER-UP}^5$	1	$\mu s$ (max)	フル・パワーダウンからのパワーアップ時間
$t_{POWER-DOWN}$	7.4	$\mu s$ (min)	パワーダウンにかかる最小時間

注

<sup>1</sup> タイミング仕様は特性によって保証されています。すべての入力信号は $tr=tf=5ns$  ( $V_{DD}$ の10~90%)で規定され、1.6Vの電圧レベルからタイミングをとります。図2とシリアル・インターフェースのセクションを参照してください。

<sup>2</sup> SCLK入力のマーク/スペース比は40/60~60/40です。

<sup>3</sup> 図3の負荷回路で測定。 $V_{DD}=5V$ の場合は出力が0.8Vまたは2.4Vを超えるまで、 $V_{DD}=3V$ の場合は出力が0.4Vまたは2.0Vを超えるまでに必要な時間です。

<sup>4</sup>  $t_8$ は、図3の負荷回路でデータ出力が0.5V変化するときを要する時間の測定値に基づいています。この測定値に外挿し、25pFコンデンサの充放電の影響を除去してあります。つまり、タイミング仕様に記載されている $t_8$ はデバイスの真のバス開放時間であり、バスの負荷には無関係です。

<sup>5</sup> 消費電力のセクションを参照してください。

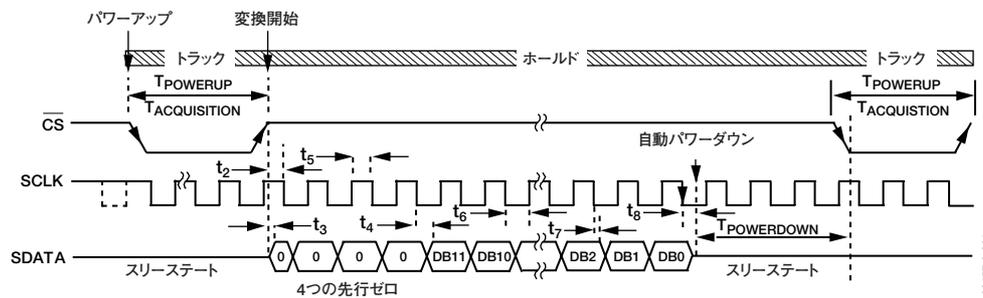


図2. AD7457シリアル・インターフェースのタイミング図

# AD7457

## 絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$

表3

パラメータ	定格
GNDに対する $V_{DD}$	$-0.3\sim+7\text{V}$
GNDに対する $V_{IN+}$	$-0.3\sim V_{DD}+0.3\text{V}$
GNDに対する $V_{IN-}$	$-0.3\sim V_{DD}+0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3\sim+7\text{V}$
GNDに対するデジタル出力電圧	$-0.3\sim V_{DD}+0.3\text{V}$
GNDに対する $V_{REF}$	$-0.3\sim V_{DD}+0.3\text{V}$
電源以外のピンへの入力電流 <sup>1</sup>	$\pm 10\text{mA}$
動作温度範囲	
コマーシャル (Bバージョン)	$-40\sim+85^\circ\text{C}$
保存温度範囲	$-65\sim+150^\circ\text{C}$
ジャンクション温度	$150^\circ\text{C}$
$\theta_{JA}$ 熱抵抗	$211.5^\circ\text{C}/\text{W}$ (SOT-23)
$\theta_{JC}$ 熱抵抗	$91.99^\circ\text{C}/\text{W}$ (SOT-23)
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	$215^\circ\text{C}$
赤外線 (15秒)	$220^\circ\text{C}$

<sup>1</sup> 100mAまでの過渡電流では、SCRラッチアップは発生しません。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

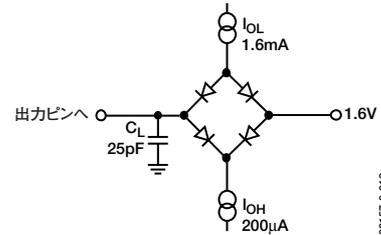


図3. デジタル出力タイミング仕様の負荷回路

### 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



## ピン配置と機能の説明



図4. 8ピンSOT-23のピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	V <sub>DD</sub>	電源入力。V <sub>DD</sub> は2.7～5.25Vです。この電源は、0.1μFコンデンサと10μFタンタル・コンデンサを使用して、GNDに対してデカップリングする必要があります。
2	SCLK	シリアル・クロック。ロジック入力です。SCLKは、デバイスからデータにアクセスするためのシリアル・クロックです。このクロック入力、変換プロセスのクロック源にも使用します。
3	SDATA	シリアル・データ。ロジック出力です。AD7457からの変換結果は、シリアル・データ・ストリームでこの出力から得られます。SCLK入力の立ち下がりエッジでビットをクロック出力します。AD7457のデータ・ストリームは、4つの先行ゼロと、それに続くMSBファーストによる12ビットの変換データで構成されています。出力コーディングはストレート（自然）バイナリです。
4	$\overline{CS}$	チップ・セレクト。この入力、デバイスのパワーアップとAD7457の変換開始の2つの機能を行います。
5	GND	アナログ・グラウンド。AD7457のすべての回路のグラウンド・リファレンス・ポイントです。すべてのアナログ入力信号と外部リファレンス信号は、このGND電圧を基準にします。
6	V <sub>IN-</sub>	反転入力。このピンで、V <sub>IN+</sub> 入力のグラウンド・リファレンス・ポイントを設定します。疑似グラウンドを得るには、グラウンドかDCオフセットに接続します。
7	V <sub>IN+</sub>	非反転アナログ入力
8	V <sub>REF</sub>	AD7457のリファレンス入力。この入力には、100mV～V <sub>DD</sub> の外部リファレンスを印加する必要があります。仕様で規定されているリファレンス入力値は2.5Vです。0.33μF以上のコンデンサを使用して、このピンをGNDに対してデカップリングしてください。

# AD7457

## 用語集

### 信号対（ノイズ+歪み）比（SINAD）

A/Dコンバータの出力で測定した信号対（ノイズ+歪み）の比です。信号は基本波のrms振幅で、ノイズは、DCを除き、サンプリング周波数の半分（ $f_s/2$ ）までのすべての非基本波信号の合計です。この比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズが小さくなります。サイン波入力に対する理想的なNビット・コンバータの理論的な信号対（ノイズ+歪み）比は、次式で得られます。

$$\text{信号対（ノイズ+歪み）} = (6.02N + 1.76) \text{ dB}$$

この式から、12ビット・コンバータの場合、SINADは74dBになります。

### 全高調波歪み（THD）

高調波のrms値総和と基本波の比です。AD7457の場合、これは次のように定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$ は基本波のrms振幅です。

$V_2, V_3, V_4, V_5, V_6$ は、2次～6次高調波のrms振幅です。

### ピーク高調波またはスプリアス・ノイズ

ADC出力スペクトル内で2番目に大きい成分のrms値（DCを除き、 $f_s/2$ まで）と基本波のrms値の比です。通常、この仕様値はスペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアに入り込んでいるADCの場合はノイズ・ピークになります。

### 相互変調歪み

2つの周波数 $f_a$ と $f_b$ のサイン波から成る入力を与えると、非直線性を備えたアクティブ・デバイスは $mfa \pm nfb$ （ $m, n=0, 1, 2, 3, \dots$ ）という和と差の周波数で歪み成分を発生させます。相互変調歪み項は、この $m$ と $n$ が非ゼロの項です。たとえば、2次項には（ $fa+fb$ ）と（ $fa-fb$ ）があり、3次項には（ $2fa+fb$ ）、（ $2fa-fb$ ）、（ $fa+2fb$ ）、（ $fa-2fb$ ）があります。

AD7457は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準を使ってテストされています。この場合、2次項は通常、元のサイン波の周波数から離れたところにあり、3次項は通常、入力周波数に近い周波数にあります。このため、2次項と3次項は別々に指定されることとなります。相互変調歪みの計算はTHDの仕様に従います。つまり、個々の歪み成分のrms総和と基本波の和のrms振幅との比であり、単位はdBです。

### アパーチャ遅延

サンプリング・クロックの立ち上がりエッジから、ADCが実際にサンプルを取得するまでに要する時間。

### アパーチャ・ジッター

実際にサンプルを取得する有効時点のサンプル間変動。

### フルパワー帯域幅

ADCのフルパワー帯域幅とは、再構成された基本波の振幅がフルスケール入力に対して0.1dBまたは3dB低下する入力周波数です。

### 積分非直線性（INL）

ADC伝達関数の両端を結ぶ直線からの最大偏差です。

### 微分非直線性（DNL）

ADCの2つの隣接コード間における1LSB変化の測定値と理想値との差です。

### オフセット誤差

最初のコード遷移（000...000から000...001）と理想的な遷移（AGND+1LSB）との偏差です。

### ゲイン誤差

オフセット誤差を調整した後の、最後のコード遷移（111...110から111...111）と理想的な遷移（ $V_{REF} - 1\text{LSB}$ ）との偏差です。

### トラック・アンド・ホールド・アクイジション時間

トラック・アンド・ホールド・アンプの出力が印加された入力信号の0.5LSB以内に収まるために、トラック・アンド・ホールド・アンプがトラック・モードにとどまらなければならない最小時間です。

### 電源除去比（PSRR）

フルスケール周波数 $f$ でのADC出力の電力と、周波数 $f_s$ のADC  $V_{DD}$ 電源に加えられる100mV p-pサイン波の電力との比です。この入力の周波数は1kHz～1MHzで変動します。

$$\text{PSRR (dB)} = 10 \log (P_f / P_{f_s})$$

$P_f$ はADC出力における周波数 $f$ での電力であり、 $P_{f_s}$ はADC出力における周波数 $f_s$ での電力です。

## 代表的な性能特性

デフォルト状態：特に指定のない限り、 $T_A=25^\circ\text{C}$ 、 $f_S=100\text{kSPS}$ 、 $f_{\text{SCLK}}=10\text{MHz}$ 、 $V_{\text{DD}}=2.7\sim 5.25\text{V}$ 、 $V_{\text{REF}}=2.5\text{V}$

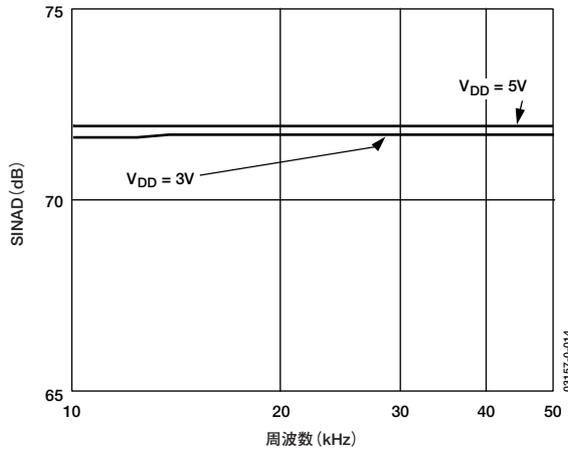


図5. アナログ入力周波数 対 SINAD ( $V_{\text{DD}}=3\text{V}$ および $5\text{V}$ )

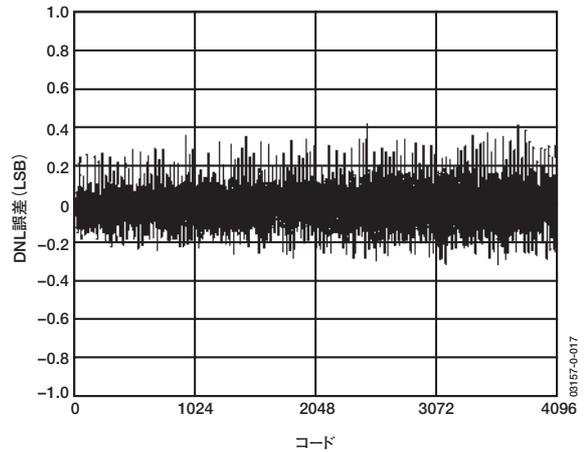


図8. AD7457の代表的なDNL ( $V_{\text{DD}}=5\text{V}$ )

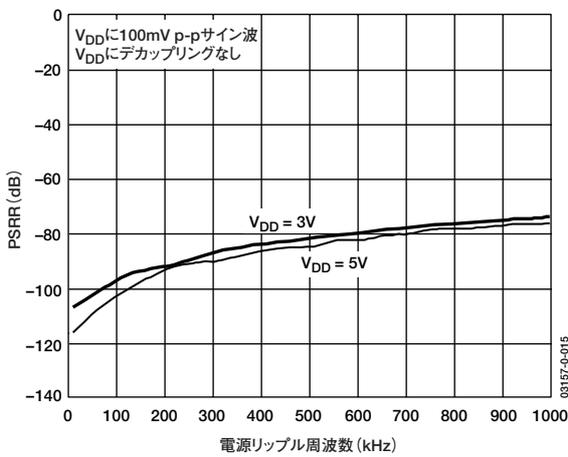


図6. 電源リップル周波数 対 PSRR、  
電源デカップリングなし

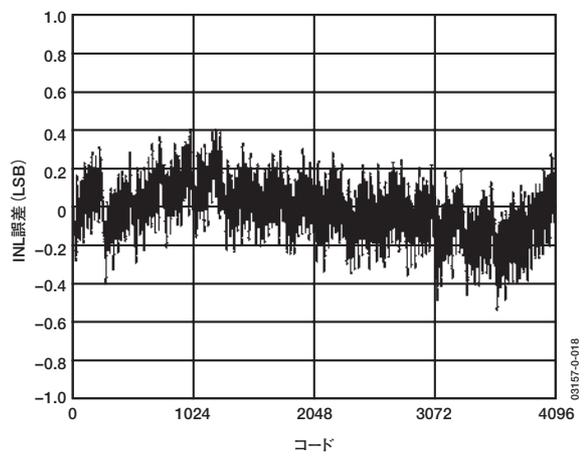


図9. AD7457の代表的なINL ( $V_{\text{DD}}=5\text{V}$ )

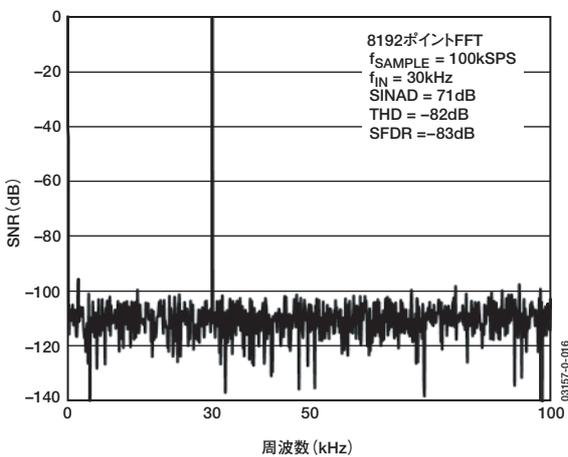


図7.  $V_{\text{DD}}=5\text{V}$ での動的性能

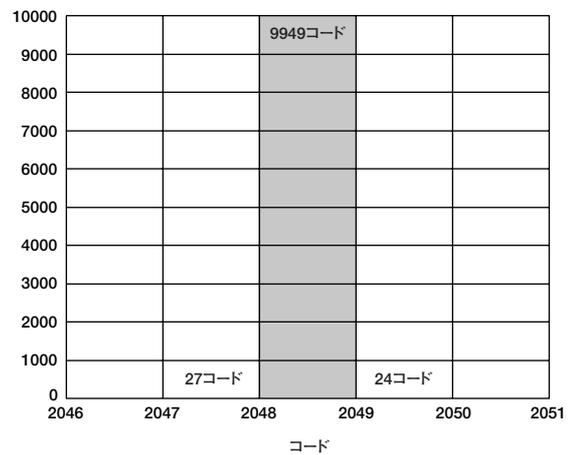


図10. DC入力を10,000回変換した場合の  
ヒストグラム

# AD7457

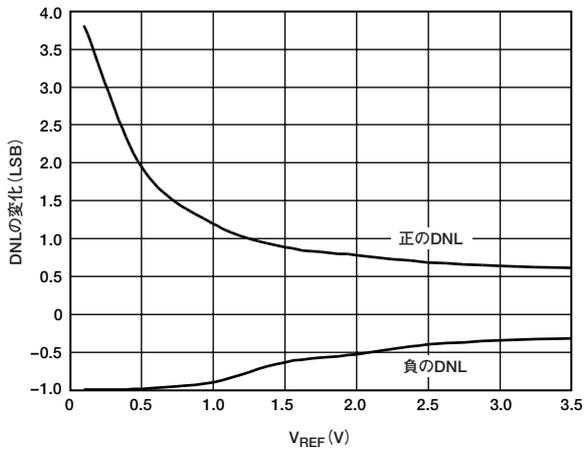


図11.  $V_{REF}$  対 DNL の変化 ( $V_{DD}=5V$ )

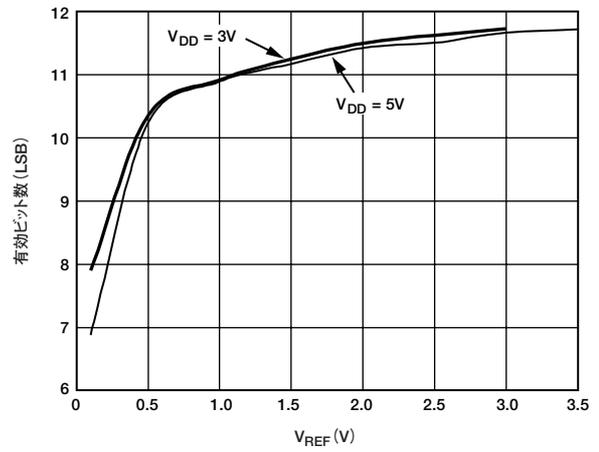


図13.  $V_{REF}$  対 ENOB ( $V_{DD}=3V$ および $5V$ )

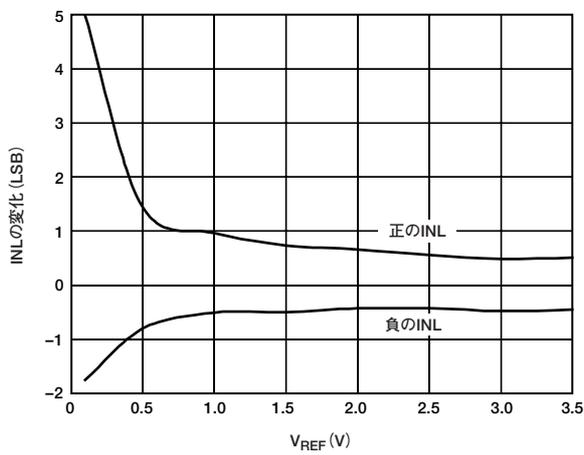


図12.  $V_{REF}$  対 INL の変化 ( $V_{DD}=5V$ )

## 動作原理

### 回路情報

AD7457は、低消費電力、単電源の12ビット逐次比較型A/Dコンバータ（ADC）で、疑似差動アナログ入力を備えています。2.7～5.25Vの単電源で動作し、スループット・レートは最高100kSPSになります。V<sub>REF</sub>ピンには外部リファレンスを入力する必要があります。

AD7457は、8ピンのSOT-23パッケージを採用し、オンチップ差動トラック・アンド・ホールド・アンプ、逐次比較型（SAR）ADC、シリアル・インターフェースを備えています。シリアル・クロック入力を使ってデバイスからデータを読み出しますが、このシリアル・クロック入力が増次比較型ADCのクロック源にもなります。AD7457は変換後に自動的にパワーダウンし、消費電力を低減します。

### コンバータの動作

AD7457は、2個の容量性DACをベースとする逐次比較型ADCです。図14と図15に、アキュイジション・フェーズと変換フェーズのADCの簡略回路図を示します。ADCは、コントロール・ロジック、SAR、2個の容量性DACで構成されています。図14（アキュイジション・フェーズ）では、SW3が閉じ、SW1とSW2はポジションAで、コンパレータが平衡状態に保たれ、サンプリング・コンデンサ・アレイが入力の差動信号を取得します。

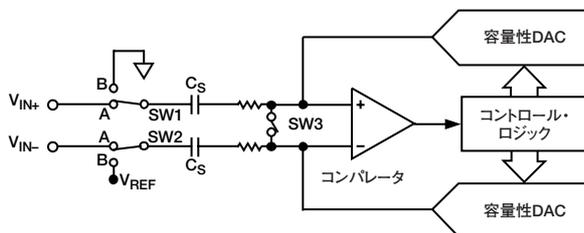


図14. ADCアキュイジション・フェーズ

ADCが変換を開始すると（図15）、SW3が開き、SW1とSW2がポジションBに移動し、コンパレータが不平衡状態になります。変換が始まると、2つの入力切り離されます。コントロール・ロジックと電荷再配分式DACを使って、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックはADCの出力コードを生成します。V<sub>IN+</sub>ピンとV<sub>IN-</sub>ピンを駆動する信号源の出力インピーダンスは一致させなければなりません。これが一致しないと、2つの入力のセットリング・タイムが異なり、誤差が生じます。

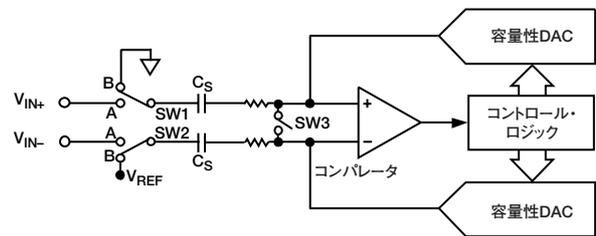


図15. ADCの変換フェーズ

### ADCの伝達関数

AD7457の出力コーディングはストレート（自然）バイナリです。設計によるコード遷移は連続した各LSB値（1LSB、2LSBなど）で発生し、LSBサイズはV<sub>REF</sub>/4096です。図16に、AD7457の理想的な伝達特性を示します。

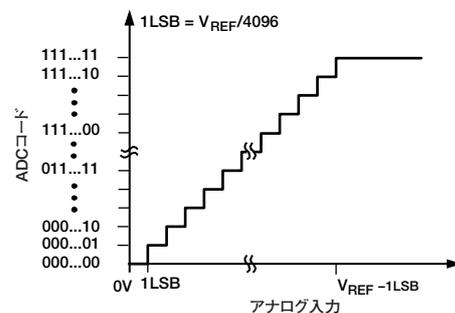


図16. 理想的な伝達特性

### 代表的な接続図

図17に、AD7457の代表的な接続図を示します。このセットアップでは、GNDピンをシステムのアナログ・グラウンド・プレーンに接続します。V<sub>REF</sub>ピンは、デカップリングした2.5Vリファレンス源のAD780に接続し、信号源をユニティ・ゲイン・バッファによってV<sub>IN+</sub>アナログ入力に接続します。V<sub>IN-</sub>ピンにDC電圧を接続し、V<sub>IN+</sub>入力に疑似グラウンドを与えます。V<sub>DD</sub>ピンは、10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列接続して、AGNDに対してデカップリングする必要があります。リファレンス・ピンは、0.33μF以上のコンデンサを使用してAGNDに対してデカップリングしなければなりません。16ビット・ワードの変換結果は、4つの先行ゼロに続く12ビット結果のMSBという形で出力されます。



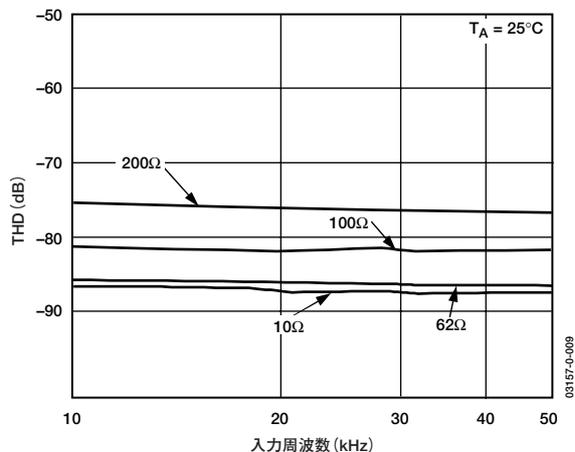


図20. さまざまな信号源インピーダンスにおけるアナログ入力周波数とTHDの関係

図21に、10MHzのSCLKによって100kSPSでサンプリングする場合のさまざまな電源電圧におけるアナログ入力周波数とTHDの関係を示します。この場合、信号源インピーダンスは10Ωです。

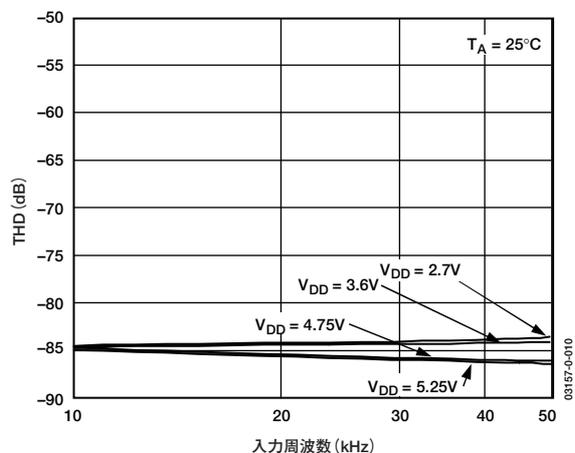


図21. さまざまな電源電圧におけるアナログ入力周波数とTHDの関係

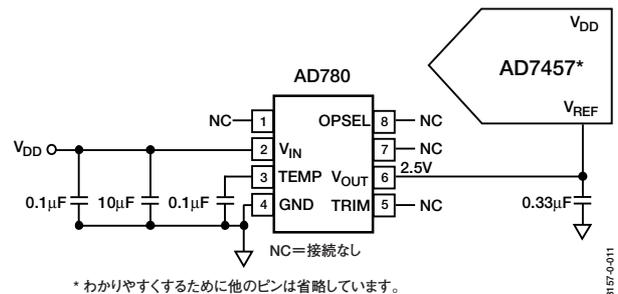
## デジタル入力

AD7457に対するデジタル入力は、アナログ入力を制限する最大定格によって制限されることはありません。デジタル入力 ( $\overline{CS}$ とSCLK) は最大7Vまで可能で、アナログ入力の限界である  $V_{DD} + 0.3V$  には制約されません。

入力が  $V_{DD} + 0.3V$  までに制限されないことから得られる主な利点は、電源シーケンスの問題を回避できることです。  $V_{DD}$  よりも前に  $\overline{CS}$  とSCLKに電圧が印加された場合でも、ラッチアップの危険はありません。これに対して、アナログ入力では  $V_{DD}$  よりも前に0.3Vを超える信号が印加されると、ラッチアップが生じる可能性があります。

## リファレンス部

AD7457にリファレンスを供給するには、外付けソースが必要です。リファレンス入力の範囲は、 $100mV \sim V_{DD}$ が可能です。2.70~5.25Vの電源電圧範囲に対し、仕様規定されているリファレンスは2.50Vです。リファレンス源の誤差は、AD7457の伝達関数のゲイン誤差になります。  $V_{REF}$ ピンには、0.33μF以上のコンデンサを接続してください。AD7457のリファレンス源に、AD780やADR421が適しています。図22に、  $V_{REF}$ ピンの代表的な接続図を示します。



\*わかりやすくするために他のピンは省略しています。

図22.  $V_{DD} = 5V$ での代表的な  $V_{REF}$  接続図

## シリアル・インターフェース

図2に、AD7457のシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックは変換クロックになるだけでなく、変換時にデバイスからのデータの転送も制御します。

$\overline{CS}$ の立ち下がりエッジでAD7457がパワーアップし、トラック・アンド・ホールドがトラック・モードになります。パワーアップ時間は最小1μsで、この時間内にデバイスはアナログ入力信号も取得します。パワーアップ中、  $\overline{CS}$ はローレベルを維持する必要があります。  $\overline{CS}$ の立ち上がりエッジで変換プロセスが開始され、トラック・アンド・ホールドがホールド・モードになり、シリアル・データ・バスがスリーステート状態を抜け出します。変換の完了には、SCLKの16サイクルが必要です。

時間  $t_8$  後の、SCLKの16番目の立ち下がりエッジでシリアル・データ・バスがスリーステート状態に戻り、デバイスが自動的にフル・パワーダウン状態に入ります。  $\overline{CS}$ の次の立ち下がりエッジまでパワーダウン状態のままです。仕様性能を得るには、スループット・レートが100kSPSを超えないようにしてください。つまり、  $\overline{CS}$ の連続する立ち下がりエッジ間には少なくとも10μsの時間が必要になります。

AD7457の変換結果は、シリアル・データ・ストリームとしてSDATA出力から得られます。SCLK入力の立ち下がりエッジでビットをクロック出力します。AD7457のデータ・ストリームは、4つの先行ゼロと、それに続くMSBファーストの12ビット変換データで構成されています。出力コーディングはストレート（自然）バイナリです。

変換を実行してAD7457からのデータにアクセスするには、16のシリアル・クロック・サイクルが必要です。  $\overline{CS}$ の立ち上がりエッジで最初の先行ゼロが与えられ、これがマイクロコントローラやDSPで読み出されます。その後のSCLK立ち下がりエッジで、2番目の先行ゼロを先頭にして残りのデータをクロック出力します。このように、  $\overline{CS}$ がハイレベルになった後のシリアル・クロックの最初の立ち下がりクロック・エッジで、2番目の先行ゼロを出力します。デバイスがパワーダウンに入る前に、前の（15番目の）立ち下がりエッジでクロック出力されていたデータ転送の最終ビットは、SCLKの16番目の立ち下がりエッジで有効になります。

# AD7457

SCLKが遅いアプリケーションでは、SCLKの各立ち上がりエッジでデータの読み出しができます。この場合、CS立ち上がりエッジ後のSCLKの最初の立ち下がりエッジで2番目の先行ゼロをクロック出力し、次の立ち上がりエッジで読み出しできます。CS立ち上がりエッジ後の最初のSCLKエッジが立ち下がりエッジの場合、CSがハイレベルになったときにクロック出力した最初の先行ゼロは、最初のSCLK立ち下がりエッジで読み出されない限り失われます。SCLKの15番目の立ち下がりエッジでデータの最終ビットをクロック出力し、次のSCLK立ち上がりエッジで読み出しができます。

## 消費電力

AD7457は、各変換の最後に自動的にパワーダウン・モードに入ります。パワーダウン・モードでは、すべてのアナログ回路がパワーダウンし、消費電流が1μAになります。仕様規定の電力消費量（最小レベル）にするには、ユーザーは以下のことに注意してください。

デバイスの変換時間は、シリアル・クロック周波数によって決まります。SCLK周波数が高いほど、変換時間が短くなります。したがって、使用するクロック周波数が増えるにつれて、ADCが（変換時に）電力を消費する時間が短くなり、サイクル時間またはスループット・レートに対してパワーダウン・モードにとどまる割合が高くなります。これを図23に示します。この図では、100kSPSの最大スループットでデバイスを動作させた場合の、3Vと5VのV<sub>DD</sub>に対するI<sub>DD</sub>とSCLK周波数の代表的な関係を示します。

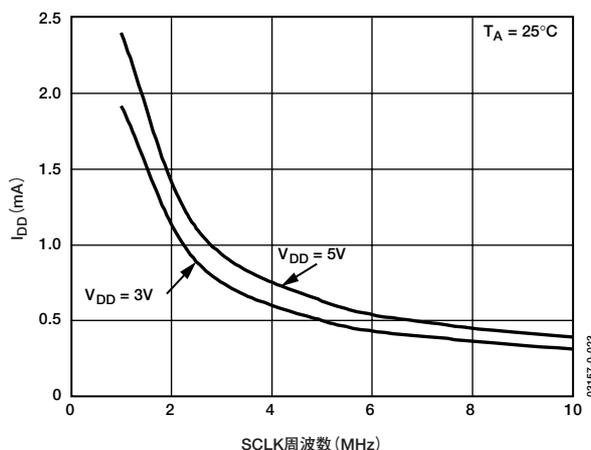


図23. V<sub>DD</sub>=3Vと5VでのSCLK周波数とI<sub>DD</sub>の関係、100kSPSでの動作

図24に、10MHzの最大SCLK周波数でのスループット・レートと代表的な消費電力との関係を示します。この場合、SCLK周波数が固定されているため、変換時間はどのスループットでも同じになります。スループット・レートが減少するにつれてADCのパワーダウン時間が増加するため、平均消費電力が減少します。

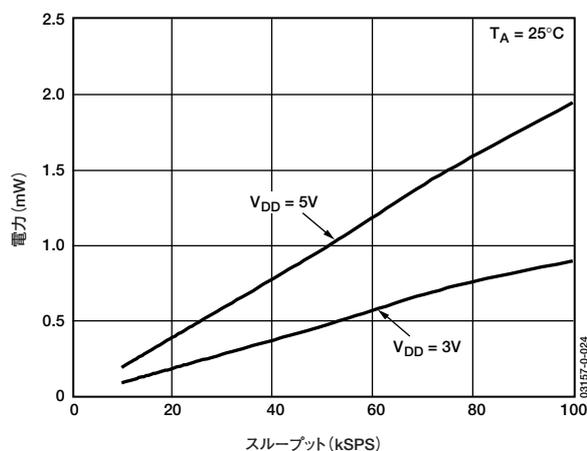


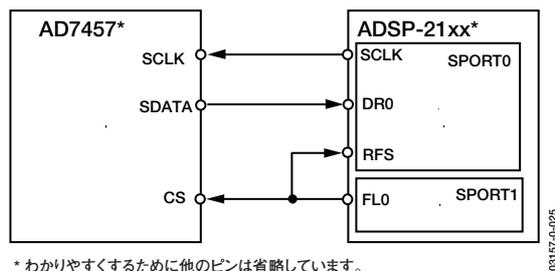
図24. V<sub>DD</sub>=3Vおよび5V、SCLK=10MHzでのスループット・レートと電力の関係

## マイクロプロセッサとのインターフェース

AD7457は、シリアル・インターフェースによってさまざまなマイクロプロセッサに接続できます。ここでは、AD7457とADSP-218xシリアル・インターフェースとの接続方法について説明します。

### AD7457とADSP-218xとのインターフェース

ADSP-218xファミリーのDSPは、グルーロジックなしで直接AD7457にインターフェースすることができます。ADCのシリアル・クロックはDSPから取ります。ADCのSDATAをシリアル・ポートのデータ受信（DR）入力に接続し、CSをフラグ（FL0）によって制御します。接続図を図25に示します。



\*わかりやすくするために他のピンは省略しています。

図25. AD7457とADSP-218xとのインターフェース

変換データを受信し、SCLKを供給するには、SPORT0をイネーブルにし、SPORT1をフラグ用に設定する必要があります。

SPORT0を設定するには、表5に示すようにコントロール・レジスタのビットを設定します。

表5. SPORT0の設定

ビット	設定	備考/説明
ISCLK	1	内部で生成するシリアル・クロック
SLEN	1111	16ビットの変換データ
RFSR	0	各ワードに必要な受信フレーム同期
TFSR	ドント・ケア	未使用
IRFS	0	RFSは入力に設定し、外部から供給します
ITFS	ドント・ケア	未使用
RFSW	1	オルタネート・フレーミング
TFSW	ドント・ケア	未使用
INVRFS	0	RFSはアクティブ・ハイ
INVTFS	ドント・ケア	未使用

$\overline{CS}$ 信号を生成するフラグは、SPORT1が生成します。DSPにフレーム同期信号を供給するために、このフラグはSPORT0のRFS入力とADCの両方に接続します。

# AD7457

## アプリケーション情報

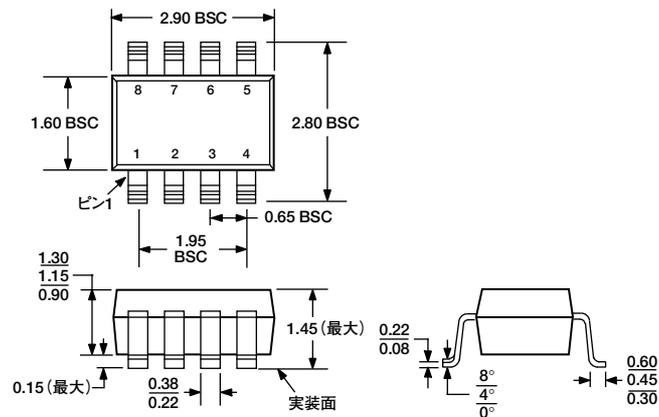
### グラウンディングとレイアウト

AD7457を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計する必要があります。これによって、分離が簡単にできるグラウンド・プレーンを使用できるようになります。一般にエッチングをわずかにすると最適なシールド効果が得られるため、グラウンド・プレーンにはこのような方法が最適です。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1箇所のみで接続してください。AD7457のGNDピンにできるだけ近い場所で星型の1点接続にします。

チップにノイズが混入しないように、デジタル・ラインをデバイスの真下に通さないでください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンをAD7457の下に配置できるようにします。AD7457の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減します。クロックなどの高速のスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分にノイズが拡散ないようにします。また、クロック信号はアナログ入力の近くを通さないようにしてください。デジタル信号とアナログ信号の交差は避けてください。ボードの反対側のパターンは互いに直角になるように配置し、ボードを通過するフィードスルーの影響を低減します。マイクロストリップ技術は最善ですが、両面ボードでは必ずしも使用できるとは限りません。

この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号はハンダ面に配線します。デカップリングを正しく行うことも重要です。すべてのアナログ電源とGNDの間に10 $\mu$ Fのタンタル・コンデンサと0.1 $\mu$ Fのコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするため、できるだけデバイスの近くに配置します。

## 外形寸法



JEDEC規格MO-178BAに準拠

図26. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23]  
(RT-8)

寸法単位：mm

## オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) <sup>1</sup>	パッケージ	パッケージ・オプション	ブランド
AD7457BRT-R2	-40~+85°C	±1	8ピンSOT-23	RT-8	COD
AD7457BRT-REEL7	-40~+85°C	±1	8ピンSOT-23	RT-8	COD

<sup>1</sup> この直線性誤差とは、積分非直線性誤差を意味します。

**AD7457**



**AD7457**

C03157-0-10/03(0)-J