16 ビット、バイポーラ入力 デュアル同時サンプリング ADC 搭載 16 チャンネル DAS

データシート **AD7616-P**

特長

16 チャンネル、デュアル、同時サンプリング入力
個別に選択可能なチャンネル入力範囲
- **真のバイポーラ: ±10 V、±5 V、±2.5 V**

5 V アナログ単電源と 2.3 V ～ 3.6 V の V_{DRIVE} 電源
全機能内蔵のデータ·アクイジション・ソリューション
- **アナログ入力クランプ保護**
- **アナログ入力インピーダンス 1 MΩ の入力バッファ**
- **1 次アンチエイリアシング・アナログ・フィルタ**
- **高精度リファレンスとリファレンス・バッファを内蔵**
- **デュアル 16 ビット SAR ADC**
- **スループット・レート: 1 MSPS × 2**
- **デジタル・フィルタによるオーバーサンプリング機能**
- **バースト・モードによる柔軟なシーケンサ**
- **パラレル・デジタル・インターフェース**
- **CRC ｴﾗｰ・チェック（オプション）**

ハードウェア／ソフトウェア設定
性能
- **500 kSPS で 92 dB の SNR（2 倍のオーバーサンプリング）**
- **1 MSPS で 90.5 dB の SNR**
- **−103 dB の THD**
- **±1 LSB の INL（代表値）、±0.99 LSB の DNL（最大値）**
- **アナログ入力ピンの ESD 定格: 8 kV**

自己検出機能を内蔵
80 ピン LQFP パッケージ

アプリケーション

電力線のモニタリング
保護リレー
多相モーター制御
計測機器および制御システム
データ·アクイジション·システム（DAS）

概要

AD7616-P は、16 チャンネルのデュアル同時サンプリングに対応する 16 ビット DAS です。このデバイスは 5 V 単電源で動作し、±10 V、±5 V、±2.5 V の真のバイポーラ信号に対応して、90.5 dB の SNR でチャンネル・ペアあたり最大 1 MSPS のスループット・レートでサンプリングできます。また、内蔵のオーバーサンプリング・モードにより、さらに高い S/N 比（SNR）性能を実現できます（2 倍のオーバーサンプリング比（OSR）に対して 92 dB）。

入力クランプ保護回路は最大 ±21 V の電圧に耐えることができます。AD7616-P のアナログ入力インピーダンスは、サンプリング周波数に関係なく、1 MΩ です。単電源動作、内蔵のフィルタリング、高い入力インピーダンスにより、ドライバ・オペアンプと外付けバイポーラ電源は不要です。

さらに、アナログ入力クランプ保護回路、デュアル 16 ビット電荷再分配式逐次比較（SAR）A/D コンバータ（ADC）、柔軟なデジタル・フィルタ、2.5 V リファレンスおよびリファレンス・バッファ、高速パラレル・インターフェースを内蔵しています。

機能ブロック図

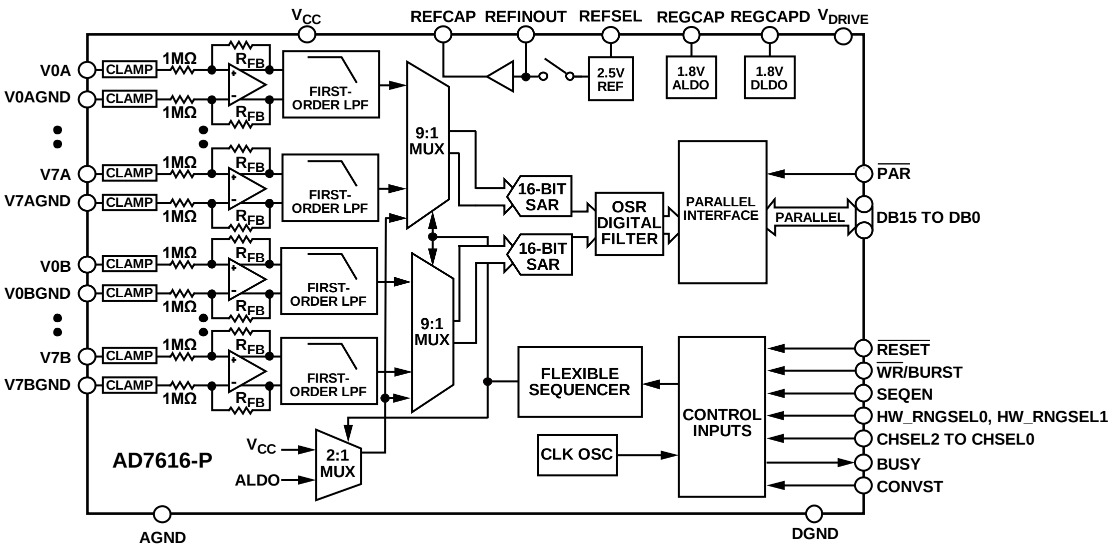


図 1.

Rev. 0

アナログ・デバイセズ株式会社
本　　社／〒105-6891 東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー
電話 06（6350）6868

目次

改訂履歴

6/2017—Revision 0: Initial Version

仕様

特に指定がない限り、V_{REF} = 2.5 V 外部／内部、V_{CC} = 4.75 V ～ 5.25 V、V_{DRIVE} = 2.3 V ～ 3.6 V、f_{SAMPLE} = 1 MSPS、T_A = −40 ºC ～ +125 ºC。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE	f_{IN} = 1 kHz sine wave, unless otherwise noted				
SNR[1, 2]	No oversampling, ±10 V range	89	90.5		dB
	OSR = 2, ±10 V range,[3] f_{SAMPLE} = 500 kSPS		92		dB
	OSR = 4, ±10 V range[3]		93		dB
	No oversampling, ±5 V range	88	89.5		dB
	No oversampling, ±2.5 V range	85.5	87		dB
Signal-to-Noise-and-Distortion (SINAD)[1]	No oversampling, ±10 V range	88.5	90		dB
	No oversampling, ±5 V range	87.5	89		dB
	No oversampling, ±2.5 V range	85	87		dB
Dynamic Range	No oversampling, ±10 V range		92		dB
	No oversampling, ±5 V range		90.5		dB
	No oversampling, ±2.5 V range		88		dB
Total Harmonic Distortion (THD)[1]	No oversampling, ±10 V range		−103	−92.5	dB
	No oversampling, ±5 V range		−100		dB
	No oversampling, ±2.5 V range		−97		dB
Peak Harmonic or Spurious Noise[1]			−103		dB
Intermodulation Distortion (IMD)[1]	fa = 1 kHz, fb = 1.1 kHz				
Second-Order Terms			−105		dB
Third-Order Terms			−113		dB
Channel to Channel Isolation[1]	f_{IN} on unselected channels up to 5 kHz		−106		dB
ANALOG INPUT FILTER					
Full Power Bandwidth	−3 dB, ±10 V range		39		kHz
	−3 dB, ±5 V/2.5 V range		33		kHz
	−0.1 dB		5.5		kHz
Phase Delay[1, 3]	±10 V range		4.4	6	µs
	±5 V range		5		µs
	±2.5 V range		4.9		µs
Drift[1, 3]	±10 V range		±0.55	5	ns/°C
Matching (Dual Simultaneous Pair)[3]	±10 V range		4.4	100	ns
	±5 V range		4.7		ns
	±2.5 V range		4.1		ns
DC ACCURACY					
Resolution	No missing codes	16			Bits
Differential Nonlinearity (DNL)[1]			±0.5	±0.99	LSB[4]
Integral Nonlinearity (INL)[1]			±1	±2	LSB[4]
Total Unadjusted Error (TUE)	±10 V range		±6		LSB[4]
	±5 V range		±8		LSB[4]
	±2.5 V range		±10		LSB[4]
Positive Full-Scale (PFS) Error[1, 5]					
External Reference	±10 V range		±5	±38	LSB[4]
	±5 V range		±4		LSB[4]
	±2.5 V range		±2		LSB[4]
Internal Reference					
	±10 V range		±5		LSB[4]
Drift[3]	External reference		±2	±5	ppm/°C
	Internal reference		±3	±10	ppm/°C
Matching[1]	±10 V range		3	11	LSB[4]
	±5 V range		4		LSB[4]

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	±2.5 V range		8		LSB[4]
Bipolar Zero Code Error[1]	±10 V range		±0.8	±8	LSB[4]
	±5 V range		±1	±10	LSB[4]
	±2.5 V range		±3	±15	LSB[4]
Drift[3]	±10 V range		±1.3	±20.4	µV/°C
	±5 V range		±0.9		µV/°C
	±2.5 V range		±0.5		µV/°C
Matching[1]	±10 V range		±2	±10	LSB[4]
	±5 V range		±3		LSB[4]
	±2.5 V range		±3		LSB[4]
Negative Full-Scale (NFS) Error[1, 6]	External reference				
	±10 V range		±4	±38	LSB[4]
	±5 V range		±3		LSB[4]
	±2.5 V range		±6		LSB[4]
	Internal reference				
	±10 V range		±3		LSB[4]
Drift[3]	External reference		±2	±5	ppm/°C
	Internal reference		±4	±10	ppm/°C
Matching[1]	±10 V range		3	11	LSB[4]
	±5 V range		4		LSB[4]
	±2.5 V range		8		LSB[4]
ANALOG INPUT					
Input Voltage Ranges	Software/hardware selectable			±10	V
	Software/hardware selectable			±5	V
	Software/hardware selectable			±2.5	V
Analog Input Current	±10 V range, see Figure 33		±10.5		µA
	±5 V range, see Figure 33		±6.5		µA
	±2.5 V range, see Figure 33		±4		µA
Input Capacitance[6]			10		pF
Input Impedance	See the Analog Input section	0.85	1		MΩ
Input Impedance Drift[3]				25	ppm/°C
REFERENCE INPUT/OUTPUT					
Reference Input Voltage Range	See the ADC Transfer Function section	2.495	2.5	2.505	V
DC Leakage Current				±1	µA
Input Capacitance[6]	REFSEL = 1		7.5		pF
Reference Output Voltage	REFINOUT	2.495		2.505	V
Reference Temperature Coefficient[3]			±2	±15	ppm/°C
LOGIC INPUTS					
Input Voltage					
High (V_{INH})	V_{DRIVE} = 2.7 V to 3.6 V	2			V
	V_{DRIVE} = 2.3 V to 2.7 V	1.7			V
Low (V_{INL})	V_{DRIVE} = 2.7 V to 3.6 V			0.8	V
	V_{DRIVE} = 2.3 V to 2.7 V			0.7	V
Input Current (I_{IN})				±1	µA
Input Capacitance (C_{IN})[6]			5		pF
LOGIC OUTPUTS					
Output Voltage					
High (V_{OH})	I_{SOURCE} = 100 µA	V_{DRIVE} − 0.2			V
Low (V_{OL})	I_{SINK} = 100 µA			0.4	V
Floating State Leakage Current			±0.005	±1	µA
Floating State Output Capacitance[6]			5		pF
Output Coding	Twos complement				

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CONVERSION RATE	Per channel pair				
Conversion Time			0.5		μs
Acquisition Time			0.5		μs
Throughput Rate				1	MSPS
POWER REQUIREMENTS					
V_{CC}		4.75		5.25	V
V_{DRIVE}		2.3		3.6	V
V_{CC} Pin Current, I_{VCC}					
Normal Mode					
Static			37	57	mA
Operational	f_{SAMPLE} = 1 MSPS		42	65	mA
Shutdown Mode			28		μA
I_{DRIVE}	Digital inputs = 0 V or V_{DRIVE}				
Normal Mode					
Static			0.3	0.95	mA
Operational	f_{SAMPLE} = 1 MSPS		2.4	3.2	mA
Shutdown Mode			20		μA
Power Dissipation					
Normal Mode					
Static			185	300	mW
Operational	f_{SAMPLE} = 1 MSPS		230	360	mW
Shutdown Mode			0.25		mW

[1] 用語の定義のセクションを参照してください。
[2] オーバーサンプリングをイネーブすることにより 93dB の SNR を実現できます。この値は手動モードで有効です。バースト・モードでは、この値は約 1 dB 低下します。
[3] 出荷テストに基づくものではありません。初期リリース時のサンプル・テストにより適合性を確認します。
[4] LSB は最下位ビットを意味します。±2.5 V の入力レンジでは、1 LSB = 76.293 μV です。±5 V の入力レンジでは、1 LSB = 152.58 μV です。±10 V の入力レンジでは、1 LSB = 305.175 μV です。
[5] 内部リファレンスの正と負のフルスケール誤差にはリファレンス誤差は含まれません。
[6] シミュレーション・データによって裏付けられています。

タイミング仕様

このタイミング仕様では、$\overline{\text{WR}}$/ BURST などの多機能ピンについてはピン名全体を表記しますが、特定の機能のみが該当するような説明箇所では、$\overline{\text{WR}}$ のように 1 つのピン機能だけを表記します。

共通タイミング仕様

特に指定のない限り、V_{CC} = 4.75 V ～ 5.25 V、V_{DRIVE} = 2.3 V ～ 3.6 V、V_{REF} = 2.5 V 外部リファレンス／内部リファレンス、T_A = −40 ºC ～ +125 ºC。インターフェース・タイミングは、30 pF の負荷容量を使ってテストされています。

表 2.

Parameter[1]	Min	Typ	Max	Unit	Description
t_{CYCLE}	1			µs	Minimum time between consecutive CONVST rising edges (excluding burst and oversampling modes)
t_{CONV_LOW}	50			ns	CONVST low pulse width
t_{CONV_HIGH}	50			ns	CONVST high pulse width
t_{BUSY_DELAY}			34	ns	CONVST high to BUSY high (manual mode)
$t_{\overline{CS}\_SETUP}$	20			ns	BUSY falling edge to $\overline{\text{CS}}$ falling edge setup time
t_{CH_SETUP}	50			ns	Channel select setup time in hardware mode for CHSELx
t_{CH_HOLD}	20			ns	Channel select hold time in hardware mode for CHSELx
t_{CONV}		475	530	ns	Conversion time for the selected channel pair
t_{ACQ}	470			ns	Acquisition time for the selected channel pair
t_{QUIET}	50			ns	$\overline{\text{CS}}$ rising edge to next CONVST rising edge
$t_{\overline{RESET}\_LOW}$					See Figure 3
Partial Reset	40		500	ns	Partial $\overline{\text{RESET}}$ low pulse width
Full Reset	1.2			µs	Full $\overline{\text{RESET}}$ low pulse width
t_{DEVICE_SETUP}					See Figure 3
Partial Reset	120			ns	Time between partial $\overline{\text{RESET}}$ high and CONVST rising edge
Full Reset	15			ms	Time between full $\overline{\text{RESET}}$ high and CONVST rising edge
t_{WRITE}					See Figure 3
Partial Reset	50			ns	Time between partial $\overline{\text{RESET}}$ high and $\overline{\text{CS}}$ for write operation
Full Reset	240			µs	Time between full $\overline{\text{RESET}}$ high and $\overline{\text{CS}}$ for write operation
$t_{\overline{RESET}\_WAIT}$	1			ms	Time between stable V_{CC}/V_{DRIVE} and release of $\overline{\text{RESET}}$ (see Figure 3)
$t_{\overline{RESET}\_SETUP}$					Time prior to release of $\overline{\text{RESET}}$ that queried hardware inputs must be stable for (see Figure 3)
Partial Reset	10			ns	
Full Reset	0.05			ms	
$t_{\overline{RESET}\_HOLD}$					Time after release of $\overline{\text{RESET}}$ that latched hardware inputs must be stable for (see Figure 3)
Partial Reset	10			ns	
Full Reset	0.24			ms	

[1] 出荷テストに基づくものではありません。初期リリース時のサンプル・テストにより適合性を確認します。

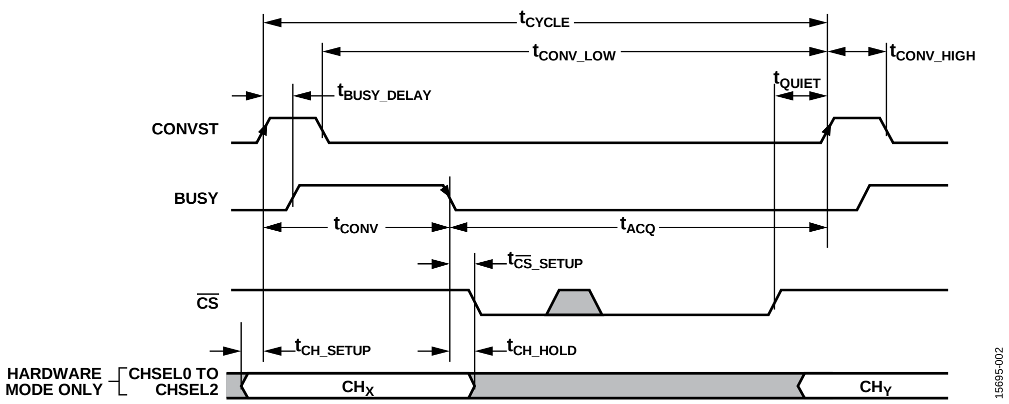


図 2. すべてのインターフェースの共通タイミング図

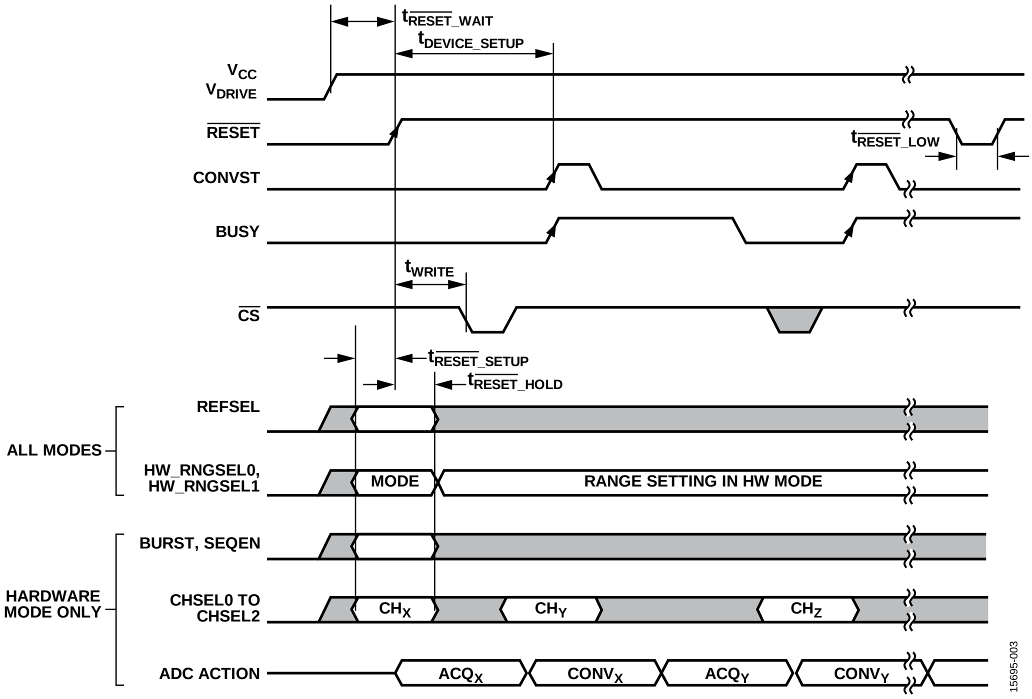


図 3. リセットのタイミング図

パラレル・インターフェースのタイミング仕様

表 3.

Parameter	Min	Typ	Max	Unit	Description
$t_{\overline{CS}\_HIGH}$	20			ns	$\overline{CS}$ high pulse width
$t_{\overline{RD}\_SETUP}$	0			ns	$\overline{CS}$ falling edge to $\overline{RD}$ falling edge setup time
$t_{\overline{RD}\_HOLD}$	0			ns	$\overline{RD}$ rising edge to $\overline{CS}$ rising edge hold time
$t_{\overline{RD}\_HIGH}$	20			ns	$\overline{RD}$ high pulse width
$t_{\overline{RD}\_LOW}$	40			ns	$\overline{RD}$ low pulse width
t_{DOUT_SETUP}			40	ns	Data access time after falling edge of $\overline{RD}$
t_{DOUT_3STATE}			16	ns	$\overline{CS}$ rising edge to DBx high impedance
$t_{\overline{WR}\_SETUP}$	0			ns	$\overline{CS}$ to $\overline{WR}$ setup time
$t_{\overline{WR}\_HIGH}$	20			ns	$\overline{WR}$ high pulse width
$t_{\overline{WR}\_LOW}$	40			ns	$\overline{WR}$ low pulse width
$t_{\overline{WR}\_HOLD}$	0			ns	$\overline{WR}$ hold time
t_{DIN_SETUP}	12			ns	Configuration data to $\overline{WR}$ setup time
t_{DIN_HOLD}	5			ns	Configuration data to $\overline{WR}$ hold time
t_{CONF_SETTLE}	20			ns	Configuration data settle time, $\overline{WR}$ rising edge to CONVST rising edge

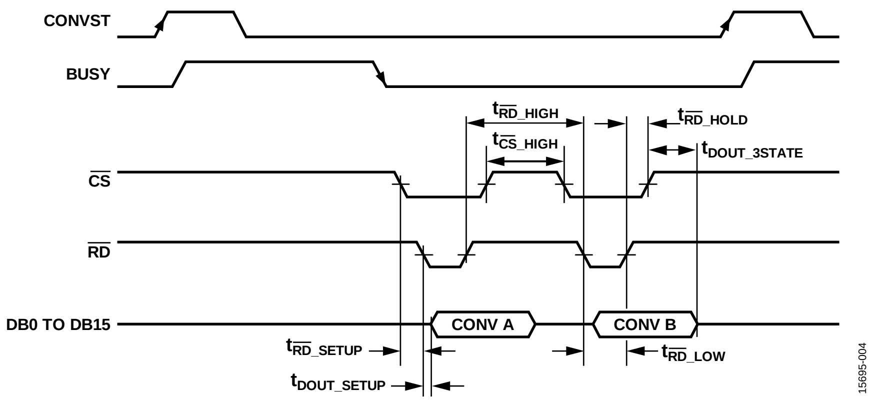


図 4. パラレル・リードのタイミング図

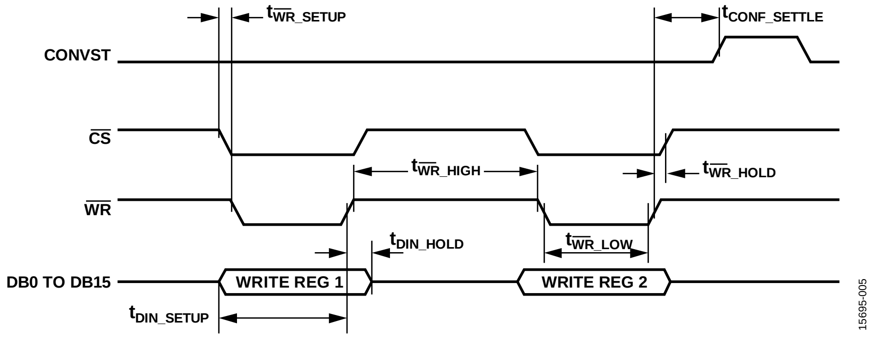


図 5. パラレル・ライトのタイミング図

絶対最大定格

特に指定のない限り、T_A = 25 ℃。

表 4.

Parameter	Rating
V_{CC} to AGND	−0.3 V to +7 V
V_{DRIVE} to AGND	−0.3 V to V_{CC} + 0.3 V
Analog Input Voltage to AGND[1]	±21 V
Digital Input Voltage to AGND	−0.3 V to V_{DRIVE} + 0.3 V
Digital Output Voltage to AGND	−0.3 V to V_{DRIVE} + 0.3 V
REFINOUT to AGND	−0.3 V to V_{CC} + 0.3 V
Input Current to Any Pin Except Supplies[1]	±10 mA
Operating Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	150°C
Soldering Reflow	
Pb/Sn Temperature (10 sec to 30 sec)	240 (+0)°C
Pb-Free Temperature	260 (+0)°C
ESD	
All Pins Except Analog Inputs	2 kV
Analog Input Pins Only	8 kV

[1] 最大 100 mA までの過渡電流では SCR ラッチアップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意が必要です。

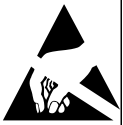
θ_{JA} は、1 立法フィートの密閉容器内で測定される、周囲温度とジャンクション温度の間の熱抵抗です。θ_{JC} は、ジャンクション温度とケース温度の間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
ST-80-2[1]	41	7.5	°C/W

[1] 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

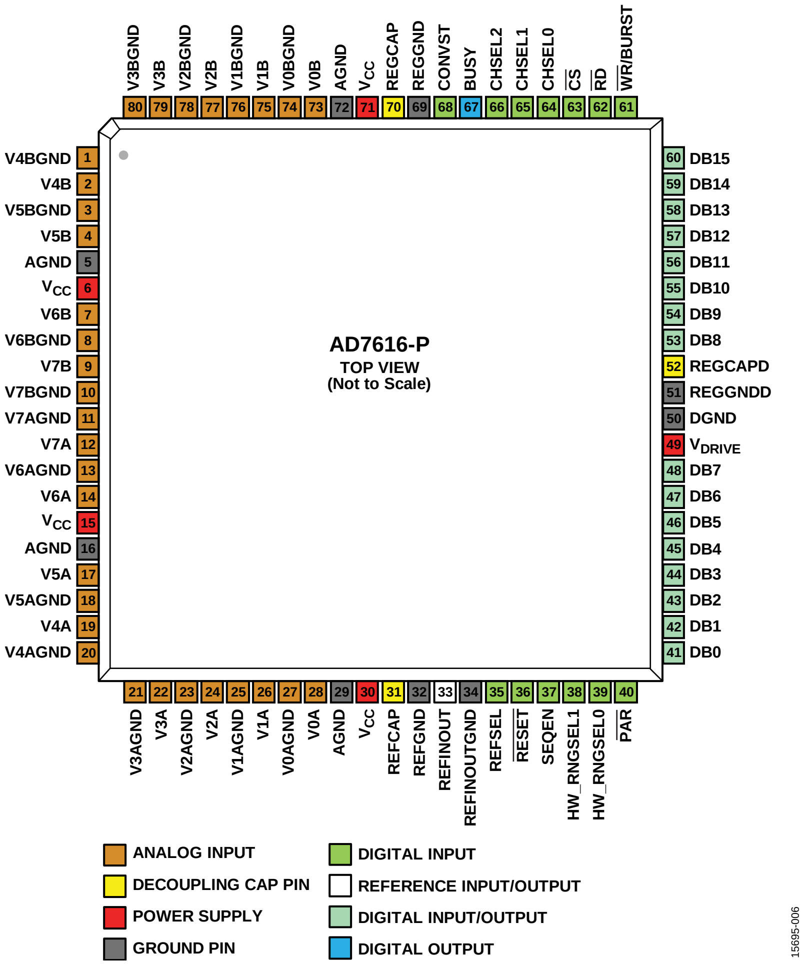


図 6. ピン配置

表 6. ピン機能の説明

Pin No.	Type[1]	Mnemonic[2]	Description
1	AI GND	V4BGND	V4B のアナログ入力グラウンド。
2	AI	V4B	ADC B のアナログ入力チャンネル 4。
3	AI GND	V5BGND	V5B のアナログ入力グラウンド。
4	AI	V5B	ADC B のアナログ入力チャンネル 5。
5, 16, 29, 72	P	AGND	アナログ電源グラウンド。
6, 15, 30, 71	P	V_{CC}	アナログ電源電圧（4.7 V ～ 5.25 V）。この電源電圧は、内部フロントエンド・アンプと ADC コアに供給されます。0.1 µF と 10 µF のコンデンサを並列に接続して、これらのピンを AGND にデカップリングします。
7	AI	V6B	ADC B のアナログ入力チャンネル 6。
8	AI GND	V6BGND	V6B のアナログ入力グラウンド。
9	AI	V7B	ADC B のアナログ入力チャンネル 7。
10	AI GND	V7BGND	V7B のアナログ入力グラウンド。
11	AI GND	V7AGND	V7A のアナログ入力グラウンド。
12	AI	V7A	ADC A のアナログ入力チャンネル 7。
13	AI GND	V6AGND	V6A のアナログ入力グラウンド。
14	AI	V6A	ADC A のアナログ入力チャンネル 6。
17	AI	V5A	ADC A のアナログ入力チャンネル 5。
18	AI GND	V5AGND	V5A のアナログ入力グラウンド。
19	AI	V4A	アナログ入力 V4A。
20	AI GND	V4AGND	V4A のアナログ入力グラウンド。

Pin No.	Type[3]	Mnemonic[4]	Description
21	AI GND	V3AGND	V3A のアナログ入力グラウンド。
22	AI	V3A	ADC A のアナログ入力チャンネル 3。
23	AI GND	V2AGND	V2A のアナログ入力グラウンド。
24	AI	V2A	ADC A のアナログ入力チャンネル 2。
25	AI GND	V1AGND	V1A のアナログ入力グラウンド。
26	AI	V1A	ADC A のアナログ入力チャンネル 1。
27	AI GND	V0AGND	V0A のアナログ入力グラウンド。
28	AI	V0A	ADC A のアナログ入力チャンネル 0。
31	CAP	REFCAP	リファレンス・バッファ出力のフォース／センス。REFCAP ピンのできるだけ近くに等価直列抵抗（ESR）の小さい 10 μF の X5R セラミック・コンデンサを配置し、このピンを REFGND からデカップリングしてください。このピンの電圧は標準で 4.096 V です。
32	GND	REFGND	リファレンス・グラウンド。このピンは AGND に接続します。
33	REF	REFINOUT	リファレンス入力／リファレンス出力。REFSEL ピンをロジック・ハイに設定した場合は、この REF ピンから 2.5 V の内部電圧リファレンスを外部で使用できます。逆に、REFSEL ピンをロジック・ローに設定して内部リファレンスをディスエーブルすることができ、2.5 V の外部リファレンスをこの入力へ与えることができます。内部、外部のいずれのリファレンスを選択しても、このピンにはデカップリングが必要です。REFINOUT ピンのできるだけ近くで、REFINOUT ピンと REFINOUTGND ピンの間に 100 nF の X7R コンデンサを接続します。外部リファレンスを使用する場合は、10 kΩ の直列抵抗をこのピンに接続し、リファレンス信号を帯域制限します。
34	GND	REFINOUTGND	リファレンス入力、リファレンス出力のグラウンド。
35	DI	REFSEL	内部リファレンス／外部リファレンスの選択用入力。REFSEL はロジック入力です。このピンをロジック・ハイに設定すると、内部リファレンスが選択されイネーブルされます。このピンをロジック・ローに設定すると、内部リファレンスがディスエーブルされるため、外部リファレンス電圧を REFINOUT ピンに与える必要があります。信号状態はフル・リセット解除時にラッチされ、再設定するには再度フル・リセットする必要があります。
36	DI	$\overline{\text{RESET}}$	リセット入力。$\overline{\text{RESET}}$ とグラウンドの間に 100 pF の出力コンデンサを接続してください。フル・リセットかパーシャル・リセットかを選択できます。リセットのタイプは $\overline{\text{RESET}}$ パルスの長さによって決まります。$\overline{\text{RESET}}$ をローに維持すると、デバイスはシャットダウン・モードになります。詳細についてはリセット機能のセクションを参照してください。
37	DI	SEQEN	チャンネル・シーケンサ・イネーブル入力（ハードウェア・モードのみ）。SEQEN をローにすると、シーケンサはディスエーブルされます。 SEQEN をハイにすると、シーケンサはイネーブルされます（ハードウェア・モードに機能が制限されます）。詳細についてはシーケンサのセクションを参照してください。信号状態はフル・リセット解除時にラッチされ、再設定するには再度フル・リセットする必要があります。 ソフトウェア・モードでは、このピンは DGND へ接続する必要があります。
38, 39	DI	HW_RNGSEL1, HW_RNGSEL0	ハードウェア／ソフトウェアのモード選択、ハードウェア・モードでのレンジ選択用入力。ハードウェア／ソフトウェアのモード選択はフル・リセット時にラッチされます。ハードウェア・モードでのレンジ選択はラッチされません。 HW_RNGSELx = 00: ソフトウェア・モード。AD7616-P はソフトウェア・レジスタを使用して設定されます。 HW_RNGSELx = 01: ハードウェア・モード。アナログ入力レンジは ±2.5 V。 HW_RNGSELx = 10: ハードウェア・モード。アナログ入力レンジは ±5 V。 HW_RNGSELx = 11: ハードウェア・モード。アナログ入力レンジは ±10 V。
40	DI	$\overline{\text{PAR}}$	パラレル・インターフェース選択用入力。 $\overline{\text{PAR}}$ REFSEL はロジック入力です。このピンは、パワーアップ時またはフル・リセット解除前に、ロジック・ロー状態に接続する必要があります。 PAR = 0: パラレル・インターフェースを選択。 PAR = 1: 無効。
41 to 48	DO/DI	DB0 to DB7	パラレル入出力のデータ・ビット 0 ～ データ・ビット 7。これらのピンは、入出力パラレル・データ・ビット DB7 ～ DB0 になります。詳細についてはパラレル・インターフェースのセクションを参照してください。
49	P	V_{DRIVE}	ロジック電源入力。このピンに入力される電圧（2.3 V ～ 3.6 V）により、インターフェースの動作電圧が決定されます。このピンの公称電源電圧はホスト・インターフェースの電源と同じです。0.1 μF と 10 μF のコンデンサを並列に接続して、このピンをデカップリングします。
50	GND	DGND	デジタル・グラウンド。このピンは、AD7616-P のすべてのデジタル回路のグラウンド基準ポイントです。DGND ピンは、システムの DGND プレーンに接続する必要があります。
51	GND	REGGNDD	REGCAPD（ピン 52）に接続されるデジタル低ドロップアウト（LDO）レギュレータのグラウンド。
52	CAP	REGCAPD	内蔵デジタル・レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。10 μF のコンデンサを使用して、この出力ピンを REGGNDD から別個にデカップリングします。このピンの電圧は 1.89 V（代表値）です。

Pin No.	Type[5]	Mnemonic[6]	Description
53 to 60	DO/DI	DB8 to DB15	パラレル入出力のデータ・ビット 8 〜 データ・ビット 15。これらのピンは、スリーステートのパラレル・デジタル入出力として機能します。詳細についてはパラレル・インターフェースのセクションを参照してください。
61	DI	$\overline{\mathrm{WR}}$/BURST	書込み／バースト・モード・イネーブル。 ソフトウェア・モードでは、このピンはレジスタ書込みコマンドの $\overline{\mathrm{WR}}$ として機能します。 ハードウェア・モードでは、このピンはバースト・モードをイネーブルします。信号状態はフル・リセット解除時にラッチされ、再設定するには再度フル・リセットする必要があります。詳細についてはバースト・シーケンサのセクションを参照してください。
62	DI	$\overline{\mathrm{RD}}$	パラレル・データ読出し制御入力。パラレル・モードで $\overline{\mathrm{CS}}$ と $\overline{\mathrm{RD}}$ がともにロジック・ローのとき、出力バスはイネーブルされます。
63	DI	$\overline{\mathrm{CS}}$	チップ・セレクト。このアクティブ・ローのロジック入力により、データ転送がフレーム化されます。$\overline{\mathrm{CS}}$ と $\overline{\mathrm{RD}}$ が両方共ロジック・ローのときは DBx 出力バスがイネーブルされ、変換結果がパラレル・データ・バス・ラインに出力されます。
64 to 66	DI	CHSEL0 to CHSEL2	チャンネル選択入力 0 〜 入力 2（ハードウェア・モードのみ）。ハードウェア・モードでは、これらの入力によって、ADC A と ADC B の次の変換の入力チャンネルが選択されます。例えば、CHSELx = 0x000 は次の変換に V0A と V0B を選択し、CHSELx = 0x001 は次の変換に V1A と V1B を選択します。
67	DO	BUSY	ビジー出力。このピンは、CONVST の立上がりエッジ後にロジック・ハイに遷移し、変換プロセスが開始されたことを示します。現在選択されているチャンネルの変換処理が完了するまで、BUSY 出力はハイを維持します。BUSY の立下がりエッジは、変換データが出力データ・レジスタにラッチされ、読出しが可能になったことを知らせます。BUSY がローに戻った後でデータを読み出す必要があります。BUSY 信号がハイの間は、CONVST の立上がりエッジは影響を与えません。
68	DI	CONVST	ADC A と ADC B の変換開始入力。このロジック入力により、アナログ入力チャンネルの変換が開始されます。 CONVST がローからハイに遷移すると、選択したアナログ入力ペアに対する変換が開始されます。バースト・モードとオーバーサンプリング・モードがディスエーブルされている場合は、CONVST がローからハイに遷移するたびに 1 つのチャンネル・ペアが変換されます。シーケンサ・モードでは、バースト・モードまたはオーバーサンプリングがイネーブルされている場合、CONVST がローからハイへ 1 回遷移すれば必要な変換回数を実行できます。
69	GND	REGGND	内部アナログ・レギュレータのグラウンド。このピンはシステムの AGND プレーンに接続する必要があります。
70	CAP	REGCAP	内部アナログ・レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。10 μF のコンデンサを使用して、この出力ピンを REGGND から個別にデカップリングします。このピンの電圧は 1.87 V（代表値）です。
73	AI	V0B	ADC B のアナログ入力チャンネル 0。
74	AI GND	V0BGND	V0B のアナログ入力グラウンド。
75	AI	V1B	ADC B のアナログ入力チャンネル 1。
76	AI GND	V1BGND	V1B のアナログ入力グラウンド。
77	AI	V2B	ADC B のアナログ入力チャンネル 2。
78	AI GND	V2BGND	V2B のアナログ入力グラウンド。
79	AI	V3B	ADC B のアナログ入力チャンネル 3。
80	AI GND	V3BGND	V3B のアナログ入力グラウンド。

[1] AI はアナログ入力、GND はグラウンド、P は電源、CAP はデカップリング・コンデンサ・ピン、REF はリファレンス入出力、DI はデジタル入力、DO はデジタル出力です。
[2] このデータシートでは、$\overline{\mathrm{WR}}$/BURST などの複数の機能を備えたピンはピン名全体で表記しますが、特定の機能のみが該当するような説明箇所では $\overline{\mathrm{WR}}$ のように、ピンの 1 つの機能で表記しています。
[3] AI はアナログ入力、GND はグラウンド、P は電源、CAP はデカップリング・コンデンサ・ピン、REF はリファレンス入出力、DI はデジタル入力、DO はデジタル出力です。
[4] このデータシートでは、$\overline{\mathrm{WR}}$/BURST などの複数の機能を備えたピンはピン名全体で表記しますが、特定の機能のみが該当するような説明箇所では $\overline{\mathrm{WR}}$ のように、ピンの 1 つの機能で表記しています。
[5] AI はアナログ入力、GND はグラウンド、P は電源、CAP はデカップリング・コンデンサ・ピン、REF はリファレンス入出力、DI はデジタル入力、DO はデジタル出力です。
[6] このデータシートでは、$\overline{\mathrm{WR}}$/BURST などの複数の機能を備えたピンはピン名全体で表記しますが、特定の機能のみが該当するような説明箇所では $\overline{\mathrm{WR}}$ のように、ピンの 1 つの機能で表記しています。

代表的な性能特性

特に指定がない限り、V_{REF} = 2.5 V 内部、V_{CC} = 5 V、V_{DRIVE} = 3.3 V、f_{SAMPLE} = 1 MSPS、f_{IN} = 1 kHz T_A = 25 ℃。

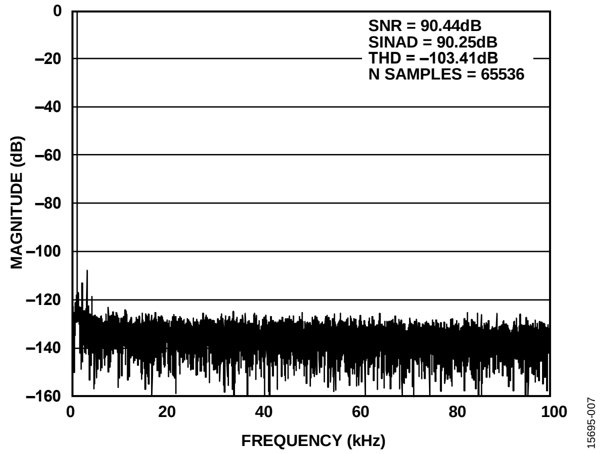


図 7. 高速フーリエ変換（FFT）、±10 V レンジ

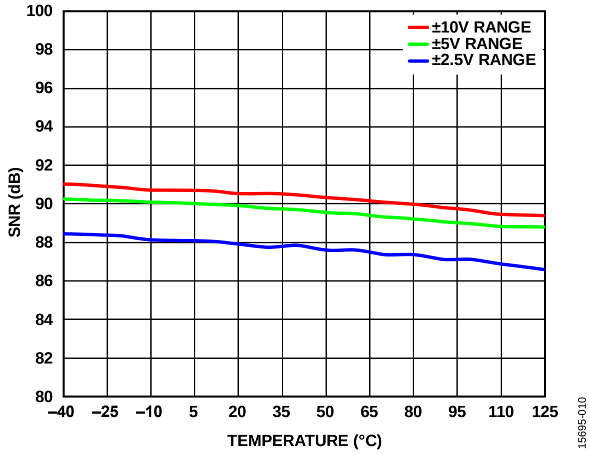


図 10. SNR の温度特性

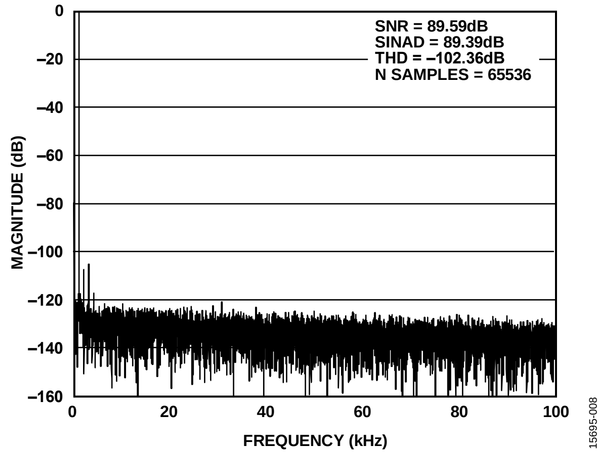


図 8. FFT、±5 V レンジ

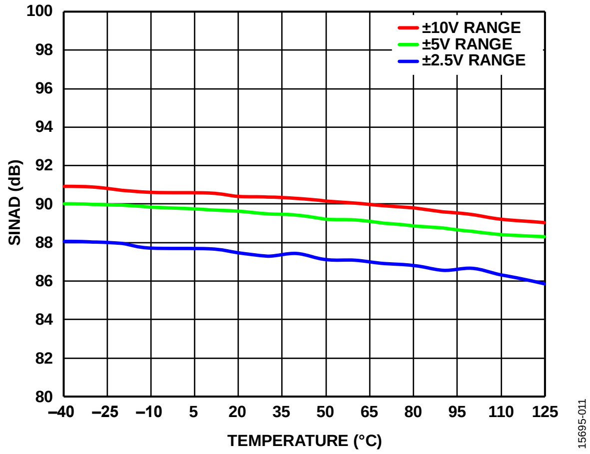


図 11. SINAD の温度特性

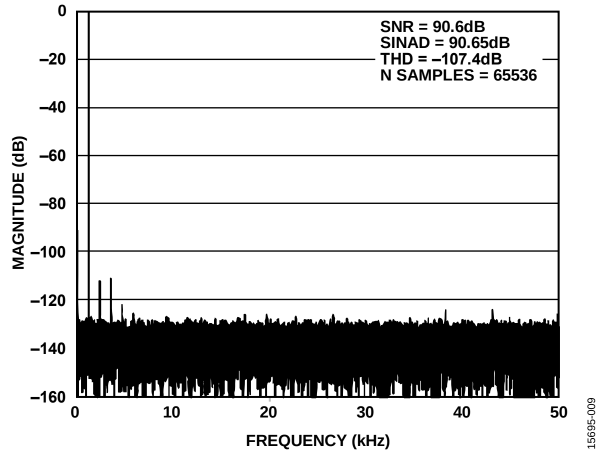


図 9. FFT バースト・モード、±10 V レンジ

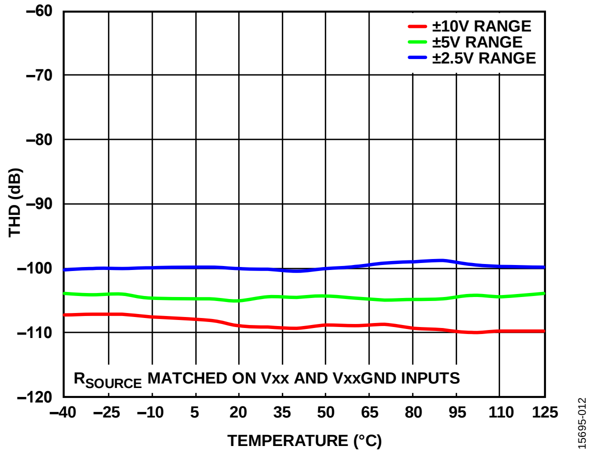


図 12. THD の温度特性

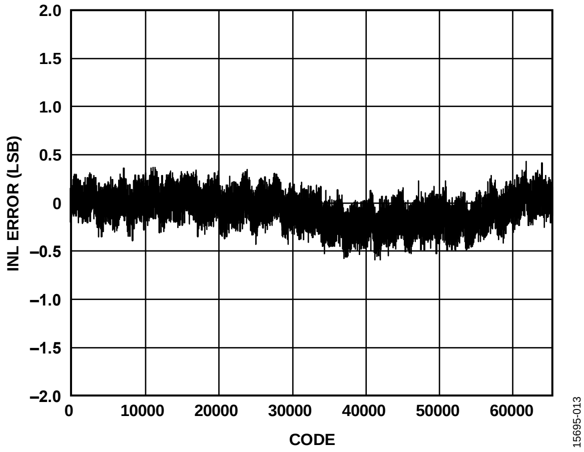


図 13. 標準 INL 誤差、±10 V レンジ

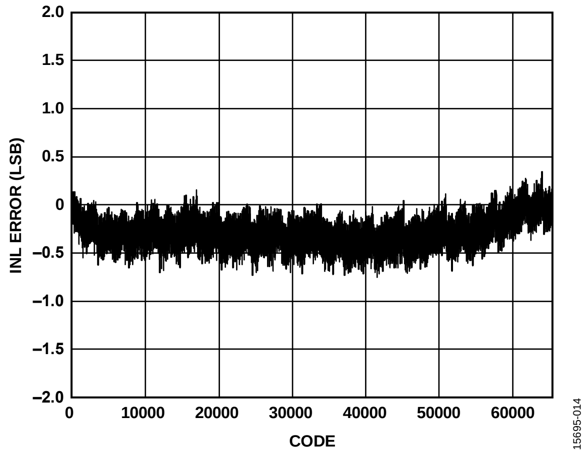


図 14. 標準 INL 誤差、±5 V レンジ

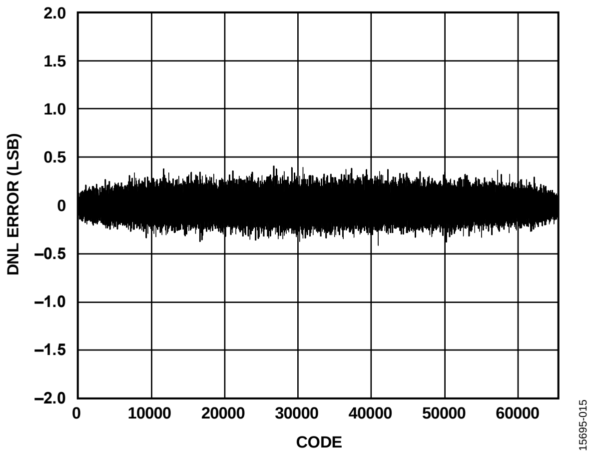


図 15. 標準 DNL 誤差、±10 V レンジ

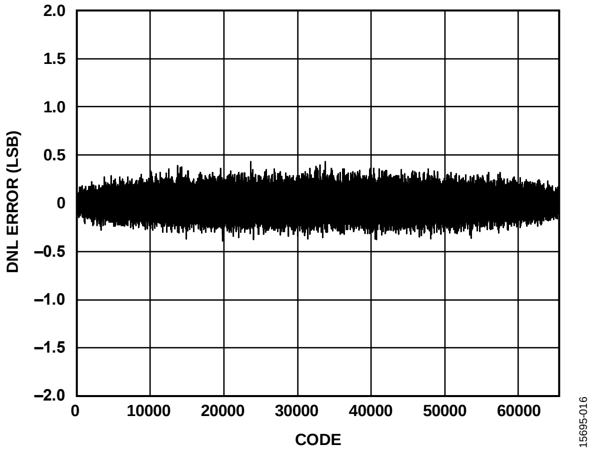


図 16. 標準 DNL 誤差、±5 V レンジ

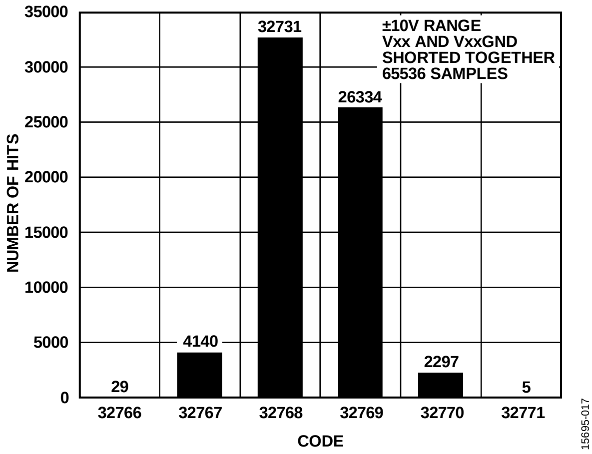


図 17. コード・センターでのコードの DC ヒストグラム、±10 V レンジ

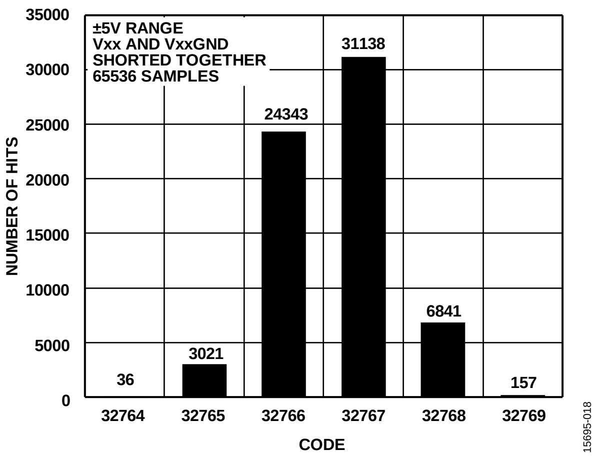


図 18. コード・センターでのコードの DC ヒストグラム、±5 V レンジ

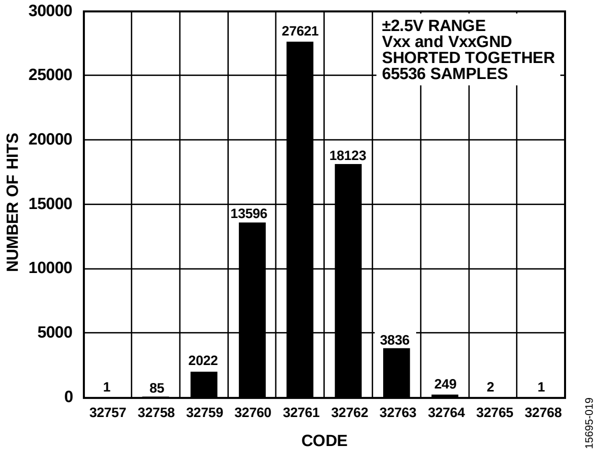


図 19. コード・センターでのコードの DC ヒストグラム、±2.5 V レンジ

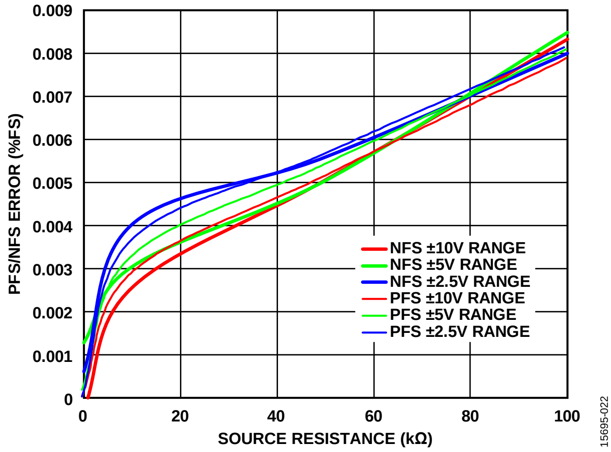


図 22. PFS/NFS 誤差のソース抵抗特性

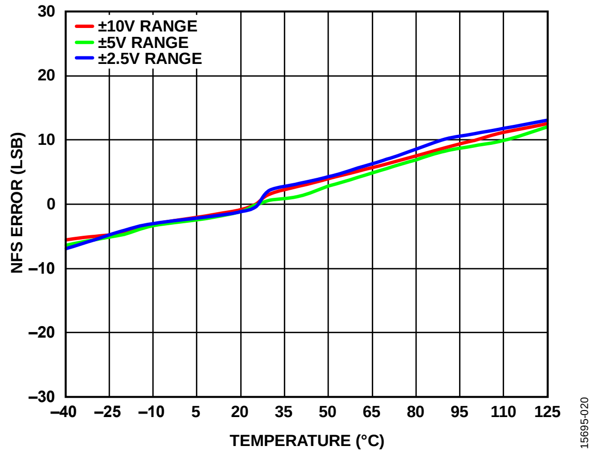


図 20. NFS 誤差の温度特性

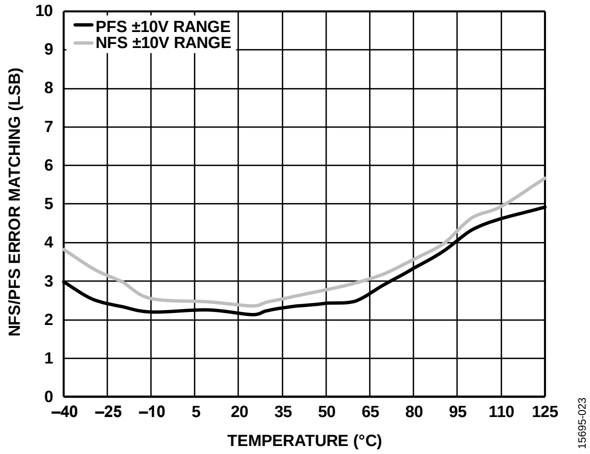


図 23. NFS/PFS 誤差マッチングの温度特性

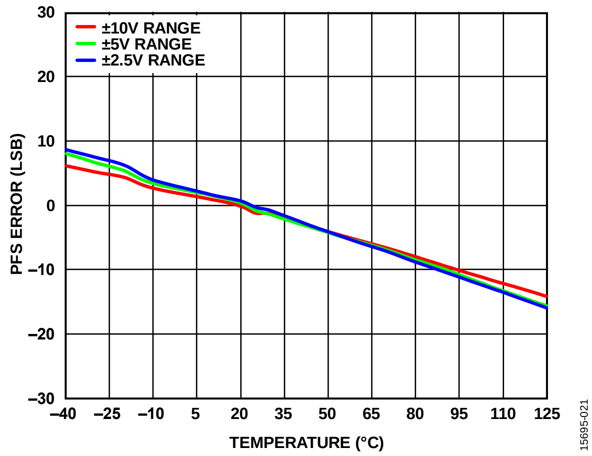


図 21. PFS 誤差の温度特性

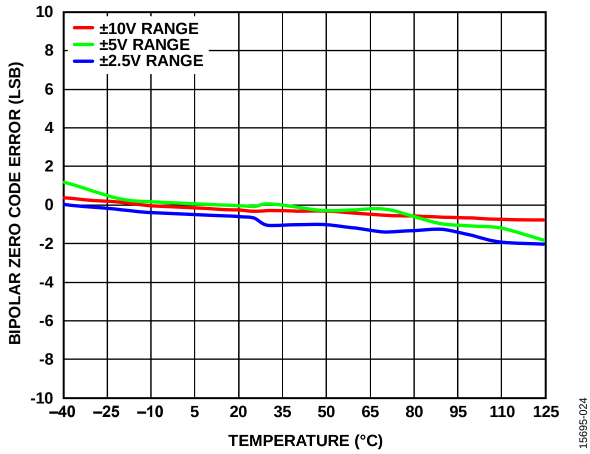


図 24. バイポーラ・ゼロ・コード誤差の温度特性

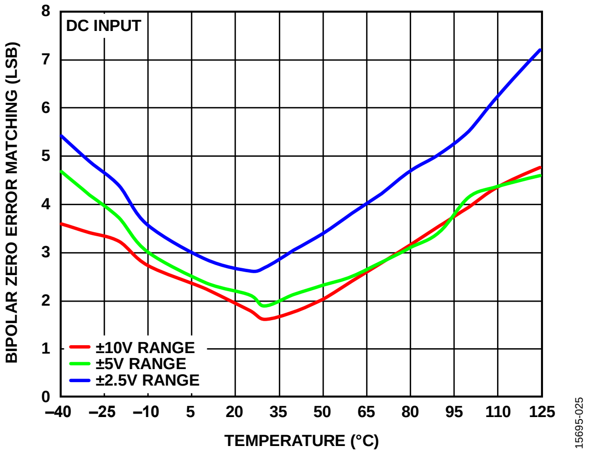


図 25. バイポーラ・ゼロ誤差マッチングの温度特性

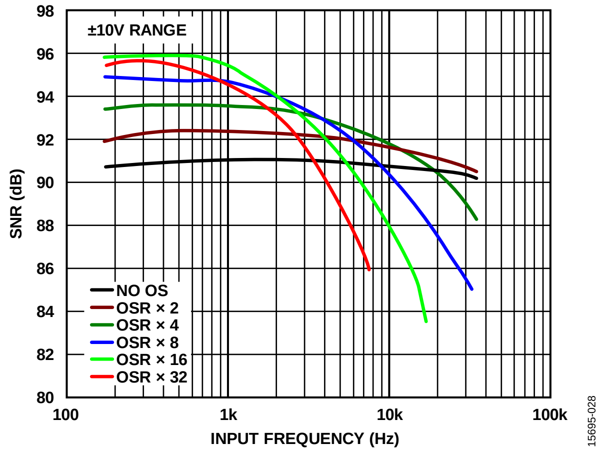


図 28. 各種オーバーサンプリング・レートでの SNR の入力周波数特性、±10 V レンジ

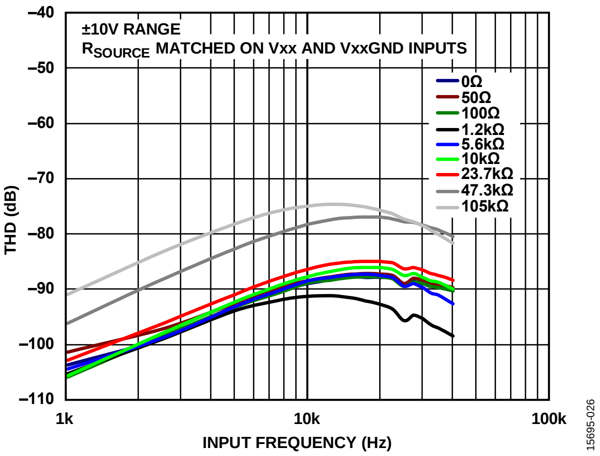


図 26. 各種ソース・インピーダンスでの THD の入力周波数特性、±10 V レンジ

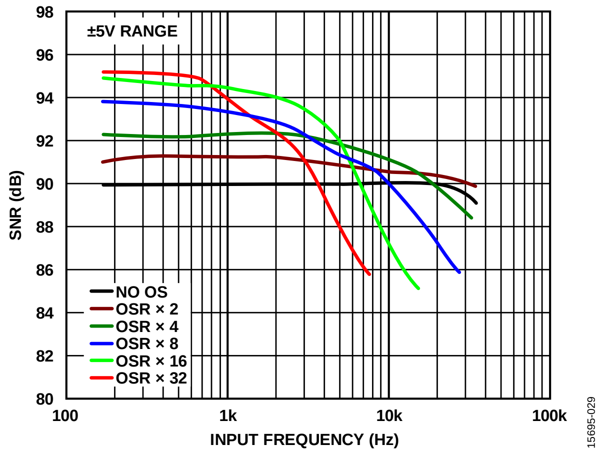


図 29. 各種オーバーサンプリング・レートでの SNR の入力周波数特性、±5 V レンジ

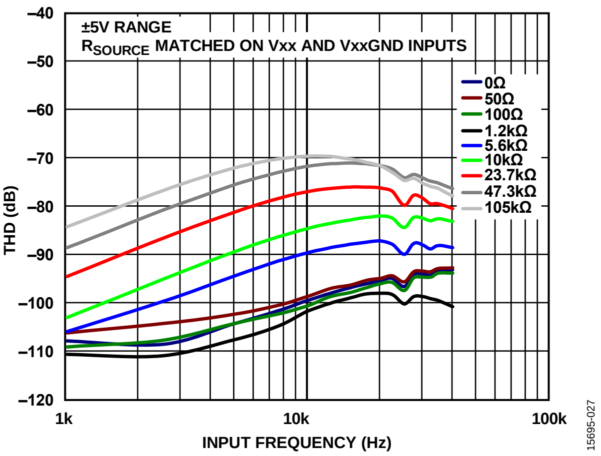


図 27. 各種ソース・インピーダンスでの THD の入力周波数特性、±5 V レンジ

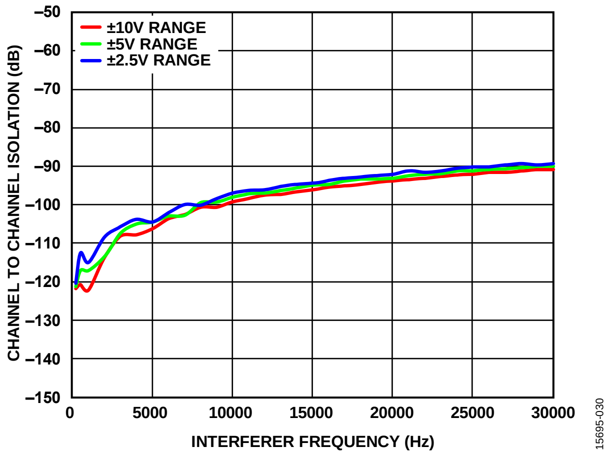


図 30. チャンネル間アイソレーションの干渉源周波数特性

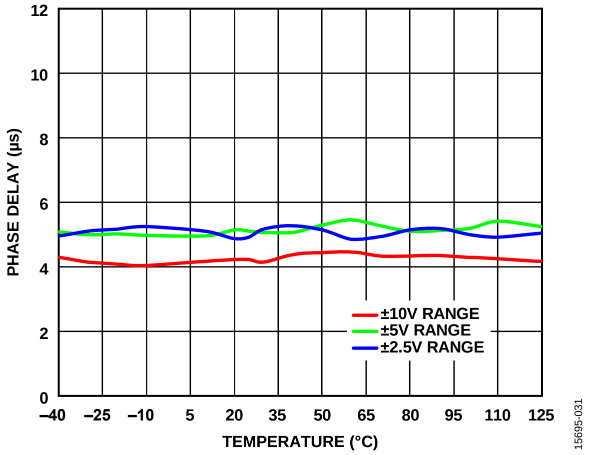


図 31. 位相遅延の温度特性

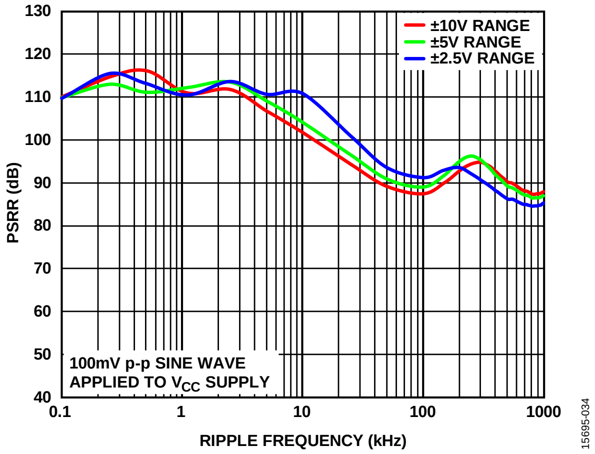


図 34. PSRR のリップル周波数特性

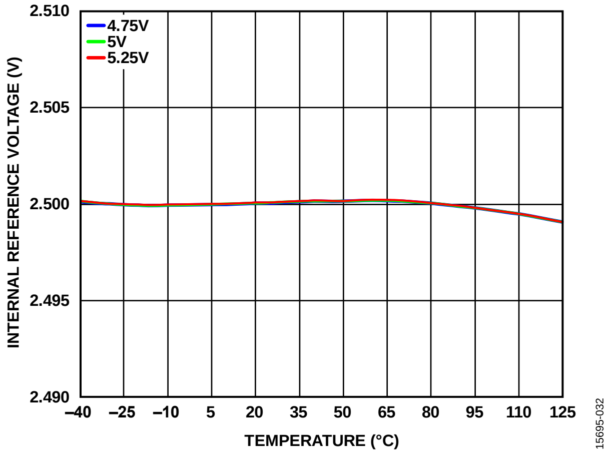


図 32. 各種電源電圧での内部リファレンス電圧の温度特性

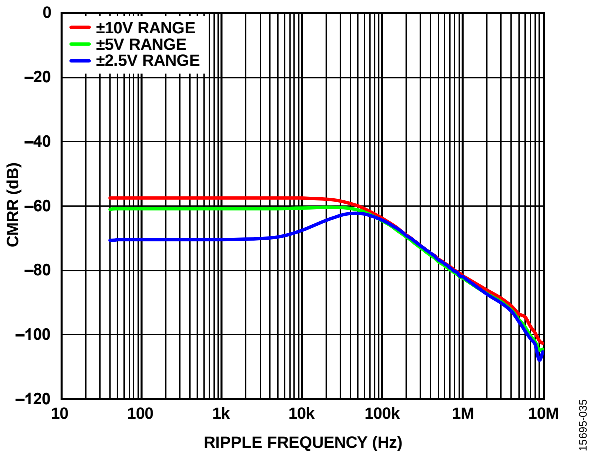


図 35. CMRR のリップル周波数特性

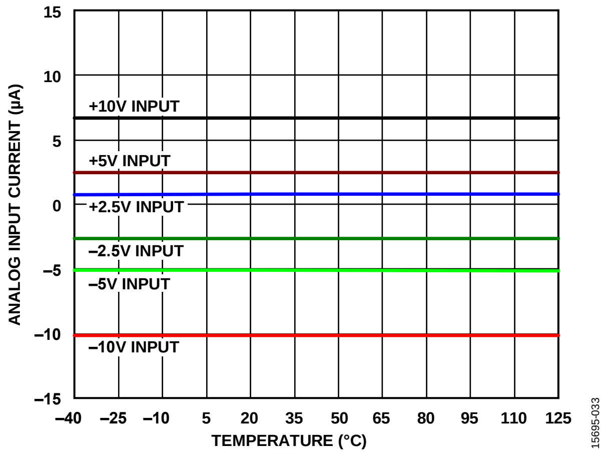


図 33. 各種電源電圧でのアナログ入力電流の温度特性

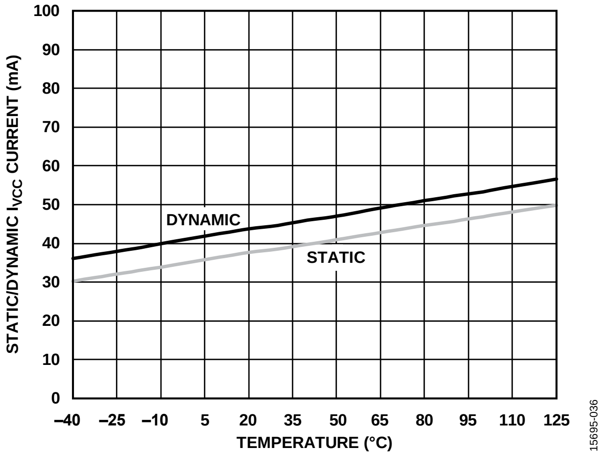


図 36. スタティック／ダイナミック I_{VCC} 電流の温度特性

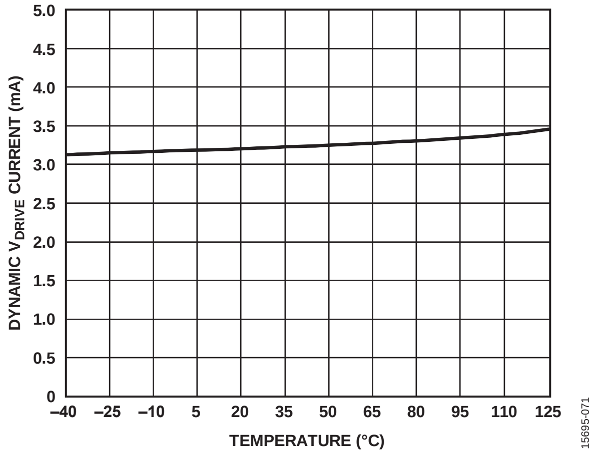


図 37. ダイナミック V_{DRIVE} 電流の温度特性

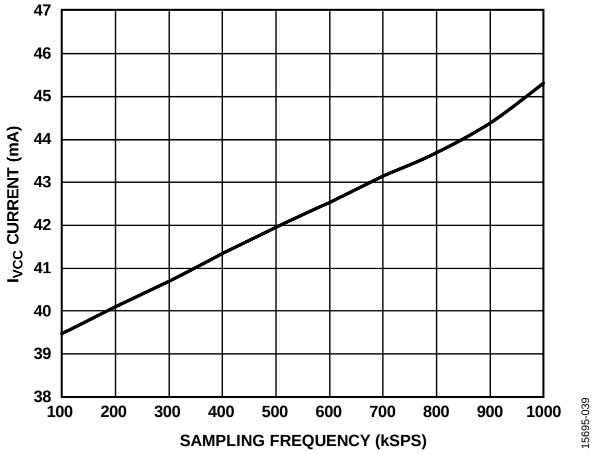


図 39. I_{VCC} 電流対サンプリング周波数

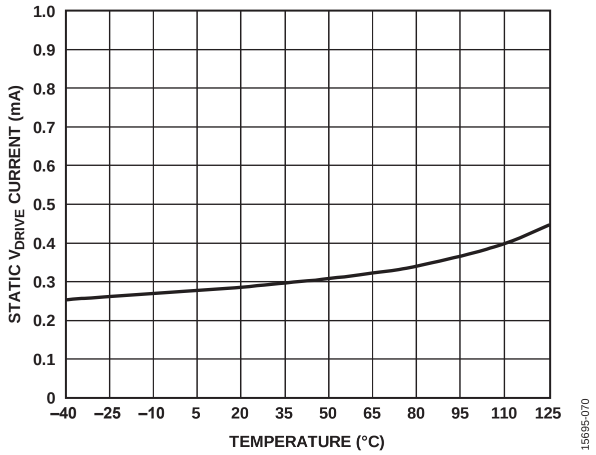


図 38. スタティック V_{DRIVE} 電流の温度特性

用語の定義

積分非直線性（INL）
INL は、ADC 伝達関数の両端を結ぶ直線からの最大許容誤差です。伝達関数の両端は、ゼロ・スケール（最初のコード遷移より ½ LSB 下）とフル・スケール（最後のコード遷移より ½ LSB 上）です。

微分非直線性（DNL）
DNL は、ADC の 2 つの隣接コード間における 1 LSB 変化の測定値と理論値の差です。

バイポーラ・ゼロ・コード誤差
バイポーラ・ゼロ・コード誤差は、（オール 1 からオール 0 への遷移の）ミッドスケール遷移点の理想値（0 V − ½ LSB）からの偏差 です。

バイポーラ・ゼロ・コード誤差マッチング
バイポーラ・ゼロ・コード誤差マッチングは、2 つの入力チャンネル間のバイポーラ・ゼロ・コード誤差の絶対差です。

正のフルスケール（PFS）誤差
PFS 誤差は、バイポーラ・ゼロ・コード誤差の調整後、理想的な最後のコード遷移（10V - 1½ LSB（9.99954）、5V - 1½ LSB（4.99977）、2.5V - 1½ LSB（2.49989））からの実際の最後のコード遷移の偏差です。PFS 誤差には内部リファレンス・バッファの寄与分も含まれます。

PFS 誤差マッチング
PFS 誤差マッチングは、2 つの入力チャンネル間の正のフルスケール誤差の絶対差です。

負のフルスケール（NFS）誤差
NFS 誤差は、バイポーラ・ゼロ・コード誤差の調整後、理想的な最初のコード遷移（−10 V + 1½ LSB（−9.99985）、−5 V + 1½ LSB（−4.99992）、−2.5 V + 1½ LSB（−2.49996））からの実際の最初のコード遷移の偏差です。NFS 誤差には内部リファレンス・バッファの寄与分も含まれます。

NFS 誤差マッチング
NFS 誤差マッチングは、2 つの入力チャンネル間の負のフルスケール誤差の絶対差です。

信号／ノイズ + 歪み（SINAD）
SINAD は、A/D コンバータ出力でのノイズ + 歪みに対する信号の比率の測定値です。信号はサイン波の rms 値で、ノイズはサンプリング周波数の 1/2（$f_S/2$）までの非基本波信号の rms 和です（DC 以外の高調波を含む）。

S/N 比（SNR）
SNR は、ADC の出力で測定された信号のノイズに対する比です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数（$f_S/2$）までの非基本波の総和で表します（DC を除く）。

この比はデジタル化の過程の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。サイン波入力の理想 N ビット・コンバータの理論的 SNR は、次式で与えられます。

$$SNR = (6.02N + 1.76)\ \mathrm{dB}$$

ここで、N は全ビット数です。

したがって、16 ビット・コンバータの場合、SNR は 98 dB になります。

全高調波歪み（THD）
THD は最初の 5 つの高調波成分の rms 和とフルスケール入力信号の rms 値との比で、デシベル（dB）で表されます。

ピーク高調波またはスプリアス・ノイズ
ピーク高調波またはスプリアス・ノイズは、基本波 rms 値に対する ADC 出力スペクトル内の（DC を除いて $f_S/2$ まで）2 番目に大きい成分の rms 値の比です。一般に、この仕様の値はスペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアの下に埋まっている ADC の場合はノイズ・ピークで決まります。

相互変調歪み（IMD）
2 つの周波数 fa と fb のサイン波で構成される入力により、非直線性のあるアクティブ・デバイスはすべて mfa ± nfb（ここで、m、n = 0、1、2、3）で表される和と差の周波数で歪み積を生じます。相互変調歪み項とは m も n も 0 ではない項です。例えば、2 次の項は（fa + fb）および（fa ‑ fb）を含み、3 次の項は（2fa + fb）、（2fa ‑ fb）、（fa + 2fb）、および（fa ‑ 2fb）を含みます。

相互変調歪みの計算は THD の仕様に従い、基本波の和の rms 振幅に対する、個々の歪み積の rms 総和の比で、デシベル（dB）で表します。

電源電圧変動除去比（PSRR）
電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。電源電圧変動除去は、電源電圧の公称値からの変化によるフルスケール遷移点の最大変化量です。PSRR は、フルスケール周波数 f の ADC 出力の電力と、ADC の V_{CC} 電源に印加された周波数 f_S の 100 mV p-p サイン波の電力の比で定義されます。

$$PSRR\ (\mathrm{dB}) = 10\log(Pf/Pf_S)$$

ここで、
Pf は ADC 出力の周波数 f の電力です。
Pf_S は V_{CC} 電源に結合した周波数 f_S の電力です。

AC 同相ノイズ除去比（AC CMRR）
AC CMRR は、コモンモード電圧 Vxx と VxxGND に加えられた周波数 f_S のサイン波の電力に対する周波数 f の ADC 出力の電力の比として定義されます。

$$AC\ CMRR\text{（dB）} = 10\log\text{（}Pf/Pf_S\text{）}$$

ここで、
Pf は ADC 出力における周波数 f の電力です。
Pf_S は ADC 出力における周波数 f_S の電力です。

チャンネル間アイソレーション
チャンネル間アイソレーションはすべての入力チャンネル間のクロストーク・レベルの大きさです。この値を測定するには、非選択入力チャンネルのすべてに、最大 160 kHz までのフルスケールのサイン波信号を入力し、その信号の減衰量を、1 KHz のサイン波信号が入力されている選択チャンネルで調べます。

位相遅延
位相遅延は、アナログ入力がコンバータによってサンプリングされた時点から、そのサンプルに関連した結果を ADC から読み出せるようになる時点までの、絶対的な時間遅延です。これには、デバイスのアナログ・フロントエンドによる遅延も含まれます。

位相遅延ドリフト
位相遅延ドリフトは、デバイスの動作温度全体にわたる単位温度あたりの位相遅延の変化です。

位相遅延マッチング
位相遅延マッチングは、同時にサンプリングされたペア間で観測される最大位相遅延です。

動作原理

コンバータの詳細

AD7616-P は、高速、低電力の電荷再配分式 SAR ADC を採用した DAS で、16 チャンネルのアナログ入力のデュアル同時サンプリングが可能です。AD7616-P のアナログ入力では、真のバイポーラ・アナログ入力信号を受信することができます。アナログ入力レンジは ±10 V、±5 V、±2.5 V から選択できます。AD7616-P は 5 V 単電源で動作します。

AD7616-P の搭載機能には、入力クランプ保護、入力信号スケーリング・アンプ、一次アンチエイリアシング・フィルタ、内部リファレンス、リファレンス・バッファ、デュアル高速 ADC、デジタル・フィルタ、フレキシブルなシーケンサ、および高速パラレル・インターフェースがあります。

AD7616-P は、HW_RNGSELx ピンを制御することにより、ハードウェア・モードまたはソフトウェア・モードで動作させることができます。ハードウェア・モードでは、AD7616-P はピン制御により設定します。また、ソフトウェア・モードでは、パラレル・インターフェースを介してアクセスできる制御レジスタによって設定します。

アナログ入力

アナログ入力チャンネルの選択

AD7616-P にはデュアルの同時サンプリング 16 ビット ADC が内蔵されています。それぞれの ADC には 8 つのアナログ入力チャンネルがあり、合計 16 のアナログ入力チャンネルとなります。さらに、AD7616-P には、V_{CC} 電源をモニタするためのオンチップ診断チャンネル、および調整可能なオンチップ LDO レギュレータが搭載されています。ハードウェア・モードで CHSELx ピンを制御するか、ソフトウェア・モードでチャンネル・レジスタを使用することにより、変換に使用するチャンネルを選択できます。診断チャンネルをサンプリングするには、ソフトウェア・モードにする必要があります。チャンネルは動的に選択することも、あるいは AD7616-P に内蔵されているシーケンサによって、変換に使用するチャンネルをあらかじめプログラムしておくこともできます。ハードウェア・モードでの同時サンプリングは、ADC A および ADC B の対応するアナログ入力チャンネルに限定されます。例えば、チャンネル V0A は常にチャンネル V0B とともにサンプリングされます。ソフトウェア・モードでは、任意の ADC A チャンネルと任意の ADC B チャンネルを選択して同時サンプリングすることができます。

アナログ入力レンジ

AD7616-P は真のバイポーラでシングルエンドの入力電圧に対応できます。レンジ選択ピン（HW_RNGSEL0 および HW_RNGSEL1）のロジック・レベルにより、全アナログ入力チャンネルのアナログ入力レンジが決まります。両方のレンジ選択ピンがロジック・ローに接続されている場合、アナログ入力レンジは入力レンジ・レジスタを介してソフトウェア・モードで決定されます（詳細はレジスター覧セクションを参照）。ソフトウェア・モードでは、チャンネルごとに個別のアナログ入力レンジを設定することができます。

表 7. アナログ入力レンジの選択

Analog Input Range	HW_RNGSEL1	HW_RNGSEL0
Configured via the Input Range Registers	0	0
±2.5 V	0	1
±5 V	1	0
±10 V	1	1

ハードウェア・モードでは、これらのピンでのロジック変化は直ちにアナログ入力レンジに影響します。ただし、通常のアクイジション時間の条件に加えて、標準で約 120 μs のセトリング時間が必要です。推奨される方法は、システム信号に必要な入力レンジに応じて、レンジ選択ピンをハードワイヤ接続することです。

アナログ入力インピーダンス

AD7616-P のアナログ入力インピーダンスは 1 MΩ に固定されており、サンプリング周波数によって変化しません。この高いアナログ入力インピーダンスにより AD7616-P 前段でのドライバ・アンプが不要となり、ソースまたはセンサーを直結できます。

アナログ入力クランプ保護

AD7616-P のアナログ入力回路を図 40 に示します。AD7616-P の各アナログ入力には、クランプ保護回路が組み込まれています。5V の単電源動作にもかかわらず、このアナログ入力クランプ保護により -20 V ～ +20 V の入力過電圧を許容できます。

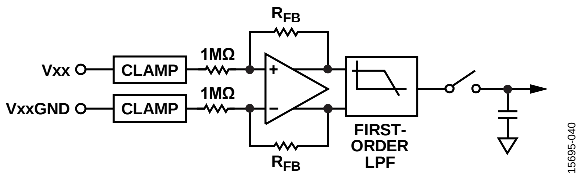


図 40. アナログ入力回路

クランプ回路の入力クランプ電流の対ソース電圧特性を図 41 に示します。-20 V ～ +20 V のソース電圧では、クランプ回路に電流は流れません。+20 V を上回るか -20 V を下回る入力電圧では、AD7616-P のクランプ回路がオンになります。

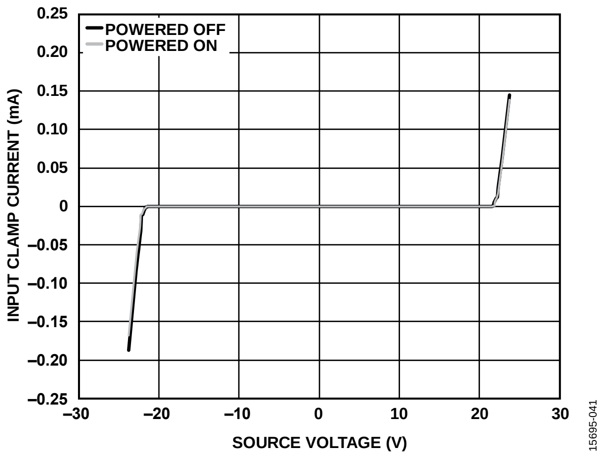


図 41. 入力保護クランプのプロファイル、入力クランプ電流対ソース電圧

アナログ入力に直列抵抗を接続して、+20 V を上回るか -20 V を下回る入力電圧に対する電流を ±10 mA に制限します。アナログ入力 VxA または VxB に直列抵抗を挿入するアプリケーションでは、アナログ入力のグラウンド・チャンネル VxAGND または VxBGND に対応する抵抗が必要になります（図 42 参照）。

VxAGND または VxBGND チャンネルに対応する抵抗がない場合、そのチャンネルでオフセット誤差が生じます。この入力過電圧クランプ保護回路を使用して、過渡過電圧から AD7616-P を保護します。通常の動作状態またはパワーダウン状態で、クランプ保護回路をアクティブな状態にしたまま AD7616-P を長時間放置することは推奨できません。

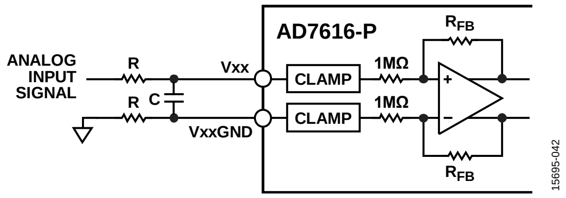


図 42. アナログ入力の入力抵抗マッチング

アナログ入力のアンチエイリアシング・フィルタ

AD7616-P には、アナログ・アンチエイリアシング・フィルタ（1 次バターワース・フィルタ）も組み込まれています。アナログ・アンチエイリアシング・フィルタの周波数応答と位相応答を、図 43 と 図 44 にそれぞれ示します。±10 V レンジでの標準コーナー周波数は 39kHz、±5 V のレンジでは 33kHz です。

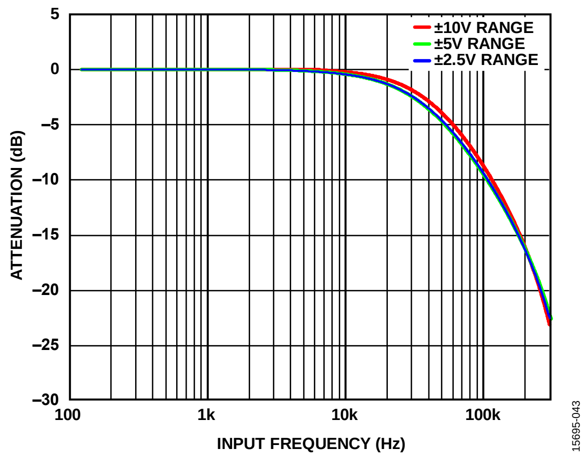


図 43. アナログ・アンチエイリアス・フィルタの周波数応答

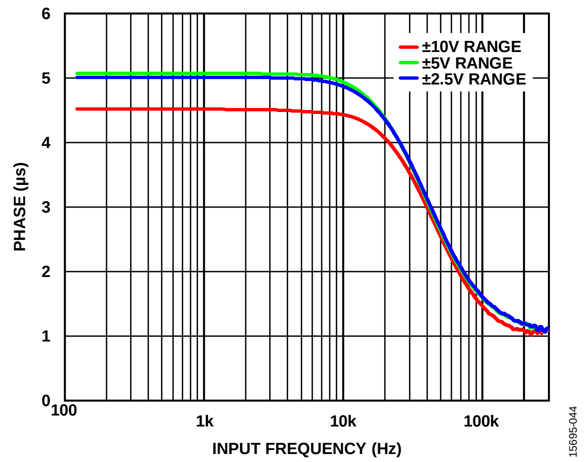
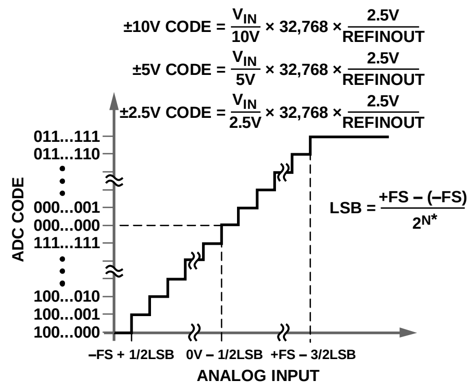


図 44. アナログ・アンチエイリアス・フィルタの位相応答

ADC の伝達関数

AD7616-P の出力コーディングは 2 の補数です。設計上のコード遷移は LSB の連続する整数値の中間（1/2 LSB や 3/2 LSB）で発生します。AD7616-P の場合、LSB サイズは「フルスケール・レンジ÷ 65,536」です。AD7616-P の理想転送特性を図 45 に示します。LSB のサイズは、選択されたアナログ入力レンジに依存します。



	+FS	MIDSCALE	–FS	LSB
±10V RANGE	+10V	0V	–10V	305µV
±5V RANGE	+5V	0V	–5V	152µV
±2.5V RANGE	+2.5V	0V	–2.5V	76µV

*WHERE N IS THE NUMBER OF BITS OF THE CONVERTER

15695-045

図 45. 伝達特性

内部／外部リファレンス

AD7616-P は、外部または内部のどちらのリファレンスでも動作可能です。このデバイスには 2.5 V のバンドギャップ・リファレンスが内蔵されています。内部で 4.096 V のリファレンスを生成する 2.5 V リファレンスを REFINOUT ピンから取り出すことができます。あるいは、2.5 V の外部リファレンスを AD7616-P に与えることもできます。外部から与える 2.5 V のリファレンスも内部バッファを使用して 4.096 V に増幅されます。このバッファされた 4.096 V のリファレンスを SAR ADC が使用します。

REFSEL ピンはロジック入力ピンです。これにより、内部リファレンスまたは外部リファレンスを選択できます。このピンをロジック・ハイにすると、内部リファレンスが選択されイネーブルされます。このピンをロジック・ローにすると、内部リファレンスがディスエーブルされるので、外部リファレンス電圧を REFINOUT ピンに与える必要があります。

内部リファレンス・バッファは常にイネーブルされています。フル・リセット後、AD7616-P は REFSEL ピンによって選択されたリファレンス・モードで動作します。内部、外部のいずれのリファレンス・オプションでも、REFINOUT ピンにはデカップリングが必要です。REFINOUT ピンと REFINOUTGND ピンには、100 nF の X8R セラミック・コンデンサが必要です。

AD7616-P には、リファレンス電圧をほぼ 4.096 V に増幅するように構成されたリファレンス・バッファが内蔵されています。REFCAP と REFGND の間には 10µF の X5R セラミック・コンデンサが必要です。REFINOUT ピンで使用できるリファレンス電圧は 2.5 V です。AD7616-P を外部リファレンス・モードに設定すると、REFINOUT ピンは高入力インピーダンス・ピンになります。

内部リファレンスをシステム内の他の場所に与える場合は、最初に外部でバッファする必要があります。

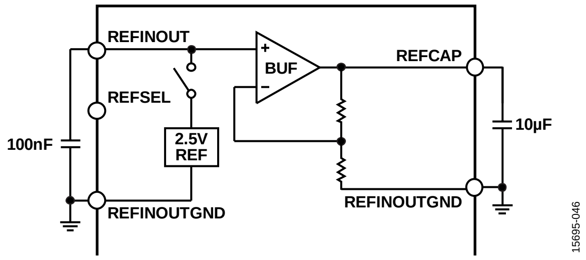


図 46. リファレンス回路

シャットダウン・モード

AD7616-P は、RESET ピンを 1.2 µs 以上ローに保つと、シャットダウン・モードに入ります。RESET ピンをローからハイにすると、シャットダウン・モードを出て、通常モードに入ります。

AD7616-P をシャットダウン・モードにした場合、消費電流は標準で 78 µA、デバイスへの書込みを実行するまでのパワーアップ時間は約 240 µs です。変換を実行するまでのパワーアップ時間は 15 ms です。シャットダウン・モードでは、すべての回路がパワーダウンされ、すべてのレジスタがクリアされてデフォルト値にリセットされます。

デジタル・フィルタ

AD7616-P はオプションのデジタル 1 次 Sinc フィルタを内蔵しており、低速スループット・レートを使用するアプリケーション、または高 SNR やダイナミック・レンジを必要とするアプリケーションで使用します。

デジタル・フィルタの OSR は、設定レジスタの OS ビットを介してソフトウェアで制御されます。ソフトウェア・モードでは、設定レジスタの OS ビットをセットすると、全チャンネルでオーバーサンプリングがイネーブルされます。

各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 8 に示します。オーバーサンプリング機能に加え、出力結果は 16 ビット分解能にデシメートされます。

OS ビット を設定し、OSR として 8 を選択すると、選択されたチャンネルの最初のサンプルが次の CONVST の立上がりエッジでサンプリングされ、そのチャンネルの残りの 7 つのサンプルは、内部で生成されたサンプリング信号でサンプリングされます。次に、これらのサンプルが平均化されて SNR 性能が改善されます。OS 比の増加に伴い、-3 dB 周波数が減少し、許容サンプリング周波数も減少します。変換時間はオーバーサンプリング・レートの増加に伴って延長され、BUSY 信号もオーバーサンプリング・レートに伴って変化します。アクイジション時間および変換時間は OSR とともに直線的に増加します。

オーバーサンプリングがシーケンサまたはバースト・モードでイネーブルされている場合は、あるチャンネルの追加分のサンプルを収集してから、シーケンサは次のチャンネルに進みます。

それぞれの許容 OSR に対するデバイスの標準 SNR 性能を表 8 に示します。デバイスの 3 つの入力レンジに対する入力トーンとして、100Hz のサイン波を使用します。SNR 対 OSR のプロットを図 47 に示します。

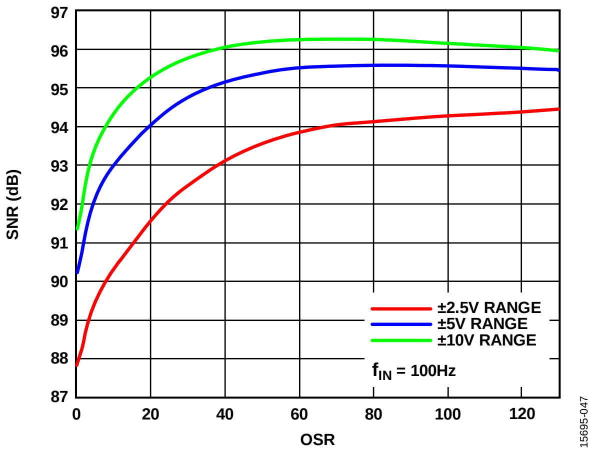


図 47. アナログ入力のすべてのレンジの標準 SNR 対 OSR

表 8. オーバーサンプリング・ビットのデコード

OS Bits	OSR	Typical SNR (dB) ±2.5 V Range	Typical SNR (dB) ±5 V Range	Typical SNR (dB) ±10 V Range	−3 dB Bandwidth (kHz), All Ranges
000	No oversampling	87.5	89.7	90.8	37
001	2	88.1	90.6	91.8	36.5
010	4	89	91.6	92.9	35
011	8	89.9	92.6	93.9	30.5
100	16	91	93.6	94.9	22
101	32	92.6	94.8	95.8	13.2
110	64	93.9	95.5	96.2	7.2
111	128	94.4	95.4	95.9	3.6

アプリケーション情報

機能の概要

AD7616-P には、主な動作モードとして、ハードウェア・モードとソフトウェア・モードの 2 つがあります。動作モードによっては、利用できない機能があります。ソフトウェア・モードではすべての機能を使用できますが、ハードウェア・モードでは使用できない機能もあります。各動作モードで使用可能な機能を表 9 に示します。

表 9. 使用可能な機能

	Operation Mode[1]	
Functionality	Software Mode (HW_RNGSELx = 00)	Hardware Mode (HW_RNGSELx ≠ 00)
Internal/External Reference	Yes	Yes
Selectable Analog Input Ranges		
Individual Channel Configuration	Yes	No
Common Channel Configuration	No	Yes
Sequential Sequencer	Yes	Yes
Fully Configurable Sequencer	Yes	No
Burst Mode	Yes	Yes
On-Chip Oversampling	Yes	No
Cyclic redundancy check (CRC)	Yes	No
Diagnostic Channel Conversion	Yes	No
Hardware Reset	Yes	Yes
Register Access	Yes	No

[1] Yes は利用できることを意味し、No は利用できないことを意味します。

電源

AD7616-P には 2 つの独立した電源、V_{CC} と V_{DRIVE} があり、それぞれアナログ回路とデジタル・インターフェースに供給されます。V_{CC} 電源と V_{DRIVE} 電源の両方を 100 nF コンデンサと 10 μF コンデンサを並列にしてデカップリングします。

さらに、これらの電源は 2 つの内部 LDO レギュレータによって安定化されます。アナログ LDO（ALDO）は標準で 1.87V を供給します。REGCAP ピンと REGGND ピンの間には 10 μF のコンデンサを接続し、ALDO をデカップリングしてください。デジタル LDO（DLDO）は標準で 1.89 V を供給します。REGCAPD ピンと REGGNDD ピンの間には、10 μF のコンデンサを接続して DLDO をデカップリングしてください。

AD7616-P は電源シーケンシングの影響を受けにくい設計となっています。推奨シーケンスでは、V_{DRIVE} の電源を最初に投入し、次に V_{CC} を投入します。両方の電源が安定するまで $\overline{\text{RESET}}$ をローに維持します。

代表的な接続

AD7616-P を正しく動作させるために必要な標準的接続を図 48 に示します。V_{CC} 電源と V_{DRIVE} 電源は、図 48 に示すようにデカップリングしてください。小さな 0.1 μF コンデンサをできるだけ電源ピンの近くに配置し、大きな 10 μF のバルク・コンデンサを並列に接続します。リファレンスと LDO レギュレータは、図 48 および表 6 に示すようにデカップリングします。

インピーダンス・ミスマッチによるアナログ入力チャンネルのゲイン誤差を避けるために、アナログ入力ピンには VxA と VxAGND（同様に VxB と VxBGND）の両方にマッチング抵抗 R が必要です。

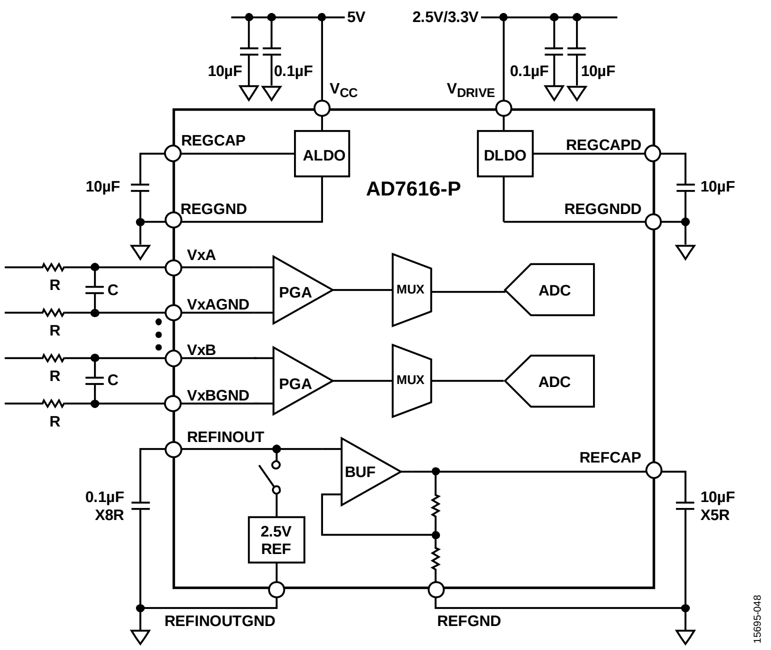


図 48. 代表的な外部接続

デバイスの設定

動作モード

AD7616-P がフル・リセットから解除されると、動作モード（ハードウェア・モードまたはソフトウェア・モード）が設定されます。$\overline{\text{RESET}}$ ピンがローからハイに遷移する際の HW_RNGSELx ピンのロジック・レベルによって動作モードが決まります。HW_RNGSELx ピンには 2 つの機能があります。HW_RNGSELx = 0b00 の場合、AD7616-P はソフトウェア・モードになります。HW_RNGSELx が他のどのような組み合わせであっても、AD7616-P はハードウェア・モードに設定され、アナログ入力レンジが表 7 に従って設定されます。ソフトウェア・モードに設定された後は、HW_RNGSELx 信号のロジック・レベルは無視されます。動作モードの設定後、その動作モードを終了させて別のモードに設定するには、$\overline{\text{RESET}}$ ピンによるフル・リセットが必要です。ハードウェア・モードを選択した場合は、それ以降のすべてのデバイス設定はピン制御によって行われます。ハードウェア・モードでは、オンチップ・レジスタへのアクセスは禁止されます。ソフトウェア・モードでは、インターフェースとリファレンスの設定はピン制御により行う必要がありますが、それ以降のデバイス設定はレジスタへのアクセスのみで行います。

内部／外部リファレンス

AD7616-P がフル・リセットから解除されると、内部リファレンスがイネーブルまたはディスエーブルされます。$\overline{\text{RESET}}$ ピンがローからハイに遷移するとき、REFSEL 信号のロジック・レベルによってリファレンスが設定されます。リファレンスの設定後は、REFSEL 信号のロジック・レベルの変化は無視されます。REFSEL 信号が 1 に設定されている場合、内部リファレンスはイネーブルされます。REFSEL をロジック 0 に設定すると内部リファレンスがディスエーブルされるため、AD7616-P が正常動作するには外部リファレンスを REFINOUT ピンに加える必要があります。動作モードを終了させて別のモードに設定するには、$\overline{\text{RESET}}$ ピンによるフル・リセットが必要です。

REFINOUT ピンと REFINOUTGND ピンの間に 100 nF のコンデンサを接続します。外部リファレンスを使用する場合は、リファレンスと AD7616-P の REFINOUT ピンの間に 10 kΩ の帯域制限抵抗を直列に接続します。

ハードウェア・モード

ハードウェア・モードを選択すると、利用可能な機能が制限され、全機能がピン制御で設定されます。AD7616-P の機能を設定するために、フル・リセット後に、CRC、BURST、SEQEN の各信号のロジック・レベルがチェックされます。フル・リセット解除時に、選択された動作モードに応じてデバイスがラッチする信号を表 10 にまとめます。デバイスの設定後、その設定を終了させて別の設定にするには、$\overline{\text{RESET}}$ ピンによるフル・リセットが必要です。

リセット時に CHSELx ピンが読み取られ、変換に使用する最初のアナログ入力チャンネル・ペアを決定します。あるいは、シーケンサの初期設定を行います。変換用に選択されたチャンネル・ペアまたはハードウェア・シーケンサは、CONVST の立上がりエッジの前から BUSY の立下がりエッジまでの間、CHSELx 信号レベルをセットして維持することにより、通常の動作中に再構成できます。

HW_RNGSELx 信号は、16 の全アナログ入力チャンネルのアナログ入力レンジを制御します。これらのピンでのロジック変化は直ちにアナログ入力レンジに影響します。ただし、通常のアクイジション時間 t_{ACQ} に加えて、標準で約 120 µs のセトリング時間の条件があります。推奨される方法は、システム信号に必要な入力レンジに応じて、レンジ選択ピンをハードワイヤ接続することです。

ハードウェア・モードでは、オンチップ・レジスタへのアクセスは禁止されます。

表 10. ラッチされるハードウェア信号の概要 [1]

Signal	Latched at Full Reset		Read at Reset		Read During Busy		Edge Driven	
	HW Mode	SW Mode	HW Mode	SW Mode	HW Mode	SW Mode	HW Mode	SW Mode
REFSEL	Yes	Yes	N/A	N/A	N/A	N/A	N/A	N/A
SEQEN	Yes	No	N/A	N/A	N/A	N/A	N/A	N/A
HW_RNGSELx (Range Change)	N/A	N/A	Yes	Yes	N/A	N/A	Yes	No
HW_RNGSELx (Hardware (HW) or Software (SW) Mode)	Yes	Yes	N/A	N/A	N/A	N/A	N/A	N/A
$\overline{\text{PAR}}$	Yes	Yes	N/A	N/A	N/A	N/A	N/A	N/A
BURST	Yes	No	N/A	N/A	N/A	N/A	N/A	N/A
CHSELx	N/A	N/A	Yes	No	Yes	No	N/A	N/A

[1] 表 10 の空白セルは該当なしを意味します。

ソフトウェア・モード

ソフトウェア・モードが選択され、リファレンスが設定されている場合、AD7616-P の他のすべての設定はオンチップ・レジスタを介して制御されます。ソフトウェア・モードを選択すると、AD7616-P の全機能が利用可能になります。フル・リセット解除時に、選択された動作モードに応じてデバイスがラッチする信号を表 10 にまとめます。

リセット機能

AD7616-P はフル・モードとパーシャル・モードの 2 つのリセット・モードを備えています。リセット・モードは、リセットのロー・パルスの長さによって選択します。パーシャル・リセットを行うには、$\overline{\text{RESET}}$ ピンを 40 ns ～ 500 ns の間ローに保持する必要があります。$\overline{\text{RESET}}$ を解除してから 120 ns が経過するとデバイスは完全に機能し、変換を開始することができます。フル・リセットを行うには、$\overline{\text{RESET}}$ ピンを最小 1.2 μs の間ローに保持する必要があります。$\overline{\text{RESET}}$ を解除してから 15 ms が経過するとデバイスは完全に再設定され、変換を開始することができます。

パーシャル・リセットは以下のモジュールを再初期化します。

- シーケンサ
- デジタル・フィルタ
- 両方の SAR ADC

現在の変換結果はパーシャル・リセットの完了時に破棄されます。パーシャル・リセットは、ソフトウェア・モードでプログラムされたレジスタ値、またはハードウェア・モードとソフトウェア・モードの両方でユーザ設定を格納するラッチには影響を与えません。ソフトウェア・モードでは、パーシャル・リセット後にダミー変換が必要です。

フル・リセットは、デバイスをデフォルトのパワーオン状態に戻します。AD7616-P がフル・リセットから解除されると、以下の機能が設定されます。

- ハードウェア・モードまたはソフトウェア・モード
- 内部リファレンス／外部リファレンス
- インターフェース・タイプ

電源投入時、V_{CC} 電源と V_{DRIVE} 電源が安定するとすぐに $\overline{\text{RESET}}$ 信号を解除することができます。フル・リセット後に $\overline{\text{RESET}}$ ピンが解除されたときの HW_RNGSELx、REFSEL、および $\overline{\text{PAR}}$ の各ピンのロジック・レベルによって、設定内容が決まります。

図 3 に示すように、ハードウェア・モードが選択されている場合は、フル・リセット・モードにおいて $\overline{\text{RESET}}$ ピンがローからハイに遷移すると、 BURST および SEQEN 信号によって決定される機能もラッチされます。機能の設定後は、これらの信号への変更は無視されます。ハードウェア・モードでは、アナログ入力レンジ（HW_RNGSELx 信号）はフル・リセット中、パーシャル・リセット中、または通常動作中に設定できますが、ハードウェア／ソフトウェアのモード選択をラッチされている場合に再設定するには、フル・リセットすることが必要です。

ハードウェア・モードでは、以下の処理を実行するためにフル・リセットまたはパーシャル・リセットが解除されたときに CHSELx ピンと HW_RNGSELx ピンが読み取られます。

- 変換に使用するアナログ入力チャンネルの最初のペアを決定する。
- シーケンサの初期設定を行う。
- アナログ入力の電圧レンジを選択する。

CHSELx 信号と HW_RNGSELx 信号はラッチされません。変換に選択したチャンネル・ペアまたはハードウェア・シーケンサは通常動作中に再設定できますが、それには、CONVST の立上がりエッジ前に CHSELx 信号レベルを設定し、その信号レベルを BUSY が再びローに遷移するまで一定に保ちます。詳細についてはチャンネル選択のセクションを参照してください。

ソフトウェア・モードでは、すべての追加機能はオンチップ・レジスタを制御して設定します。

ピン機能の概要

AD7616-P には、いくつかのデュアル機能ピンがあります。これらのピンの機能は、HW_RNGSELx ピンで選択した動作モードによって異なります。各種動作モードとインターフェース・モードでのピン機能の概要を表 11 に示します。

表 11. ピン機能の概要

	Operation Mode	
Pins	Software (HW_RNGSELx = 00)	Hardware (HW_RNGSELx ≠ 00)
CHSELx	No function, connect to DGND	CHSELx
$\overline{\text{RD}}$	$\overline{\text{RD}}$	$\overline{\text{RD}}$
$\overline{\text{WR}}$/BURST	$\overline{\text{WR}}$	BURST
DB15 to DB0	DB15 to DB0	DB15 to DB0
HW_RNGSELx	HW_RNGSELx, connect to DGND	HW_RNGSELx, configure analog input range
SEQEN	No function, connect to DGND	SEQEN
REFSEL	REFSEL	REFSEL

デジタル・インターフェース

チャンネル選択

ハードウェア・モード

CHSELx 信号のロジック・レベルによって、変換に使用するチャンネル・ペアが決定されます。信号のデコードについては表12 を参照してください。フル・リセットまたはパーシャル・リセットのいずれかが解除された時点の CHSELx 信号によって、サンプリングする最初のチャンネル・ペアが決定されます。リセット後、BUSY のハイ期間中に CHSELx 信号のロジック・レベルが参照され、次の変換に使用するチャンネル・ペアが設定されます。CHSELx 信号レベルは CONVST がローからハイになる前に設定し、BUSY がハイからローに変化して変換完了が示されるまで維持しなければなりません。詳細については、図 49 を参照してください。

ソフトウェア・モード

ソフトウェア・モードでは、変換に使用するチャンネルはチャンネル・レジスタを使って選択します。電源投入時またはリセット後に変換に選択されるデフォルトのチャンネルは、アナログ入力 V0A およびアナログ入力 V0B です。

表 12. CHSELx ピンのデコード

Channel Selection Input Pin			
CHSEL0	CHSEL1	CHSEL2	Analog Inputs for Conversion
0	0	0	V0A, V0B
0	0	1	V1A, V1B
0	1	0	V2A, V2B
0	1	1	V3A, V3B
1	0	0	V4A, V4B
1	0	1	V5A, V5B
1	1	0	V6A, V6B
1	1	1	V7A, V7B

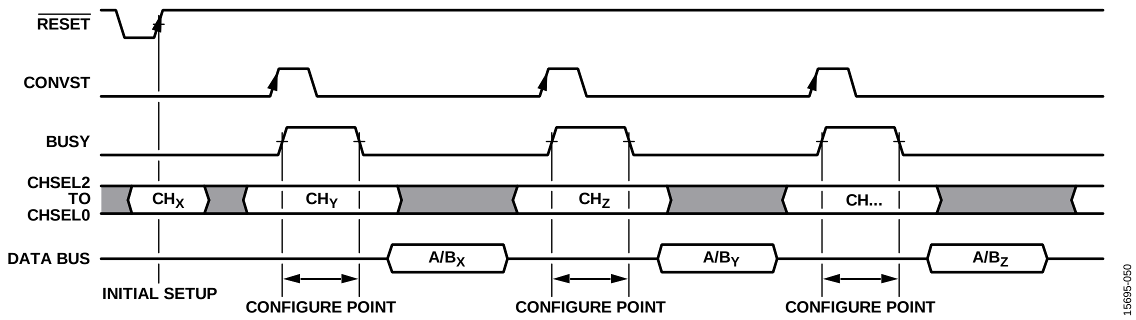


図 49. ハードウェア・モードのチャンネル変換設定

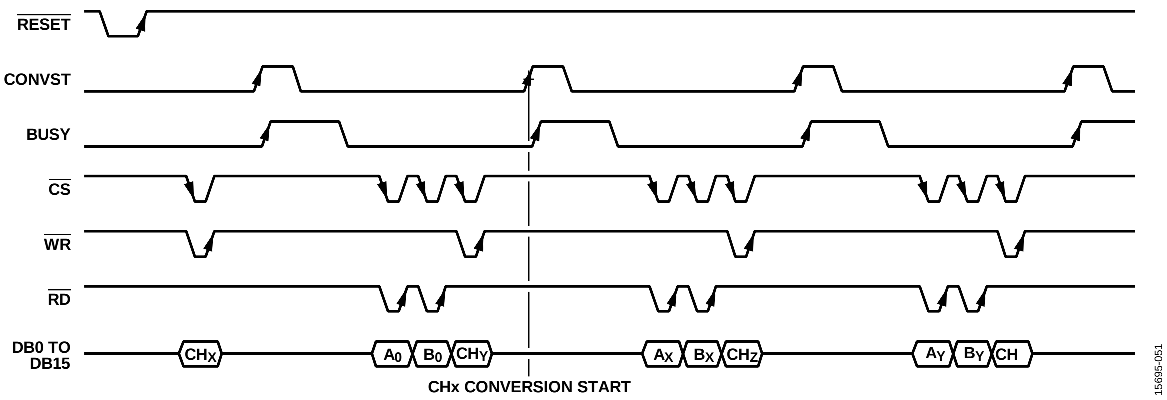


図 50. ソフトウェア・モードのチャンネル変換設定

パラレル・インターフェース

パラレル・インターフェースは変換結果の読出しを行い、ソフトウェア・モードではオンチップ・レジスタの設定と読出しを行います。データは、標準の $\overline{CS}$、$\overline{RD}$、$\overline{WR}$ 信号を使用し、パラレル・データ・バスを介して AD7616-P から読み出すことができます。

変換結果の読出し

CONVST 信号によって変換プロセスが開始されます。CONVST 信号がローからハイに遷移することによって、選択した入力の変換が開始されます。BUSY 信号がハイになると、変換が進行中であることを示します。BUSY 信号がハイからローに遷移して変換が完了したことが示されると、パラレル・インターフェースで変換結果を読み出すことができます。

データは標準の $\overline{CS}$ および $\overline{RD}$ 信号を使い、パラレル・データ・バスを介して AD7616-P から読み出すことができます。$\overline{CS}$ と $\overline{RD}$ の入力信号は内部でゲート制御され、変換結果をデータ・バスに出力します。データ・ライン DB15 ～ DB0 は、$\overline{CS}$ と $\overline{RD}$ の両方がロジック・ローになるとハイ・インピーダンス状態でなくなります。

$\overline{CS}$ 入力信号の立上がりエッジによりバスはスリーステートになり、$\overline{CS}$ 入力信号の立下がりエッジによりバスはハイ・インピーダンス状態でなくなります。$\overline{CS}$ はデータ・ラインをイネーブルする制御信号で、複数の AD7616-P デバイスが同じパラレル・データ・バスを共有できるようにします。

必要な読出し操作の数は、デバイス構成によって異なります。同時サンプリングされた ADC A チャンネルと ADC B チャンネルの変換結果を読み出すには、最低 2 回の読出しが必要です。CRC、ステータス、バースト・モードなどの追加機能をイネーブルすると、それに応じて必要な読出し回数が増えます。

$\overline{RD}$ ピンは出力変換結果レジスタからデータを読み出します。AD7616-P の $\overline{RD}$ ピンに $\overline{RD}$ パルス・シーケンスを印加すると、各チャンネルから変換結果が並列バス DB15 ～ DB0 にクロック・アウトされます。BUSY がローになった後の $\overline{RD}$ の最初の立下がりエッジにより、ADC A.の変換結果がクロック・アウトされ、$\overline{RD}$ の次の立下がりエッジにより、ADC B の変換結果でバスが更新されます。

レジスタ・データの書込み

ソフトウェア・モードでは、AD7616-P のすべてのリード／ライト・レジスタに対してパラレル・インターフェースを介して書込みができます。レジスタ・ライト・コマンドは、パラレル・バス（DB15 ～ DB0）、$\overline{CS}$ および $\overline{WR}$ 信号により、1 回の 16 ビットのパラレル・アクセスによって行われます。DB0 をデータ・ワードの LSB にして、AD7616-P に書き込むデータを DB15 ～ DB0 入力に与えます。ライト・コマンドのフォーマットを図 51 に示します。ライト・コマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット［D14: D9］にはレジスタのアドレス REGADDR［5:0］が入ります。後続の 9 ビット（ビット［D8:D0］）には、選択したレジスタに書き込むデータが入ります。レジスタ・アドレスの完全なリストについては、レジスタの一覧セクションを参照してください。データは $\overline{WR}$ の立上がりエッジでデバイスにラッチされます。

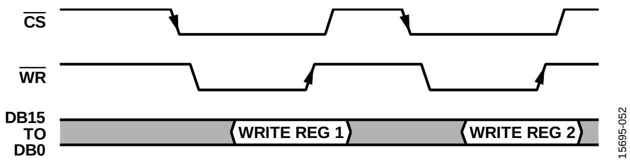


図 51. パラレル・インターフェース・レジスタ書込み

レジスタ・データの読出し

デバイス内のすべてのレジスタは、パラレル・インターフェースを介して読み出すことができます。レジスタの読出しは、最初に読み出すレジスタのアドレスを AD7616-P に書き込むことによって行われます。これらのレジスタ・リード・コマンドに使用するフォーマットを図 53 に示します。リード・コマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット［D14: D9］にはレジスタのアドレスが入ります。後続の 9 ビット（ビット［D8:D0］）は無視されます。リード・コマンドは $\overline{WR}$ の立上がりエッジで AD7616-P にラッチされます。このラッチにより、関連するレジスタ・データが出力レジスタに転送されます。その後、標準のリード・コマンドを使用して、DB15 ～ DB0 ピンからレジスタ・データを読み出すことができます。詳細については図 53 を参照してください。

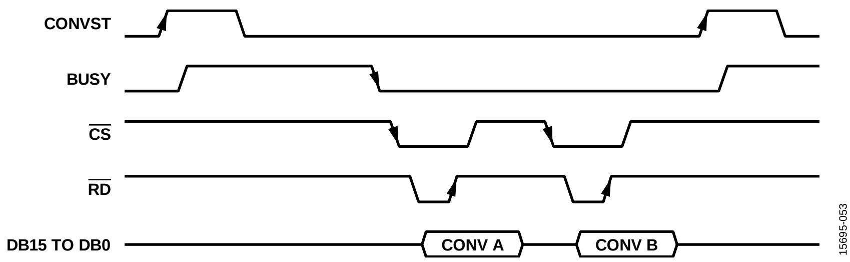


図 52. パラレル・インターフェース変換の読出し

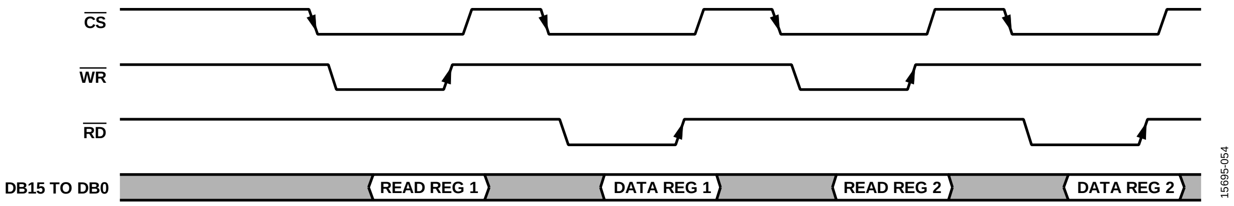


図 53. パラレル・インターフェース・レジスタの読出し

表 13. ライト・コマンド・メッセージの構成

MSB　LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						Data[8:0]								
1	Register address						Data to write								

表 14. リード・コマンド・メッセージの構成

MSB　LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						Data[8:0]								
0	Register address						Do not care								

シーケンサ

AD7616-P は高度に設定可能なオンチップ・シーケンサを備えています。シーケンサの機能と設定は AD7616-P の動作モードによって異なります。

ハードウェア・モードでは、シーケンサはシーケンシャルのみです。シーケンサは常にアナログ入力 V0A とアナログ入力 V0B で変換を開始し、設定された最終チャンネルに達するまで後続の各チャンネルを変換します。

ソフトウェア・モードでは、シーケンサには機能および設定の追加が可能です。シーケンサ・スタックには、32 の一意に設定可能なシーケンス・ステップがあり、チャンネルの順序を任意にプログラムすることができます。また、任意の VxA アナログ入力を任意の VxB アナログ入力または診断チャンネルとペアにすることができます。

シーケンサは、バースト機能がイネーブルされていてもいなくても、動作させることができます。バースト機能がイネーブルされていると、シーケンス内の全チャンネルを変換するのに CONVST パルスが 1 つだけ必要です。バースト・モードがディスエーブルされていると、シーケンス内の変換ステップごとに CONVST パルスが 1 つ必要です。バースト・モード動作の詳細についてはバースト・シーケンサのセクションを参照してください。

ハードウェア・モード・シーケンサ

ハードウェア・モードでは、シーケンサは SEQEN ピンと CHSELx ピンによって制御されます。AD7616-P がフル・リセットから解除されたときに、シーケンサはイネーブルまたはディスエーブルされます。RESET ピンが解除されたときの SEQEN ピンのロジック・レベルによって、シーケンサのイネーブルまたはディスエーブルが決まります（設定については表 15 を参照）。RESET ピンの解除後は機能が固定されるので、その機能を終了させて別の設定をするには、RESET ピンによるフル・リセットが必要です。

表 15. ハードウェア・モード・シーケンサの設定

SEQEN	Interface Mode
0	Sequencer disabled
1	Sequencer enabled

シーケンサがイネーブルされると、CHSELx ピンのロジック・レベルによって、シーケンスの最終チャンネル・ペアが決まります。RESET が解除されたときの CHSELx ピンによって、シーケンス内の変換に使用するチャンネルの初期設定が決まります。その後、変換対象に選択されたチャンネルを再設定するには、現在の変換シーケンスが完了する前の最後の BUSY パルスの持続時間の間に CHSELx ピンを必要な設定にします。詳細については、図 54 を参照してください。

表 16. CHSELx ピンのデコードによって選択されるシーケンサ

Channel Selection Input Pin			Analog Inputs for Sequential Conversion
CHSEL0	CHSEL1	CHSEL2	
0	0	0	V0x only
0	0	1	V0x to V1x
0	1	0	V0x to V2x
0	1	1	V0x to V3x
1	0	0	V0x to V4x
1	0	1	V0x to V5x
1	1	0	V0x to V6x
1	1	1	V0x to V7x

ソフトウェア・モード・シーケンサ

ソフトウェア・モードでは、AD7616-P は 32 レイヤのフル設定可能なシーケンサ・スタックを備えています。シーケンサを制御するには、パラレル・インターフェースを介し、設定レジスタおよびシーケンサ・スタック・レジスタをプログラミングします。

各スタックのレイヤは、アナログ入力 VxA の任意の入力と、アナログ入力 VxB の任意の入力とをペアにするように、個別にプログラムすることができます。あるいは、どの診断チャンネルも変換に選択することができます。シーケンサの深さは 1 ～ 32 レイヤの任意の長さに設定できます。シーケンサの深さは SSRENx ビットを介して制御します。SSRENx ビットは、必要な最後のステップに対応するシーケンサ・スタック・レジスタに設定します。変換するチャンネルは、必要な深さに対して各シーケンス・スタック・レジスタの ASELx ビットと BSELx ビットをプログラムすることによって選択します。

シーケンサは、設定レジスタの SEQEN ビットを 1 にセットして動作させます。

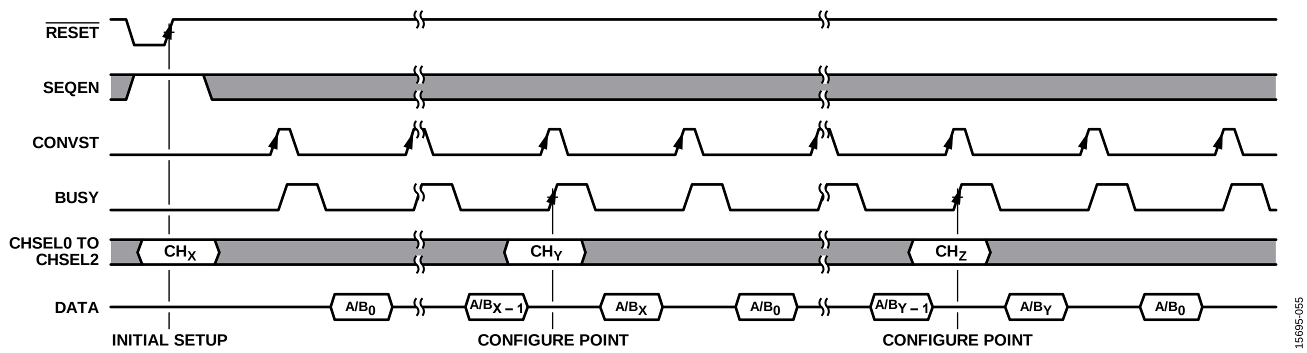


図 54. ハードウェア・モード・シーケンサの設定

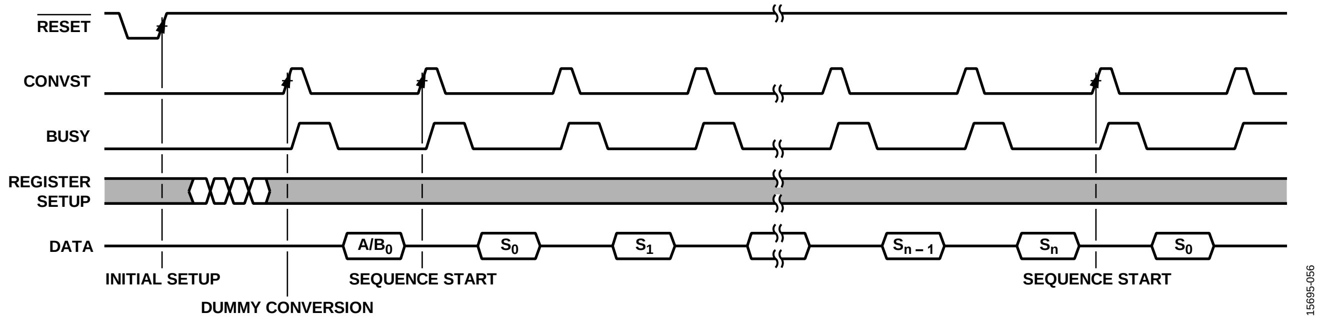


図 55. ソフトウェア・モード・シーケンサの設定

シーケンサを設定してイネーブルするには、以下の手順で行うことを推奨します（図 55 参照）。

1. 必要なアナログ入力チャンネルのアナログ入力レンジを設定する。
2. シーケンサ・スタック・レジスタをプログラムして、シーケンスのチャンネルを選択する。
3. 最後に必要なシーケンス・ステップに SSRENx ビットを設定する。
4. 設定レジスタの SEQEN ビットをセットする。
5. ダミーの CONVST パルスを与える。
6. CONVST パルスと変換の読出しを繰り返し、シーケンサ・スタックの各要素を実行していく。

次の CONVST パルスで、シーケンサ・スタックの最初の要素からシーケンスが自動的に再開します。

パーシャル・リセット後は、シーケンサ・ポインタはスタックの最初のレイヤに戻りますが、レジスタにプログラムされた値は変更されません。

バースト・シーケンサ

バースト・モードでは、変換シーケンスのステップごとに CONVST パルスを生成することはしません。1 つの CONVST パルスにより、シーケンス内の全ステップで変換が行われます。

バースト・シーケンサは、シーケンサと連動して動作する追加機能です。バースト機能がイネーブルされていると、1 回の CONVST パルスにより、シーケンサに設定されている全チャンネルの変換が開始されます。バースト機能がディスエーブルされている場合のように、変換シーケンスのステップごとに CONVST パルスを生成することはしません。

バースト機能の設定は、動作モード（ハードウェア・モードまたはソフトウェア・モード）によって異なります。各モードでのバースト機能の設定については、ハードウェア・モード・バーストのセクション、およびソフトウェア・モード・バーストのセクションを参照してください。

バースト機能を設定すると、バースト・シーケンスは CONVST の立上がりエッジで開始されます。BUSY ピンがハイになり、変換が進行中であることを示します。シーケンスのすべての変換が完了するまで、BUSY ピンはハイのままです。変換結果は、BUSY ピンがローになった後で読み出すことができます。

バースト・シーケンス内の全データを読み出すのに必要なデータ読出し回数は、設定するシーケンスの長さに依存します。変換結果は、プログラムしたシーケンスと同じ順序でパラレル・データ・バスに与えられます。

AD7616-P のスループット・レートはバースト・モードでは制限され、シーケンスの長さに依存します。それぞれのチャンネル・ペアに、アクイジション時間、変換時間、および読出し時間が必要です。チャンネル・ペア数 N のシーケンスを完了するのにかかる時間は次式で見積ることができます。

$$t_{BURST} = (t_{CONV} + 25\ \text{ns}) + (N - 1)\ (t_{ACQ} + t_{CONV}) + N\ (t_{RB})$$

ここで、
t_{CONV} は標準の変換時間です。
t_{ACQ} は標準のアクイジション時間です。
t_{RB} は変換結果のリード・バックに要する時間です。

ハードウェア・モード・バースト

バースト・モードは、ハードウェア・モードで $\overline{\text{WR}}$/ BURST ピンを 1 に設定するとイネーブルされます。SEQEN ピンも 1 に設定して、シーケンサをイネーブルする必要があります。

ハードウェア・モードでは、バースト・シーケンサは BURST、SEQEN、CHSELx の各ピンによって制御されます。AD7616-P がフル・リセットから解除されたときに、バースト・シーケンサはイネーブルまたはディスエーブルされます。$\overline{\text{RESET}}$ ピンが解放されたときの SEQEN ピンと BURST ピンのロジック・レベルによって、バースト・シーケンサがイネーブルされるかディスエーブルされるかが決まります。$\overline{\text{RESET}}$ ピンの解除後、バースト・シーケンサ機能は固定されるので、その機能を終了させて別の設定にするには、$\overline{\text{RESET}}$ ピンでのフル・リセットが必要です。

バースト・シーケンサがイネーブルされると、CHSELx ピンのロジック・レベルによって、バースト・シーケンスで変換に使用されるチャンネルが決まります。$\overline{\text{RESET}}$ がリリースされたときの CHSELx ピンによって、バースト・シーケンスで変換に使用するチャンネルの初期設定が決まります。リセット後に変換に選択されたチャンネルを再構成するには、次の BUSY パルスの持続時間の間 CHSELx ピンを必要な設定にします（詳細については図 56 参照）。

ソフトウェア・モード・バースト

ソフトウェア・モードでは、設定レジスタの BURSTEN ビットを 1 に設定することにより、バースト機能がイネーブルされます。この操作は、ソフトウェア・モード・シーケンサのセクションで説明したシーケンサ設定の手順に従って、設定レジスタの SEQEN ビットを設定してする際に実行する必要があります（詳細については図 57 参照）。

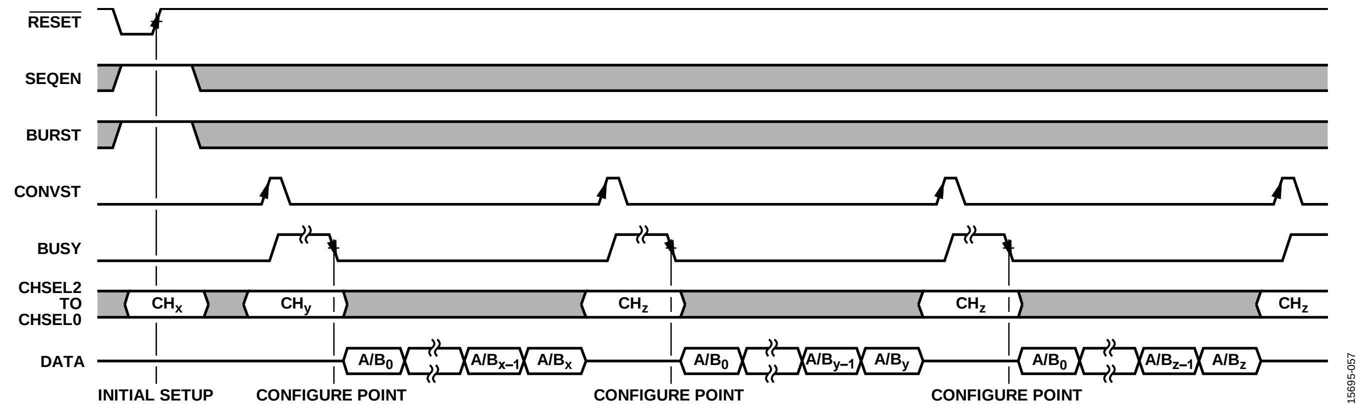


図 56. バースト・シーケンサ、ハードウェア・モード

図 57. バースト・シーケンサ、ソフトウェア・モード

診断機能

診断チャンネル

AD7616-P は、16 個のアナログ入力（VxA および VxB）に加えて、V_{CC} およびアナログ ALDO 電圧の診断チャンネルを変換することもできます。変換する診断チャンネルを選択するには、チャンネル・レジスタ（チャンネル・レジスタのセクションを参照）を対応するチャンネル識別子にプログラムします。診断チャンネルはソフトウェア・モードでシーケンサ・スタックに追加することもできますが、250 kSPS 未満のスループット・レートでしか正確な値を得られません。診断チャンネルを使用する際に予想される、サンプリング周波数に対する期待値からの偏差のプロットについては、図 58 を参照してください。

各チャンネルの予想される出力は、以下の伝達関数によって決まります。

$$V_{CC}\ Code = \frac{\left(\left(4 \times V_{CC}\right) - V_{REF}\right) \times 32{,}768}{5 \times V_{REF}}$$

$$LDO\ Code = \frac{\left(\left(10 \times V_{ALDO}\right) - \left(7 \times V_{REF}\right)\right) \times 32{,}768}{10 \times V_{REF}}$$

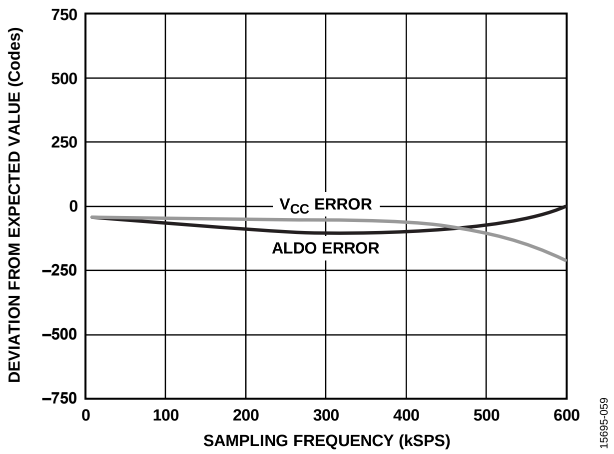


図 58.期待値からの偏差対サンプリング周波数

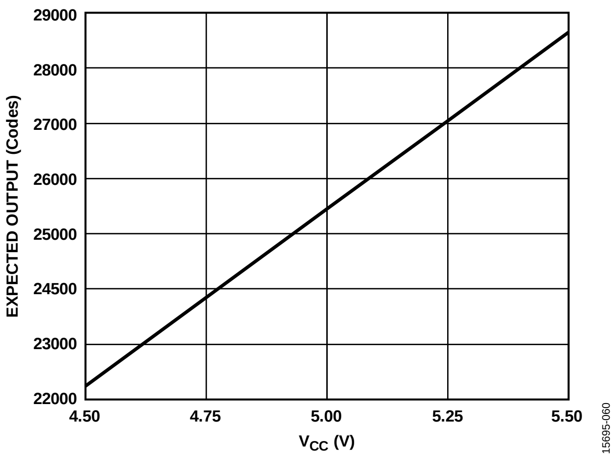


図 59.V_{CC} 診断の伝達関数

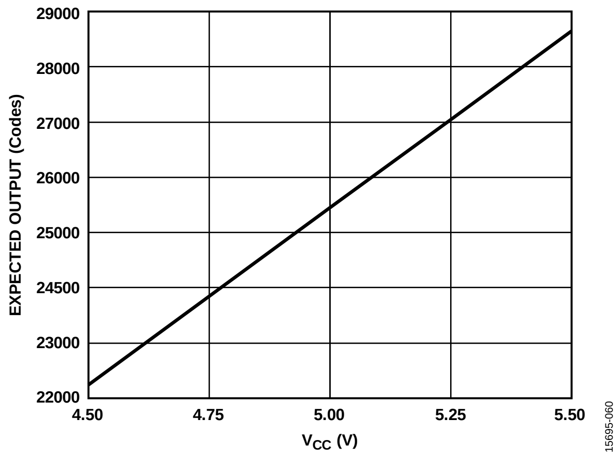


図 60. ALDO 診断の伝達関数

インターフェース・セルフ・テスト

デジタル・インターフェースの完全性は、チャンネル・レジスタで通信セルフ・テスト・チャンネルを選択することによりテストすることができます（チャンネル・レジスタのセクションを参照）。

変換に通信セルフ・テストを選択すると、変換結果レジスタが既知の固定出力へ強制されます。変換コードを読み出すと、ADC A の変換コードとしてコード 0xAAAA が出力され、ADC B の変換コードとしてコード 0x5555 が出力されます。

CRC

AD7616-P には CRC のチェックサム・モードがあり、データのエラーを検出してインターフェースの堅牢性を向上させます。CRC 機能はソフトウェア・モードでのみ使用できます。CRC 機能はハードウェア・モードでは使用できません。CRC の結果はステータス・レジスタ内に格納されます。CRC 機能をイネーブルするとステータス・レジスタがイネーブルされ、その逆も同様です。

設定レジスタの CRCEN ビットまたは STATUSEN ビットを 1 に設定することにより、CRC 機能をイネーブルします（設定レジスタのセクションを参照）。

イネーブルされると、CRC の結果が変換結果に付加され、16 ビット・ワード構成になります。ここで、前半の 8 ビットには最後に変換されたチャンネル・ペアのチャンネル ID が入り、後半の 8 ビットは CRC の結果になります。図 61 に示すように、追加のリード・コマンドを使用して結果にアクセスします。

CRC 機能がイネーブルされていると、チャンネル VxA およびチャンネル VxB の変換結果に対して CRC が計算されます。CRC は、変換結果が送信された後に、デバイスの構成に応じてパラレル・インターフェース上で計算され、転送されます。ハミング距離は、変換結果のビット数によって変化します。≤119 ビットの変換では、ハミング距離は 4 になります。>119 ビットの場合、ハミング距離は 1 です。すなわち、常に 1 ビット・エラーが検出されます。

以下に、CRC が AD7616-P でどのように実装されているかを説明する疑似コードを示します。

```
crc = 8’b0;
i = 0;
x = 変換チャンネル・ペア数;
for (i=0, i<x, i++) begin
crc1 = crc_out(An,Crc);
crc = crc_out(Bn,Crc1);
i = i +1;
end
```

ここで、関数 crc_out（data、crc）は以下のとおりです。

```
crc_out[0] = data[14] ^ data[12] ^ data[8] ^
data[7] ^ data[6] ^ data[0] ^ crc[0] ^ crc[4] ^
crc[6];

crc_out[1] = data[15] ^ data[14] ^ data[13] ^
data[12] ^ data[9] ^ data[6] ^ data[1] ^
data[0] ^ crc[1] ^ crc[4] ^ crc[5] ^ crc[6] ^
crc[7];

crc_out[2] = data[15] ^ data[13] ^ data[12] ^
data[10] ^ data[8] ^ data[6] ^ data[2] ^
data[1] ^ data[0] ^ crc[0] ^ crc[2] ^ crc[4] ^
crc[5] ^ crc[7];

crc_out[3] = data[14] ^ data[13] ^ data[11] ^
data[9] ^ data[7] ^ data[3] ^ data[2] ^ data[1]
^ crc[1] ^ crc[3] ^ crc[5] ^ crc[6];

crc_out[4] = data[15] ^ data[14] ^ data[12] ^
data[10] ^ data[8] ^ data[4] ^ data[3] ^
data[2] ^ crc[0] ^ crc[2] ^ crc[4] ^ crc[6] ^
crc[7];

crc_out[5] = data[15] ^ data[13] ^ data[11] ^
data[9] ^ data[5] ^ data[4] ^ data[3] ^ crc[1]
^ crc[3] ^ crc[5] ^ crc[7];

crc_out[6] = data[14] ^ data[12] ^ data[10] ^
data[6] ^ data[5] ^ data[4] ^ crc[2] ^ crc[4] ^
crc[6];

crc_out[7] = data[15] ^ data[13] ^ data[11] ^
data[7] ^ data[6] ^ data[5] ^ crc[3] ^ crc[5] ^
crc[7];
```

AD7616-P が使用する最初の CRC ワードは、ゼロに相当する 8 ビット・ワードです。上に示すコードで記述された XOR 演算が実行されて、変換結果 A_N に対して CRC ワードの各ビットが計算されます。この CRC ワード（crc1）は、変換結果 B_N の CRC ワード（crc）を計算するための開始点として使用されます。このプロセスは、変換された各チャンネル・ペアごとに循環的に繰り返されます。

AD7616-P の動作モードに応じて、ステータス・レジスタの値が変換データに付加され、パラレル・インターフェースを介して追加リード・コマンドにより読み出されます。その後、ユーザ-は受け取った変換結果に対して先のコードで記述された XOR 計算を繰り返し、両方の CRC ワードが一致するかどうか確認できます。各動作モードでデータに CRC ワードがどのように付加されるかについては、図 61 を参照してください。

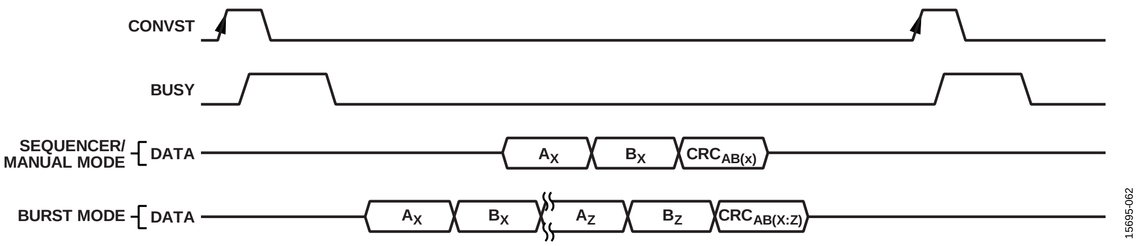


図 61. すべてのモードでの CRC 読出し

レジスタの一覧

AD7616-P には、ソフトウェア・モードでデバイスを構成するためのリード／ライト・レジスタが 6 個、フレキシブルなオンチップ・シーケンサをプログラムするための追加のシーケンサ・スタック・レジスタが 32 個、および読出し専用のステータス・レジスタが 1 個あります。AD7616-P で使用可能なリード／ライト・レジスタの概要を表 17 に示します。ステータス・レジスタは、以前に変換されたチャンネル・ペアに関する情報と CRC 結果を格納する、追加の読出し専用レジスタです。

表 17. レジスタの一覧[1]

<table>
<tr><th>Reg.</th><th>Name</th><th>Bits</th><th>Bit 7</th><th>Bit 6</th><th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>Reset</th><th>R/W</th></tr>
<tr><td rowspan="2">0x02</td><td rowspan="2">Configuration register</td><td>[15:8]</td><td colspan="7">Addressing</td><td>Reserved</td><td>0x0000</td><td>R/W</td></tr>
<tr><td>[7:0]</td><td>SDEF</td><td>BURSTEN</td><td>SEQEN</td><td colspan="3">OS</td><td>STATUSEN</td><td>CRCEN</td><td></td><td></td></tr>
<tr><td rowspan="2">0x03</td><td rowspan="2">Channel register</td><td>[15:8]</td><td colspan="7">Addressing</td><td>Reserved</td><td>0x0000</td><td>R/W</td></tr>
<tr><td>[7:0]</td><td colspan="4">CHB</td><td colspan="4">CHA</td><td></td><td></td></tr>
<tr><td rowspan="2">0x04</td><td rowspan="2">Input Range Register A1</td><td>[15:8]</td><td colspan="7">Addressing</td><td>Reserved</td><td>0x00FF</td><td>R/W</td></tr>
<tr><td>[7:0]</td><td colspan="2">V3A</td><td colspan="2">V2A</td><td colspan="2">V1A</td><td colspan="2">V0A</td><td></td><td></td></tr>
<tr><td rowspan="2">0x05</td><td rowspan="2">Input Range Register A2</td><td>[15:8]</td><td colspan="7">Addressing</td><td>Reserved</td><td>0x00FF</td><td>R/W</td></tr>
<tr><td>[7:0]</td><td colspan="2">V7A</td><td colspan="2">V6A</td><td colspan="2">V5A</td><td colspan="2">V4A</td><td></td><td></td></tr>
<tr><td rowspan="2">0x06</td><td rowspan="2">Input Range Register B1</td><td>[15:8]</td><td colspan="7">Addressing</td><td>Reserved</td><td>0x00FF</td><td>R/W</td></tr>
<tr><td>[7:0]</td><td colspan="2">V3B</td><td colspan="2">V2B</td><td colspan="2">VB1</td><td colspan="2">V0B</td><td></td><td></td></tr>
<tr><td rowspan="2">0x07</td><td rowspan="2">Input Range Register B2</td><td>[15:8]</td><td colspan="7">Addressing</td><td>Reserved</td><td>0x00FF</td><td>R/W</td></tr>
<tr><td>[7:0]</td><td colspan="2">V7B</td><td colspan="2">V6B</td><td colspan="2">VB5</td><td colspan="2">V4B</td><td></td><td></td></tr>
<tr><td rowspan="2">0x20 to 0x3F</td><td rowspan="2">Sequencer Stack Registers[0:31]</td><td>[15:8]</td><td colspan="7">Addressing</td><td>SSRENx</td><td>0x0000[2]</td><td>R/W</td></tr>
<tr><td>[7:0]</td><td colspan="4">BSELx</td><td colspan="4">ASELx</td><td></td><td></td></tr>
<tr><td rowspan="2">N/A</td><td rowspan="2">Status register</td><td>[15:8]</td><td colspan="4">A[3:0]</td><td colspan="4">B[3:0]</td><td>N/A</td><td>R</td></tr>
<tr><td>[7:0]</td><td colspan="8">CRC[7:0]</td><td></td><td></td></tr>
</table>

[1] N/A は該当なしを意味します。
[2] フル・リセットまたはパーシャル・リセットの実行後、シーケンサ・スタック・レジスタは、チャンネル V0A およびチャンネル V0B からチャンネル V7A およびチャンネル V7B までを循環するように再初期化されます。スタックの残りの 24 レイヤは 0x0 に初期化されます。

レジスタのアドレス指定

デバイスに書き込まれた 7 MSB は、指定されたレジスタを決定するためにデコードされます。この 7 MSB は、レジスタ・アドレス（REGADDR）ビット［5:0］、およびリード／ライト・ビットで構成されます。レジスタ・アドレス・ビットは、選択されたオンチップ・レジスタを指定します。リード／ライト・ビットは、DBx ライン上の残りの 9 ビット・データを指定レジスタにロードするかどうかを決定します。リード／ライト・ビットが 1 の場合、レジスタ選択ビットによって指定されるレジスタにビットがロードされます。リード／ライト・ビットが 0 の場合、このコマンドは読出し要求とみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

MSB LSB

D15	D14	D13	D12	D11	D10	D9	D8 to D0
W/$\overline{R}$	REGADDR[5]	REGADDR[4]	REGADDR[3]	REGADDR[2]	REGADDR[1]	REGADDR[0]	Data[8:0]

表 18.

Bit	Mnemonic	Description
D15	W/$\overline{R}$	このビットに 1 が書き込まれていると、このレジスタのビット［D8:D0］が REGADDR［5:0］で指定されるレジスタに書き込まれます。逆に 0 が書き込まれていると、次の動作が指定レジスタからの読出しであることを示します。
D14	REGADDR[5]	このビットに 1 が書き込まれていると、REGADDR［4:0］によって 32 個のシーケンサ・スタック・レジスタが指定されます。逆にこのビットに 0 が書き込まれていると、REGADDR［4:0］で指定されるレジスタが選択されます。
[D13:D9]	REGADDR[4:0]	W/$\overline{R}$ = 1 のとき、REGADDR［4:0］の内容によって、以下のようにレジスタが選択されます。 00001: 予約済 00010: 設定レジスタを選択 00011: チャンネル・レジスタを選択 00100: 入力レンジ・レジスタ A1 を選択 00101: 入力レンジ・レジスタ A2 を選択 00110: 入力レンジ・レジスタ B1 を選択 00111: 入力レンジ・レジスタ B2 を選択 01000: ステータス・レジスタを選択 W/$\overline{R}$ = 0 で、REGADDR［4:0］の内容が 00000 の場合は、変換コードが読み出されます。
[D8:D0]	Data[8:0]	これらのビットは、REGADDR［5:0］で指定されるレジスタに書き込まれます。各レジスタの詳細については、以降のセクションを参照してください。

設定レジスタ

設定レジスタはソフトウェア・モードで使用され、シーケンサ、バースト・モード、オーバーサンプリング、CRC などのオプションを含め、ADC の多くの主要機能を設定します。

アドレス: 0x02、リセット値: 0x0000、レジスタ名: 設定レジスタ

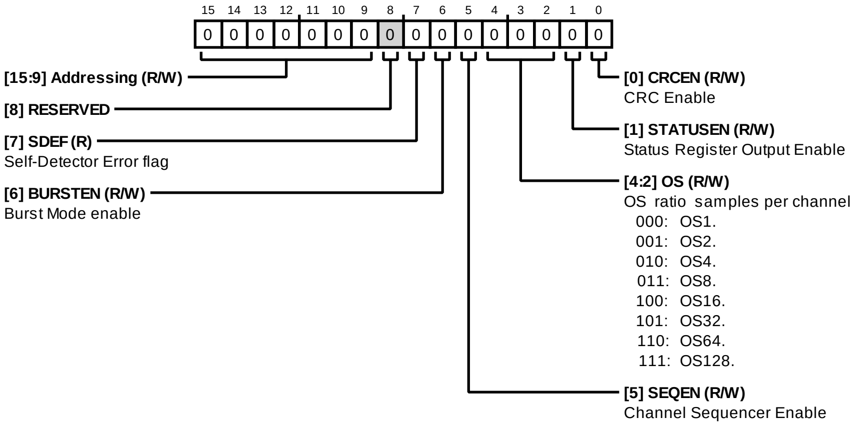


表 19. 設定レジスタのビットの説明

Bits	Bit Name	Settings	Description	Reset[1]	Access
[15:9]	Addressing	0	ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	RW
8	RESERVED		予備。	0x0	R/W
7	SDEF		セルフ・ディテクタ・エラー・フラグ。	N/A	R
		0	テスト合格。AD7616-P は電源投入後に自己設定を完了しています。		
		1	テスト不合格。デバイス設定中に問題が検出されました。リセットが必要です。		
6	BURSTEN		バースト・モード・イネーブル。	0x0	RW
		0	バースト・モードはディスエーブルされています。変換されるチャンネル・ペアごとに CNVST パルスが必要です。		
		1	1 個の CNVST パルスにより、32 レイヤのシーケンサ・スタック・レジスタにプログラミングされた全チャンネル・ペアを、SSRENx ビットで指定されたレイヤまで変換します。詳細についてはソフトウェア・モード・シーケンサのセクションおよびソフトウェア・モード・バーストのセクションを参照してください。		
5	SEQEN		チャンネル・シーケンサ・イネーブル。	0x0	RW
		0	チャンネル・シーケンサはディスエーブルされています。		
		1	チャンネル・シーケンサはイネーブルされています。		
[4:2]	OS		オーバーサンプリング（OS）比、チャンネルあたりのサンプリング数。	0x0	RW
		000	オーバーサンプリングはディスエーブルされています。		
		001	オーバーサンプリングはイネーブルされています。OSR = 2。		
		010	オーバーサンプリングはイネーブルされています。OSR = 4。		
		011	オーバーサンプリングはイネーブルされています。OSR = 8。		
		100	オーバーサンプリングはイネーブルされています。OSR = 16。		
		101	オーバーサンプリングはイネーブルされています。OSR = 32。		
		110	オーバーサンプリングはイネーブルされています。OSR = 64。		
		111	オーバーサンプリングはイネーブルされています。OSR = 128。		
1	STATUSEN		ステータス・レジスタ出力イネーブル。	0x0	RW
		0	変換結果の読出し中はステータス・レジスタは読み出されません。		
		1	選択したすべてのチャンネルを読み出したら、（シーケンサ・モードで有効にされている場合はセルフ・テスト・チャンネルを含む）すべての変換ワードの最後にステータス・レジスタを読み出します。CRC の結果は最後の 8 ビットに含まれます。		
0	CRCEN		CRC イネーブル。STATUSEN ビットと CRCEN ビットの機能は同一です。	0x0	RW

[1] N/A は該当なしを意味します。

チャンネル・レジスタ

アドレス: 0x03、リセット値: 0x0000、レジスタ名: チャンネル・レジスタ

ソフトウェア・マニュアル・モードでは、チャンネル・レジスタによって次の変換に使用する入力チャンネルまたはセルフ・テスト・チャンネルが選択されます。

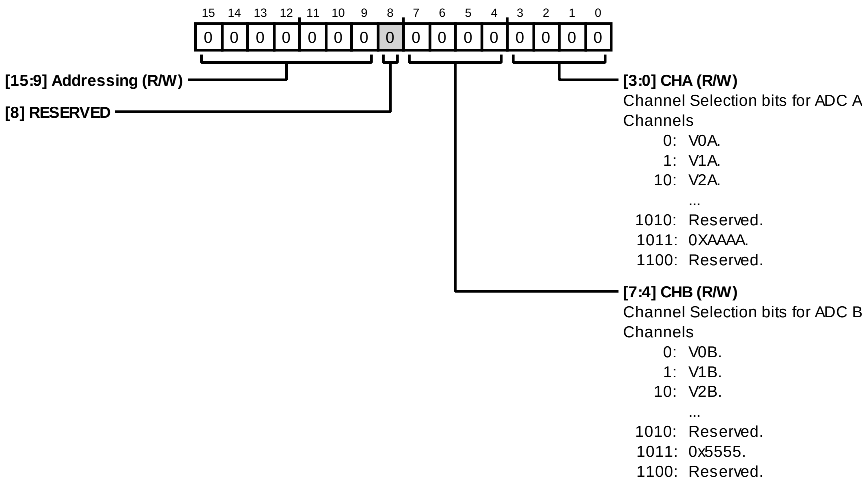


表 20. チャンネル・レジスタのビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	R/W
8	RESERVED		予備。	0x0	R/W
[7:4]	CHB		ADC B チャンネルのチャンネル選択ビット。		
		0000	V0B。		
		0001	V1B。		
		0010	V2B。		
		0011	V3B。		
		0100	V4B。		
		0101	V5B。		
		0110	V6B。		
		0111	V7B。		
		1000	V_{CC}。		
		1001	ALDO。		
		1010	予備。		
		1011	0x5555。デジタル・インターフェース通信のセルフ・テスト機能の専用ビットを設定します。変換コードを読み出すと、チャンネル B の変換コードとしてコード 0x5555 が出力されます。		
		1100	予備。		
[3:0]	CHA		ADC A チャンネルのチャンネル選択ビット。設定は ADC B と同様です。	0x0	R/W
		0000	V0A。		
		0001	V1A。		
		0010	V2A。		
		0011	V3A。		
		0100	V4A。		
		0101	V5A。		
		0110	V6A。		
		0111	V7A。		
		1000	V_{CC}。		
		1001	ALDO。		
		1010	予備。		
		1011	0xAAAA。デジタル・インターフェース通信のセルフ・テスト機能の専用ビットを設定します。変換コードを読み出すと、チャンネル A の変換コードとしてコード 0xAAAA が読み出されます。		
		1100	予備。		

入力レンジ・レジスタ

入力レンジ・レジスタ A1 と入力レンジ・レジスタ A2 は、アナログ入力 V0A ～ アナログ入力 V7A に対する 3 つの可能な入力レンジ（±10 V、±5 V、または±2.5 V）の 1 つを選択します。入力レンジ・レジスタ B1 と入力レンジ・レジスタ B2 は、アナログ入力 V0B ～ アナログ入力 V7B に対する 3 つの可能な入力レンジ（±10 V、±5 V、または±2.5 V）の 1 つを選択します。

入力レンジ・レジスタ A1

アドレス**: 0x04**、リセット値**: 0x00FF**、レジスタ名**:** 入力レンジ・レジスタ **A1**

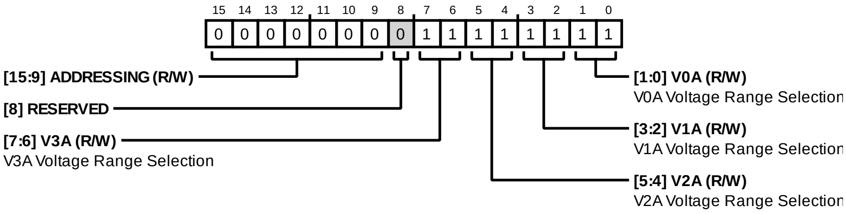


表 21. 入力レンジ・レジスタ A1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	R/W
8	RESERVED		予備。	0x0	R/W
[7:6]	V3A		V3A の電圧レンジの選択。	0x3	R/W
		00	V3A ± 10 V。		
		01	V3A ± 2.5 V。		
		10	V3A ± 5 V。		
		11	V3A ± 10 V。		
[5:4]	V2A		V2A の電圧レンジの選択。	0x3	R/W
		00	V2A ± 10 V。		
		01	V2A ± 2.5 V。		
		10	V2A ± 5 V。		
		11	V2A ± 10 V。		
[3:2]	V1A		V1A の電圧レンジの選択。	0x3	R/W
		00	V1A ± 10 V。		
		01	V1A ± 2.5 V。		
		10	V1A ± 5 V。		
		11	V1A ± 10 V。		
[1:0]	V0A		V0A の電圧レンジの選択。	0x3	R/W
		00	V0A ± 10 V。		
		01	V0A ± 2.5 V。		
		10	V0A ± 5 V。		
		11	V0A ± 10 V。		

入力レンジ・レジスタ A2

アドレス: **0x05**、リセット値: **0x00FF**、レジスタ名: 入力レンジ・レジスタ **A2**

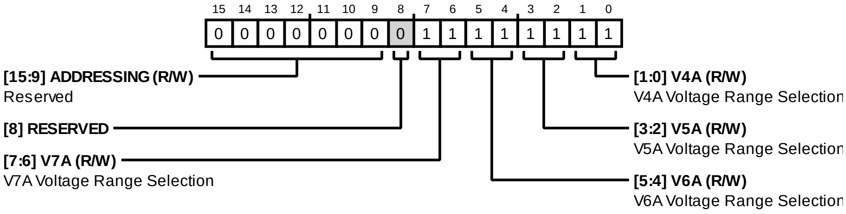


表 22. 入力レンジ・レジスタ A2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	R/W
8	RESERVED		予備。	0x0	R/W
[7:6]	V7A		V7A の電圧レンジの選択。	0x3	R/W
		00	V7A ± 10 V。		
		01	V7A ± 2.5 V。		
		10	V7A ± 5 V。		
		11	V7A ± 10 V。		
[5:4]	V6A		V6A の電圧レンジの選択。	0x3	R/W
		00	V6A ± 10 V。		
		01	V6A ± 2.5 V。		
		10	V6A ± 5 V。		
		11	V6A ± 10 V。		
[3:2]	V5A		V5A の電圧レンジの選択。	0x3	R/W
		00	V5A ± 10 V。		
		01	V5A ± 2.5 V。		
		10	V5A ± 5 V。		
		11	V5A ± 10 V。		
[1:0]	V4A		V4A の電圧レンジの選択。	0x3	R/W
		00	V4A ± 10 V。		
		01	V4A ± 2.5 V。		
		10	V4A ± 5 V。		
		11	V4A ± 10 V。		

入力レンジ・レジスタ B1

アドレス**: 0x06**、リセット値**: 0x00FF**、レジスタ名**:** 入力レンジ・レジスタ **B1**

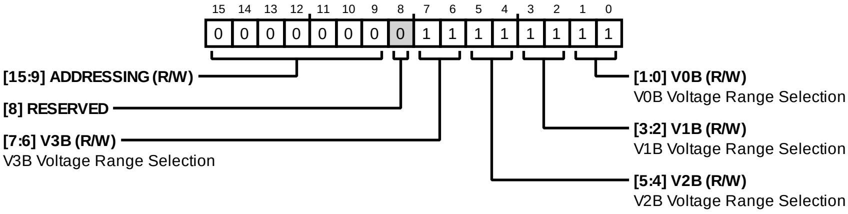


表 23. 入力レンジ・レジスタ B1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	R/W
8	RESERVED		予備。	0x0	R/W
[7:6]	V3B		V3B の電圧レンジの選択。	0x3	R/W
		00	V3B ± 10 V。		
		01	V3B ± 2.5 V。		
		10	V3B ± 5 V。		
		11	V3B ± 10 V。		
[5:4]	V2B		V2B の電圧レンジの選択。	0x3	R/W
		00	V2B ± 10 V。		
		01	V2B ± 2.5 V。		
		10	V2B ± 5 V。		
		11	V2B ± 10 V。		
[3:2]	V1B		V1B の電圧レンジの選択。	0x3	R/W
		00	V1B ± 10 V。		
		01	V1B ± 2.5 V。		
		10	V1B ± 5 V。		
		11	V1B ± 10 V。		
[1:0]	V0B		V0B の電圧レンジの選択。	0x3	R/W
		00	V0B ± 10 V。		
		01	V0B ± 2.5 V。		
		10	V0B ± 5 V。		
		11	V0B ± 10 V。		

入力レンジ・レジスタ B2

アドレス**: 0x07**、リセット値**: 0x00FF**、レジスタ名**:** 入力レンジ・レジスタ **B2**

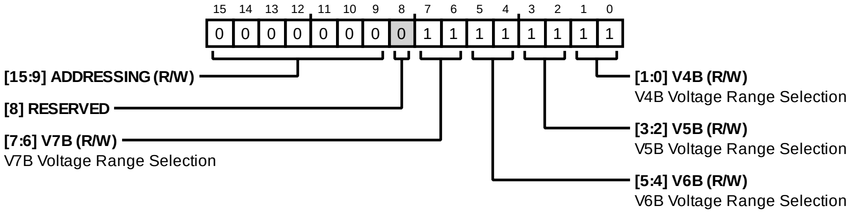


表 24. 入力レンジ・レジスタ B2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	R/W
8	RESERVED		予備。	0x0	R/W
[7:6]	V7B		V7B の電圧レンジの選択。	0x3	R/W
		00	V7B ± 10 V。		
		01	V7B ± 2.5 V。		
		10	V7B ± 5 V。		
		11	V7B ± 10 V。		
[5:4]	V6B		V6B の電圧レンジの選択。	0x3	R/W
		00	V6B ± 10 V。		
		01	V6B ± 2.5 V。		
		10	V6B ± 5 V。		
		11	V6B ± 10 V。		
[3:2]	V5B		V5B の電圧レンジの選択。	0x3	R/W
		00	V5B ± 10 V。		
		01	V5B ± 2.5 V。		
		10	V5B ± 5 V。		
		11	V5B ± 10 V。		
[1:0]	V4B		V4B の電圧レンジの選択。	0x3	R/W
		00	V4B ± 10 V。		
		01	V4B ± 2.5 V。		
		10	V4B ± 5 V。		
		11	V4B ± 10 V。		

シーケンサ・スタック・レジスタ

チャンネル・レジスタによって変換を行う次のチャンネル（診断チャンネルまたはアナログ入力チャンネルのペア）を指定できますが、多数のアナログ入力チャンネルをサンプリングするには 32 個のシーケンサ・スタック・レジスタを使用すると便利です。通信レジスタ内で REGADDR5 ビットがロジック 1 に設定されている場合、REGADDR［4:0］の内容は 32 個のシーケンサ・スタック・レジスタのうちの 1 つを指定します。各シーケンサ・スタック・レジスタ内で、同時にサンプリングするアナログ入力のペアを指定することができます。

シーケンスの構造がスタックを構成しており、その各行は同時に変換される 2 つのチャンネルを示します。シーケンスは、シーケンサ・スタック・レジスタ 1 から開始し、シーケンサ・スタック・レジス 32 まで繰り返します。あるシーケンサ・スタック・レジスタ内のビット D8（イネーブル・ビット、SSRENx）が 1 に設定されている場合、シーケンスはそのレジスタで指定されたアナログ入力のペアで終了し、最初のシーケンサ・スタック・レジスタに戻り、繰り返しを再開します。

デフォルトでは、シーケンサ・スタック・レジスタの最初の 8 レイヤは、アナログ入力 V0A およびアナログ入力 V0B からアナログ入力 V7A およびアナログ入力 V7B まで循環するようにプログラムされます。フル・リセットまたはパーシャル・リセットの実行後、シーケンサ・スタック・レジスタは、アナログ入力 V0A およびアナログ入力 V0B からアナログ入力 V7A およびアナログ入力 V7B まで循環するように再初期化されます。残りのシーケンサ・スタック・レジスタは、0x0000 に再初期化されます。

シーケンサ・スタック・レジスタ 0 からシーケンサ・スタック・レジスタ 7 まで

アドレス: 0x20 ～ 0x27、リセット値: 0x0000、0x0011、0x0022、0x0033、0x0044、0x0055、0x0066、0x0077、名前: シーケンサ・スタック・レジスタ 0 からシーケンサ・スタック・レジスタ 7 まで

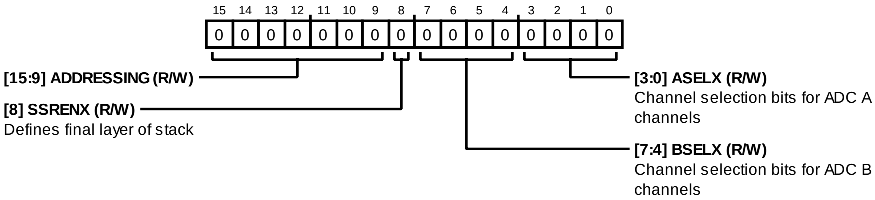


表 25. シーケンサ・スタック・レジスタ 0 からシーケンサ・スタック・レジスタ 7 までのビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	R/W
8	SSRENx		このビットを 0 に設定すると、現在のチャンネル・ペアの変換後に、シーケンサ・スタックの次のレイヤに進むよう ADC に指示します。このビットを 1 に設定すると、シーケンサ・スタックのそのレイヤをシーケンスの最終レイヤとして指定します。その後、シーケンサはスタックの最初のレイヤにループバックします。	0x0	R/W
[7:4]	BSELx		ADC B チャンネルのチャンネル選択ビット。	0x0[1]	R/W
		0000	V0B。		
		0001	V1B。		
		0010	V2B。		
		0011	V3B。		
		0100	V4B。		
		0101	V5B。		
		0110	V6B。		
		0111	V7B。		
		1000	V_{CC}。		
		1001	ALDO。		
		1010	予備。		
		1011	デジタル・インターフェース通信のセルフ・テスト機能の専用ビットを設定します。変換コードを読み出すと、チャンネル A の変換コードとしてコード 0xAAAA が読み出され、チャンネル B の変換コードとしてコード 0x5555 が読み出されます。		
		1100	予備。		
[3:0]	ASELx		ADC A チャンネルのチャンネル選択ビット。設定は ADC B と同様です。	0x0[1]	R/W

[1] デフォルトでは、シーケンサ・スタック・レジスタの最初の 8 レイヤは、アナログ入力 V0A およびアナログ入力 V0B からアナログ入力 V7A およびアナログ入力 V7B まで循環するようにプログラムされます。フル・リセットまたはパーシャル・リセットの実行後、シーケンサ・スタック・レジスタは、アナログ入力 V0A およびアナログ入力 V0B からアナログ入力 V7A およびアナログ入力 V7B まで循環するように再初期化されます。残りのシーケンサ・スタック・レジスタは、0x0000 に再初期化されます。

シーケンサ・スタック・レジスタ 8 からシーケンサ・スタック・レジスタ 31 まで

アドレス: **0x28 ～ 0x3F**、リセット値: **0x00**、レジスタ名: シーケンサ・スタック・レジスタ **8** からシーケンサ・スタック・レジスタ **31** まで

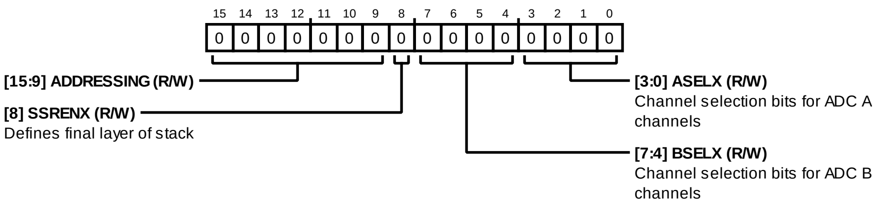


表 26. シーケンサ・スタック・レジスタ 8 からシーケンサ・スタック・レジスタ 31 までのビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット［15:9］は、該当するレジスタのアドレスを指定します。詳細についてはレジスタのアドレス指定のセクションを参照してください。	0x0	R/W
8	SSRENx		このビットを 0 に設定すると、現在のチャンネル・ペアの変換後に、シーケンサ・スタックの次のレイヤに進むよう ADC に指示します。このビットを 1 に設定すると、シーケンサ・スタックのそのレイヤをシーケンスの最終レイヤとして指定します。その後、シーケンサはスタックの最初のレイヤにループバックします。	0x0	R/W
[7:4]	BSELx		ADC B チャンネルのチャンネル選択ビット。	0x0	R/W
		0000	V0B。		
		0001	V1B。		
		0010	V2B。		
		0011	V3B。		
		0100	V4B。		
		0101	V5B。		
		0110	V6B。		
		0111	V7B。		
		1000	V_{CC}。		
		1001	ALDO。		
		1010	予備。		
		1011	デジタル・インターフェース通信のセルフ・テスト機能の専用ビットを設定します。変換コードを読み出すと、チャンネル A の変換コードとしてコード 0xAAAA が読み出され、チャンネル B の変換コードとしてコード 0x5555 が読み出されます。		
		1100	予備。		
[3:0]	ASELx		ADC A チャンネルのチャンネル選択ビット。設定は ADC B と同様です。	0x0[1]	R/W

ステータス・レジスタ

ステータス・レジスタは、16 ビットの読出し専用レジスタです。設定レジスタの STATUSEN ビットまたは CRCEN ビットがロジック 1 に設定されている場合、シーケンサ・モードでイネーブルされていればセルフ・テスト・チャンネルを含め選択されたチャンネルのすべての変換ワードの最後に、ステータス・レジスタが読み出されます。詳細については、CRC のセクションと図 61 を参照してください。

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
A[3:0]				B[3:0]				CRC[7:0]							

表 27. ステータス・レジスタのビットの説明

Bits	Bit Name	Settings	Description	Reset[1]	Access
[D15:D12]	A[3:0]		チャンネル A の以前の変換結果のチャンネル・インデックス	N/A	R
[D11:D8]	B[3:0]		チャンネル B の以前の変換結果のチャンネル・インデックス	N/A	R
[D7:D0]	CRC[7:0]		以前の変換結果に対する CRC 計算。詳細については CRC のセクションを参照してください。	N/A	R

[1] N/A は該当なしを意味します。

外形寸法

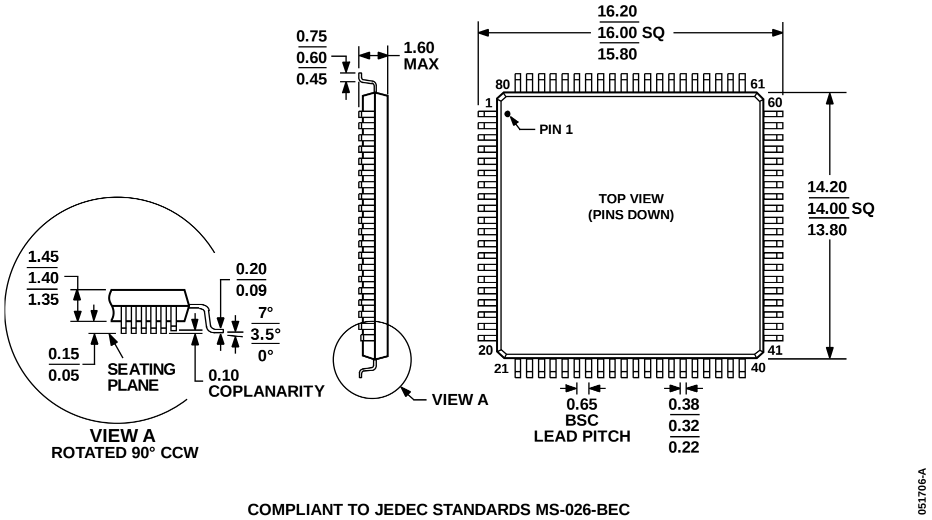


図 62. 80 ピン低プロファイルのクワッド・フラット・パッケージ［LQFP］（ST-80-2） 寸法（ミリ単位）

オーダー・ガイド

Model[1]	Junction Temperature Range	Package Description	Package Option
AD7616-PBSTZ	−40°C to +125°C	80-Lead Low Profile Quad Flat Package [LQFP]	ST-80-2
AD7616-PBSTZ-RL	−40°C to +125°C	80-Lead Low Profile Quad Flat Package [LQFP]	ST-80-2
EVAL-AD7616-PSDZ		Evaluation Board	

[1] Z = RoHS 準拠製品