



250 kSPS、6チャンネル、同時サンプリング バイポーラ、16ビットADC

データシート

AD7656A-1

特長

AD7656A とピンおよびソフトウェア互換、デカップリング条件を緩和

6 個の独立な A/D コンバータ(ADC)を内蔵

真のバイポーラ・アナログ入力

ピン/ソフトウェアから選択可能な範囲: $\pm 10\text{ V}$ または $\pm 5\text{ V}$

高速スループット・レート: 250 kSPS

iCMOS プロセス技術を採用

低消費電力: 250 kSPS、5 V 電源で 140 mW

広帯域幅で優れたノイズ性能

10 kHz の入力周波数で 88 dB SNR

リファレンス電圧とリファレンス・バッファを内蔵

高速度パラレル、シリアル、デジチェーン・インターフェース・モード

高速シリアル・インターフェース

シリアル・ペリフェラル・インターフェース:
(SPI)/QSPI™/MICROWIRE®/DSP 互換

パワーダウン・モード: 最大 315 μW

64 ピン LQFP を採用

電源シーケンシング (PSS)内蔵の強固なソリューション

アプリケーション

電源ライン・モニタ・システムと測定システム

計装システムおよび制御システム

多軸ポジショニング・システム

概要

AD7656A-1¹は、AD7656Aのデカップリング機能を軽減したピンおよびソフトウェア互換バージョンです。AD7656A-1は、iCMOS® プロセス (工業用CMOS)用にデザインされ、6個の16ビット、高速、低消費電力逐次比較型ADCを内蔵しています。iCMOSは、高電圧シリコン技術、サブミクロン CMOS 技術、相補バイポーラ技術を組み合わせた製造プロセスです。この技術は、前世代の高電圧では実現できなかったフットプリントで33 V動作が可能な広範囲な高性能アナログICの開発を可能にしました。iCMOSデバイスは、従来型CMOSプロセスを採用したアナログICとは異なり、バイポーラ入力信号に対応できると同時に、性能の強化、大幅な消費電力の削減、パッケージの小型化が可能になりました。

AD7656A-1 のスループット・レートは 250 kSPS です。広帯域 (4.5 MHz)のトラック・アンド・ホールド・アンプを内蔵しており、最大 4.5 MHz までの入力周波数を処理することができます。

¹米国特許 No. 6, 731, 232 により保護されています。

機能ブロック図

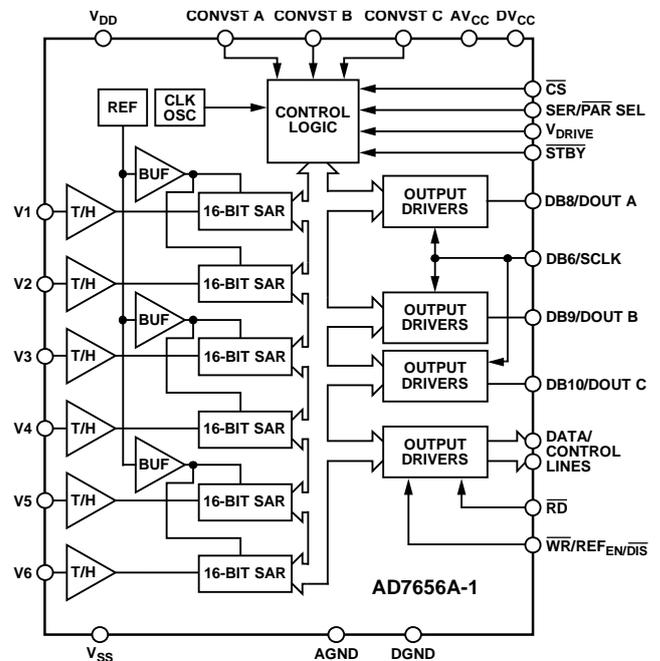


図 1.

変換プロセスとデータ・アキュジションは、CONVST x 信号と内蔵発振器を使って制御されます。3本のCONVST x ピン (CONVST A、CONVST B、CONVST C)により、3個のADC対の独立な同時サンプリングが可能です。AD7656A-1は、高速なパラレルおよびシリアル・インターフェースを内蔵しているため、マイクロプロセッサまたはデジタル信号プロセッサ (DSP)とインターフェースさせることができます。シリアル・インターフェース・モードでは、AD7656A-1は複数のADCを1つのシリアル・インターフェースに接続できるデジチェーン機能を持っています。AD7656A-1は、 $\pm 4 \times V_{REF}$ 範囲と $\pm 2 \times V_{REF}$ 範囲の真のバイポーラ入力信号を処理することができます。AD7656A-1は2.5 Vのリファレンス電圧も内蔵しています。

多機能ピンの名前は、対応する機能でのみ参照します。

製品のハイライト

- 6 個の 16 ビット 250 kSPS ADC を内蔵。
- 6 本の真のバイポーラ、高インピーダンス・アナログ入力を使用。
- 高速なパラレルおよびシリアル・インターフェース。
- AD7656Aに比較してデカップリング条件を緩和し、部品コストを削減。

目次

特長.....	1	動作原理.....	15
アプリケーション.....	1	コンバータの詳細.....	15
機能ブロック図.....	1	ADCの伝達関数.....	16
概要.....	1	内蔵/外付けリファレンス電圧.....	16
製品のハイライト.....	1	代表的な接続図.....	16
改訂履歴.....	2	アナログ入力の駆動.....	17
仕様.....	3	インターフェース・オプション.....	17
タイミング仕様.....	5	ソフトウェアからのADC選択.....	19
絶対最大定格.....	6	シリアル読出し動作.....	21
電源シーケンシング.....	6	デジタイゼーション・モード (DCEN = 1、SER/PAR/SEL = 1)..	22
熱抵抗.....	6	アプリケーション情報.....	24
ESDの注意.....	6	レイアウト.....	24
ピン配置およびピン機能説明.....	7	外形寸法.....	25
代表的な性能特性.....	10	オーダー・ガイド.....	25
用語.....	13		

改訂履歴

12/13—Revision 0: Initial Version

仕様

$V_{REF} = 2.5\text{ V}$ 内部/外部、 $AV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 。 $\pm 4 \times V_{REF}$ 範囲の場合、 $V_{DD} = 11\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -11\text{ V} \sim -16.5\text{ V}$ 。 $\pm 2 \times V_{REF}$ 範囲の場合、 $V_{DD} = 6\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -6\text{ V} \sim -16.5\text{ V}$ 。特に指定がない限り、 $f_{SAMPLE} = 250\text{ kSPS}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Signal-to-Noise + Distortion (SINAD) ¹		88		dB	$f_{IN} = 10\text{ kHz}$ sine wave
Signal-to-Noise Ratio (SNR) ¹		88		dB	
Total Harmonic Distortion (THD) ¹			-90	dB	
		-105		dB	$V_{DD}/V_{SS} = \pm 6\text{ V}$ to $\pm 16.5\text{ V}$
Peak Harmonic or Spurious Noise (SFDR) ¹		-100		dB	
Intermodulation Distortion (IMD) ¹					$f_a = 10.5\text{ kHz}$, $f_b = 9.5\text{ kHz}$
Second-Order Terms		-112		dB	
Third-Order Terms		-107		dB	
Aperture Delay			10	ns	
Aperture Delay Matching			4	ns	
Aperture Jitter		35		ps	
Channel-to-Channel Isolation ¹		-100		dB	f_{IN} on unselected channels up to 100 kHz
Full-Power Bandwidth		4.5		MHz	At -3 dB
		2.2		MHz	At -0.1 dB
DC ACCURACY					
Resolution	16			Bits	
No Missing Codes	15			Bits	
Integral Nonlinearity ¹			± 3	LSB	
		± 1		LSB	
Positive Full-Scale Error ¹		± 0.381	± 0.8	% FSR	
Positive Full-Scale Error Matching ¹			± 0.35	% FSR	
Bipolar Zero-Scale Error ¹		$\pm 0.0137\%$	± 0.048	% FSR	
Bipolar Zero-Scale Error Matching ¹			± 0.038	% FSR	
Negative Full-Scale Error ¹		± 0.381	± 0.8	% FSR	
Negative Full-Scale Error Matching ¹			± 0.35	% FSR	
ANALOG INPUT					
Input Voltage Ranges	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	See Table 6 for minimum V_{DD}/V_{SS} for each range RNGx bits or RANGE pin = 0
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RNGx bits or RANGE pin = 1
DC Leakage Current			± 1	μA	
Input Capacitance ²		10		pF	$\pm 4 \times V_{REF}$ range when in track mode
		14		pF	$\pm 2 \times V_{REF}$ range when in track mode
REFERENCE INPUT/OUTPUT					
Reference Input Voltage Range	2.5		3	V	
DC Leakage Current			± 1	μA	
Input Capacitance ²		18.5		pF	$REF_{EN}/\overline{DIS} = 1^3$
Reference Output Voltage	2.49		2.51	V	
Long-Term Stability		150		ppm	1000 hours
Reference Temperature Coefficient			25	ppm/ $^{\circ}\text{C}$	
		6		ppm/ $^{\circ}\text{C}$	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS					
Input High Voltage (V_{INH})	$0.7 \times V_{DRIVE}$			V	Typically 10 nA, $V_{IN} = 0\text{ V}$ or V_{DRIVE}
Input Low Voltage (V_{INL})			$0.3 \times V_{DRIVE}$	V	
Input Current (I_{IN})			± 10	μA	
Input Capacitance (C_{IN}) ²			10	pF	
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	$V_{DRIVE} - 0.2$			V	$I_{SOURCE} = 200\ \mu\text{A}$ $I_{SINK} = 200\ \mu\text{A}$
Output Low Voltage (V_{OL})			0.2	V	
Floating-State Leakage Current			± 10	μA	
Floating-State Output Capacitance ²			10	pF	
Output Coding	Twos complement				
CONVERSION RATE					
Conversion Time			3.1	μs	Parallel interface mode only
Track-and-Hold Acquisition Time ^{1,2}			550	ns	
Throughput Rate			250	kSPS	
POWER REQUIREMENTS					
V_{DD} Range	6		16.5	V	For the $4 \times V_{REF}$ range, $V_{DD} = 11\text{ V}$ to 16.5 V
V_{SS} Range	-6		-16.5	V	For the $4 \times V_{REF}$ range, $V_{SS} = -11\text{ V}$ to -16.5 V
AV_{CC}	4.75		5.25	V	Digital inputs = 0 V or V_{DRIVE} $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $f_{SAMPLE} = 250\text{ kSPS}$, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_{SS} = -16.5\text{ V}$, $f_{SAMPLE} = 250\text{ kSPS}$ $V_{DD} = 16.5\text{ V}$, $f_{SAMPLE} = 250\text{ kSPS}$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ SCLK on or off, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $f_{SAMPLE} = 250\text{ kSPS}$
DV_{CC}	4.75		5.25	V	
V_{DRIVE}	2.7		5.25	V	
I_{TOTAL} ⁴					
Normal Mode (Static)			18	mA	
Normal Mode (Operational)			26	mA	
I_{SS} (Operational)			0.25	mA	
I_{DD} (Operational)			0.25	mA	
Partial Power-Down Mode			7	mA	
Full Power-Down Mode ($\overline{\text{STBY}}$ Pin)			60	μA	
Power Dissipation					
Normal Mode (Static)			94	mW	
Normal Mode (Operational)			140	mW	
Partial Power-Down Mode			40	mW	
Full Power-Down Mode ($\overline{\text{STBY}}$ Pin)			315	μW	

¹用語のセクションを参照してください。

²初期リリース時はサンプル・テストにより適合性を保証。

³共用ピンの名前は、関連する機能でのみ参照できます。

⁴ I_{AVCC} 、 I_{VDD} 、 I_{VSS} 、 I_{VDRIVE} 、 I_{DVCC} を含みます。

タイミング仕様

特に指定がない限り、 AV_{CC} および $DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 内部/外部、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $\pm 4 \times V_{REF}$ 範囲の場合、 $V_{DD} = 11\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -11\text{ V} \sim -16.5\text{ V}$ 。 $\pm 2 \times V_{REF}$ 範囲の場合、 $V_{DD} = 6\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -6\text{ V} \sim -16.5\text{ V}$ 。適合性保証のために初期リリース時にサンプル・テストを実施。すべての入力信号は $t_R = t_F = 5\text{ ns}$ (V_{DD} の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。

表 2.

Parameter	Limit at T_{MIN}, T_{MAX}		Unit	Description ¹
	$V_{DRIVE} < 4.75\text{ V}$	$V_{DRIVE} = 4.75\text{ V to } 5.25\text{ V}$		
PARALLEL INTERFACE MODE				
t_{CONV}	3	3	$\mu\text{s typ}$	Conversion time, internal clock
t_{QUIET}	150	150	ns min	Minimum quiet time required between bus relinquish and start of next conversion
t_{ACQ}	550	550	ns min	Acquisition time
t_{10}	25	25	ns min	Minimum CONVST x low pulse
t_1	60	60	ns max	CONVST x high to BUSY high
$t_{WAKE-UP}$	2	2	ms max	STBY rising edge to CONVST x rising edge, not shown in figures
	25	25	$\mu\text{s max}$	Partial power-down mode
PARALLEL READ OPERATION				
t_2	0	0	ns min	BUSY to \overline{RD} delay
t_3	0	0	ns min	\overline{CS} to \overline{RD} setup time
t_4	0	0	ns min	\overline{CS} to \overline{RD} hold time
t_5	45	36	ns min	\overline{RD} pulse width
t_6	45	36	ns max	Data access time after \overline{RD} falling edge
t_7	10	10	ns min	Data hold time after \overline{RD} rising edge
t_8	12	12	ns max	Bus relinquish time after \overline{RD} rising edge
t_9	6	6	ns min	Minimum time between reads
PARALLEL WRITE OPERATION				
t_{11}	15	15	ns min	\overline{WR} pulse width
t_{12}	0	0	ns min	\overline{CS} to \overline{WR} setup time
t_{13}	5	5	ns min	\overline{CS} to \overline{WR} hold time
t_{14}	5	5	ns min	Data setup time before \overline{WR} rising edge
t_{15}	5	5	ns min	Data hold after \overline{WR} rising edge
SERIAL INTERFACE MODE				
f_{SCLK}	18	18	MHz max	Frequency of serial read clock
t_{16}	12	12	ns max	Delay from \overline{CS} until DOUT x three-state disabled
t_{17}^2	22	22	ns max	Data access time after SCLK rising edge/ \overline{CS} falling edge
t_{18}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK low pulse width
t_{19}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK high pulse width
t_{20}	10	10	ns min	SCLK to data valid hold time after SCLK falling edge
t_{21}	18	18	ns max	\overline{CS} rising edge to DOUT x high impedance

¹ 共用ピンの名前は、関連する機能でのみ参照できます。

² この測定で、バッファは DOUT x ピン (ピン 5~ピン 7) に使用。

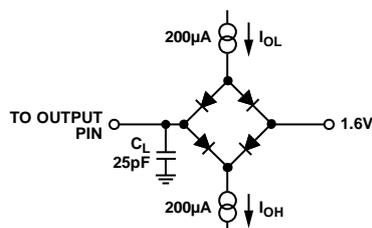


図 2. デジタル出力タイミング仕様の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to AGND, DGND	0 V to +16.5 V
V_{SS} to AGND, DGND	0 V to -16.5 V
V_{DD} to AV_{CC}	$AV_{CC} + 0.7\text{ V}$ to +16.5 V
AV_{CC} to AGND, DGND	-0.3 V to +7 V
DV_{CC} to AV_{CC}	-0.3 V to $AV_{CC} + 0.3\text{ V}$
DV_{CC} to DGND, AGND	-0.3 V to +7 V
AGND to DGND	-0.3 V to +0.3 V
V_{DRIVE} to DGND	-0.3 V to $DV_{CC} + 0.3\text{ V}$
Analog Input Voltage to AGND	$V_{SS} + 1\text{ V}$ to $V_{DD} - 1\text{ V}$
Digital Input Voltage to DGND	-0.3 V to $V_{DRIVE} + 0.3\text{ V}$
Digital Output Voltage to DGND	-0.3 V to $V_{DRIVE} + 0.3\text{ V}$
REFIN/REFOUT to AGND	-0.3 V to $AV_{CC} + 0.3\text{ V}$
Input Current to Any Pin Except Supplies ¹	$\pm 10\text{ mA}$
Operating Temperature Range	-40°C to $+85^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
Pb/Sn Temperature, Soldering	
Reflow (10 sec to 30 sec)	$240(0)^\circ\text{C}$
Pb-Free Temperature, Soldering Reflow	$260(0)^\circ\text{C}$
ESD	1.5 kV

¹最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

電源シーケンシング

デバイスの信頼性を保証するため、 V_{DD} と V_{SS} を同時に加えることが必要です。同時に加えることが保証できない場合、 V_{DD} を V_{SS} の前にパワーアップさせてください。 V_{DD} と V_{SS} がフルにパワーアップする前に負電圧をアナログ入力に加える場合には、 $560\ \Omega$ の抵抗をアナログ入力に接続する必要があります。

多くのシーケンシング組み合わせで、一時的に高電流状態になることがあります。すべての電源がパワーアップすると、デバイスは通常の動作電流に戻ります。 AV_{CC} の前にアナログ入力 (A_{IN}) が到着すると、アナログ入力に一時的に高電流が生じます。 DV_{CC} の前にデジタル入力が入立上がり、さらに他の電源の前に DV_{CC} が立上がる場合にも、一時的な高電流状態が生じます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。これらの仕様は 4 層ボードに適用します。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
64-Lead LQFP	45	11	$^\circ\text{C}/\text{W}$

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

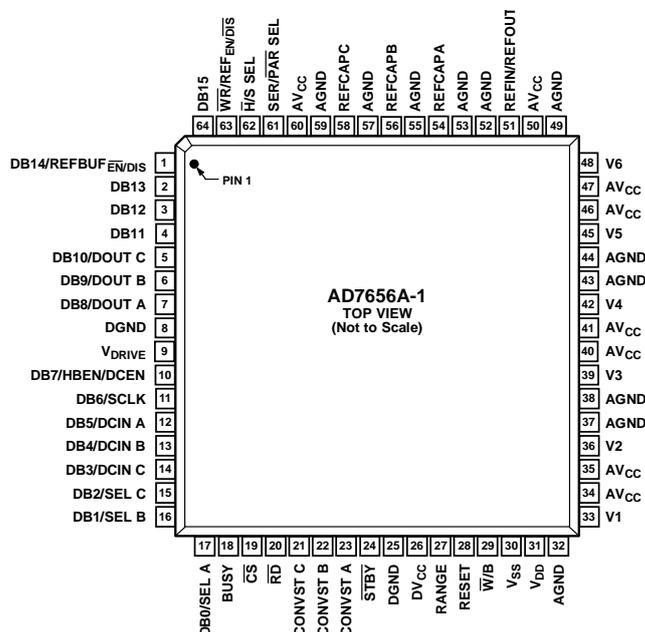


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明 ¹
1	DB14/REFBUF $\overline{\text{EN}}/\text{DIS}$	データビット 14/リファレンス・バッファ・イネーブルおよびディスエーブル。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル入力/出力ピンとして機能します。
2, 3, 64	DB13, DB12, DB15	データビット 12、データビット 13、データビット 15。SER/PAR/SEL = 0 のとき、これらのピンはスリー・ステート・デジタル入力/出力ピンとして機能します。CS と RD がロー・レベルのとき、これらのピンを使って、変換結果を出力します。CS と WR がロー・レベルのとき、これらのピンを使って、コントロール・レジスタへ書込みます。SER/PAR/SEL = 1 のとき、これらのピンは DGND に接続します。
4	DB11	データビット 11。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 のとき、このピンは DGND に接続します。
5	DB10/DOUT C	データビット 10/シリアル・データ出力 C。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 かつ SEL C = 1 のとき、このピンは DOUT C として機能し、シリアル変換データを出力します。このピンは、シリアル・インターフェースが 3 本の DOUT x 出力ラインを持つように設定します。
6	DB9/DOUT B	データビット 9/シリアル・データ出力 B。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 かつ SEL B = 1 のとき、このピンは DOUT B として機能し、シリアル変換データを出力します。このピンは、シリアル・インターフェースが 2 本の DOUT x 出力ラインを持つように設定します。
7	DB8/DOUT A	データビット 8/シリアル・データ出力 A。SER/PAR/SEL = 0 のとき、このピンはスリー・ステート・デジタル出力ピンとして機能します。SER/PAR/SEL = 1 かつ SEL A = 1 のとき、このピンは DOUT A として機能し、シリアル変換データを出力します。
8, 25	DGND	デジタル・グラウンド。AD7656A-1 上の全デジタル回路に対するグラウンドリファレンスポイントです。両 DGND ピンをシステムの DGND プレーンへ接続してください。DGND 電圧と AGND 電圧は理想的には同電位である必要があり、過渡的なバイアスでも電位差が 0.3 V を超えることはできません。
9	V DRIVE	ロジック電源入力。このピンに入力される電圧により、インターフェースの動作電圧が決定されます。このピンは通常、ホスト・インターフェースの電源と同じ電源に接続されます。
10	DB7/HBEN/DCEN	データビット 7/上位バイト・イネーブル/デイジーチェーン・イネーブル。パラレル・インターフェースが選択され、かつデバイスがワード・モードで使用される場合 (SER/PAR/SEL = 0 かつ W/B = 0)、ピン 10 はデータビット 7 として機能します。パラレル・インターフェースが選択され、かつデバイスがバイト・モードで使用される場合 (SER/PAR/SEL = 0 かつ W/B = 1)、ピン 10 は HBEN として機能します。HBEN がハイ・レベルの場合、データは MSB バイト・ファーストで DB15~DB8 に出力されます。HBEN がロー・レベルの場合、データは LSB バイト・ファーストで DB15~DB8 に出力されます。シリアル・インターフェースが選択された場合 (SER/PAR/SEL = 1)、ピン 10 は DCEN として機能します。DCEN がハイ・レベルの場合、AD7656A-1 はデイジーチェーン・モードで動作し、DB5~DB3 は DCIN A~DCIN C として機能します。シリアル・インターフェースが選択され、かつデバイスがデイジーチェーン・モードで使用されない場合には、DCEN と DGND を接続してください。

ピン番号	記号	説明 ¹
11	DB6/SCLK	データビット 6/シリアル・クロック。SER/PAR/SEL=0 のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1 のとき、このピンは SCLK 入力として機能し、シリアル転送用の読出しシリアル・クロックになります。
12	DB5/DCIN A	データビット 5/デジタイゼーション入力 A。SER/PAR/SEL=ロー・レベルのとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1 かつ DCEN=1 のとき、このピンはデジタイゼーション入力 A として機能します。シリアル・インターフェースが選択され、かつデバイスがデジタイゼーション・モードで使用されない場合には、このピンを DGND へ接続してください。
13	DB4/DCIN B	データビット 4/デジタイゼーション入力 B。SER/PAR/SEL=0 のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1 かつ DCEN=1 のとき、このピンはデジタイゼーション入力 B として機能します。シリアル・インターフェースが選択され、かつデバイスがデジタイゼーション・モードで使用されない場合には、このピンを DGND へ接続してください。
14	DB3/DCIN C	データビット 3/デジタイゼーション入力 C。SER/PAR/SEL=0 のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1 かつ DCEN=1 のとき、このピンはデジタイゼーション入力 C として機能します。シリアル・インターフェースが選択され、かつデバイスがデジタイゼーション・モードで使用されない場合には、このピンを DGND へ接続してください。
15	DB2/SEL C	データビット 2/セレクト DOUT C。SER/PAR/SEL=0 のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1 のとき、このピンは SEL C として機能し、シリアル・インターフェースの設定に使われます。このピンが 1 の場合、シリアル・インターフェースは 3 本の DOUT x 出力ピンで動作し、DOUT C をシリアル出力としてイネーブルします。このピンが 0 の場合、DOUT C はシリアル・データ出力ピンとして動作するようにイネーブルされません。未使用シリアル DOUT x ピンには何も接続しないでください。
16	DB1/SEL B	データビット 1/セレクト DOUT B。SER/PAR/SEL=0 のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1 のとき、このピンは SEL B として機能し、シリアル・インターフェースの設定に使われます。このピンが 1 の場合、シリアル・インターフェースは 2 本または 3 本の DOUT x 出力ピンで動作し、DOUT B をシリアル出力としてイネーブルします。このピンが 0 の場合、DOUT B はシリアル・データ出力ピンとして動作するようにイネーブルされず、1 本の DOUT 出力ピン(DOUT A)だけが使用されます。未使用シリアル DOUT x ピンには何も接続しないでください。
17	DB0/SEL A	データビット 0/セレクト DOUT A。SER/PAR/SEL=0 のとき、このピンはスリー・ステート・パラレル・デジタル出力ピンとして機能します。SER/PAR/SEL=1 のとき、このピンは SEL A として機能し、シリアル・インターフェースの設定に使われます。このピンが 1 の場合、シリアル・インターフェースは 1 本または 2 本または 3 本の DOUT x 出力ピンで動作し、DOUT A をシリアル出力としてイネーブルします。シリアル・インターフェースを選択した場合、このピンは常に 1 に設定してください。
18	BUSY	ビジー出力。変換開始時にハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。変換データは出力データ・レジスタにラッチされます。BUSY 信号がハイ・レベルのとき、入力される CONVST エッジが無視されるため、AD7656A-1 では新しい変換を開始できません。
19	$\overline{\text{CS}}$	チップ・セレクト。このアクティブ・ロー・ロジック入力により、データ転送がフレーム化されます。CS と RD がロー・レベルで、かつパラレル・インターフェースが選択された場合、出力バスがイネーブルされ、変換結果はパラレル・データ・バス・ラインへ出力されます。CS と WR がロー・レベルで、かつパラレル・インターフェースが選択された場合、DB15~DB8 を使用して、内蔵コントロール・レジスタへデータが書込まれます。シリアル・インターフェースを選択した場合、CS を使って、シリアル読出し転送をフレーム化し、シリアル出力データの MSB を出力します。
20	$\overline{\text{RD}}$	データの読出し。CS と RD がロー・レベルで、かつパラレル・インターフェースが選択された場合、出力バスがイネーブルされます。シリアル・インターフェースを選択する場合、RD ラインをロー・レベルに維持してください。
21, 22, 23	CONVST C, CONVST B, CONVST A	変換開始入力 A、変換開始入力 B、変換開始入力 C。これらのロジック入力を使って ADC 対上の変換を開始させます。CONVST A を使って、V1 と V2 で同時変換を開始させます。CONVST B を使って、V3 と V4 で同時変換を開始させます。CONVST C を使って、V5 と V6 で同時変換を開始させます。これらのピンの 1 つがロー・レベルからハイ・レベルに切り替わると、選択された ADC 対のトラック・アンド・ホールドがトラック・モードからホールド・モードに切り替わり、変換が開始されます。これらの入力 は、ADC 対をパーシャル・パワーダウン・モードにする際にも使用することができます。
24	$\overline{\text{STBY}}$	スタンバイ・モード入力。このピンを使って、6 個すべての内蔵 ADC をスタンバイ・モードにします。STBY 入力をハイ・レベルにすると、通常動作に、ロー・レベルにするとスタンバイ動作に、それぞれなります。
26	DV _{CC}	デジタル電源、4.75 V~5.25 V。DV _{CC} 電圧と AV _{CC} 電圧は理想的には同電位である必要があり、過渡的なバイアスでも電位差が 0.3 V を超えることはできません。この電源は 1 μ F のデカップリング・コンデンサを DV _{CC} ピンに接続して DGND へデカップリングする必要があります。
27	RANGE	アナログ入力範囲選択。ロジック入力。このピンのロジック・レベルによって、アナログ入力チャンネルの入力範囲が指定されます。このピンが BUSY の立下がりエッジでロジック 1 のとき、次の変換の範囲は $\pm 2 \times V_{\text{REF}}$ になります。このピンが BUSY の立下がりエッジでロジック 0 のとき、次の変換の範囲は $\pm 4 \times V_{\text{REF}}$ になります。ハードウェア・セレクト・モードでは、BUSY の立下がりエッジで RANGE ピンがチェックされます。ソフトウェア・モード(H/S SEL=1)では、RANGE ピンを DGND へ接続することができ、入力範囲は、コントロール・レジスタの RNGA ビット、RNGB ビット、RNGC ビットで指定されます(表 9 参照)。

ピン番号	記号	説明 ¹
28	RESET	リセット入力。ハイ・レベルに設定すると、このピンは AD7656A-1 をリセットします。ソフトウェア・モードでは、現在の変換が停止され、内部レジスタは全ビット 0 に設定されます。ハードウェア・モードでは、ハードウェア・セレクト・ピンのロジック・レベルに応じて AD7656A-1 が設定されます。すべてのモードで、AD7656A-1 はパワーアップ後に RESET パルスを受ける必要があります。RESET のハイ・パルス幅は、100 ns (typ) である必要があります。CONVST x ピンは RESET パルスの間ハイ・レベルに維持できますが、CONVST x ピンを RESET パルスの間ハイ・レベルに維持した場合、最初の変換を開始するためには、AD7656A-1 は RESET パルスの後に完全な CONVST x パルスを受け取る必要があります。この完全な CONVST x パルスは、CONVST x のハイ・レベルからロー・レベルへのエッジとそれに続く CONVST x のロー・レベルからハイ・レベルへのエッジから構成されます。ハードウェア・モードでは、変換サイクルと変換サイクルの間に RESET パルスを開始することができます。すなわち、BUSY がハイ・レベルからロー・レベルへ変化し、かつデータが読出された後にデバイスへ 100 ns の RESET パルスを入力することができます。次に、次の完全な CONVST x パルスの前に RESET を発行することができます。このような場合には、次の完全な CONVST x パルスの前に RESET がロー・レベルへ戻っていることを確認して下さい。
29	$\overline{W/B}$	ワード/バイト入力。このピンがロー・レベルのとき、パラレル・データライン DB15~DB0 を使って AD7656A-1 との間でデータを転送することができます。このピンがハイ・レベルで、かつパラレル・インターフェースが選択されている場合、バイト・モードがイネーブルされます。このモードでは、データライン DB15~DB8 を使ってデータが転送され、DB7 は HBEN として機能します。16 ビット変換結果を取得するときは、2 バイト読出しが必要です。シリアル・インターフェースを選択した場合、このピンは DGND に接続してください。
30	V _{SS}	負電源電圧。このピンは、アナログ入力セクションの負電源電圧です。
31	V _{DD}	正電源電圧。このピンは、アナログ入力セクションの負電源電圧です。
32, 37, 38, 43, 44, 49, 52, 53, 55, 57, 59	AGND	アナログ・グラウンド。AD7656A-1 上の全アナログ回路に対するグラウンド・リファレンス・ポイントです。すべてのアナログ入力信号と外付けリファレンス信号はこのピンを基準とします。すべての AGND ピンはシステムの AGND プレーンへ接続してください。AGND 電圧と DGND 電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が 0.3 V を超えないようにする必要があります。
33, 36, 39, 42, 45, 48	V1 to V6	アナログ入力 1~アナログ入力 6。これらのピンはシングルエンド・アナログ入力です。ハードウェア・モードでは、これらのチャンネルのアナログ入力範囲は、RANGE ピンにより指定されます。ソフトウェア・モードでは、コントロール・レジスタの RNGC ビット~RNGA ビットで指定されます (表 9 参照)。
34, 35, 40, 41, 46, 47, 50, 60	AV _{CC}	4.75 V~5.25 V のアナログ電源電圧。これは ADC コアの電源電圧です。AV _{CC} 電圧と DV _{CC} 電圧は理想的には同電位である必要があり、過渡的なバイアスでも電位差が 0.3 V を超えることはできません。
51	REFIN/REFOUT	リファレンス電圧入力/出力。内蔵リファレンス電圧はこのピンから出力されます。代わりに内蔵リファレンス電圧をディスイネーブルして、外付けリファレンス電圧をこの入力に接続することができます。内蔵/外付けリファレンスのセクションを参照してください。内蔵リファレンス電圧をイネーブルする場合、このピンを最小 1 μ F のコンデンサでデカップリングしてください。
54, 56, 58	REFCAPA, REFCAPB, REFCAPC	リファレンス・コンデンサ A、リファレンス・コンデンサ B、リファレンス・コンデンサ C。デカップリング・コンデンサをこれらのピンに接続して、各 ADC 対のリファレンス・バッファをデカップリングしてください。各 REFCAP x ピンを 1 μ F のコンデンサで AGND へデカップリングしてください。
61	SER/ \overline{PAR} SEL	シリアル/パラレル選択入力。このピンをロー・レベルにすると、パラレル・インターフェースが選択されます。このピンをハイ・レベルにすると、シリアル・インターフェースが選択されます。シリアル・インターフェースを選択した場合、DB10~DB8 は DOUT C~DOUT A として、DB0~DB2 は DOUT x として、DB7 は DCEN として、それぞれ機能します。シリアル・インターフェースを選択した場合、DB15 と DB13~DB11 は DGND に接続してください。
62	$\overline{H/S}$ SEL	ハードウェア/ソフトウェア選択入力。ロジック入力。 $\overline{H/S}$ SEL = 0 のとき、AD7656A-1 はハードウェア・セレクト・モードで動作し、同時サンプルされる ADC 対は CONVST ピンにより選択されます。 $\overline{H/S}$ SEL = 1 のとき、同時サンプルされる ADC 対はコントロール・レジスタへの書込みにより選択されます。シリアル・インターフェースが選択された場合、CONVST A を使って選択した ADC 対で変換を開始します。
63	\overline{WR} /REF _{EN} \overline{DIS}	書込みデータ/リファレンス・イネーブルおよびディスイネーブル。 $\overline{H/S}$ SEL ピンがハイ・レベルで、かつ CS と WR がロー・レベルのとき、DB15~DB8 を使って内部コントロール・レジスタへのデータ書込みが行われます。 $\overline{H/S}$ SEL ピンがロー・レベルのとき、このピンを使って内蔵リファレンス電圧をイネーブル/ディスイネーブルします。 $\overline{H/S}$ SEL = 0 かつ REF _{EN} \overline{DIS} = 0 のとき、内蔵リファレンス電圧がディスイネーブルされるため、外付けリファレンスを REFIN/REFOUT ピンへ加える必要があります。 $\overline{H/S}$ SEL = 0 かつ REF _{EN} \overline{DIS} = 1 のとき、内蔵リファレンス電圧がイネーブルされるため、REFIN/REFOUT ピンをデカップリングする必要があります。内蔵/外付けリファレンスのセクションを参照してください。

¹. 共用ピンの名前は、関連する機能でのみ参照できます。

代表的な性能特性

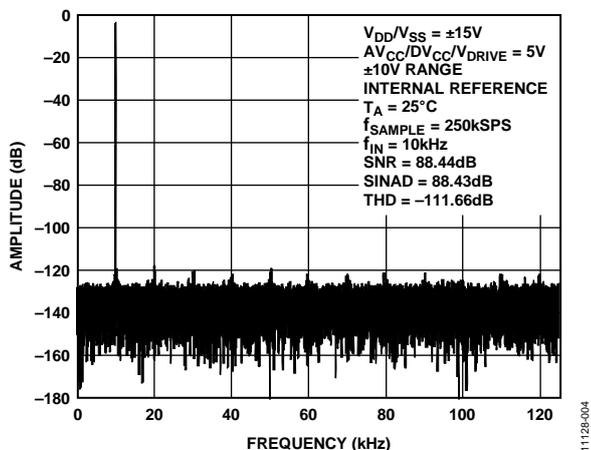


図 4. ±10 V 範囲での FFT ($V_{DD}/V_{SS} = \pm 15 V$)

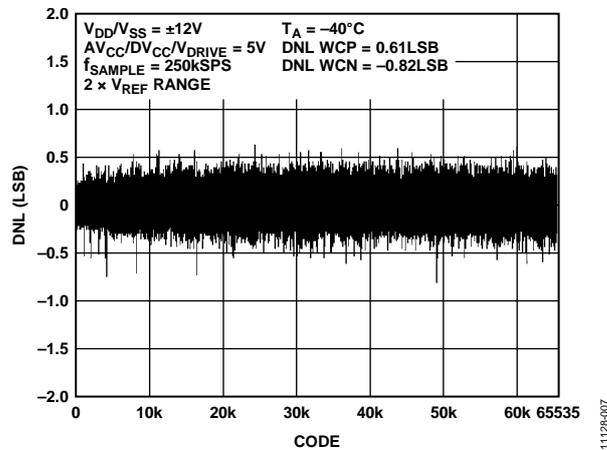


図 7. DNL

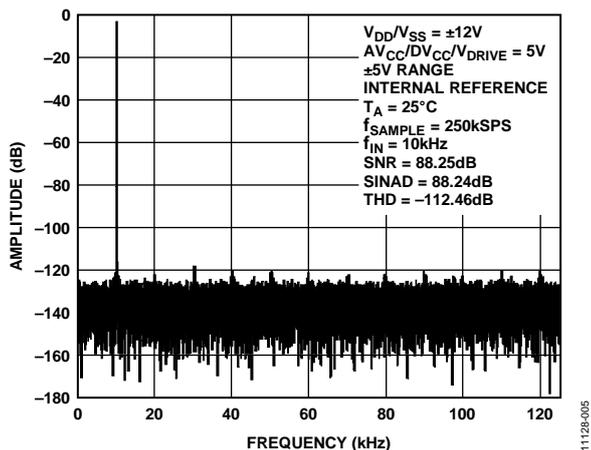


図 5. ±5 V 範囲での FFT ($V_{DD}/V_{SS} = \pm 12 V$)

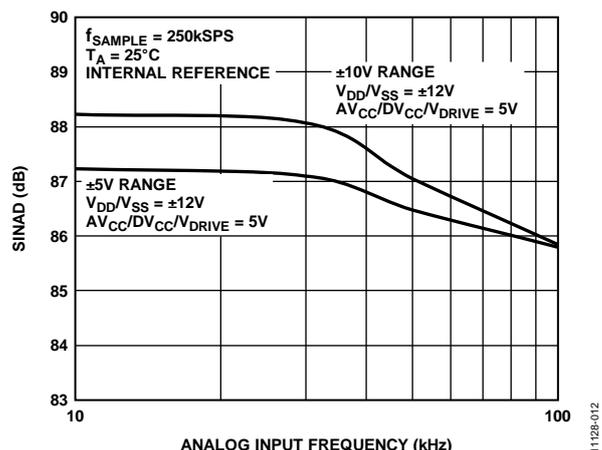


図 8. アナログ入力周波数対 SINAD

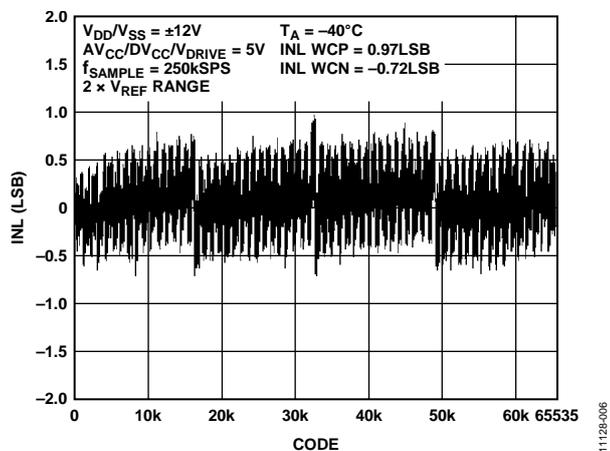


図 6. INL

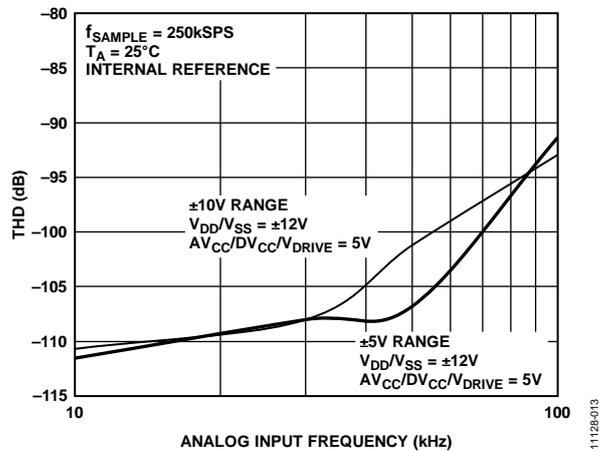


図 9. アナログ入力周波数対 THD

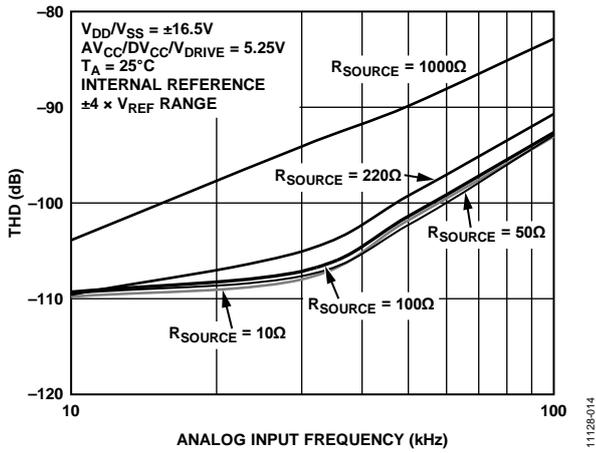


図 10. 様々なソース・インピーダンスでのアナログ入力周波数対 THD、 $\pm 4 \times V_{REF}$ 範囲

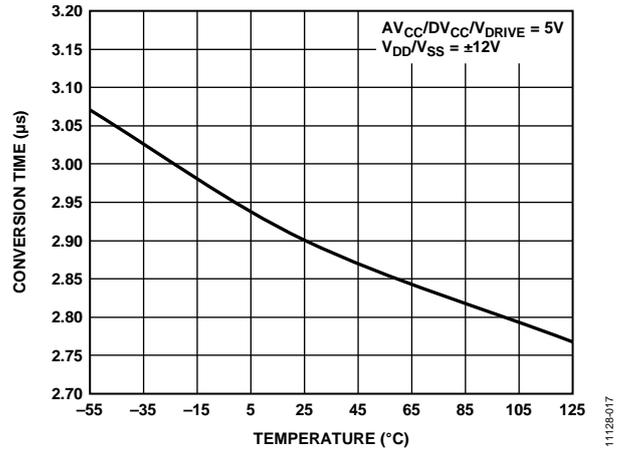


図 13. 変換時間の温度特性

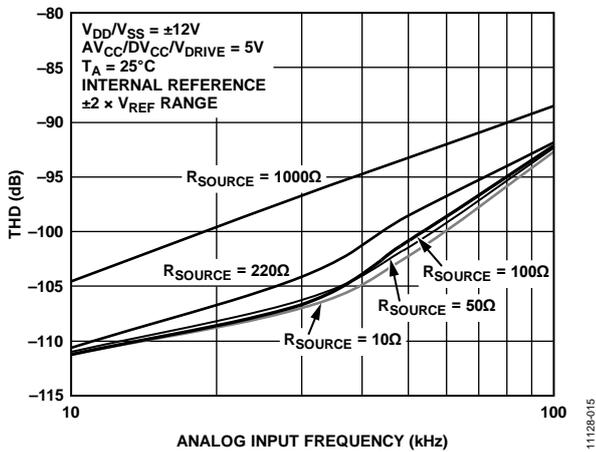


図 11. 様々なソース・インピーダンスでのアナログ入力周波数対 THD、 $\pm 2 \times V_{REF}$ 範囲

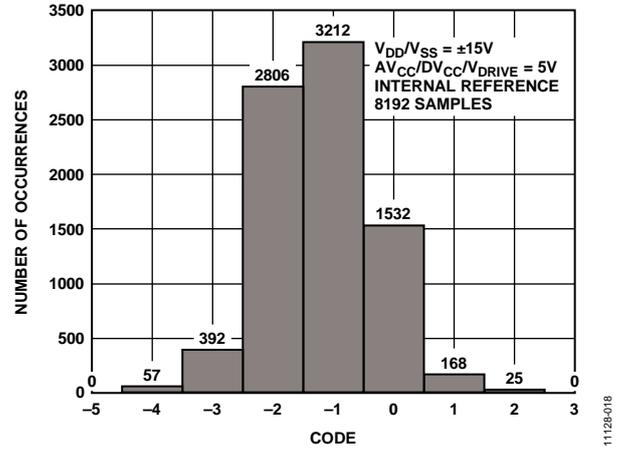


図 14. コードのヒストグラム

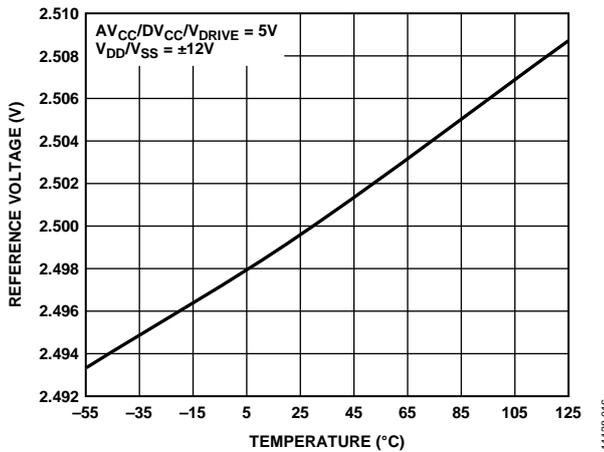


図 12. リファレンス電圧の温度特性

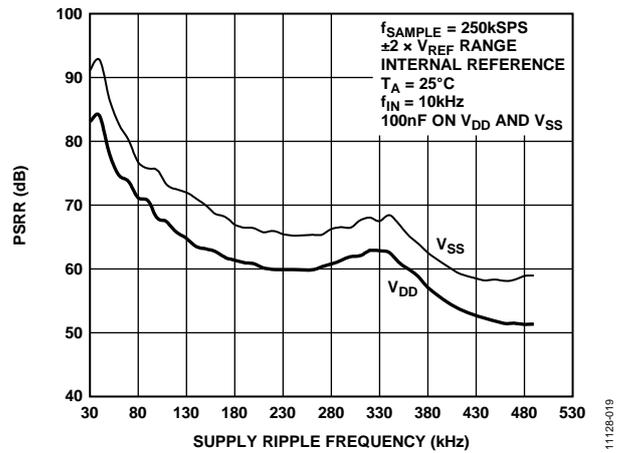


図 15. 電源リップル周波数対 PSRR

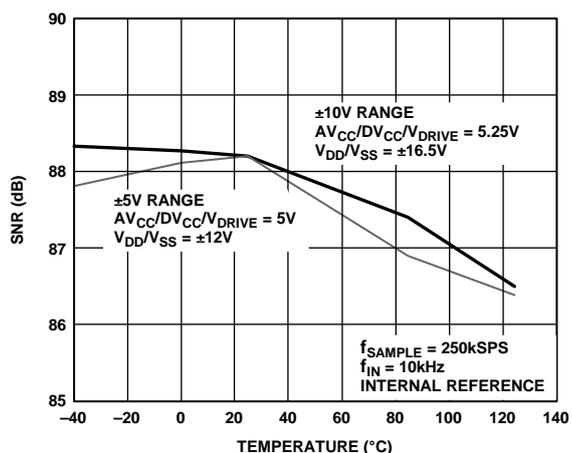


図 16. SNR の温度特性

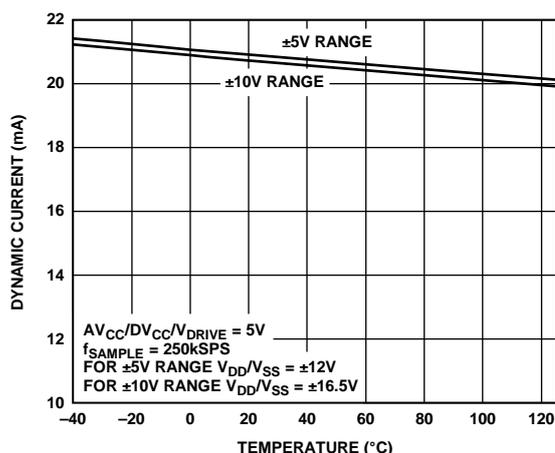


図 19. ダイナミック電流の温度特性

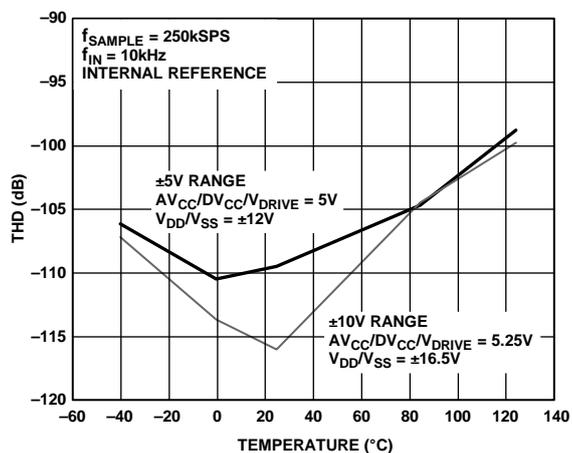


図 17. THD の温度特性

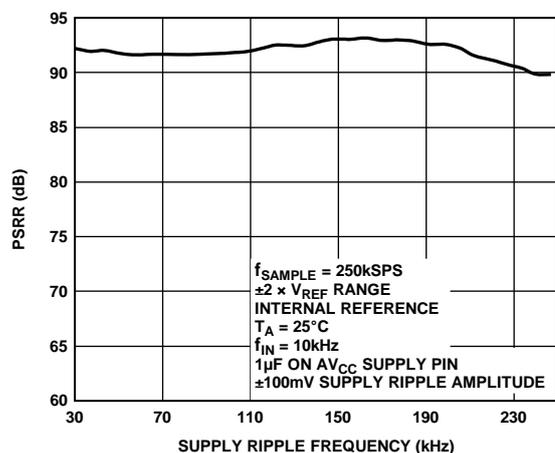


図 20. AVCC 電源の電源リップル周波数対 PSRR

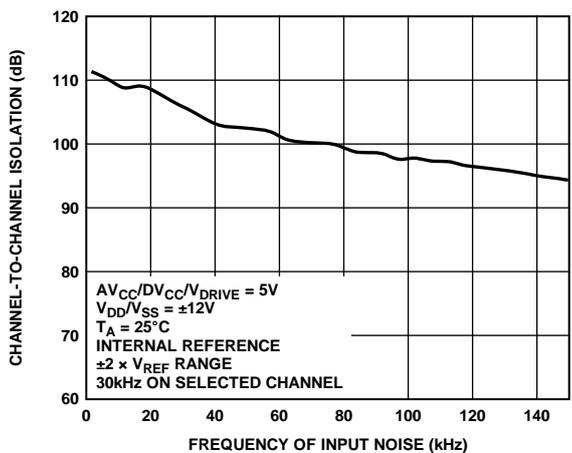


図 18. 入力ノイズ周波数対チャンネル間アイソレーション

用語

積分非直線性(INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード変化より 0.5 LSB 下のポイント)とフルスケール(最後のコード変化より 0.5 LSB 上のポイント)をいいます。

微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

バイポーラ・ゼロスケール誤差

ミッドスケール変化(全ビット 1 から全ビット 0 への変化)の理論 V_{IN} 電圧(AGND-1 LSB)からの差を意味します。

バイポーラ・ゼロスケール誤差マッチング

任意の 2 つの入力チャンネルの間のバイポーラ・ゼロ・コード誤差の差を意味します。

正のフルスケール誤差

バイポーラ・ゼロスケール理論値($4 \times V_{REF} - 1$ LSB または $2 \times V_{REF} - 1$ LSB)の差を意味します。

正のフルスケール誤差マッチング

任意の 2 つの入力チャンネルの間の正のフルスケール誤差の差を意味します。

負のフルスケール誤差

バイポーラ・ゼロスケール・エラー補正後の最初のコード遷移 ($10 \dots 000 \rightarrow 10 \dots 001$)と理論値($-4 \times V_{REF} + 1$ LSB または $-2 \times V_{REF} + 1$ LSB)の差を意味します。

負のフルスケール誤差マッチング

任意の 2 つの入力チャンネルの間の負のフルスケール誤差の差を意味します。

トラック・アンド・ホールド・アクイジション・タイム

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の ± 1 LSB 以内に出力が収まるために要する時間です。詳細については、トラック・アンド・ホールドのセクションを参照してください。

信号対ノイズ比(SNR)

SNR は、測定した出力信号 rms 値と、ナイキスト周波数より下のそれ以外の全スペクトル成分の rms 値総和との比です。SNR は、デシベル値で表されます。

信号対ノイズおよび歪み(SINAD)比

これは、ADC 出力での信号対ノイズ(+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは $1/2$ サンプリング周波数($f_{SAMPLE}/2$)までのすべての非基本波の和で表します(DC を除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が多いほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理論 N ビット・コンバータに対する SINAD の理論値は次式で表されます。

$$SINAD = (6.02 N + 1.76) \text{ dB}$$

したがって、16 ビット・コンバータの場合、SINAD は 98 dB になります。

全高調波歪み(THD)

THD は高調波の rms 値総和と基本波の比です。AD7656A-1 の場合、次式で与えられます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2, V_3, V_4, V_5, V_6 は、2 次～6 次の高調波の rms 振幅。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の(DC を除いて $f_{SAMPLE}/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

相互変調歪み(IMD)

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、様々なおおよび差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 $m, n=0, 1, 2, 3$ です。相互変調歪項とは、 m と n が非ゼロの項をいいます。例えば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7656A-1 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

チャンネル間アイソレーション

チャンネル間アイソレーションは、2 つのチャンネル間でのクロストークのレベルの大きさを表します。フルスケールの 100 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、30 kHz 信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。

電源変動除去比(PSRR)

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSR は、電源電圧の公称値からの変化で発生するフルスケール変化ポイントの最大変化を表します。代表的な性能特性のセクションを参照してください。

図 15 に、AD7656A-1 の電源リップル周波数対電源除去比を示します。電源変動除去比は、ADC 出力でのフルスケール周波数 f の電力と、ADC の V_{DD} 電源と V_{SS} 電源に加えられた周波数 f_{SAMPLE} で 200 mV p-p の正弦波の電力との比として次のように定

義されます。

$$PSRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

P_f は ADC 出力での周波数 f の電力。

P_{f_s} は V_{DD} 電源と V_{SS} 電源に加えられた周波数 f_{SAMPLE} の電力に一致します。

パーセント・フルスケール比 (%FSR)

%FSR は、ADC のフル理論振幅を使って計算されます。

動作原理

コンバータの詳細

AD7656A-1 は、AD7656A のデカップリング機能を軽減したピンおよびソフトウェア互換バージョンです。さらに、AD7656A-1 は 6 個の内蔵 A/D コンバータ (ADC) の同時サンプリングを可能にする高速低消費電力コンバータです。AD7656A-1 は真のバイポーラ入力信号を処理することができます。RANGE ピンまたは RNGx ビットを使って $\pm 4 \times V_{REF}$ または $\pm 2 \times V_{REF}$ を次の変換の入力範囲として選択します。

AD7656A-1 は、6 個の逐次比較型 (SAR) ADC、6 個のトラック・アンド・ホールド・アンプ、2.5 V リファレンス電圧、リファレンス・バッファ、パラレルおよびシリアルの高速度インターフェースを内蔵しています。このデバイスでは、3 本の CONVST x ピン (CONVST A、CONVST B、CONVST C) を相互に接続すると、6 個すべての ADC の同時サンプリングが可能になります。あるいは、6 個の ADC を 3 対にグループ化することができます。各対は、各 ADC 対、4 個の ADC、または 6 個すべての ADC での同時サンプリングを開始する際に使用する、対応した CONVST x 信号を持っています。CONVST A は V1 と V2 での同時サンプリングを、CONVST B は V3 と V4 での同時サンプリングを、CONVST C は V5 と V6 での同時サンプリングを、それぞれ開始する際に使用されます。

CONVST x にパルスを入力すると AD7656A-1 上で変換が開始されます。CONVST x の立上がりエッジで、選択された ADC 対のトラック・アンド・ホールド・アンプがホールド・モードになり、変換が開始されます。CONVST x の立上がりエッジの後に、BUSY 信号がハイ・レベルになって変換中であることを表示します。AD7656A-1 の変換クロックは内部で発生され、デバイスの変換時間は 3 μ s です。CONVST A、CONVST B、または CONVST C でのそれ以後の CONVST 立上がりエッジはすべて、BUSY がハイ・レベルの間無視されます。変換が完了すると、BUSY 信号はロー・レベルに戻ります。BUSY の立下がりエッジで、トラック・アンド・ホールド・アンプはトラック・モードへ戻ります。出力レジスタのデータは、パラレルまたはシリアルのインターフェースを使って読出すことができます。

トラック・アンド・ホールド・アンプ

AD7656A-1 のトラック・アンド・ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 16 ビット分解能で変換することができます。トラック・アンド・ホールド・アンプの入力帯域幅は、AD7656A-1 が最大スループット・レートで動作した場合でも、ADC のナイキスト・レートより広がっています。このデバイスは最大 4.5 MHz の入力周波数を処理することができます。

トラック・アンド・ホールド・アンプは、CONVST x の立上がりエッジでそれぞれの入力を同時にサンプルします。トラック・アンド・ホールドのオーバーチャージ時間(すなわち、外部 CONVST x 信号が実際にホールドを開始する間の遅延時間)は 10 ns です。この値は、1 個のデバイス上の 6 個すべてのトラック・アンド・ホールド・アンプ間で、さらにデバイス間で一致しています。このマッチングにより、6 個以上の ADC が同時にサンプルすることができます。変換の終了は BUSY の立下がりエッジで通知され、この時点でトラック・アンド・ホールド・アンプがトラック・モードに戻り、アキュイジション・タイムが開始されます。

アナログ入力

AD7656A-1 は真のバイポーラ入力電圧を処理することができます。RANGE ピンのロジック・レベルまたはコントロール・レジスタの RNGx ビットに書込まれた値により、次の変換に対する AD7656A-1 のアナログ入力範囲が決定されます。RANGE ピンまたは RNGx ビットが 1 のとき、次の変換のアナログ入力範囲は $\pm 2 \times V_{REF}$ になります。RANGE ピンまたは RNGx ビットが 0 のとき、次の変換のアナログ入力範囲は $\pm 4 \times V_{REF}$ になります。

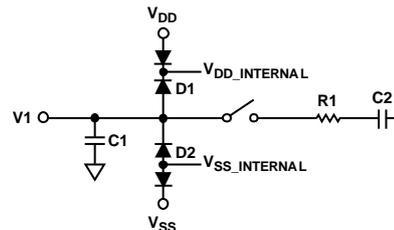


図 21.等価アナログ入力構造

図21に、AD7656A-1の入力構造の等価回路を示します。ダイオードD1とD2はアナログ入力に対してESD保護機能を提供します。アナログ入力信号は、 V_{DD} と V_{SS} の電源レール規定値に対して $V_{SS} + 1$ Vまたは $V_{DD} - 1$ Vを超えないよう注意する必要があります。超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は10 mAです。図21に示すコンデンサC1は約4 pF (typ)で、主にピン容量に起因します。抵抗R1は集中定数部品であり、スイッチ(トラック・アンド・ホールド・スイッチ)のオン抵抗から構成されます。この抵抗は約3.5 Ω (typ)です。コンデンサC2はADCサンプリング・コンデンサであり、10 pF (typ)です。

AD7656A-1 には、高電圧アナログ入力構造に対する V_{DD} と V_{SS} の 2 つの電源が必要です。これらの電源電圧はアナログ入力範囲より高い必要があります(各アナログ入力範囲に対するこれらの電源の条件については表 6 参照)。

AD7656A-1 では、ADC コア電源として 4.75 V~5.25 V の低電圧 AV_{CC} 電源、デジタル電源として 4.75 V~5.25 V の DV_{CC} 電源、インターフェース電源として 2.7 V~5.25 V の V_{DRIVE} 電源が必要です。

選択したアナログ入力範囲に対して最小電源電圧を使用する場合規定性能を満たすためには、最大スループット・レートよりスループット・レートを低下させる必要があります。

表 6.最小 V_{DD}/V_{SS} 電源電圧条件

Analog Input Range (V)	Reference Voltage (V)	Full-Scale Input (V)	Minimum V_{DD}/V_{SS} (V)
$\pm 4 \times V_{REF}$	2.5	± 11	± 11
$\pm 2 \times V_{REF}$	2.5	± 6	± 6

ADC の伝達関数

AD7656A-1 の出力コーディングは2の補数です。デザイン上のコード変化は連続する整数LSB値の中間(1/2 LSB、3/2 LSBなど)で発生します。AD7656A-1のLSB サイズはFSR/65,536になります。理論伝達特性を図22に示します。

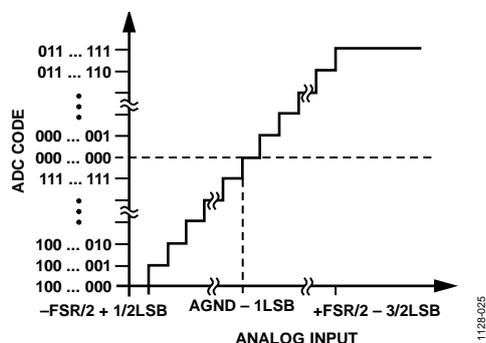


図 22.伝達特性

LSB サイズは選択したアナログ入力範囲に依存します(表 7 参照)。

表 7.各アナログ入力範囲に対する LSB サイズ

Input Range (V)	LSB Size (mV)	Full Scale Range
±10	0.305	20 V/65,536
±5	0.152	10 V/65,536

内蔵/外付けリファレンス電圧

REFIN/REFOUT ピンを使うと、AD7656A-1 の 2.5 V リファレンス電圧を外部へ出力するか、あるいはこのピンから変換用の外付けリファレンス電圧を入力することができます。

AD7656A-1 は、2.5 V の外付けリファレンス電圧を使用することができます。REFIN/REFOUT ピンを使って外付けリファレンス電圧を加える場合、内蔵リファレンス電圧をディスエーブルして、リファレンス・バッファをイネーブルする必要があります。あるいは、REFCAPx ピンを使って外付けリファレンス電圧を加えることができます。この場合、内蔵リファレンス電圧をディスエーブルする必要があります。さらに、リファレンス・バッファをディスエーブルして消費電力とクロストークを小さくすることが推奨されます。リセット後、AD7656A-1 はデフォルトで外付けリファレンス・モードで動作するため、内蔵リファレンス電圧がディスエーブルされ、リファレンス・バッファがイネーブルされます。

内蔵リファレンス電圧は、ハードウェアまたはソフトウェア・モードでイネーブルすることができます。ハードウェア・モードで内蔵リファレンスをイネーブルするときは、 $\overline{H/S SEL}$ ピンに 0 を、REF_{ENDIS} ピンに 1 を、それぞれ設定します。ソフトウェア・モードで内蔵リファレンスをイネーブルするときは、 $\overline{H/S SEL}$ ピンに 1 を設定し、コントロール・レジスタのビット DB9 に 1 を書込みます。内蔵リファレンス・モードの場合、1 μF のコン

デンサで REFIN/REFOUT ピンをデカップリングしてください。

AD7656A-1 は 3 個のリファレンス・バッファを内蔵しています(図 23 参照)。3 個の各 ADC 対には対応するリファレンス・バッファがあります。これらのリファレンス・バッファでは、REFCAPA ピン、REFCAPB ピン、REFCAPC ピンに 1 μF の外付けデカップリング・コンデンサが必要です。内蔵リファレンス・バッファは、ソフトウェア・モードで内部コントロール・レジスタのビット DB8 への書込みによりディスエーブルすることができます。シリアル・インターフェースを選択した場合、ハードウェア・モードで DB14/REFBUF_{ENDIS} ピンにハイ・レベルを設定して、内蔵リファレンス・バッファをディスエーブルすることができます。内蔵リファレンス電圧とそのバッファをディスエーブルする場合は、外部でバッファされたリファレンス電圧を REFCAPx ピンへ加えてください。

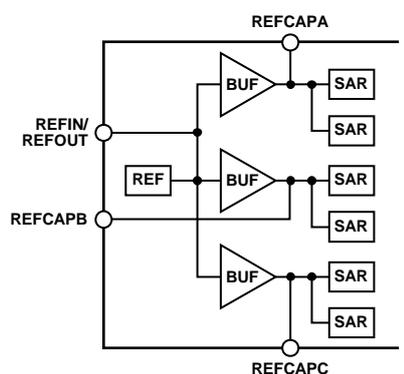


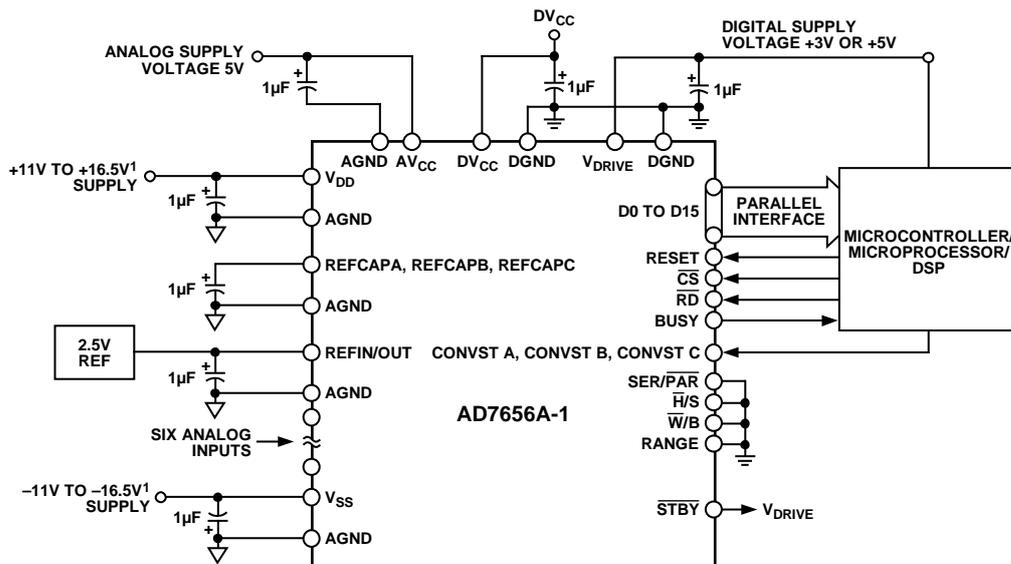
図 23.リファレンス回路

代表的な接続図

図 24 に AD7656A-1 の代表的な接続図を示します。この図では、必要とされるデカップリング・コンデンサの数が少なくなっています。各デバイスには 8 本の AV_{CC} 電源ピンがあります。AV_{CC} 電源は、AD7656A-1 の変換プロセスで使用される電源であるため優れたデカップリングが必要です。8 本の AV_{CC} ピンに加えられる AV_{CC} 電源は、1 個の 1 μF コンデンサだけでデカップリングすることができます。AD7656A-1 は、内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。この構成では、デバイスが外付けリファレンス電圧で動作するように設定されています。REFIN/REFOUT ピンは 1 μF のコンデンサでデカップリングされています。3 個の内蔵リファレンス・バッファがイネーブルされています。各 REFCAPx ピンは、1 μF のコンデンサでデカップリングされています。

AV_{CC}電源と DV_{CC}電源として同じ電源を使用する場合は、電源ピン間にフェライトまたは小型の RC フィルタを接続してください。

AGND ピンはシステムのアナログ・グラウンド・プレーンに接続されています。DGND ピンはシステムのデジタル・グラウンド・プレーンに接続されています。AGND プレーンと DGND プレーンは、システム内の 1 箇所接続してください。この接続は、システム内の AD7656A-1 の近くで行ってください。



NOTES
 1 SEE THE POWER SUPPLY SEQUENCING SECTION.

11128-026

図 24. 代表的な接続図

V_{DRIVE} 電源はプロセッサと同じ電源に接続されます。 V_{DRIVE} 電圧が出力ロジック信号の電圧値を制御します。

V_{DD} 信号と V_{SS} 信号は最小 $1\ \mu\text{F}$ のコンデンサでデカップリングしてください。これらの電源は、AD7656A-1 アナログ入力の高電圧アナログ入力構造に使用されています。

アナログ入力の駆動

AD7656A-1 で使用されるドライバ・アンプとアナログ入力回路は、フルスケール・ステップ入力に対して、AD7656A-1 の規定のアクイジション・タイム $550\ \text{ns}$ を満たす 16 ビット・レベル (0.0015%) に安定する必要があります。AD7656A-1 の SNR 比と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。さらにドライバは、AD7656A-1 に見合う THD 性能を持つ必要があります。

AD8021 はこれらの条件を満たしています。AD8021 には、外付けの補償コンデンサ $10\ \text{pF}$ が必要です。AD8021 のデュアル・バージョンが必要な場合には、AD8022 を使用することができます。AD8610 と AD797 も、AD7656A-1 の駆動に使用することができます。

インターフェース・オプション

AD7656A-1 には、高速パラレル・インターフェースと高速シリアル・インターフェースの 2 つのインターフェース・オプションがあります。インターフェース・モードは、 $\overline{\text{SER/SEL}}$ ピンで選択します。パラレル・インターフェースは、ワード・モード ($\overline{\text{W/B}} = 0$) またはバイト・モード ($\overline{\text{W/B}} = 1$) で動作することができます。シリアル・モードでは、AD7656A-1 をデジチェーン・モードに設定することができます。

パラレル・モードでは、変換直後の結果は、読み出し動作でのみ取得できます。例えば、CONVST A と CONVST C が同時にトグルされ、CONVST B が使用されない場合を考えます。変換プロセスの終わりで、BUSY がロー・レベルになり、読み出しが行われます。4 個の読み出しパルス (パラレル・モード) が入力されて、データは V1、V2、V5、V6 から出力されます。このサイクルで CONVST B がトグルされなかったため、V3 と V4 からデータは出力されませんが、シリアル・モードでは、変換サイクルに含

まれていない ADC の ADC 変換結果の代わりに、全ビット・ゼロが出力されます。詳細については、シリアル・インターフェース ($\overline{\text{SER/SEL}} = 1$) のセクションを参照してください。

パラレル・インターフェース ($\overline{\text{SER/SEL}} = 0$)

AD7656A-1 は 6 個の 16 ビット ADC を内蔵しています。3 本すべての CONVST x ピン (CONVST A、CONVST B、CONVST C) を相互に接続すると、6 個のすべての ADC の同時サンプルを行うことができます。AD7656A-1 での変換を開始するためには、CONVST x の立下がりエッジとそれに続く CONVST x の立上がりエッジで構成される CONVST x パルスの入力が必要です。CONVST x の立上がりエッジで、選択した ADC で同時変換が開始されます。AD7656A-1 は、変換の実行に使う発振器を内蔵しています。変換時間 t_{CONV} は、 $3\ \mu\text{s}$ です。変換が完了すると、BUSY 信号はロー・レベルになります。BUSY 信号の立下がりエッジを使って、トラック・アンド・ホールド・アンプがトラック・モードに戻されます。

また、AD7656A-1 では、3 本の CONVST x ピンに独立にパルスを入力することにより、対にした 6 個の ADC で同時に変換することができます。CONVST A は V1 と V2 での同時変換を、CONVST B は V3 と V4 での同時変換を、CONVST C は V5 と V6 での同時変換を、それぞれ開始する際に使用されます。同時サンプルされた ADC の変換結果は、出力データ・レジスタに格納されます。変換を開始するいずれかの CONVST x ピンで立上がりエッジが発生すると、すべての CONVST x ピンでのそれ以後の CONVST 立上がりエッジが無視され、BUSY がハイ・レベルになります。

AD7656A-1 からのデータの読み出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を使うパラレル・データバスを経由して行うことができます ($\overline{\text{W/B}} = 0$)。パラレル・バスからデータを読み出すときは、 $\overline{\text{SER/SEL}}$ ピンをロー・レベルにする必要があります。 $\overline{\text{CS}}$ 入力信号と $\overline{\text{RD}}$ 入力信号を内部でゲーティングして変換結果をデータ・バスへ出力します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ をロー・レベルにすると、データライン DB0~DB15 は高インピーダンス状態を維持します。

\overline{CS} 信号をロー・レベルに固定して、 \overline{RD} 信号を使って変換結果をアクセスすることができます。読出し動作は、BUSY 信号がロー・レベルになった後に行うことができます。必要な読出し動作回数は、同時サンプルされる ADC 数に依存します (図 25 参照)。CONVST A と CONVST B を同時にロー・レベルにすると、V1、V2、V3、V4 から変換結果を取得するために 4 回の読出し動作が必要です。CONVST A と CONVST C を同時にロー・レベルにすると、V1、V2、V5、V6 から変換結果を取得するために 4 回の読出し動作が必要です。変換結果は、昇順に出力されません。

3本のCONVST x 信号を使って3つのADC 対で変換を独立に開始させる場合、変換を開始するいずれかのCONVST x ピンで立上がりエッジが発生すると、すべてのCONVST x ピンでのそれ以後のCONVST 立上がりエッジが無視され、BUSYがハイ・レベルになります。

読出しシーケンス中に変換を開始できますが、変換性能に影響が生じることがあるため推奨されません。規定の性能を得るためには、変換後に読出しを実行することが推奨されます。使用

しない入力チャンネル対については、対応する CONVST x ピンを V_{DRIVE} へ接続してください。

8ビット・バスだけが存在する場合は、AD7656A-1の平行・インターフェースをバイト・モードで動作するように設定することができます ($\overline{W}/B = 1$)。この設定では、DB7/HBEN/DCEN ピンがHBEN機能を持ちます。AD7656A-1の各チャンネルの変換結果は、2回の読出し動作でアクセスすることができます。各読出し動作で8ビット・データがDB15~DB8に出力されます (図 26参照)。HBEN ピンは、読出し動作で16ビット変換結果の上位バイトまたは下位バイトのいずれを最初にアクセスするかを指定します。DB15~DB8で常に上位バイトを先にアクセスするときは、HBEN ピンをハイ・レベルにしてください。バイト・モードで、3本のすべてのCONVST x ピンにパルスが入力されて6個のすべてのADCで同時変換が開始される場合、6個の16ビット変換結果を読出すためには、12回の読出し動作が必要です。バイト・モードではDB6~DB0を未接続のままにしてください。

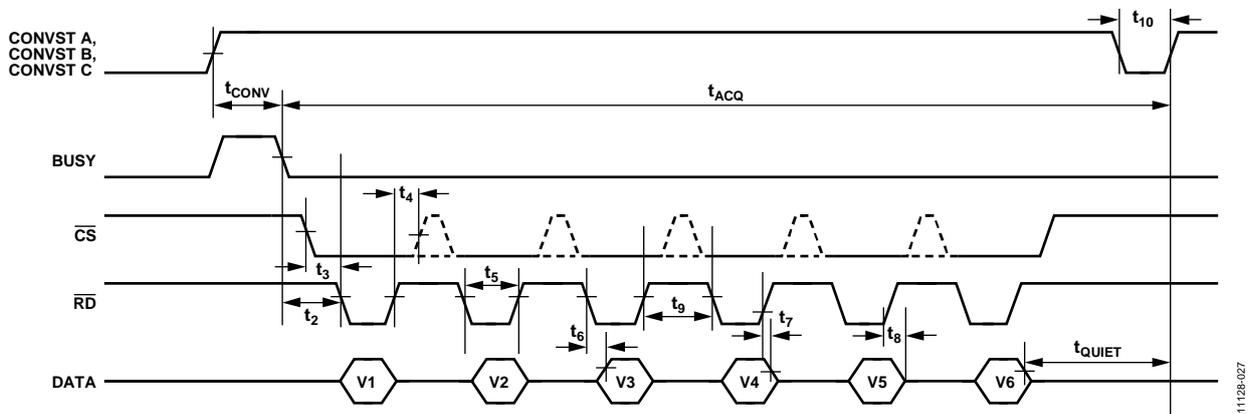


図 25. 平行・インターフェースのタイミング図 ($\overline{W}/B = 0$)

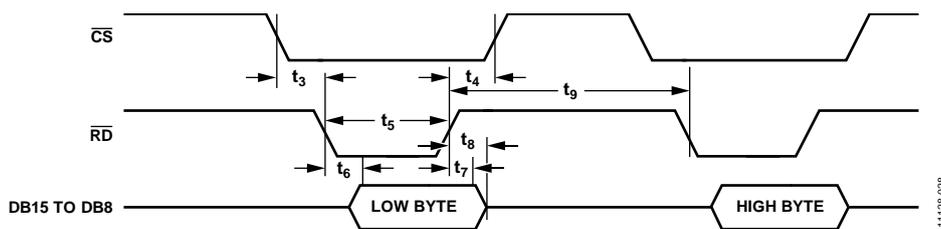


図 26. 平行・インターフェース—バイト動作モードでの読出しサイクル ($\overline{W}/B = 1, HBEN = 0$)

ソフトウェアからの ADC 選択

$\overline{H/S SEL}$ ピンは、同時サンプルされる ADC の組み合わせのソースを指定します。 $\overline{H/S SEL}$ ピンがロー・レベルのとき、同時サンプルされるチャンネルの組み合わせは、 $CONVSTA$ ピン、 $CONVSTB$ ピン、 $CONVSTC$ ピンにより指定されます。 $\overline{H/S SEL}$ ピンがハイ・レベルのとき、同時サンプルされるチャンネルの組み合わせは、コントロール・レジスタの $DB15$ ビット～ $DB13$ ビットの値により指定されます。このモードでは、コントロール・レジスタへの書き込みが必要です。

コントロール・レジスタは 8 ビットの書き込み専用レジスタです。データは、 \overline{CS} ピン、 \overline{WR} ピン、 $DB15$ ～ $DB8$ のデータ・ピンを使ってこのレジスタに書込まれます (図 27 参照)。表 8 と表 9 にコントロール・レジスタを示します。同時サンプルされる ADC 対を選択するときは、書き込み動作で対応するデータラインにハイ・レベルを設定します。

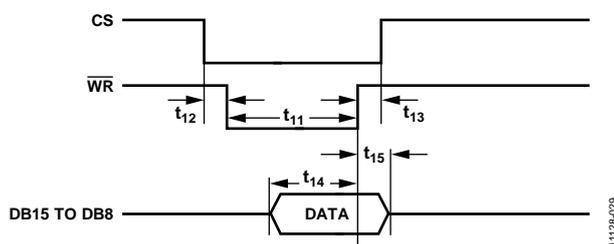


図 27.パラレル・インターフェース—ワード・モードでの書き込みサイクル ($\overline{W/B} = 0$)

AD7656A-1 のコントロール・レジスタを使うと、各 ADC 対に個別の範囲を設定することができます。コントロール・レジスタの $DB12$ ビット～ $DB10$ ビットを使って各 ADC 対に範囲を設定します。

AD7656A-1 のリセット後は、コントロール・レジスタ値は全ビット 0 になります。 $CONVSTA$ 信号を使って、コントロール・レジスタを使って選択したチャンネルの組み合わせで同時変換を開始させます。ソフトウェア・モードで動作するときは ($\overline{H/S SEL} = 1$) $CONVSTB$ 信号と $CONVSTC$ 信号をロー・レベルにすることができます。必要となる読出しパルス数は、コントロール・レジスタで選択した ADC 数と、ワード・モードまたはバイト・モードのいずれかでデバイスが動作するかに依存します。変換結果は、昇順に出力されます。

書き込み動作では、データ・バス・ビット $DB15$ ～データ・バス・ビット $DB8$ は双方向になり、 \overline{RD} がハイ・レベルで、かつ \overline{CS} と \overline{WR} がロー・レベルのときコントロール・レジスタへの入力になります。 $DB15$ ～ $DB8$ のロジック状態は、 \overline{WR} がハイ・レベルになるときにコントロール・レジスタへラッチされます。

表 8.コントロール・レジスタのビット・マップ (デフォルトは全ビット・ゼロ)

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
VC	VB	VA	RNGC	RNGB	RNGA	REFEN	REFBUF

表 9.コントロール・レジスタ・ビットの機能説明

Bit	Mnemonic	Description
DB15	VC	This bit selects the V5 and V6 analog inputs for the next conversion. When this bit is set to 1, V5 and V6 are simultaneously converted on the next $CONVSTA$ rising edge.
DB14	VB	This bit selects the V3 and V4 analog inputs for the next conversion. When this bit is set to 1, V3 and V4 are simultaneously converted on the next $CONVSTA$ rising edge.
DB13	VA	This bit selects the V1 and V2 analog inputs for the next conversion. When this bit is set to 1, V1 and V2 are simultaneously converted on the next $CONVSTA$ rising edge.
DB12	RNGC	This bit selects the analog input range for the V5 and V6 analog inputs. When this bit is set to 1, the $\pm 2 \times V_{REF}$ range is selected for the next conversion. When this bit is set to 0, the $\pm 4 \times V_{REF}$ range is selected for the next conversion.
DB11	RNGB	This bit selects the analog input range for the V3 and V4 analog inputs. When this bit is set to 1, the $\pm 2 \times V_{REF}$ range is selected for the next conversion. When this bit is set to 0, the $\pm 4 \times V_{REF}$ range is selected for the next conversion.
DB10	RNGA	This bit selects the analog input range for the V1 and V2 analog inputs. When this bit is set to 1, the $\pm 2 \times V_{REF}$ range is selected for the next conversion. When this bit is set to 0, the $\pm 4 \times V_{REF}$ range is selected for the next conversion.
DB9	REFEN	This bit selects the internal reference or an external reference. When this bit is set to 0, the external reference mode is selected. When this bit is set to 1, the internal reference is selected.
DB8	REFBUF	This bit selects between using the internal reference buffers and choosing to bypass these reference buffers. When this bit is set to 0, the internal reference buffers are enabled, and decoupling is required on the $REFCAPx$ pins. When this bit is set to 1, the internal reference buffers are disabled, and a buffered reference must be applied to the $REFCAPx$ pins.

アナログ入力範囲の変更 ($\overline{H/S SEL} = 0$)

AD7656A-1 の RANGE ピンを使うと、6 本のアナログ入力のアナログ入力範囲として $\pm 2 \times V_{REF}$ または $\pm 4 \times V_{REF}$ を選択することができます。H/S SEL ピンがロー・レベルのとき、RANGE ピンのロジック状態が BUSY 信号の立下がりエッジでサンプルされて、次の同時変換の範囲が決定されます。RANGE ピンが BUSY 信号の立下がりエッジでハイ・レベルのとき、次の変換の範囲は $\pm 2 \times V_{REF}$ になります。RANGE ピンが BUSY 信号の立下がりエッジでロー・レベルのとき、次の変換の範囲は $\pm 4 \times V_{REF}$ になります。RESET パルスの後、BUSY 信号の最初の立下がりエッジで範囲が更新されます。

アナログ入力範囲の変更 ($\overline{H/S SEL} = 1$)

$\overline{H/S SEL}$ ピンがハイ・レベルのとき、コントロール・レジスタへの書込みにより範囲を変更することができます。コントロール・レジスタのビット [DB12:DB10] を使って、次の変換のアナログ入力範囲を選択します。各アナログ入力対には対応する範囲ビットがあるため、各 ADC 対に独立な範囲を設定することができます。RNGx ビットが 1 に設定されると、次の変換の範囲は $\pm 2 \times V_{REF}$ になります。RNGx ビットが 0 に設定されると、次の変換の範囲は $\pm 4 \times V_{REF}$ になります。

シリアル・インターフェース ($\overline{SER/PAR/SEL} = 1$)

1 本、2 本、または 3 本すべての CONVST 信号にパルスを入力することにより、AD7656A-1 は調整済みの内蔵発振器を使って CONVST x の立上がりエッジで選択したチャンネル対を同時変換します。CONVST x の立上がりエッジの後に、BUSY 信号がハイ・レベルになって変換中であることを表示します。変換が完了すると (3 μ s 後)、この信号はロー・レベルに戻ります。CONVST A、CONVST B、または CONVST C でのそれ以後の CONVST の立上がりエッジはすべて、BUSY がハイ・レベルの間無視されます。出力レジスタには新しい変換結果がロードされ、データは AD7656A-1 から読出すことができます。シリアル・イ

ンターフェースを使ってデバイスからデータを読出すときは、 $\overline{SER/PAR SEL}$ をハイ・レベルにします。AD7656A-1 からデータを転送するためには、 \overline{CS} 信号と SCLK 信号が使用されます。デバイスには 3 本の DOUT x ビン (DOUT A、DOUT B、DOUT C) があります。データは、1 本、2 本、または 3 本すべての DOUT x ラインを使って AD7656A-1 からリードバックすることができます。

図 28 に、3 本の DOUT x ラインを使った、6 回の同時変換と読出しシーケンスを示します。図 28 では、32 回の SCLK 変化を使って AD7656A-1 からデータをアクセスしていますが、 \overline{CS} 信号により個別にフレーム化された 16 SCLK 転送を 2 回使って、3 本の DOUT x ラインでデータをアクセスすることもできます。この後に加えられる SCLK では、すべてゼロが出力されます。シリアル・インターフェースを選択し、変換データを 3 本すべての DOUT x ラインへ出力するときは、DB0/SEL A、DB1/SEL B、DB2/SEL C を V_{DRIVE} へ接続してください。これらのピンは、それぞれ DOUT A ~ DOUT C のラインをイネーブルするときに使います。

2 本のデータ出力ラインへ変換データを出力する場合は、DOUT A と DOUT B を使います。DOUT A と DOUT B をイネーブルするときは、DB0/SEL A と DB1/SEL B を V_{DRIVE} へ接続し、DB2/SEL C をロー・レベルへ接続してください。6 回の同時変換を行い、2 本の DOUT x ラインだけを使用する場合は、48 回の SCLK 変化を使って AD7656A-1 からデータをアクセスすることができます。この後に加えられる SCLK では、すべてゼロが出力されます。図 29 に、6 個のすべての ADC の同時変換に対する、2 本の DOUT x ラインを使った読出しシーケンスを示します。6 個すべての ADC で同時変換を行い、2 本の DOUT x ラインだけを使って AD7656A-1 から変換結果を読出す場合は、DOUT A により V1、V2、V5 の変換結果を、DOUT B により V3、V4、V6 の変換結果を、それぞれ出力します。

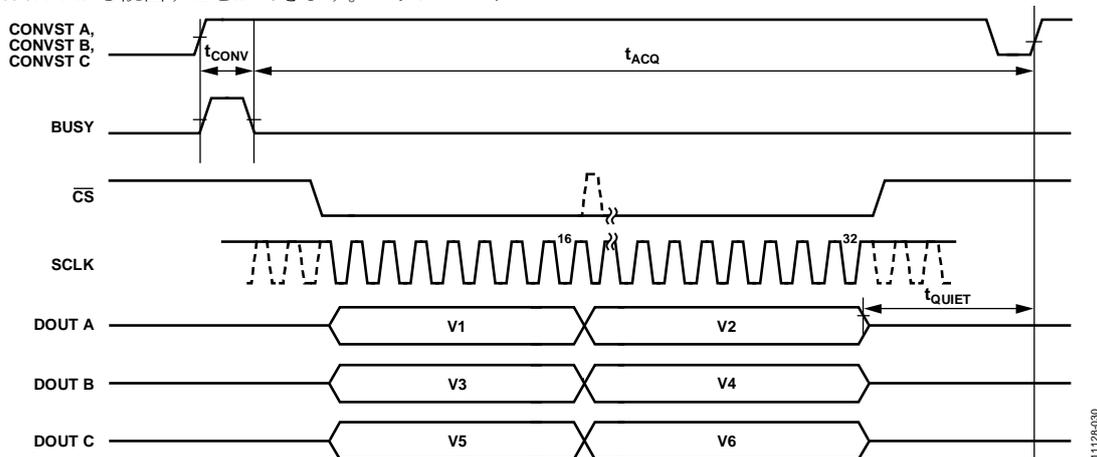


図 28.3 本の DOUT x ラインによるシリアル・インターフェース

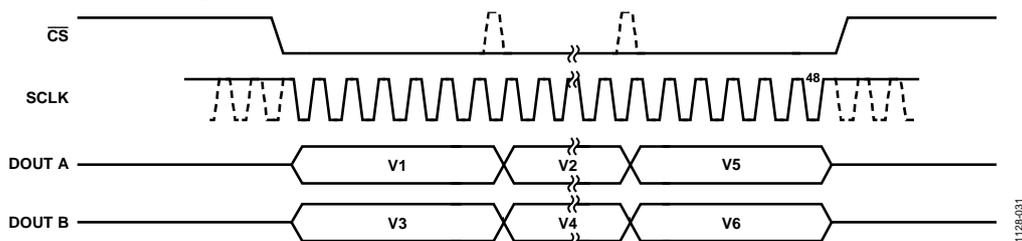


図 29.2 本の DOUT x ラインによるシリアル・インターフェース

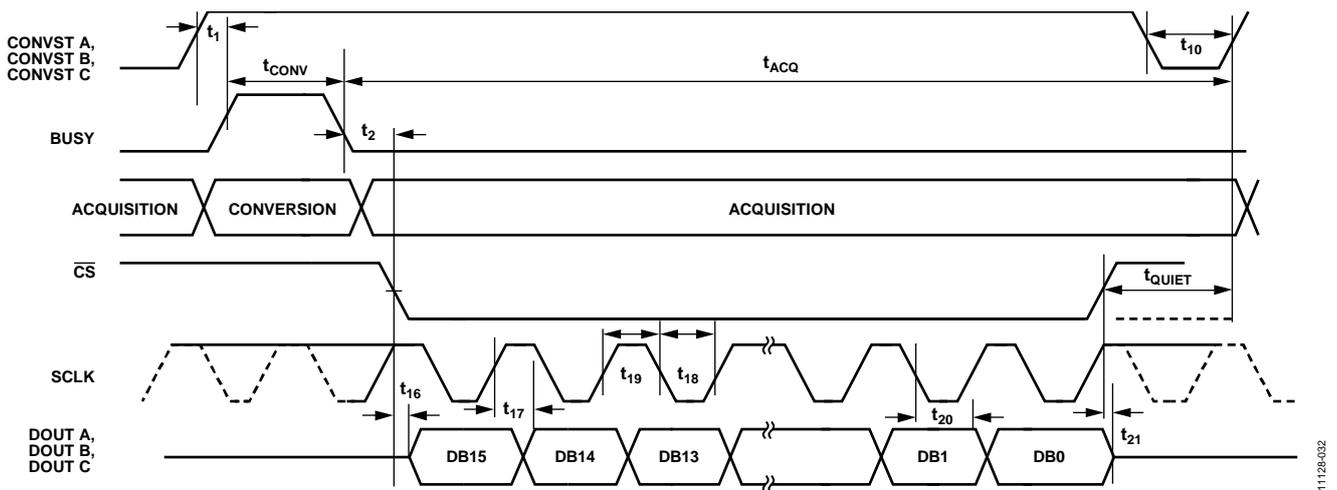


図 30. シリアルの読出し動作

データを1本のDOUTxラインだけで出力することもできます。この場合、DOUTAを使って変換データをアクセスしてください。AD7656A-1をこの動作モードに設定するときは、DB0/SEL AをV_{DRIVE}へ、DB1/SEL BとDB2/SEL Cをロー・レベルへ、それぞれ接続してください。1本だけのDOUTxラインを使用する欠点は、スループット・レートが低下することです。96 SCLK転送を1回、フレーム化32 SCLK転送を3回、またはフレーム化16 SCLK転送を6回使用してAD7656A-1からデータをアクセスすることができます。この後に加えられるSCLKでは、すべてゼロが出力されます。シリアル・インターフェースを使用する場合は、RD信号をロー・レベルに接続し、未使用のDOUT x ラインは未接続のままにしてください。

1本、2本、または3本のデータ出力ラインのいずれを使用するときでも、変換サイクルで特定のCONVST x ピンを使用しない場合、その変換サイクルで対応するADCが使用されない場合でもそのADC変換結果の代わりにすべてゼロが出力されます。例えば、CONVST Bにだけパルスが入力され、1本のデータ出力ピンを使用する場合、V3とV4から変換結果をアクセスするために64個のSCLKが必要ですが、2本または3本のデータ出力ラインを使用する場合には、32個のSCLKで済みます。

シリアルの読出し動作

図 30 に、シリアル・インターフェースを使用する場合のAD7656A-1 からデータ読出しのタイミング図を示します。SCLK 入力信号は、シリアル・インターフェースのクロックになります。データをAD7656A-1 からアクセスするときは、CSをロー・レベルにします。CSの立下がりエッジで、バスがスリー・ステートから抜け出して、16 ビット変換結果のMSBが出力されます。ADCは各変換結果に対して16 ビットを出力します。AD7656A-1のデータ・ストリームは16 ビットの変換データで構成され、MSBファーストで出力されます。

変換結果の最初のビットは、CSの立下がりエッジの後の、最初のSCLK立下がりエッジで有効になります。後続の15ビットのデータは、SCLK信号の立上がりエッジで出力されます。データは、SCLKの立下がりエッジで有効になります。各変換結果をアクセスするためには、16個のクロック・パルスをAD7656A-1へ入力する必要があります。図30に、変換結果をアクセスするときに16個のSCLKによる読出しの使用方法を示します。

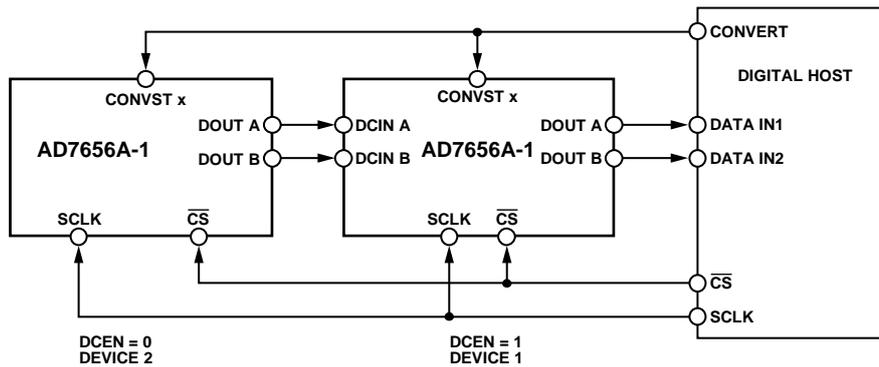


図 31. デイジーチェーン構成

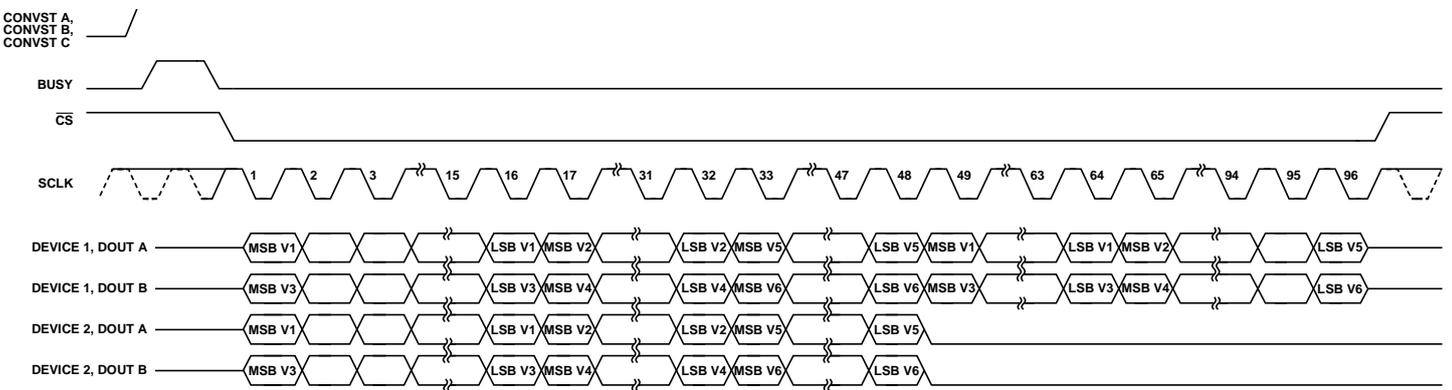


図 32. 2本の DOUT ラインによる デイジーチェーン・シリアル・インターフェースのタイミング

デイジーチェーン・モード (DCEN = 1、SER/ PAR/SEL = 1)

1本、2本、または3本の DOUT x ピンを使って AD7656A-1 から変換データを読み出す場合、AD7656A-1 をデイジーチェーン・モードで動作させるように DCEN ピンを使って設定することができます。このデイジーチェーン機能を使うと、複数の AD7656A-1 デバイスをカスケード接続できるため、部品数と配線接続数の削減に役立ちます。2個のデバイスの接続例を図 31 に示します。この構成では2本の DOUT x ラインが各デバイスに対して使用されています。共通の CONVST x 信号を使うと、12個のアナログ入力の同時サンプリングが可能です。DB5、DB4、DB3 の各データ・ピンは、デイジーチェーン・モードでの DCIN A~DCIN C データ入力ピンとして使用されています。

CONVST の立上がりエッジを使って AD7656A-1 上の変換を開始させます。BUSY 信号がロー・レベルになって変換の完了が表示された後、2個のデバイスからのデータの読み出しを開始することができます。図 32 に、デイジーチェーン・モードで2個の AD7656A-1 デバイスを動作させたときのシリアル・タイミング

図を示します。

CS の立下がりエッジを使って、AD7656A-1 からのシリアル転送をフレーム化し、バスをスリー・ステートから抜け出させ、最初の変換結果の MSB を出力させます。図 32 に示す例では、12個のすべての ADC チャンネルが同時サンプルされます。この例では、2本の DOUT x ラインを使って、変換結果を読み出しています。CS は96 SCLK 転送をフレーム化しています。最初の48個の SCLK で、変換データがデバイス2からデバイス1へ転送されます。デバイス2の DOUT A は V1、V2、V5 から変換データをデバイス1の DCIN A へ転送し、デバイス2の DOUT B は V3、V4、V6 から変換結果をデバイス1の DCIN B へ転送します。最初の48個の SCLK で、デバイス1はデータをデジタル・ホストへ転送します。デバイス1の DOUT A は V1、V2、V5 から変換データを転送し、デバイス1の DOUT B は V3、V4、V6 から変換データを転送します。最後の48個の SCLK で、デバイス2はゼロを出力し、デバイス1は、最初の48個の SCLK でデバイス2から入力されたデータをデジタル・ホストへシフト出力します。DCEN が転送中ハイ・レベルを維持すると、フレーム化 16 SCLK 転送を6回使用してこの例を実現することもできます。

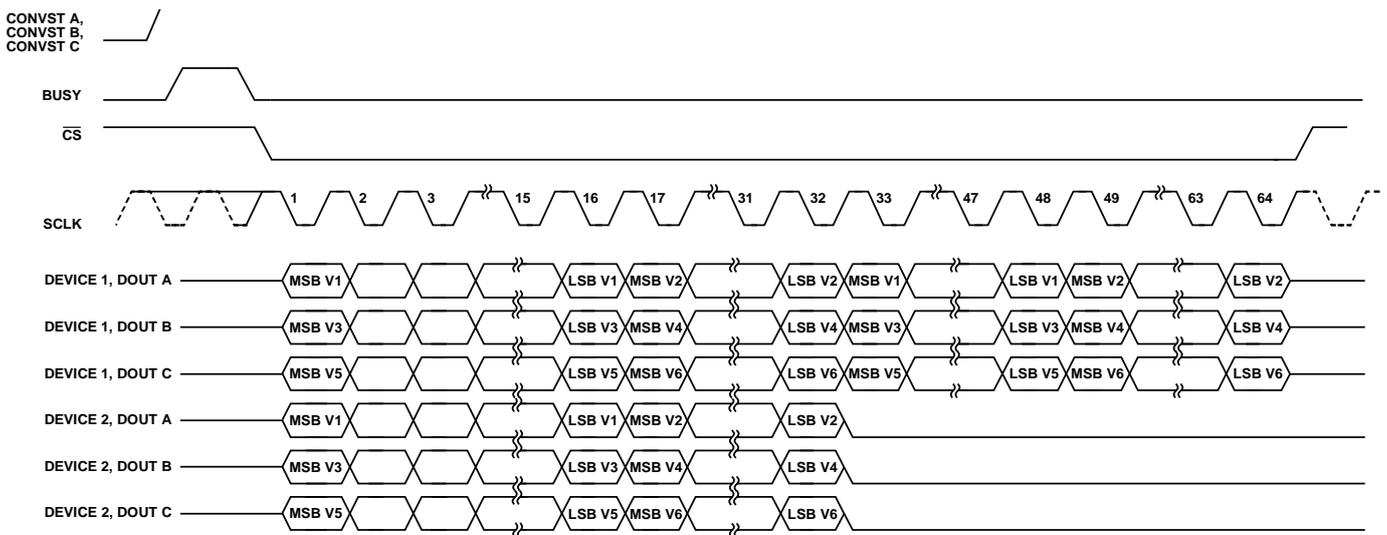


図 33.3 本の DOUT x ラインによるデジチェーン・シリアル・インターフェースのタイミング

図 33 に、2 個の AD7656A-1 デバイスをデジチェーン・モードに設定して、3 本の DOUT x ラインを使って動作させた場合のタイミングを示します。12 個すべての入力を同時サンプリングするものとする、読み出し動作で、CS は 64 SCLK 転送をフレーム化します。この転送の最初の 32 個の SCLK で、デバイス 1 からの変換結果はデジタル・ホストへ入力され、デバイス 2 からの変換結果はデバイス 1 へ入力されます。この転送の最後の 32 個の SCLK で、デバイス 2 からの変換結果はデバイス 1 へ出力されて、デジタル・ホストに入力され、デバイス 2 は 0 を出力します。

チェーン内の最大デバイス数は、アプリケーション・ニーズに応じてチャンネルあたりに要求されるスループット、使用する SCLK 周波数、使用するシリアル・データライン数により制限されます。

スタンバイ/パーシャル・パワーダウン動作モード (SER/PAR/SEL = 0 または SER/PAR/SEL = 1)

BUSY の立下がりエッジの前に対応する CONVST x 信号をロー・レベルにすると、各 ADC 対を変換の終わりに個別にパーシャル・パワーダウン・モードにすることができます。BUSY がロー・レベルになったとき CONVST x ピンがロー・レベルである場合、対応する ADC 対のみがパーシャル・パワーダウン・モードになります(ただし、実際にそのサイクルで変換中の場合、すなわちその特定の CONVST x ピンを使って変換を開始させた場合)。ADC 対を再度パワーアップするときは、CONVST x 信号をハイ・レベルにして、ADC 対をパワーアップさせ、トラック・アンド・ホールド・アンプをトラック・モードにします。パーシャル・パワーダウンからのパワーアップ時間が経過した後、CONVST x 信号は有効な変換を開始する立ち上がりエッジを受信することができます。パーシャル・パワーダウン・モードでは、リファレンス・バッファはパワーアップしたままになります。1 つの ADC 対がパーシャル・パワーダウン・モードにあるときでも、他のフルパワーアップしている ADC では変換を行うことができます。図 34 のポイント A で、ADC 1 と

ADC 2 はパーシャル・パワーダウンになり、ADC 3~ADC 6 はフルパワーアップのままになります。図 34 のポイント B で、ADC1 と ADC 2 はパワーアップを開始します。必要とされるパワーアップ時間が経過すると、次の CONVST x 立ち上がりエッジで変換を開始することができます。

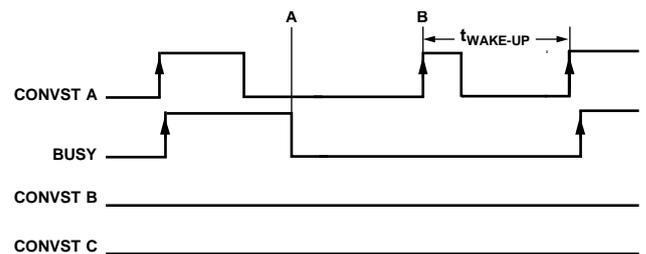


図 34. パーシャル・パワーダウン・モードの開始/終了

AD7656A-1 にはスタンバイ・モードがあり、デバイスを低消費電力モードにすることができます(最大 315 μW)。入力 STBY をロー・レベルにすると AD7656A-1 はスタンバイ・モードになり、STBY をハイ・レベルにして、通常動作に戻すことができます。AD7656A-1 がスタンバイ・モードのとき、出力データ・バッファは動作したままです。これは、デバイスの変換結果をアクセスできることを意味します。このスタンバイ機能を使って、AD7656A-1 を低いスループット・レートで動作させて平均消費電力を削減することができます。BUSY がロー・レベルになったとき各変換の終わりでデバイスをスタンバイにすることができます。次の変換の前にスタンバイ・モードから抜け出すことができます。AD7656A-1 がスタンバイから抜け出す時間は、ウェイクアップ時間と呼ばれます。ウェイクアップ時間により、変換と変換の間にパワーダウンする際に AD7656A-1 が動作できる最大スループット・レートが制限されます。詳細については、仕様のセクションを参照してください。

アプリケーション情報

レイアウト

AD7656A-1 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。プレーンが分割されている場合、デジタルとアナログのグラウンド・プレーンはできるだけ AD7656A-1 に近い 1 箇所(望ましくは真下)で接続する必要があります。

複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で AD7656A-1 を使用する場合にも、この接続は 1 ヶ所で行う必要があります。すなわち、AD7656A-1 のできるだけ近くで星型グラウンド接続点を構成します。グラウンド・プレーンへしっかり接続してください。複数のグラウンド・ピンに対して 1 つの接続を共用することは避ける必要があります。各グラウンド・ピンに対して、グラウンド・プレーンへの個別のビアまたは複数のビアを使用する必要があります。

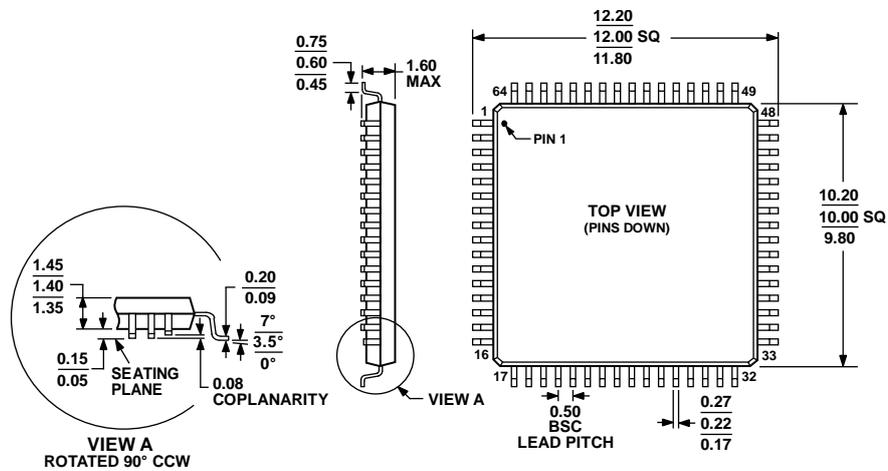
ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7656A-1 の下を通過することは可能です。CONVST_x やクロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。

デジタル信号とアナログ信号の交差は回避する必要があります。ボード上の近傍のパターンは、互いに直角度となるように配置してボードを通過するフィードスルー効果を減少させます。

AD7656A-1 の AV_{CC}、DV_{CC}、V_{DRIVE}、V_{DD}、V_{SS} の各ピンへの電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。ボード上の AD7656A-1 電源ピンと電源パターンの間はしっかり接続する必要があります。これには各電源ピンに対して 1 個または複数のビアを使用することが含まれます。

AD7656A-1 に対する電源インピーダンスを下げるため、および電源スパイクの振幅を小さくするために、正しいデカップリングも重要です。デカップリング・コンデンサはこれらのピンと対応するグラウンド・ピンの近くに(理想的には直接に)配置する必要があります。さらに、低 ESR の 1 μ F コンデンサを各電源ピン、REFIN/REFOUT ピン、各 REFCAP_x ピンに接続してください。ピン間でこれらのコンデンサを共用することは回避し、コンデンサを電源プレーンとグラウンド・プレーンへ接続するビアを使用してください。さらに、各ビアとコンデンサ・パッドの間のパターンは太く短くし、またコンデンサ・パッドに隣接してビアを配置して寄生インダクタンスを小さくしてください。AD7656A-1 は、AD7656A とピン互換およびソフトウェア互換の、デカップリング機能を軽減したソリューションです。AD7656A-1 に必要とされる軽減されたデカップリング推奨値を図 24 に示します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

081706A

図 35.64 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]
(ST-64-2)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7656A-1BSTZ	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7656A-1BSTZ-RL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2

¹ Z = RoHS 準拠製品。