

特長

- 分解能: 16ビット(ノー・ミスコード)
- スループット: 500kSPS
- INL: ± 0.4 LSB (Typ)、 ± 1.5 LSB (Max) (FSRの ± 23 ppm)
- ダイナミック・レンジ: 96.5dB
- SNR: 95.5dB@20kHz
- THD: -118 dB@20kHz
- 真の差動アナログ入力範囲
 $\pm V_{REF}$
 差動両入力で $0V \sim V_{REF}$ (V_{REF} はVDDまで)
- パイプライン遅延なし
- 5V単電源動作で1.8V/2.5V/3V/5Vロジック・インターフェースもサポート
- シリアル・インターフェース:
 SPI®/QSPI™/MICROWIRE™/DSPに互換
- 複数ADCのデジチェーン接続とBUSY表示
- 消費電力
 3.75mW@5V/100kSPS
 3.75 μ W@5V/100SPS
- スタンバイ電流: 1nA
- パッケージ: 10ピンのMSOP (MSOP-8サイズ)、
 3mm×3mm QFN¹ (LFCSP) (SOT-23サイズ)
- AD7685、AD7686、AD7687とピン・コンパチブル

アプリケーション

- バッテリー駆動の装置
- データ・アキュイジション
- 計測器
- 医療機器
- プロセス制御

アプリケーション図

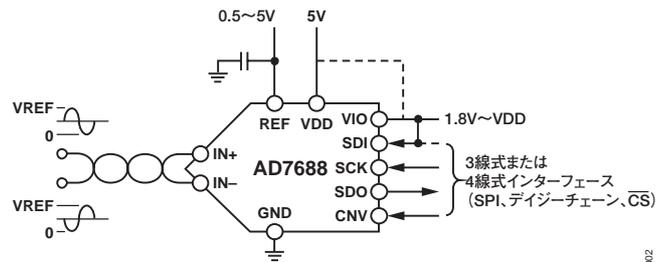


図2

表1. MSOP、QFN¹(LFCSP)SOT-23パッケージの16ビットPuISAR ADC

タイプ	100kSPS	250kSPS	500kSPS
差動	AD7684	AD7687	AD7688
擬似差動	AD7683	AD7685	AD7686
差動/ユニポーラ		AD7694	
ユニポーラ	AD7680		

概要

AD7688は、16ビットの電荷再分配式逐次比較型A/Dコンバータ(SAR ADC)で、5Vの単電源(VDD)で動作します。低消費電力、かつノー・ミスコードで高速16ビット・サンプリングのADC、内部変換クロック、多機能シリアル・インターフェース・ポートを内蔵しています。また、低ノイズ、広帯域幅でアバーチャ遅延が非常に小さいトラック&ホールド回路も内蔵しています。IN+ピンとIN-ピンとの間の電位差をCNVの立上がりエッジでサンプルします。両入力ピンの各電圧は $0V \sim REF$ の範囲で互いに逆位相の関係となります。リファレンス電圧REFは外部から与える必要があり、電源電圧まで設定することができます。

消費電力はスループットに比例します。

また、SPI互換のシリアル・インターフェースでは、SDI入力を使用して1つの3線式バスで複数のADCをデジチェーン接続する機能も持っています。さらにオプションとしてBUSYを表示することもできます。別電源VIOを使って、1.8V、2.5V、3V、または5Vロジックとインターフェースできます。

AD7688は10ピンMSOPまたは10ピンQFN¹(LFCSP)パッケージを採用し、動作温度範囲は $-40 \sim +85^\circ C$ で仕様規定されています。

¹ QFNパッケージは開発中です。サンプルと供給状況については、代理店および弊社営業部にお問い合わせください。

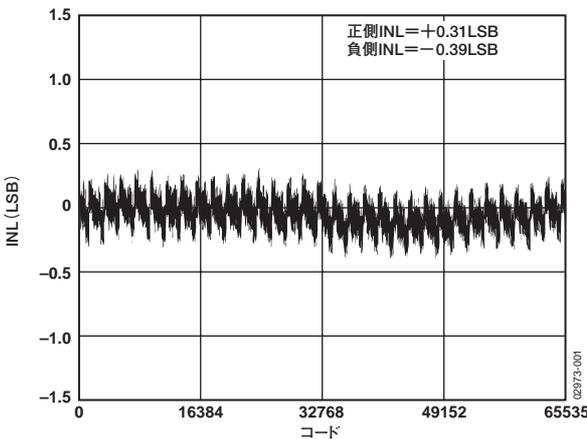


図1. コード対積分非直線性(INL)

AD7688

目次

仕様	3	電源	15
タイミング仕様	5	ADCの電源にリファレンスを使う	16
絶対最大定格	6	デジタル・インターフェース	16
ESDに関する注意	6	\overline{CS} モード3線式、BUSY表示なし	17
ピン配置および機能の説明	7	\overline{CS} モード3線式、BUSY表示あり	18
用語の説明	8	\overline{CS} モード4線式、BUSY表示なし	19
代表的な性能特性	9	\overline{CS} モード4線式、BUSY表示あり	20
回路の説明	12	チェーン・モード、BUSY表示なし	21
コンバータの動作	12	チェーン・モード、BUSY表示あり	22
代表的な接続図	13	アプリケーション情報	23
アナログ入力	14	レイアウト	23
ドライバ・アンプの選択	15	AD7688の性能評価	23
シングルエンド／差動変換駆動回路	15	外形寸法	24
電圧リファレンス入力	15	オーダー・ガイド	25

改訂履歴

4/05—Revision 0: Initial Version

仕様

特に指定のない限り、VDD=4.5~5.5V、VIO=2.3~VDD、VREF=VDD、TA=-40~+85°C。

表2

パラメータ	条件	Min	Typ	Max	単位
分解能		16			ビット
アナログ入力					
電圧範囲	IN+ - IN-	-VREF		+VREF	V
絶対入力電圧	IN+, IN-	-0.1		VREF + 0.1	V
コモン・モード入力範囲	IN+, IN-	0	VREF/2	VREF/2 + 0.1	V
アナログ入力CMRR	fIN = 250kHz		65		dB
25°Cでのリーク電流	アクイジション・フェーズ		1		nA
入力インピーダンス		「アナログ入力」の項を参照			
精度					
ノー・ミスコード		16			ビット
微分直線性誤差		-1	±0.4	1	LSB ¹
積分直線性誤差		-1.5	±0.4	1.5	LSB
遷移時のノイズ	REF = VDD = 5V		0.4		LSB
ゲイン誤差 ² 、TMIN~TMAX			±2	±6	LSB
ゲイン誤差温度ドリフト			±0.3		ppm/°C
ゼロ誤差 ² 、TMIN~TMAX			±0.1	±1.6	mV
ゼロ温度ドリフト			±0.3		ppm/°C
電源電圧変動感度	VDD = 5V ± 5%		±0.05		LSB
スループット					
変換レート		0		500	kSPS
過渡応答	フルスケール・ステップ			400	ns
AC精度					
ダイナミック・レンジ	VREF = 5V	95.8	96.5		dB ³
信号／ノイズ(S/N)比	fIN = 20kHz、VREF = 5V	94	95.5		dB
	fIN = 20kHz、VREF = 5V		92.5		dB
スプリアスフリー・ダイナミック・レンジ(SFDR)	fIN = 20kHz		-118		dB
全高調波歪み(THD)	fIN = 20kHz		-118		dB
信号／ノイズ&歪み(SINAD)比	fIN = 20kHz、VREF = 5V	93.5	95		dB
	fIN = 20kHz、VREF = 5V、-60dB入力		36.5		dB
相互変調歪み(IMD) ⁴			115		dB

¹ LSBは最下位ビットを意味します。入力範囲が±5Vの場合、1LSB=152.6μV。

² 「用語の説明」を参照。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンスの誤差や変動による影響は含まれません。

³ dB表示の仕様はすべてフルスケール入力(FS)を基準とします。特に指定がない場合、フルスケールより0.5dB低い入力信号でテスト。

⁴ fIN1=21.4kHzおよびfIN2=18.9kHz。各周波数はフルスケールに対して-7dB。

AD7688

特に指定のない限り、VDD=4.5~5.5V、VIO=2.3~VDD、VREF=VDD、TA=-40~+85°C。

表3

パラメータ	条件	Min	Typ	Max	単位
リファレンス 電圧範囲 負荷電流	500 kSPS、REF = 5V	0.5		VDD + 0.3	V μ A
サンプリング動特性 -3dB入力帯域幅 オーバーチャージ遅延	VDD = 5V		9 2.5		MHz ns
デジタル入力 ロジック・レベル V _{IL} V _{IH} I _{IL} I _{IH}		-0.3 0.7×VIO -1 -1		+0.3×VIO VIO + 0.3 1 1	V V μ A μ A
デジタル出力 データ・フォーマット パイプライン遅延 V _{OL} V _{OH}	I _{SINK} = +500 μ A I _{SOURCE} = -500 μ A			2の補数シリアル16ビット 変換結果は、変換完了後 直ちに出力される 0.4	V V
電源 VDD VIO VIO範囲 スタンバイ電流 ^{1,2} 消費電力	仕様性能 仕様性能 VDDおよびVIO=5V、25°C VDD=5V、100SPSスループット VDD=5V、100kSPSスループット VDD=5V、500kSPSスループット	4.5 2.3 1.8		5.5 VDD + 0.3 VDD + 0.3 1 50 3.75 3.75 4.3 21.5	V V V nA μ W mW mW
温度範囲 ³ 仕様性能	T _{MIN} ~T _{MAX}	-40		+85	°C

¹ すべてのデジタル入力を必要に応じてVIOまたはGNDに接続。

² アクイジション時。

³ 拡張温度範囲については代理店および弊社営業部にご相談ください。

タイミング仕様

特に指定のない限り、 $-40\sim+85^{\circ}\text{C}$ 、 $\text{VDD}=4.5\sim 5.5\text{V}$ 、 $\text{VIO}=2.3\sim 5.5\text{V}$ または $\text{VDD}+0.3\text{V}$ (いずれか低い方)。

負荷条件については図3と図4を参照してください。

表4

パラメータ	記号	Min	Typ	Max	単位
変換時間: CNVの立上がりエッジから出力データが得られるまで	tCONV	0.5		1.6	μs
アクイジション時間	tACQ	400			ns
変換と変換の間隔	tCYC	2			μs
CNVパルス幅 ($\overline{\text{CS}}$ モード)	tCNVH	10			ns
SCK周期 ($\overline{\text{CS}}$ モード)	tSCK	15			ns
SCK周期 (チェーン・モード)	tSCK				
VIO > 4.5V		17			ns
VIO > 3V		18			ns
VIO > 2.7V		19			ns
VIO > 2.3V		20			ns
SCKのローレベル時間	tSCKL	7			ns
SCKのハイレベル時間	tSCKH	7			ns
SCKの立下がりエッジからデータ有効まで	tHSDO	5			ns
SCK立下がりエッジからデータ有効までの遅延	tDSDO				
VIO > 4.5V				14	ns
VIO > 3V				15	ns
VIO > 2.7V				16	ns
VIO > 2.3V				17	ns
CNVまたはSDIのローレベルからSDO D15 MSBの有効まで ($\overline{\text{CS}}$ モード)	tEN				
VIO > 4.5V				15	ns
VIO > 2.7V				18	ns
VIO > 2.3V				22	ns
CNVまたはSDIのハイレベルまたは直前のSCK立下がりエッジからSDOの高インピーダンスまで ($\overline{\text{CS}}$ モード)	tDIS			25	ns
CNVの立上がりエッジからのSDI有効のセットアップ・タイム ($\overline{\text{CS}}$ モード)	tSSDICNV	15			ns
CNV立上がりエッジからSDI有効のホールド・タイム ($\overline{\text{CS}}$ モード)	tHSDICNV	0			ns
CNV立上がりエッジからSCK有効のセットアップ・タイム (チェーン・モード)	tSSCKCNV	5			ns
CNV立上がりエッジからSCK有効のホールド・タイム (チェーン・モード)	tHSCKCNV	5			ns
SCK立下がりエッジからSDI有効のセットアップ・タイム (チェーン・モード)	tSSDISCK	3			ns
SCK立下がりエッジからSDI有効のホールド・タイム (チェーン・モード)	tHSDISCK	4			ns
SDIのハイレベルからSDOのハイレベルまで (チェーン・モード、BUSY表示あり)	tDSDOSDI				
VIO > 4.5V				15	ns
VIO > 2.3V				26	ns

AD7688

絶対最大定格

表5

パラメータ	定格
アナログ入力 IN+ ¹ 、IN- ¹	GND-0.3V~VDD+0.3V または±130mA
REF	GND-0.3V~VDD+0.3V
電源電圧	
GNDに対するVDD、VIO	-0.3~+7V
VIOに対するVDD	±7V
GNDに対するデジタル入力	-0.3V~VIO+0.3V
GNDに対するデジタル出力	-0.3V~VIO+0.3V
保存温度範囲	-65~+150℃
ジャンクション温度	150℃
θ_{JA} 熱抵抗	200℃/W (MSOP-10)
θ_{JC} 熱抵抗	44℃/W (MSOP-10)
リード温度範囲	JEDEC J-STD-20

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

¹「アナログ入力」の項を参照。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

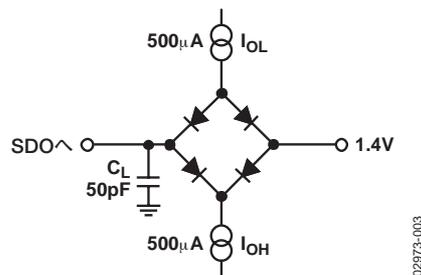
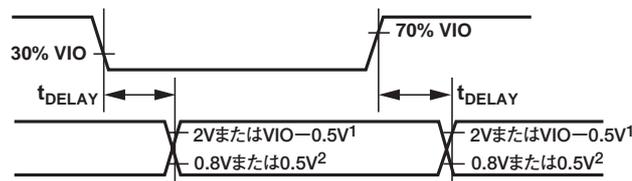


図3. デジタル・インターフェース・タイミング測定時の負荷回路



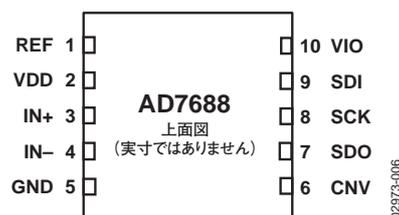
1. VIO > 2.5Vの場合2V、VIO < 2.5Vの場合VIO-0.5V。
2. VIO > 2.5Vの場合0.8V、VIO < 2.5Vの場合0.5V。

図4. タイミング測定の電圧レベル

ピン配置および機能の説明



図5. 10ピンMSOPのピン配置

図6. 10ピンQFN¹(LFCSP)のピン配置

¹ QFNパッケージは開発中です。サンプルと供給状況については、代理店または弊社営業部にお問い合わせください。

表6. ピン機能の説明

ピン番号	記号	タイプ ¹	機能
1	REF	AI	リファレンス入力電圧。REFの範囲は0.5V～VDDです。GNDピンを基準とします。このピンは、ピンの近くで10μFのコンデンサによりGNDにデカップリングする必要があります。
2	VDD	P	電源
3	IN+	AI	差動アナログ入力(正側)
4	IN-	AI	差動アナログ入力(負側)
5	GND	P	電源グラウンド
6	CNV	DI	変換のための入力。この入力は複数の機能を持っています。立上がりエッジで、変換を開始し、インターフェース・モード(チェーンまたは \overline{CS})が選択されます。 \overline{CS} モードでは、このピンがローレベルのときSDOピンがイネーブルになります。チェーン・モードでは、CNVがハイレベルのときにデータを読み出す必要があります。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。SCKに同期しています。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されると、変換結果がこのクロックでシフトアウトされます。
9	SDI	DI	シリアル・データ入力。この入力は複数の機能を持っています。ADCのインターフェース・モードを選択し、CNVの立上がりエッジ時にSDIがローレベルであると、チェーン・モードが選択されます。このモードでは、SDIはデータ入力として使用され、複数のADCの変換結果を1本のSDOラインにデジターチェーン接続します。SDIのデジタル・データ・レベルがSDOに出力され、SCKの16サイクル分の遅延が加わります。 CNVの立上がりエッジ時にSDIがハイレベルであると、 \overline{CS} モードが選択されます。このモードでは、SDIまたはCNVがローレベルのとき、シリアル出力信号がイネーブルになり、変換が完了してSDIまたはCNVがローレベルになると、BUSY表示機能がイネーブルになります。
10	VIO	P	入出力インターフェースのデジタル電源。通常、ホスト・インターフェース(1.8V、2.5V、3V、5V)と同じ電源が使われます。

¹ AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=消費電力。

用語の説明

積分非直線性誤差 (INL)

INLは、負側のフルスケールと正側のフルスケールを結ぶ理想直線と実際のコード出力との誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード遷移より1/2LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1.5LSBだけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図25)。

微分非直線性誤差 (DNL)

理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。DNLは、この理論値からの最大偏差を意味します。微分非直線性は、ノー・ミスコードが保証される分解能として規定されることもあります。

ゼロ誤差

ゼロ誤差は、理論ミッドスケール電圧(0V)とミッドスケール出力コード(0LSB)が発生する実際の電圧との差を意味します。

ゲイン誤差

最初の遷移(100...00~100...01)は公称負側フルスケール(±5Vレンジの場合-4.999924V)より1/2LSB上のレベルで発生します。最後の遷移(011...10~011...11)は、公称フルスケール(±5Vレンジの場合+4.999771V)より1.5LSB低いアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差と、対応する理論値の差との偏差を表します。

スプリアスフリー・ダイナミック・レンジ(SFDR)

SFDRは入力信号のrms振幅値とピーク・スプリアス信号との差を意味し、dB値で表します。

有効ビット数(ENOB)

ENOBは、サイン波を入力したときの分解能を表します。S/(N+D)との関係は次式により示されます。

$$ENOB = (S/[N + D]_{dB} - 1.76) / 6.02$$

ビット数で表します。

全高調波歪み(THD)

THDとは、基本波から5次高調波成分までのrms値の総和の、フルスケール入力信号のrms値に対する比を意味し、dB値で表します。

ダイナミック・レンジ

入力を短絡して測定した合計rmsノイズに対するフルスケールのrms値の比を表します。ダイナミック・レンジはdB値で表します。

S/N(信号/ノイズ)比(SNR)

SNRは、実際の入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和から高調波成分とDC成分を除いた分に対する比です。SNRはdB値で表します。

S/(N+D)(信号/ノイズ&歪み)比

S/(N+D)は、実際の入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和(DC以外の高調波を含む)に対する比です。S/(N+D)はdB値で表します。

アパーチャ遅延

アパーチャ遅延は、アキュジション性能を表します。CNV入力の立上がりエッジから入力信号が変換用に保持されるまでの時間を表します。

過渡応答

フルスケールのステップ関数が入力された後にADCが正確に入力を取得するまでに要する時間を表します。

代表的な性能特性

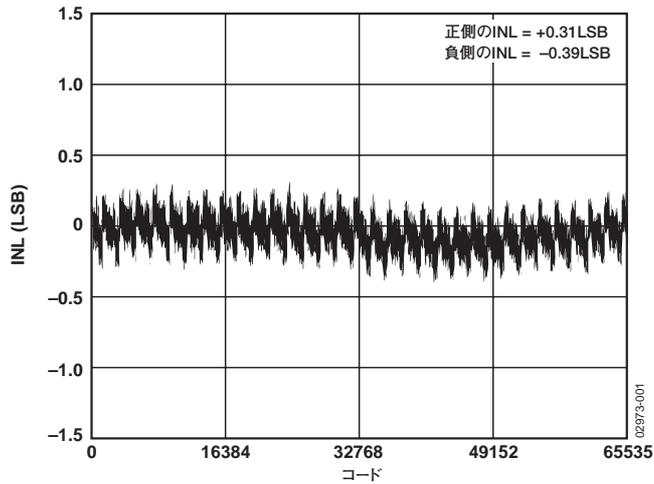


図7. コード対積分非直線性(INL)

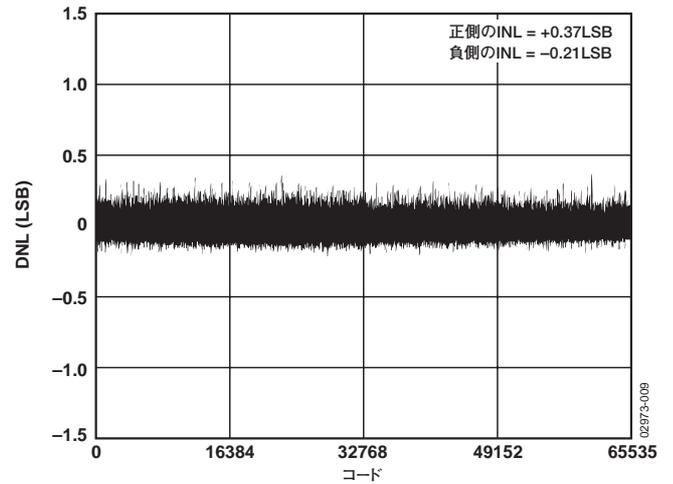


図10. コード対微分非直線性(DNL)

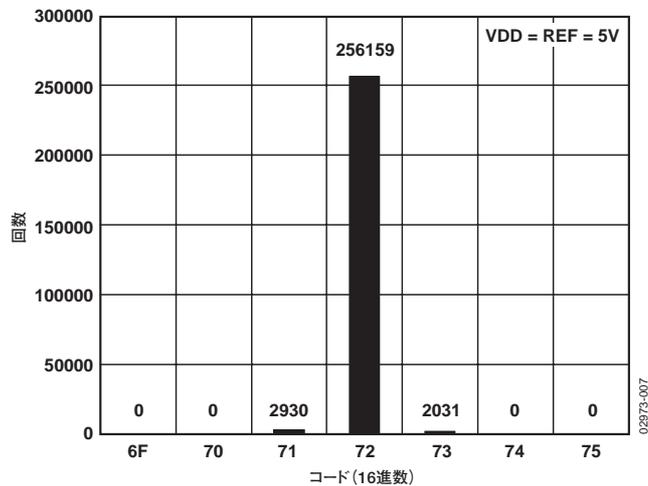


図8. 中心コードのDC入力時のヒストグラム

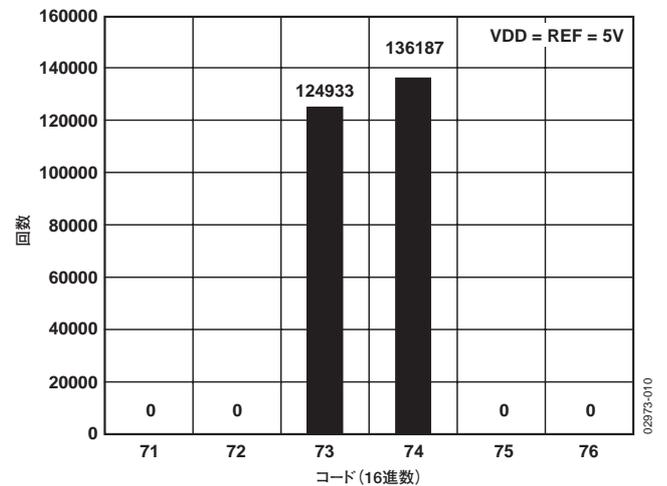


図11. コード遷移するDC入力時のヒストグラム

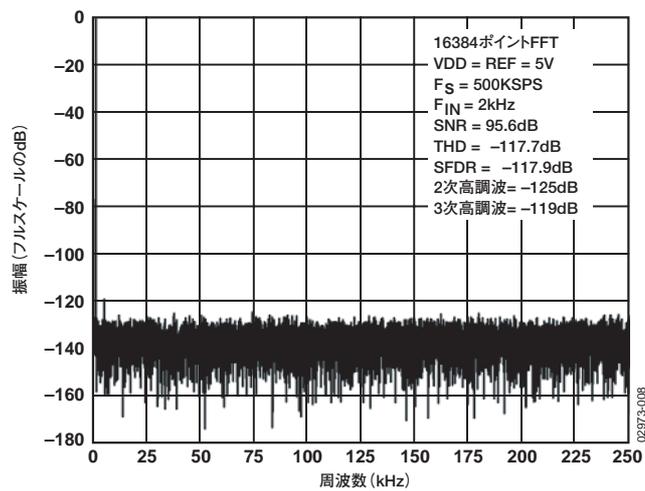


図9. FFTプロット

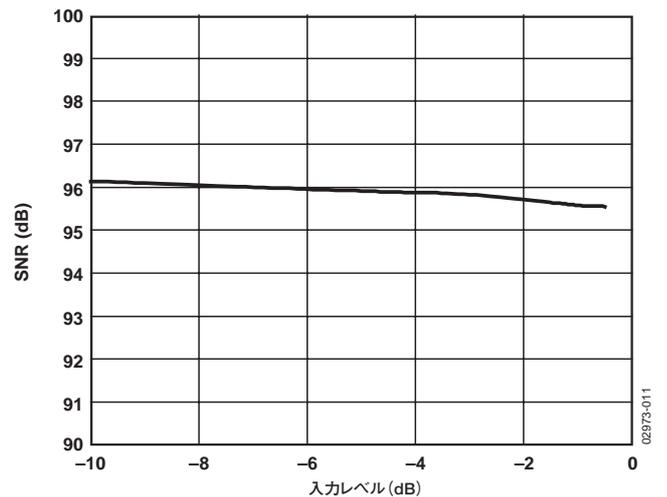


図12. 入力レベル対SNR

AD7688

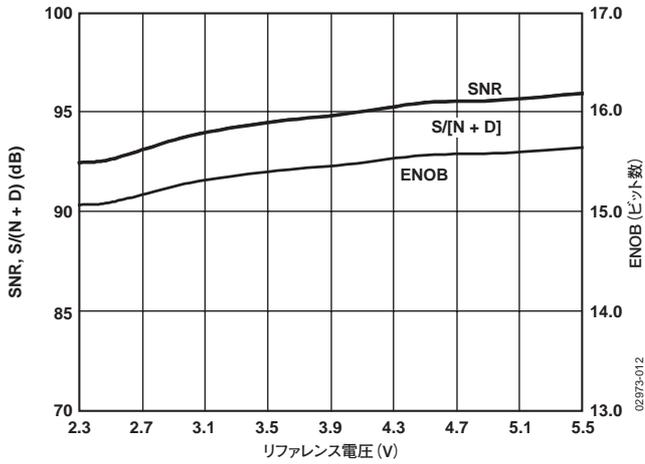


図13. リファレンス電圧 対 SNR、S/(N + D)、ENOB

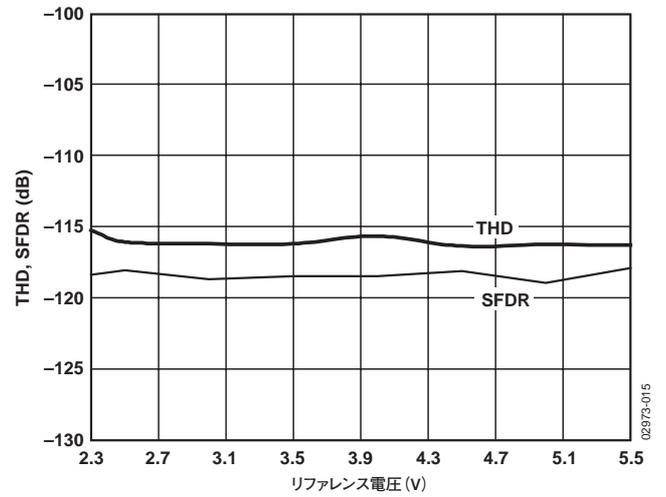


図16. リファレンス電圧 対 THD、SFDR

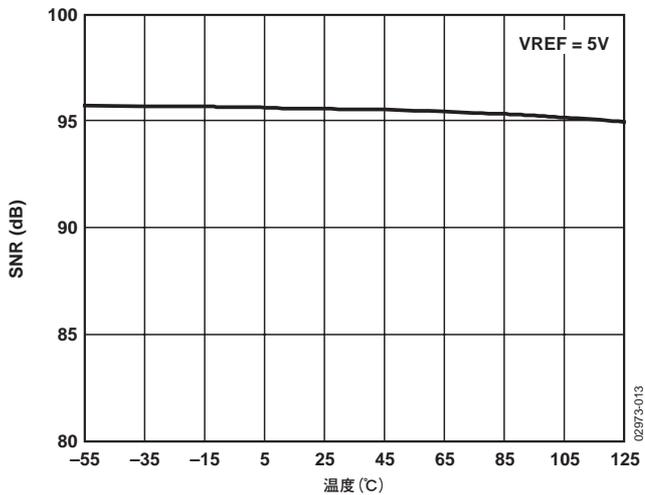


図14. SNRの温度特性

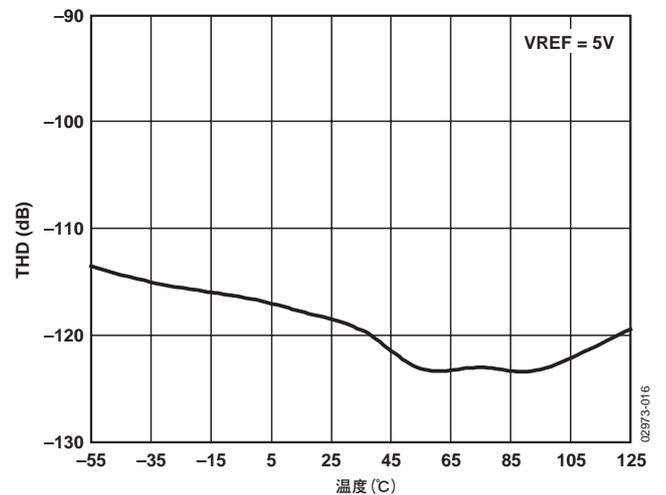


図17. THDの温度特性

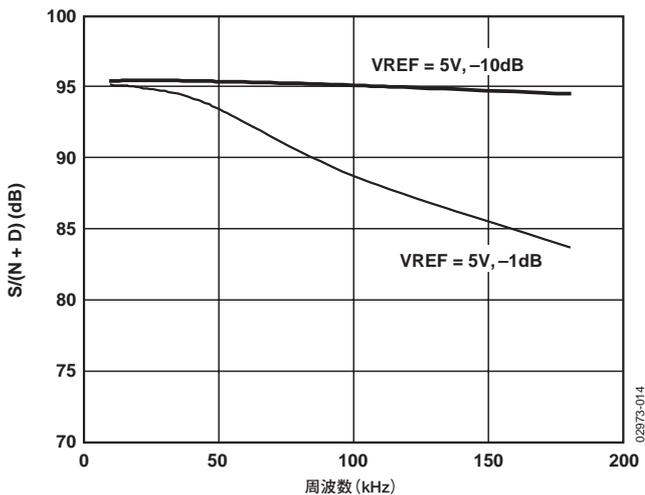


図15. S/(N + D)の周波数特性

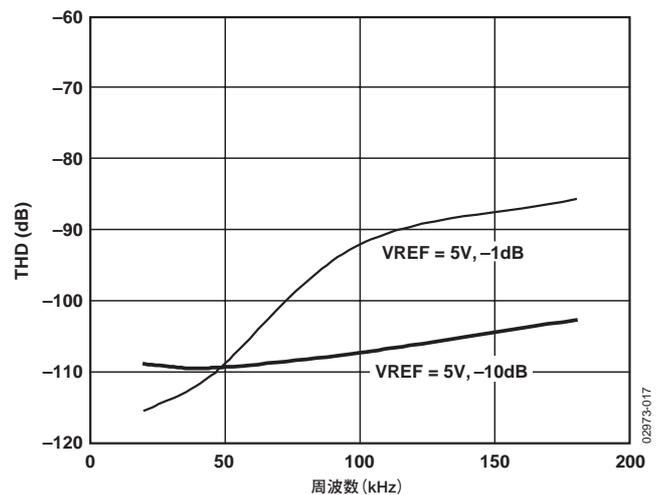


図18. THDの周波数特性

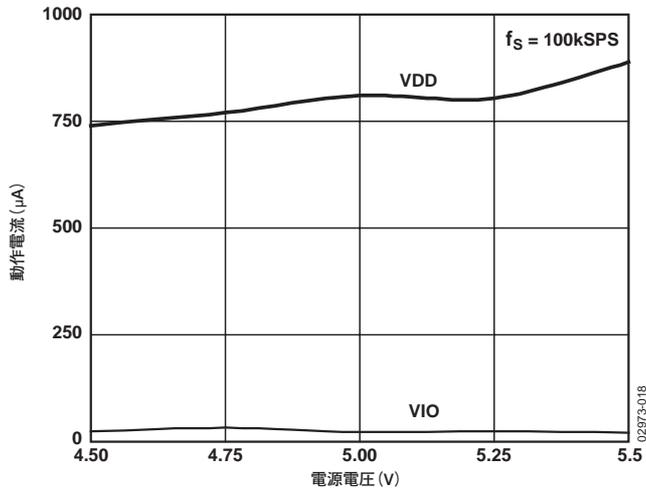


図19. 電源電圧 対 動作電流

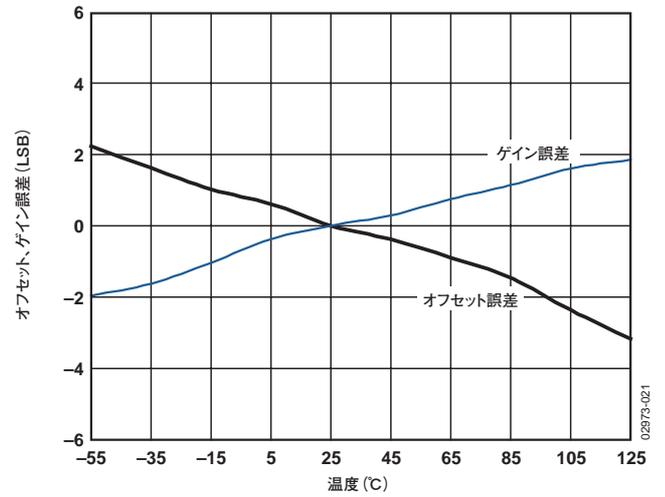


図22. オフセット誤差およびゲイン誤差の温度特性

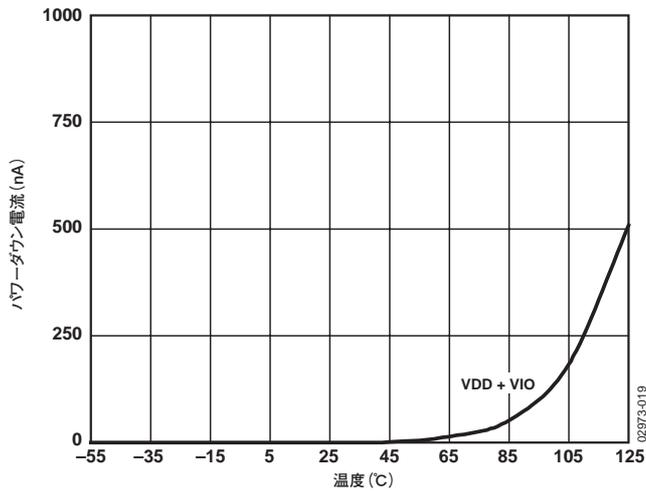


図20. パワーダウン電流の温度特性

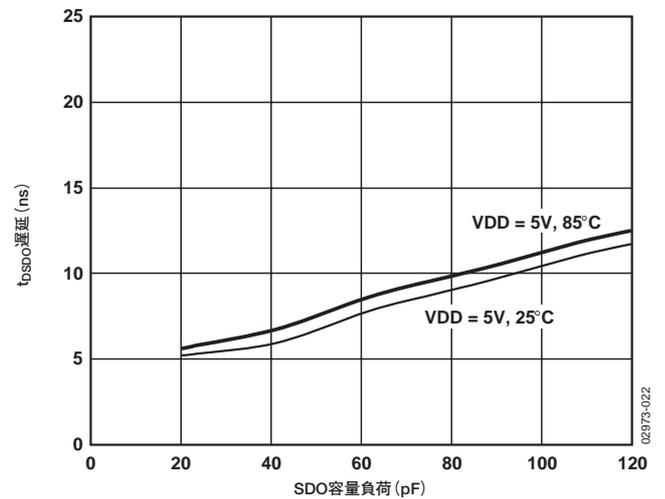


図23. 容量負荷および電源電圧 対 t_{DSDO}遅延

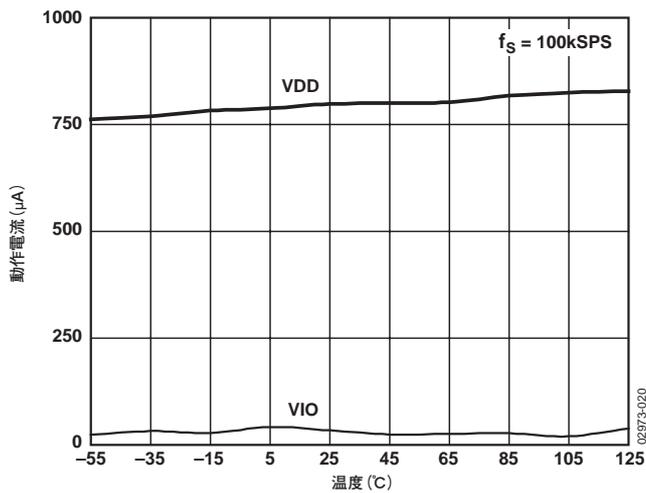


図21. 動作電流の温度特性

AD7688

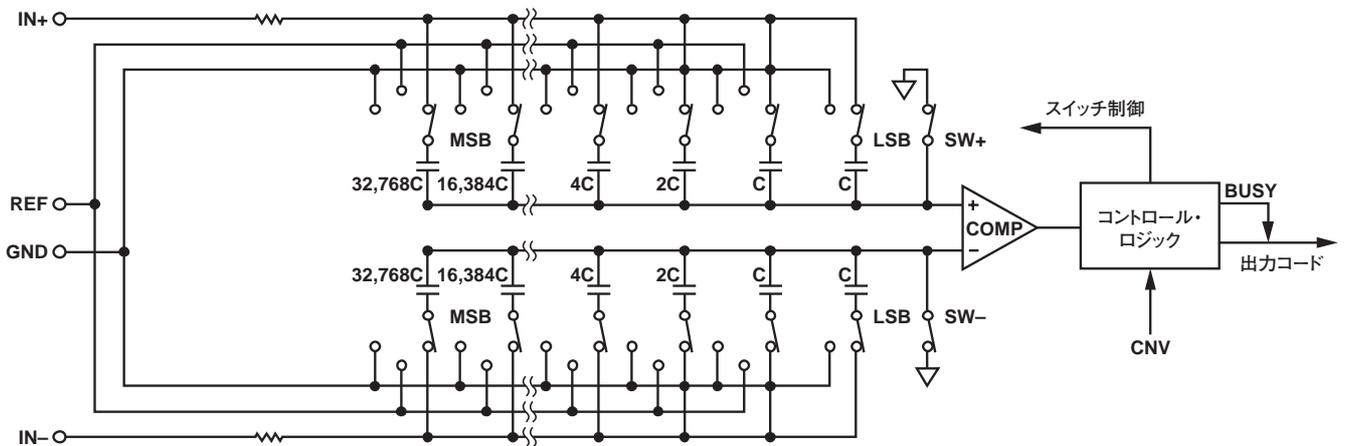


図24. ADCの簡略回路図

回路の説明

AD7688は、逐次比較型アーキテクチャを採用した高速・高精度・低消費電力16ビットA/Dコンバータ(ADC)で、単電源で動作します。

AD7688は毎秒500,000サンプル(500kSPS)の変換が可能で、変換と変換の間にはパワーダウンします。たとえば、100SPS動作時の場合消費電力が $3.75\mu\text{W}$ (typ)となり、バッテリー駆動等のアプリケーションに最適です。

AD7688はトラック&ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションにも最適です。

AD7688は4.5~5.5Vで仕様規定されていますが、1.8~5Vの間のいかなるデジタル・ロジック・ファミリーともインターフェースすることができます。10ピンMSOPパッケージまたは省スペースと柔軟な構成を兼ね備える小型の10ピンQFN¹(LFCSP)パッケージを採用しています。

AD7688は、AD7685、AD7686、AD7687とピン・コンパチブルです。

¹ QFNパッケージは開発中です。サンプルと供給状況については、代理店または弊社営業部にお問い合わせください。

コンバータの動作

AD7688は、電荷再分配式DACをベースとする逐次比較型A/Dコンバータです。図24に、ADCの簡略回路図を示します。この容量性DACは、2進数の重みを持った16個のコンデンサで構成される2列の同じアレイで構成されており、各アレイはコンパレータの2つの入力に接続されています。

アキュイジション・フェーズでは、コンパレータの入力に接続されたアレイのピンは、SW+とSW-を経由してGNDに接続されます。独立したすべてのスイッチはアナログ入力に接続されています。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力とIN-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わると、CNV入力が高レベルになり、変換フェーズが開始されます。変換フェーズが開始されると、まずSW+とSW-が開きます。2列のコンデンサ・アレイは入力から切り離されて、GND入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた入力IN+とIN-の間の差動電圧がコンパレータ入力に接続され、コンパレータの平衡性が失われます。コンデンサ・アレイの各エレメントをGNDとREFの間でスイッチングすることにより、コンパレータ入力は2進数重みの電圧ステップ($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/65536$)で変更します。コントロール・ロジックがこれらのスイッチをトグルして(MSBから開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックがADC出力コードとBUSY表示を生成します。

AD7688は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロックSCKは不要です。

伝達関数

AD7688の理論的伝達特性を図25と表7に示します。

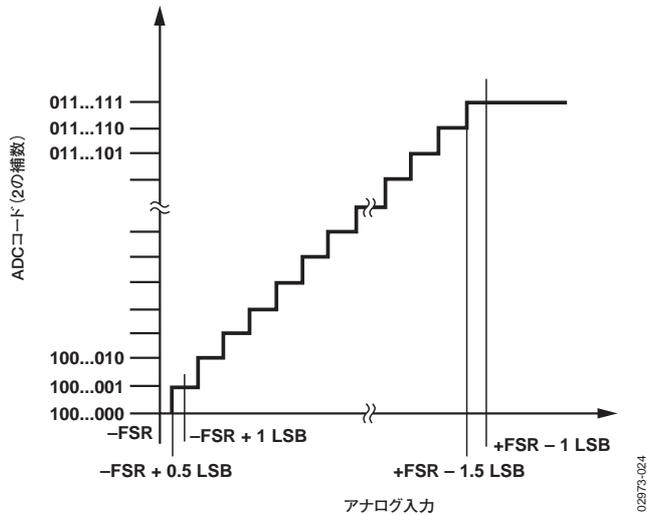


図25. ADCの理論的伝達関数

代表的な接続図

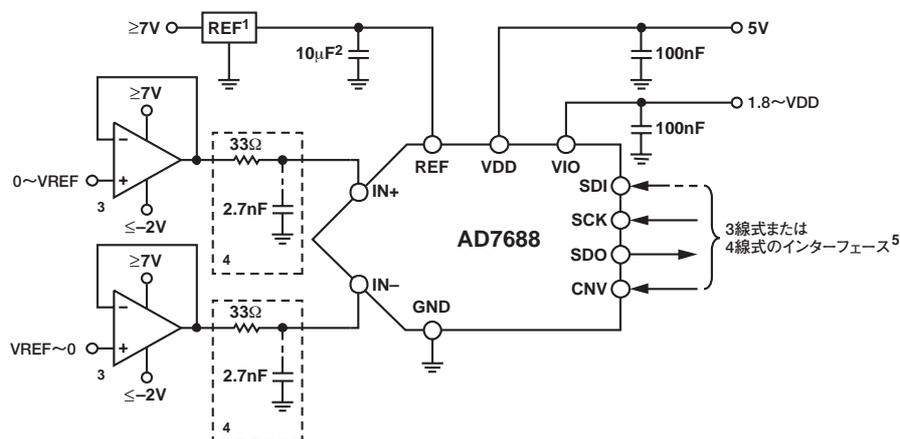
図26に、複数の電圧を使用した場合のAD7688の推奨接続図を例示します。

表7. 出力コードと入力電圧の理論値

説明	アナログ入力 $V_{REF}=5V$	デジタル出力 コード(16進)
FSR - 1LSB	+4.999847V	7FFF ¹
ミッドスケール+1LSB	+152.6 μ V	0001
ミッドスケール	0V	0000
ミッドスケール-1LSB	-152.6 μ V	FFFF
-FSR+1LSB	-4.999847V	8001
-FSR	-5V	8000 ²

¹ アナログ入力範囲より上に対するコードでもあります ($V_{IN+}-V_{IN-} > V_{REF}-V_{GND}$)。

² アナログ入力範囲より下に対するコードでもあります ($V_{IN+}-V_{IN-} < -V_{REF}+V_{GND}$)。



¹ リファレンスの選択については「リファレンス」の項を参照。

² C_{REF} は一般に10 μ Fのセラミック・コンデンサです(X5R)。

³ 「ドライバ・アンプの選択」の項を参照。

⁴ オプションのフィルタ。「アナログ入力」の項を参照。

⁵ 最も便利なインターフェース・モードについては、「デジタル・インターフェース」を参照してください。

図26. 複数の電圧を使用した代表的なアプリケーション図

AD7688

アナログ入力

図27に、AD7688のアナログ入力構造の等価回路を示します。

ダイオードD1とD2は、アナログ入力IN+とIN-に対するESD保護用です。アナログ入力信号が両電源レールを0.3V以上超えないように注意する必要があります。これらのダイオードが順方向にバイアスされて、電流が流れるようになるためです。これらのダイオードは、最大130mAの順方向バイアス電流を処理することができます。たとえば、この状態は入力バッファ(U1)の電源がVDDと異なるときに発生します。このような場合、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護する必要があります。

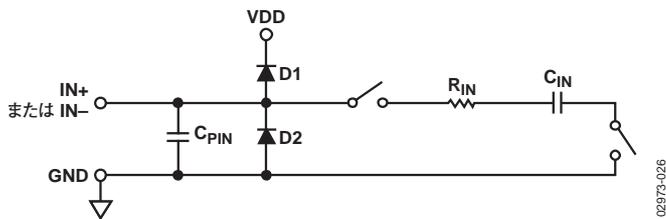


図27. アナログ入力の等価回路

このようなアナログ入力構造を使うことで、IN+とIN-との間の真の差動信号のサンプリングが可能となっています。これらの差動入力を使用することにより、両入力の同相信号を除去することができます(図28)。図28には代表的なCMRRの周波数特性を示してあります。

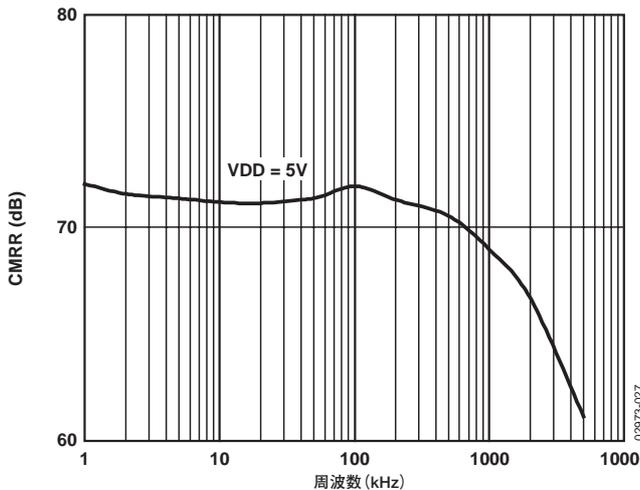


図28. アナログ入力CMRRの周波数特性

アキュイジション・フェーズでは、アナログ入力(IN+またはIN-)のインピーダンスは、コンデンサ C_{PIN} と、 R_{IN} および C_{IN} の直列接続の回路との並列組み合わせとしてモデル化することができます。 C_{PIN} は主にピン容量です。 R_{IN} は通常 600Ω で、直列抵抗とスイッチのオン抵抗から構成されます。 C_{IN} は通常 $30pF$ で、主にADCサンプリング・コンデンサから構成されています。スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} により、1次ローパス・フィルタが構成されるため、不要なエイリアシング(折返し)の影響が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7688を直接駆動できます。ソース・インピーダンスが大きい場合には、AC性能、特に全高調波歪み(THD)が大きい影響を受けます。DC性能は、入力インピーダンスの影響をあまり受けません。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。THDは、ソース・インピーダンスと最大入力周波数の関数として性能が低下します(図29)。

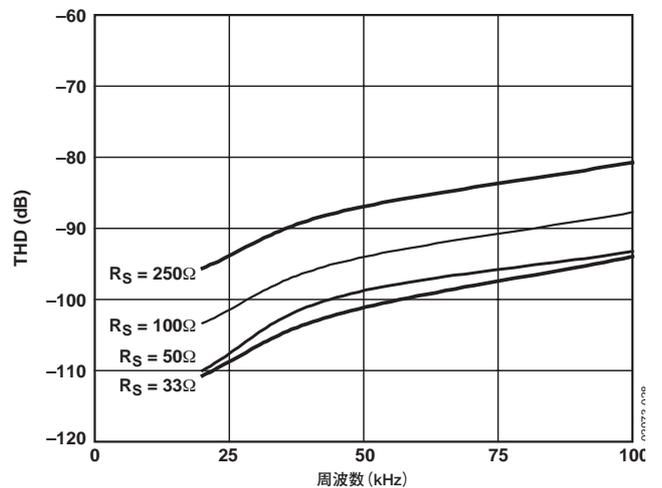


図29. アナログ入力周波数およびソース抵抗 対 THD

ドライバ・アンプの選択

AD7688の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7688のSNR性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。他の多くの16ビットADCに比べてAD7688のノイズはるかに小さいため、ノイズの多いオペアンプで駆動しても、他の16ビットADCを用いたシステムと同等またはそれ以上のシステム性能が確保できることに注目してください。ドライバから発生するノイズは、AD7688アナログ入力回路の R_{IN} と C_{IN} から構成される1次ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。AD7688のノイズは $53 \mu V_{rms}$ (Typ)であるため、アンプに起因するSNRの性能低下は、次式で得られます。

$$SNR_{LOSS} = 20 \log \left(\frac{53}{\sqrt{53^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB} はAD7688(9MHz)の入力帯域幅(MHz)、または入力フィルタのカットオフ周波数(使用した場合)。

N はアンプのノイズ・ゲイン(たとえば、バッファ構成では+1)。

e_{n} は、オペアンプの等価入力ノイズ電圧(nV/\sqrt{Hz})。

- ACアプリケーションの場合、ドライバはAD7688に見合ったTHD性能を持つ必要があります。図18に、ドライバに必要なTHDの周波数特性を示します。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプとAD7688アナログ入力回路は、コンデンサ・アレイへのフルスケール・ステップに対して16ビット・レベル(0.0015%、15ppm)でセトリングする必要があります。アンプのデータシートでは、一般に0.1~0.01%でのセトリングが規定されています。これは16ビット・レベルでのセトリング・タイムと大幅に異なるため、ドライバを選択する前に確認する必要があります。

表8. 推奨ドライバ・アンプ

アンプ	代表的なアプリケーション
AD8021	超低ノイズ、高周波数
AD8022	低ノイズ、高周波数
OP184	低消費電力、低ノイズ、低周波数
AD8605、AD8615	5V単電源、低消費電力
AD8519	小型、低消費電力、低周波数
AD8031	高周波数、低消費電力

シングルエンド／差動変換駆動回路

シングルエンド・アナログ信号(バイポーラまたはユニポーラ)を使うアプリケーションの場合、シングルエンド／差動変換ドライバを使うことで、差動入力をデバイスに入力できます。図30にこの回路図を示します。この構成でシングルエンド信号を入力すると、 $V_{REF}/2$ をミッドスケールとする $\pm V_{REF}$ の差動信号が得られます。

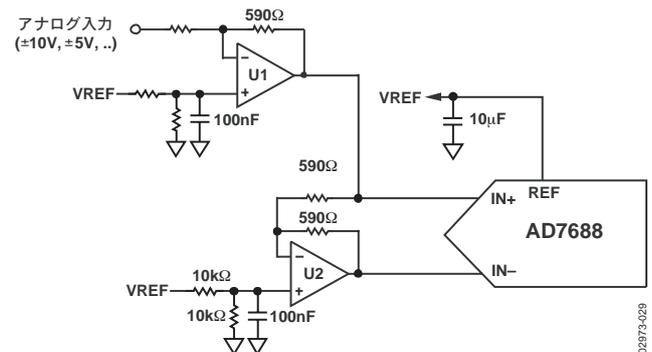


図30. シングルエンド／差動変換駆動回路

電圧リファレンス入力

AD7688の電圧リファレンス入力REFは動的作用入力インピーダンスを持っています。このため、REF入力とGND入力との間を効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります(「レイアウト」の項を参照)。

REFを非常に小さいインピーダンス・ソースで駆動する場合、たとえば、AD8031またはAD8605をリファレンス・バッファとして使用して、同時に $10 \mu F$ のセラミック・チップ・コンデンサ(X5R、0805サイズ)でデカップリングを行えば最適性能を得ることができます。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンスに依存します。たとえば、 $22 \mu F$ のセラミック・チップ・コンデンサ(X5R、1206サイズ)と、低温度ドリフトADR43xリファレンスを使えば最適性能を得るために適しています。

必要な場合には、 $2.2 \mu F$ 程度の小型なリファレンス・デカップリング・コンデンサを使うこともできます。この場合性能、特にDNLへの影響を最小に抑えることができます。

REFピンとGNDピンの間に小さい値のセラミック・デカップリング・コンデンサ(たとえば、100nF)を追加する必要はありません。

電源

AD7688は、4.5~5.5Vで仕様規定されています。AD7688は他の低電圧コンバータとは異なり、低電圧で優れた性能の16ビット分解能のシステムが設計できるように十分な低ノイズ特性を備えています。コア電源VDDとデジタル入出力インターフェース電源VIOの2種類の電源ピンを使っています。VIOを使うと、1.8V~VDDで動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIOとVDDを接続することができます。AD7688はVIOとVDDの間の電源シ

AD7688

ーケンスに依存しません。さらに、広い周波数範囲で電源電圧変動に対して安定しています。図31に、PSRRの周波数特性を示します。

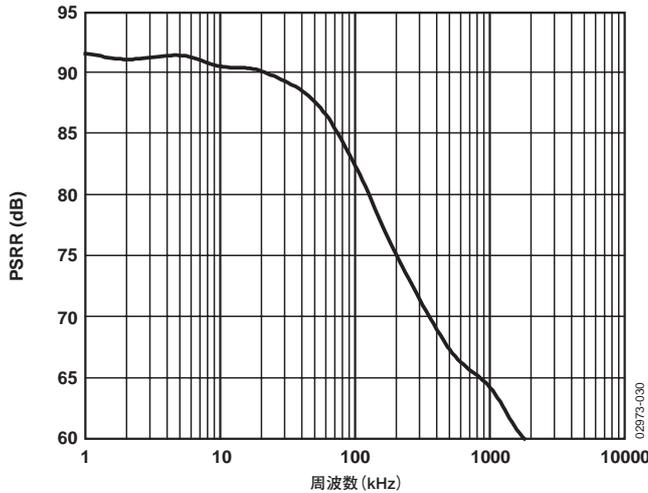


図31. PSRRの周波数特性

AD7688は各変換フェーズの終わりでは自動的にパワーダウンするため、消費電力はサンプリング・レートに比例します(図32)。このため、低サンプリング・レート(例:数Hz)でバッテリー駆動アプリケーションに最適なデバイスになっています。

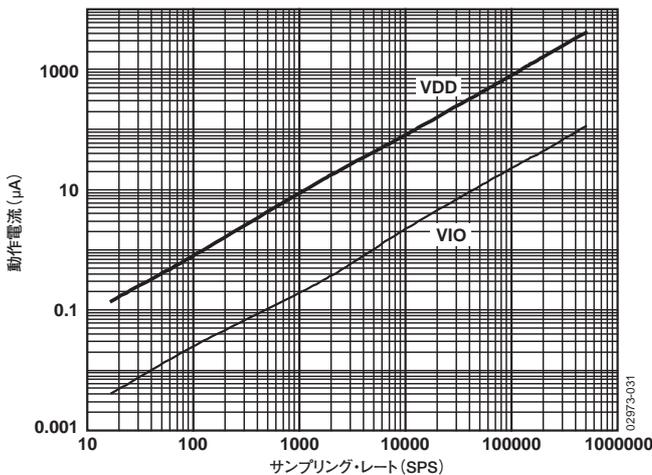


図32. サンプリング・レート 対 動作電流

ADCの電源にリファレンスを使う

アプリケーションを簡素化するため、動作電流の小さいAD7688は、図33に示すようにリファレンス回路から直接電力を供給することもできます。リファレンス・ラインの駆動には以下のような方法があります。

- システム電源から直接。
- ADR43xのような十分な電流出力能力を持つリファレンス電圧から。
- 図33に示すようにAD8031のようなシステム電源のフィルタリングもできるリファレンス・バッファから。

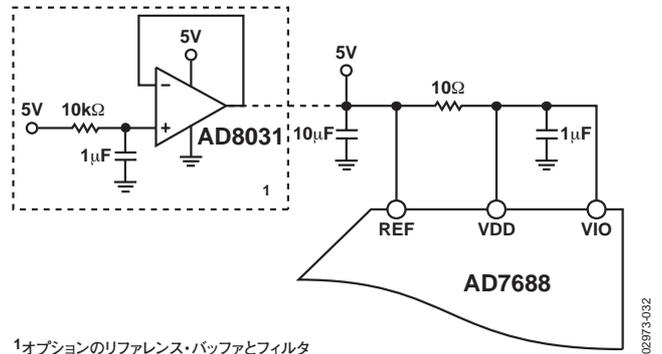


図33. アプリケーション回路の例

デジタル・インターフェース

AD7688のピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

AD7688は \overline{CS} モードのとき、SPI、QSPI、デジタル・ホスト、DSP(例: Blackfin®ADSP-BF53xまたはADSP-219x)と互換性を持ちます。このインターフェースでは、3線式または4線式を使用できます。CNV信号、SCK信号、SDO信号を使う3線式インターフェースは、配線数が少ないため、たとえば、絶縁されたアプリケーションに便利です。SDI信号、CNV信号、SCK信号、SDO信号を使う4線式インターフェースを使用すると、CNV(変換を開始する)をリードバック・タイミング(SDI)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7688をチェーン・モードで使う場合、シフト・レジスタに似た1本のデータライン上にカスケード接続された複数のADCに対して、SDI入力を使ってダイジーチェーン機能を提供します。

デバイスの動作モードは、CNVの立上がりエッジ時のSDIのレベルで決定されます。SDIがハイレベルの場合には \overline{CS} モードが選択され、SDIがローレベルの場合にチェーン・モードが選択されます。SDIホールド・タイムは、SDIとCNVが接続されているとき、チェーン・モードが常に選択されるようにします。

いずれのモードでも、AD7688はオプションでデータビットの前にスタート・ビットを発生するように設定できます。このスタート・ビットをBUSY信号表示と組み合わせて使用し、デジタル・ホストに対して割込みを行い、データの読出しを開始させることができます。BUSY表示を使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。

BUSY表示機能がイネーブルになるのは、以下のときです。

- \overline{CS} モードでは、ADCの変換終了時にCNVまたはSDIがローレベルになったとき(図37と図41)。
- チェーン・モードでは、CNVの立上がりエッジ時にSCKがハイレベルになったとき(図45)。

CSモード3線式、BUSY表示なし

このモードは、1個のAD7688をSPI互換のデジタル・ホストに接続する際に使用します。図34に接続図を、図35に対応するタイミングを、それぞれ示します。

SDIとVIOを接続した状態では、CNVの立上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDOは強制的に高インピーダンスになります。変換が開始されると、CNVの状態に関係なく完了するまで継続されます。たとえば、CNVをローレベルにしてアナログ・マルチプレクサのような他のSPIデバイスを選択することは便利ですが、変換時間の最小時間の前にCNVがハイレベルに戻り、変換時間の最大時間までの間はハイレベルを保持して、BUSY信号の発生を防止する必要があります。変換が完了すると、AD7688はアキュイジション・フェーズに入りパワーダウンします。CNVがローレベルになると、MSBがSDOに出力されます。残りのデータビットは、後続のSCKの立下がりエッジでクロック出力されます。データはSCKの両エッジで有効です。立上がりエッジを使ってデータを取り込むことができますが、SCKの立下がりエッジを使うデジタル・

ホストでは、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16番目のSCK立下がりエッジの後、またはCNVがハイレベルになったときのいずれか早い方で、SDOは高インピーダンスに戻ります。

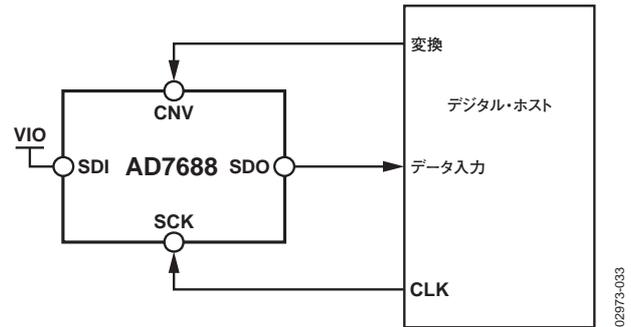


図34. \overline{CS} モード3線式、BUSY表示なしの接続図 (SDIハイレベル)

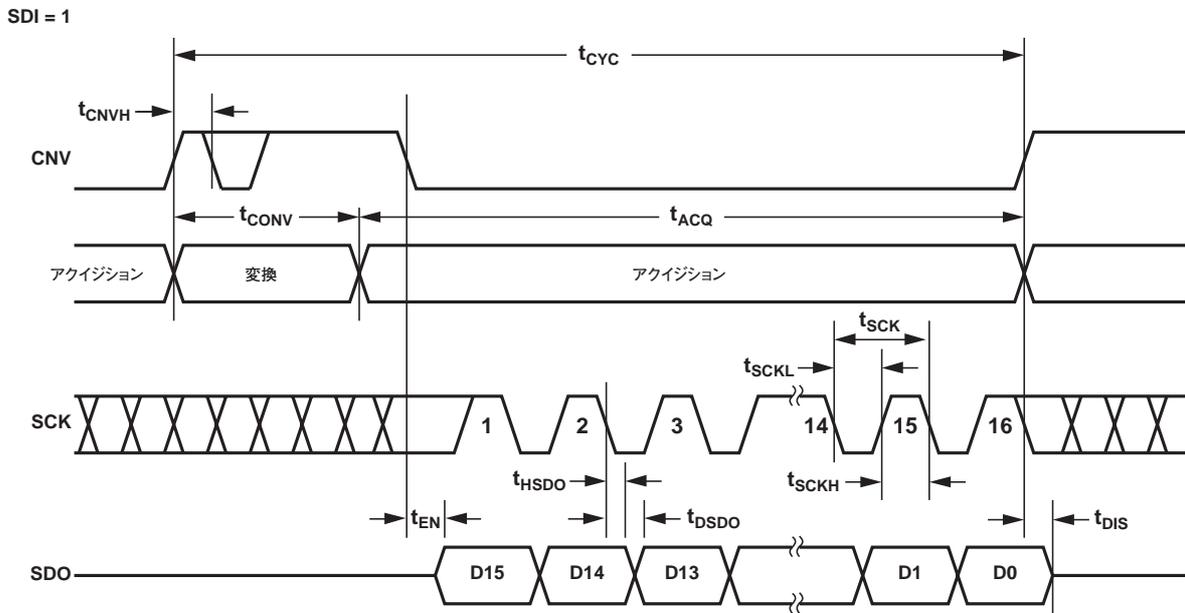


図35. \overline{CS} モード3線式、BUSY表示なしのシリアル・インターフェース・タイミング (SDIハイレベル)

AD7688

CSモード3線式、BUSY表示あり

このモードは、割込み入力を持つ1個のAD7688をSPI互換のデジタル・ホストに接続する際に使用します。

図36に接続図を、図37に対応するタイミングを、それぞれ示します。

SDIとVIOを接続した状態では、CNVの立上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDOは強制的に高インピーダンスになります。SDOは、CNVの状態とは無関係に変換が完了するまで高インピーダンスを保持します。変換時間の最小時間の前に、CNVを使用してアナログ・マルチプレクサのような他のSPIデバイスを選択することができますが、変換時間の最小時間の前にCNVをローレベルに戻し、変換時間の最大時間までの間はローレベルを保持して、BUSY信号が確実に発生するようにする必要があります。変換が完了すると、SDOは高インピーダンスから低インピーダンスになります。SDOラインをプルアップして、この遷移を割込み信号として使い、デジタル・ホストにより制御されるデータの読出しを開始させることができます。AD7688はそれからアキュイジション・フェーズに入り、パワーダウンします。その後、データビットはMSBファーストで、後続のSCKの立下がりエッジでクロック出力されます。データは、SCKの両エッジで有効です。立上がりエッジを使用してデータを取り込むことができますが、SCKの立下がりエッジを使うデジタル・ホ

ストでは、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの17番目のSCK立下がりエッジの後、またはCNVがハイレベルになったときのいずれか早いほうで、SDOは高インピーダンスに戻ります。

複数のAD7688を同時に選択した場合、SDO出力ピンが損傷またはラッチアップなしにこの接続を処理します。余分な電力消費を回避するため、この接続をできるだけ短くすることを推奨します。

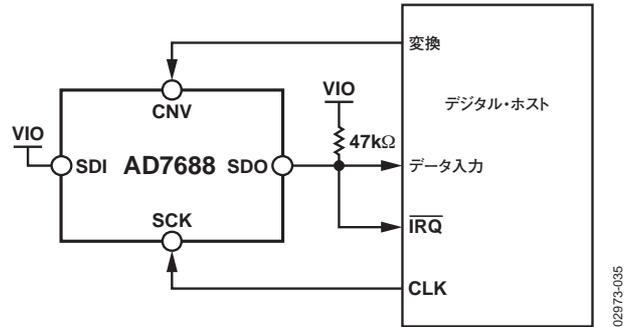


図36. \overline{CS} モード3線式、BUSY表示ありの接続図 (SDIハイレベル)

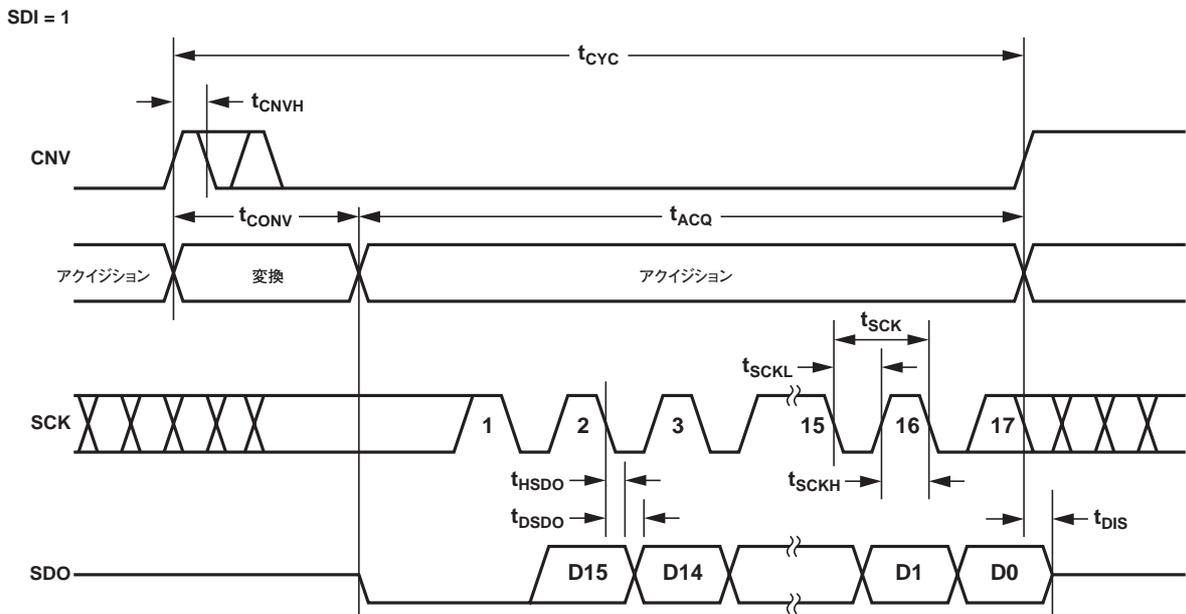


図37. \overline{CS} モード3線式、BUSY表示ありのシリアル・インターフェース・タイミング (SDIハイレベル)

CSモード4線式、BUSY表示なし

このモードは、複数のAD7688をSPI互換のデジタル・ホストに接続する際に使用します。

図38は2個のAD7688を使用した接続図で、図39は対応するタイミングを示しています。

SDIにハイレベルを入力した状態では、CNVの立上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDOは強制的に高インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVをハイレベルに保持する必要があります(SDIとCNVがローレベルの場合、SDOはローレベルに駆動されます)。変換時間の最小時間の前に、SDIを使用してアナログ・マルチプレクサなど他のSPIデバ

イスを選択できますが、変換時間の最小時間の前にSDIがハイレベルに戻り、変換時間の最大時間までの間はハイレベルを保持して、BUSY信号の発生を防止する必要があります。変換が完了すると、AD7688はアキュイジション・フェーズに入りパワーダウンします。SDIにローレベルを入力すると、各ADCの変換結果を読み出すことができ、MSBがSDOへ出力されます。残りのデータビットは、後続のSCKの立下がりエッジでクロック出力されます。データは、SCKの両エッジで有効です。立上がりエッジを使ってデータを取り込むことができますが、SCKの立下がりエッジを使うデジタル・ホストでは、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16番目のSCK立下がりエッジの後、またはSDIがハイレベルになったときのいずれか早い方で、SDOは高インピーダンスに戻り、もう一方のAD7688を読み出すことができますようになります。

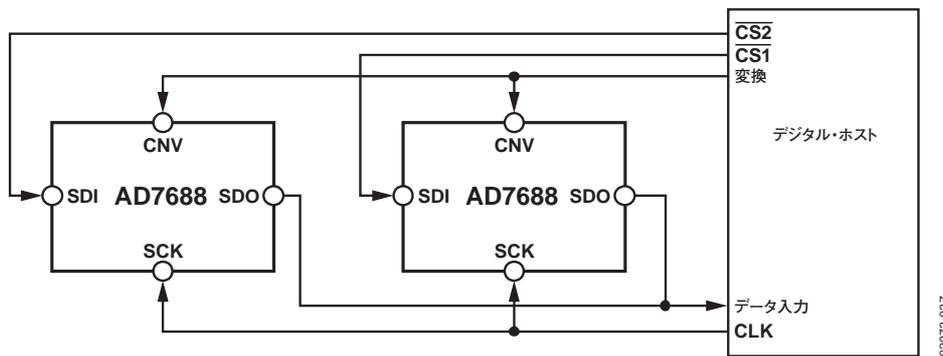


図38. \overline{CS} モード4線式、BUSY表示なしの接続図

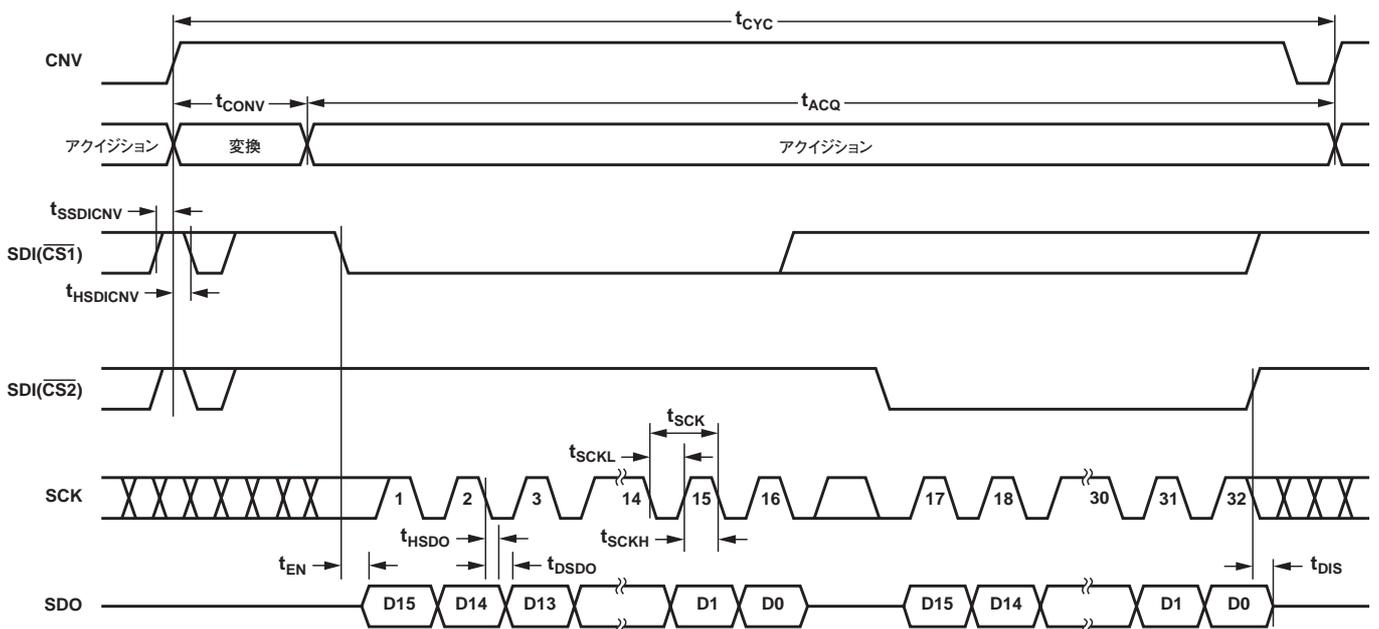


図39. \overline{CS} モード4線式、BUSY表示なしのシリアル・インターフェース・タイミング

AD7688

CSモード4線式、BUSY表示あり

このモードは、割込み入力を持つ1個のAD7688をSPI互換のデジタル・ホストに接続する際に使用します。この場合CNVをハイレベルに保持することが望まれます。CNVは、アナログ入力のサンプリングに使われ、データ読出しの選択に使われる信号とは無関係です。このときの条件は、アプリケーション上でCNVのジッタを抑えることが特に重要となります。

図40に接続図を、図41に対応するタイミングをそれぞれ示します。

SDIにハイレベルを入力した状態では、CNVの立上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDOは強制的に高インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVをハイレベルに保持する必要があります(SDIとCNVがローレベルの場合、SDOはローレベルに駆動されます)。変換時間の最小時間の前に、SDIを使用してアナログ・マルチプレクサのような他のSPIデバイスを選択することができますが、変換時間の最小時間の前にSDIがローレベルに戻り、変換時間の最大時間までの間はローレベルを保持して、BUSY信号が確実に発生するようする必要があります。変換が完了すると、SDOは高インピーダンスから低インピーダンスになります。SDOラインをプルアップして、この遷移を割込み信号として使い、デジタル・ホストにより制御されるデータのリードバックを開始させることができ

ます。AD7688はそれからアクイジション・フェーズに入り、パワーダウンします。その後、データビットはMSBファーストで、後続のSCKの立下がりエッジでクロック出力されます。データは、SCKの両エッジで有効です。立上がりエッジを使ってデータを取り込むことができますが、SCKの立下がりエッジを使うデジタル・ホストでは、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの17番目のSCK立下がりエッジの後、またはSDIがハイレベルになったときのいずれか早い方で、SDOは高インピーダンスに戻ります。

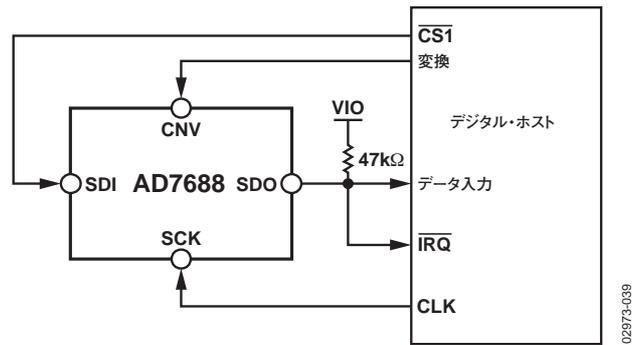


図40. \overline{CS} モード4線式、BUSY表示ありの接続図

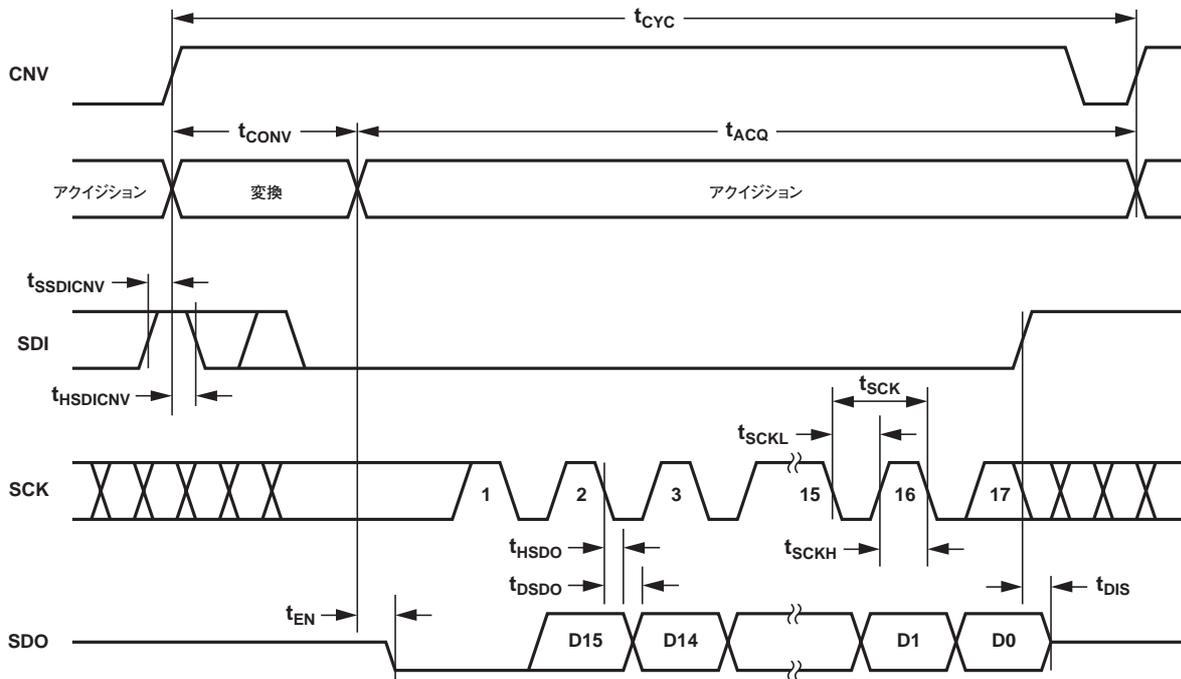


図41. \overline{CS} モード4線式BUSY表示ありのシリアル・インターフェース・タイミング

チェーン・モード、BUSY表示なし

このモードを使って、3線式シリアル・インターフェースに複数のAD7688をデイズチェーン接続することができます。この方法は部品数と接続配線数を最小限にしたい場合に有効です。たとえば、複数のコンバータをそれぞれ絶縁して使用するアプリケーションやインターフェース能力が制限されているシステムなどで役立ちます。データのリードバックは、シフト・レジスタをクロック駆動するのに似ています。

図42は2個のAD7688を使用した接続図、図43は対応するタイミングを示しています。

SDIとCNVをローレベルにすると、SDOがローレベルに駆動されます。SCKがローレベルのとき、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択され、BUSY表示がデイスエーブルになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV

をハイレベルに保持します。変換が完了すると、MSBがSDOに出力され、AD7688はアクイジション・フェーズに入りパワーダウンします。内部シフト・レジスタに保存されている残りのデータビットは、後続のSCKの立下がりエッジでクロック出力されます。各ADCで、SDIが内部シフト・レジスタの入力に接続され、SCKの立下がりエッジでクロック駆動されます。チェーン内の各ADCはデータをMSBファーストで出力し、N番目のADCをリードバックするためには $16 \times N$ 個のクロックが必要です。データは、SCKの両エッジで有効です。立上がりエッジを使ってデータを取り込むことができますが、SCKの立下がりエッジを使うデジタル・ホストでは、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内のAD7688の数を増やすことができます。最大変換レートは、全リードバック時間により低下することがあります。たとえば、3nsのデジタル・ホスト・セットアップ・タイムと3Vのインターフェースでは、360kSPSの変換レートで動作する最大4個のAD7688を1つの3線式ポートにデイズチェーン接続できます。

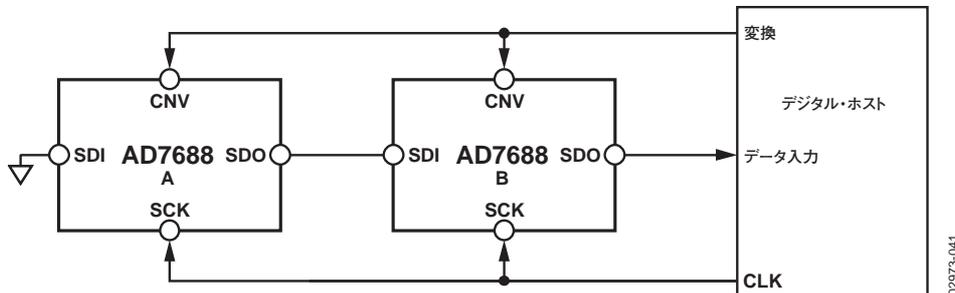


図42. チェーン・モード、BUSY表示なしの接続図

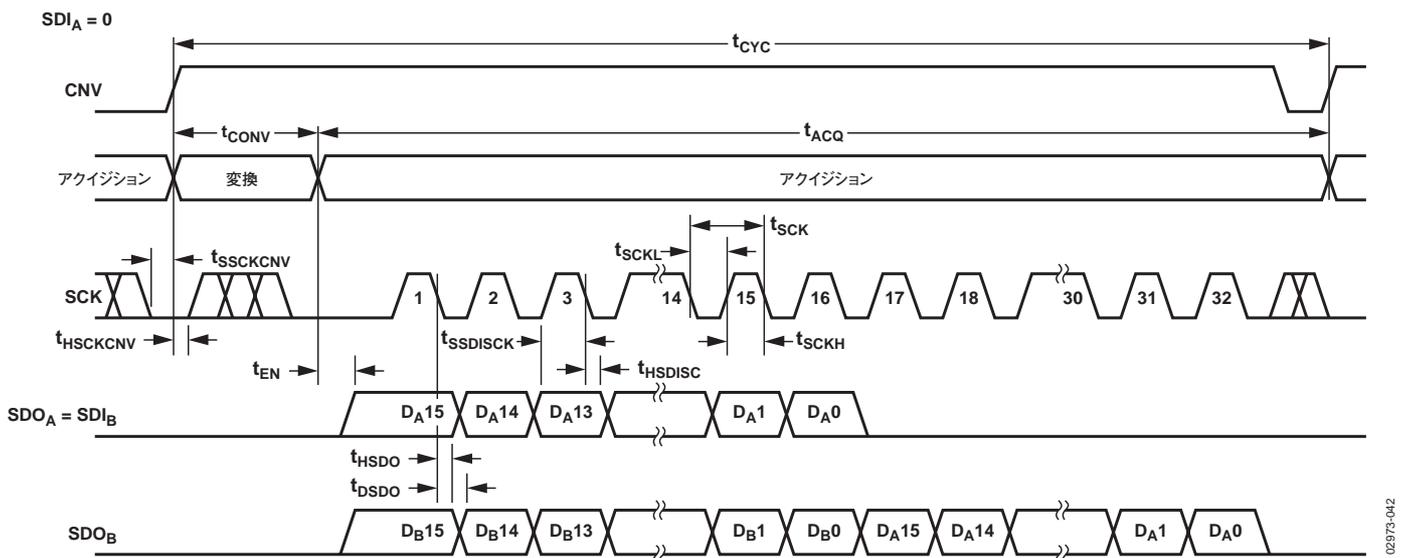


図43. チェーン・モード、BUSY表示なしのシリアル・インターフェース・タイミング

AD7688

チェーン・モード、BUSY表示あり

このモードを使用すると、3線式シリアル・インターフェースに複数のAD7688をダイジーチェーン接続することができると同時に、BUSY表示も提供できます。この方法は部品数と接続配線数を最小限にしたい場合に有効です。たとえば、複数のコンバータをそれぞれ絶縁して使用するアプリケーションやインターフェース能力が制限されているシステムなどで役立ちます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図44は3個のAD7688を使用した接続図、図45は対応するタイミングを示しています。

SDIとCNVをローレベルにすると、SDOがローレベルに駆動されます。SCKがハイレベルのとき、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択され、BUSY表示機能がイネーブになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV

をハイレベルに保持します。チェーン内のすべてのADCで変換が完了すると、最後のADC(図44ではADC C)のSDOがハイレベルに駆動されます。SDO上のこの遷移をBUSY表示として使用し、デジタル・ホストから制御されるデータ・リードバックを開始できます。AD7688はそれからアキュイジション・フェーズに入り、パワーダウンします。内部シフトレジスタに保存されているデータビットは、後続のSCKの立下がりエッジでMSBファーストで出力されます。各ADCは、SDIが内部シフトレジスタの入力に接続され、SCKの立下がりエッジでクロック駆動されます。チェーン内の各ADCはデータをMSBファーストで出力し、N番目のADCをリードバックするためには $16 \times N + 1$ 個のクロックが必要です。立上がりエッジを使ってデータを取り込むことができますが、SCKの立下がりエッジを使うデジタル・ホストでは、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内のAD7688の数を増やすことができます。たとえば、3nsのデジタル・ホスト・セットアップ・タイムと3Vのインターフェースでは、360kSPSの変換レートで動作する最大4個のAD7688を1つの3線式ポートにダイジーチェーン接続できます。

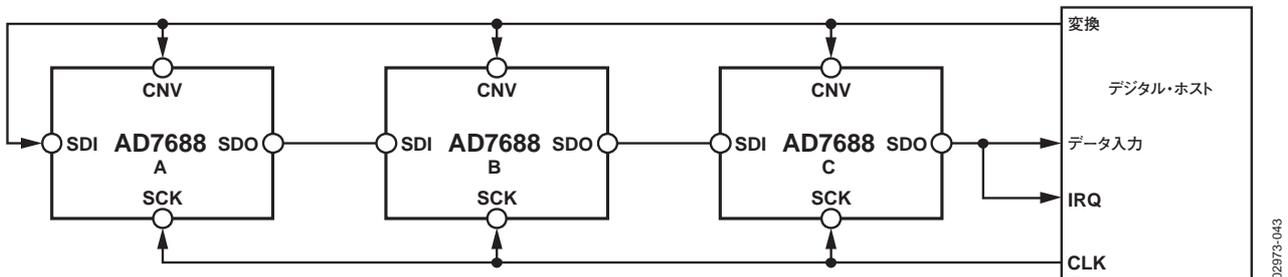


図44. チェーン・モード、BUSY表示ありの接続図

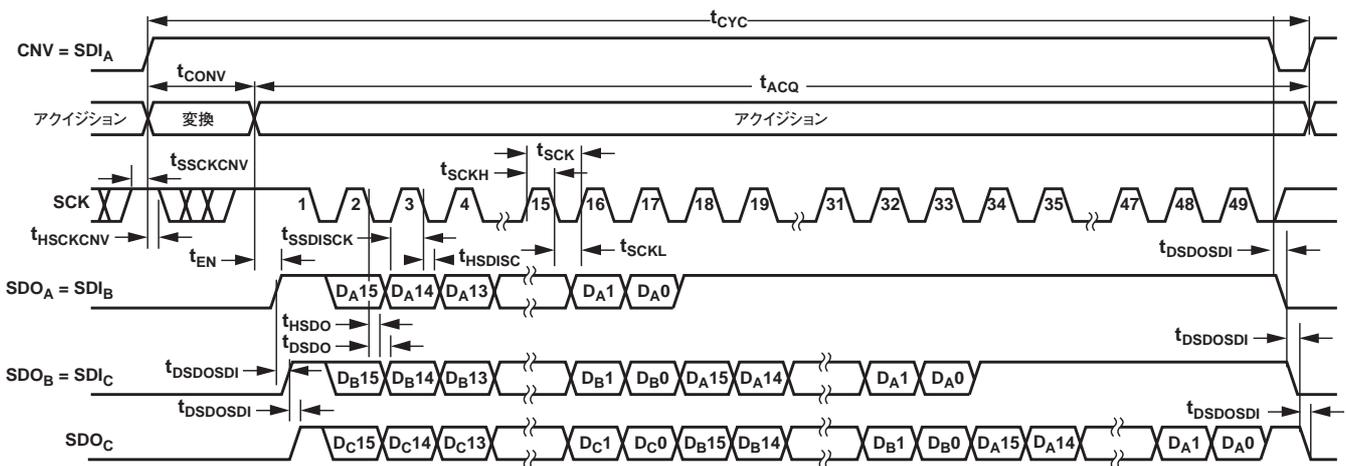


図45. チェーン・モード、BUSY表示ありのシリアル・インターフェース・タイミング

アプリケーション情報

レイアウト

AD7688を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれまとめて配置するように設計する必要があります。AD7688では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7688の下のグラウンド・プレーンがシールドとして使われていない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNVやクロックのような高速なスイッチング信号は、アナログ信号パスの近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも1つグラウンド・プレーンを用いる必要があります。デジタル部とアナログ部で共有することもできますが、別々に使用することもできます。後者の場合、各プレーンはAD7688の下で接続する必要があります。

AD7688の電圧リファレンス入力REFは動的入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。これは、REFピンとGNDピンの近くに、理想的には直接に、太い低インピーダンスのパターンでリファレンス・デカップリング・セラミック・コンデンサを接続することにより行われます。

最後に、AD7688の電源VDDとVIOはAD7688の近くに配置したセラミック・コンデンサ（一般に100nF）でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

図46と図47に、これらのルールに則ったレイアウトの例を示します。

AD7688の性能評価

AD7688のその他の推奨レイアウトは、AD7688の評価用ボード(EVAL-AD7688)の付属資料にも記載してあります。評価用ボードのパッケージには、テスト済みの評価用ボード(組立不要)、付属資料、「EVAL-CONTROL BRD3」を介してPCからボードを制御するソフトウェアが同梱されています。

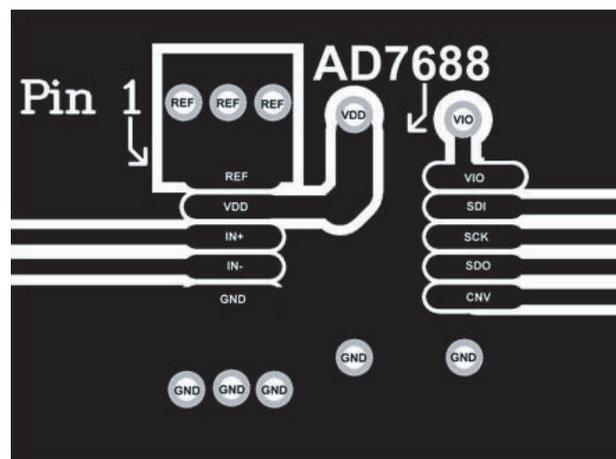


図46. AD7688のレイアウト例(表面レイヤ)

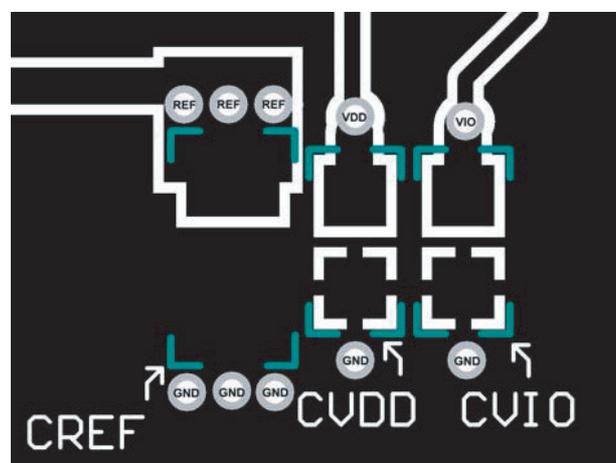
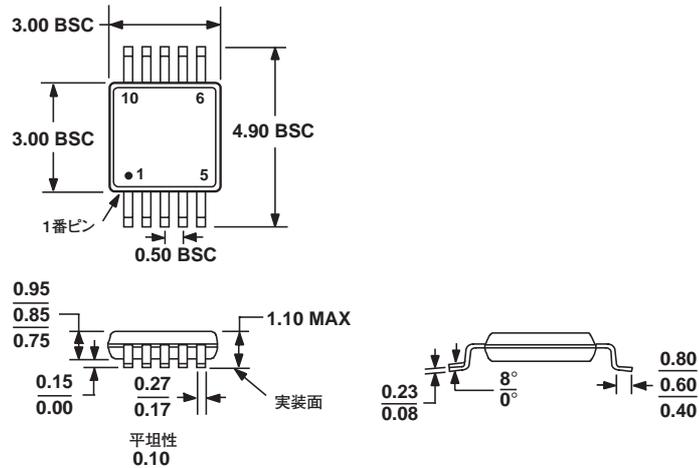


図47. AD7688のレイアウト例(裏面レイヤ)

外形寸法



JEDEC規格MO-187-BAに準拠

図48. 10ピン・ミニ・スモールアウトライン・パッケージ[MSOP]
(RM-10)
寸法単位:mm

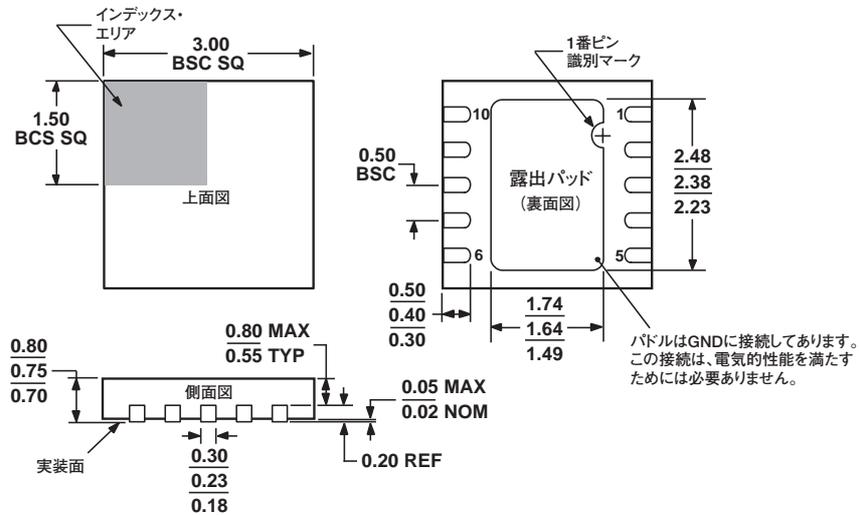


図49. 10ピン・リードフレーム・チップスケール・パッケージ[QFN¹(LFCSP_WD)]
3mm x 3mmボディ、超薄型デュアル
(CP-10-9)
寸法単位:mm

¹QFNパッケージは開発中です。サンプルと供給状況については、代理店または弊社営業部にお問い合わせください。

オーダー・ガイド

モデル	積分非直線性 (INL)	温度範囲	梱包数量	パッケージ	パッケージ・オプション	マーキング
AD7688BRM	±1.5LSB max	-40～+85℃	チューブ、50個	10ピンMSOP	RM-10	C04
AD7688BRMRL7	±1.5LSB max	-40～+85℃	リール、1,000個	10ピンMSOP	RM-10	C04
EVAL-AD7688CB ¹				評価用ボード		
EVAL-CONTROL BRD2 ²				コントローラ・ボード		
EVAL-CONTROL BRD3 ²				コントローラ・ボード		

¹ 単独の評価用ボードとして、またはEVAL-CONTROL BRDxと組み合わせて評価／デモ目的に使用できます。

² これらのコントローラ・ボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイセス製評価用ボード全製品の制御と通信をPCで行うことができます。