



16 ビット、8 チャンネル、 250 kSPS PuISAR ADC

Known Good Die

AD7689-KGD

特長

- ミス・コードが発生しない 16 ビット分解能
- 入力を選択できる 8 チャンネル・マルチプレクサ
- ユニポーラ・シングルエンド
- 差動 (グラウンド検出)
- 疑似バイポーラ
- スループット: 250 kSPS
- INL: ± 0.4 LSB (代表値) ± 1.5 LSB (最大値)
- ダイナミック・レンジ: 93.8 dB
- SINAD: 20 kHz 時に 92.5 dB (代表値)
- THD: 20 kHz 時に -100 dB
- アナログ入力レンジ: $0\text{ V} \sim V_{\text{REF}}$ (V_{REF} は最大 VDD)
- 複数のリファレンス・タイプ
 - 2.5 V または 4.096 V を内部で選択可能
 - 外部バッファ (最大 4.096 V)
 - 外部 (最大 VDD)
- 内部温度センサー (TEMP)
- チャンネル・シーケンサ、選択可能な単極フィルタ、ビジー・インジケータ
- パイプライン遅延なし、SAR アーキテクチャ
- 1.8 V \sim 5.5 V のロジック・インターフェースで 2.3 V \sim 5.5 V の単電源動作
- SPI、MICROWIRE、QSPI、DSP との互換性があるシリアル・インターフェース
- 消費電力
 - 2.5 V 時に 3.5 mW (200 kSPS)
 - 5 V 時に 12.5 mW (250 kSPS)
- スタンバイ電流: 50 nA
- 低価格グレードを使用可能
- KGD (Known Good Die): これらのダイは、データシートの仕様を十分に発揮します。

アプリケーション

- マルチチャンネル・システム監視
- バッテリー駆動装置
- 医療用の計測器: ECG/EKG
- モバイル通信: GPS
- 電力線のモニタリング
- データ・アクイジション
- 地震データ・アクイジション・システム
- 計測器
- プロセス制御

金属マスクを使用したダイの画像

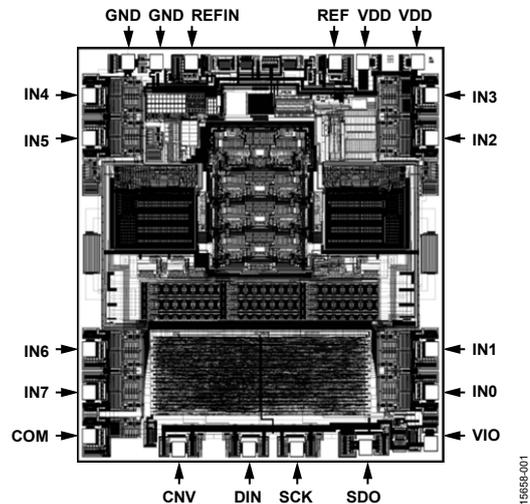


図 1. 合成図

概要

AD7689-KGD は、8 チャンネル、16 ビット、電荷再配分式の逐次比較型レジスタ (SAR) A/D コンバータ (ADC) で、単電源 VDD で駆動します。

AD7689-KGD には、マルチチャンネル、低消費電力のデータ・アクイジション・システムで使用するためのコンポーネントがすべて組み込まれています。これらのコンポーネントには、ミス・コードが発生しない真の 16 ビット SAR ADC、シングルエンド (グラウンド・センスあり/なし)、差動、またはバイポーラの入力を構成するのに役立つ 8 チャンネルの低クロストーク・マルチプレクサ、内部低ドリフト・リファレンス (2.5 V または 4.096 V を選択可能) とバッファ、温度センサー、選択可能な単極フィルタ、チャンネルを順番にスキャンする場合に便利なシーケンサが含まれます。

AD7689-KGD は、シンプルな SPI インターフェースを使用して、設定レジスタへの書込みと変換結果の受信を実行します。SPI インターフェースは、ホストのロジック・レベルに設定される独立した VIO 電源を使用します。消費電力は、スループットに比例します。

AD7689-KGD は、 $-40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$ で仕様規定されています。

アプリケーションと技術情報の詳細については、AD7689 データシートを参照してください。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2017 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1
アプリケーション.....	1
金属マスクを使用したダイの画像.....	1
概要.....	1
改訂履歴.....	2
仕様.....	3
タイミング仕様.....	6

絶対最大定格.....	8
ESD に関する注意.....	8
ピン配置およびピン機能の説明.....	9
外形寸法.....	10
ダイの仕様とアセンブリの推奨事項.....	10
オーダー・ガイド.....	10

改訂履歴

7/2017—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 2.3 V ~ 5.5 V、VIO = 1.8 V ~ VDD、REF 電圧 (V_{REF}) = VDD、すべての仕様は T_{MIN} ~ T_{MAX}。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	Unipolar mode	0		+V _{REF}	V
Absolute Input Voltage	Bipolar mode	-V _{REF} /2		+V _{REF} /2	V
	Positive input, unipolar and bipolar modes	-0.1		V _{REF} + 0.1	V
	Negative or COM input, unipolar mode	-0.1		+0.1	V
	Negative or COM input, bipolar mode	V _{REF} /2 - 0.1	V _{REF} /2	V _{REF} /2 + 0.1	V
Analog Input Common-Mode Rejection Ratio (CMRR)	Input frequency (f _{IN}) = 250 kHz		68		dB
Leakage Current at 25°C	Acquisition phase		1		nA
THROUGHPUT					
Conversion Rate					
Full Bandwidth ¹	VDD = 4.5 V to 5.5 V	0		250	kSPS
	VDD = 2.3 V to 4.5 V	0		200	kSPS
¼ Bandwidth ¹	VDD = 4.5 V to 5.5 V	0		62.5	kSPS
	VDD = 2.3 V to 4.5 V	0		50	kSPS
Transient Response	Full-scale step, full bandwidth			1.8	µs
	Full-scale step, ¼ bandwidth			14.5	µs
ACCURACY					
No Missing Codes		16			Bits
Integral Linearity Error		-1.5	±0.4	+1.5	LSB ²
Differential Linearity Error		-1	±0.25	+1.5	LSB ²
Transition Noise	REF = VDD = 5 V		0.5		LSB ²
Gain Error		-8	±1	+8	LSB ²
Gain Error Match		-4	±0.5	+4	LSB ²
Gain Error Temperature Drift			±1		ppm/°C
Offset Error	VDD = 4.5 V to 5.5 V	-8	±1	+8	LSB ²
	VDD = 2.3 V to 4.5 V		±5		LSB ²
Offset Error Match		-4	±0.5	+4	LSB ²
Offset Error Temperature Drift			±1		ppm/°C
Power Supply Sensitivity	VDD = 5 V ± 5%		±1.5		LSB ²
AC ACCURACY ³					
Dynamic Range			93.8		dB ⁴
Signal-to-Noise (SNR)					
	f _{IN} = 20 kHz, V _{REF} = 5 V	92.5	93.5		dB ⁴
	f _{IN} = 20 kHz, V _{REF} = 4.096 V, internal REF	91	92.3		dB ⁴
	f _{IN} = 20 kHz, V _{REF} = 2.5 V, internal REF	87.5	88.8		dB ⁴
Signal-to-Noise-And-Distortion Ratio (SINAD)					
	f _{IN} = 20 kHz, V _{REF} = 5 V	91	92.5		dB ⁴
	f _{IN} = 20 kHz, V _{REF} = 5 V, -60 dB input		33.5		dB ⁴
	f _{IN} = 20 kHz, V _{REF} = 4.096 V internal REF	90	91		dB ⁴
	f _{IN} = 20 kHz, V _{REF} = 2.5 V internal REF	87	88.4		dB ⁴
Total Harmonic Distortion (THD)	f _{IN} = 20 kHz		-100		dB ⁴
Spurious-Free Dynamic Range (SFDR)	f _{IN} = 20 kHz		110		dB ⁴
Channel to Channel Crosstalk	f _{IN} = 100 kHz on adjacent channel(s)		-125		dB ⁴

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SAMPLING DYNAMICS					
	-3 dB Input Bandwidth	Full bandwidth	1.7		MHz
		¼ bandwidth	0.425		MHz
Aperture Delay	VDD = 5 V		2.5		ns

¹ 帯域幅は、設定レジスタで指定されます。

² LSB は最下位ビットを意味します。±5 V の入力レンジでは、1 LSB = 76.3 μV です。

³ 特に指定のない限り、VDD = 5 V。

⁴ 特に指定のない限り、デシベルで表記されるすべての仕様は、フルスケール入力 FSR を基準とし、フルスケールより 0.5 dB 低い入力信号でテストされます。

特に指定のない限り、VDD = 2.3 V ~ 5.5 V、VIO = 1.8 V ~ VDD、V_{REF} = VDD、すべての仕様は T_{MIN} ~ T_{MAX}。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INTERNAL REFERENCE					
REF Output Voltage	2.5 V at 25°C	2.490	2.500	2.510	V
	4.096 V at 25°C	4.086	4.096	4.106	V
REFIN Output Voltage ¹	2.5 V at 25°C		1.2		V
	4.096 V at 25°C		2.3		V
REF Output Current			±300		μA
Temperature Drift			±10		ppm/°C
Line Regulation	VDD = 5 V ± 5%		±15		ppm/V
Long-Term Drift	1000 hours		50		ppm
Turn-On Settling Time	Reference capacitance (C _{REF}) = 10 μF		5		ms
EXTERNAL REFERENCE					
Voltage Range	REF input	0.5		VDD + 0.3	V
	REFIN input (buffered)	0.5		VDD - 0.5	V
Current Drain ²	250 kSPS, REF = 5 V		50		μA
TEMPERATURE SENSOR					
Output Voltage ³	25°C		283		mV
Temperature Sensitivity			1		mV/°C
DIGITAL INPUTS					
Logic Levels					
Input Voltage					
Low, V _{IL}		-0.3		+0.3 × VIO	V
High, V _{IH}		0.7 × VIO		VIO + 0.3	V
Input Current					
Low, I _{IL}		-1		+1	μA
High, I _{IH}		-1		+1	μA
DIGITAL OUTPUTS					
Data Format ⁴					
Pipeline Delay ⁵					
Output Voltage					
Low, V _{OL}	Sink current (I _{SINK}) = 500 μA			0.4	V
High, V _{OH}	Source current (I _{SOURCE}) = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD ⁶	Specified performance	2.3		5.5	V
VIO	Specified performance	1.8		VDD + 0.3	V
Standby Current ^{7, 8}	VDD and VIO = 5 V at 25°C		50		nA
Power Dissipation	VDD = 2.5 V, 100 SPS throughput		1.7		μW
	VDD = 2.5 V, 200 kSPS throughput		3.5		mW
	VDD = 5 V, 250 kSPS throughput		12.5	18	mW
	VDD = 5 V, 250 kSPS throughput with internal reference		15.5	21	mW
Energy per Conversion	VDD = 5 V		60		nJ
TEMPERATURE RANGE⁹					
Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

¹ これは内部バンドギャップからの出力です。

² 平均電流で、スループットに比例します。

³ 内部で電圧が出力され、専用のマルチプレクサ入力に供給されます。

⁴ ユニポーラ・モードは、シリアル 16 ビットのストレート・バイナリです。バイポーラ・モードは、シリアル 16 ビットの 2 の補数です。

⁵ 変換が完了すると、変換結果を即座に使用できます。

⁶ 2.5 V の内部リファレンスがイネーブルになっている場合は、VDD 電源の最小電圧を 3 V にする必要があります。4.096 V の内部リファレンスがイネーブルになっている場合は、4.5 V にする必要があります。

⁷ 必要に応じて、すべてのデジタル入力を VIO または GND に接続しています。

⁸ アクイジション・フェーズ時。

⁹ 拡張温度範囲については、最寄りのアナログ・デバイス販売代理店にお問い合わせください。

タイミング仕様

特に指定のない限り、VDD = 4.5 V ~ 5.5 V、VIO = 1.8 V ~ VDD、すべての仕様は TMIN ~ TMAX。

表 3.

Parameter ¹	Symbol	Min	Typ	Max	Unit
CONVERSION TIME					
CNV Rising Edge to Data Available	t _{CONV}			2.2	μs
ACQUISITION TIME	t _{ACQ}	1.8			μs
TIME BETWEEN CONVERSIONS	t _{CYC}	4.0			μs
DATA WRITE/READ DURING CONVERSION	t _{DATA}			1.2	μs
SCK					
Period	t _{SCK}	t _{DSDO} + 2			ns
Low Time	t _{SCKL}	11			ns
High Time	t _{SCKH}	11			ns
Falling Edge to Data Remains Valid	t _{HSDO}	4			ns
Falling Edge to Data Valid Delay	t _{DSDO}				
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				23	ns
VIO Above 1.8 V				28	ns
CNV					
Pulse Width	t _{CNVH}	10			ns
Low to SDO D15 MSB Valid	t _{EN}				
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				22	ns
VIO Above 1.8 V				25	ns
High or Last SCK Falling Edge to SDO High Impedance	t _{DIS}			32	ns
Low to SCK Rising Edge	t _{CLSCK}	10			ns
DIN					
Valid Setup Time from SCK Rising Edge	t _{SDIN}	5			ns
Valid Hold Time from SCK Rising Edge	t _{HDIN}	5			ns

¹ 負荷条件については、図 2 と図 3 を参照してください。

特に指定のない限り、VDD = 2.3 V ~ 4.5 V、VIO = 1.8 V ~ VDD、すべての仕様は T_{MIN} ~ T_{MAX}。

表 4.

Parameter ¹	Symbol	Min	Typ	Max	Unit
CONVERSION TIME CNV Rising Edge to Data Available	t _{CONV}			3.2	μs
ACQUISITION TIME	t _{ACQ}	1.8			μs
TIME BETWEEN CONVERSIONS	t _{CYC}	5			μs
DATA WRITE/READ DURING CONVERSION	t _{DATA}			1.2	μs
SCK					
Period	t _{SCK}	t _{DSDO} + 2			ns
Low Time	t _{SCKL}	12			ns
High Time	t _{SCKH}	12			ns
Falling Edge to Data Remains Valid	t _{HSDO}	5			ns
Falling Edge to Data Valid Delay	t _{DSDO}				
VIO Above 3 V				24	ns
VIO Above 2.7 V				30	ns
VIO Above 2.3 V				38	ns
VIO Above 1.8 V				48	ns
CNV					
Pulse Width	t _{CNVH}	10			ns
Low to SDO D15 MSB Valid	t _{EN}				
VIO Above 3 V				21	ns
VIO Above 2.7 V				27	ns
VIO Above 2.3 V				35	ns
VIO Above 1.8 V				45	ns
High or Last SCK Falling Edge to SDO High Impedance	t _{DIS}			50	ns
Low to SCK Rising Edge	t _{CLSCK}	10			ns
DIN					
Valid Setup Time from SCK Rising Edge	t _{SDIN}	5			ns
Valid Hold Time from SCK Rising Edge	t _{HDIN}	5			ns

¹ 負荷条件については、図 2 と図 3 を参照してください。

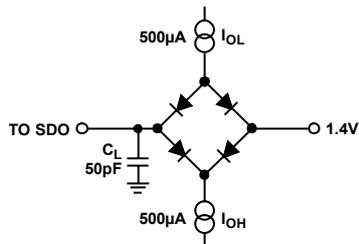


図 2. デジタル・インターフェース・タイミングの負荷回路

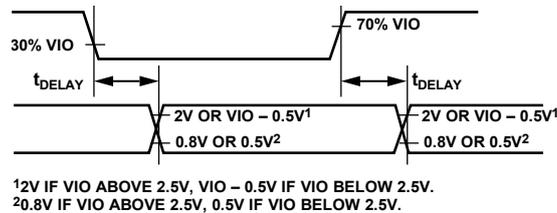


図 3. タイミングの電圧レベル

絶対最大定格

表 5.

Parameter	Rating
Analog Inputs IN0 to IN7, COM	GND - 0.3 V to VDD + 0.3 V or VDD ± 130 mA
REF, REFIN	GND - 0.3 V to VDD + 0.3 V
Supply Voltages	
VDD, VIO to GND	-0.3 V to +7 V
VIO to VDD	-0.3 V to VDD + 0.3 V
DIN, CNV, SCK to GND	-0.3 V to VIO + 0.3 V
SDO to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

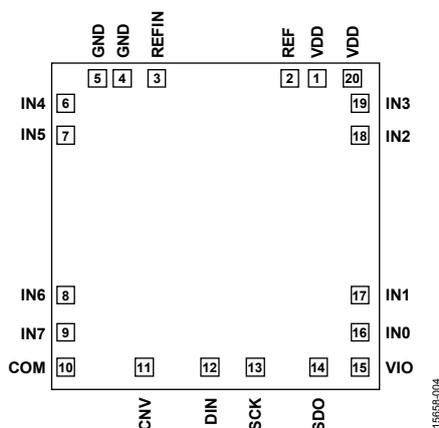


図 4. パッド構成

表 6. パッド機能の説明

パッド番号	記号	X 軸 (μm)	Y 軸 (μm)	パッドのタイプ ¹	説明
1	VDD	+650	+1079	AI	電源。公称 2.5 V ~ 5.5 V
2	REF	+475	+1078	AI	リファレンス入出力
3	REFIN	-473	+1078	AI	内部リファレンス出力/リファレンス・バッファ入力
4	GND	-659	+1079	P	電源グラウンド
5	GND	-838	+1079	P	電源グラウンド
6	IN4	-1085	+892	AI	アナログ入力チャンネル 4
7	IN5	-1085	+653	AI	アナログ入力チャンネル 5
8	IN6	-1085	-528	AI	アナログ入力チャンネル 6
9	IN7	-1085	-769	AI	アナログ入力チャンネル 7
10	COM	-1085	-1015	P	共通のチャンネル入力。すべての入力チャンネル、IN [7:0] は、0 V または $V_{REF}/2$ V の共通モード・ポイントを参照できます。
11	CNV	-519	-1087	DI	変換入力。立上がりエッジで、CNV が変換を開始します。変換中に CNV がローになると、ビジー・インジケータがイネーブルになります。
12	DIN	-71	-1087	DI	データ入力。この入力を使用して、14 ビットの設定レジスタに書き込みを実行します。設定レジスタへの書き込みは、変換中と変換後に実行できません。
13	SCK	+231	-1087	DI	シリアル・データ・クロック入力。この入力を使用して、SDO にデータをクロック・アウトし、DIN にデータをクロック・インするのに使用されます。
14	SDO	+667	-1087	DO	シリアル・データ出力。
15	VIO	+1079	-1056	P	入出力インターフェースのデジタル電源。通常はホスト・インターフェースと同じ電源 (1.8 V、2.5 V、3 V、または 5 V)
16	IN0	+1085	-769	AI	アナログ入力チャンネル 0
17	IN1	+1085	-528	AI	アナログ入力チャンネル 1
18	IN2	+1085	+653	AI	アナログ入力チャンネル 2
19	IN3	+1085	+894	AI	アナログ入力チャンネル 3
20	VDD	+997	+1079	P	電源。公称 2.5 V ~ 5.5 V

¹ AI はアナログ入力、P は電源、DI はデジタル入力、DO はデジタル出力です。

外形寸法

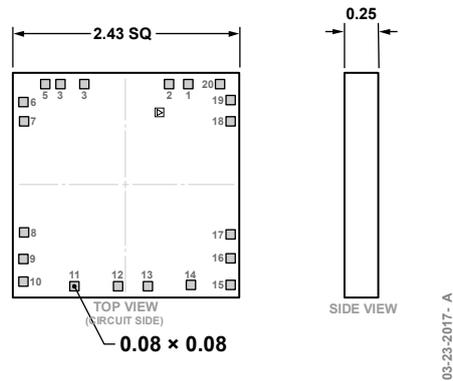


図 5.20 パッド・ベア・ダイ [チップ]
(C-20-2)
寸法: mm

ダイの仕様とアセンブリの推奨事項

表 7. ダイの仕様

Parameter	Value	Unit
Scribe Line Width	80 × 80	μm
Die Size (Maximum Size)	2430 × 2430	μm
Thickness	250	μm
Bond Pads (Minimum Size)	80 × 80	μm
Bond Pad Composition	0.5 AlCu	%
Backside	Standard assembly die attach	Not applicable
Passivation	Oxynitride	Not applicable
Chip Size	2350 × 2350	μm

表 8. アセンブリの推奨事項

Assembly Component	Recommendation
Die Attach	Epoxy adhesive
Bonding Method	Gold ball ¹ or aluminum wedge
Bonding Sequence	Bond pin five first

¹ 寿命を延ばすため、高い温度で使用する前に金線の適合性を評価してください。

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7689-KGD-PT	-40°C to +85°C	20-Pad Bare Die [CHIP]	C-20-2