

特長

高速 (2.4 μ s) 14 ビット ADC
 4 入力を同時サンプル
 4 個のトラック/ホールド・アンプ
 トラック/ホールド・アキュイジション時間: 0.35 μ s
 チャンネルあたりの変換時間: 2.4 μ s
 変換チャンネル・シーケンスの HW/SW 選択
 単電源動作
 選択可能な入力範囲: ± 10 V、 ± 5 V、 ± 2.5 V、
 0 V $\sim$ 5 V、0 V $\sim$ 2.5 V
 高速パラレル・インターフェース、3 V プロセッサにもインター
 フェース可能
 低消費電力: 115 mW (typ)
 省電力モード: 15 μ W (typ)
 アナログ入力の過電圧保護

アプリケーション

AC モーター・コントロール
 無停電電源
 工業用電力計/モニタ
 データ・アキュイジション・システム
 通信

概要

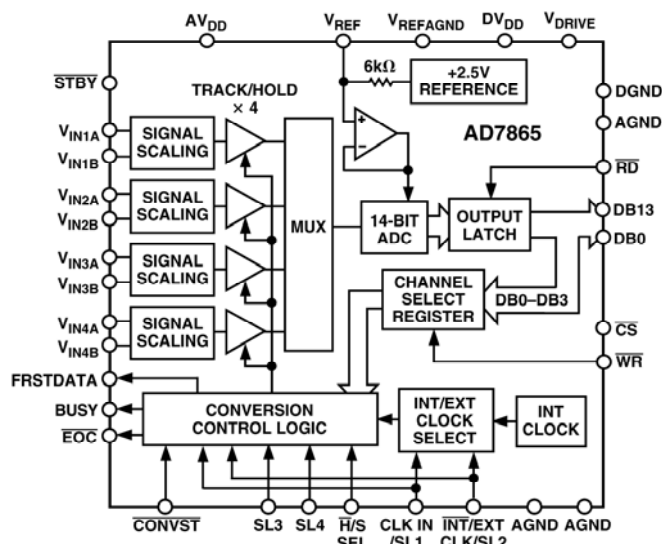
AD7865 は、5 V 単電源で動作する高速、低消費電力、4 チャンネル同時サンプリングの 14 ビット A/D コンバータです。このデバイスは、2.4 μ s の逐次比較型 ADC、4 個のトラック/ホールド・アンプ、2.5 V のリファレンス電圧、クロック発振器、信号コンディショニング回路、高速パラレル・インターフェースを内蔵しています。4 チャンネルの入力信号が同時にサンプルされるため、4 アナログ入力の信号の相対位相情報が保存されます。デバイスのアナログ入力範囲は、 ± 10 V、 ± 5 V、 ± 2.5 V、0 V $\sim$ 2.5 V、0 V $\sim$ 5 V です。

このデバイスでは、選択したシーケンスでのスループット・レートを最大化するため、4 チャンネルの内の任意のサブセットを変換することができます。変換するチャンネルは、ハードウェア (チャンネル・セレクト入力ピン) またはソフトウェア (チャンネル・セレクト・レジスタの書き込み) から選択することができます。

1 回の変換スタート信号 ($\overline{\text{CONVST}}$)により同時に全トラック/ホールドがホールド状態になり、選択したチャンネルで変換が開始されます。 $\overline{\text{EOC}}$ 信号により、選択した変換シーケンス内での各変換の終了が表示されます。 BUSY 信号は、変換シーケンスの終わりを表示します。

デバイスからのデータの読出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を使って 14 ビットのパラレル・データバスを経由して行います。1 チャンネルの最大スループットは 350 kSPS です。4 チャンネルすべての最大スループットは 100 kSPS です。

機能ブロック図



AD7865 は小型の (0.3 平方インチ) 44 ピン PQFP パッケージを採用しています。

製品のハイライト

1. AD7865 は、4 個のトラック/ホールド・アンプと、4 チャンネルの内の任意のサブセットを同時にサンプリングして変換できる高速 (2.4 μ s) ADC を内蔵しています。
2. AD7865 は 5V の単電源で動作し、115 mW (typ) の消費電力であるため、低消費電力アプリケーションと携帯型アプリケーションに最適です。
3. このデバイスは高速パラレル・インターフェースを持つため、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサに容易に接続することができます。
4. このデバイスでは、異なるアナログ入力電圧範囲を持つ 3 つのバージョンを提供しています。AD7865-1 は標準工業用範囲 ± 10 V と ± 5 V を、AD7865-2 はユニポーラ範囲 0 V $\sim$ 2.5 V または 0 V $\sim$ 5 V を、AD7865-3 は一般的な信号処理入力範囲 ± 2.5 V をそれぞれ提供しています。
5. このデバイスの 4 個の入力サンプル・アンド・ホールド・アンプはアパーチャ遅延が非常に良く一致しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2000 Analog Devices, Inc. All rights reserved.

AD7865–仕様

($V_{DD} = 5\text{ V} \pm 5\%$, $AGND = DGND = 0\text{ V}$, $V_{REF} =$ 内蔵リファレンス、クロック = 内部、特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

Parameter	A, Y Versions ¹	B Version	Unit	Test Conditions/Comments
SAMPLE AND HOLD				
–3 dB Full Power Bandwidth	3	3	MHz typ	
Aperture Delay	20	20	ns max	
Aperture Jitter	50	50	ps typ	
Aperture Delay Matching	4	4	ns max	
DYNAMIC PERFORMANCE²				$f_{IN} = 100\text{ kHz}$, $f_s = 350\text{ kSPS}$
Signal to (Noise + Distortion) Ratio ³ @ 25° C				
AD7865-1, AD7865-3	78	78	dB min	Typically 80 dB
AD7865-2	77	77	dB min	Typically 78 dB
T_{MIN} to T_{MAX}				
AD7865-1, AD7865-3	77	77	dB min	
AD7865-2	76	76	dB min	
Total Harmonic Distortion ^{3,4}	–86	–86	dB max	
Peak Harmonic or Spurious Noise ^{3,4}	–86	–86	dB max	
Intermodulation Distortion ³				$f_a = 49\text{ kHz}$, $f_b = 50\text{ kHz}$
2nd Order Terms	–95	–95	dB typ	
3rd Order Terms	–95	–95	dB typ	
Channel-to-Channel Isolation ^{3,5}	–88	–88	dB max	$f_{IN} = 50\text{ kHz}$ Sine Wave
DC ACCURACY				Any Channel
Resolution	14	14	Bits	
Relative Accuracy (INL) ³	± 2	± 1.5	LSB max	Typically 0.6 LSBs
Differential Nonlinearity (DNL) ³	± 1	± 1	LSB max	No Missing Codes Guaranteed
AD7865-1				
Positive Gain Error ³	± 10	± 8	LSB max	Typically ± 2 LSBs
Positive Gain Error Match ³	8	8	LSB max	Typically 2 LSBs
Negative Gain Error ³	± 10	± 8	LSB max	Typically ± 2 LSBs
Negative Gain Error Match ³	8	8	LSB max	Typically 2 LSBs
Bipolar Zero Error	± 12	± 10	LSB max	Typically ± 2 LSBs
Bipolar Zero Error Match	6	6	LSB max	Typically 1.5 LSBs
AD7865-2				
Positive Gain Error ³	± 16	± 16	LSB max	Typically ± 2 LSBs
Positive Gain Error Match ³	8	8	LSB max	Typically 2 LSBs
Unipolar Offset Error ³	± 10	± 10	LSB max	Typically ± 2 LSBs
Unipolar Offset Error Match ³	10	10	LSB max	Typically 2 LSBs
AD7865-3				
Positive Gain Error ³	± 16	± 14	LSB max	Typically ± 6 LSBs
Positive Gain Error Match ³	8	8	LSB max	Typically 2 LSBs
Negative Gain Error ³	± 16	± 14	LSB max	Typically ± 6 LSBs
Negative Gain Error Match ³	8	8	LSB max	Typically 2 LSBs
Bipolar Zero Error	± 14	± 12	LSB max	Typically ± 5 LSBs
Bipolar Zero Error Match	8	6	LSB max	Typically 2 LSBs
ANALOG INPUTS				
AD7865-1				
Input Voltage Range	± 5 , ± 10	± 5 , ± 10	Volts	$V_{IN} = -5\text{ V}$ and -10 V Respectively, Typically 0.7 mA
Input Current	1, 1	1, 1	mA max	
AD7865-2				
Input Voltage Range	0 V to 2.5 V, 0 V to 5 V	0 V to 2.5 V, 0 V to 5 V	Volts	$V_{IN} = 2.5\text{ V}$, 0 V to 2.5 V Range, Typ 1 μA $V_{IN} = 5\text{ V}$, 0 V to 5 V Range, Typ 0.7 mA
Input Current	10 1	10 1	μA max mA max	
AD7865-3				
Input Voltage Range	± 2.5	± 2.5	Volts	$V_{IN} = -2.5\text{ V}$, Typically 0.7 mA
Input Current	1	1	mA max	

Parameter	A, Y Versions ¹	B Version	Unit	Test Conditions/Comments
REFERENCE INPUT/OUTPUT				
V _{REF} IN Input Voltage Range	2.375/2.625	2.375/2.625	V _{MIN} /V _{MAX}	2.5 V ± 5%
V _{REF} IN Input Capacitance ⁶	10	10	pF max	
V _{REF} OUT Output Voltage	2.5	2.5	V nom	
V _{REF} OUT Error @ 25° C	± 10	± 10	mV max	
V _{REF} OUT Error T _{MIN} to T _{MAX}	± 20	± 20	mV max	
V _{REF} OUT Temperature Coefficient	25	25	ppm/° C typ	
V _{REF} OUT Output Impedance	6	6	kΩ typ	See Reference Section
LOGIC INPUTS				
Input High Voltage, V _{INH}	2.4	2.4	V min	V _{DD} = 5 V ± 5% V _{DD} = 5 V ± 5%
Input Low Voltage, V _{INL}	0.8	0.8	V max	
Input Current, I _{IN}	± 10	± 10	μA max	
Input Capacitance, C _{IN} ⁶	10	10	pF max	
LOGIC OUTPUTS				
Output High Voltage, V _{OH}	4.0	4.0	V min	I _{SOURCE} = 400 μA I _{SINK} = 1.6 mA
Output Low Voltage, V _{OL}	0.4	0.4	V max	
DB13–DB0				
High Impedance				
Leakage Current	± 10	± 10	μA max	
Capacitance ⁶	10	10	pF max	
Output Coding				
AD7865-1, AD7865-3	Two's Complement			
AD7865-2	Straight (Natural) Binary			
CONVERSION RATE				
Conversion Time	2.4	2.4	μs max	For Single Channel
Track/Hold Acquisition Time ^{2,3}	0.35	0.35	μs max	For Single Channel
Throughput Time	350	350	kSPS max	
	100	100	kSPS max	For All Four Channels
POWER REQUIREMENTS				
V _{DD}	5	5	V nom	± 5% for Specified Performance
I _{DD}				
AD7865-1				Typically 23 mA, Logic Inputs = 0 V or V _{DD}
Normal Mode	32	32	mA max	
Standby Mode	20	20	μA max	
AD7865-2				Typically 20 mA, Logic Inputs = 0 V or V _{DD}
Normal Mode	30	30	mA max	
Standby Mode	20	20	μA max	
AD7865-3				Typically 23 mA, Logic Inputs = 0 V or V _{DD}
Normal Mode	32	32	mA max	
Standby Mode	20	20	μA max	
Power Dissipation				
AD7865-1				
Normal Mode	160	160	mW max	Typically 115 mW. V _{DD} = 5 V
Standby Mode	100	100	μW max	Typically 15 μW
AD7865-2				
Normal Mode	150	150	mW max	Typically 100 mW. V _{DD} = 5 V
Standby Mode	100	100	μW max	Typically 15 μW
AD7865-3				
Normal Mode	160	160	mW max	Typically 115 mW. V _{DD} = 5 V
Standby Mode	100	100	μW max	Typically 15 μW

注

¹ A、Bバージョンの温度範囲: -40°C~+85°C。Yバージョンの温度範囲: -40°C~+105°C。² 性能は、フル・チャンネル (SHA と ADC)で測定されます。³ 用語集を参照してください。⁴ 総合高調波歪みとピーク高調波またはスプリアス・ノイズは、AD7865-2に対して -83 dBs で規定します。⁵ 任意の2チャンネル間で、他の2チャンネルはグラウンドに接続し測定します。⁶ 25°Cでのサンプル・テストによりコンプライアンスを保証します。

仕様は予告なく変更されることがあります。

タイミング特性^{1, 2}

($V_{DD} = 5\text{ V} \pm 5\%$, $AGND = DGND = 0\text{ V}$, $V_{REF} =$ 内蔵リファレンス、クロック = 内部。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

Parameter	A, B, Y Versions	Unit	Test Conditions/Comments
t_{CONV}	2.4	$\mu\text{s max}$	Conversion Time, Internal Clock
	3.2	$\mu\text{s max}$	Conversion Time, External Clock (5 MHz)
t_{ACQ}	0.35	$\mu\text{s max}$	Acquisition Time
t_{BUSY}	No. of Channels $\times (t_{CONV})$	$\mu\text{s max}$	Selected Number of Channels Multiplied by t_{CONV}
$t_{WAKE-UP}$ —External V_{REF} ³	1	$\mu\text{s max}$	$\overline{STBY}$ Rising Edge to $\overline{CONVST}$ Rising Edge
t_1	35	ns min	$\overline{CONVST}$ Pulsewidth
t_2	70	ns min	$\overline{CONVST}$ Rising Edge to $BUSY$ Rising Edge
Read Operation			
t_3	0	ns min	$\overline{CS}$ to $\overline{RD}$ Setup Time
t_4	0	ns min	$\overline{CS}$ to $\overline{RD}$ Hold Time
t_5	35	ns min	Read Pulsewidth
$t_{6,4}$	35	ns max	Data Access Time after Falling Edge of $\overline{RD}$, $V_{DRIVE} = 5\text{ V}$
	40	ns max	Data Access Time after Falling Edge of $\overline{RD}$, $V_{DRIVE} = 3\text{ V}$
$t_{7,5}$	5	ns min	Bus Relinquish Time after Rising Edge of $\overline{RD}$
	30	ns max	
t_8	15	ns min	Time Between Consecutive Reads
t_9	120	ns min	$\overline{EOC}$ Pulsewidth
	180	ns max	
t_{10}	70	ns max	$\overline{RD}$ Rising Edge to $FRSTDATA$ Edge (Rising or Falling)
t_{11}	15	ns max	$\overline{EOC}$ Falling Edge to $FRSTDATA$ Falling Delay
t_{12}	0	ns min	$\overline{EOC}$ to $\overline{RD}$ Delay
Write Operation			
t_{13}	20	ns min	$\overline{WR}$ Pulsewidth
t_{14}	0	ns min	$\overline{CS}$ to $\overline{WR}$ Setup Time
t_{15}	0	ns min	$\overline{WR}$ to $\overline{CS}$ Hold Time
t_{16}	5	ns min	Input Data Setup Time of Rising Edge of $\overline{WR}$
t_{17}	5	ns min	Input Data Hold Time
External Clock			
t_{18}	200	ns min	$\overline{CONVST}$ Falling Edge to CLK Rising Edge

注

¹ 25°C でのサンプル・テストによりコンプライアンスを保証します。すべての入力信号は $t_r = t_f = 1\text{ ns}$ (5 V の 10% から 90%) で規定し、1.6 V の電圧レベルからの時間とします。

² 図 6～図 8 を参照してください。

³ スタンバイ動作モードのセクションを参照してください。1 μs の MAX 規定値は、 V_{REF} ピンに 0.1 μF のデカップリング・コンデンサを接続したときに有効です。

⁴ 図 1 に示す負荷回路で測定。出力が 0.8 V または 2.4 V と交叉するまでに必要な時間と定義します。

⁵ これらの値は、図 1 の負荷回路でデータ出力が 0.5 V 変化するときに必要な時間の測定値から導出されます。この測定値に外挿を行い、50 PF コンデンサの充放電の影響を除去してあります。タイミング特性で使用する時間はデバイスの真のバス開放時間を意味し、外部バスの負荷容量に無関係であることを意味します。

仕様は予告なく変更されることがあります。

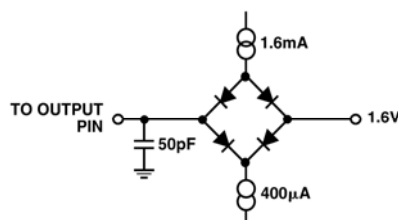


図 1. アクセス時間とバス開放時間測定時の負荷回路

ピン機能の説明

ピン番号	記号	説明
1	BUSY	ビジー出力。このビジー出力は $\overline{\text{CONVST}}$ の立上がりエッジでハイ・レベルになり、選択された全チャンネルで変換が完了するまでハイ・レベルを維持します。
2	FRSTDATA	先頭データ出力。FRSTDATA はロジック出力で、ハイ・レベルのとき、出力データ・レジスタ・ポインタがレジスタ 1 をアドレス指定していることを表示します—出力データ・レジスタのアクセスを参照してください。
3	$\overline{\text{CONVST}}$	変換開始入力。ロジック入力。この入力のロー・レベルからハイ・レベルへの変化により、全トラック/ホールドがホールド・モードになり、選択されたチャンネルで変換が開始されます。さらに、チャンネル・シーケンス選択の状態も $\overline{\text{CONVST}}$ の立上がりエッジでラッチされます。
4	$\overline{\text{CS}}$	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力がアクティブのとき、デバイスが選択されます。
5	$\overline{\text{RD}}$	読出し入力。アクティブ・ローのロジック入力で、 $\overline{\text{CS}}$ のロー・レベルと組み合わせて使われ、データ出力をイネーブルします。読出し動作中は、必ず $\overline{\text{WR}}$ ピンをハイ・レベルにしてください。
6	$\overline{\text{WR}}$	書込み入力。 $\overline{\text{CS}} = \text{ロー・レベル}$ 、かつ $\overline{\text{RD}} = \text{ハイ・レベル}$ のときの $\overline{\text{WR}}$ 入力の立上がりエッジで、DB0～DB3 のロジック状態がチャンネル選択レジスタにラッチされます。
7	CLK IN/SL1	変換クロック入力/ハードウェア・チャンネル選択。このピンの機能は、 $\overline{\text{H/S SEL}}$ 入力に依存します。 $\overline{\text{H/S SEL}}$ 入力が高レベルのとき (チャンネル選択シーケンスのソフトウェア制御を選択)、このピンはCLK IN 機能になります。CLK INは外部から入力されるクロックになるため(INT/EXT CLKが高レベルのときのみ必用)、AD7865 の変換レートをユーザが制御できるようになります。各変換では変換が完了するために 16 クロック・サイクル必用です。クロックのデューティ・サイクルは 60/40 を超えることはできません。外部クロックの使用を参照してください。 $\overline{\text{H/S SEL}}$ 入力が高レベルのとき (チャンネル選択シーケンスのハードウェア制御を選択)、このピンはハードウェア・チャンネル選択機能になります。SL1 入力は、チャンネル 1 がチャンネル変換シーケンスに含まれるか否かを指定します。選択が $\overline{\text{CONVST}}$ の立上がりエッジでラッチされます。変換シーケンスの選択を参照してください。
8	$\overline{\text{INT/EXT CLK/SL2}}$	内部/外部クロック/ハードウェア・チャンネル選択。このピンの機能は、 $\overline{\text{H/S SEL}}$ 入力に依存します。 $\overline{\text{H/S SEL}}$ 入力が高レベルのとき (チャンネル選択シーケンスのソフトウェア制御を選択)、このピンは エラー! ブックマークが定義されていません。 $\overline{\text{INT/EXT CLK}}$ 機能になります。 $\overline{\text{INT/EXT CLK}}$ がロジック 0 のとき、AD7865 は内部発生のマスタ・クロックを使います。 INTエラー! ブックマークが定義されていません。 $\overline{\text{EXT CLK}}$ がロジック 1 のとき、マスタ・クロックはデバイス外部で発生されCLK INに入力されます。 $\overline{\text{H/S SEL}}$ 入力が高レベルのとき (チャンネル選択シーケンスのハードウェア制御を選択)、このピンはハードウェア・チャンネル選択機能になります。SL2 入力は、チャンネル 2 がチャンネル変換シーケンスに含まれるか否かを指定します。選択は、 $\overline{\text{CONVST}}$ の立上がりエッジでラッチされます。 $\overline{\text{H/S}}$ がロジック 1 のとき、これらのピンには機能がないためロジック 1 またはロジック 0 に固定することができます。変換シーケンスの選択を参照してください。
9、10	SL3、SL4	ハードウェア・チャンネル選択。 $\overline{\text{H/S SEL}}$ がロジック 0 のとき、SL3 入力はチャンネル 3 がチャンネル変換シーケンスに含まれているか否かを指定します。一方SL4 入力はチャンネル 4 がチャンネル変換シーケンスに含まれているか否かを指定します。このピンがロジック 1 のとき、チャンネルが変換シーケンスに 含まれ います。このピンがロジック 0 のとき、チャンネルが変換シーケンスから除外されています。選択が $\overline{\text{CONVST}}$ の立上がりエッジでラッチされます。変換シーケンスの選択を参照してください。
11	$\overline{\text{H/S SEL}}$	ハードウェア/ソフトウェア選択入力。このピンがロジック 0 のとき、AD7865 変換シーケンス選択がSL1–SL4 入力ピンから制御され、内部クロックが停止します。このピンがロジック 1 のとき、変換シーケンスがチャンネル選択レジスタから制御され、ADC は内部クロックまたは外部クロックで動作できるようになります。変換シーケンスの選択を参照してください。
12	AGND	アナログ・グラウンド。全体アナログ・グラウンド。AGND ピンはシステムの AGND プレーンに接続する必要があります。
13～16	V_{IN4x} 、 V_{IN3x}	アナログ入力。アナログ入力のセクションを参照してください。
17	AGND	アナログ・グラウンド。減衰回路に対するアナログ・グラウンド基準ピン。AGND ピンはシステムの AGND プレーンに接続する必要があります。
18～21	V_{IN2x} 、 V_{IN1x}	アナログ入力。アナログ入力のセクションを参照してください。
22	$\overline{\text{STBY}}$	スタンバイ・モード入力。このピンを使って、デバイスを省電力すなわちスタンバイ・モードにします。 $\overline{\text{STBY}}$ 入力をハイ・レベルにすると、通常動作に、ロー・レベルにするとスタンバイ動作に、それぞれなります。
23	AGND	アナログ・グラウンド。全体アナログ・グラウンド。AGND ピンはシステムの AGND プレーンに接続する必要があります。

ピン 番号	記号	説明
24	V _{REF}	リファレンス入力/出力。このピンは内蔵リファレンス (2.5 V ± 20 mV) に対するアクセスを提供し、さらに内蔵リファレンスを外付けリファレンス電圧源で上書きするときにも使います。このピンと AGND との間に 0.1 μF のデカップリング・コンデンサを接続する必要があります。
25	AV _{DD}	アナログ正電源電圧、5.0 V ± 5%。このピンと AGND との間に 0.1 μF のデカップリング・コンデンサを接続する必要があります。
26	AGND	アナログ・グラウンド。全体アナログ・グラウンド。AGND ピンはシステムの AGND プレーンに接続する必要があります。
27～34	DB13～DB6	データ・ビット 13 は MSB、その後ろにデータ・ビット 12～データ・ビット 6 が続きます。スリーステート TTL 出力。出力コーディングは 2 の補数(AD7865-1 と AD7865-3)とストレート・バイナリ (AD7865-2) です。
35	DV _{DD}	デジタル・セクションの正電源電圧、5.0 V ± 5%。このピンと AGND との間に 0.1 μF のデカップリング・コンデンサを接続する必要があります。DV _{DD} と AV _{DD} は外部で接続する必要があります。
36	V _{DRIVE}	このピンから (DB0～DB13)、BUSY、 $\overline{\text{EOC}}$ 、FRSTDATの出力ドライバに正電源を供給します。通常DV _{DD} に接続します。V _{DRIVE} は 0.1 μF のコンデンサでデカップリングする必要があります。このピンは変換シーケンス中の読出しで、性能を向上させることができます。また、出力データ・ドライバでは 3 V ± 10%電源を使って 3VのプロセッサおよびDSPとインターフェースすることができます。
37	DGND	デジタル・グラウンド。デジタル回路のグラウンド基準。この DGND ピンはシステムの DGND プレーンに接続する必要があります。システムの DGND プレーンと AGND プレーンは 1 点(AGND ピンが望ましい)で接続する必要があります。
38、39	DB5、DB4	データビット 5～データビット 4。スリーステート TTL 出力。
40～43	DB3～DB0	データビット 3～データビット 0。双方向データ・ピン。書込み動作が発生すると、これらのピンはスリーステートTTL出力になります。標準の $\overline{\text{CS}}$ 信号と $\overline{\text{WR}}$ 信号を使ってチャンネル選択レジスタにDB0～DB3 ピンのデータが書込まれます。DB0 はチャンネル 1 を、DB3 はチャンネル 4 を、それぞれ表します。
44	$\overline{\text{EOC}}$	変換完了。アクティブ・ローのロジック出力で、コンバータのステータスを表示します。変換シーケンス内の各変換の完了はこのラインの負パルスで表示されます。

用語集

信号対(ノイズ+歪み)比

これは、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数($f_s/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02 N + 1.76) \text{ dB}$$

したがって、14 ビット・コンバータの場合、86.04 dB になります。

総合高調波歪み

総合高調波歪み(THD)は、高調波の rms 値総和と基本波の比です。AD7865 の場合、次式で与えられます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の rms 振幅で、 V_2 、 V_3 、 V_4 、 V_5 、は 2 次～5 次高調波の rms 振幅です。

ピーク高調波またはスプリアス・ノイズ

高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の (DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれているデバイスの場合は、ノイズ・ピークにより決定されます。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3、... です。相互変調歪みは m と n が非ゼロの項です。たとえば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7865 は、2 つの入力周波数を使ってテストされています。そのため、2 次項と 3 次項は異なる意味を持っています。2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

チャンネル間アイソレーション

チャンネル間アイソレーションは、チャンネル間でのクロストークのレベルを表します。フルスケールの 10 kHz 正弦波信号を 1 つのチャンネルに入力し、50 kHz 信号を別のチャンネルに入力して、最初のチャンネルに混入する信号の大きさを測定することにより決定します。このようにして得た値が AD7865 の全 4 チャンネル間でのワーストケースになります。

相対高精度

相対精度または端点非直線性とは、ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

正のゲイン誤差 (AD7865-1、AD7865-3)

バイポーラ・オフセット誤差を調整した後の、最終のコード変化 ($01 \dots 110 \rightarrow 01 \dots 111$) と理論値 $4 \times V_{REF} - 3/2 \text{ LSB}$ (AD7865、 $\pm 10 \text{ V}$)、 $2 \times V_{REF} - 3/2 \text{ LSB}$ (AD7865、 $\pm 5 \text{ V}$ 範囲)または $V_{REF} - 3/2 \text{ LSB}$ (AD7865、 $\pm 2.5 \text{ V}$ 範囲)との差を意味します。

正のゲイン誤差 (AD7865-2)

ユニポーラ・オフセット誤差を調整した後の、最終のコード変化 ($111 \dots 110 \rightarrow 111 \dots 111$) と理論値 $2 \times V_{REF} - 3/2 \text{ LSB}$ (AD7865、 $0 \text{ V} \sim 5 \text{ V}$)、 $2 \times V_{REF} - 3/2 \text{ LSB}$ (AD7865、 $0 \text{ V} \sim 2.5 \text{ V}$)との差を意味します。

ユニポーラ・オフセット誤差 (AD7865-2)

理論値 AGND + 1/2 LSB と最初のコード変化 ($000 \dots 000$) から ($000 \dots 001$) との差を意味します。

バイポーラ・ゼロ誤差 (AD7865-1、AD7865-3)

ミッドスケール変化 (全ビット 0 $\rightarrow$ 全ビット 1) と理論値 AGND - 1/2 LSB との差を意味します。

負のゲイン誤差 (AD7865-1、AD7865-3)

バイポーラ・ゼロ誤差を調整した後の、最初のコード変化 ($10 \dots 000 \rightarrow 10 \dots 001$) と理論値 $-4 \times V_{REF} + 1/2 \text{ LSB}$ (AD7865、 $\pm 10 \text{ V}$ 範囲)、 $-2 \times V_{REF} + 1/2 \text{ LSB}$ (AD7865、 $\pm 5 \text{ V}$ 範囲)または $-V_{REF} + 1/2 \text{ LSB}$ (AD7865、 $\pm 2.5 \text{ V}$ 範囲)との差を意味します。

トラック/ホールド・アキュイジション時間

トラック/ホールド・アキュイジション時間は、変換終了後 (トラック/ホールドがトラック・モードに戻るポイント) にトラック/ホールド・アンプが最終値の $\pm 1/2 \text{ LSB}$ 以内に出力が収まるために要する時間です。これは、AD7865 の V_{INxA}/V_{INxB} 入力に加えられた入力電圧にステップ入力変化がある場合にも適用されます。仕様通りにデバイスを動作させるためには、変換完了後または V_{INxA}/V_{INxB} でのステップ入力変化後、次の変換までトラック/ホールド・アキュイジション時間の間、待つ必要があることを意味します。

コンバータの詳細

AD7865 は、5 V 単電源で動作する高速、低消費電力、4 チャンネル同時サンプリングの 14 ビット A/D コンバータです。このデバイスは、2.4 μ s 逐次比較型 ADC、4 個のトラック/ホールド・アンプ、2.5 V のリファレンス電圧、高速パラレル・インターフェースを内蔵しています。同時にサンプルできる 4 アナログ入力があるため、4 アナログ入力の信号の相対位相情報が保存されます。4 チャンネルから選択したサブセットで変換が行われます。このデバイスのアナログ入力範囲は、 ± 10 V または ± 5 V (AD7865-1)、0 V $\sim$ 2.5 V または 0 V $\sim$ 5 V (AD7865-2)、 ± 2.5 V (AD7865-3) です。デバイスのアナログ入力の過電圧保護機能は、 ± 18 V (AD7865-1、 ± 10 V 入力範囲)、 ± 9 V (AD7865-1、 ± 5 V 入力範囲)、 -1 V $\sim$ $+18$ V (AD7865-2)、 -4 V $\sim$ $+18$ V (AD7865-3) までの入力電圧を損傷することなく許容します。AD7865 には、変換と変換の間の読出しと変換シーケンス後の読出しの 2 つの動作モードがあります。これらのモードについては、タイミングと制御のセクションで詳しく説明します。

CONVST にパルスを入力すると AD7865 上で変換が開始されます。CONVST の立上がりエッジで、4 個すべての内蔵トラック/ホールドが同時にホールド・モードになり、選択された全チャンネルで変換シーケンスが開始されます。チャンネルの選択は $\overline{\text{H/S SEL}}$ がロジック 0 の場合は SL1 ピン $\sim$ SL4 ピンを使って、または $\overline{\text{H/S SEL}}$ がロジック 1 の場合はチャンネル・セレクト・レジスタを使って、それぞれ行います—変換シーケンスの選択を参照してください。チャンネル選択レジスタは、双方向データ・ライン DB0 $\sim$ DB3 と標準の書き込み動作により設定されます。選択した変換シーケンスは CONVST の立上がりエッジでラッチされるため、選択を変えると、新しい変換シーケンスが開始された後に有効になります。このビジー出力信号は CONVST の立上がりエッジでハイ・レベルになり、変換シーケンスが完了するまでハイ・レベルを維持します。デバイスの変換クロックは、レーザ・トリムされたクロック発振器回路を使って内部で発生されます。また、外部クロックを使用するオプションもあります。このオプションを使用するときは、 $\overline{\text{INT/EXT CLK}}$ ピン・ロジックをハイ・レベルにし、外部クロックを CLKIN ピンへ入力します。ただし、最適スループットは内部発生のクロックを使用したときに得られます—外部クロックの使用を参照してください。EOC 信号により、変換シーケンス内での各変換の終了が表示されます。BUSY 信号はフル変換シーケンスの終了を表示し、この時点で 4 個すべてのトラック・アンド・ホールドがトラック・モードに戻ります。変換結果は、フル変換シーケンスが終了したとき (BUSY のロー・レベルで表示) または各変換結果が格納されたとき (EOC のロー・レベルで表示) に読出することができます。デバイスからのデータの読出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を使う 14 ビットのパラレル・データバスを経由して行います—タイミングと制御を参照してください。

AD7865 の変換時間は 2.4 μ s で、トラック/ホールド・アクイジション時間は 0.35 μ s です。デバイスの最適性能を実現するためには、**エラー! ブックマークが定義されていません。** チャンネル変換中または次の CONVST 立上がりのエッジ前 100 ns 以内に、読出し動作が発生しないようにすることが必要です。これにより、4 チャンネルすべてが最大 100 kHz のスループット・レートで動作することができます、データ・シート仕様を実現することができます。

トラック/ホールド・セクション

AD7865 のトラック/ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 14 ビット精度で変換することができます。トラック/ホールドの入力帯域幅は、ADC が 350 kSPS の最大スループット・レートで動作した場合でも、ADC のナイキスト・レートより広がっています(すなわち、トラック/ホールドは 175 kHz を超える入力周波数を処理することができます)。

トラック/ホールド・アンプは、入力信号を 14 ビット精度で 350 ns 以下で取得します。トラック/ホールドの動作は本来ユーザには見えません。4 個のトラック/ホールド・アンプは、CONVST の立上がりエッジでそれぞれの入力チャンネルを同時にサンプルします。トラック/ホールドのアパーチャ時間 (外部 CONVST 信号とトラック/ホールドの実際のホールド・モード開始との間の遅延時間) は 15 ns (typ) で、さらに重要なことはデバイス内で 4 個のトラック/ホールドで一致しており、さらにデバイスとデバイスの間でも一致しています。このため、異なる入力チャンネル間の相対位相情報が正確に保存されます。また、複数の AD7865 で 3 チャンネル以上を同時にサンプルすることができます。変換シーケンスが完了すると、デバイスはトラック・モードに戻ります。トラック/ホールド・アンプのアクイジション時間は、このタイミングから開始されます。

トラック/ホールド回路の自動ゼロ・セクションは、最大 $4 \times \pi \times$ (フルスケール範囲) の入力スループットで動作するようにデザインされています。これは、任意の入力範囲で最大 4 MHz のフルスケール正弦波に対応します。アクイジション時間内でこのレベルを超えるスループットでは、AD7865 から正しい変換結果を得ることはできなくなります。

リファレンス電圧セクション

AD7865 には 1 本のリファレンス・ピン (V_{REF}) があります。このピンを使うと、デバイス内蔵の 2.5 V リファレンス電圧を使用することができます。あるいは、このピンに外付け 2.5 V リファレンス電圧を接続してデバイスにリファレンス電源を供給することができます。デバイスは 2.5 V のリファレンス電圧で仕様が規定されています。

AD7865 は 2.5 V のリファレンス電圧を内蔵しています。この内蔵リファレンス電圧を AD7865 のリファレンス電源として使用する場合、 V_{REF} ピンと AGND の間に 0.1 μ F のディスク・セラミック・コンデンサを接続してください。このピンに現れる電圧は内部でバッファされた後に ADC へ供給されます。このリファレンス電圧を AD7865 の外部で使用する場合にはバッファが必要です。これは、デバイス内でリファレンス出力と直列に FET スイッチがあるため、この出力のソース・インピーダンスが公称 6 k Ω になるためです。内蔵リファレンス電圧の偏差は 25°C で ± 10 mV、温度係数は 25 ppm/ $^{\circ}\text{C}$ (typ)、温度に対する最大誤差は ± 20 mV です。

アプリケーションでこれより小さい偏差のリファレンス電圧が必要な場合、または AD7865 をシステム・リファレンス電圧で使用する場合、外付けリファレンスをこの V_{REF} ピンに接続することができます。外付けリファレンス電圧により内蔵リファレンス電圧を上書きして、ADC へリファレンス電源を供給することができます。リファレンス入力はバッファした後に ADC に接続され、最大入力電流は ± 100 μ A です。AD7865 に適するリファレンス電源としては、高精度 2.5 V リファレンス電圧の AD680、AD780、REF192、REF43 などがあります。

回路説明

アナログ入力セクション

AD7865 には 3 種類のデバイス・タイプがあります。AD7865-1 は $\pm 10\text{ V}$ または $\pm 5\text{ V}$ の入力電圧範囲を、AD7865-3 は $\pm 2.5\text{ V}$ の入力電圧範囲を、AD7865-2 は $0\text{ V}\sim 2.5\text{ V}$ または $0\text{ V}\sim 5\text{ V}$ の入力電圧範囲を、それぞれ処理します。アナログ入力に流入させることができる電流の大きさは、アナログ入力範囲とアナログ入力電圧に依存します。負のフルスケールを入力したときに最大電流が流れます。

AD7865-1

図 2 に、AD7865-1 のアナログ入力セクションを示します。AD7865-1 では $\pm 5\text{ V}$ 動作または $\pm 10\text{ V}$ 動作に設定することができます。 $\pm 5\text{ V}$ 動作の場合、 V_{INxA} 入力と V_{INxB} 入力を接続して、入力を両方に加えます。 $\pm 10\text{ V}$ 動作の場合は、 V_{INxB} 入力を AGND に接続して、入力電圧を V_{INxA} 入力に加えます。 V_{INxA} 入力と V_{INxB} 入力は対称であるため、どちらを使っても同じです。したがって、 $\pm 10\text{ V}$ 範囲での PCB レイアウトを容易にするため、入力電圧を V_{INxB} 入力に加え、 V_{INxA} 入力を AGND に接続することもできます。

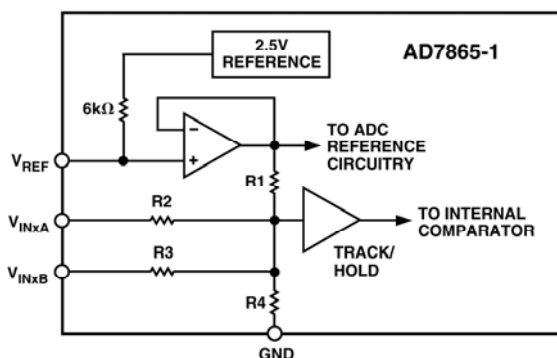


図 2. AD7865-1 のアナログ入力構造

AD7865-1 の場合、 $R1 = 4\text{ k}\Omega$ 、 $R2 = 16\text{ k}\Omega$ 、 $R3 = 16\text{ k}\Omega$ 、 $R4 = 8\text{ k}\Omega$ になります。抵抗入力ステージの後ろにはトラック/ホールド・アンプの高入力インピーダンス・ステージが続きます。

デザイン上のコード変化は連続する LSB 整数値の中間(1/2 LSB、3/2 LSB、5/2 LSB など)で発生します。LSB サイズは $1\text{ LSB} = \text{FSR}/16384$ になります。 $\pm 5\text{ V}$ 範囲の場合、 $1\text{ LSB} = 10\text{ V}/16384 = 610.4\text{ }\mu\text{V}$ 。 $\pm 10\text{ V}$ 範囲の場合、 $1\text{ LSB} = 20\text{ V}/16384 = 1.22\text{ mV}$ 。出力コーディングは 2 の補数バイナリで、 $1\text{ LSB} = \text{FSR}/16384$ です。AD7865-1 の理論入力/出力伝達関数を表 I に示します。

表 I. AD7865-1 の理論入力/出力コード表

Analog Input ¹	Digital Output Code Transition
+FSR/2 – 3/2 LSB ²	011 ... 110 to 011 ... 111
+FSR/2 – 5/2 LSB	011 ... 101 to 011 ... 110
+FSR/2 – 7/2 LSB	011 ... 100 to 011 ... 101
AGND + 3/2 LSB	000 ... 001 to 000 ... 010
AGND + 1/2 LSB	000 ... 000 to 000 ... 001
AGND – 1/2 LSB	111 ... 111 to 000 ... 000
AGND – 3/2 LSB	111 ... 110 to 111 ... 111
–FSR/2 + 5/2 LSB	100 ... 010 to 100 ... 011
–FSR/2 + 3/2 LSB	100 ... 001 to 100 ... 010
–FSR/2 + 1/2 LSB	100 ... 000 to 100 ... 001

注

¹ FSR はフルスケール範囲、 $V_{\text{REF}} = 2.5\text{ V}$ のとき、FSR は $\pm 10\text{ V}$ 範囲で 20 V 、 $\pm 5\text{ V}$ 範囲で 10 V 。

² $1\text{ LSB} = \text{FSR}/16384 = 1.22\text{ mV}$ ($\pm 10\text{ V}$ —AD7865-1)、 610.4 mV ($\pm 5\text{ V}$ —AD7865-1)、 $V_{\text{REF}} = 2.5\text{ V}$ 。

AD7865-2

図 3 に、AD7865-2 のアナログ入力セクションを示します。各入力は $0\text{ V}\sim 5\text{ V}$ 動作または $0\text{ V}\sim 2.5\text{ V}$ 動作に設定することができます。 $0\text{ V}\sim 5\text{ V}$ 動作の場合は、 V_{INxB} 入力を AGND に接続して、入力電圧を V_{INxA} 入力に加えます。 $0\text{ V}\sim 2.5\text{ V}$ 動作の場合、 V_{INxA} 入力と V_{INxB} 入力を接続して、入力電圧を両方に加えます。 V_{INxA} 入力と V_{INxB} 入力は対称であるため、どちらを使っても同じです。したがって、 $0\text{ V}\sim 5\text{ V}$ 範囲での PCB レイアウトを容易にするため、入力電圧を V_{INxB} 入力に加え、 V_{INxA} 入力を AGND に接続することもできます。

AD7865-2 の場合、 $R1 = 4\text{ k}\Omega$ 、 $R2 = 4\text{ k}\Omega$ です。この場合も、デザイン上のコード遷移は LSB の連続する整数倍値で発生します。出力コーディングはストレート・バイナリで、 $0\text{ V}\sim 2.5\text{ V}$ 範囲では $1\text{ LSB} = \text{FSR}/16384 = 2.5\text{ V}/16384 = 0.153\text{ mV}$ に、 $0\text{ V}\sim 5\text{ V}$ 範囲では $5\text{ V}/16384 = 0.305\text{ mV}$ に、それぞれなります。表 II に理論入力と出力を示します。

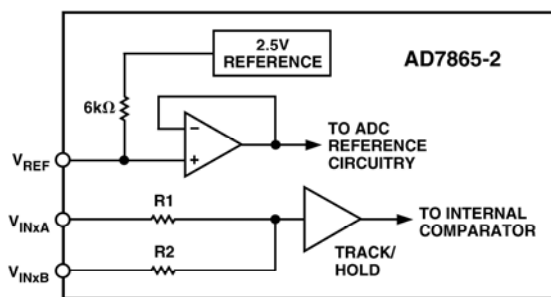


図 3. AD7865-2 のアナログ入力構造

表 II. AD7865-2 の理論入力/出力コード表

Analog Input ¹	Digital Output Code Transition
+FSR/2 – 3/2 LSB ²	111 ... 110 to 111 ... 111
+FSR/2 – 5/2 LSB	111 ... 101 to 111 ... 110
+FSR/2 – 7/2 LSB	111 ... 100 to 111 ... 101
AGND + 5/2 LSB	000 ... 010 to 000 ... 011
AGND + 3/2 LSB	000 ... 001 to 000 ... 010
AGND – 1/2 LSB	000 ... 000 to 000 ... 001

注

¹ FSR は AD7865-2 のフルスケール範囲、 $V_{\text{REF}} = 2.5\text{ V}$ のとき、FSR は $0\text{ V}\sim 2.5\text{ V}$ と $0\text{ V}\sim 5\text{ V}$ 。

² $V_{\text{REF}} = 2.5\text{ V}$ のとき、AD7865-2 の $1\text{ LSB} = \text{FSR}/16384 = 0.153\text{ mV}$ ($0\text{ V}\sim 2.5\text{ V}$)、 0.305 mV ($0\text{ V}\sim 5\text{ V}$)。

AD7865-3

図 4 に、AD7865-3 のアナログ入力セクションを示します。アナログ入力範囲は V_{INxA} 入力で ± 2.5 V。 V_{INxB} 入力はフローティングのままにしておくことができますが、接続する場合には AGND の電位に接続する必要があります。

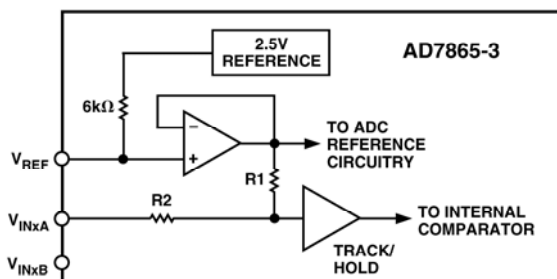


図 4. AD7865-3 のアナログ入力構造

AD7865-3 の場合、 $R1 = 4$ k Ω かつ $R2 = 4$ k Ω です。このため、 V_{INxA} 入力は低インピーダンス・ソースから駆動する必要があります。抵抗入力ステージの後ろにはトラック/ホールド・アンプの高入力インピーダンス・ステージが続きます。

デザイン上のコード変化は連続する LSB 整数値の中間(1/2 LSB、3/2 LSB、5/2 LSB など)で発生します。LSB サイズは 1 LSB = FSR/16384 になります。出力コーディングは 2 の補数バイナリで、1 LSB = FSR/16384 = 5 V/16384 = 610.4 μ V です。AD7865-3 の理論入力/出力伝達関数を表 III に示します。

表 III. AD7865-3 の理論入力/出力コード表

Analog Input ¹	Digital Output Code Transition
+FSR/2 – 3/2 LSB ²	011 ... 110 to 011 ... 111
+FSR/2 – 5/2 LSB	011 ... 101 to 011 ... 110
+FSR/2 – 7/2 LSB	011 ... 100 to 011 ... 101
AGND + 3/2 LSB	000 ... 001 to 000 ... 010
AGND + 1/2 LSB	000 ... 000 to 000 ... 001
AGND – 1/2 LSB	111 ... 111 to 000 ... 000
AGND – 3/2 LSB	111 ... 110 to 111 ... 111
–FSR/2 + 5/2 LSB	100 ... 010 to 100 ... 011
–FSR/2 + 3/2 LSB	100 ... 001 to 100 ... 010
–FSR/2 + 1/2 LSB	100 ... 000 to 100 ... 001

注

¹FSR はフルスケール範囲で、 $V_{REF} = 2.5$ V のとき 5 V。

²1 LSB = FSR/16384 = 610.4 μ V (± 2.5 V—AD7865-3)、 $V_{REF} = 2.5$ V。

変換シーケンスの選択

$V_{IN1} \sim V_{IN4}$ の 4 チャンネルから任意のサブセットを選択して変換することができます。選択したチャンネルは昇順に変換されます。例えば、チャンネル選択に V_{IN4} 、 V_{IN1} 、 V_{IN3} が含まれる場合、変換シーケンスは V_{IN1} 、 V_{IN3} 、 V_{IN4} の順です。変換シーケンスの選択は、ハードウェア・チャンネル・セレクト入力ピン SL1~SL4 を使って行うか ($\overline{H/S}$ = ロー・レベルの場合)、またはチャンネル選択レジスタ ($\overline{H/S}$ = ハイ・レベルの場合)を設定して行います。 $\overline{CONVST}$ がハイ・レベルになるときに、ハードウェア・チャンネル・セレクト・ピンがハイ・レベルの場合(またはチャンネル選択レジスタがロジック 1 場合)、対応するアナログ入力チャンネルが変換シーケンスに含まれるように設定されます。

図 5 にこの構成を示します。 $\overline{H/S}$ SELによりマルチプレクサが制御されます。このマルチプレクサは変換シーケンスの情報源(ハードウェア・チャンネル・セレクト・ピン (SL1~SL4) またはチャンネル選択レジスタ)を選択します。変換が開始されると、マルチプレクサからの出力が変換シーケンスの終了までラッチされます。データ・バス・ビット DB0~DB3 (DB0 はチャンネル 1 を、DB3 はチャンネル 4 をそれぞれ表します)は双方向であるため、 $\overline{RD}$ がハイ・レベルで、かつ $\overline{CS}$ と $\overline{WR}$ がロー・レベルのとき、チャンネル選択レジスタへの入力になります。DB0~DB3 のロジック状態は、 $\overline{WR}$ がハイ・レベルになるとき、チャンネル選択レジスタへラッチされます。図 6 に、ソフトウェア制御によるチャンネル選択のロード・シーケンスを示します。変換シーケンスの選択にソフトウェア制御を使う場合には、変換シーケンスの変更が必要なごとに書き込みを行うだけで済みます。これは、チャンネル選択レジスタの情報は異なる情報が書込まれるまで維持されるためです。

ハードウェア・セレクト・ピン SL1 と SL2 は共用ピンであることに注意してください。 $\overline{H/S}$ SELがハイ・レベルのとき (ソフトウェア制御による変換シーケンスを選択)、これらのピンはそれぞれ CLK INと $\overline{INT}$ エラー! ブックマークが定義されていません。/EXT CLKの機能になります。このため、これらのピンのロジック入力、必要とする動作タイプに応じて設定する必要があります (外部クロックの使用を参照してください)。 $\overline{H/S}$ SELがハイ・レベルのとき、SL3 ピンと SL4 ピンには機能がないためハイ・レベルまたはロー・レベルに固定することができます(フローティングにはできません)。

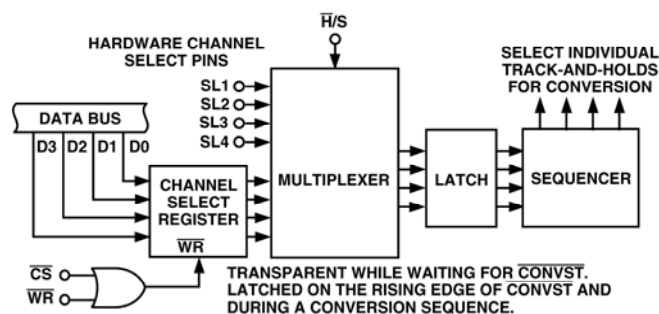


図 5. チャンネル・セレクト入力とレジスタ

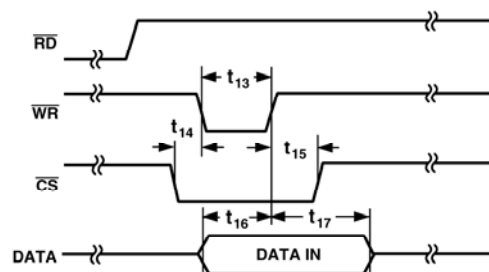


図 6. ソフトウェア制御によるチャンネル選択

タイミングと制御

変換シーケンス中の各変換の間での読出し

図 7 に、AD7865 の最適スループットを得るために必要なタイミングと制御シーケンスを示します。AD7865 の最適スループットを実現するためには、各変換結果が使用可能になったときに読出す必要があります。図 7 のタイミング図に、 $\overline{\text{EOC}}$ 信号がロー・レベルになるごとに実行される読出し動作を示します。図 7 のタイミングでは、変換が 4 個の全アナログ・チャンネルに対して行われるため ($\text{SL1} \sim \text{SL4} = 1$ 、変換シーケンスの選択を参照)、4 個の各変換結果をアクセスするために 4 個の $\overline{\text{EOC}}$ パルスと 4 回の読出し動作が発生します。

変換は $\overline{\text{CONVST}}$ の立上がりエッジで開始されます。これにより、4 個の全トラック/ホールドが同時にホールド状態になります。この変換シーケンスからの新しいデータは、最初に選択されたチャンネル (A_{IN1}) に対して 2.4 μs 後に使用可能になります。各後続チャンネルの変換は、2.4 μs 間隔で完了します。各変換の完了は、 $\overline{\text{EOC}}$ 信号の立下がりエッジで表示されます。BUSY 出力信号は、選択したすべてのチャンネル (この場合は 4) に対する変換の完了を表示します。

デバイスからのデータの読出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を持つ 14 ビットのパラレル・データバスを経由して行います。 $\overline{\text{CS}}$ 入力と $\overline{\text{RD}}$ 入力を内部でゲーティングして、変換結果がデータバスに出力されます。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が共にロー・レベルのとき、データライン DB0~DB13 はハイ・インピーダンス状態になります。したがって、必要に応じて $\overline{\text{CS}}$ をロー・レベルに固定し、 $\overline{\text{RD}}$ 信号を使って変換結果をアクセスすることができます。 $\overline{\text{EOC}}$ がロー・レベルになると同時に各変換結果が出力データ・レジスタへラッチされるため、もう 1 つのオプションとしては、 $\overline{\text{EOC}}$ ピン、 $\overline{\text{RD}}$ ピン、 $\overline{\text{CS}}$ ピンをロー・レベルに固定し、 $\overline{\text{EOC}}$ の立上がりエッジを使って変換結果をラッチすることもできます。AD7865 は変換中に読出しが可能になる特別な機能を持っていますが (例えば出力データ・ドライバ V_{DRIVE} に対する別電源)、最適性能を得るためには $\overline{\text{EOC}}$ が

ロー・レベルのときに (すなわち次の変換の開始前に)、読出し動作を完了させることが推奨されます。

図 7 には $\overline{\text{EOC}}$ パルス中の読出し動作を示していますが、読出し動作は何時でも発生可能です。図 7 に、“静止時間”と呼ばれるタイミング仕様を示します。これは、読出し動作の後で、かつ次の変換の開始前に残っている時間を意味します。この静止時間はデータ・バス容量に強く依存しますが、一般に 50 ns~150 ns です。

FRSTDATA (先頭データ・ワード) と表示されている信号はハイ・レベルのときに、出力データ・レジスタに対応するポインタが最初の変換結果を指していることを表示します。このポインタは、最初の変換が完了し、かつ $\overline{\text{EOC}}$ がロー・レベルになる前にリセットされて、最初のデータ・ロケーション (すなわち最初の変換結果) を指すようになります。ポインタは、その変換結果が使用可能になった場合にのみ $\overline{\text{RD}}$ の立上がりエッジでインクリメントされて、次のレジスタ (次の変換結果) を指すようになります。次の変換が完了する前に読出しが発生する場合 (図 7)、その変換が完了して $\overline{\text{EOC}}$ パルスがロー・レベルになったときポインタはインクリメントされます。したがって、図 7 の FRSTDATA は 2 番目の $\overline{\text{EOC}}$ パルスの直後にロー・レベルになります。変換中の繰り返し読出し動作では、現在のポインタ・ロケーションにあるデータのアクセスを続け、その変換の完了時にポインタがインクリメントされるまで続きます。FRSTDATA は、初期パワーアップ後不確定なロジック状態を持つことに注意してください。これは、パワーアップ後の最初の変換シーケンスでは、最初の変換の完了前に FRSTDATA ロジック出力が既にハイ・レベルになっていることを意味します。この状態を図 7 に点線で示します。また、FRSTDATA ロジック出力も、図 7 の 4 番目の読出し後の場合と同じように前の読出しシーケンスの結果として、既にハイ・レベルになっています。4 番目の読出し ($\overline{\text{RD}}$ の立上がりエッジ) で、ポインタが最初のデータ・ロケーションへリセットされますが、ここでは次の変換シーケンスが開始されたとき、FRSTDATA は既にハイ・レベルになっています。

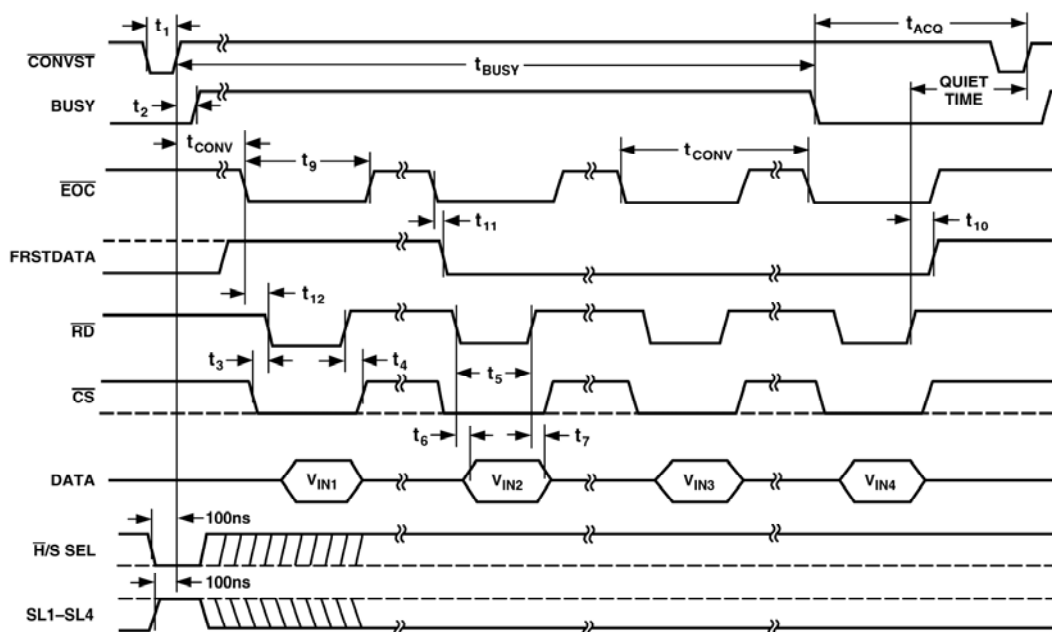


図 7. 変換中読出しのタイミング図

出力データ・レジスタのアクセス

変換シーケンスからの可能な4つの変換結果に対応して、1個ずつ合計4個の出力データ・レジスタがあります。変換シーケンス内の最初の変換結果はレジスタ1に、2番目の変換結果はレジスタ2に、以後同様に、それぞれ格納されます。例えば、変換シーケンス V_{IN1} 、 V_{IN3} 、 V_{IN4} を選択した場合 (変換シーケンスの選択参照)、 V_{IN1} 、 V_{IN3} 、 V_{IN4} の変換結果はそれぞれレジスタ1~3に格納されます。出力データ・レジスタ・ポインタは、シーケンス内の最初の変換の終わりに、 $\overline{EOC}$ がロー・レベルになる直前にリセットされてレジスタ1を指すようになります。この時点で、ロジック出力 $\overline{FRSTDATA}$ はハイ・レベルになり、出力データ・レジスタ・ポインタがレジスタ1をアドレス指定していることを表示します。 $\overline{CS}$ と $\overline{RD}$ が共にロー・レベルのとき、アドレス・レジスタ値がデータ・バス (DB0~DB13) へ出力されます。

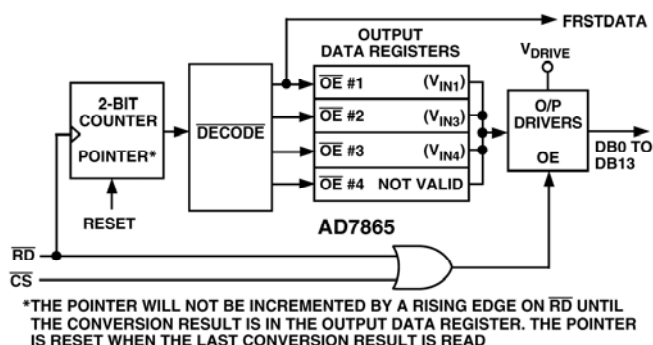


図 8. 出力データ・レジスタ

変換シーケンスの後に出力データ・レジスタを読み出す場合、すなわち $\overline{BUSY}$ がロー・レベルになった場合、レジスタ・ポインタは $\overline{RD}$ 信号の立上がりエッジでインクリメントされますが (図 8)、変換シーケンス内の変換と変換の間に変換結果を読み出す場合には、アドレス指定されたレジスタに有効な変換結果が格納されるまでポインタはインクリメントされません。この場合、変換が完了し、かつ変換結果が出力データ・レジスタに転送されたときに、ポインタがインクリメントされます。これは $\overline{EOC}$ がロー・レベルのとき発生します。すなわち、変換シーケンス内の変換と変換の間の読み出しで説明したように $\overline{EOC}$ を使ってレジスタ値をデータ・バスへ出力するときに発生します。ポインタはシーケンス内の最後の変換結果の読み出し中に $\overline{RD}$ 信号の立上がりエッジでリセット

トされて、レジスタ1を指すようになります。図8に示す例では、これはレジスタ3値が読出されたときに、ポインタがレジスタ1に設定されることを意味しています。

変換シーケンス後の読み出し

図9に、図7と同じ変換シーケンスを示します。ただし、この場合には、全変換が完了した後に、すなわち $\overline{BUSY}$ がロー・レベルになった後に、4個の変換結果 ($V_{IN1} \sim V_{IN4}$) が読出されています。 $\overline{FRSTDATA}$ 信号は、最初の変換の終わりで、かつ $\overline{EOC}$ がロー・レベルになる直前にハイ・レベルになります。前述のように、 $\overline{FRSTDATA}$ には初期パワーアップ後に不確定状態があるため、 $\overline{FRSTDATA}$ が既にハイ・レベルになっていることがあります。変換中の読み出しとは異なり、出力データ・レジスタ・ポインタは $\overline{RD}$ の立上がりエッジでインクリメントされます。これは、このケースでは次の変換結果が使用可能になっているためです。これは、 $\overline{FRSTDATA}$ が $\overline{RD}$ の最初の立上がりエッジでロー・レベルになることを意味します。

連続読み出し動作では、残りの変換結果がチャンネルの昇順にアクセスされます。各読み出し動作では、出力データ・レジスタ・ポインタがインクリメントされます。最後の変換結果をアクセスする読み出し動作により、出力データ・レジスタ・ポインタがリセットされて、次の読み出し動作で最初の変換結果が再度アクセスされるようになります。これを図8に示します。この図では $\overline{BUSY}$ がロー・レベルになった後の5番目の読み出しで、 V_{IN1} の変換結果がアクセスされます。このため、出力データ・レジスタは、変換結果が連続的にアクセスできる循環バッファのように機能します。最初の変換結果が使用可能になったとき、 $\overline{FRSTDATA}$ 信号がハイ・レベルになります。

データは、 $\overline{CS}$ と $\overline{RD}$ を使ってデータ・バス DB0~DB13 へ出力されます。 $\overline{CS}$ と $\overline{RD}$ は、前のセクションで説明した機能と同じ機能になります。 $\overline{BUSY}$ がロー・レベルになった後の読み出し動作の位置については制約または性能の意味はありませんが、読み出し動作と読み出し動作の間に最小時間が必要です。また、次の変換シーケンスの開始前に“静止時間”が必要であることにも注意してください。

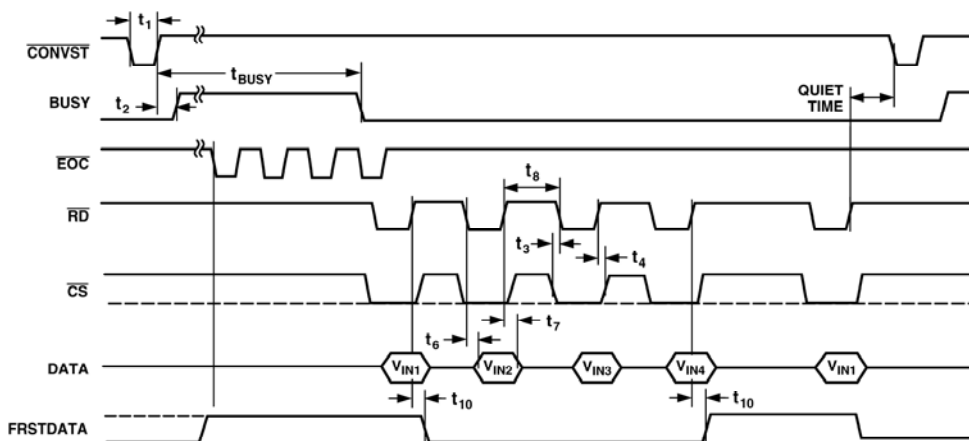


図 9. 変換シーケンス後の読み出しのタイミング図

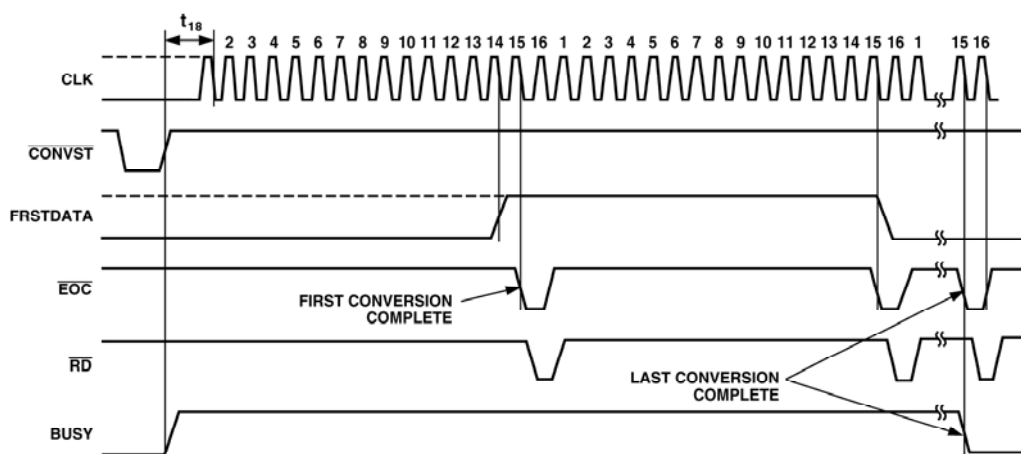


図 10. 外部クロックの使用

外部クロックの使用

H/S SELピンとINT/EXT CLK ピンをロジック 1 に固定すると、AD7865 は外部クロックからの駆動と見なします。外部クロックの最大周波数は 5 MHzです。これは、変換時間が内部クロックを使用した場合の 2.4 μ sと比較すると 3.2 μ sになることを意味します。ただし、場合によっては、高スループット・レートが不要な場合に外部クロックの使用が役立つことがあります。例えば、すべてのデバイスに同じ外部クロックを使用して複数のAD7865 を同期化する場合です。この方法では、内部クロック発振器の周波数の差から発生する、EOCのような出力ロジック信号間には遅延がありません。図 10 に、CLK 信号に種々のロジック出力を同期化する方法を示します。CLKINの最初の立下がりエッジは、変換が開始されて(CONVSTの立上がりエッジ)、BUSYがハイ・レベルになった後の 200 nsまで発生しないようにする必要があります。その後AD7865 は、選択した最初のチャンネルのアナログ入力信号(変換シーケンスの選択参照)をCLKINで決定されるレートで変換します。CLKINの 14 番目の立下がりエッジまで、外部イベントは発生しません。次に、データ・レジスタ出力アドレスがリセットされて、データ・レジスタ 1 を指すようになり、FRSTDATAがハイ・レベルになります。この最初の変換は CLKINの 15 番目の立下がりエッジで完了し (EOCのロー・レベルへの変化で表示)、この変換結果がデータ・レジスタ 1 へロードされます。EOCは CLKINの 16 番目の立下がりエッジで再度ハイ・レベルになります。図 10 に、EOCがロー・レベルのときRD パルスが発生して、データ・レジスタ 1 の変換結果がデータ・バスへ出力されることを示します。CLKINの次の 16 個のパルスにより、選択した 2 番目のチャンネルのアナログ入力信号が変換され、以後同様にすべての選択したチャンネルが変換されるまで続きます。BUSYとEOCは最後の変換シーケンスの 15 番目の立下がりエッジでロー・レベルになり、EOCは 16 番目の立下がりエッジでハイ・レベルに戻ります。

スタンバイ・モード動作

AD7865 には、デバイスを以後低消費電流モード (3 μ A typ)にすることができるスタンバイ・モードがあります。ロジック入力 $\overline{\text{STBY}}$ をロー・レベルにすると、AD7865 はスタンバイになります。 $\overline{\text{STBY}}$ をハイ・レベルにすると、AD7865 はパワーアップして通常動作に戻ります。AD7865 がスタンバイ中でも、出力データ・バッファは動作を続けます。これは、AD7865 がスタンバイ中でも変換結果のアクセスを続けることができることを意味します。

この機能を使うと、低スループット・レートを使ってシステム内の平均消費電力を減らすことができます。平均消費電力を減らすときは、各変換シーケンスの終わりに、すなわち BUSY がロー・レベルになったとき AD7865 をスタンバイにし、次の変換シーケンスの開始前にスタンバイから抜け出させます。AD7865 がスタンバイから抜け出すために要する時間は、“ウェイクアップ”時間と呼ばれます。このウェイクアップ時間により、変換と変換の間にパワーダウンする場合、AD7865 が動作できる最大スループット・レートが制約されます。外付けリファレンス電圧を使用する場合の AD7865 のウェイクアップ時間は 1 μ s 以下です。内部リファレンス電圧を使用する場合のウェイクアップ時間は、AD7865 がスタンバイ・モードに留まる時間に依存します。スタンバイ時間が 10 ms 以下の場合、AD7865 は 5 μ s 以下でウェイクアップします (図 11 参照)。スタンバイ時間がこれより長い場合、外付けリファレンス・コンデンサの電荷の一部または全部がリークするため、ウェイクアップ時間は再充電に要する時間に依存します。スタンバイ時間が 1 sec 以下の場合、ウェイクアップ時間は 1 ms 以下です。電荷が完全になくなった場合でも、ウェイクアップ時間は 10 ms (typ)以下です。

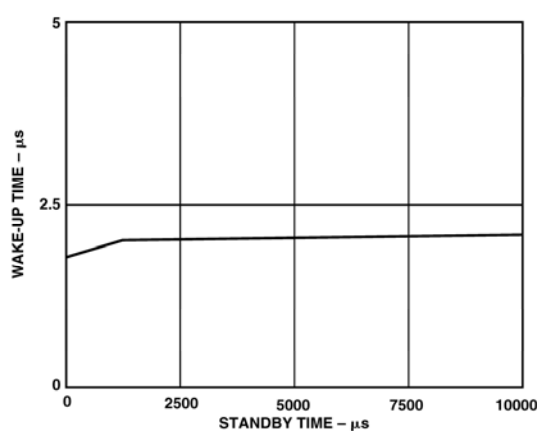


図 11. 内蔵リファレンス使用時のスタンバイ時間対ウェイクアップ時間

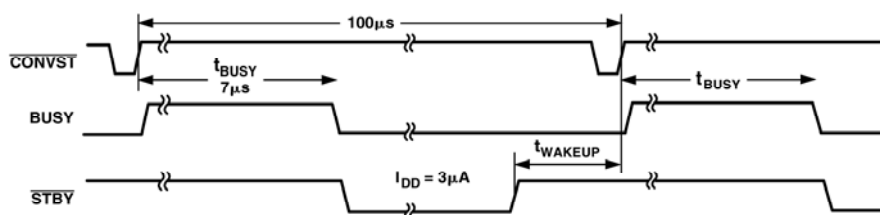


図 12. 変換シーケンスと変換シーケンス間のパワーダウン

AD7865 が変換と変換の間にスタンバイ・モードで動作する場合、電力の節約は大きくなります。例えば、スループット・レート = 10 kSPS で外付けリファレンス電圧を使う場合、AD7865 は各 100 μs あたり 11 μs パワーアップします (ウェイクアップ時間に 1 μs、4 チャンネルの変換に 9.6 μs)。したがって、平均消費電力は (115 mW × 10.6%) すなわち、約 12.2 mW に低下します。

オフセットとフルスケールの調整

大部分のデジタル信号処理 (DSP) アプリケーションでは、システム性能に対するオフセット誤差とフルスケール誤差の影響は殆どありません。オフセット誤差は常にアナログ領域で AC 結合によりなくすことができます。フルスケール誤差の影響は直線的であるため、入力信号が ADC のフル・ダイナミック・レンジ内にあるかぎり問題になりません。アプリケーションによっては、入力信号範囲がアナログ入力のフル・ダイナミック・レンジに一致することが要求される場合があります。このようなアプリケーションでは、オフセット誤差とフルスケール誤差をゼロに調整する必要があります。

図 13 に、AD7865 のオフセット誤差とフルスケール誤差の調整に使用できる代表的な回路を示します (例として AD7865-1 パージョンの V_1 を示してあります)。調整が必要な場合、オフセット誤差をフルスケール誤差より先に調整する必要があります。これは、入力電圧をアナログ・グラウンドより 1/2 LSB 低くして、AD7865 のアナログ入力を駆動するオペアンプのオフセットを調整することにより行います。調整手順は次のようになります。すなわち、 V_1 に電圧 - 610 μV (-1/2 LSB) を加えて、ADC 出力コードが 1111 1111 1111 と 0000 0000 0000 の間でフリッカするようにオペアンプ・オフセット電圧を調整します。

ゲイン誤差は、最初のコード変化 (ADC 負フルスケール) または最後のコード変化 (ADC 正フルスケール) で調整することができます。両ケースの調整手順は次のようになります。

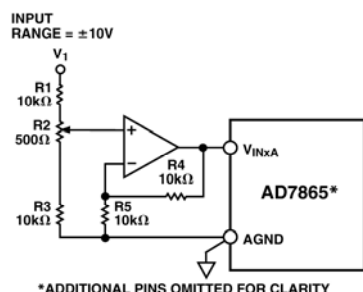


図 13. フルスケール調整回路

正のフルスケール調整

電圧 9.9982 V ($FS/2 - 3/2$ LSB) を V_1 に加えます。ADC 出力コードが 01 1111 1111 1110 と 01 1111 1111 1111 の間でフリッカするように、R2 を調整します。

負のフルスケール調整

V_1 に -9.9998 V ($-FS + 1/2$ LSB) を加えて、ADC 出力コードが 10 0000 0000 0000 と 10 0000 0000 0001 の間でフリッカするように、R2 を調整します。

外付けリファレンス電圧を使うシステムでフルスケール誤差を調整する別の方式は、すべてのチャンネルのフルスケール誤差が調整されるまで、 V_{REF} ピンの電圧を調整する方式です。チャンネル間のフルスケールが一致すると、他のチャンネルのフルスケール誤差が小さくなります。

ダイナミック仕様

AD7865 では、積分非直線性や微分非直線性のような従来の DC 仕様の他にダイナミック性能仕様も規定して、100% テストしています。これらの AC 仕様は、フェーズド・アレイ・ソナー、適応型フィルタ、スペクトル解析などのような信号処理アプリケーションに必要です。これらのアプリケーションでは、入力信号のスペクトルに対する ADC の影響についての情報が必要です。このため、AD7865 で規定するパラメータとしては、SNR、高調波歪み、相互変調歪み、ピーク高調波などがあります。これらの用語を次のセクションで説明します。

信号対ノイズ比 (SNR)

SNR は、ADC 出力で測定される信号対ノイズ比です。信号は基本波の rms 振幅です。ノイズは 1/2 サンプリグ周波数 ($f_s/2$) までの全高調波の和で表します (DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、信号対ノイズ比の理論値は次式で表されます。

$$SNR = (6.02N + 1.76) \text{ dB} \quad (1)$$

ここで、 N はビット数です。

したがって、14 ビット・コンバータの場合、86.04 dB になります。

図 14 に、5 V 電源で AD7865 を使い DC 入力を 8192 回変換した場合のヒストグラムを示します。アナログ入力は、コード変化の中央に設定されています。コードは主に 1 出力に集中して分類され、ADC の非常に優れたノイズ性能を表しています。

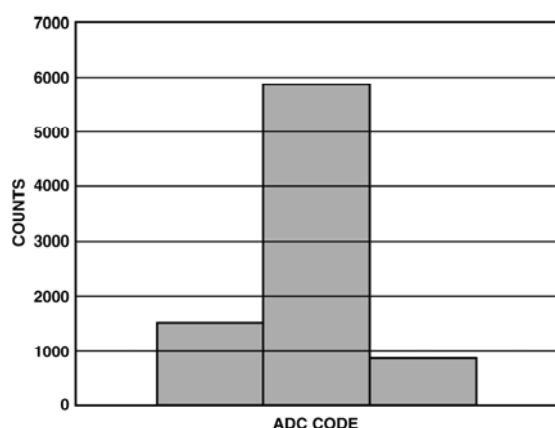


図 14. DC 入力を 8192 回変換した場合のヒストグラム

ADC の出力スペクトルは非常に歪みの小さい正弦波信号をアナログ入力に加えて評価されます。高速フーリエ変換 (FFT) プロットを生成し、それから SNR データを取得することができます。図 15 に、入力信号 100 kHz とサンプル周波数 350 kHz における AD7865 の代表的な 4096 FFT プロットを示します。このグラフから得られる SNR は 80.5 dB です。SNR を計算するとき、高調波が考慮されていることに注意してください。

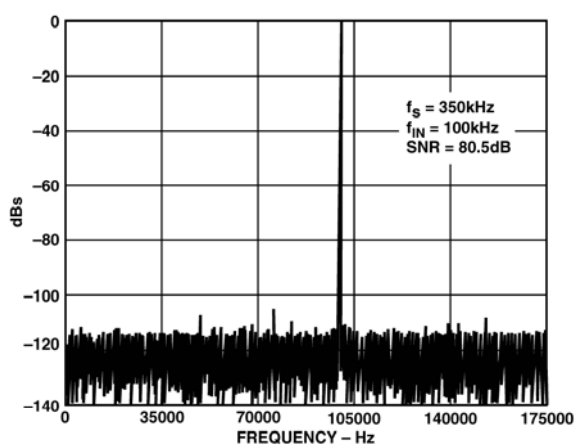


図 15. FFT プロット

実効ビット数

式 1 は、SNR とビット数の関係を表しています。この式を式 2 に変形すると、実効ビット数 (N) で表した性能を得ることができます。

$$N = \frac{SNR - 1.76}{6.02} \quad (2)$$

デバイスの実効ビット数は、測定した SNR から直接計算することができます。図 16 に、AD7865-2 の実効ビット数と入力周波数の関係を示します。

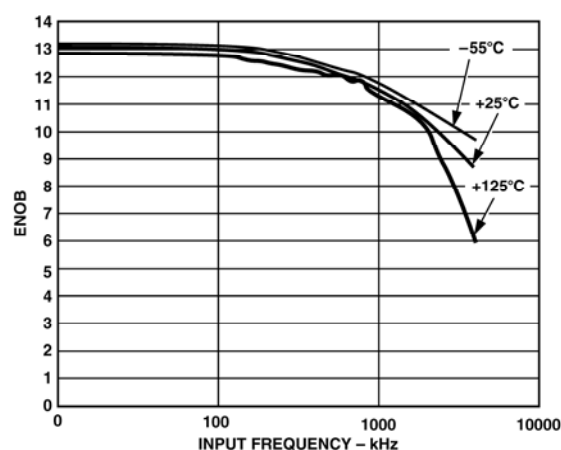


図 16. 周波数対実効ビット数

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 $m, n = 0, 1, 2, 3, \dots$ です。相互変調歪みの項とは、 m または n がゼロでない項をいいます。たとえば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7865 は、2 つの入力周波数を使ってテストされています。そのため、2 次項と 3 次項は異なる意味を持っています。2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。この場合、入力は 2 つの等振幅、低歪み正弦波です。エラー! ブックマーク名が指定されていません。図 17 に AD7865 の代表的な IMD プロットを示します。

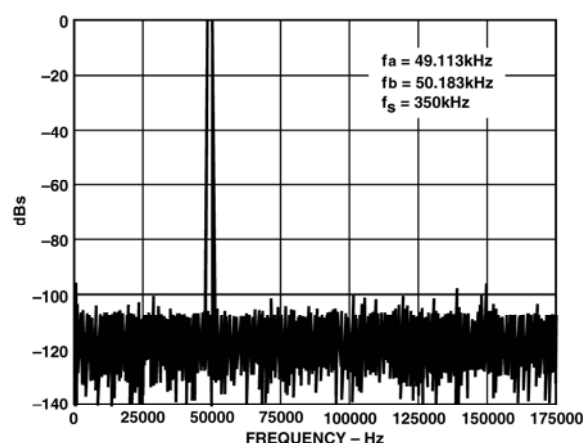


図 17. IMD プロット

AC 直線性のプロット

図 18エラー! ブックマーク名が指定されていません。に、AD7865 の代表的な DNL と INL のプロットを示します。

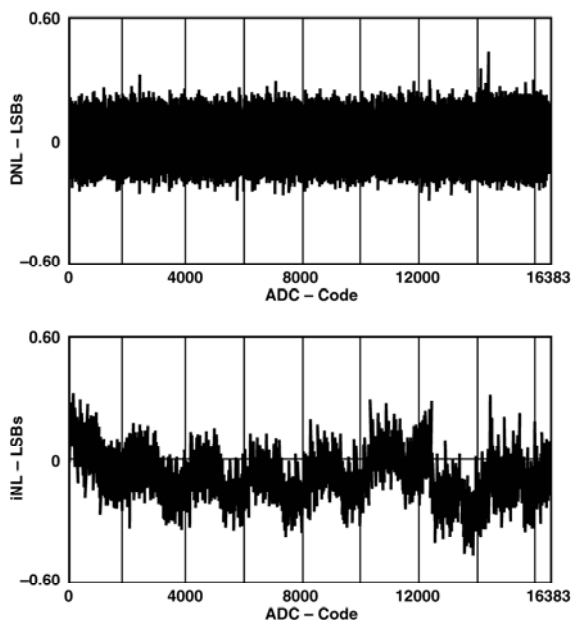


図 18.代表的な DNL と INL のプロット

マイクロプロセッサ・インターフェース

AD7865 の高速パラレル・インターフェースを使うと、大部分の DSPやマイクロプロセッサと容易にインターフェースすることができます。AD7865 のインターフェースは、データ・ライン (DB0~DB13)、CS、RD、WR、EOC、BUSYから構成されています。

AD7865 と ADSP-21xxとのインターフェース

図 19 に、AD7865 と ADSP-210x との間のインターフェースを示します。CONVST 信号は、ADSP-210x から、または外部ソースから入力することができます。図 19 に、ADSP-2100 の DMS 信号とアドレス・バスの組み合わせから発生する CS を示します。この方法では、AD7865 が ADSP-210x のデータ・メモリ空間にマップされます。

AD7865 の BUSY ラインは、選択した全チャンネルで変換シーケンスが完了したとき ADSP 210x への割込みを発生します。変換結果は、連続読出し動作で AD7865 から読出することができます。あるいは、各チャンネルの変換が完了したとき EOC パルスを使って ADSP-210x へ割込みを発生させ、変換シーケンス内の各変換の間に読出することができます(図 8)。AD7865 は次の命令を使って読出されます。

$$MR0 = DM(ADC)$$

ここで、MR0 は ADSP-210x MR0 のレジスタ。ADC は AD7865 のアドレス。

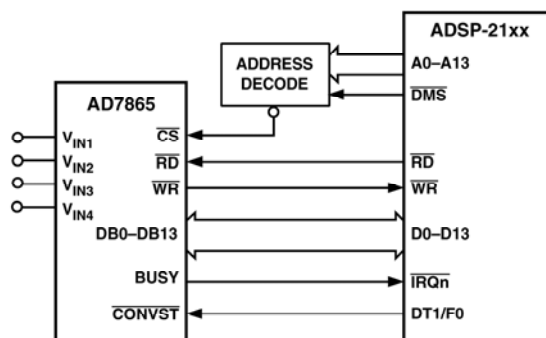


図 19.AD7865 と ADSP-21xx とのインターフェース

AD7865 と TMS320C5xとのインターフェース

図 20 に、AD7865 と TMS320C5x との間のインターフェースを示します。前のインターフェースと同様に、変換は TMS320C5x または外部ソースから開始することができます。変換シーケンスが完了すると、プロセッサへの割込みが発生します。AD7865 に対する CS 信号は、DS 信号とアドレス・バスのデコードから発生されます。これにより、AD7865 は外部データ・メモリにマップされます。TMS320 の RD 信号を使って ADC データがデータ・バスへ出力されます。AD7865 は高速パラレル・バスを持っているためウェイト状態の条件はありません。次の命令により AD7865 の変換結果を讀出します。

IN D,ADC

ここで、D はデータ メモリ アドレス。ADC は AD7865 のアドレス。

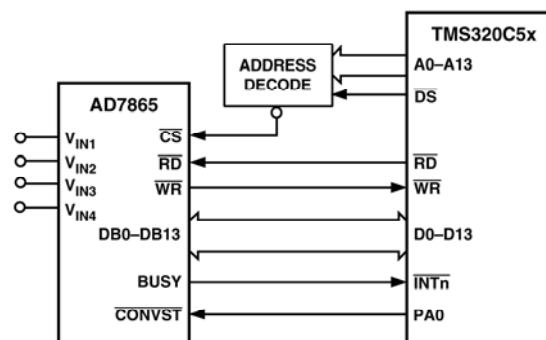


図 20.AD7865 と TMS320C5x とのインターフェース

AD7865 と MC68000 とのインターフェース

図 21 に、AD7865 と MC68000 との間のインターフェースを示します。変換は、MC68000 から、または外部ソースから開始することができます。AD7865 の BUSY ラインを使ってプロセッサへ割込みを発生するか、あるいは、ソフトウェア遅延により変換を完了させた後に、AD7865 へ読出しを行うことができます。割込みには、MC68000 にロジック (図 21エラー! ブックマーク名が指定されていません。では省略) を追加して、正しく割込みできるようにする必要があります。MC68000 の割込みの詳細については、MC68000 のユーザズ・マニュアルをご覧ください。

MC68000 の $\overline{AS}$ 出力と $R/\overline{W}$ 出力を使って、AD7865 に対する別々のエラー! ブックマークが定義されていません。 $\overline{RD}$ 入力信号を発生させます。エラー! ブックマークが定義されていません。 $\overline{CS}$ を使って MC68000 の $\overline{DTACK}$ 入力を駆動して、プロセッサが AD7865 に対する通常の読出し動作を実行できるようにします。変換結果は、次の MC68000 命令を使って読出されます。

MOVE.W ADC,D0

ここで、D0 は MC68000 の D0 レジスタ。ADC は AD7865 のアドレス。

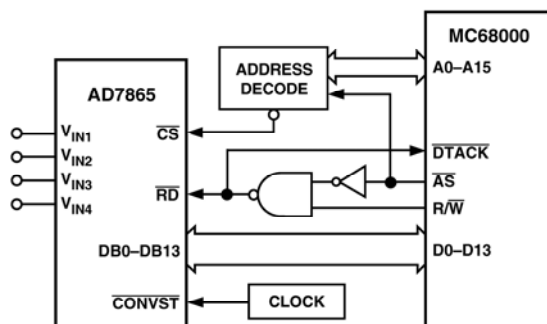


図 21.AD7865 と MC68000 とのインターフェース

ベクタ・モーター・コントロール

モーターに流れる電流は、トルクを発生する成分と磁束を発生する成分の 2 つの成分に分けることができます。モーターの最適性能を得るためには、これらの 2 つの成分を独立に制御する必要があります。3 相モーターの従来制御方法では、モーターに加えられる電流 (または電圧) と駆動周波数が基本制御変数でしたが、トルクと磁束は電流 (または電圧) と周波数の関数になっています。この結合効果によりモーター性能が損なわれます。これは、例えば周波数を上げてトルクを大きくしようとすると、磁束が減少する傾向を持つためです。

AC モーターのベクタ制御では、駆動と電流周波数の他に位相の制御も行います。モーターの位相制御では、モーター内の回転磁界に対するロータ位置の帰還情報が必要です。この情報を使ってベクタ・コントローラは、3 相駆動電流をトルク成分と磁束成分に数学的に変換します。AD7865 は 4 チャンネル同時サンプリング機能を持つため、ベクタ・モーター・コントロール・アプリケーションでの使用に最適です。

AD7865 を使用したベクタ・モーター・コントロールアプリケーションのブロック図を図 22 エラー! ブックマーク名が指定されていません。に示します。磁界の位置は、モーターの各相電流を求めて計算されます。2 相の電流のみ測定すれば済みます。3 相目は 2 相から計算できます。AD7865 の V_{IN1} と V_{IN2} を使ってこの情報をデジタル化します。

同時サンプリングは、2 つのチャンネル間の相対位相情報を維持するために不可欠です。電流検出アイソレーション・アンプ、トランス、またはホール効果センサーを、モーターと AD7865 の間に使います。ロータ情報は、モーターの 2 つの入力電圧を測定して求めます。AD7865 の V_{IN3} と V_{IN4} を使ってこの情報をデジタル化します。

この場合も、2 つのチャンネル間の相対位相が重要です。DSP マイクロプロセッサを使って、数学的変換を行い、AD7865 から帰還される情報に対して制御ループ計算を行います。

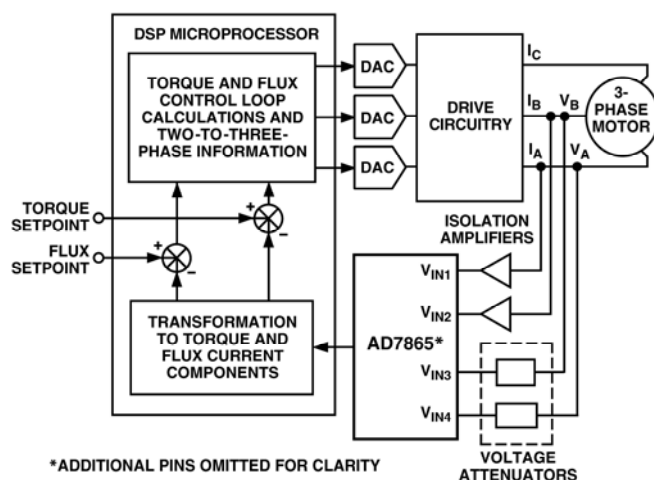


図 22.AD7865 を使用したベクタ・モーター・コントロール

マルチチャンネル・システムでの複数の AD7865

図 23 に、複数の AD7865 を使って複数の入力チャンネルを処理するシステムを示します。このタイプの構成は、ソナーやレーダーなどのようなアプリケーションで一般的です。AD7865 ではアパーチャ遅延マッチングについて最大値を規定しています。これは、すべてのチャンネル間でサンプリング時間の差が既知であることを意味します。この機能により、複数のチャンネル間の相対位相情報が維持されます。AD7865 の最大アパーチャ遅延マッチングは ± 4 ns です。

すべての AD7865 は同じ外部 SAR クロック (5 MHz) を使用します。このため、すべてのデバイスの変換時間が同じであるので、すべてのデバイスが同時に読出されます。図 23 に示す例では、2 個の AD7865 データ出力は $\overline{EOC}$ がロー・レベルになるとき、32 ビット幅のデータ・バスへ出力されます。

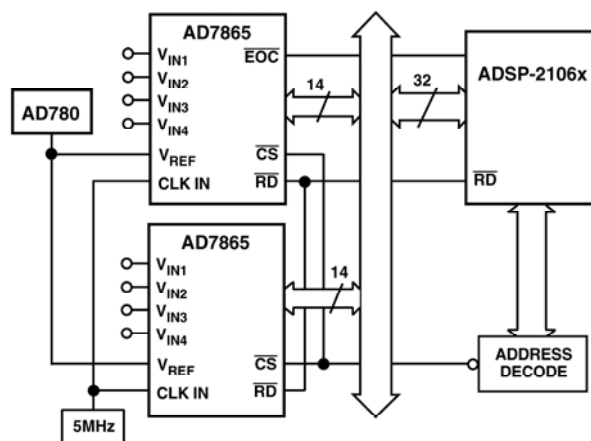


図 23.マルチチャンネル・システムでの複数の AD7865

外形寸法

寸法表示:インチ(mm)

44 ピン・プラスチック・クワッド・フラットパック
(S-44)

