



単電源、レール to レール 低消費電力 FET 入力のおペアンプ

データシート

AD822

特長

真の単電源動作

- レール to レールの出力振幅
- グラウンド未満まで拡張された入力電圧範囲
- 単電源機能: 5V~30V
- デュアル電源機能: $\pm 2.5\text{V} \sim \pm 15\text{V}$

高い負荷駆動能力

- 容量性負荷駆動: 350pF、 $G = +1$
- 15mA の最小出力電流

低消費電力を実現する優れた AC 性能

- 最大静止電流: 800 μA
- ユニティ・ゲイン帯域幅: 1.8MHz
- スルー・レート: 3V/ μs

優れた DC 性能

- 最大入力オフセット電圧: 800 μV
- オフセット電圧ドリフト: 2 $\mu\text{V}/^\circ\text{C}$ (代表値)
- 最大入力バイアス電流: 25pA

低ノイズ

- 13nV/ $\sqrt{\text{Hz}}$ (10kHz 時)
- 位相反転なし

アプリケーション

- バッテリー駆動の高精度計測器
- フォトダイオードのプリアンプ
- アクティブ・フィルタ
- 12 ビット~14 ビットのデータ・アキュイジション・システム
- 医療用計測機器
- 低消費電力リファレンスおよびレギュレータ

概要

AD822 は、高精度低消費電力 FET 入力のデュアルオペアンプで、5V~30V の単電源または $\pm 2.5\text{V} \sim \pm 15\text{V}$ のデュアル電源で動作できます。入力電圧範囲が負側レール未満まで拡張可能な真の単電源動作能力を備えているため、単電源モードでグラウンド未満の入力信号に対応できます。出力電圧振幅は各レールの 10mV 以内までにあたり、最大限の出力ダイナミック・レンジが得られます。

最大 800 μV のオフセット電圧、2 $\mu\text{V}/^\circ\text{C}$ のオフセット電圧ドリフト、25pA 未満の入力バイアス電流、低入力電圧ノイズなどの特長により、最大 1G Ω のソース・インピーダンスで DC 精度を実現しています。1.8MHz のユニティ・ゲイン帯域幅、10kHz 時に -93dB の全高調波歪み (THD)、3V/ μs のスルー・レートが、アンプ 1 個あたり 800 μA の低電源電流で実現可能です。

接続図

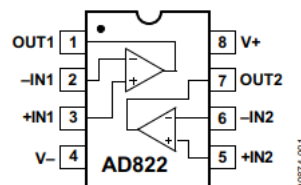


図 1. 8 ピン PDIP (末尾記号: N)、
8 ピン MSOP (末尾記号: RM)、
8 ピン SOIC_N (末尾記号: R)

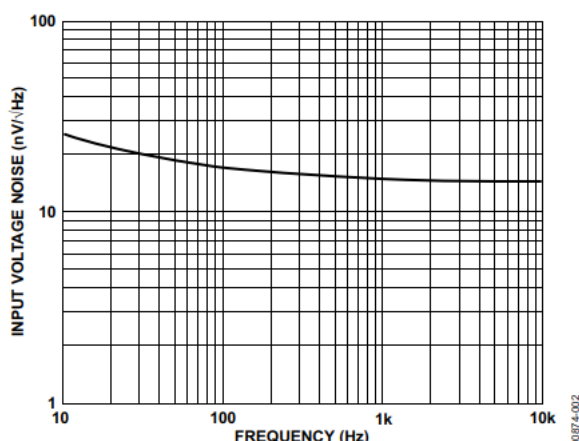


図 2. 入力電圧ノイズと周波数の関係

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. J

©2018-2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪 営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1
アプリケーション	1
接続図	1
概要	1
改訂履歴	2
仕様	4
絶対最大定格	10
熱抵抗	10
最大消費電力	10
ESD に関する注意	10

代表的な性能特性	11
アプリケーション情報	18
入力特性	18
出力特性	18
単電源 V/F コンバータ	19
単電源プログラマブル・ゲインの計装アンプ	20
低ドロップアウト・バイポーラ・ブリッジ・ドライバ	20
外形寸法	21
オーダー・ガイド	22

改訂履歴

9/15—Rev. I to Rev. J

Changes to Figure 12	12
----------------------------	----

1/10—Rev. H to Rev. I

Changes to Features Section and General Description Section	1
Changes to Endnote 1, Table 1	5
Changes to Endnote 1, Table 2	7
Changes to Endnote 1, Table 3	9
Deleted Table 4; Renumbered Sequentially	10
Changes to Table 5	12
Updated Outline Dimensions	21
Changes to Ordering Guide	22
Deleted 3 V, Single-Supply Stereo Headphone Driver Section	22
Deleted Figure 50; Renumbered Sequentially	22

8/08—Rev. G to Rev. H

Changes to Features Section and General Description Section	1
Changed VO to VOUT Throughout	4
Changes to Table 1	6
Changes to Table 3	8
Changes to Table 5	12
Added Table 6; Renumbered Sequentially	12
Changes to Figure 13 Caption	14
Changes to Figure 29, Figure 31, and Figure 35	17
Changes to Figure 36	18
Changed Application Notes Section to Applications Information Section	20
Changes to Figure 46 and Figure 47	21
Changes to Figure 49	22
Changes to Figure 51	23

6/06—Rev. F to Rev. G

Changes to Features	1
Changes to Table 4	10
Changes to Table 5	12
Changes to Table 6	22

10/05—Rev. E to Rev. F

Updated Format	Universal
Changes to Outline Dimensions	24
Updated Ordering Guide	24

1/03—Rev. D to Rev. E

Edits to Specifications	2
Edits to Figure 10	16
Updated Outline Dimensions	17

10/02—Rev. C to Rev. D

Edits to Features	1
Edits to Ordering Guide	6
Updated SOIC Package Outline	17

8/02—Rev. B to Rev. C

All Figures Updated	Universal
Edits to Features	1
Updated All Package Outlines	17

7/01—Rev. A to Rev. B

All Figures Updated	Universal
CERDIP References Removed	1, 6, and 18
Additions to Product Description	1
8-Lead SOIC and 8-Lead MSOP Diagrams Added	1
Deletion of AD822S Column	2
Edits to Absolute Maximum Ratings and Ordering Guide	6
Removed Metallization Photograph	6

7/93—Revision 0: Initial Version

AD822 は、フォロワとして最大で 350pF の直接容量性負荷を駆動し、最小出力電流は 15mA です。これにより、幅広い負荷条件に対応できます。その AC 性能と DC 性能の組み合わせと優れた負荷駆動能力により、このオペアンプは単電源アプリケーションで極めて多様な使い方ができます。

AD822 には 2 つの性能グレードがあります。A グレードおよび B グレードは-40°C~+85°C の工業用温度範囲で定格が規定されています。

また、AD822 には、PDIP、MOSP、SOIC_N の 3 種類の 8 ピン・パッケージがあります。

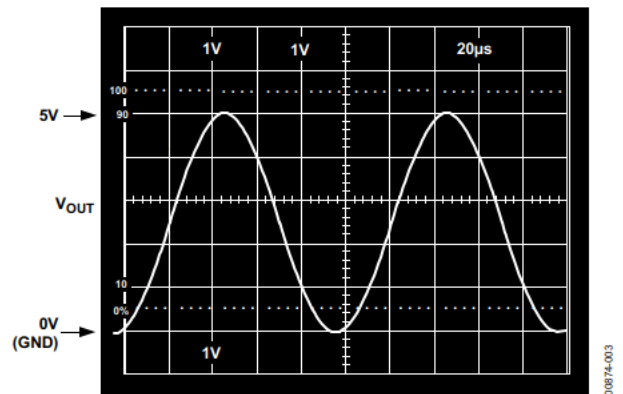


図 3. ゲインが 2 のアンプ、 $V_S = 5V$ 、 $0V$ 、 $V_{IN} = 2.5V$ (1.25V を中心とするサイン波)、 $R_L = 100\Omega$

仕様

$V_S = 0V$ 、 $5V$ （特に指定のない限り、 $T_A = 25^\circ C$ 、 $V_{CM} = 0V$ 、 $V_{OUT} = 0.2V$ ）。

表 1.

		A Grade			B Grade			
Parameter	Test Conditions/Comments	Min	Typ	Max	Min	Typ	Max	Unit
DC PERFORMANCE								
Initial Offset	V _{CM} = 0 V to 4 V		0.1	0.8		0.1	0.4	mV
Maximum Offset over Temperature			0.5	1.2		0.5	0.9	mV
Offset Drift			2			2		μV/°C
Input Bias Current			2	25		2	10	pA
At T _{MAX}			0.5	5		0.5	2.5	nA
Input Offset Current	V _{OUT} = 0.2 V to 4 V		2	20		2	10	pA
At T _{MAX}			0.5			0.5		nA
Open-Loop Gain								
		R _L = 100 kΩ	500	1000		500	1000	V/mV
T _{MIN} to T _{MAX}			400			400		V/mV
	R _L = 10 kΩ	80	150		80	150	V/mV	
T _{MIN} to T _{MAX}		80			80		V/mV	
	R _L = 1 kΩ	15	30		15	30	V/mV	
T _{MIN} to T _{MAX}		10			10		V/mV	
NOISE/HARMONIC PERFORMANCE								
Input Voltage Noise	R _L = 10 kΩ to 2.5 V							
f = 0.1 Hz to 10 Hz			2			2		μV p-p
f = 10 Hz			25			25		nV/√Hz
f = 100 Hz			21			21		nV/√Hz
f = 1 kHz			16			16		nV/√Hz
f = 10 kHz			13			13		nV/√Hz
Input Current Noise								
f = 0.1 Hz to 10 Hz			18			18		fA p-p
f = 1 kHz			0.8			0.8		fA/√Hz
Harmonic Distortion								
f = 10 kHz		V _{OUT} = 0.25 V to 4.75 V		−93			−93	dB
DYNAMIC PERFORMANCE								
Unity Gain Frequency	V _{OUT} p-p = 4.5 V		1.8			1.8		MHz
Full Power Response			210			210		kHz
Slew Rate			3			3		V/μs
Settling Time	V _{OUT} = 0.2 V to 4.5 V							
To 0.1%			1.4			1.4		μs
To 0.01%	V _{OUT} = 0.2 V to 4.5 V		1.8			1.8		μs
MATCHING CHARACTERISTICS								
Initial Offset	R _L = 5 kΩ			1.0			0.5	mV
Maximum Offset Over Temperature				1.6			1.3	mV
Offset Drift			3			3		μV/°C
Input Bias Current				20			10	pA
Crosstalk @ f = 1 kHz			−130			−130		dB
Crosstalk @ f = 100 kHz	R _L = 5 kΩ		−93			−93		dB

		A Grade			B Grade			
Parameter	Test Conditions/Comments	Min	Typ	Max	Min	Typ	Max	Unit
INPUT CHARACTERISTICS								
Input Voltage Range ¹ , T _{MIN} to T _{MAX}	V _{CM} = 0 V to 2 V V _{CM} = 0 V to 2 V	−0.2		+4	−0.2		+4	V
Common-Mode Rejection Ratio (CMRR) T _{MIN} to T _{MAX}		66	80		69	80		dB
Input Impedance Differential		66			66			dB
			10 ¹³ 0.5			10 ¹³ 0.5		Ω pF
Common Mode				10 ¹³ 2.8			10 ¹³ 2.8	Ω pF
OUTPUT CHARACTERISTICS								
Output Saturation Voltage ² V _{OL} − V _{EE} T _{MIN} to T _{MAX}	I _{SINK} = 20 μA		5	7		5	7	mV
V _{CC} − V _{OH} T _{MIN} to T _{MAX}	I _{SOURCE} = 20 μA		10	14		10	14	mV
V _{OL} − V _{EE} T _{MIN} to T _{MAX}	I _{SINK} = 2 mA		40	55		40	55	mV
V _{CC} − V _{OH} T _{MIN} to T _{MAX}	I _{SOURCE} = 2 mA		80	110		80	110	mV
V _{OL} − V _{EE} T _{MIN} to T _{MAX}	I _{SINK} = 15 mA		300	500		300	500	mV
V _{CC} − V _{OH} T _{MIN} to T _{MAX}	I _{SOURCE} = 15 mA		800	1500		800	1500	mV
Operating Output Current T _{MIN} to T _{MAX}		15		1900	15		1900	mA
Capacitive Load Drive		12	350		12	350		mA
POWER SUPPLY								
Quiescent Current, T _{MIN} to T _{MAX}	V+ = 5 V to 15 V		1.24	1.6		1.24	1.6	mA
Power Supply Rejection T _{MIN} to T _{MAX}		66	80		70	80		dB
		66			70			dB

¹これは関数的な仕様です。入力コモンモード電圧を((V₊) − 1V) ~ V₊の範囲で駆動する場合、アンプの帯域幅は減少します。コモンモード電圧を正電源より 1V 低く設定した場合、コモンモード誤差電圧は通常 5mV 未満です。

² V_{OL} − V_{EE}は、可能な最低出力電圧 (V_{OL}) と負電源レール (V_{EE}) の差で定義されます。V_{CC} − V_{OH}は、可能な最高出力電圧 (V_{OH}) と正電源電圧 (V_{CC}) の差で定義されます。

$V_S = \pm 5V$ （特に指定のない限り、 $T_A = 25^\circ C$ 、 $V_{CM} = 0V$ 、 $V_{OUT} = 0V$ ）。

表 2.

		A Grade			B Grade				
Parameter	Test Conditions/Comments	Min	Typ	Max	Min	Typ	Max	Unit	
DC PERFORMANCE									
Initial Offset	V _{CM} = −5 V to +4 V		0.1	0.8		0.1	0.4	mV	
Maximum Offset over Temperature			0.5	1.5		0.5	1	mV	
Offset Drift			2			2		μV/°C	
Input Bias Current			2	25		2	10	pA	
At T _{MAX}			0.5	5		0.5	2.5	nA	
Input Offset Current			2	20		2	10	pA	
At T _{MAX}			0.5			0.5		nA	
Open-Loop Gain	V _{OUT} = −4 V to +4 V								
T _{MIN} to T _{MAX}	R _L = 100 kΩ	400	1000		400	1000		V/mV	
		400			400			V/mV	
T _{MIN} to T _{MAX}	R _L = 10 kΩ	80	150		80	150		V/mV	
		80			80			V/mV	
T _{MIN} to T _{MAX}	R _L = 1 kΩ	20	30		20	30		V/mV	
		10			10			V/mV	
NOISE/HARMONIC PERFORMANCE									
Input Voltage Noise	R _L = 10 kΩ								
f = 0.1 Hz to 10 Hz			2			2		μV p-p	
f = 10 Hz			25			25		nV/√Hz	
f = 100 Hz			21			21		nV/√Hz	
f = 1 kHz			16			16		nV/√Hz	
f = 10 kHz			13			13		nV/√Hz	
Input Current Noise									
f = 0.1 Hz to 10 Hz			18			18		fA p-p	
f = 1 kHz			0.8			0.8		fA/√Hz	
Harmonic Distortion									
f = 10 kHz		V _{OUT} = ±4.5 V		−93			−93		dB
DYNAMIC PERFORMANCE									
Unity Gain Frequency	V _{OUT} p-p = 9 V		1.9			1.9		MHz	
Full Power Response			105			105		kHz	
Slew Rate			3			3		V/μs	
Settling Time	V _{OUT} = 0 V to ±4.5 V								
To 0.1%			1.4			1.4		μs	
To 0.01%	V _{OUT} = 0 V to ±4.5 V		1.8			1.8		μs	
MATCHING CHARACTERISTICS									
Initial Offset	R _L = 5 kΩ			1.0			0.5	mV	
Maximum Offset Over Temperature				3			2	mV	
Offset Drift			3			3		μV/°C	
Input Bias Current				25			10	pA	
Crosstalk @ f = 1 kHz			−130			−130		dB	
Crosstalk @ f = 100 kHz		R _L = 5 kΩ	−93			−93		dB	
INPUT CHARACTERISTICS									
Input Voltage Range ¹ , T _{MIN} to T _{MAX}	V _{CM} = −5 V to +2 V	−5.2		+4	−5.2		+4	V	
Common-Mode Rejection Ratio (CMRR)		66	80		69	80		dB	
T _{MIN} to T _{MAX}		66			66			dB	
Input Impedance									
Differential			10 ¹³ 0.5			10 ¹³ 0.5		Ω pF	
Common Mode			10 ¹³ 2.8			10 ¹³ 2.8		Ω pF	

		A Grade			B Grade			
Parameter	Test Conditions/Comments	Min	Typ	Max	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS								
Output Saturation Voltage ²								
V _{OL} – V _{EE}	I _{SINK} = 20 μA		5	7		5	7	mV
T _{MIN} to T _{MAX}				10			10	mV
V _{CC} – V _{OH}	I _{SOURCE} = 20 μA		10	14		10	14	mV
T _{MIN} to T _{MAX}				20			20	mV
V _{OL} – V _{EE}	I _{SINK} = 2 mA		40	55		40	55	mV
T _{MIN} to T _{MAX}				80			80	mV
V _{CC} – V _{OH}	I _{SOURCE} = 2 mA		80	110		80	110	mV
T _{MIN} to T _{MAX}				160			160	mV
V _{OL} – V _{EE}	I _{SINK} = 15 mA		300	500		300	500	mV
T _{MIN} to T _{MAX}				1000			1000	mV
V _{CC} – V _{OH}	I _{SOURCE} = 15 mA		800	1500		800	1500	mV
T _{MIN} to T _{MAX}				1900			1900	mV
Operating Output Current		15			15			mA
T _{MIN} to T _{MAX}		12			12			mA
Capacitive Load Drive			350			350		pF
POWER SUPPLY								
Quiescent Current, T _{MIN} to T _{MAX}			1.3	1.6		1.3	1.6	mA
Power Supply Rejection	V _{SY} = ±5 V to ±15 V	66	80		70	80		dB
T _{MIN} to T _{MAX}		66			70			dB

¹これは関数的な仕様です。入力コモンモード電圧を $((V+) - 1V) \sim V+$ の範囲で駆動する場合、アンプの帯域幅は減少します。コモンモード電圧を正電源より1V低く設定した場合、コモンモード誤差電圧は通常5mV未満です。

² $V_{OL} - V_{EE}$ は、可能な最低出力電圧 (V_{OL}) と負電源レール (V_{EE}) の差で定義されます。 $V_{CC} - V_{OH}$ は、可能な最高出力電圧 (V_{OH}) と正電源電圧 (V_{CC}) の差で定義されます。

$V_S = \pm 15V$ （特に指定のない限り、 $T_A = 25^\circ C$ 、 $V_{CM} = 0V$ 、 $V_{OUT} = 0V$ ）。

表 3.

		A Grade			B Grade			
Parameter	Test Conditions/Comments	Min	Typ	Max	Min	Typ	Max	Unit
DC PERFORMANCE								
Initial Offset			0.4	2		0.3	1.5	mV
Maximum Offset over Temperature			0.5	3		0.5	2.5	mV
Offset Drift			2			2		μV/°C
Input Bias Current	V _{CM} = 0 V		2	25		2	12	pA
	V _{CM} = −10 V		40			40		pA
At T _{MAX}	V _{CM} = 0 V		0.5	5		0.5	2.5	nA
Input Offset Current			2	20		2	12	pA
At T _{MAX}			0.5			0.5		nA
Open-Loop Gain	V _{OUT} = −10 V to +10 V							
	R _L = 100 kΩ	500	2000		500	2000		V/mV
T _{MIN} to T _{MAX}		500			500			V/mV
	R _L = 10 kΩ	100	500		100	500		V/mV
T _{MIN} to T _{MAX}		100			100			V/mV
	R _L = 1 kΩ	30	45		30	45		V/mV
T _{MIN} to T _{MAX}		20			20			V/mV
NOISE/HARMONIC PERFORMANCE								
Input Voltage Noise								
f = 0.1 Hz to 10 Hz			2			2		μV p-p
f = 10 Hz			25			25		nV/√Hz
f = 100 Hz			21			21		nV/√Hz
f = 1 kHz			16			16		nV/√Hz
f = 10 kHz			13			13		nV/√Hz
Input Current Noise								
f = 0.1 Hz to 10 Hz			18			18		fA p-p
f = 1 kHz			0.8			0.8		fA/√Hz
Harmonic Distortion	R _L = 10 kΩ							
f = 10 kHz	V _{OUT} = ±10 V		−85			−85		dB
DYNAMIC PERFORMANCE								
Unity Gain Frequency			1.9			1.9		MHz
Full Power Response	V _{OUT} p-p = 20 V		45			45		kHz
Slew Rate			3			3		V/μs
Settling Time								
To 0.1%	V _{OUT} = 0 V to ±10 V		4.1			4.1		μs
To 0.01%	V _{OUT} = 0 V to ±10 V		4.5			4.5		μs
MATCHING CHARACTERISTICS								
Initial Offset				3			2	mV
Maximum Offset Over Temperature				4			2.5	mV
Offset Drift			3			3		μV/°C
Input Bias Current				25			12	pA
Crosstalk @ f = 1 kHz	R _L = 5 kΩ		−130			−130		dB
Crosstalk @ f = 100 kHz	R _L = 5 kΩ		−93			−93		dB
INPUT CHARACTERISTICS								
Input Voltage Range ¹ , T _{MIN} to T _{MAX}		−15.2		+14	−15.2		+14	V
Common-Mode Rejection Ratio (CMRR)	V _{CM} = −15 V to +12 V	70	80		74	90		dB
T _{MIN} to T _{MAX}	V _{CM} = −15 V to +12 V	70			74			dB
Input Impedance								
Differential			10 ¹³ 0.5			10 ¹³ 0.5		Ω pF
Common Mode			10 ¹³ 2.8			10 ¹³ 2.8		Ω pF

		A Grade			B Grade			
Parameter	Test Conditions/Comments	Min	Typ	Max	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS								
Output Saturation Voltage ²								
V _{OL} – V _{EE}	I _{SINK} = 20 μA		5	7		5	7	mV
T _{MIN} to T _{MAX}				10			10	mV
V _{CC} – V _{OH}	I _{SOURCE} = 20 μA		10	14		10	14	mV
T _{MIN} to T _{MAX}				20			20	mV
V _{OL} – V _{EE}	I _{SINK} = 2 mA		40	55		40	55	mV
T _{MIN} to T _{MAX}				80			80	mV
V _{CC} – V _{OH}	I _{SOURCE} = 2 mA		80	110		80	110	mV
T _{MIN} to T _{MAX}				160			160	mV
V _{OL} – V _{EE}	I _{SINK} = 15 mA		300	500		300	500	mV
T _{MIN} to T _{MAX}				1000			1000	mV
V _{CC} – V _{OH}	I _{SOURCE} = 15 mA		800	1500		800	1500	mV
T _{MIN} to T _{MAX}				1900			1900	mV
Operating Output Current		15			15			mA
T _{MIN} to T _{MAX}		12			12			mA
Capacitive Load Drive			350			350		pF
POWER SUPPLY								
Quiescent Current, T _{MIN} to T _{MAX}			1.4	1.8		1.4	1.8	mA
Power Supply Rejection	V _{SY} = 5 V to 15 V	70	80		70	80		dB
T _{MIN} to T _{MAX}		70			70			dB

¹これは関数的な仕様です。入力コモンモード電圧を $((V+) - 1V) \sim V+$ の範囲で駆動する場合、アンプの帯域幅は減少します。コモンモード電圧を正電源より1V低く設定した場合、コモンモード誤差電圧は通常5mV未満です。

² $V_{OL} - V_{EE}$ は、可能な最低出力電圧 (V_{OL}) と負電源レール (V_{EE}) の差で定義されます。 $V_{CC} - V_{OH}$ は、可能な最高出力電圧 (V_{OH}) と正電源電圧 (V_{CC}) の差で定義されます。

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	±18 V
Internal Power Dissipation	
8-Lead PDIP (N)	Observe derating curves
8-Lead SOIC_N (R)	Observe derating curves
8-Lead MSOP (RM)	Observe derating curves
Input Voltage ¹	((V+) + 0.2 V) to (V-) - 20 V
Output Short-Circuit Duration	Indefinite
Differential Input Voltage	±30 V
Storage Temperature Range (N)	-65°C to +125°C
Storage Temperature Range (R, RM)	-65°C to +150°C
Operating Temperature Range	
A Grade and B Grade	-40°C to +85°C
Lead Temperature (Soldering, 60 sec)	260°C

¹ 入力特性のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 5. 熱抵抗

Package Type	θ_{JA}	Unit
8-Lead PDIP (N)	90	°C/W
8-Lead SOIC_N (R)	160	°C/W
8-Lead MSOP (RM)	190	°C/W

最大消費電力

AD822 の安全な最大消費電力は、ジャンクション温度の上昇により制限されます。プラスチック製パッケージの場合、安全な最大ジャンクション温度は 145°C です。この最大温度を瞬間的に超えた場合、ダイの温度が低下した直後に正常な回路動作に戻ります。デバイスを長時間にわたって過熱状態で放置すると、デバイスが焼損することがあります。正常に動作させるには、[図 27](#) に示すディレーティング曲線を遵守することが重要です。

AD822 は、短絡保護機能を内蔵していますが、すべての条件で最大ジャンクション温度を超えることのないようにするには、これでは不十分な場合があります。周囲温度が 25°C で電源が ±12V 以下であれば、出力ノードが電源レールに短絡した場合、その状態が長時間継続してもアンプが破壊されることはありません。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

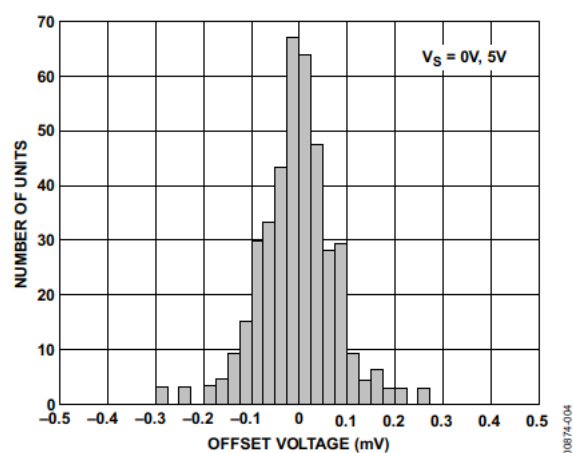


図 4. オフセット電圧の代表的な分布 (390 ユニット)

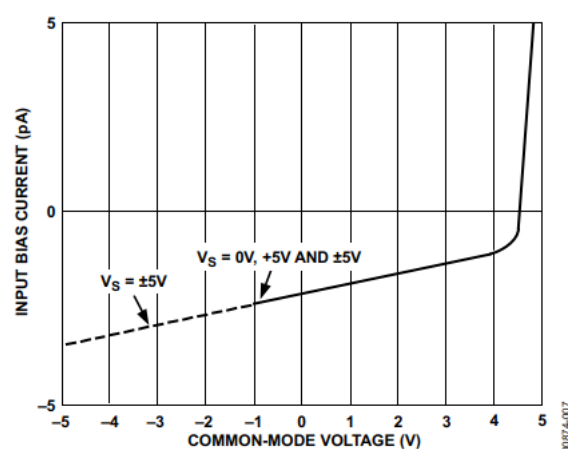


図 7. 入力バイアス電圧とコモンモード電圧の関係、 $V_S = +5V$, $0V$ および $V_S = \pm 5V$

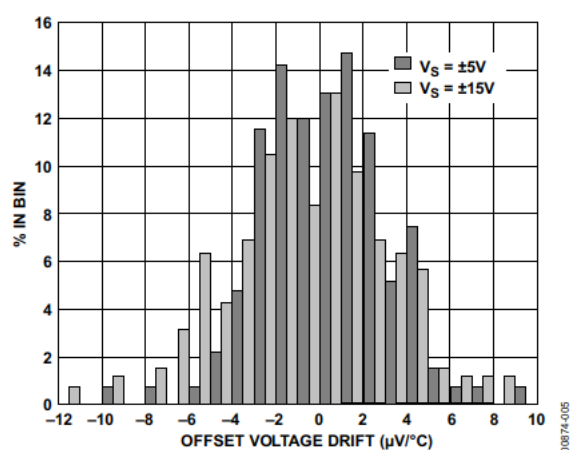


図 5. オフセット電圧ドリフトの代表的な分布 (100 ユニット)

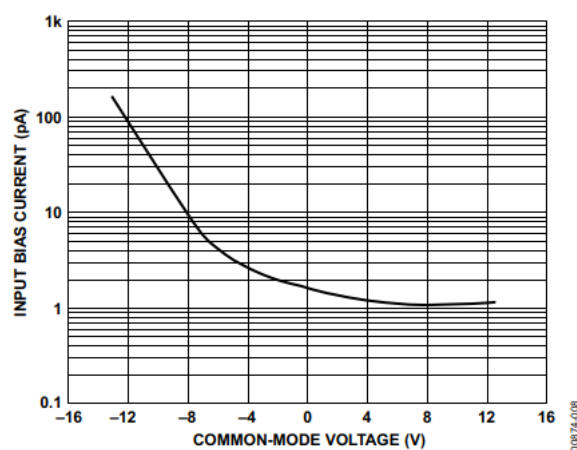


図 8. 入力バイアス電流とコモンモード電圧の関係、 $V_S = \pm 15V$

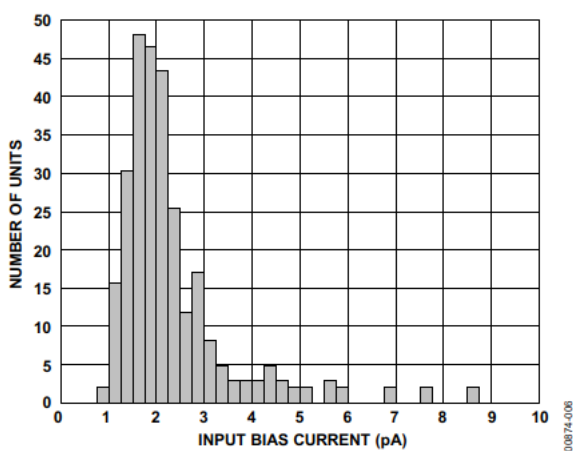


図 6. 入力バイアス電流の代表的な分布 (213 ユニット)

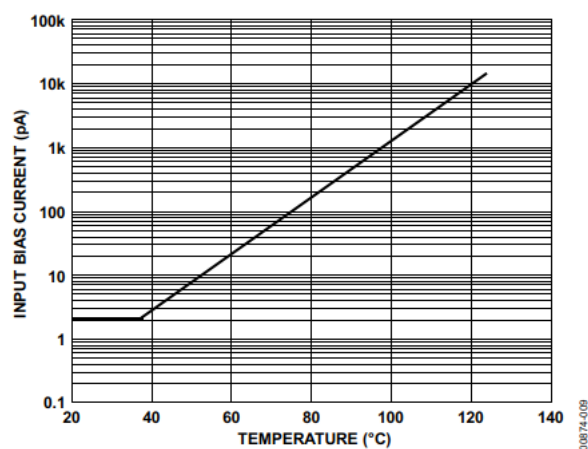


図 9. 入力バイアス電流と温度の関係、 $V_S = 5V$, $V_{CM} = 0V$

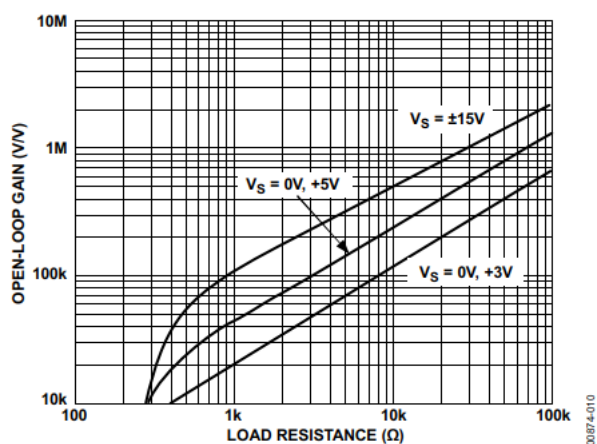


図 10. オープンループ・ゲインと負荷抵抗の関係

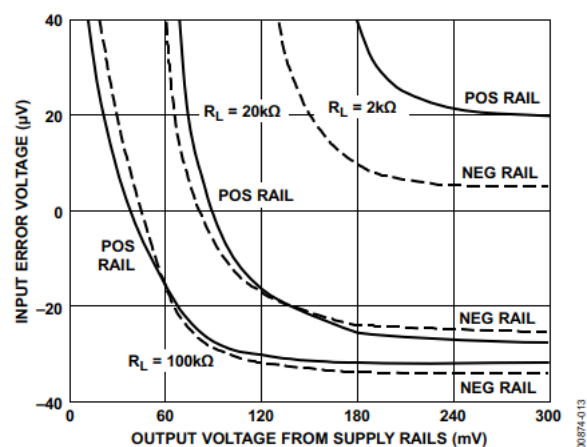


図 13. 様々な抵抗性負荷に対する入力誤差電圧といずれかの電源レールから 300mV 以内での出力電圧の関係、 $V_S = \pm 5V$

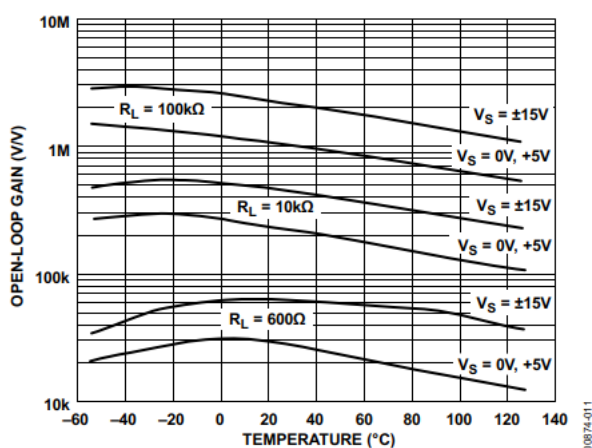


図 11. オープンループ・ゲインと温度の関係

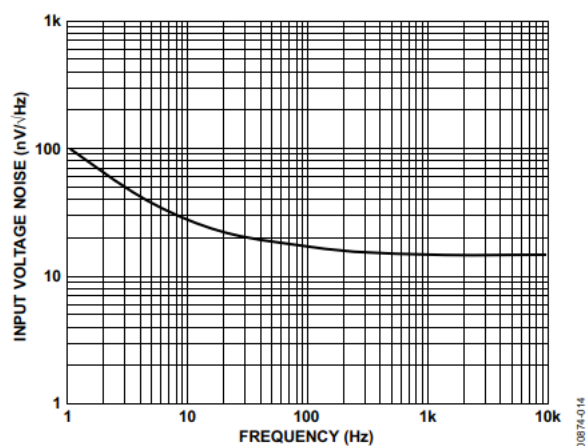


図 14. 入力電圧ノイズと周波数の関係

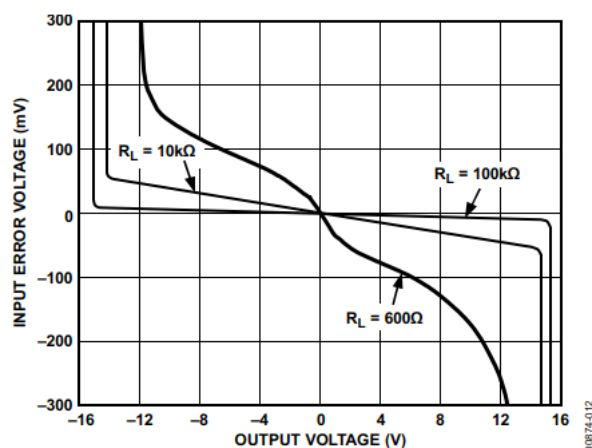


図 12. 様々な抵抗性負荷に対する入力電圧と出力電圧の関係

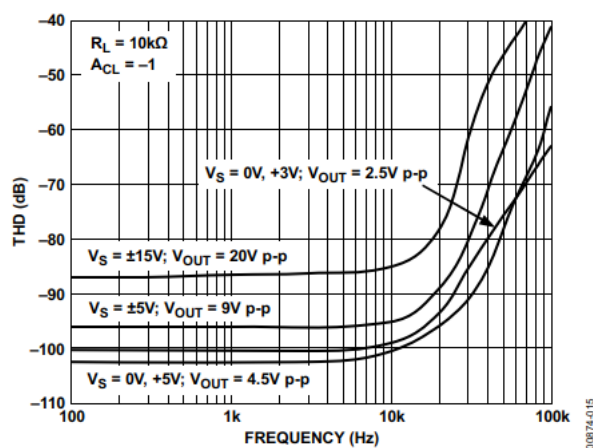


図 15. THD と周波数の関係

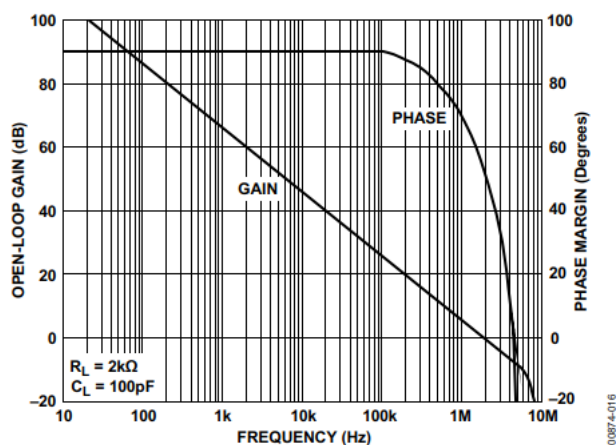


図 16. オープンループ・ゲインと位相マージンの周波数特性

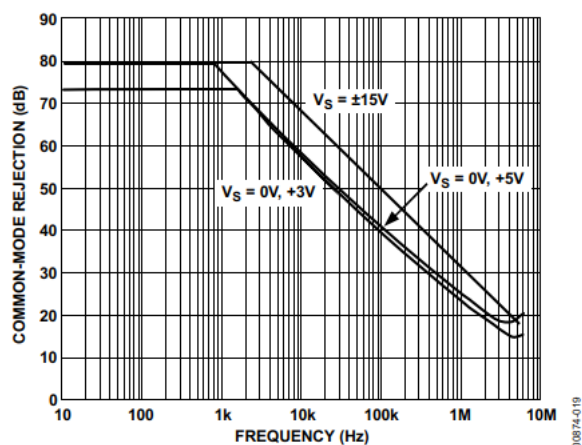


図 19. 同相ノイズ除去と周波数の関係

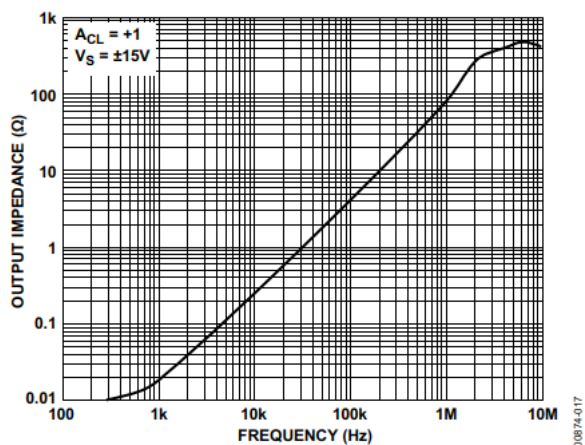


図 17. 出力インピーダンスと周波数の関係

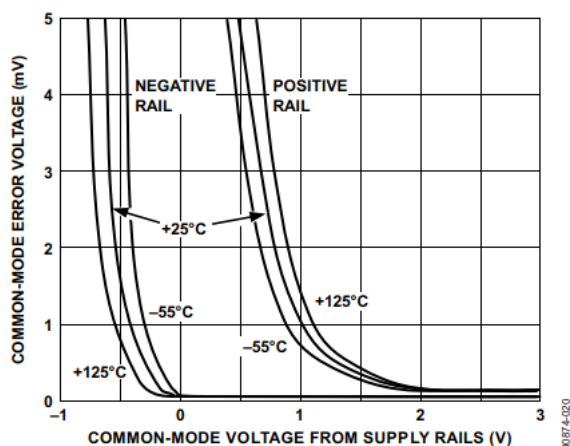


図 20. 絶対コモンモード誤差と電源レール基準のコモンモード電圧 ($V_S - V_{CM}$) の関係

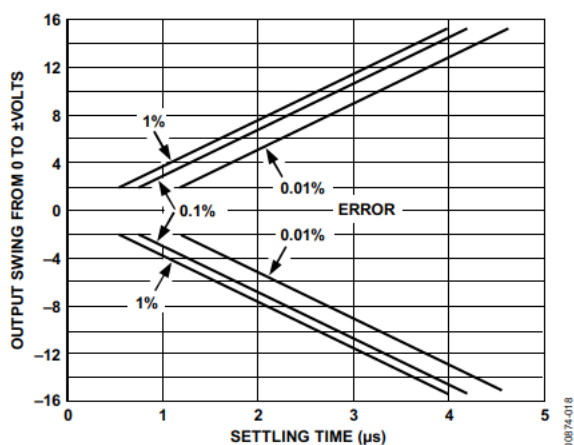


図 18. 出力振幅および誤差とセトリング時間の関係

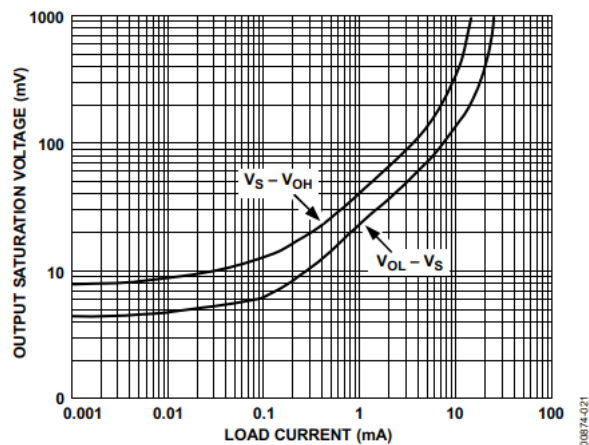


図 21. 出力飽和電圧と負荷電流の関係

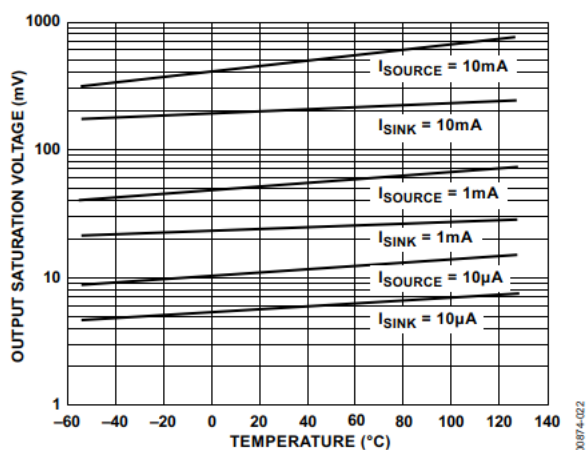


図 22. 出力飽和電圧と温度の関係

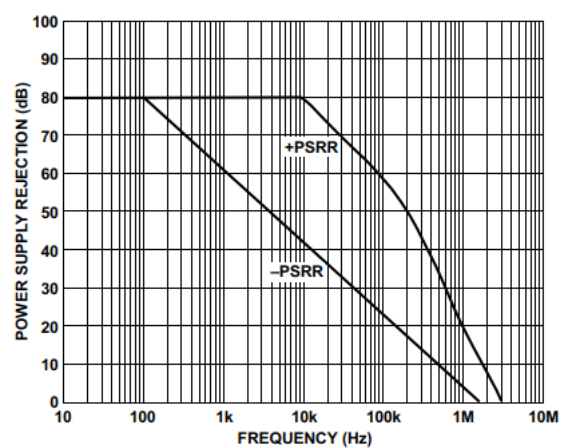


図 25. 電源電圧除去と周波数の関係

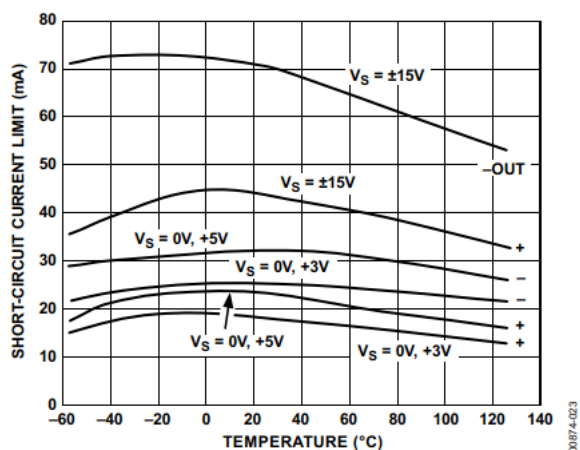


図 23. 短絡電流制限値と温度の関係

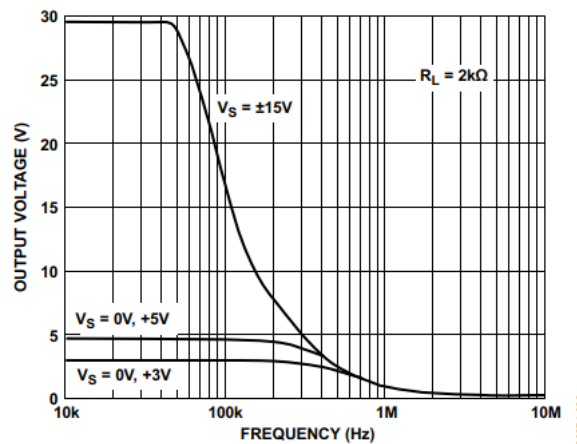


図 26. 大信号周波数応答

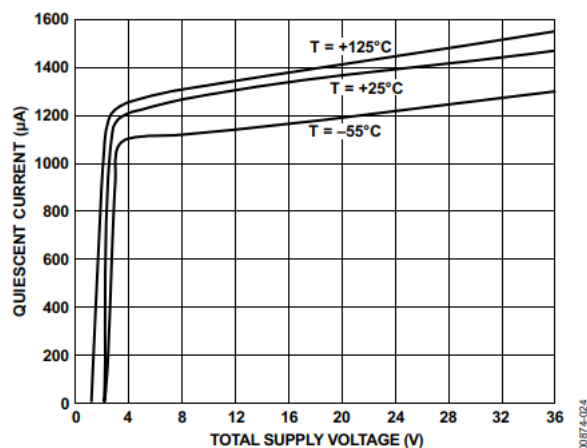


図 24. 様々な温度での静止電流と電源電圧の関係

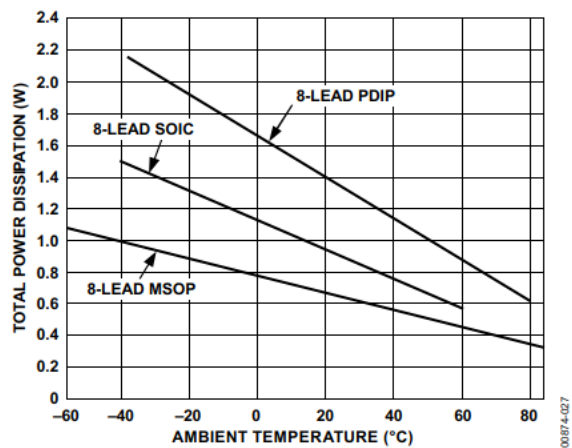


図 27. 各パッケージについての最大消費電力と温度の関係

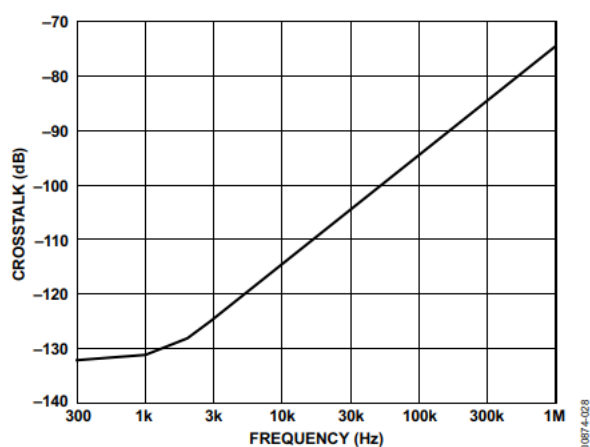


図 28. クロストークの周波数特性

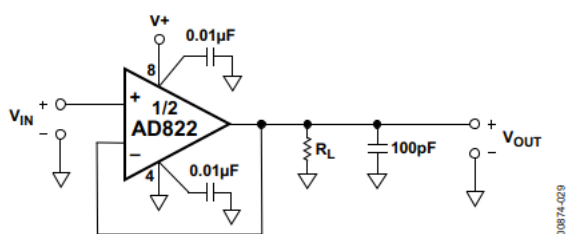


図 29. ユニティ・ゲイン・フォロワ

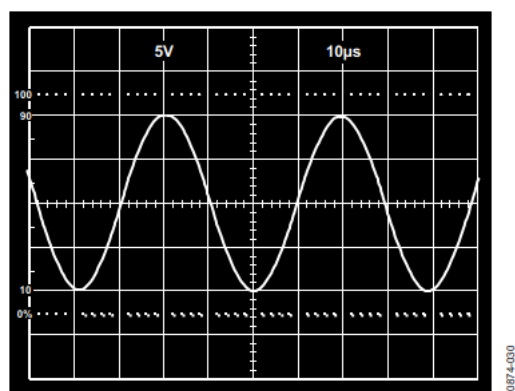


図 30. 20V p-p、25kHz サイン波入力、
ユニティ・ゲイン・フォロワ、 $V_S = \pm 15V$ 、 $R_L = 600\Omega$

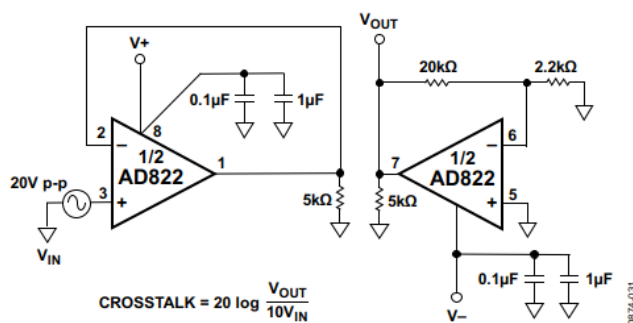


図 31. クロストーク・テスト回路

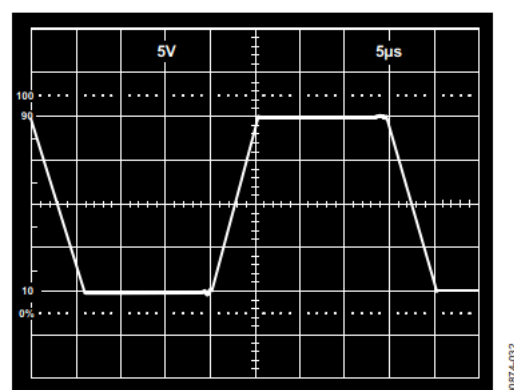


図 32. 大信号応答のユニティ・ゲイン・フォロワ、
 $V_S = \pm 15V$ 、 $R_L = 10k\Omega$

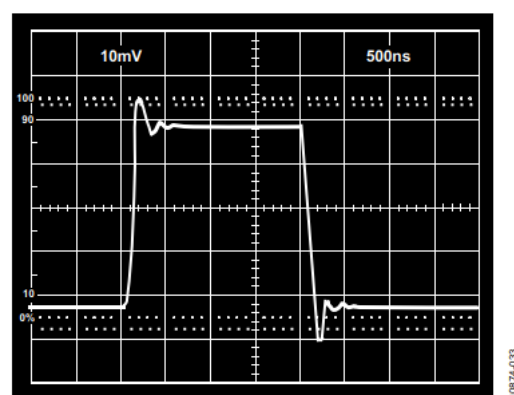


図 33. 小信号応答のユニティ・ゲイン・フォロワ、
 $V_S = \pm 15V$ 、 $R_L = 10k\Omega$

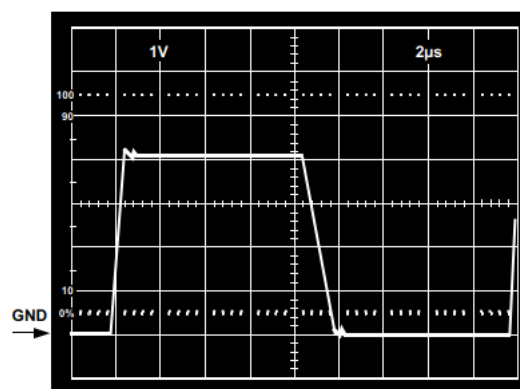


図 34. $V_S = 5V$ 、 $0V$ 、 $0V \sim 4V$ ステップに対する
ユニティ・ゲイン・フォロワの応答

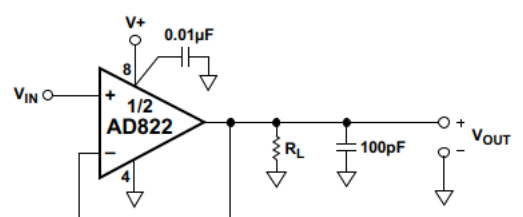


図 35. ユニティ・ゲイン・フォロワ

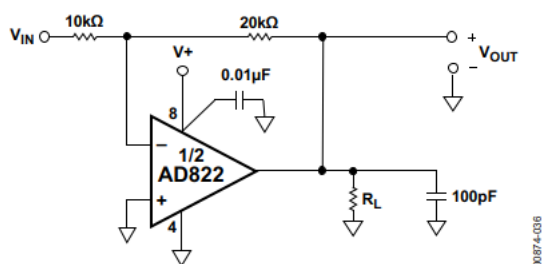


図 36. ゲインが 2 のインバータ

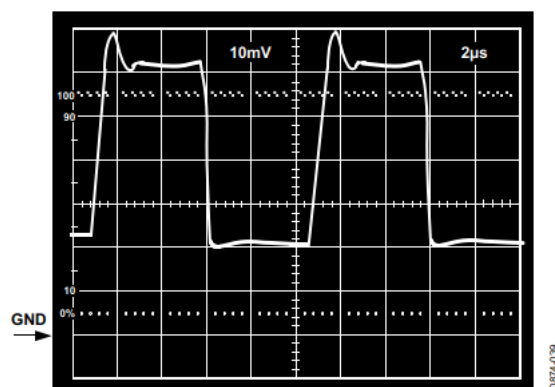


図 39. $V_S = 5V$ 、 $0V$ 、グラウンドより 20mV 下を中心とする 20mV ステップに対するゲイン 2 のインバータの応答、 $R_L = 10k\Omega$

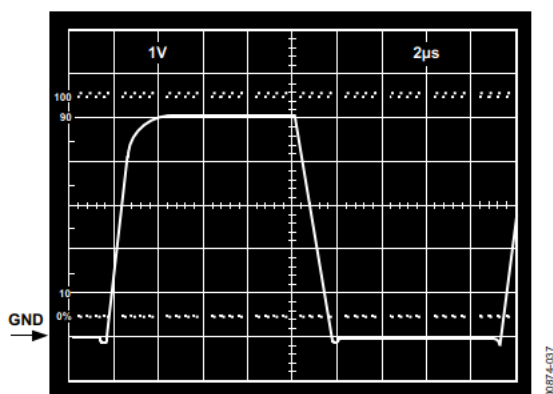


図 37. $V_S = 5V$ 、 $0V$ 、 $0V \sim 5V$ ステップに対する ユニティ・ゲイン・フォロワの応答

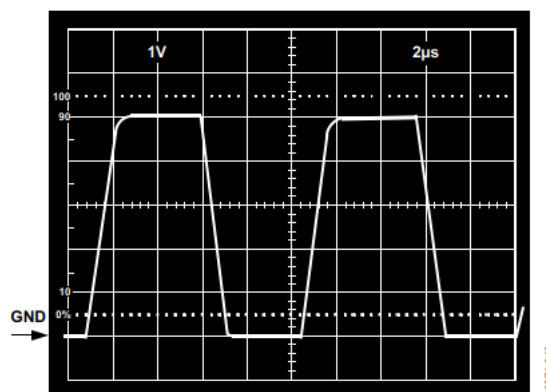


図 40. $V_S = 5V$ 、 $0V$ 、グラウンドより -1.25V 下を中心とする 2.5V ステップに対するゲイン 2 のインバータの応答、 $R_L = 10k\Omega$

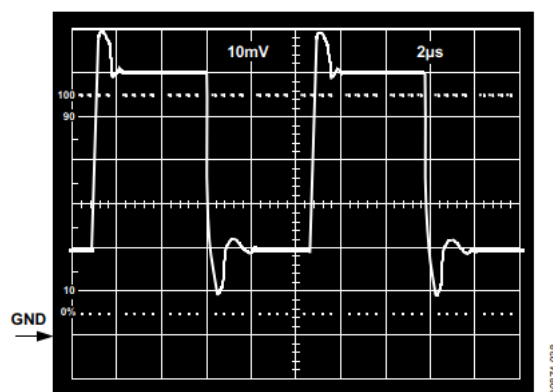


図 38. $V_S = 5V$ 、 $0V$ 、グラウンドより 40mV 上を中心とする 40mV ステップに対するユニティ・ゲイン・フォロワの応答、 $R_L = 10k\Omega$

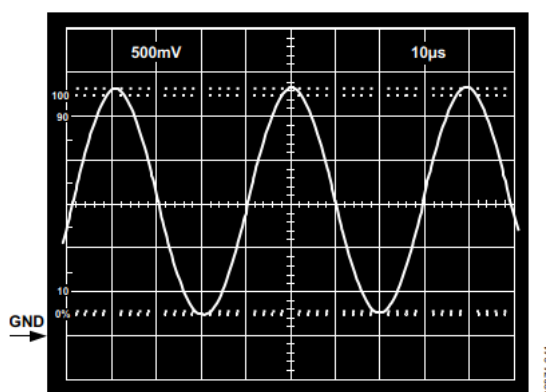
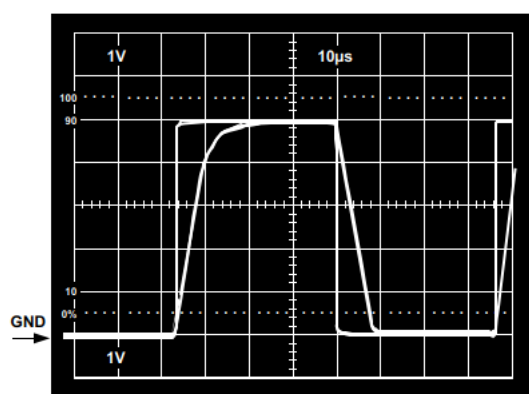
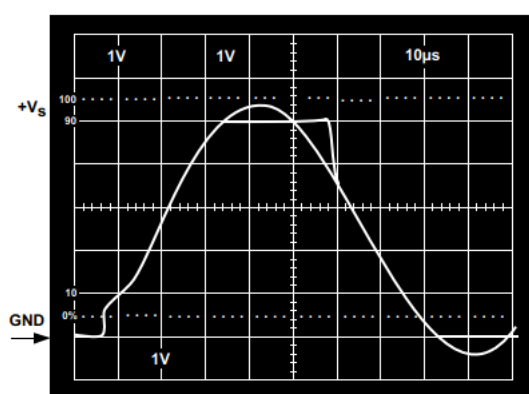


図 41. $V_S = 3V$ 、 $0V$ 、ゲインが 2 のインバータ、 $V_{IN} = 1.25V$ 、25kHz、-0.75V を中心とするサイン波、 $R_L = 600\Omega$



(a)



(b)

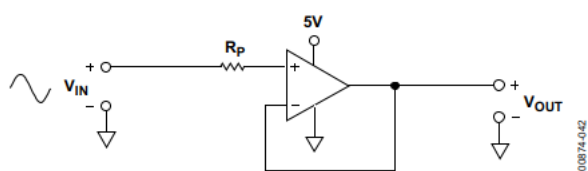


図 42. (a) $R_P = 0$ 、 $V_{IN} = 0V \sim +V_S$ での応答
(b) $V_{IN} = 0V \sim +V_S + 200mV$ 、
 $V_{OUT} = 0V \sim +V_S$ 、
 $R_P = 49.9k\Omega$

アプリケーション情報

入力特性

AD822 では、N チャンネル JFET を使用して低オフセット、低ノイズ、高インピーダンスの入力段を構成しています。最小入力コモンモード電圧は、 $-V_S$ より 0.2V 低い値から $+V_S$ より 1V 低い値にわたっています。正の電源レールのより近くまで入力電圧を駆動すると、アンプ帯域幅の損失が生じ（図 34 と図 37 の大信号応答を比較するとわかります）、図 20 に示すように、コモンモード電圧誤差が増加します。

AD822 は $+V_S$ 以下の入力電圧に対し位相反転を示すことはありません。図 42 に、0V~5V ($+V_S$) の矩形波に対する AD822 電圧フォロワの応答を示します。入力と出力がほぼ重なっています。出力は $+V_S$ までの入りに追従し、位相反転は生じません。4V を超える入力では帯域幅が減少するため、出力波形がなまります。入力電圧が $+V_S$ を超える場合、AD822 の非反転入力に直列に抵抗を接続すると位相反転を防止できますが、入力電圧ノイズは増加します。これを図 42 に示します。

入力段には N チャンネル JFET が採用されているため、通常動作時の入力電流は負になり、電流は入力端子から流れ出します。入力電圧を $+V_S - 0.4V$ より高い電圧に駆動した場合、内部デバイスのジャンクションが順方向バイアスとなるため、入力電流は反転します。これを図 7 に示します。

入力電圧が正電源を 300mV より多く上回る可能性がある場合、または $+V_S$ または $-V_S = 0V$ のときに AD822 に入力電圧が印加される場合、電流制限抵抗を AD822 の入力に直列に接続する必要があります。10 秒より長くこのような状態で放置するとアンプが損傷を受ける可能性があります。1k Ω の抵抗を使用すると、アンプは 10V までの連続的な過電圧に耐えるようになり、入力電圧ノイズの増加も無視できる量にとどまります。

入力電圧が $-V_S$ を下回る場合は事情が異なります。正電源と入力端子間の合計電圧が 36V 未満であれば、アンプは負電源を 20V 下回る入力電圧に安全に対応できます。更に、入力段は通常、入力電圧範囲にわたりピコアンペア (pA) レベルの入力電流を維持します。

AD822 は、13nV/ $\sqrt{\text{Hz}}$ の広帯域入力電圧ノイズ向けに設計されており、低い周波数まで低ノイズ性能を維持します（図 14 を参照）。このノイズ性能と入力電流および電流ノイズが小さいという特長により、10k Ω を超えるソース抵抗および 1kHz を超える信号帯域幅を使用するアプリケーションに対し、AD822 のノイズは無視できる水準となります。これを図 43 に示します。

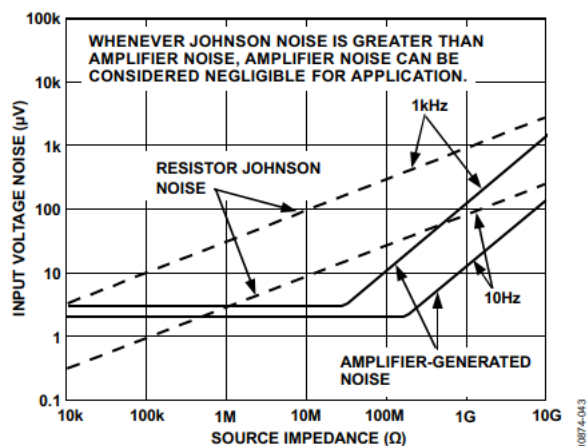


図 43. 総ノイズとソース・インピーダンスの関係

出力特性

AD822 独自のバイポーラ・レール to レール出力段の電圧振幅は、外部に抵抗性負荷がない場合、負電源から 5mV 以内、正電源から 10mV 以内の範囲です。AD822 のおおよその出力飽和抵抗値は 40 Ω (ソース) または 20 Ω (シンク) で、この値を使用すると、より大きな電流負荷を駆動する場合の出力飽和電圧を見積もることができます。例えば、5mA をソースする場合、正電源レールに対する飽和電圧は 200mV です。また、5mA をシンクする場合は、負電源レールに対する飽和電圧は 100mV となります。

アンプのオープンループ・ゲイン特性は、図 10～図 13 に示すように、抵抗性負荷の関数として変化します。負荷抵抗が 20k Ω を超える場合、出力電圧がいずれかの電源から 180mV の値に駆動されるまで、AD822 の入力誤差電圧は実質的に変化しません。

AD822 の出力が、どちらかの出力が飽和するほど過剰な値で駆動されると、入力から 2 μs 以内に回復が行われ、アンプのリニア動作領域に復帰します。

直接的な容量性負荷はアンプの実効出力インピーダンスと相互作用し、アンプの帰還ループに追加の極を形成します。これは、パルス応答における過度のピーキングまたは安定性低下の原因となる可能性があります。最も厳しいケースは、アンプをユニティ・ゲイン・フォロワとして使用する場合があります。図 44 に、350pF を駆動するユニティ・ゲイン・フォロワとしての AD822 のパルス応答を示します。このオーバーシュート量は、約 20° の位相マージンを示すもので、システムは安定していますが、エッジに近づいています。ループ・ゲインを小さくしその結果ループ帯域幅がより小さい構成にすると、容量性負荷の影響に対する感度は大幅に減少します。

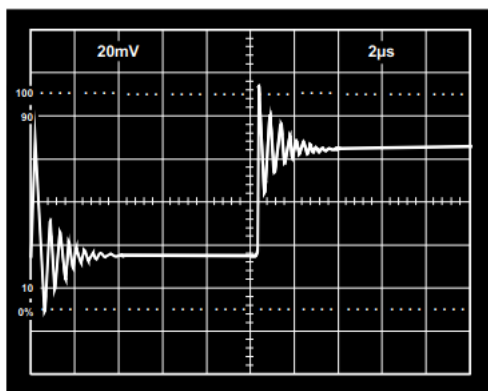


図 44. 350pF を駆動するユニティ・ゲイン・フォロワとしての AD822 の小信号応答

図 45 は、ノイズ・ゲインと AD822 の位相マージンが 20° になる容量性負荷の関係を示すグラフです。ゲインは、使用する帰還ネットワークが示す帰還減衰係数の逆数です。

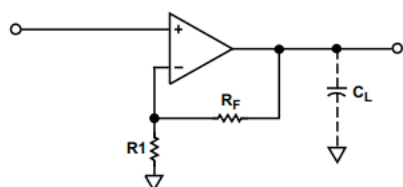
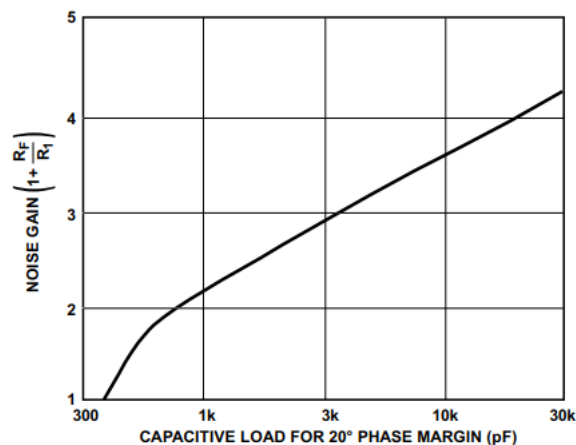


図 45. ノイズ・ゲインと容量性負荷許容値の関係

図 46 に、ユニティ・ゲイン・フォロワの容量性負荷駆動能力を拡張する方法を示します。これらのコンポーネント値を用いると、回路は 5000pF を 10% のオーバーシュートで駆動できます。

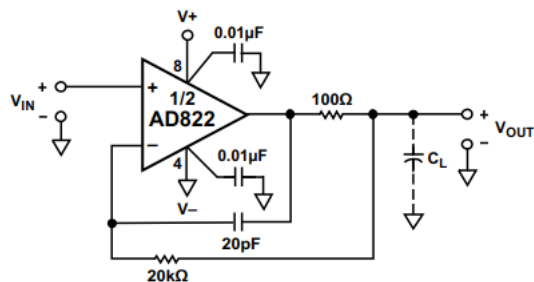


図 46. ユニティ・ゲイン・フォロワの容量性負荷駆動能力を 350pF 以上に拡張する構成

単電源 V/F コンバータ

図 47 に示す回路は、AD822 を使用して、パルス幅 t_1 の安定なパルスを生じる低消費電力タイマーを駆動します。正方向の出力パルスは R_1 と C_1 で積分され、差動積分器に接続された AD822 に対し 1 つの入力として使用されます。他方の入力（無負荷）は未知の電圧 V_{IN} です。AD822 の出力は、タイマーのトリガ入力を駆動し、帰還ループ全体を閉じます。

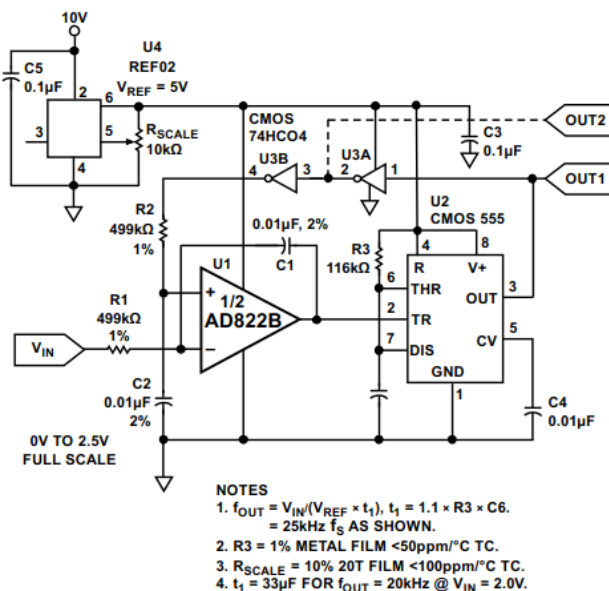


図 47. 単電源 V/F コンバータ

AD822 のバイアス電流は 2pA（代表値）で、これにより、DC 誤差を無視できる $M\Omega$ レンジのソース・インピーダンスが可能となります。この回路では、直線性誤差をフルスケールの 0.01% 程度に収めることができます。この性能を、回路全体に供給する電流が 1mA 未満の 5V 単電源を使用して得られます。

単電源プログラマブル・ゲインの計装アンプ

AD822は、最低3Vの単電源または最大±15Vのデュアル電源で動作可能な単電源計装アンプとして構成できます。3個のオペアンプを個別に使うのではなく、1個のAD822だけを使用すればよいので、この回路はコスト効率と電力効率に優れたものになります。AD822のFET入力バイアス電流は2pAであるため、不均衡な高いソース・インピーダンスによるオフセット誤差を最小限に抑えることができます。

高精度薄膜抵抗のアレイにより、計装アンプのゲインが10または100に設定されます。これらの抵抗は、比率が0.01%の誤差で一致するようレーザによるトリミングが施され、温度係数の最大誤差は5ppm/°Cです。

表 6. 計装アンプの性能

Parameters	$V_S = 3\text{ V}, 0\text{ V}$	$V_S = \pm 5\text{ V}$
CMRR	74 dB	80 dB
Common-Mode Voltage Range	-0.2 V to +2 V	-5.2 V to +4 V
3 dB BW		
G = 10	180 kHz	180 kHz
G = 100	18 kHz	18 kHz
t_{SETTLING}		
2 V Step	2 μs	
5 V Step		5 μs
Noise @ $f = 1\text{ kHz}$		
G = 10	270 nV/ $\sqrt{\text{Hz}}$	270 nV/ $\sqrt{\text{Hz}}$
G = 100	2.2 $\mu\text{V}/\sqrt{\text{Hz}}$	2.2 $\mu\text{V}/\sqrt{\text{Hz}}$
I_{SUPPLY} (Total)	1.10 mA	1.15 mA

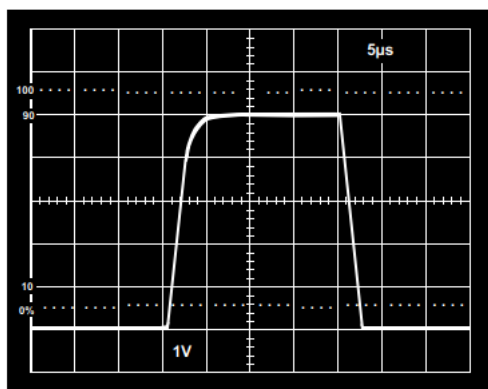


図 48. 500mV p-p の入力信号に対する計装アンプのパルス応答、 $V_S = 5\text{ V}, 0\text{ V}$, Gain = 0

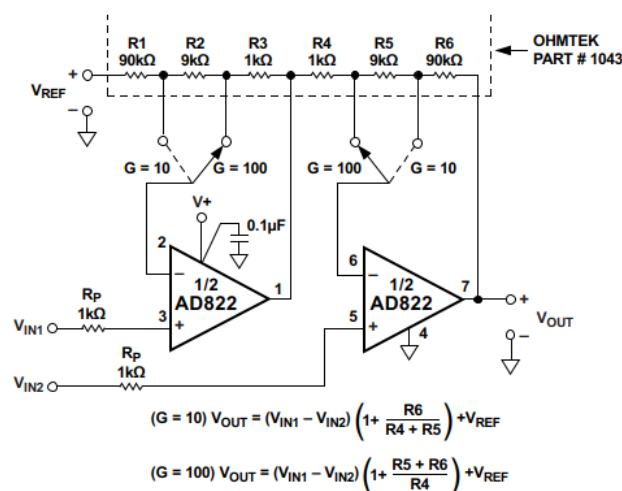


図 49. 単電源プログラマブル計装アンプ

低ドロップアウト・バイポーラ・ブリッジ・ドライバ

AD822 を使用して 350Ω のホイートストン・ブリッジを駆動できます。図 50 に、1.235V 低消費電力リファレンス AD589 のバッファとして AD822 の半分を使用する例を示します。4.5V の出力を使用することで、A/D コンバータ (ADC) のフロント・エンドを駆動できます。AD822 の他の半分はユニティ・ゲインのインバータとして構成され、もう一方のブリッジ入力である -4.5V を生成します。抵抗 R1 および抵抗 R2 は一定電流を供給してブリッジを励起します。低消費電力計装アンプ AD620 は、ブリッジの差動出力電圧を調整するために使用します。AD620 のゲインは外部抵抗 (RG) で設定でき、次式のようになります。

$$G = \frac{49.9\text{ k}\Omega}{R_G} + 1$$

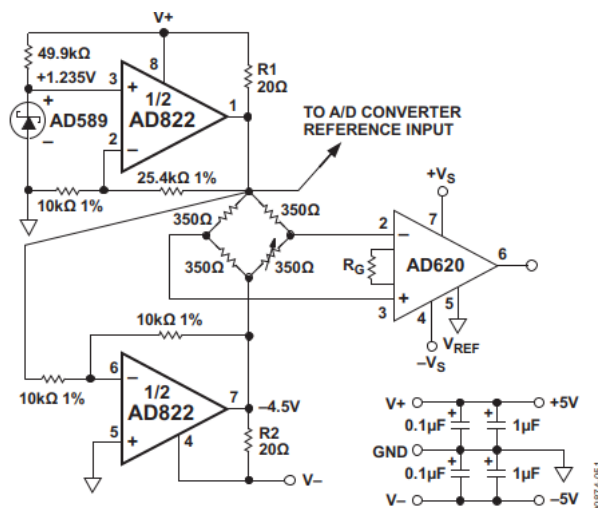
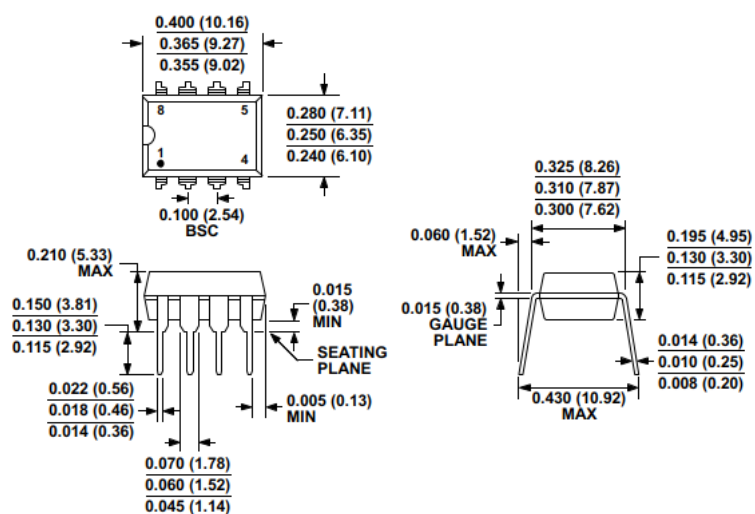


図 50. 低ドロップアウト・バイポーラ・ブリッジ・ドライバ

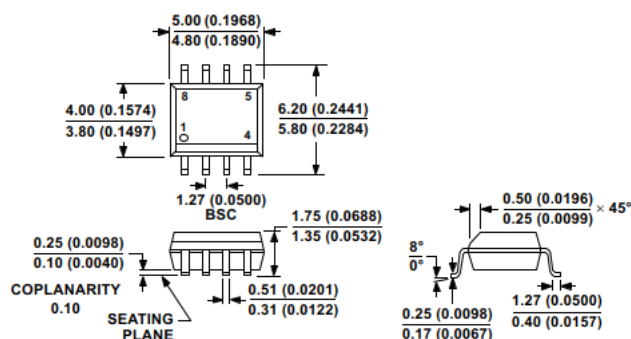
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-001
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.
CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

070606-A

図 51. 8 ピン、プラスチック・デュアル・インライン・パッケージ [PDIP]
ナロー・ボディ
(N-8)
単位：インチ（括弧内は mm）



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 52. 8 ピン、標準スモール・アウトライン・パッケージ [SOIC_N]
ナロー・ボディ
(R-8)
単位：mm（括弧内はインチ）

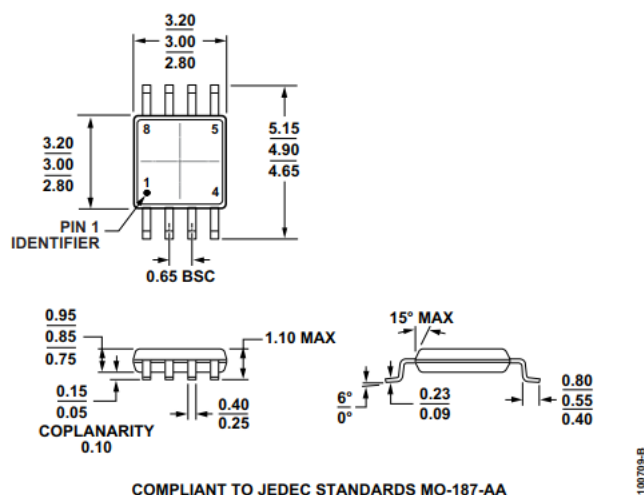


図 53. 8 ピン、ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-8)
単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
AD822AN	−40°C to +85°C	8-Lead PDIP	N-8	
AD822ANZ	−40°C to +85°C	8-Lead PDIP	N-8	
AD822AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822ARZ	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822ARZ-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822ARZ-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822ARMZ	−40°C to +85°C	8-Lead MSOP	RM-8	#B4A
AD822ARMZ-REEL	−40°C to +85°C	8-Lead MSOP	RM-8	#B4A
AD822BR	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822BR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822BR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822BRZ	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822BRZ-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
AD822BRZ-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	

¹ Z = RoHS 準拠製品。RoHS 準拠製品であることを示す「#」は上面または下面に印字されています。
SPICE モデルは www.analog.com/jp からダウンロード可能です。

メモ

メモ