日本語参考資料
最新版英語データシートはこちら

170 MSPS/210 MSPS/250 MSPS 1.8 Vの12ビット A/Dコンバータ

AD9634

特長

185 MHz A_{IN}、250 MSPS で SNR = 69.7 dBFS
185 MHz A_{IN}、250 MSPS で SFDR = 87 dBc
185 MHz、−1 dBFS A_{IN}、250 MSPS で、入力ノイズ＝-150.6 dBFS/Hz
総合消費電力: 250 MSPS で 360 mW
電源電圧: 1.8 V
LVDS (ANSI-644 レベル) 出力
1～8 分周の入力クロック分周器を内蔵 (最大入力 625 MHz)
サンプル・レート:最大 250 MSPS
IF サンプリング周波数: 最大 350 MHz
ADC リファレンス電圧を内蔵
柔軟なアナログ入力範囲
1.4 V p-p～2.0 V p-p (公称 1.75 V p-p)
ADC クロックのデューティ・サイクル・スタビライザを内蔵
シリアル・ポート制御
省電力のパワーダウン・モード
ユーザ設定可能なビルトイン・セルフテスト(BIST)機能

アプリケーション

通信
ダイバーシティー無線システム
マルチモード・デジタル・レシーバ(3G)
TD-SCDMA、WiMAX、W-CDMA、CDMA2000、GSM、EDGE、LTE
I/Q 復調システム
スマート・アンテナ・システム
汎用ソフトウェア無線
超音波装置
ブロードバンド・データ・アプリケーション

機能ブロック図

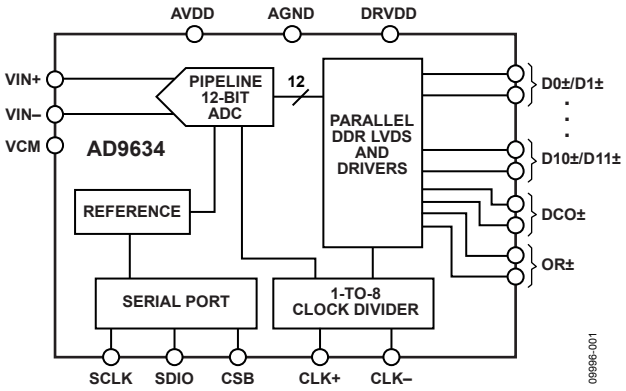

図 1.

概要

AD9634 は、サンプリング速度が最大 250 MSPS の 12 ビット A/D コンバータ(ADC) です。AD9634 は、低価格、小型、広帯域、多機能が必要とされる通信アプリケーションをサポートするようにデザインされています。

ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。ADC は、ユーザ選択可能な多様な入力範囲をサポートする広帯域入力を持っています。リファレンス電圧を内蔵しているためデザインが容易です。デューティ・サイクル・スタビライザ(DCS)は、クロック・デューティ・サイクルの変動を補償して、優れた性能を維持します。

ADC 出力データは、12 ビット外部 LVDS 出力ポートへ直接接続されています。

柔軟なパワーダウン・オプションは、必要に応じて大幅な省電力を可能にします。

設定と制御は、3 線式 SPI 互換シリアル・インターフェースを介して行います。

AD9634 は 32 ピン LFCSP パッケージを採用し、−40°C～+85°C の工業用温度範囲で仕様が規定されています。このデバイスは、米国特許により保護されています。

製品のハイライト

1. 12 ビットの 170 MSPS/210 MSPS/250 MSPS ADC を内蔵。
2. 高速範囲外/スレッショールド検出をサポート。
3. 当社独自の差動入力により、最大 350 MHz までの入力周波数で優れた SNR 性能を維持。
4. レジスタの読み書きに使用する 3 ピン 1.8 V の SPI ポートを内蔵。
5. AD9642 とピン互換であるため 14 ビットまでへの移行が容易、さらに AD6672 とピン互換。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社
本　　社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06（6350）6868

目次

特長 1
アプリケーション 1
機能ブロック図 1
概要 1
製品のハイライト 1
改訂履歴 2
仕様 3
ADC の DC 仕様 3
ADC の AC 仕様 4
デジタル仕様 6
スイッチング仕様 7
タイミング仕様 8
絶対最大定格 9
熱特性 9
ESD の注意 9
ピン配置およびピン機能説明 10
代表的な性能特性 12
等価回路 18
動作原理 19
ADC のアーキテクチャ 19
アナログ入力に対する考慮 19
リファレンス電圧 21
クロック入力の考慮事項 21
消費電力とスタンバイ・モード 23
デジタル出力 23
ADC オーバーレンジ(OR) 23
シリアル・ポート・インターフェース(SPI) 24
SPI を使う設定 24
ハードウェア・インターフェース 24
SPI からアクセス可能な機能 25
メモリ・マップ 26
メモリ・マップ・レジスタ・テーブルの読出し 26
メモリ・マップ・レジスタ・テーブル 27
アプリケーション情報 29
デザイン・ガイドライン 29
外形寸法 30
オーダー・ガイド 30

改訂履歴

7/11—Revision 0: Initial Version

仕様

ADC の DC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = −1.0 dBFS (差動入力)、1.75 V p-p のフルスケール入力範囲、DCS をイネーブル。

表 1.

		AD9634-170			AD9634-210			AD9634-250			
Parameter	**Temperature**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Unit**
RESOLUTION	Full	12			12			12			Bits
ACCURACY											
No Missing Codes	Full		Guaranteed			Guaranteed			Guaranteed		
Offset Error	Full			±11			±11			±11	mV
Gain Error	Full			+2/−11			+1/−8			+3/−7	%FSR
Differential Nonlinearity (DNL)	Full			±0.4			±0.4			±0.4	LSB
	25°C		±0.22			±0.22			±0.22		LSB
Integral Nonlinearity (INL)[1]	Full			±0.4			±0.4			±0.6	LSB
	25°C		±0.2			±0.2			±0.27		LSB
TEMPERATURE DRIFT											
Offset Error	Full		±7			±7			±7		ppm/°C
Gain Error	Full		±55			±58			±75		ppm/°C
INPUT REFERRED NOISE											
VREF = 1.0 V	25°C		0.531			0.391			0.407		LSB rms
ANALOG INPUT											
Input Span	Full		1.75			1.75			1.75		V p-p
Input Capacitance[2]	Full		2.5			2.5			2.5		pF
Input Resistance[3]	Full		20			20			20		kΩ
Input Common-Mode Voltage	Full		0.9			0.9			0.9		V
POWER SUPPLIES											
Supply Voltage											
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current											
I_{AVDD}[1]	Full		123	134		129	139		136	145	mA
I_{DRVDD}[1]	Full		50	54		56	60		64	68	mA
POWER CONSUMPTION											
Sine Wave Input (DRVDD = 1.8 V)	Full		311	340		333	360		360	385	mW
Standby Power[4]	Full		50			50			50		mW
Power-Down Power	Full		5			5			5		mW

[1] 低入力周波数のフルスケール正弦波で測定。
[2] 入力容量は、1 つの差動入力ピンとその相補入力との間の実効容量です。
[3] 入力抵抗は、1 つの差動入力ピンとその相補入力との間の実効抵抗です。
[4] スタンバイ消費電力は、DC 入力と CLK ピンを非アクティブ(すなわち AVDD または AGND に接続)にして測定。

ADC の AC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = −1.0 dBFS (差動入力)、1.75 V p-p のフルスケール入力範囲。

表 2.

		AD9634-170			AD9634-210			AD9634-250			
Parameter[1]	**Temperature**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Unit**
SIGNAL-TO-NOISE RATIO (SNR)											
f_{IN} = 30 MHz	25°C		70.3			70.2			70.1		dBFS
f_{IN} = 90 MHz	25°C		70.1			70.1			70.0		dBFS
	Full	69.1			68.8						dBFS
f_{IN} = 140 MHz	25°C		69.9			70.0			69.9		dBFS
f_{IN} = 185 MHz	25°C		69.5			69.6			69.7		dBFS
	Full							67.8			dBFS
f_{IN} = 220 MHz	25°C		69.2			69.2			69.3		dBFS
SIGNAL-TO-NOISE AND DISTORTION (SINAD)											
f_{IN} = 30 MHz	25°C		69.4			69.2			69.2		dBFS
f_{IN} = 90 MHz	25°C		69.2			69.1			69.0		dBFS
	Full	68.1			67.8						dBFS
f_{IN} = 140 MHz	25°C		68.9			69.1			69.0		dBFS
f_{IN} = 185 MHz	25°C		68.5			68.7			68.7		dBFS
	Full							66.7			dBFS
f_{IN} = 220 MHz	25°C		68.3			68.3			68.4		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)											
f_{IN} = 30 MHz	25°C		11.2			11.2			11.2		Bits
f_{IN} = 90 MHz	25°C		11.2			11.2			11.2		Bits
f_{IN} = 140 MHz	25°C		11.1			11.2			11.2		Bits
f_{IN} = 185 MHz	25°C		11.1			11.1			11.1		Bits
f_{IN} = 220 MHz	25°C		11.0			11.0			11.1		Bits
WORST SECOND OR THIRD HARMONIC											
f_{IN} = 30 MHz	25°C		−96			−96			−90		dBc
f_{IN} = 90 MHz	25°C		−95			−92			−89		dBc
	Full			−83			−80				dBc
f_{IN} = 140 MHz	25°C		−97			−94			−91		dBc
f_{IN} = 185 MHz	25°C		−86			−95			−87		dBc
	Full									−80	dBc
f_{IN} = 220 MHz	25°C		−84			−84			−93		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)											
f_{IN} = 30 MHz	25°C		96			96			90		dBc
f_{IN} = 90 MHz	25°C		95			92			89		dBc
	Full	83			80						dBc
f_{IN} = 140 MHz	25°C		97			94			91		dBc
f_{IN} = 185 MHz	25°C		86			95			87		dBc
	Full							80			dBc
f_{IN} = 220 MHz	25°C		84			84			93		dBc
WORST OTHER (HARMONIC OR SPUR)											
f_{IN} = 30 MHz	25°C		−98			−96			−95		dBc
f_{IN} = 90 MHz	25°C		−97			−95			−95		dBc
	Full			−87			−83				dBc
f_{IN} = 140 MHz	25°C		−98			−97			−96		dBc
f_{IN} = 185 MHz	25°C		−95			−95			−94		dBc
	Full									−81	dBc
f_{IN} = 220 MHz	25°C		−96			−95			−94		dBc

Parameter[1]	Temperature	AD9634-170 Min	AD9634-170 Typ	AD9634-170 Max	AD9634-210 Min	AD9634-210 Typ	AD9634-210 Max	AD9634-250 Min	AD9634-250 Typ	AD9634-250 Max	Unit
TWO-TONE SFDR											
f_{IN} = 184.1 MHz, 187.1 MHz (−7 dBFS)	25°C		87			89			88		dBc
FULL POWER BANDWIDTH[2]	25°C		350			350			350		MHz
NOISE BANDWIDTH[3]	25°C		1000			1000			1000		MHz

[1] 完全な定義についてはアプリケーション・ノート AN-835 「*高速 A/D コンバータ（ADC）のテストと評価について*」（和文 Rev.0 / 最新版は英文をご覧ください）を参照してください。
[2] フルパワー帯域幅とは、ADC 性能(typ)が得られる動作帯域幅です。
[3] ノイズ帯域幅は、ADC にノイズが混入して内部で減衰されない ADC 入力の−3 dB 帯域幅です。

デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、VIN = −1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 3.

Parameter	Temperature	Min	Typ	Max	Unit
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK−)					
Logic Compliance			CMOS/LVDS/LVPECL		
Internal Common-Mode Bias	Full		0.9		V
Differential Input Voltage	Full	0.3		3.6	V p-p
Input Voltage Range	Full	AGND		AVDD	V
Input Common-Mode Range	Full	0.9		1.4	V
High Level Input Current	Full	10		22	µA
Low Level Input Current	Full	−22		−10	µA
Input Capacitance	Full		4		pF
Input Resistance	Full	12	15	18	kΩ
LOGIC INPUT (CSB)[1]					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	50		71	µA
Low Level Input Current	Full	−5		+5	µA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUT (SCLK)[2]					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	45		70	µA
Low Level Input Current	Full	−5		+5	µA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUTS (SDIO)[1]					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	45		70	µA
Low Level Input Current	Full	−5		+5	µA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
DIGITAL OUTPUTS					
LVDS Data and OR Outputs (OR+, OR−)					
Differential Output Voltage (V_{OD}), ANSI Mode	Full	250	350	450	mV
Output Offset Voltage (V_{OS}), ANSI Mode	Full	1.15	1.25	1.35	V
Differential Output Voltage (V_{OD}), Reduced Swing Mode	Full	150	200	280	mV
Output Offset Voltage (V_{OS}), Reduced Swing Mode	Full	1.15	1.25	1.35	V

[1] プルアップ。
[2] プルダウン。

スイッチング仕様

表 4.

Parameter	Temperature	AD9634-170 Min	AD9634-170 Typ	AD9634-170 Max	AD9634-210 Min	AD9634-210 Typ	AD9634-210 Max	AD9634-250 Min	AD9634-250 Typ	AD9634-250 Max	Unit
CLOCK INPUT PARAMETERS[1]											
Input Clock Rate	Full			625			625			625	MHz
Conversion Rate[2]											
DCS Enabled	Full	40		170	40		210	40		250	MSPS
DCS Disabled	Full	10		170	10		210	10		250	MSPS
CLK Period, Divide-by-1 Mode (t_{CLK})	Full	5.8			4.8			4			ns
CLK Pulse Width High (t_{CH})											
Divide-by-1 Mode, DCS Enabled	Full	2.61	2.9	3.19	2.16	2.4	2.64	1.8	2.0	2.2	ns
Divide-by-1 Mode, DCS Disabled	Full	2.76	2.9	3.05	2.28	2.4	2.52	1.9	2.0	2.1	ns
Divide-by-2 Mode Through Divide-by-8 Mode	Full	0.8			0.8			0.8			ns
Aperture Delay (t_A)	Full		1.0			1.0			1.0		ns
Aperture Uncertainty (Jitter, t_J)	Full		0.1			0.1			0.1		ps rms
DATA OUTPUT PARAMETERS[1]											
Data Propagation Delay (t_{PD})	Full	4.1	4.7	5.2	4.1	4.7	5.2	4.1	4.7	5.2	ns
DCO Propagation Delay (t_{DCO})	Full	4.7	5.3	5.8	4.7	5.3	5.8	4.7	5.3	5.8	ns
DCO to Data Skew (t_{SKEW})	Full	0.3	0.5	0.7	0.3	0.5	0.7	0.3	0.5	0.7	ns
Pipeline Delay (Latency)	Full		10			10			10		Cycles
Wake-Up Time (from Standby)	Full		10			10			10		µs
Wake-Up Time (from Power-Down)	Full		100			100			100		µs
Out-of-Range Recovery Time	Full		3			3			3		Cycles

[1] 図 2 を参照してください。
[2] 変換レートは分周後のクロック・レートです。

タイミング図

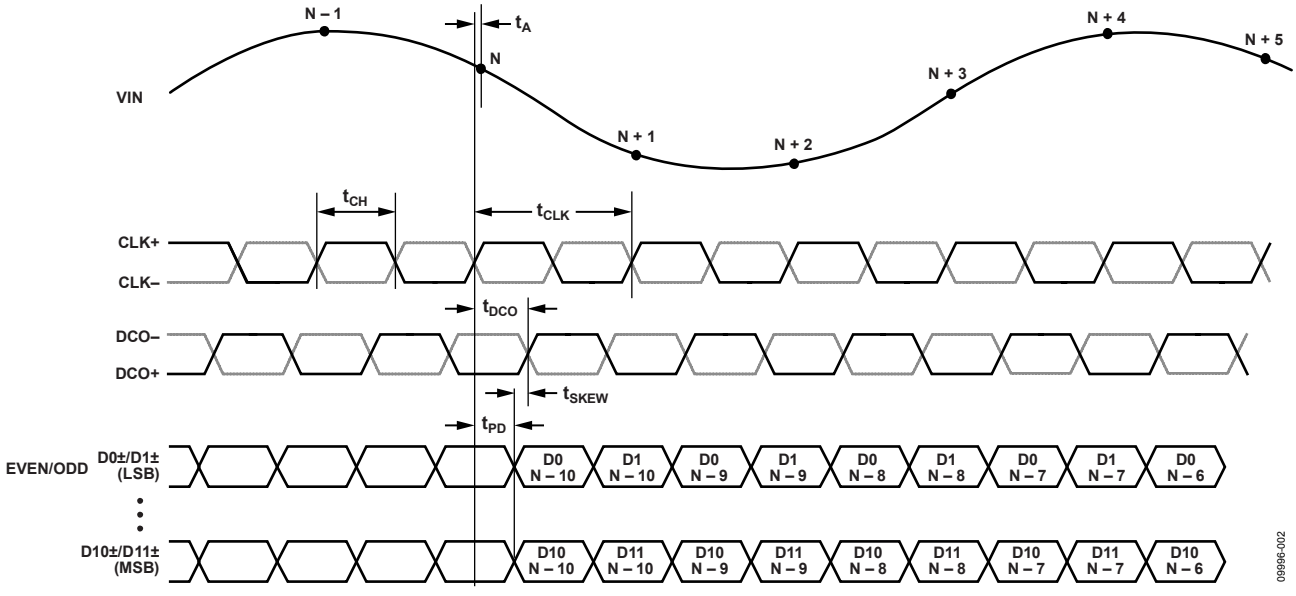

図 2.Even/Odd LVDS モード・データ出力のタイミング

タイミング仕様

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SPI TIMING REQUIREMENTS	See Figure 58 for the SPI timing diagram				
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	Minimum period that SCLK should be in a logic high state	10			ns
t_{LOW}	Minimum period that SCLK should be in a logic low state	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge (not shown in Figure 58)	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge (not shown in Figure 58)	10			ns

絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD to AGND	−0.3 V to +2.0 V
DRVDD to AGND	−0.3 V to +2.0 V
VIN+, VIN− to AGND	−0.3 V to AVDD + 0.2 V
CLK+, CLK− to AGND	−0.3 V to AVDD + 0.2V
VCM to AGND	−0.3 V to AVDD + 0.2 V
CSB to AGND	−0.3 V to DRVDD + 0.3 V
SCLK to AGND	−0.3 V to DRVDD + 0.3 V
SDIO to AGND	−0.3 V to DRVDD + 0.3 V
D0±/D1± through D10±/D11± to AGND	−0.3 V to DRVDD + 0.3 V
DCO+/DCO− to AGND	−0.3 V to DRVDD + 0.3 V
OR+/OR− to AGND	−0.3 V to DRVDD + 0.3 V
Environmental	
Operating Temperature Range (Ambient)	−40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	−65°C to +125°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

LFCSP パッケージのエクスポーズド・パッドは、グラウンド・プレーンにハンダ付けする必要があります。エクスポーズド・パッドをグラウンド・プレーンにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

表 7.熱抵抗

Package Type	Airflow Velocity (m/sec)	θ_{JA}[1,2]	θ_{JC}[1,3]	θ_{JB}[1,4]	Unit
32-Lead LFCSP 5 mm × 5 mm (CP-32-12)	0	37.1	3.1	20.7	°C/W
	1.0	32.4			°C/W
	2.0	29.1			°C/W

[1] JEDEC 51-7 と JEDEC 25-5 2S2P テスト・ボードに準拠。
[2] JEDEC JESD51-2 (自然空冷)または JEDEC JESD51-6 (強制空冷)に準拠。
[3] MIL-Std 883、Method 1012.1 に準拠。
[4] JEDEC JESD51-8 (自然空冷)に準拠。

θ_{JA} (typ)は、厚いグラウンド・プレーンを持つ 4 層 PCB に対して規定します。表 7 に示すように、空気流を与えると熱放散が大きくなるので、θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

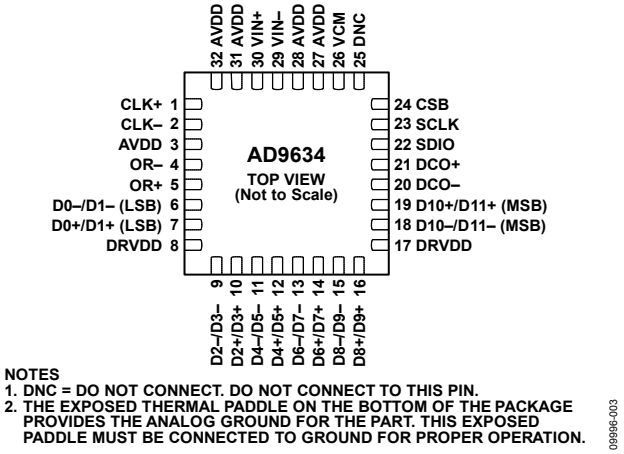

図 3.ピン配置

表 8.ピン機能の説明

ピン番号	記号	タイプ	説明
ADC 電源			
8、17	DRVDD	電源	デジタル出力ドライバ電源 (公称 1.8 V)
3、27、28、31、32	AVDD	電源	アナログ電源(公称 1.8 V)。
0	AGND、エクスポーズド・パッド	グラウンド	アナログ・グラウンド。パッケージ底面のエクスポーズド・サーマル・パッドルは、デバイスのアナログ・グラウンドになります。このエクスポーズド・パッドはグラウンドへ接続する必要があります。
25	DNC		未接続。このピンは接続しないでください。
ADC アナログ			
30	VIN+	入力	差動アナログ入力ピン (+)。
29	VIN−	入力	差動アナログ入力ピン (−)。
26	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。このピンは、0.1 μF のコンデンサでグラウンドへデカップリングする必要があります。
1	CLK+	入力	ADC クロック入力—真。
2	CLK−	入力	ADC クロック入力—偽。
デジタル出力			
5	OR+	出力	範囲外—真。
4	OR−	出力	範囲外—偽。
7	D0+/D1+ (LSB)	出力	DDR LVDS 出力データ 0/データ 1—真 (LSB)。
6	D0−/D1− (LSB)	出力	DDR LVDS 出力データ 0/データ 1—偽 (LSB)。
10	D2+/D3+	出力	DDR LVDS 出力データ 2/データ 3—真。
9	D2−/D3−	出力	DDR LVDS 出力データ 2/データ 3—偽。
12	D4+/D5+	出力	DDR LVDS 出力データ 4/データ 5—真。
11	D4−/D5−	出力	DDR LVDS 出力データ 4/データ 5—偽。
14	D6+/D7+	出力	DDR LVDS 出力データ 6/データ 7—真。
13	D6−/D7−	出力	DDR LVDS 出力データ 6/データ 7—偽。
16	D8+/D9+	出力	DDR LVDS 出力データ 8/データ 9—真。
15	D8−/D9−	出力	DDR LVDS 出力データ 8/データ 9—偽。
19	D10+/D11+ (MSB)	出力	DDR LVDS 出力データ 10/データ 11—真 (MSB)。
18	D10−/ D11− (MSB)	出力	DDR LVDS 出力データ 10/データ 11—偽(MSB)。
21	DCO+	出力	LVDS データ・クロック出力—真。
20	DCO−	出力	LVDS データ・クロック出力—偽。

ピン番号	記号	タイプ	説明
SPI コントロール			
23	SCLK	入力	SPI シリアル・クロック。
22	SDIO	入力/出力	SPI シリアル・データ I/O。
24	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。

代表的な性能特性

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、サンプル・レート = 速度グレードでの最大サンプル・レート、DCS をイネーブル、1.75 V p-p 差動入力、VIN = −1.0 dBFS、32k サンプル、T_A = 25°C。

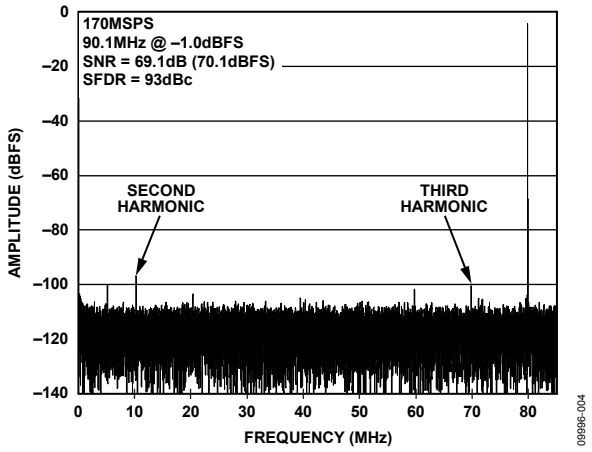

図 4.AD9634-170 シングル・トーン FFT、f_{IN} = 90.1 MHz

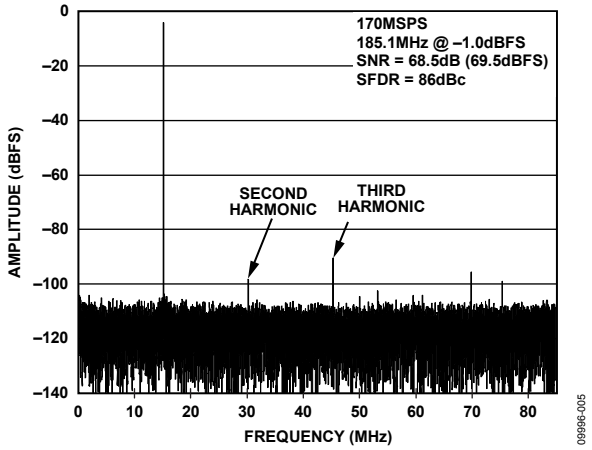

図 5.AD9634-170 シングル・トーン FFT、f_{IN} = 185.1 MHz

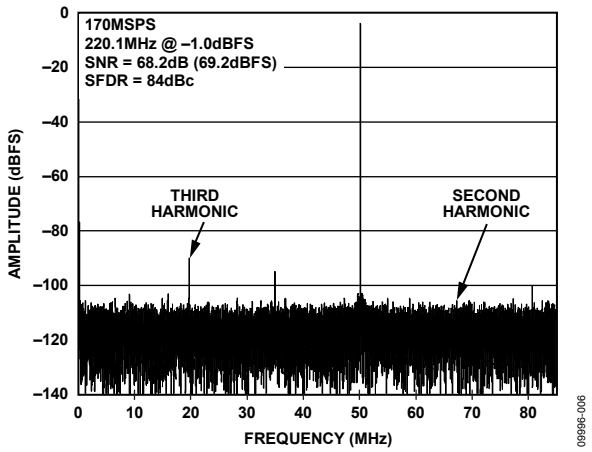

図 6.AD9634-170 シングル・トーン FFT、f_{IN} = 220.1 MHz

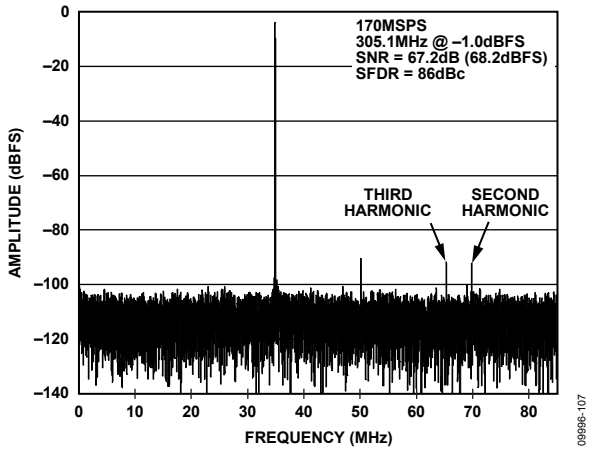

図 7.AD9634-170 シングル・トーン FFT、f_{IN} = 305.1 MHz

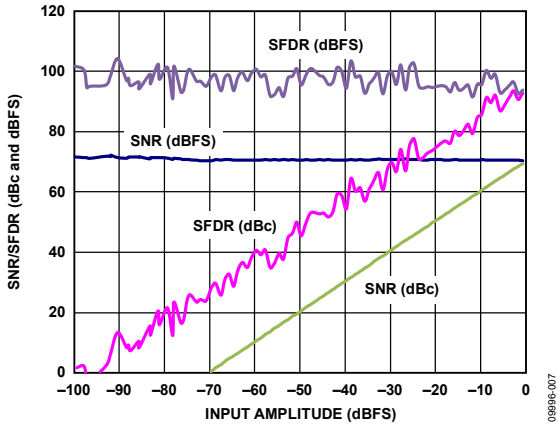

図 8.AD9634-170 入力振幅 (A_{IN})対
シングル・トーン SNR/SFDR
f_{IN} = 90.1 MHz、f_S = 170 MSPS

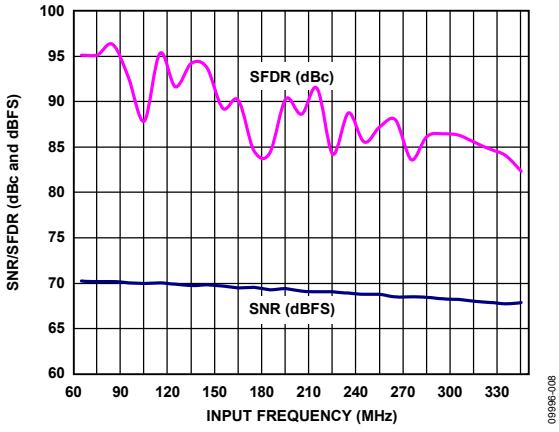

図 9.AD9634-170 入力周波数 (f_{IN})対
シングル・トーン SNR/SFDR、
f_S = 170 MSPS

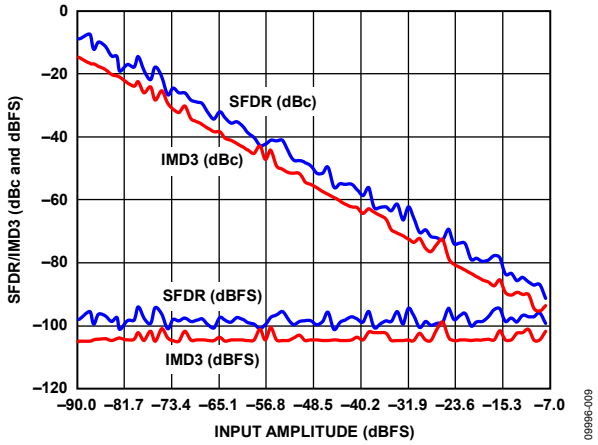

図 10.AD9634-170 入力振幅 (A_{IN})対
2 トーン SFDR/IMD3、
f_{IN1} = 89.12 MHz、f_{IN2} = 92.12 MHz、f_S = 170 MSPS

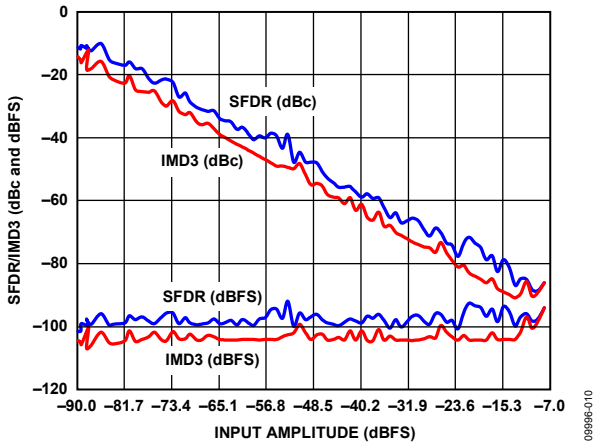

図 11.AD9634-170 入力振幅 (A_{IN})対
2 トーン SFDR/IMD3
f_{IN1} = 184.12 MHz、f_{IN2} = 187.12 MHz、f_S = 170 MSPS

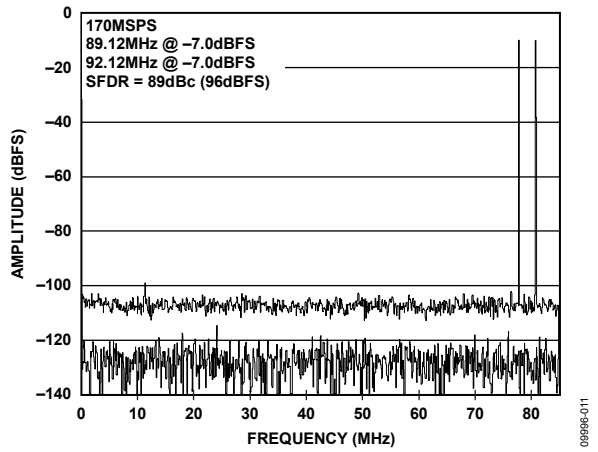

図 12.AD9634-170 の 2 トーン FFT
f_{IN1} = 89.12 MHz、f_{IN2} = 92.12 MHz

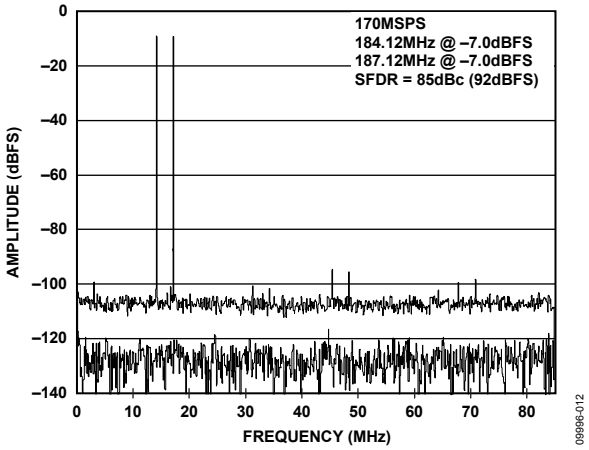

図 13.AD9634-170 の 2 トーン FFT
f_{IN1} = 184.12 MHz、f_{IN2} = 187.12 MHz

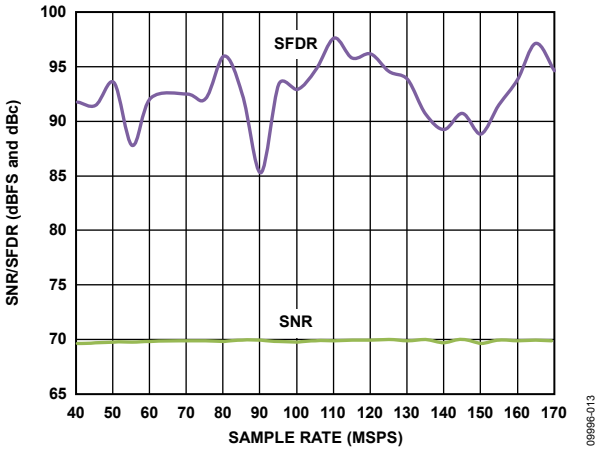

図 14.AD9634-170 サンプル・レート (f_S)対
シングル・トーン SNR/SFDR
f_{IN} = 90 MHz

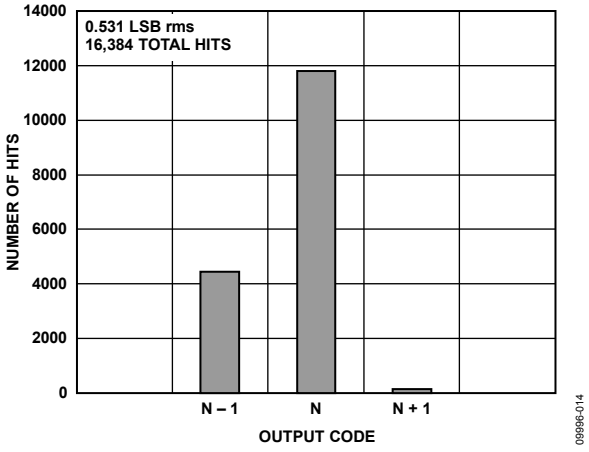

図 15.AD9634-170 グラウンド接続入力ヒストグラム
f_S = 170 MSPS

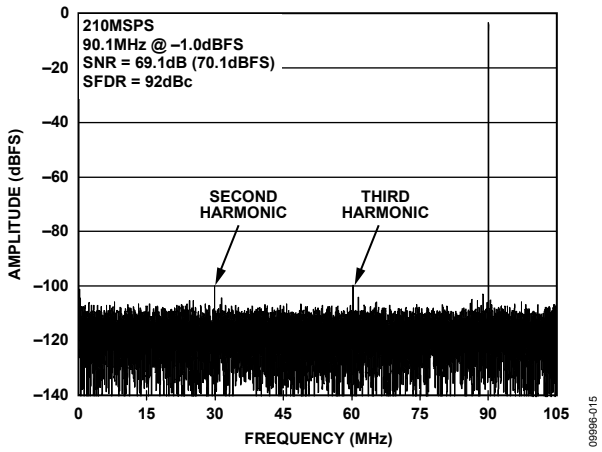

図 16.AD9634-210 シングル・トーン FFT、f_{IN} = 90.1 MHz

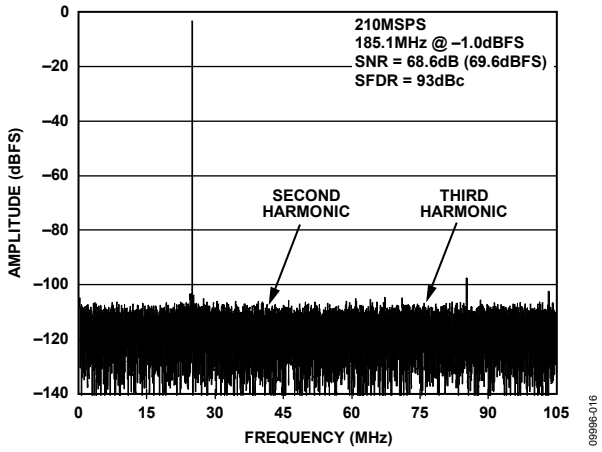

図 17.AD9634-210 シングル・トーン FFT、f_{IN} = 185.1 MHz

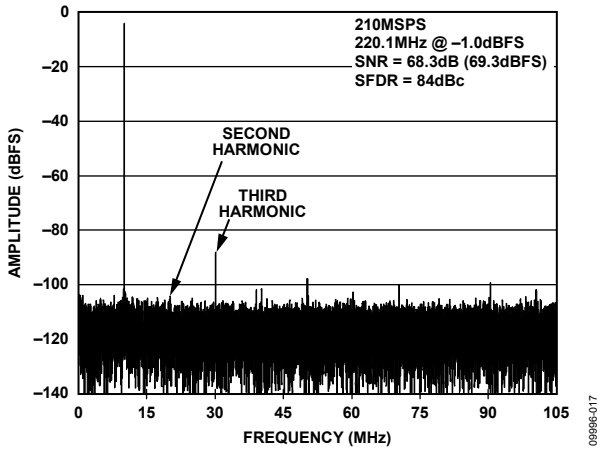

図 18.AD9634-210 シングル・トーン FFT、f_{IN} = 220.1 MHz

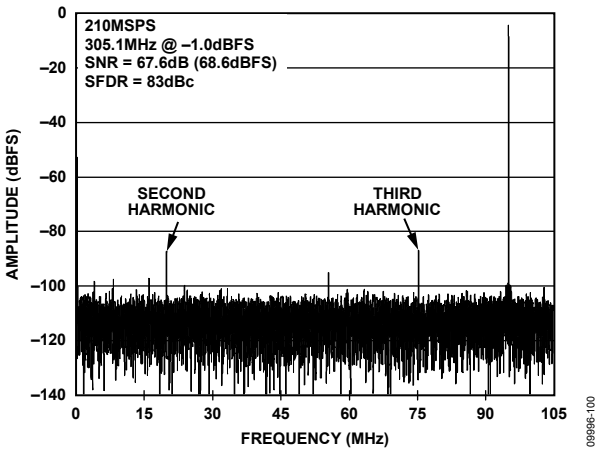

図 19.AD9634-210 シングル・トーン FFT、f_{IN} = 305.1 MHz

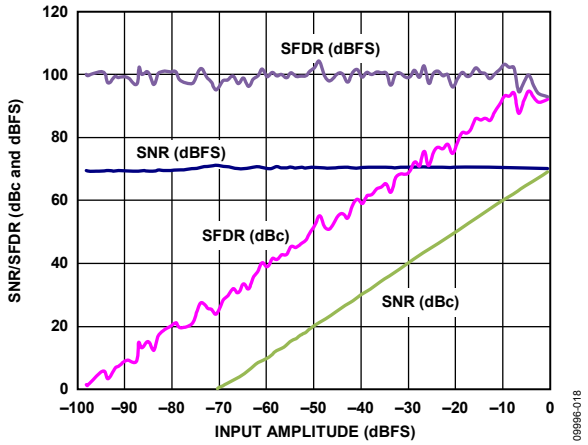

図 20.AD9634-210 入力振幅 (A_{IN})対
シングル・トーン SNR/SFDR、
f_{IN} = 90.1 MHz、f_S = 210 MSPS

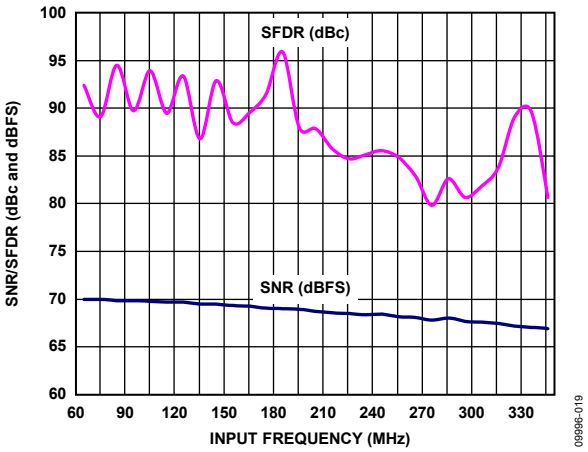

図 21.AD9634-210 入力周波数 (f_{IN})対
シングル・トーン SNR/SFDR、
f_S = 210 MSPS

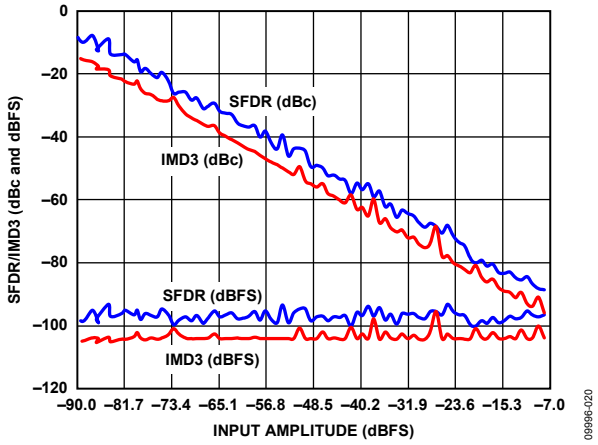

図 22.AD9634-210 入力振幅 (A_{IN})対 2 トーン SFDR/IMD3、
f_{IN1} = 89.12 MHz、f_{IN2} = 92.12 MHz、f_S = 210 MSPS

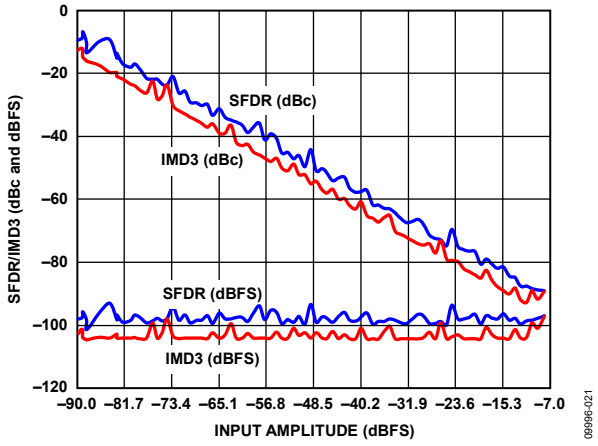

図 23.AD9634-210 入力振幅 (A_{IN})対 2 トーン SFDR/IMD3
f_{IN1} = 184.12 MHz、f_{IN2} = 187.12 MHz、f_S = 210 MSPS

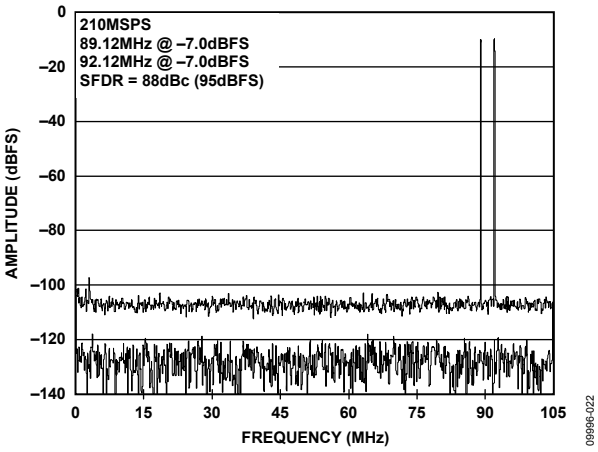

図 24.AD9634-210 の 2 トーン FFT
f_{IN1} = 89.12 MHz、f_{IN2} = 92.12 MHz

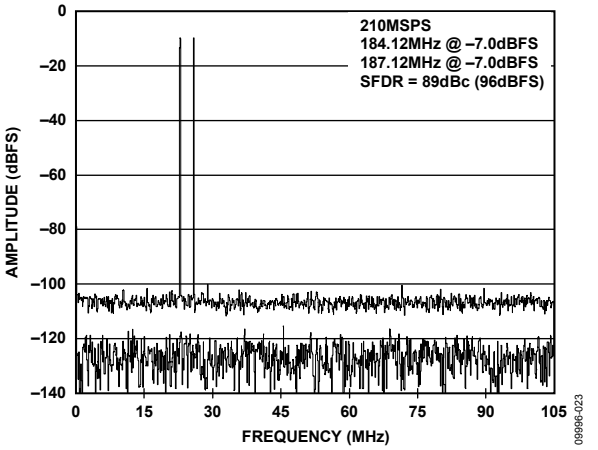

図 25.AD9634-210 の 2 トーン FFT
f_{IN1} = 184.12 MHz、f_{IN2} = 187.12 MHz

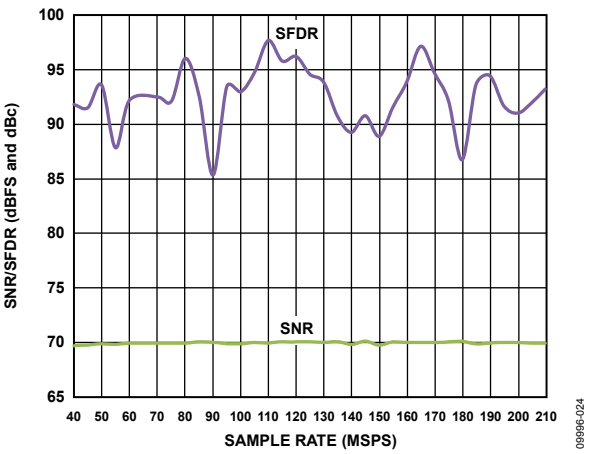

図 26.AD9634-210 サンプル・レート (f_S)対
シングル・トーン SNR/SFDR
f_{IN} = 90 MHz

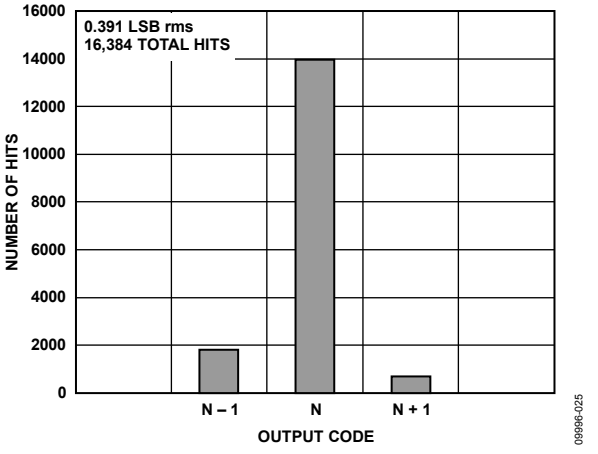

図 27.AD9634-210 グラウンド接続入力ヒストグラム
f_S = 210 MSPS

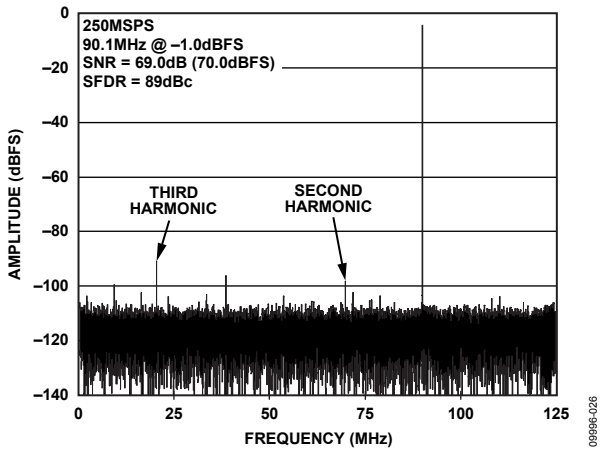

図 28.AD9634-250 シングル・トーン FFT、f_{IN} = 90.1 MHz

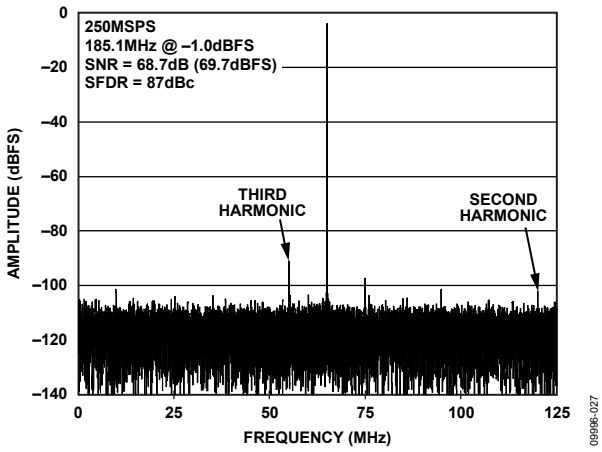

図 29.AD9634-250 シングル・トーン FFT、f_{IN} = 185.1 MHz

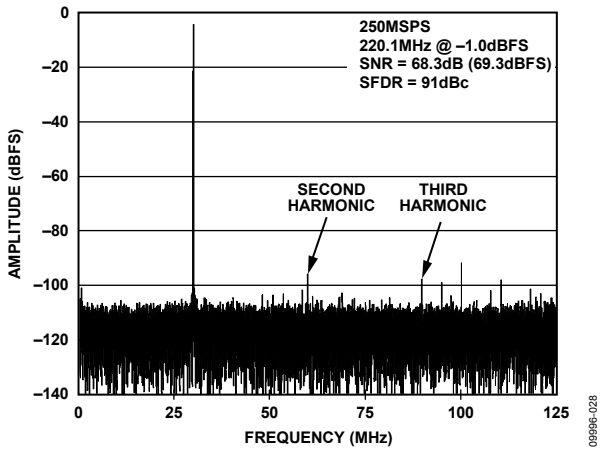

図 30.AD9634-250 シングル・トーン FFT、f_{IN} = 220.1 MHz

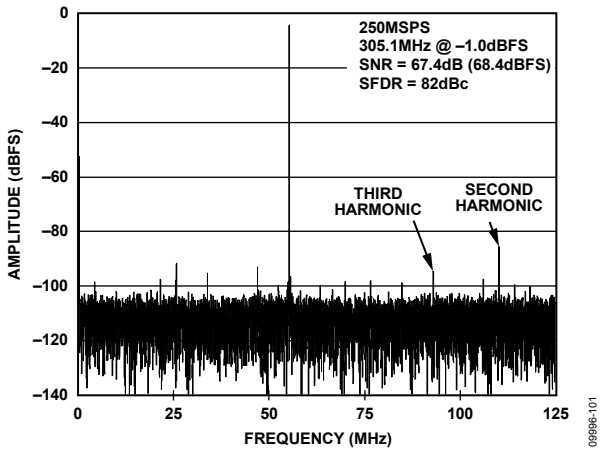

図 31.AD9634-250 シングル・トーン FFT、f_{IN} = 305.1 MHz

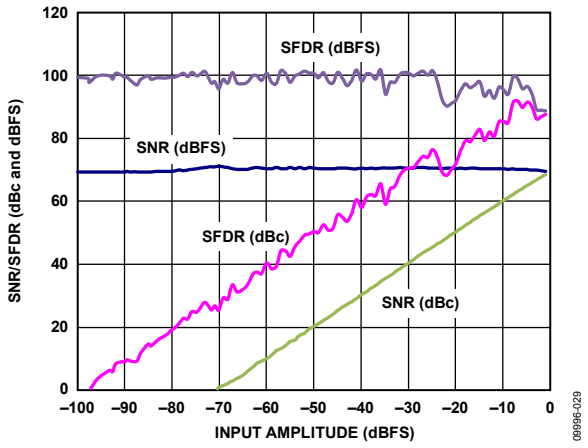

図 32.AD9634-250 入力振幅 (A_{IN})対
シングル・トーン SNR/SFDR、
f_{IN} = 90.1 MHz、f_S = 250 MSPS

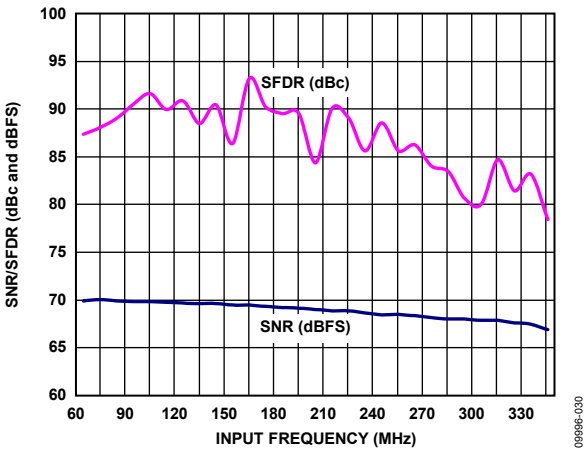

図 33.AD9634-250 入力周波数 (f_{IN})対
シングル・トーン SNR/SFDR、
f_S = 250 MSPS

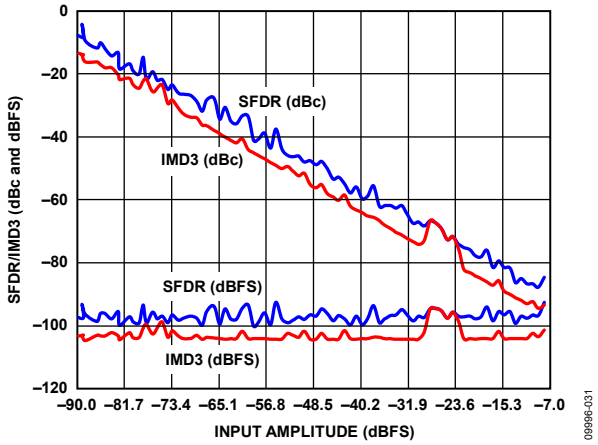

図 34.AD9634-250 入力振幅 (A_{IN})対 2 トーン SFDR/IMD3
f_{IN1} = 89.12 MHz、f_{IN2} = 92.12 MHz、f_S = 250 MSPS

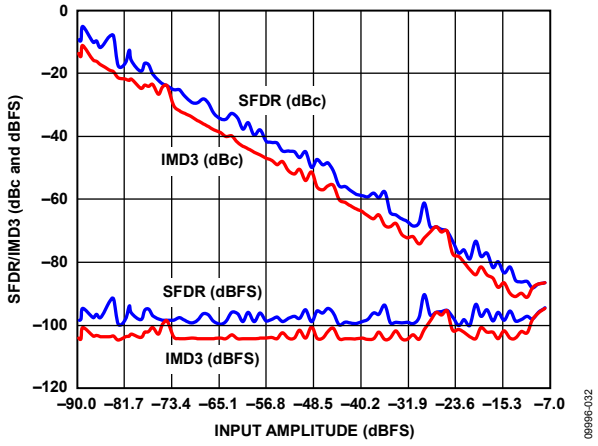

図 35.AD9634-250 入力振幅 (A_{IN})対
2 トーン SFDR/IMD3
f_{IN1} = 184.12 MHz、f_{IN2} = 187.12 MHz、f_S = 250 MSPS

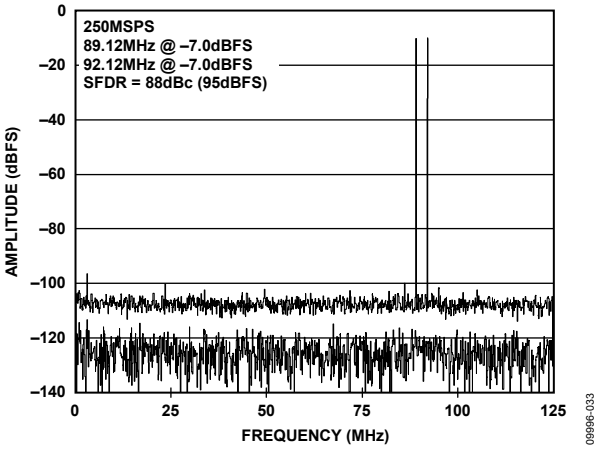

図 36.AD9634-250 の 2 トーン FFT
f_{IN1} = 89.12 MHz、f_{IN2} = 92.12 MHz

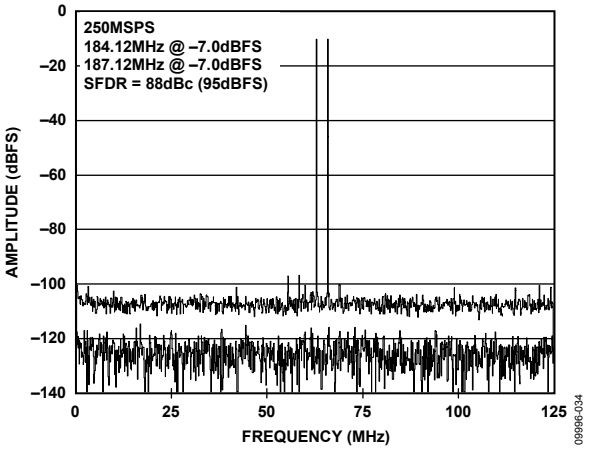

図 37.AD9634-250 の 2 トーン FFT
f_{IN1} = 184.12 MHz、f_{IN2} = 187.12 MHz

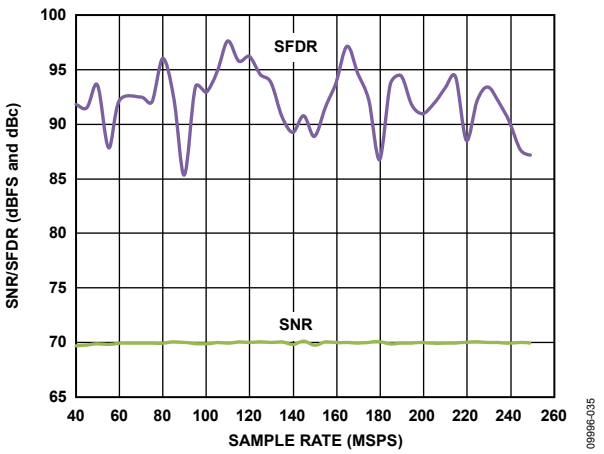

図 38.AD9634-250 サンプル・レート (f_S)対
シングル・トーン SNR/SFDR、f_{IN} = 90 MHz

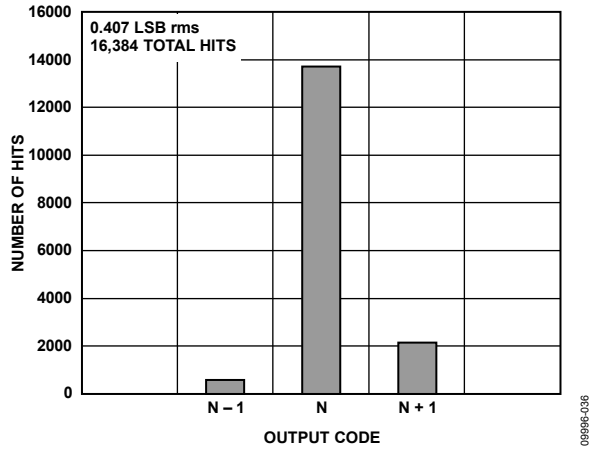

図 39.AD9634-250 グラウンド接続入力ヒストグラム
f_S = 250 MSPS

等価回路

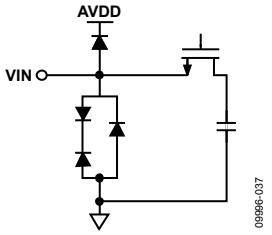

図 40.アナログ入力の等価回路

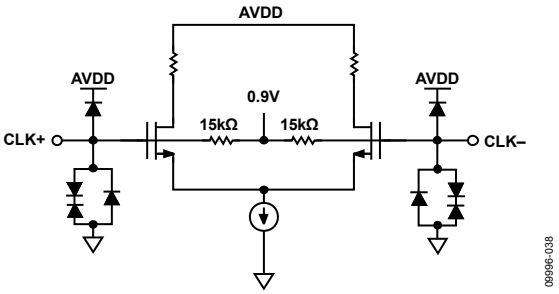

図 41.クロック入力の等価回路

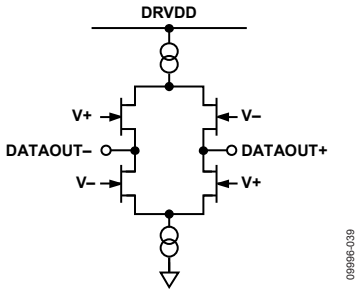

図 42.LVDS の等価出力回路

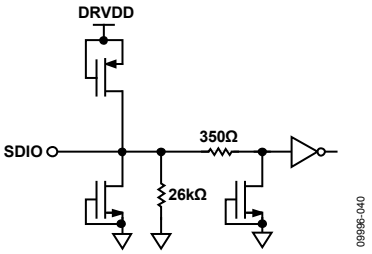

図 43.SDIO の等価回路

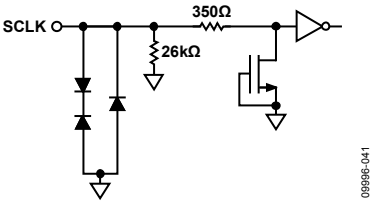

図 44. SCLK の等価入力回路

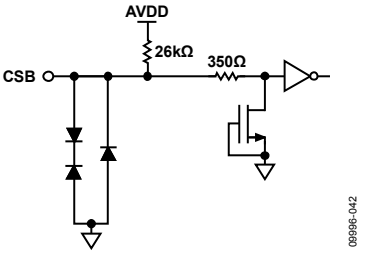

図 45.CSB の等価入力回路

動作原理

AD9634 の ADC 入力に適切なローパス・フィルタまたはバンドパス・フィルタを使うと、ADC 性能をほとんど損なうことなく、DC～250 MHz の任意の fS/2 周波数セグメントをサンプルすることができます。

AD9634 の設定と制御は、3 ピン SPI 互換シリアル・インターフェースを使って行います。

ADC のアーキテクチャ

AD9634 アーキテクチャは、フロントエンド・サンプル・アンド・ホールド回路とそれに続くパイプライン化されたスイッチド・キャパシタ型 ADC から構成されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 12 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作し、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(MDAC)により構成されています。この MDAC は、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

入力ステージには差動サンプリング回路が含まれており、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへの出力が行われます。出力バッファの電源は分離されているため、デジタル出力ノイズをアナログ・コアから分離することができます。パワーダウン時には、出力バッファはハイ・インピーダンス状態になります。

アナログ入力に対する考慮

AD9634 のアナログ入力は、差動のスイッチド・キャパシタ回路になっています。この回路は、差動入力信号を処理する際に最適性能が得られるようにデザインされています。

クロック信号により、入力はサンプル・モードとホールド・モードの間で交互に切り替えられます(図 46 参照)。入力がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電する能力を持ち、クロック・サイクルの 1/2 以内で安定する必要があります。

各入力に小さい抵抗を直列に接続すると、駆動側の出力ステージに必要とされるピーク過渡電流を減少させることに役立ちます。また、入力間に小さいコンデンサをシャント接続すると、動的な充電電流を供給することができます。これらの受動回路は ADC 入力でローパス・フィルタを構成するため、正確な値はアプリケーションに依存します。

中間周波数(IF)アンダーサンプリング・アプリケーションの場合は、シャント・コンデンサを小さくしてください。駆動源インピーダンスとの組み合わせでは、シャント・コンデンサが入力帯域幅を制限します。詳細については、AN-742 アプリケーション・ノート「*スイッチド・キャパシタ ADC の周波数領域応答*」、AN-827 アプリケーション・ノート「*共振方式によるアンプとスイッチド・キャパシタ ADC のインターフェース*」、技術情報誌 Analog Dialogue「*Transformer-Coupled Front-End for Wideband A/D Converters*」を参照してください。

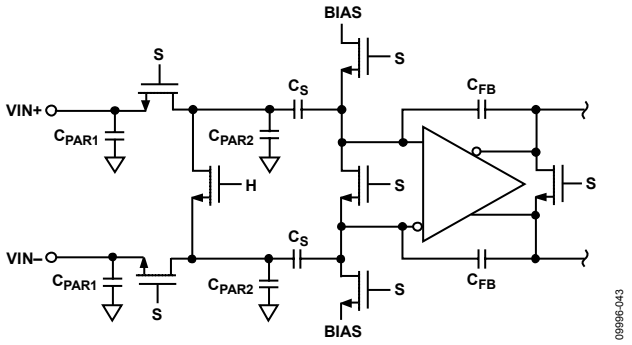

図 46.スイッチド・キャパシタ入力

最適なダイナミック性能を得るためには、VIN+と VIN-を駆動するソース・インピーダンスを一致させ、さらに入力も平衡させてください。

入力同相モード

AD9634 のアナログ入力は内部で DC バイアスされていません。AC 結合のアプリケーションでは、ユーザが外部からこのバイアスを与える必要があります。最適性能のためには、デバイスを V_{CM} = 0.5 × AVDD (すなわち 0.9 V) となるように設定することが推奨されます。同相モード・リファレンス電圧が内蔵されており、VCM ピンに出力されています。VCM 出力を使って入力同相モードを設定することが推奨されます。アナログ入力の同相モード電圧を VCM ピン電圧(0.5 × AVDD (typ))で設定したときに最適性能が得られます。VCM ピンは、0.1µF のコンデンサによりグラウンドにデカップリングする必要があります(アプリケーション情報参照)。このデカップリング・コンデンサはピンの近くに配置して、デバイスとこのコンデンサの間の直列抵抗とインダクタンスを小さくしてください。

差動入力構成

最適性能は、AD9634 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、 AD8138、ADA4937-1、ADA4930-1 の各差動ドライバが優れた性能と A/D コンバータに対する柔軟なインターフェースを提供します。

ADA4930-1 の出力同相モード電圧は AD9634 の VCM ピンで容易に設定できるため(図 47 参照)、ドライバを Sallen Key フィルタ回路に組込んで入力信号の帯域制限を行うことができます。

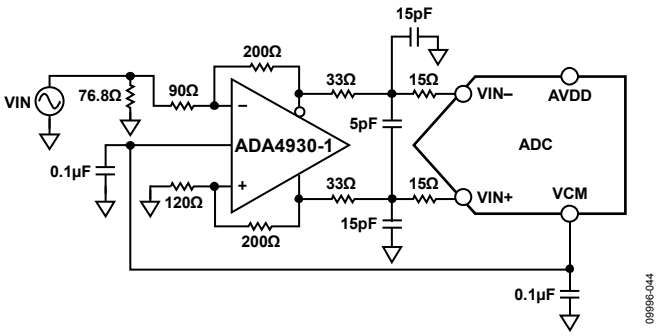

図 47.ADA4930-1 を使用した差動入力構成

SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 48 に例を示します。アナログ入力にバイアスを加えるときは、VCM 電圧をトランス 2 次巻線のセンタータップに接続してください。

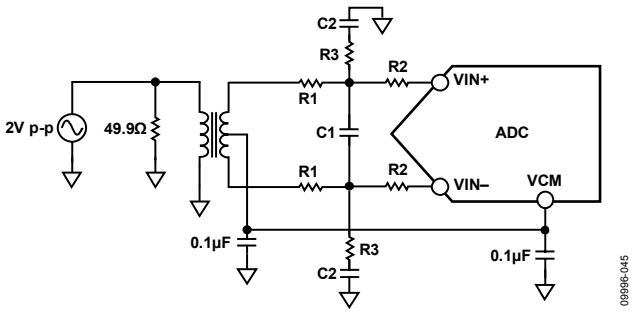

図 48.差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを発生させます。

第 2 ナイキスト領域およびそれ以上の入力周波数では、AD9634 の真の SNR 性能を得るためには、大部分のアンプのノイズ性能は不十分です。SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動ダブル・バラン結合を使用することが推奨されます(図 49 参照)。この構成では、入力は AC 結合され、VCM 電圧が 33 Ω 抵抗を介して各入力に供給されます。これらの抵抗は入力バランの損失を補償して、ドライバに対して 50 Ω インピーダンスを提供します。

ダブル・バラン構成とトランス構成では、入力コンデンサと抵抗の値は入力周波数とソース・インピーダンスに依存します。これらのパラメータに基づき、入力抵抗とコンデンサの値を調整するか、部品の削除が必要となることがあります。 表 9 に、様々な入力周波数範囲に対して RC 回路を設定する推奨値を示しますが、これらの値は入力信号と帯域幅に依存するため、初期ガイドとしてのみ使用してください。表 9 に示す値は、図 49 に示す R1、R2、R3、C1、C2 の各部品に対するものであることに注意してください。

表 9. RC 回路の例

Frequency Range (MHz)	R1 Series (Ω)	C1 Differential (pF)	R2 Series (Ω)	C2 Shunt (pF)	R3 Shunt (Ω)
0 to 100	33	8.2	0	15	49.9
100 to 300	15	3.9	0	8.2	49.9

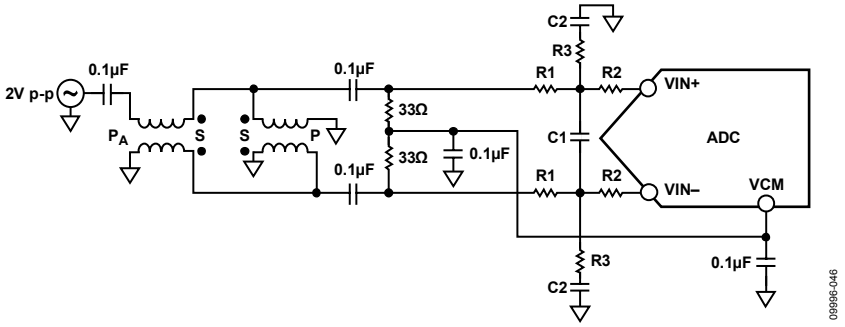

図 49.差動ダブル・バラン入力構成

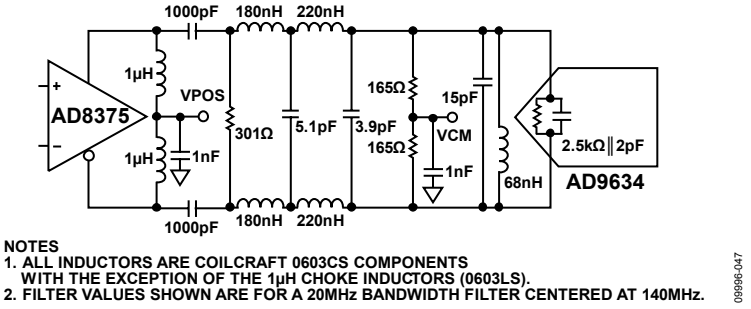

図 50.AD8375 を使用した差動入力構成

第 2 ナイキスト領域の周波数でトランス結合入力を使う代わりに、可変ゲイン・アンプを使う方法があります。AD8375 デジタル可変ゲイン・アンプ(DVGA)は、AD9634 の駆動で優れた性能を提供します。図 50 に、折り返し防止バンドパス・フィルタを介して AD9634 を駆動する AD8375 の例を示します。

リファレンス電圧

AD9634 には、安定かつ正確なリファレンス電圧が内蔵されています。フルスケール入力範囲は、SPI を介して基準電圧を変化させることにより調整することができます。ADC の入力スパンは、リファレンス電圧の変化に比例して追従します。

クロック入力の考慮事項

最適性能を得るためには、AD9634 のクロック(CLK+と CLK-)を差動で入力する必要があります。信号は、一般にトランスまたは受動部品構成を介して CLK+ピンと CLK-ピンに AC 結合されます。これらのピンは内部でバイアスされるため(図 51 参照)、外付けバイアスは不要です。入力をフローティングにすると、CLK− ピンをロー・レベルにプルダウンして余分なクロック動作を防止します。

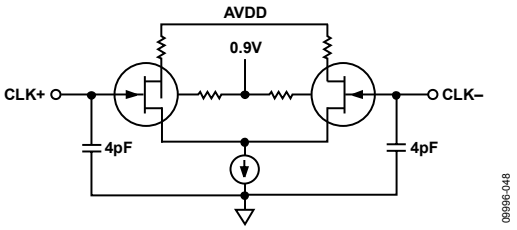

図 51.等価クロック入力回路

クロック入力オプション

AD9634 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。

図 52 と図 53 に、AD9634 をクロック駆動する(625 MHz のクロック・レートまで) 2 つの望ましい方法を示します。ジッタの少ないクロック・ソースは、RF バランまたは RF トランスを使ってシングルエンド信号から差動信号に変換されます。

RF バラン構成は 125 MHz～625 MHz のクロック周波数に、RF トランスは 10 MHz～200 MHz のクロック周波数に、それぞれ推奨されます。トランス 2 次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9634 に入力されるクロックを約 0.8 V のピーク to ピーク差動に制限します。この機能は、クロックの大きな電圧振幅が AD9634 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。

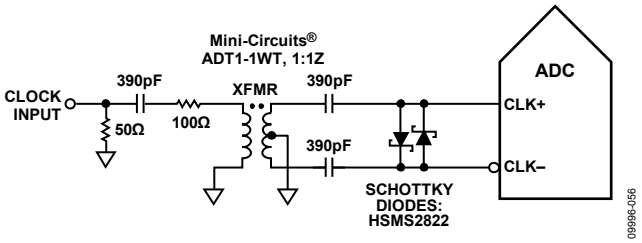

図 52.トランス結合の差動クロック(最大 200 MHz)

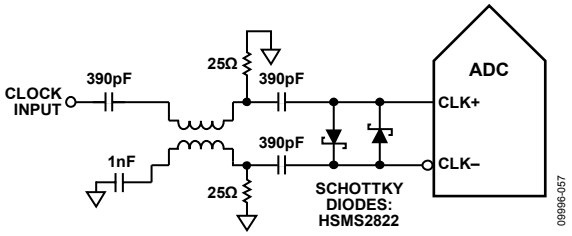

図 53.バラン結合の差動クロック(最大 625 MHz)

低ジッタ・クロック・ソースがない場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 54 参照)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524、ADCLK905、ADCLK907、ADCLK925 の各クロック・ドライバは優れたジッタ性能を提供します。

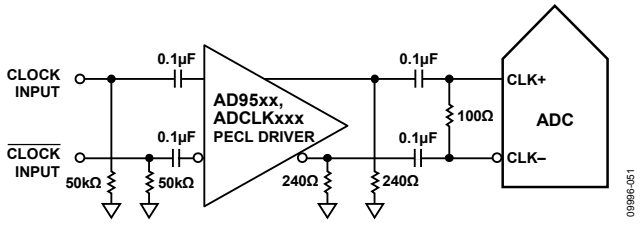

図 54.差動 PECL サンプル・クロック(最大 625 MHz)

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 55 参照)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524 の各クロック・ドライバは、優れたジッタ性能を提供します。

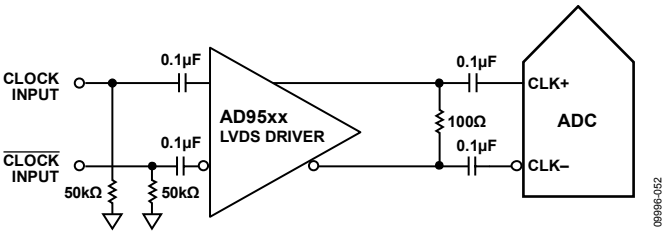

図 55.差動 LVDS サンプル・クロック(最大 625 MHz)

入力クロック・ドライバ

AD9634 は、入力クロックを 1～8 分周できる入力クロック分周器を内蔵しています。分周比を 1 以外に選択すると、パワーアップ時に DCS がデフォルトでイネーブルされます。

クロック・デューティ・サイクル

代表的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容偏差は±5%以内である必要があります。

AD9634 は、非サンプリング・エッジ(立下がり)の再タイミングを行って、公称 50%のデューティ・サイクルを持つ内部クロック信号を発生する DCS を内蔵しています。この回路により、AD9634 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。

それでも、入力クロックの立上がりエッジのジッタは大きな問題であり、デューティ・サイクル・スタビライザで減少させることはできません。デューティ・サイクル制御ループは、公称 40 MHz 以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わるときは、これを考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCS ループが入力信号にロックするまで、1.5 µs～5 µs の待ち時間が必要です。ループがロックされていない間、DCS ループはバイパスされるため、内部デバイスのタイミングは入力クロック信号のデューティ・サイクルに依存します。このようなアプリケーションでは、デューティ・サイクル・スタビライザをディスエーブルすることが適切です。その他のすべてのアプリケーションでは、AC 性能を最大にするため DCS 回路をイネーブルすることが推奨されます。

ジッタについての考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数(f_{IN})でジッタ(t_J)により発生する SNR 性能の低下は次式で計算されます。

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{JRMS})^2 + 10^{(-SNR_{LF}/10)}]$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 56)。

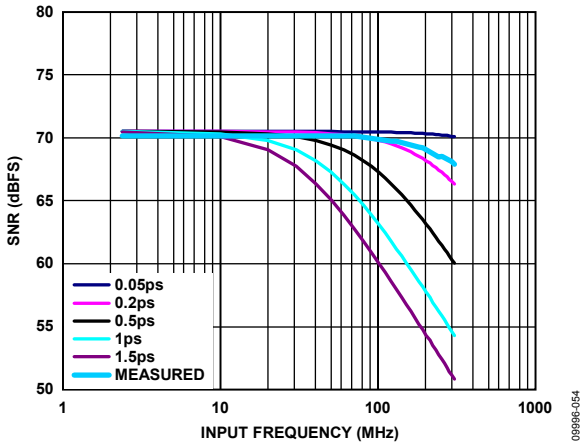

図 56.AD9634-250 の入力周波数およびジッタ対 SNR

アパーチャ・ジッタが AD9634 のダイナミック・レンジに影響を与えるケースでは、クロック入力をアナログ信号として扱ってください。さらに、クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにしてください。低ジッタの水晶制御オシレータは、最適なクロック源を提供します。クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

ADC に関係するジッタ性能の詳細については、AN-501 アプリケーション・ノート「*アパーチャ不確定性と ADC システム性能*」と AN-756 アプリケーション・ノート「*サンプル化システムに及ぼすクロック位相ノイズとジッタの影響*」を参照してください。

消費電力とスタンバイ・モード

図 57 に示すように、AD9634 で消費される電力はサンプル・レートに比例します。図 57 のデータは、代表的な性能特性 のセクションと同じ動作条件で取得しました。

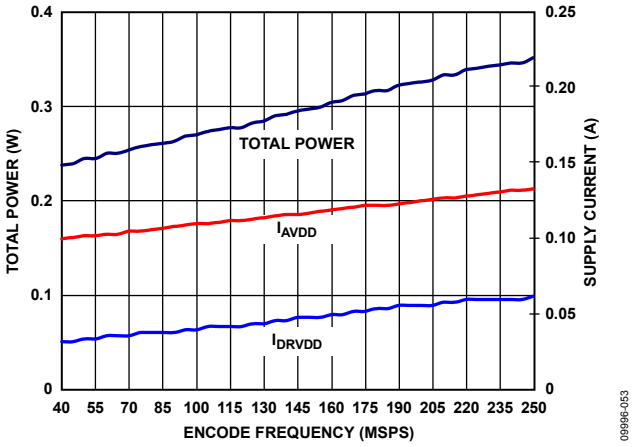

図 57.AD9634-250 のサンプル・レート対消費電力および電流

パワー・モード・レジスタ (アドレス 0x08)の内部パワーダウン・モード・ビット (ビット[1:0]) に 01 を設定すると、AD9634 はパワーダウン・モードになります。この状態では、ADC の消費電力は 5 mW(typ)になります。パワーダウン時は、出力ドライバはハイ・インピーダンス状態になります。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。パワーダウン・モードに入ると、内部コンデンサは放電するため、通常動作に戻るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、パワーダウン・サイクルが短いほど、ウェイクアップ時間も短くなります。

SPI ポート・インターフェースを使うときは、ADC をパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップが必要な場合、内蔵リファレンス回路を動作させたままにしておくことができます。デバイスをスタンバイ・モードにするときは、パワー・モード・レジスタ (アドレス 0x08)の内部パワーダウン・モード・ビット (ビット[1:0]) に 10 を設定します。詳細については、AN-877 アプリケーション・ノート「*SPI を使った高速 ADC へのインターフェース*」を参照してください。

デジタル出力

AD9634 出力ドライバを 1.8 V DRVDD 電源を使って ANSI LVDS または小振幅 LVDS 用に設定することができます。

AN-877 アプリケーション・ノート「*SPI を使った高速 ADC へのインターフェース*」で説明するように、SPI 制御を使用する場合、データ・フォーマットとして、オフセット・バイナリ、2 の補数、またはグレイ・コードを選択することができます。

デジタル出力イネーブル機能(OEB)

AD9634 は、デジタル出力ピンに対して柔軟なスリー・ステート機能を持っています。スリー・ステート・モードは、SPIインターフェースを使ってイネーブルします。レジスタ 0x14 の出力イネーブル・バー・ビット (ビット 4)を使うと、データ出力をスリー・ステートにすることができます。このOEB機能は、データ・バスに対する高速アクセスを意図したものではありません。

タイミング

AD9634 は、入力サンプル・クロックで 10 サイクルのパイプライン遅延を持つラッチされたデータを出力します。データ出力は、クロック信号の立上がりエッジから 1 伝搬遅延(t_{PD})後に出力されます。

出力データラインの長さと、それらに接続された負荷を最小にして AD9634 内部の過渡電圧を抑えてください。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD9634 の最小変換レートは 40 MSPS (typ)です。40 MSPS より低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・クロック出力(DCO)

AD9634 は、外部レジスタにデータをキャプチャするためのデータ・クロック出力 (DCO)も提供します。図 2 に、AD9634 出力モードのタイミング図を示します。

ADC オーバーレンジ(OR)

ADC の入力でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ状態は ADC パイプラインの出力で決定されるため、ADC クロックで 10 サイクルのレイテンシが発生します。入力でのオーバーレンジは、発生してから 10 クロック・サイクル後にこのビットで表示されます。

表 10.出力データ・フォーマット

Input (V)	VIN+ − VIN−, Input Span = 1.75 V p-p (V)	Offset Binary Output Mode	Twos Complement Mode (Default)	OR
VIN+ − VIN−	< −0.875	0000 0000 0000	1000 0000 0000	1
VIN+ − VIN−	= −0.875	0000 0000 0000	1000 0000 0000	0
VIN+ − VIN−	= 0	1000 0000 0000	0000 0000 0000	0
VIN+ − VIN−	= +0.875	1111 1111 1111	0111 1111 1111	0
VIN+ − VIN−	> +0.875	1111 1111 1111	0111 1111 1111	1

シリアル・ポート・インターフェース(SPI)

AD9634 シリアル・ポート・インターフェース(SPI)を使うと、ADC 内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI を使うと、アプリケーションに応じて、柔軟性とカスタマイズ性が向上します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これらのフィールドは、メモリ・マップのセクションに記載します。詳細については、AN-877 アプリケーション・ノート「*SPI を使った高速 ADC へのインターフェース*」を参照してください。

SPI を使う設定

この ADC の SPI は、SCLK ピン、SDIO ピン、CSB ピンの 3 本のピンにより定義されます(表 11 参照)。SCLK (シリアル・クロック)ピンは、ADC に対する読出し/書込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、読込サイクルと書込みサイクルをイネーブル/ディスエーブルします。

表 11.シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial clock. The serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO	Serial data input/output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active-low control that gates the read and write cycles.

CSB の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 58 と表 5 に示します。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をバイト間でハイ・レベルに維持して外部タイミングを伸ばすことができます。CSB をハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードではすべての SPI ピンは 2 つ目の機能になります。

命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます。

すべてのデータは 8 ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットは、読出しコマンドまたは書込みコマンドのいずれが発行されたかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンが入力と出力との間で方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファースト・モードはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変えることができます。この機能およびその他の詳細については、AN-877 アプリケーション・ノート「*SPI を使った高速 ADC へのインターフェース*」を参照してください。

ハードウェア・インターフェース

表 11 に示すピンにより、ユーザ書込みデバイスと AD9634 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するときは入力として機能します。SDIO ピンは双方向で、書込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方法は、AN-812 アプリケーション・ノート「*Microcontroller-Based Serial Port Interface (SPI) Boot Circuit*」に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9634 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPI からアクセス可能な機能

表 12 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、AN-877 アプリケーション・ノート「*SPI を使った高速 ADC へのインターフェース*」で詳しく説明しています。

表 12.SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS via the SPI
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set up outputs
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay
VREF	Allows the user to set the reference voltage
Digital Processing	Allows the user to enable the synchronization features

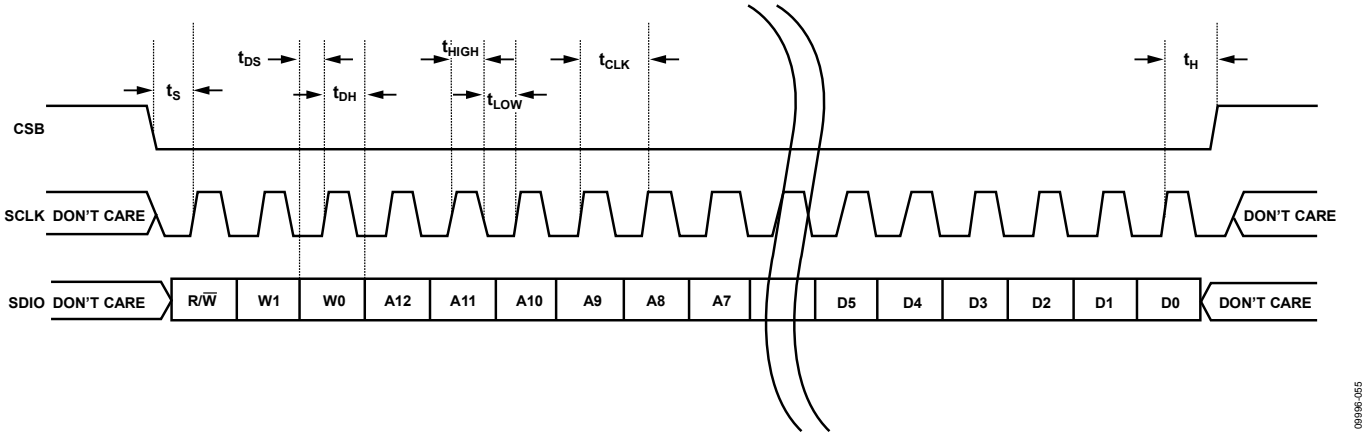

図 58.シリアル・ポート・インターフェースのタイミング図

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、セットアップ、コントロール、テストを含む、チップ設定レジスタ (アドレス 0x00～アドレス 0x02)、転送レジスタ (アドレス 0xFF)、ADC 機能レジスタ (アドレス 0x08～0x25)の 3 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブル(表 13 参照)には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x14 の出力モード・レジスタは、16 進デフォルト値 0x01 を持ちます。これは、ビット 0 = 1 で、残りのビットはすべて 0 であることを意味します。この設定値は、デフォルトの出力フォーマット値で 2 の補数です。この機能およびその他の詳細については、AN-877 アプリケーション・ノート「*SPI を使った高速 ADC へのインターフェース*」を参照してください。このドキュメントでは、レジスタ 0x00～レジスタ 0x25 により制御される機能を詳しく説明しています。

未使用ロケーション

表 13 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。有効アドレス・ロケーションの未使用ビットには 0 を書込んでください。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書込みが必要です(たとえばアドレス 0x18)。アドレス・ロケーション全体が未使用の場合(たとえばアドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

デフォルト値

AD9634 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 13)に記載してあります。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。

転送レジスタ・マップ

アドレス 0x08～アドレス 0x20 はシャドウされます。これらのアドレスに書込みを行っても、アドレス 0xFF に 0x01 を書込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。この動作により、転送ビットがセットされたときに、これらのレジスタが内部で同時に更新されるようになります。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

メモリ・マップ・レジスタ・テーブル

表 13 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。

表 13.メモリ・マップ・レジスタ

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/ Comments
Chip Configuration Registers											
0x00	SPI port configuration	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	Nibbles are mirrored so that LSB-first mode or MSB-first mode is set correctly, regardless of shift mode.
0x01	Chip ID	8-bit chip ID[7:0], AD9634 = 0x87 (default)								0x87	Read only.
0x02	Chip grade	Open	Open	Speed grade ID; 00 = 250 MSPS 01 = 210 MSPS 11 = 170 MSPS		Open	Open	Open	Open		Speed grade ID used to differentiate devices; read only.
Transfer Register											
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchro-nously transfers data from the master shift register to the slave.
ADC Function Registers											
0x08	Power modes	Open	Open	Open	Open	Open	Open	Internal power-down mode 00 = normal operation 01 = full power-down 10 = standby 11 = reserved		0x00	Determines various generic modes of chip operation.
0x09	Global clock	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilizer (default)	0x01	
0x0B	Clock divide	Open	Open	Input clock divider phase adjust 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles 111 = 7 input clock cycles			Clock divide ratio 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8			0x00	Clock divide values other than 000 auto-matically cause the duty cycle stabilizer to become active.
0x0D	Test mode	Test mode 0 = contin-uous/ repeat pattern 1 = single pattern then zeros	Open	Reset PN long gen	Reset PN short gen	Output test mode 0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN long sequence 0110 = PN short sequence 0111 = one/zero word toggle 1000 = user test mode 1001 to 1110 = unused 1111 = ramp output				0x00	When this register is set, the test data is placed on the output pins in place of normal data.
0x0E	BIST enable	Open	Open	Open	Open	Open	Reset BIST sequence	Open	BIST enable	0x00	
0x10	Offset adjust	Open	Open	Offset adjust in LSBs from +31 to −32 (twos complement format)						0x00	
0x14	Output mode	Open	Open	Open	Output enable bar	Open	Output invert	Output format 00 = offset binary		0x01	Configures the outputs

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/ Comments
					0 = on (default) 1 = off		0 = normal (default) 1 = inverted	01 = twos complement (default) 10 = gray code 11 = reserved			and the format of the data.
0x15	Output adjust	Open	Open	Open	Open	LVDS output drive current adjust 0000 = 3.72 mA output drive current 0001 = 3.5 mA output drive current (default) 0010 = 3.30 mA output drive current 0011 = 2.96 mA output drive current 0100 = 2.82 mA output drive current 0101 = 2.57 mA output drive current 0110 = 2.27 mA output drive current 0111 = 2.0 mA output drive current (reduced range) 1000 to 1111 = reserved				0x01	
0x16	Clock phase control	Invert DCO clock	Open	Open	Open	Open	Open	Open	Open	0x00	
0x17	DCO output delay	Enable DCO clock delay	Open	Open	DCO clock delay [delay = (3100 ps × register value/31 + 100)] 00000 = 100 ps 00001 = 200 ps 00010 = 300 ps … 11110 = 3100 ps 11111 = 3200 ps					0x00	
0x18	Input span select	Open	Open	Open	Full-scale input voltage selection 01111 = 2.087 V p-p … 00001 = 1.772 V p-p 00000 = 1.75 V p-p (default) 11111 = 1.727 V p-p … 10000 = 1.383 V p-p					0x00	Full-scale input adjustment in 0.022 V steps.
0x19	User Test Pattern 1 LSB	User Test Pattern 1[7:0]								0x00	
0x1A	User Test Pattern 1 MSB	User Test Pattern 1[15:8]								0x00	
0x1B	User Test Pattern 2 LSB	User Test Pattern 2[7:0]								0x00	
0x1C	User Test Pattern 2 MSB	User Test Pattern 2[15:8]								0x00	
0x1D	User Test Pattern 3 LSB	User Test Pattern 3[7:0]								0x00	
0x1E	User Test Pattern 3 MSB	User Test Pattern 3[15:8]								0x00	
0x1F	User Test Pattern 4 LSB	User Test Pattern 4[7:0]								0x00	
0x20	User Test Pattern 4 MSB	User Test Pattern 4[15:8]								0x00	
0x24	BIST signature LSB	BIST signature[7:0]								0x00	Read only.
0x25	BIST signature MSB	BIST signature[15:8]								0x00	Read only.

アプリケーション情報

デザイン・ガイドライン

AD9634 のシステムのレベル・デザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインをお読みください。

電源とグラウンドの推奨事項

電源を AD9634 に接続する際は、2 個の 1.8 V 電源を使うことが推奨されます。1 個はアナログ(AVDD)に、別の 1 個はデジタル(DRVDD)に接続します。高周波と低周波のデカップリングをカバーするために、種類の異なる複数のデカップリング・コンデンサを使うことができます。これらコンデンサは PC ボード・レベルの入り口の近くで、かつ最短パターンでデバイス・ピンの近くに配置してください。

AD9634 を使うときは、1 枚の PC ボード・グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの適切な分割により、最適性能を容易に実現することができます。

エクスポーズド・パッド・サーマル・ヒート・スラグの推奨事項

最適な電気性能と熱性能を得るためには、ADC の下側のエクスポーズド・パッドをアナログ・グラウンド(AGND)に接続することが必要です。PCB 上に露出した(ハンダ・マスクなし)連続銅プレーンを設けて、これに AD9634 のエクスポーズド・パッド(ピン 0)を接続します。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCB の裏面へ放熱するようにします。これらのビアには非伝導性のエポキシを詰める必要があります。

ADC と PCB との接触面積と接着を最大にするため、シルクスクリーンで覆い、PCB の連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時に ADC と PCB の間で複数の接続点を形成することができます。パーティションのない 1 枚の連続プレーンを使うと、ADC と PCB との間の接続点が確実に 1 個だけになります。PCB レイアウト例については評価用ボードを参照してください。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、AN-772 アプリケーション・ノート「*リード・フレーム・チップ・スケール・パッケージ（LFCSP）の設計および製造ガイド*」を参照してください。

VCM

VCM ピンは、0.1µF のコンデンサによりグラウンドにデカップリングしてください(図 48 参照)。

SPI ポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9634 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力ピンでこれらの信号が変化するのを防止することが必要になります。

外形寸法

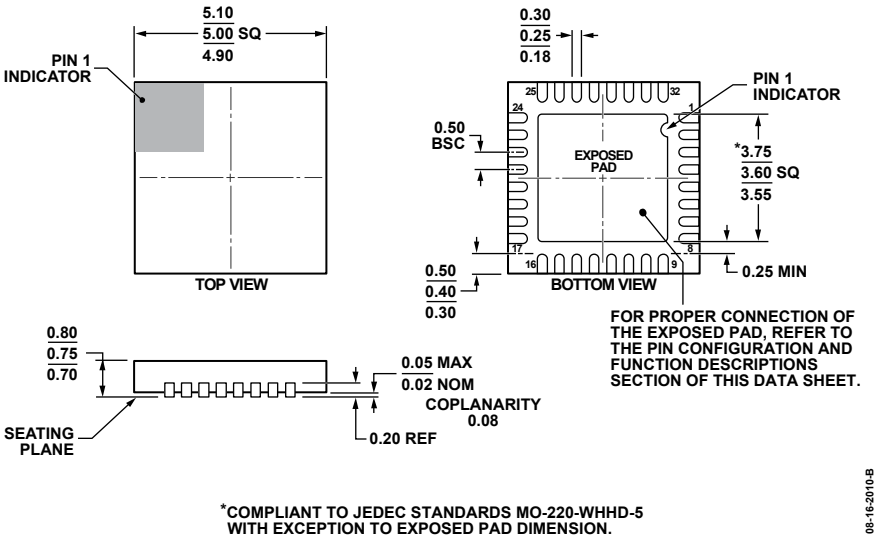

図 59.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
5 mm x 5 mm ボディ、極薄クワッド
(CP-32-12)
寸法: mm

オーダー・ガイド

Model[1]	Temperature Range	Package Description	Package Option
AD9634BCPZ-250	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9634BCPZRL7-250	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9634BCPZ-210	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9634BCPZRL7-210	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9634BCPZ-170	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9634BCPZRL7-170	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
AD9634-170EBZ		Evaluation Board with AD9634 and Software	
AD9634-210EBZ		Evaluation Board with AD9634 and Software	
AD9634-250EBZ		Evaluation Board with AD9634 and Software	

[1] Z = RoHS 準拠製品。