

特長

消費電力: 3.3 V で出力 2 mA
10 MSPS で 37 mW
125 MSPS で 86 mW
スリープ・モード: 3.3 V で 3 mW 以下
電源電圧: 1.8 V~3.3 V
ナイキスト周波数までの SFDR
1 MHz 出力で 84 dBc
10 MHz 出力で 75 dBc
1 MHz 出力、125 MSPS、2 mA での AD9717 の NSD: -151 dBc/Hz
差動電流出力: 1 mA~4 mA
補助 DAC を 2 個内蔵
シングル・ポート動作の CMOS 入力
出力コモン・モード: 0 V~1.2 V で調整可能
小型フットプリントの 40 ピン LFCSP RoHS 準拠パッケージを採用

アプリケーション

ワイヤレス・インフラストラクチャ
ピコセル、フェムトセルの基地局
医療計測機器
超音波トランスデューサの励起
ポータブル計装機器
信号ジェネレータ、任意波形ジェネレータ

概要

AD9714/AD9715/AD9716/AD9717 は、ピン・コンパチブルの 8/10/12/14 ビット低消費電力デュアル D/A コンバータ (DAC) で 125 MSPS のサンプル・レートで動作します。これらの TxDAC[®] コンバータは、通信システムの送信信号パス向けに最適化されています。すべてのデバイスは、同じインターフェース、パッケージ、ピン配置を持つため、性能、分解能、価格に応じて柔軟な部品選択が可能です。

AD9714/AD9715/AD9716/AD9717 は、優れた AC および DC 性能を提供し、最大 125 MSPS の更新レートをサポートします。

AD9714/AD9715/AD9716/AD9717 は、1.8 V~3.3 V の柔軟な電源動作範囲と低消費電力を持つため、ポータブルおよび低消費電力アプリケーションに最適です。

製品のハイライト

1. 低消費電力。
1.8 V~3.3 V の単電源で動作し、1.8V 電源、125 MSPS での合計消費電力を 35 mW まで削減。アイドル区間で低消費電力を実現するスリープ・モードとパワーダウン・モード。
2. CMOS クロック入力。
125 MSPS の変換レートをサポートする高速シングルエンド CMOS クロック入力。
3. 他の部品への容易なインターフェース。
0 V~1.2 V で調整可能な出力コモン・モードにより、0 V より高いコモン・モード・レベルを受け付ける他の部品へ容易にインターフェースが可能。

目次

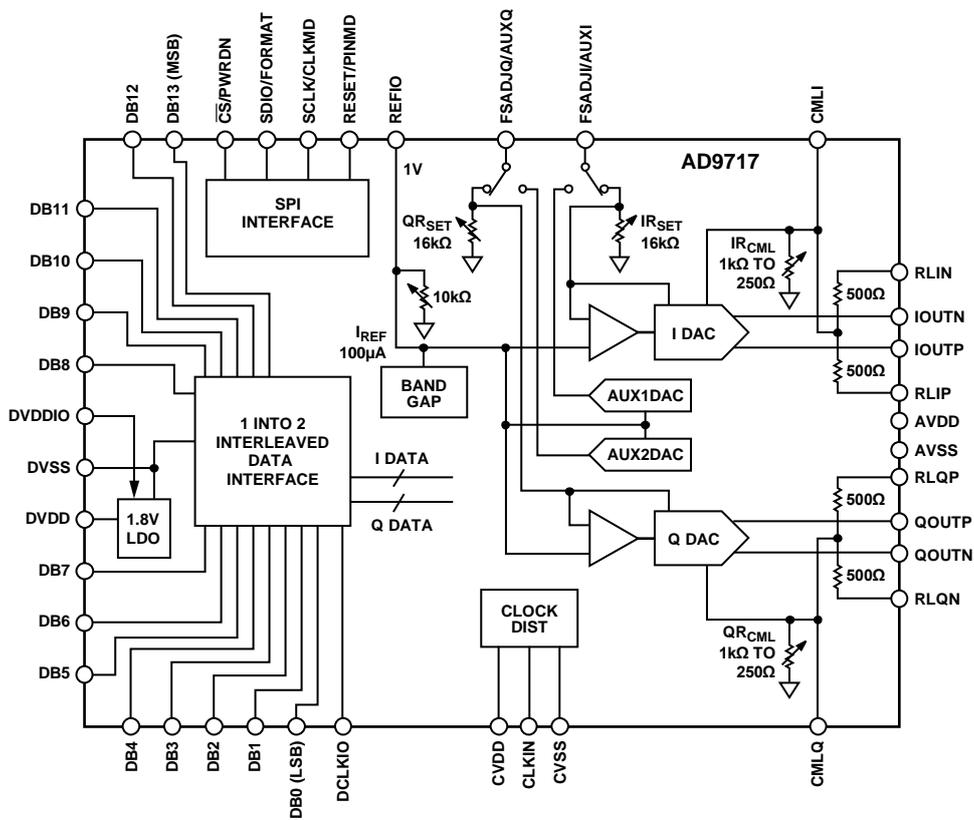
特長	1	DAC パイプラインの全体遅延の計算	42
アプリケーション	1	リファレンスの動作	43
概要	1	リファレンス・コントロール・アンプ	43
製品のハイライト	1	DAC の伝達関数	44
改訂履歴	3	アナログ出力	44
機能ブロック図	4	セルフ・キャリブレーション	45
仕様	5	ゲインの粗調整	46
DC 仕様	5	内部終端抵抗の使用	47
デジタル仕様	7	アプリケーション情報	48
AC 仕様	8	出力の構成	48
絶対最大定格	9	トランスを使用する差動結合	48
熱抵抗	9	オペアンプを使用したバッファ付きシングルエンド出力	48
ESD の注意	9	オペアンプを使った差動バッファ付き出力	49
ピン配置およびピン機能説明	10	補助 DAC	49
代表的な性能特性	18	DAC—変調器間のインターフェース	50
用語	31	IF/RF 変換での直交変調器の非理想的な性能の補正	50
動作原理	32	I/Q チャンネル間のゲイン・マッチング	50
シリアル・ペリフェラル・インターフェース(SPI)	33	LO フィードスルーの補償	51
シリアル・インターフェースの全般的な動作	33	ゲインとオフセットの補正結果	51
命令バイト	33	ADL5370 内蔵の直交変調器を使用するための評価ボードの変更	52
シリアル・インターフェース・ポート・ピンの説明	33	評価ボードの回路図とアートワーク	53
MSB/LSB の転送	34	回路図	53
シリアル・ポートの動作	34	シルクスクリーン	61
ピン・モード	34	部品表	76
SPI レジスタ・マップ	35	外形寸法	79
SPI レジスタの説明	36	オーダー・ガイド	79
デジタル・インターフェースの動作	40		
デジタル・データのラッチとリタイマー・ブロック	41		

改訂履歷**3/09—Rev. 0 to Rev. A**

Changes to Figure 1	4	Changes to Digital Interface Operation Section and Figure 89 to Figure 93.....	40
Changed DVDD = 3.3 V to DVDD = 1.8 V,		Changes to Digital Data Latching and Retimer Block Section, Figure 94, and Retimer Section	41
Table 1 Conditions	5	Changes to Estimating the Overall DAC Pipeline Delay Section	42
Changes to Table 1	5	Added Reference Operation Section, Figure 96, Recommendations When Using an External Reference Section, and Reference Control Amplifier Section	43
Changed DVDD = 3.3 V to DVDD = 1.8 V,		Added Table 17; Renumbered Sequentially.....	43
Table 2 Conditions	7	Added DAC Transfer Function Section and Analog Output Section	44
Changed DVDD = 3.3 V to DVDD = 1.8 V, and DVDDIO = 1.8 V to DVDDIO = 3.3 V, Table 3 Conditions	8	Changes to Figure 99 and Figure 100	46
Changed DVDD = 3.3 V to DVDD = 1.8 V, CVDD = 3.3 V to CVDD = 1.8 V, Table 4 Conditions.....	8	Changes to Auxiliary DACs Section and Figure 107.....	49
Changes to Table 5 and Table 6.....	9	Changes to DAC-to-Modulator Interfacing Section and Figure 108.....	49
Changes to Figure 2 and Table 7	10	Changes to Figure 108 and Figure 109	50
Changes to Figure 3 and Table 8.....	12	Added Evaluation Board Schematics and Artwork Section, and Figure 112 to Figure 134.....	53
Changes to Figure 4 and Table 9.....	14	Added Bill of Materials Section and Table 18	76
Changes to Table 10.....	16		
Changes to Typical Performance Characteristics Section	18		
Changes to Figure 84 and Theory of Operation Section	32		
Added Figure 85 to Figure 88; Renumbered Sequentially	34		
Changes to Pin Mode Section	35		
Changes to Table 13	36		
Changes to Table 14.....	37		

8/08—Revision 0: Initial Version

機能ブロック図



07265-001

図 1.

仕様

DC仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 3.3\text{ V}$ 、 $CVDD = 3.3\text{ V}$ 、 $I_{xOUTFS} = 2\text{ mA}$ 、最大サンプル・レート。

表 1.

Parameter	AD9714			AD9715			AD9716			AD9717			Unit
	Min	Typ	Max										
RESOLUTION	8			10			12			14			Bits
ACCURACY, $AVDD = DVDDIO = CVDD = 3.3\text{ V}$													
Differential Nonlinearity (DNL)													
Precalibration	±0.02			±0.08			±0.4			±1.7			LSB
Postcalibration	±0.003			±0.01			±0.2			±1.0			LSB
Integral Nonlinearity (INL)													
Precalibration	±0.025			±0.13			±0.4			±1.8			LSB
Postcalibration	±0.01			±0.05			±0.3			±1.3			LSB
ACCURACY, $AVDD = DVDDIO = CVDD = 1.8\text{ V}$													
Differential Nonlinearity (DNL)													
Precalibration	±0.02			±0.08			±0.4			±1.2			LSB
Postcalibration	±0.005			±0.01			±0.2			±1.0			LSB
Integral Nonlinearity (INL)													
Precalibration	±0.025			±0.12			±0.4			±1.5			LSB
Postcalibration	±0.02			±0.05			±0.25			±1.1			LSB
MAIN DAC OUTPUTS													
Offset Error	-1	0	+1	-1	0	+1	-1	0	+1	-1	0	+1	mV
Gain Error													
Internal Reference	-2	+2		-2	+2		-2	+2		-2	+2		% of FSR
Full-Scale Output Current ¹													
$AVDD = 3.3\text{ V}$	1	2	4	1	2	4	1	2	4	1	2	4	mA
$AVDD = 1.8\text{ V}$	1	2	2.5	1	2	2.5	1	2	2.5	1	2	2.5	mA
Output Compliance Range	-0.5	0	+1.2	-0.5	0	+1.2	-0.5	0	+1.2	-0.5	0	+1.2	V
Output Resistance	200			200			200			200			MΩ
Crosstalk, Q DAC to I DAC													
$f_{OUT} = 30\text{ MHz}$	97			97			97			97			dB
$f_{OUT} = 60\text{ MHz}$	78			78			78			78			dB
MAIN DAC TEMPERATURE DRIFT													
Offset	0			0			0			0			ppm/°C
Gain	±40			±40			±40			±40			ppm/°C
Reference Voltage	±25			±25			±25			±25			ppm/°C
AUXDAC OUTPUTS													
Resolution	10			10			10			10			Bits
Full-Scale Output Current (Current Sourcing Mode)	125			125			125			125			μA
Voltage Output Mode	V_{SS} V_{DD}			V									
Output Compliance Range (Sourcing 1 mA)	V_{SS} $V_{DD} - 0.25$			V									
Output Compliance Range (Sinking 1 mA)	$V_{SS} + 0.25$ V_{DD}			V									
Output Resistance in Current Output Mode, AV_{SS} to 1 V	1			1			1			1			MΩ
AUX DAC Monotonicity Guaranteed	10			10			10			10			Bits
REFERENCE OUTPUT													
Internal Reference Voltage	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	V
Output Resistance	10			10			10			10			kΩ

AD9714/AD9715/AD9716/AD9717

Parameter	AD9714			AD9715			AD9716			AD9717			Unit
	Min	Typ	Max										
REFERENCE INPUT													
Voltage Compliance													
AVDD = 3.3 V	0.1		1.25	0.1		1.25	0.1		1.25	0.1		1.25	V
AVDD = 1.8 V	0.1		1.0	0.1		1.0	0.1		1.0	0.1		1.0	V
Input Resistance External Reference Mode		1			1			1			1		MΩ
DAC MATCHING													
Gain Matching	-1		+1	-1		+1	-1		+1	-1		+1	% FSR
ANALOG SUPPLY VOLTAGES													
AVDD	1.7		3.5	1.7		3.5	1.7		3.5	1.7		3.5	V
CVDD	1.7		3.5	1.7		3.5	1.7		3.5	1.7		3.5	V
DIGITAL SUPPLY VOLTAGES													
DVDD	1.7		1.9	1.7		1.9	1.7		1.9	1.7		1.9	V
DVDDIO	1.7		3.5	1.7		3.5	1.7		3.5	1.7		3.5	V
POWER CONSUMPTION, AVDD = DVDDIO = CVDD = 3.3 V													
$f_{DAC} = 125 \text{ MSPS}$, $I_F = 12.5 \text{ MHz}$		86			86			86			86		mW
I_{AVDD}		10			10			10			10		mA
$I_{DVDD} + I_{DVDDIO}$		11			11			11			11		mA
I_{CVDD}		3			3			3			3		mA
Power-Down Mode with Clock		50			50			50			50		mW
Power-Down Mode, No Clock		1.5			1.5			1.5			1.5		mW
Power Supply Rejection Ratio		-0.04			-0.04			-0.04			-0.04		% FSR/V
POWER CONSUMPTION, AVDD = DVDDIO = CVDD = 1.8 V													
$f_{DAC} = 125 \text{ MSPS}$, $I_F = 12.5 \text{ MHz}$		35			35			35			35		mW
I_{AVDD}		10			10			10			10		mA
$I_{DVDD} + I_{DVDDIO}$		8			8			8			8		mA
I_{CVDD}		1.5			1.5			1.5			1.5		mA
Power-Down Mode with Clock		12			12			12			12		mW
Power-Down Mode, No Clock		850			850			850			850		μW
Power Supply Rejection Ratio		-0.001			-0.001			-0.001			-0.001		% FSR/V
OPERATING RANGE													
	-40	+25	+85	-40	+25	+85	-40	+25	+85	-40	+25	+85	°C

¹ 10 kΩ の外付け抵抗を使用。

デジタル仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 3.3\text{ V}$ 、 $CVDD = 3.3\text{ V}$ 、 $I_{xOUTFS} = 2\text{ mA}$ 、最大サンプル・レート。

表 2.

Parameter	Min	Typ	Max	Unit
DAC CLOCK INPUT (CLKIN)				
V_{IH}	2.1	3		V
V_{IL}		0	0.9	V
Maximum Clock Rate			125	MSPS
SERIAL PERIPHERAL INTERFACE				
Maximum Clock Rate (SCLK)		25		MHz
Minimum Pulse Width High		20		ns
Minimum Pulse Width Low		20		ns
INPUT DATA				
1.8 V Q Channel or DCLKIO Falling Edge				
Setup		0.25		ns
Hold		1.2		ns
1.8 V I Channel or DCLKIO Rising Edge				
Setup		0.13		ns
Hold		1.1		ns
3.3 V Q Channel or DCLKIO Falling Edge				
Setup		-0.2		ns
Hold		1.5		ns
3.3 V I Channel or DCLKIO Rising Edge				
Setup		-0.2		ns
Hold		1.6		ns
V_{IH}	2.1	3		V
V_{IL}		0	0.9	V

AC仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 3.3\text{ V}$ 、 $CVDD = 3.3\text{ V}$ 、 $I_{xOUTFS} = 2\text{ mA}$ 、最大サンプル・レート。

表 3.

Parameter	AD9714			AD9715			AD9716			AD9717			Unit
	Min	Typ	Max										
SPURIOUS-FREE DYNAMIC RANGE (SFDR)													
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 10\text{ MHz}$		75			82			83			84		dBc
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		60			61			62			63		dBc
TWO TONE INTERMODULATION DISTORTION (IMD)													
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 10\text{ MHz}$		86			87			88			89		dBc
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		71			71			71			71		dBc
NOISE SPECTRAL DENSITY (NSD) EIGHT-TONE, 500 kHz TONE SPACING													
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 10\text{ MHz}$		-129			-141			-149			-152		dBc/Hz
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		-123			-135			-137			-141		dBc/Hz
W-CDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER													
$f_{DAC} = 61.44\text{ MSPS}$, $f_{OUT} = 20\text{ MHz}$		-71			-71			-71			-71		dBc
$f_{DAC} = 122.88\text{ MSPS}$, $f_{OUT} = 30\text{ MHz}$		-72			-72			-72			-72		dBc

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 1.8\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 1.8\text{ V}$ 、 $CVDD = 1.8\text{ V}$ 、 $I_{xOUTFS} = 2\text{ mA}$ 、最大サンプル・レート。

表 4.

Parameter	AD9714			AD9715			AD9716			AD9717			Unit
	Min	Typ	Max										
SPURIOUS-FREE DYNAMIC RANGE (SFDR)													
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 10\text{ MHz}$		75			78			79			80		dBc
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		55			56			57			58		dBc
TWO TONE INTERMODULATION DISTORTION (IMD)													
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 10\text{ MHz}$		79			80			84			85		dBc
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		53			53			53			53		dBc
NOISE SPECTRAL DENSITY (NSD) EIGHT-TONE, 500 kHz TONE SPACING													
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 10\text{ MHz}$		-132			-141			-146			-148		dBc/Hz
$f_{DAC} = 125\text{ MSPS}$, $f_{OUT} = 50\text{ MHz}$		-126			-131			-131			-132		dBc/Hz
W-CDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER													
$f_{DAC} = 61.44\text{ MSPS}$, $f_{OUT} = 20\text{ MHz}$		-68			-68			-68			-68		dBc
$f_{DAC} = 122.88\text{ MSPS}$, $f_{OUT} = 30\text{ MHz}$		-68			-68			-68			-68		dBc

絶対最大定格

表 5.

Parameter	Rating
AVDD, DVDDIO, CVDD to AVSS, DVSS, CVSS	-0.3 V to +3.9 V
DVDD to DVSS	-0.3 V to +2.1 V
AVSS to DVSS, CVSS	-0.3 V to +0.3 V
DVSS to AVSS, CVSS	-0.3 V to +0.3 V
CVSS to AVSS, DVSS	-0.3 V to +0.3 V
REFIO, FSADJQ, FSADJI, CMLQ, CMLI to AVSS	-0.3 V to AVDD + 0.3 V
QOUTP, QOUTN, IOUTP, IOUTN, RLQP, RLQN, RLIP, RLIN to AVSS	-1.0 V to AVDD + 0.3 V
DBn ¹ (MSB) to DB0 (LSB), CS, SCLK, SDIO, RESET to DVSS	-0.3 V to DVDDIO + 0.3 V
CLKIN to CVSS	-0.3 V to CVDD + 0.3 V
Junction Temperature	125°C
Storage Temperature Range	-65°C to +150°C

¹ n は、AD9714 の場合は 7 を、AD9715 の場合は 9 を、AD9716 の場合は 11 を、AD9717 の場合は 13 を、それぞれ表します。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

表 6.

Package Type	θ_{JA}	θ_{JB}^1	θ_{JC}^1	Unit
40-Lead LFCSP (with No Airflow Movement)	29.8	19.0	3.4	°C/W

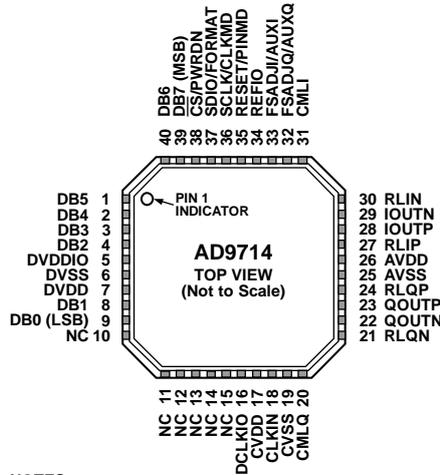
¹ これらの計算は、JEDEC 多層テスト・ボードを使う表示したパッケージの熱性能を表すことを目的としたものです。これらの計算で使用した仮定が実際のアプリケーションで成立することを確認しないで、実際のアプリケーションで同じレベルの熱性能を持つものと見なさないでください。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



- NOTES**
1. NC = NO CONNECT
 2. THE EXPOSED PAD IS CONNECTED TO AVSS AND SHOULD BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

07265-066

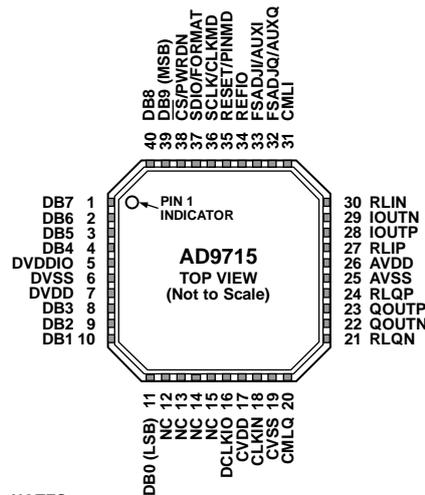
図 2.AD9714 のピン配置

表 7.AD9714 のピン機能説明

ピン番号	記号	説明
1 to 4	DB[5:2]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V)。DVDD を 1.8 V の DVDDIO に接続してください。DVDDIO > 1.8 V の場合は、DVDD を 1.0 μF のコンデンサでバイパスしてください。ただし、その他の場合は接続しないでください。LDO では外部負荷を駆動しないでください。
8	DB1	デジタル入力。
9	DB0 (LSB)	デジタル入力(LSB)。
10 to 15	NC	未接続。これらのピンはチップに接続されていません。
16	DCLKIO	データ入力/出力クロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力コモン・モード・レベル。内蔵 QR _{CML} をイネーブルすると、このピンは内蔵 QR _{CML} 抵抗に接続されま す。このピンは解放のままにすることが推奨されます。内蔵 QR _{CML} をディスエーブルすると、このピンは Q DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(内部終端抵抗の使用のセクシ ョン参照)。この外付け抵抗の推奨値は 0 Ω です。
21	RLQN	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTN に接続す る必要があります。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RLQP	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTP に接続す る必要があります。
25	AVSS	アナログ・コモン。
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。

AD9714/AD9715/AD9716/AD9717

ピン番号	記号	説明
27	RLIP	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTP に接続する必要があります。
28	IOUTP	I DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
29	IOUTN	I DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTN に接続する必要があります。
31	CMLI	I DAC 出力コモン・モード・レベル。内蔵 IR _{CML} をイネーブルすると、このピンは内蔵 IR _{CML} 抵抗に接続されます。このピンは解放のままにすることが推奨されます。内蔵 IR _{CML} をディスエーブルすると、このピンは I DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(内部終端抵抗の使用のセクション参照)。この外付け抵抗の推奨値は 0 Ω です。
32	FSADJQ/AUXQ	フル・スケール電流出力の調整(FSADJQ)。内蔵 QR _{SET} をディスエーブルすると、このピンは Q DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理のセクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 kΩ です。 Q DAC の相補電流出力(AUXQ)。内蔵 QR _{SET} をイネーブルすると、このピンは補助 Q DAC 出力になります。
33	FSADJI/AUXI	フル・スケール電流出力調整(FSADJI)。内蔵 IR _{SET} をディスエーブルすると、このピンは I DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理のセクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 kΩ です。 補助 I DAC 出力(AUXI)。内蔵 IR _{SET} をイネーブルすると、このピンは補助 I DAC 出力になります。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μF のコンデンサが必要)。
35	RESET/PINMD	このピンはデバイスの動作モードを指定します。ロー・レベルにすると(DVSS ヘプルダウン)、デバイスは SPI モードになります。ハイの RESET パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。 ハイ・レベル(DVDDIO ヘプルアップ)を入力すると、デバイスはピン・モードになります(PINMD)。
36	SCLK/CLKMD	シリアル・ポートのクロック入力(SCLK)。SPI モードでは、このピンはシリアル・ポートのクロック入力として機能します。 クロック・モード(CLKMD)。ピン・モードでは、CLKMD により内部リタイミグ・クロックの位相を指定します。DCLKIO = CLKIN のときは 0 に接続してください。DCLKIO ≠ CLKIN のときは、パルスの 0 から 1 へのエッジで内部リタイマーがトリガーされます(リタイマーのセクション参照)。
37	SDIO/FORMAT	シリアル・ポート入力/出力(SDIO)。SPI モードでは、このピンはシリアル・ポートの双方向データ・ラインとして機能します。 フォーマット・ピン(FORMAT)。ピン・モードでは、FORMAT により、デジタル・データのデータ・フォーマットを指定します。ロー・レベルにすると(DVSS ヘプルダウン)、バイナリ入力データ・フォーマットが選択されます。ハイ・レベル(DVDDIO ヘプルアップ)を入力すると、2 の補数入力データ・フォーマットが選択されます。
38	$\overline{\text{CS}}$ /PWRDN	アクティブ・ローのチップ・セレクト($\overline{\text{CS}}$)。SPI モードでは、このピンはアクティブ・ローのチップ・セレクトとして機能します。ピン・モードでは、ハイ・レベル(DVDDIO ヘプルアップ)を入力すると、デバイスは SPI ポートを除いてパワーダウンします。 パワーダウン(PWRDN)。ピン・モードでは、PWRDN により、デバイス(SPI ポート以外)をパワーダウンさせます。
39	DB7 (MSB)	デジタル入力(MSB)。
40	DB6	デジタル入力。
41 (EPAD)	Exposed Pad (EPAD)	露出パッドは AVSS に接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。



NOTES
 1. NC = NO CONNECT
 2. THE EXPOSED PAD IS CONNECTED TO AVSS AND SHOULD BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

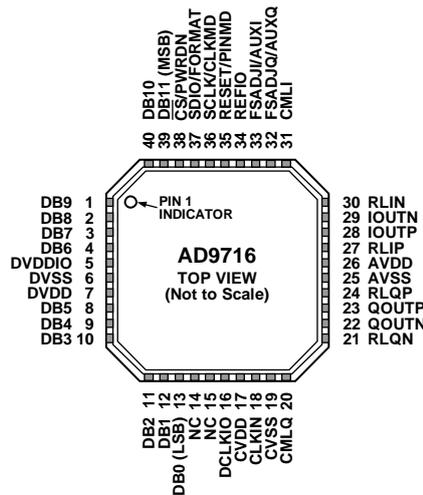
07285-067

図 3.AD9715 のピン配置

表 8.AD9715 のピン機能説明

ピン番号	記号	説明
1 to 4	DB[7:4]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V)。DVDD を 1.8 V の DVDDIO に接続してください。DVDDIO > 1.8 V の場合は、DVDD を 1.0 μF のコンデンサでバイパスしてください。ただし、その他の場合は接続しないでください。LDO では外部負荷を駆動しないでください。
8 to 10	DB[3:1]	デジタル入力。
11	DB0 (LSB)	デジタル入力(LSB)。
12 to 15	NC	未接続。これらのピンはチップに接続されていません。
16	DCLKIO	データ入力/出力クロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力コモン・モード・レベル。内蔵 QR_{CML} をイネーブルすると、このピンは内蔵 QR_{CML} 抵抗に接続されます。このピンは解放のままにすることが推奨されます。内蔵 QR_{CML} をディスエーブルすると、このピンは Q DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(内部終端抵抗の使用のセクション参照)。この外付け抵抗の推奨値は 0 Ω です。
21	RLQN	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTN に接続する必要があります。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RLQP	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTP に接続する必要があります。
25	AVSS	アナログ・コモン。

ピン番号	記号	説明
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。
27	RLIP	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTP に接続する必要があります。
28	IOUTP	I DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
29	IOUTN	I DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTN に接続する必要があります。
31	CMLI	I DAC 出力コモン・モード・レベル。内蔵 IR_{CML} をイネーブルすると、このピンは内蔵 IR_{CML} 抵抗に接続されます。このピンは解放のままにすることが推奨されます。内蔵 IR_{CML} をディスエーブルすると、このピンは I DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(内部終端抵抗の使用のセクション参照)。この外付け抵抗の推奨値は 0 Ω です。
32	FSADJQ/AUXQ	フル・スケール電流出力の調整(FSADJQ)。内蔵 QR_{SET} をディスエーブルすると、このピンは Q DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理セクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 kΩ です。 Q DAC の相補電流出力(AUXQ)。内蔵 QR_{SET} をイネーブルすると、このピンは補助 Q DAC 出力になります。
33	FSADJI/AUXI	フル・スケール電流出力調整(FSADJI)。内蔵 IR_{SET} をディスエーブルすると、このピンは I DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理のセクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 kΩ です。 補助 I DAC 出力(AUXI)。内蔵 IR_{SET} をイネーブルすると、このピンは補助 I DAC 出力になります。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μF のコンデンサが必要)。
35	RESET/PINMD	このピンはデバイスの動作モードを指定します。ロー・レベルにすると(DVSS ヘブダウン)、デバイスは SPI モードになります。ハイの RESET パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。 ハイ・レベル(DVDDIO ヘブダアップ)を入力すると、デバイスはピン・モードになります(PINMD)。
36	SCLK/CLKMD	シリアル・ポートのクロック入力(SCLK)。SPI モードでは、このピンはシリアル・ポートのクロック入力として機能します。 クロック・モード(CLKMD)。ピン・モードでは、CLKMD により内部リタイミグ・クロックの位相を指定します。DCLKIO = CLKIN のときは 0 に接続してください。DCLKIO ≠ CLKIN のときは、パルスの 0 から 1 へのエッジで内部リタイマーがトリガーされます(リタイマーのセクション参照)。
37	SDIO/FORMAT	シリアル・ポート入力/出力(SDIO)。SPI モードでは、このピンはシリアル・ポートの双方向データ・ラインとして機能します。 フォーマット・ピン(FORMAT)。ピン・モードでは、FORMAT により、デジタル・データのデータ・フォーマットを指定します。ロー・レベルにすると(DVSS ヘブダウン)、バイナリ入力データ・フォーマットが選択されず、ハイ・レベル(DVDDIO ヘブダアップ)を入力すると、2 の補数入力データ・フォーマットが選択されます。
38	\overline{CS} /PWRDN	アクティブ・ローのチップ・セレクト(\overline{CS})。SPI モードでは、このピンはアクティブ・ローのチップ・セレクトとして機能します。 パワーダウン(PWRDN)。ピン・モードでは、ハイ・レベル(DVDDIO ヘブダアップ)を入力すると、デバイスは SPI ポートを除いてパワーダウンします。
39	DB9 (MSB)	デジタル入力(MSB)。
40	DB8	デジタル入力。
41 (EPAD)	Exposed Pad (EPAD)	露出パッドは AVSS に接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。



NOTES
 1. NC = NO CONNECT
 2. THE EXPOSED PAD IS CONNECTED TO AVSS AND SHOULD BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

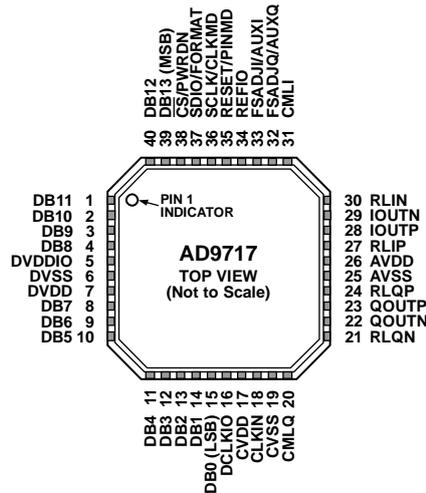
07285-003

図 4.AD9716 のピン配置

表 9.AD9716 のピン機能説明

ピン番号	記号	説明
1 to 4	DB[9:6]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V)。DVDD を 1.8 V の DVDDIO に接続してください。DVDDIO > 1.8 V の場合は、DVDD を 1.0 μF のコンデンサでバイパスしてください。ただし、その他の場合は接続しないでください。LDO では外部負荷を駆動しないでください。
8 to 12	DB[5:1]	デジタル入力。
13	DB0 (LSB)	デジタル入力(LSB)。
14, 15	NC	未接続。これらのピンはチップに接続されていません。
16	DCLKIO	データ入力/出力クロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力コモン・モード・レベル。内蔵 QR_{CML} をイネーブルすると、このピンは内蔵 QR_{CML} 抵抗に接続されます。このピンは解放のままにすることが推奨されます。内蔵 QR_{CML} をディスエーブルすると、このピンは Q DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(リタイマーのセクション参照)。この外付け抵抗の推奨値は 0 Ω です。
21	RLQN	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTN に接続する必要があります。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RLQP	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTP に接続する必要があります。
25	AVSS	アナログ・コモン。

ピン番号	記号	説明
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。
27	RLIP	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTP に接続する必要があります。
28	IOUTP	I DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
29	IOUTN	I DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTN に接続する必要があります。
31	CMLI	I DAC 出力コモン・モード・レベル。内蔵 IR_{CML} をイネーブルすると、このピンは内蔵 IR_{CML} 抵抗に接続されます。このピンは解放のままにすることが推奨されます。内蔵 IR_{CML} をディスエーブルすると、このピンは I DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(内部終端抵抗の使用のセクション参照)。この外付け抵抗の推奨値は 0 Ω です。
32	FSADJQ/AUXQ	フル・スケール電流出力の調整(FSADJQ)。内蔵 QR_{SET} をディスエーブルすると、このピンは Q DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理のセクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 k Ω です。 Q DAC の相補電流出力(AUXQ)。内蔵 QR_{SET} をイネーブルすると、このピンは補助 Q DAC 出力になります。
33	FSADJI/AUXI	フル・スケール電流出力調整(FSADJI)。内蔵 IR_{SET} をディスエーブルすると、このピンは I DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理のセクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 k Ω です。 補助 I DAC 出力(AUXI)。内蔵 IR_{SET} をイネーブルすると、このピンは補助 I DAC 出力になります。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μ F のコンデンサが必要)。
35	RESET/PINMD	このピンはデバイスの動作モードを指定します。ロー・レベルにすると(DVSS ヘブダウン)、デバイスは SPI モードになります。ハイの RESET パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。 ハイ・レベル(DVDDIO ヘブダアップ)を入力すると、デバイスはピン・モードになります(PINMD)。
36	SCLK/CLKMD	シリアル・ポートのクロック入力(SCLK)。SPI モードでは、このピンはシリアル・ポートのクロック入力として機能します。 クロック・モード(CLKMD)。ピン・モードでは、CLKMD により内部リタイミグ・クロックの位相を指定します。DCLKIO = CLKIN のときは 0 に接続してください。DCLKIO \neq CLKIN のときは、パルスの 0 から 1 へのエッジで内部リタイマーがトリガーされます(リタイマーのセクション参照)。
37	SDIO/FORMAT	シリアル・ポート入力/出力(SDIO)。SPI モードでは、このピンはシリアル・ポートの双方向データ・ラインとして機能します。 フォーマット・ピン(FORMAT)。ピン・モードでは、FORMAT により、デジタル・データのデータ・フォーマットを指定します。ロー・レベルにすると(DVSS ヘブダウン)、バイナリ入力データ・フォーマットが選択されず、ハイ・レベル(DVDDIO ヘブダアップ)を入力すると、2 の補数入力データ・フォーマットが選択されます。
38	\overline{CS} /PWRDN	アクティブ・ローのチップ・セレクト(\overline{CS})。SPI モードでは、このピンはアクティブ・ローのチップ・セレクトとして機能します。 パワーダウン(PWRDN)。ピン・モードでは、ハイ・レベル(DVDDIO ヘブダアップ)を入力すると、デバイスは SPI ポートを除いてパワーダウンします。
39	DB11 (MSB)	デジタル入力(MSB)。
40	DB10	デジタル入力。
41 (EPAD)	Exposed Pad (EPAD)	露出パッドは AVSS に接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。



NOTES
 1. THE EXPOSED PAD IS CONNECTED TO AVSS AND SHOULD BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

07265-002

図 5.AD9717 のピン配置

表 10.AD9717 のピン機能説明

ピン番号	記号	説明
1 to 4	DB[11:8]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V)。DVDD を 1.8 V の DVDDIO に接続してください。DVDDIO > 1.8 V の場合は、DVDD を 1.0 μF のコンデンサでバイパスしてください。ただし、その他の場合は接続しないでください。LDO では外部負荷を駆動しないでください。
8 to 14	DB[7:1]	デジタル入力。
15	DB0 (LSB)	デジタル入力(LSB)。
16	DCLKIO	データ入力/出力クロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力コモン・モード・レベル。内蔵 QR _{CML} をイネーブルすると、このピンは内蔵 QR _{CML} 抵抗に接続されます。このピンは解放のままにすることが推奨されます。内蔵 QR _{CML} をディスエーブルすると、このピンは Q DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(内部終端抵抗の使用のセクション参照)。この外付け抵抗の推奨値は 0 Ω です。
21	RLQN	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTN に接続する必要があります。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RLQP	負荷抵抗(500 Ω)、CMLQ ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で QOUTP に接続する必要があります。
25	AVSS	アナログ・コモン。
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。
27	RLIP	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTP に接続する

ピン番号	記号	説明
		必要があります。
28	IOUTP	I DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
29	IOUTN	I DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(500 Ω)、CMLI ピンとの間に接続。内蔵負荷抵抗を使用する場合、このピンは外部で IOUTN に接続する必要があります。
31	CMLI	I DAC 出力コモン・モード・レベル。内蔵 IR _{CML} をイネーブルすると、このピンは内蔵 IR _{CML} 抵抗に接続されます。このピンは解放のままにすることが推奨されます。内蔵 IR _{CML} をディスエーブルすると、このピンは I DAC のコモン・モード負荷になるため、抵抗を介して AVSS に接続する必要があります(内部終端抵抗の使用のセクション参照)。この外付け抵抗の推奨値は 0 Ω です。
32	FSADJQ/AUXQ	フル・スケール電流出力の調整(FSADJQ)。内蔵 QR _{SET} をディスエーブルすると、このピンは Q DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理のセクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 kΩ です。 Q DAC の相補電流出力(AUXQ)。内蔵 QR _{SET} をイネーブルすると、このピンは補助 Q DAC 出力になります。
33	FSADJI/AUXI	フル・スケール電流出力調整(FSADJI)。内蔵 IR _{SET} をディスエーブルすると、このピンは I DAC のフル・スケール電流出力の調整になるため、抵抗を介して AVSS に接続する必要があります(動作原理のセクション参照)。この外付け抵抗の公称値は、2 mA の出力電流に対して 16 kΩ です。 補助 I DAC 出力(AUXI)。内蔵 IR _{SET} をイネーブルすると、このピンは補助 I DAC 出力になります。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μF のコンデンサが必要)。
35	RESET/PINMD	このピンはデバイスの動作モードを指定します。ロー・レベルにすると(DVSS ヘプルダウン)、デバイスは SPI モードになります。ハイの RESET パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。 ハイ・レベル(DVDDIO ヘプルアップ)を入力すると、デバイスはピン・モードになります(PINMD)。
36	SCLK/CLKMD	シリアル・ポートのクロック入力(SCLK)。SPI モードでは、このピンはシリアル・ポートのクロック入力として機能します。 クロック・モード(CLKMD)。ピン・モードでは、CLKMD により内部リタイミング・クロックの位相を指定します。DCLKIO = CLKIN のときは 0 に接続してください。DCLKIO ≠ CLKIN のときは、パルスの 0 から 1 へのエッジで内部リタイマーがトリガーされます(リタイマーのセクション参照)。
37	SDIO/FORMAT	シリアル・ポート入力/出力(SDIO)。SPI モードでは、このピンはシリアル・ポートの双方向データ・ラインとして機能します。 フォーマット・ピン(FORMAT)。ピン・モードでは、FORMAT により、デジタル・データのデータ・フォーマットを指定します。ロー・レベルにすると(DVSS ヘプルダウン)、バイナリ入力データ・フォーマットが選択されます。ハイ・レベル(DVDDIO ヘプルアップ)を入力すると、2 の補数入力データ・フォーマットが選択されます。
38	$\overline{\text{CS}}$ /PWRDN	アクティブ・ローのチップ・セレクト($\overline{\text{CS}}$)。SPI モードでは、このピンはアクティブ・ローのチップ・セレクトとして機能します。 パワーダウン(PWRDN)。ピン・モードでは、ハイ・レベル(DVDDIO ヘプルアップ)を入力すると、デバイスは SPI ポートを除いてパワーダウンします。
39	DB13 (MSB)	デジタル入力(MSB)。
40	DB12	デジタル入力。
41 (EPAD)	Exposed Pad (EPAD)	露出パッドは AVSS に接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。

代表的な性能特性

特に指定がない限り、 $I_{XOUTFS} = 2 \text{ mA}$ 、最大サンプル・レート。DVDD は常に 1.8 V。

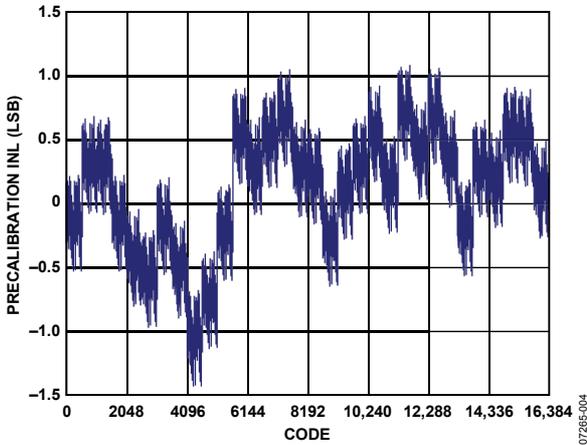


図 6. AD9717 のプリキャリブレーション INL
1.8 V (DVDD = 1.8 V)

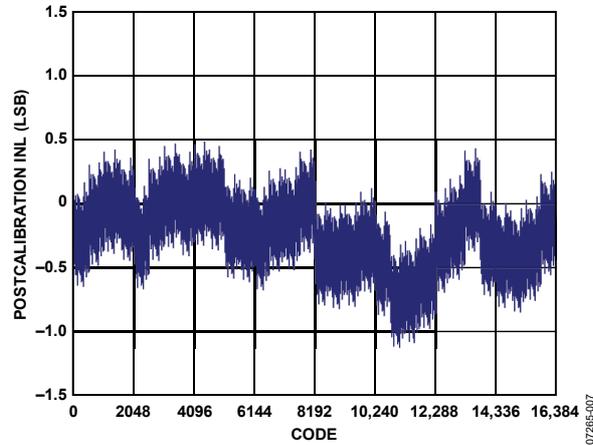


図 9. AD9717 のポストキャリブレーション INL
1.8 V (DVDD = 1.8 V)

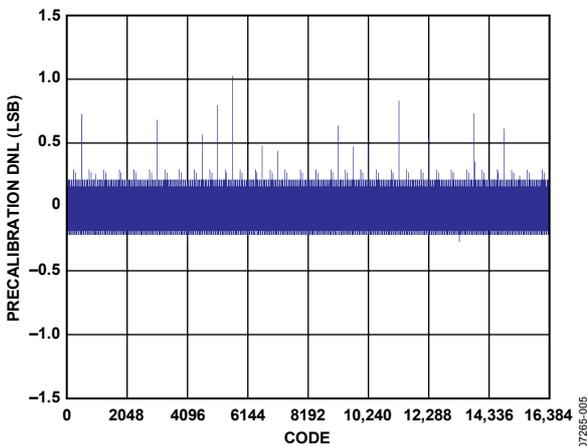


図 7. AD9717 のプリキャリブレーション DNL
1.8 V (DVDD = 1.8 V)

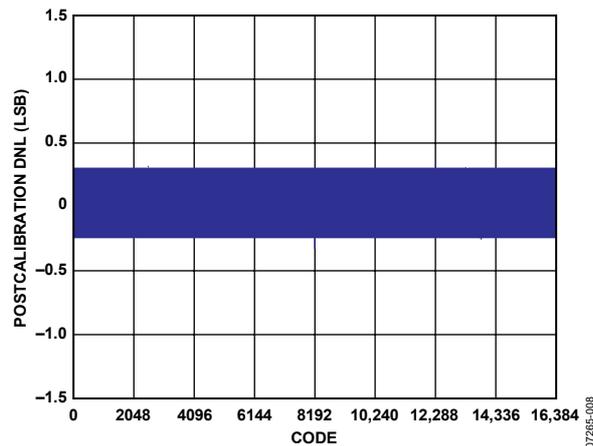


図 10. AD9717 のポストキャリブレーション DNL
1.8 V (DVDD = 1.8 V)

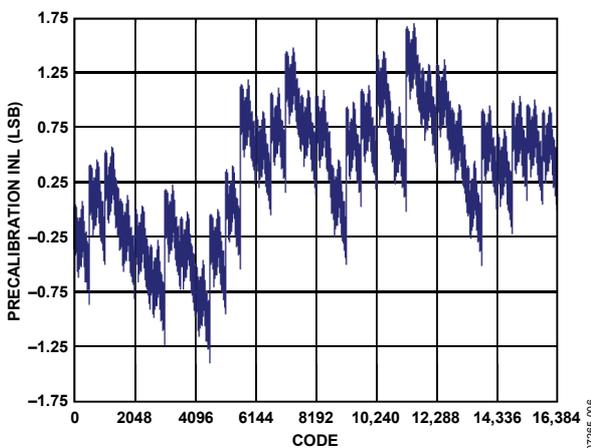


図 8. AD9717 のプリキャリブレーション INL
3.3 V (DVDD = 1.8 V)

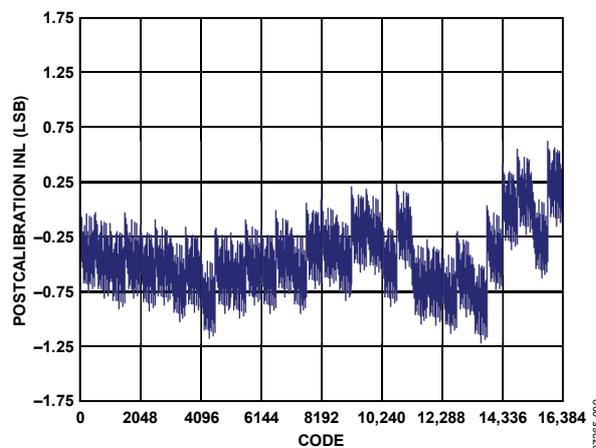
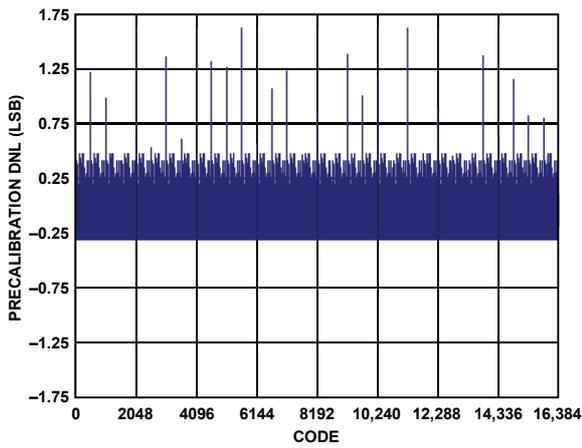
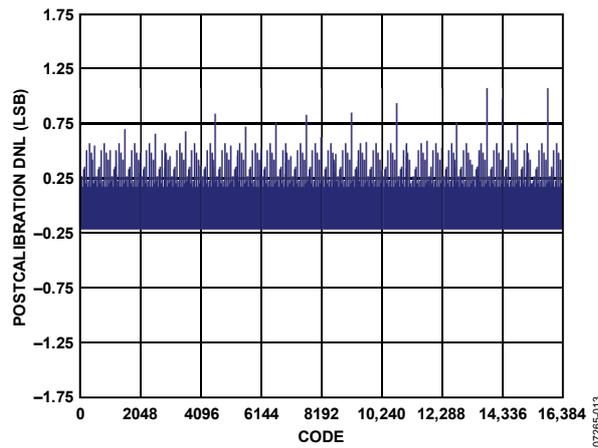


図 11. AD9717 のポストキャリブレーション INL
3.3 V (DVDD = 1.8 V)



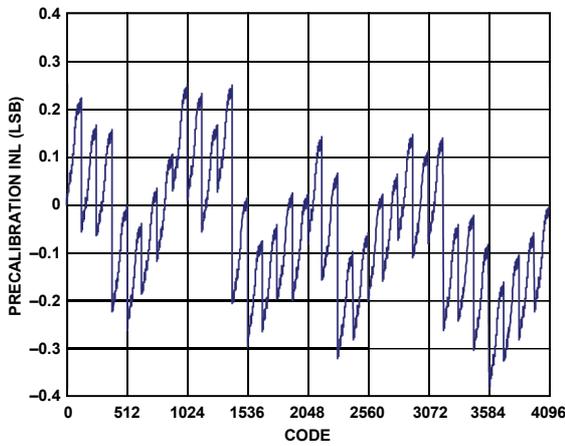
07285-010

図 12.AD9717 のプリキャリブレーション DNL、3.3 V



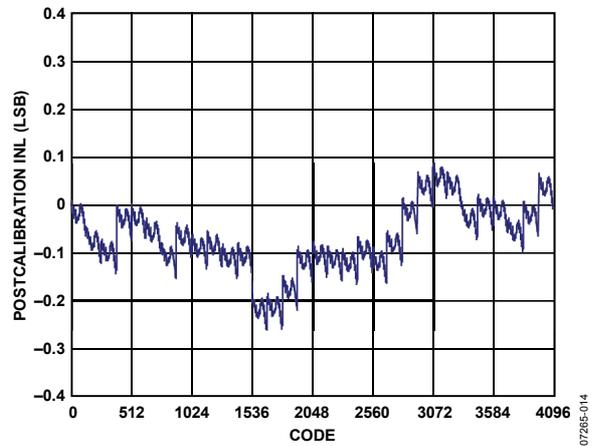
07285-013

図 15.AD9717 のポストキャリブレーション DNL、3.3 V



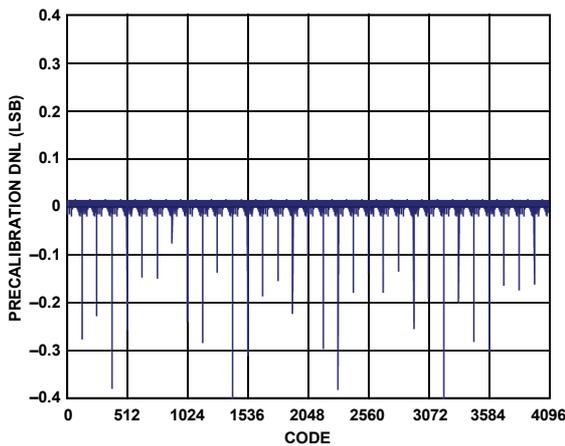
07285-011

図 13.AD9716 のプリキャリブレーション INL、1.8 V



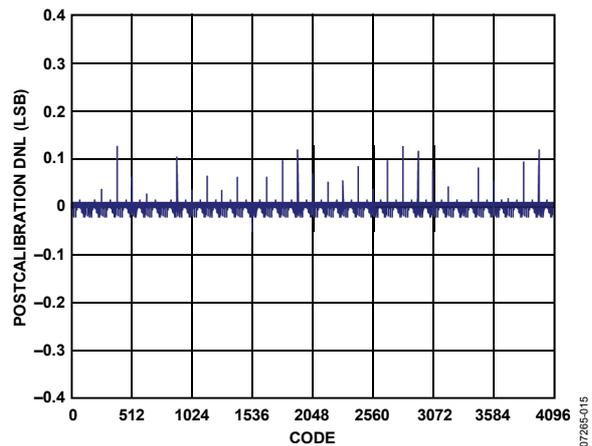
07285-014

図 16.AD9716 のポストキャリブレーション INL、1.8 V



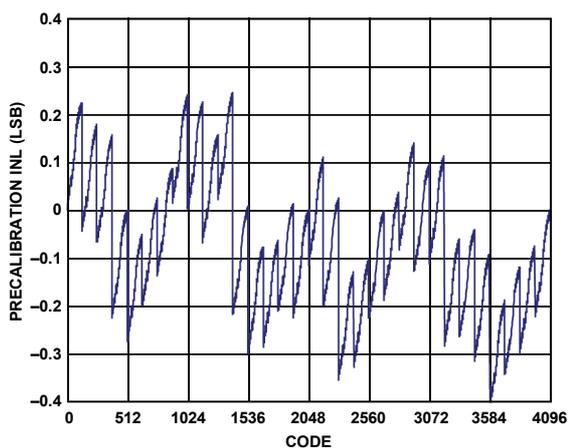
07285-012

図 14.AD9716 のプリキャリブレーション DNL、1.8 V



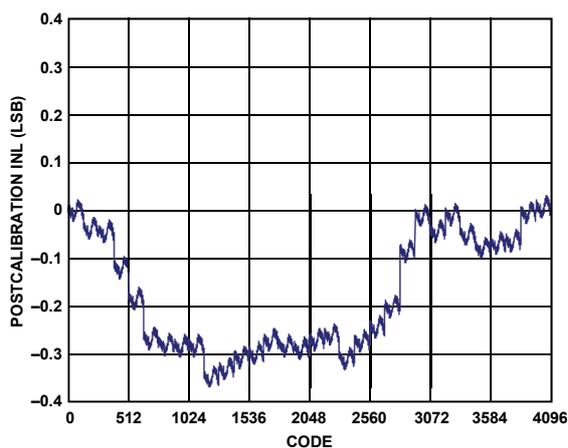
07285-015

図 17.AD9716 のポストキャリブレーション DNL、1.8 V



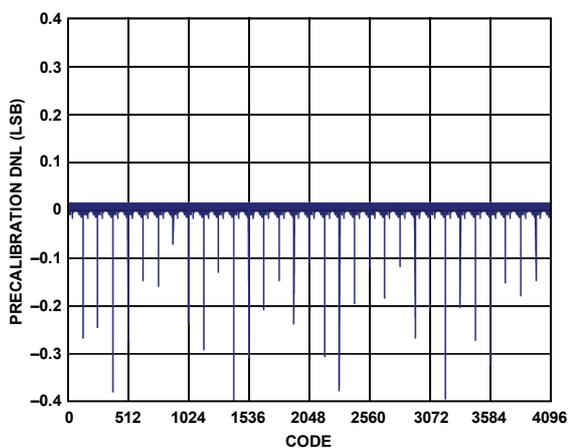
07265-016

図 18. AD9716 のプリキャリブレーション INL、3.3 V



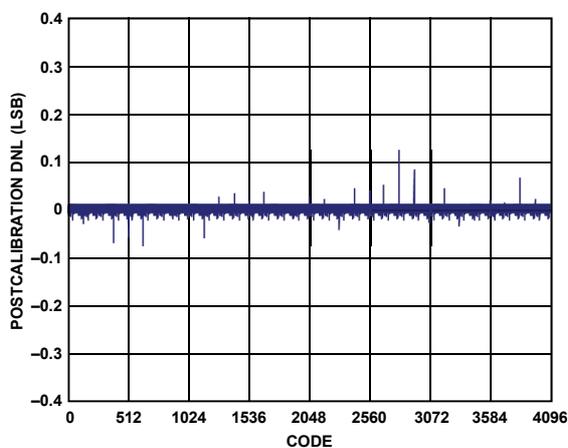
07265-019

図 21. AD9716 のポストキャリブレーション INL、3.3 V



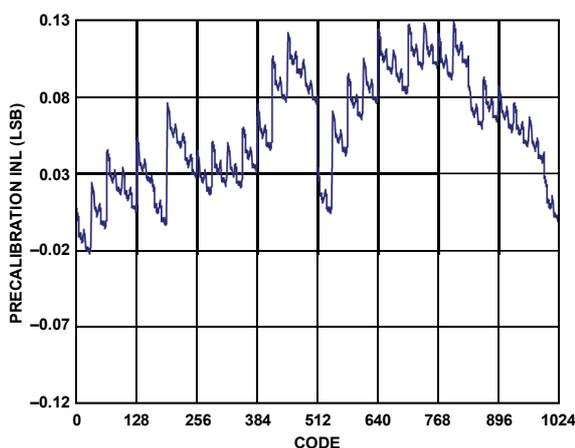
07265-017

図 19. AD9716 のプリキャリブレーション DNL、3.3 V



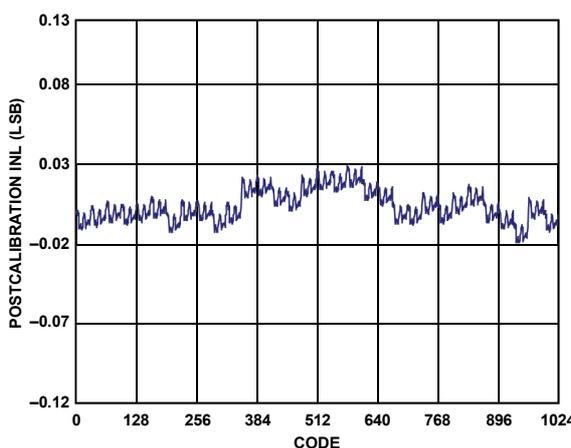
07265-020

図 22. AD9716 のポストキャリブレーション DNL、3.3 V



07265-018

図 20. AD9715 のプリキャリブレーション INL、1.8 V



07265-021

図 23. AD9715 のポストキャリブレーション INL、1.8 V

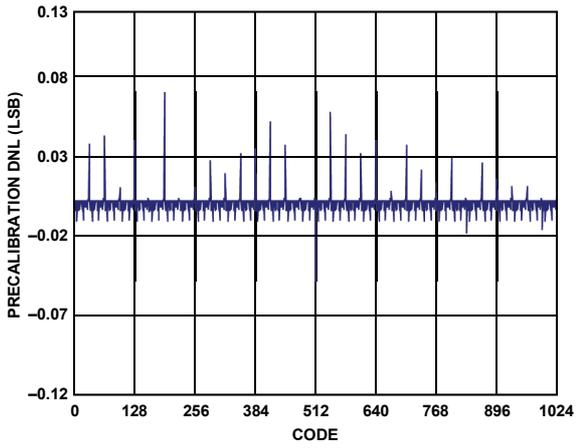


図 24. AD9715 のプリキャリブレーション DNL、1.8 V

07265-022

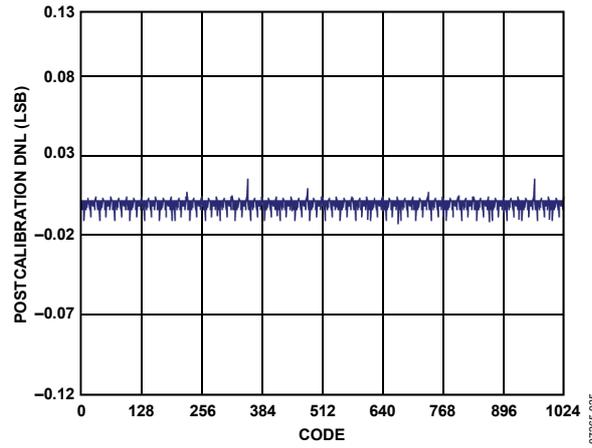


図 27. AD9715 のポストキャリブレーション DNL、1.8 V

07265-025

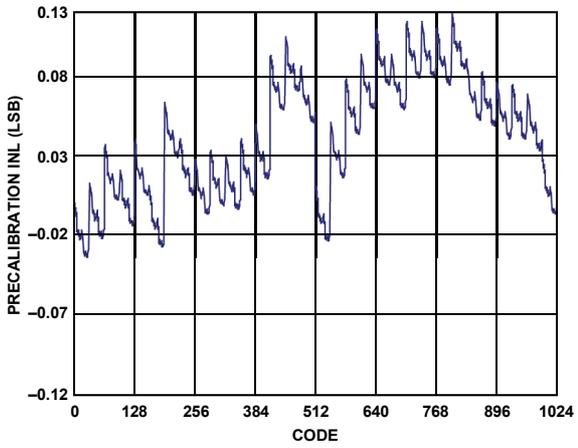


図 25. AD9715 のプリキャリブレーション INL、3.3 V

07265-023

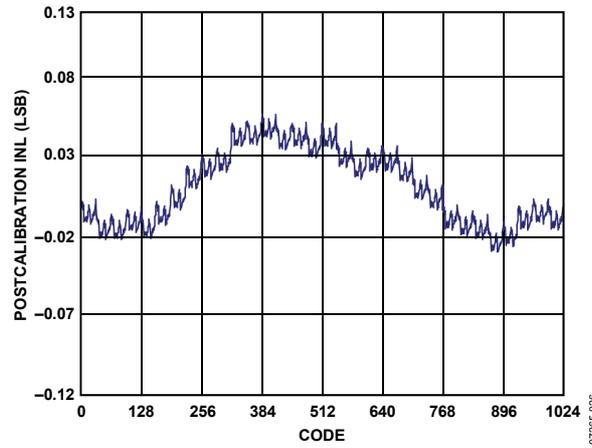


図 28. AD9715 のポストキャリブレーション INL、3.3 V

07265-026

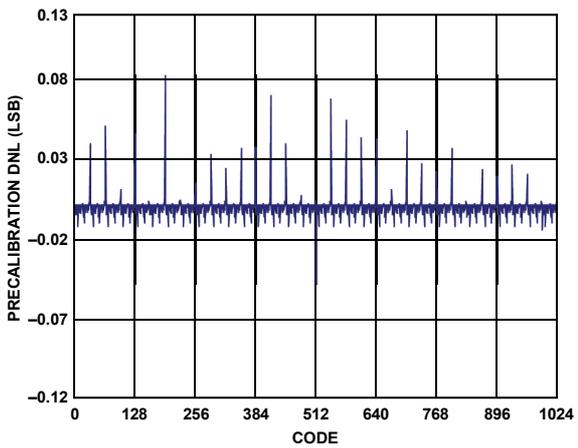


図 26. AD9715 のプリキャリブレーション DNL、3.3 V

07265-024

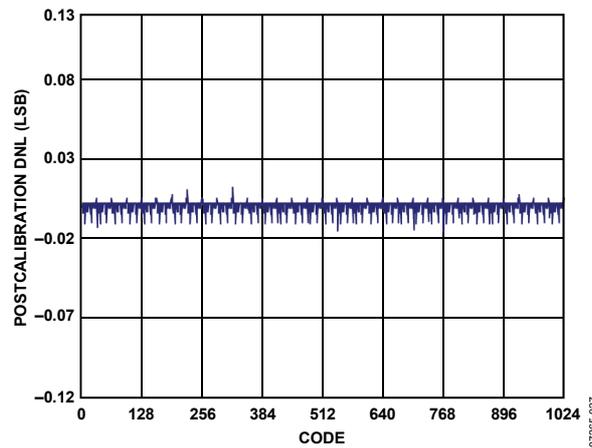


図 29. AD9715 のポストキャリブレーション DNL、3.3 V

07265-027

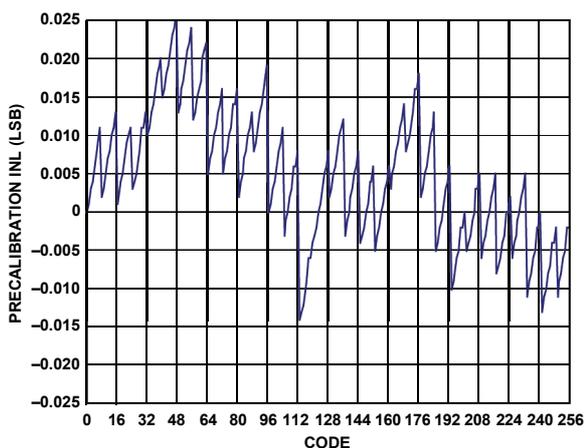


図 30. AD9714 のプリキャリブレーション INL、1.8 V

07265-028

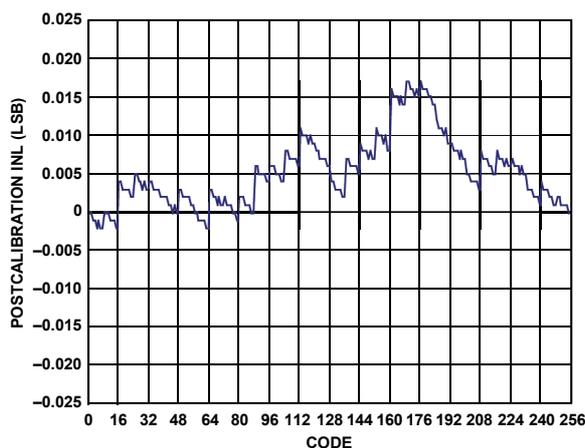


図 33. AD9714 のポストキャリブレーション INL、1.8 V

07265-031

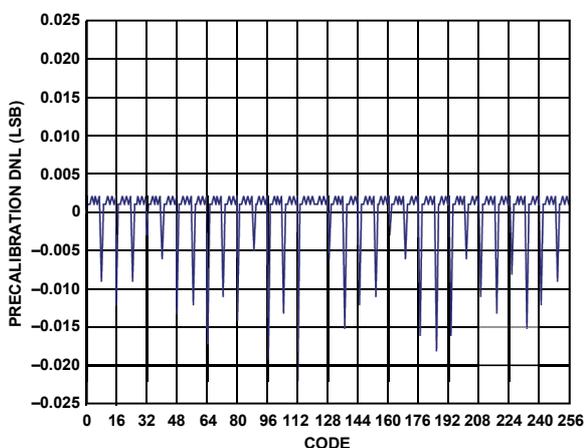


図 31. AD9714 のプリキャリブレーション DNL、1.8 V

07265-029

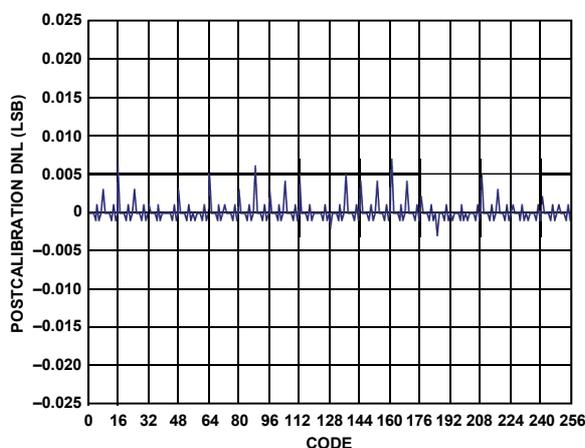


図 34. AD9714 のポストキャリブレーション DNL、1.8 V

07265-032

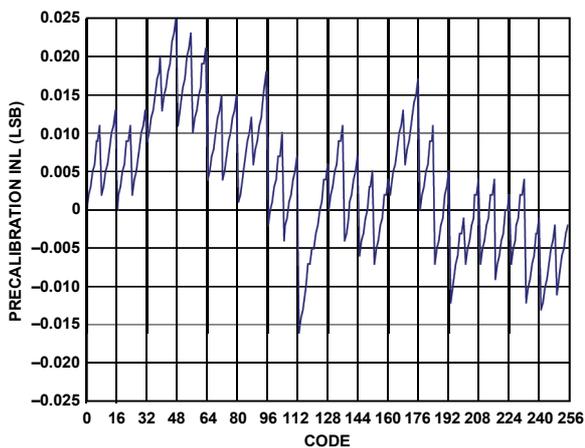


図 32. AD9714 のプリキャリブレーション INL、3.3 V

07265-030

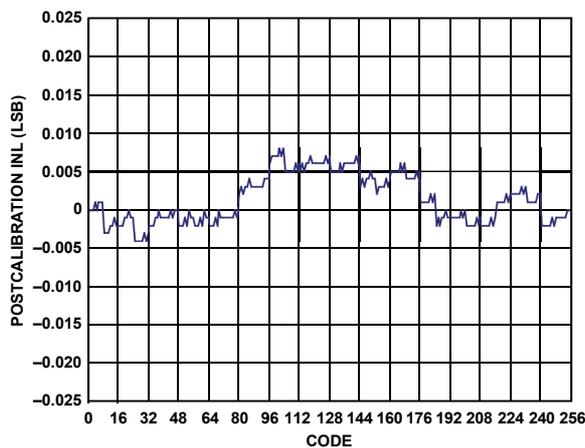


図 35. AD9714 のポストキャリブレーション INL、3.3 V

07265-033

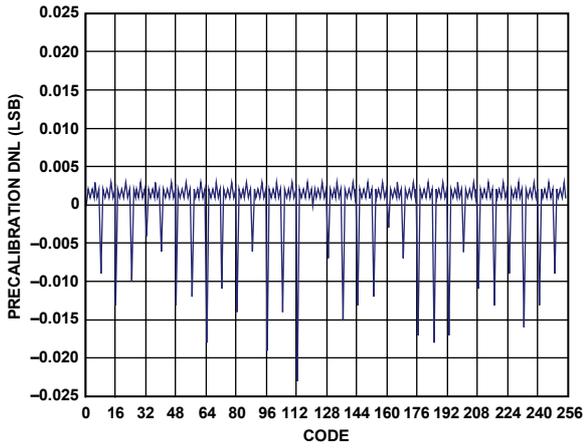


図 36. AD9714 のプリキャリブレーション DNL、3.3 V

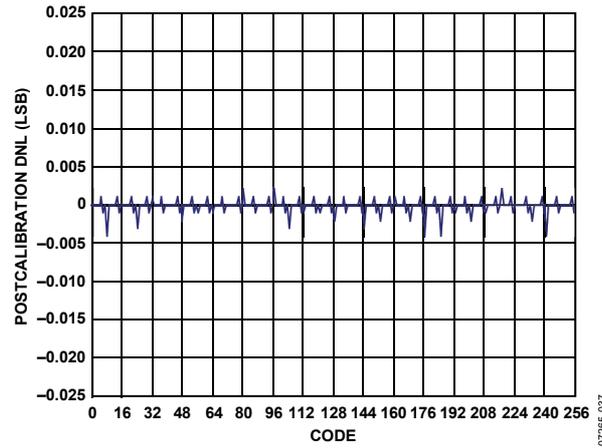


図 39. AD9714 のポストキャリブレーション DNL、3.3 V

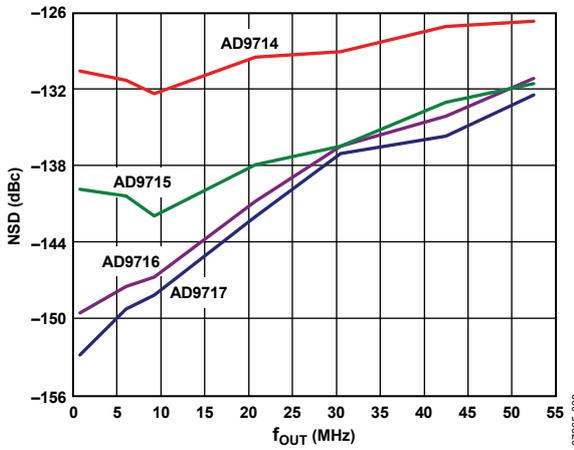


図 37. AD9714/AD9715/AD9716/AD9717 のノイズ・スペクトル密度、1.8 V

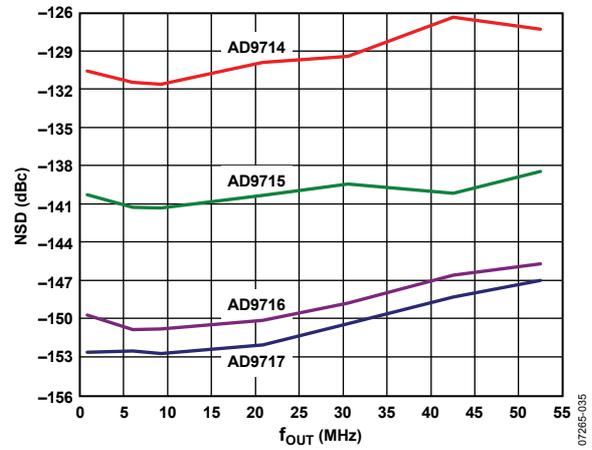


図 40. AD9714/AD9715/AD9716/AD9717 のノイズ・スペクトル密度、3.3 V

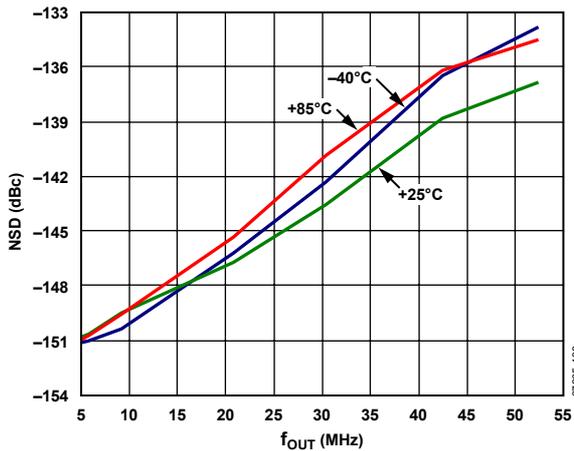


図 38. AD9717 のノイズ・スペクトル密度、3 温度、1.8 V

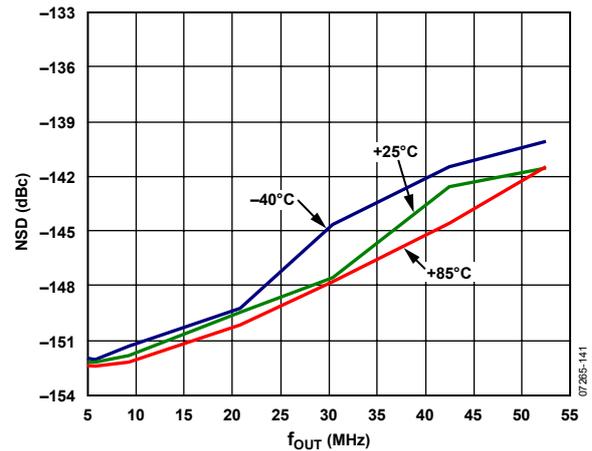


図 41. AD9717 のノイズ・スペクトル密度、3 温度、3.3 V

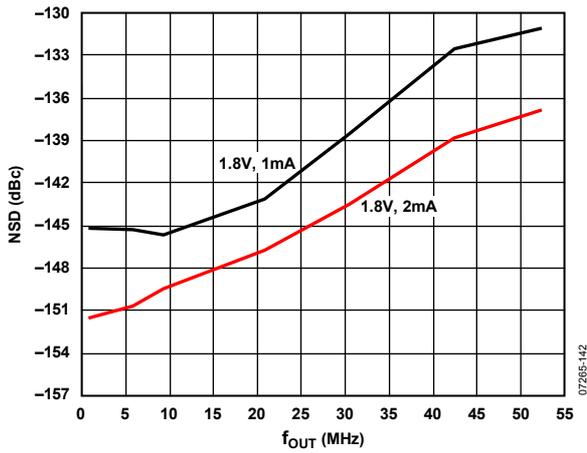


図 42. AD9717 のノイズ・スペクトル密度、2 出力電流、1.8 V

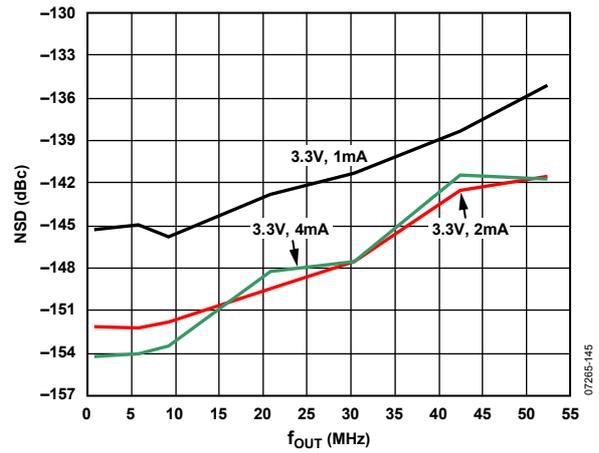


図 45. AD9717 のノイズ・スペクトル密度、3 出力電流、3.3 V

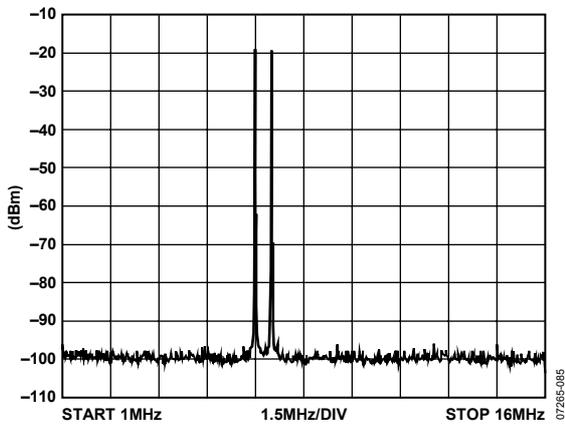


図 43. AD9717 の 2 トーン・スペクトル、1.8 V

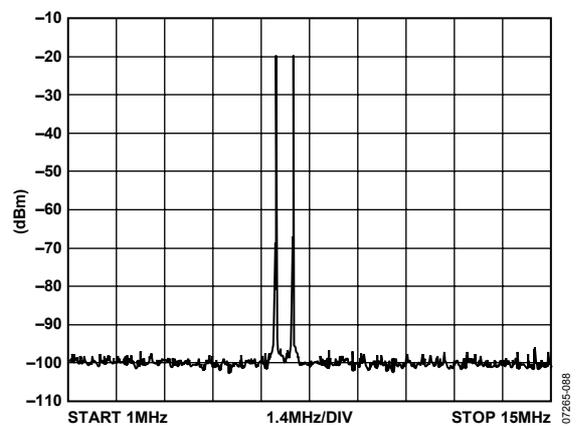


図 46. AD9717 の 2 トーン・スペクトル、3.3 V

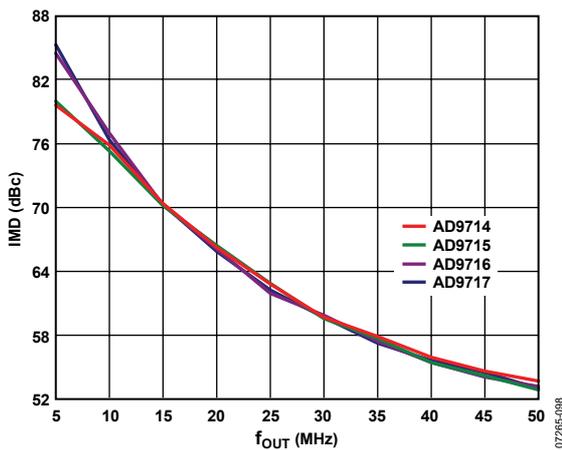


図 44. AD9714/AD9715/AD9716/AD9717 の IMD、1.8 V

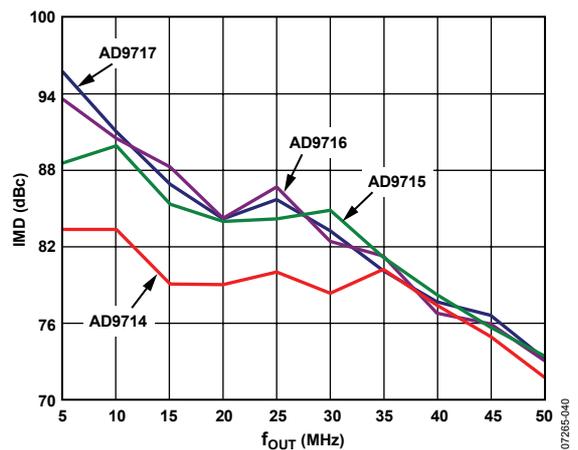


図 47. AD9714/AD9715/AD9716/AD9717 の IMD、3.3 V

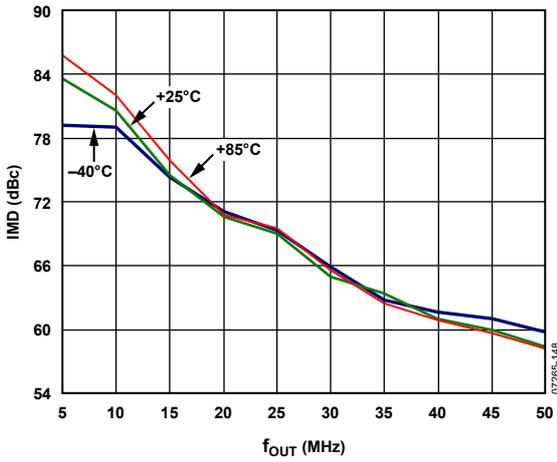


図 48. AD9717 の IMD、3 温度、1.8 V

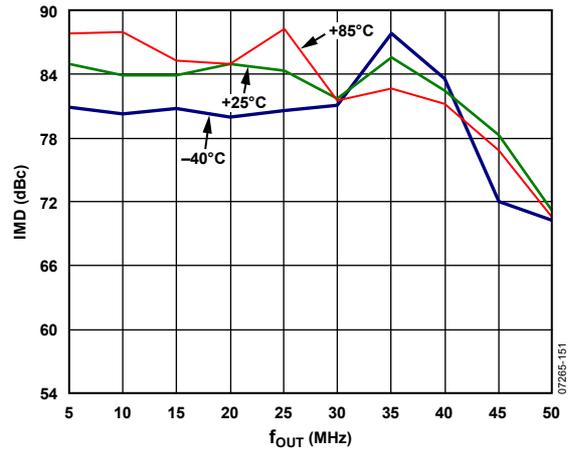


図 51. AD9717 の IMD、3 温度、3.3 V

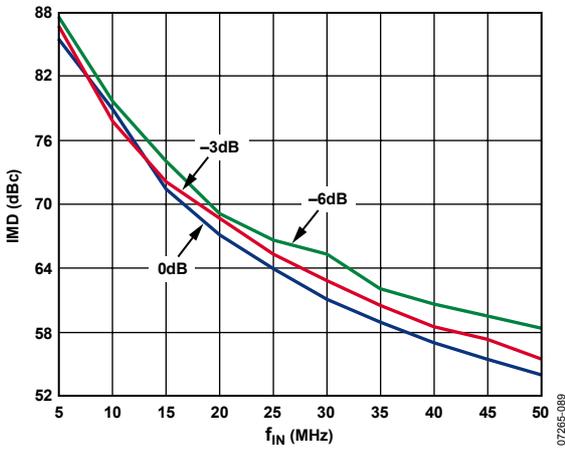


図 49. AD9717 の IMD、3 デジタル入力レベル、1.8 V

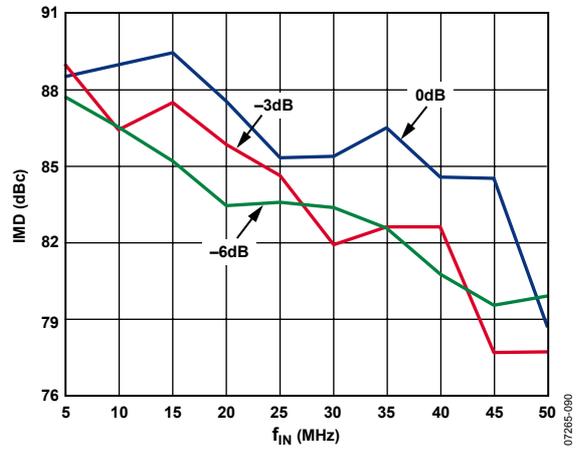


図 52. AD9717 の IMD、3 デジタル入力レベル、3.3 V

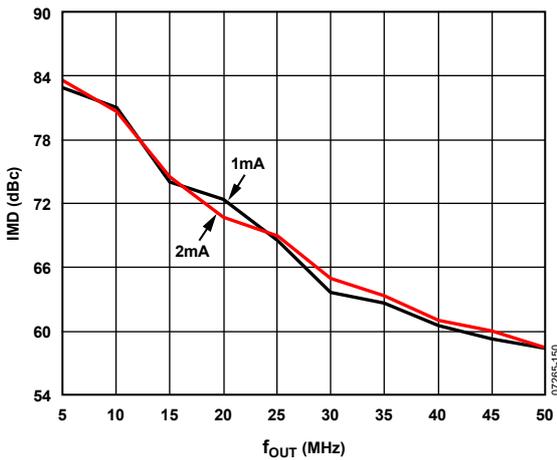


図 50. AD9717 の IMD、2 出力電流、1.8 V

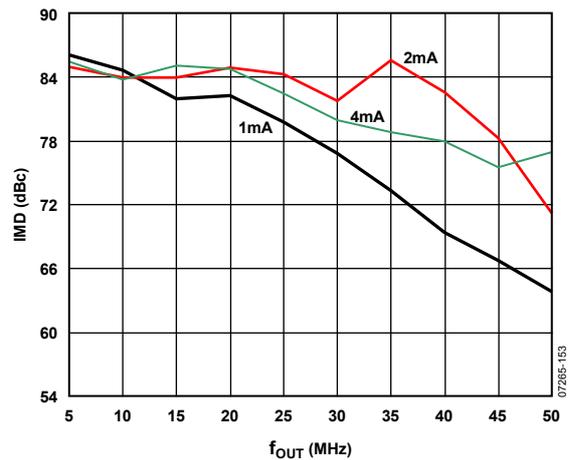


図 53. AD9717 の IMD、3 出力電流、3.3 V

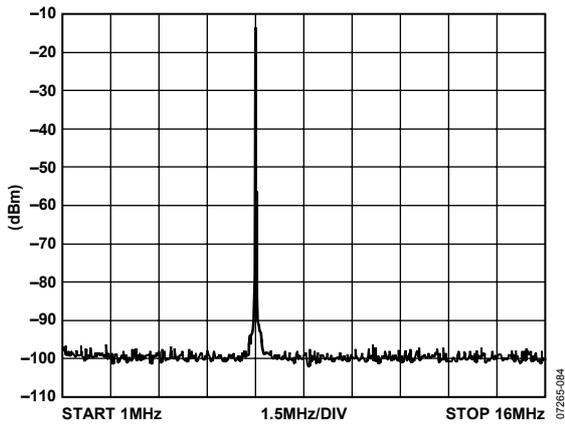


図 54. AD9717 の 1 トーン・スペクトル、1.8 V

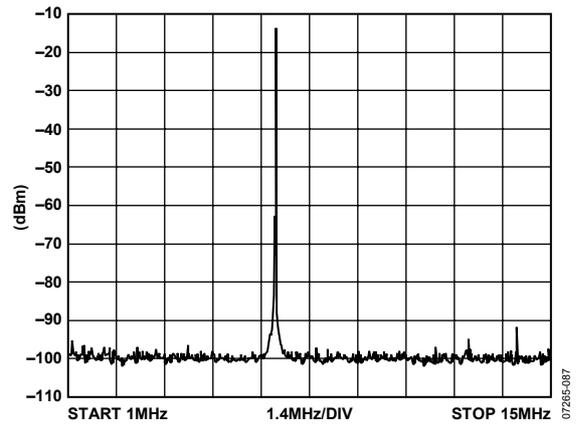


図 57. AD9717 の 1 トーン・スペクトル、3.3 V

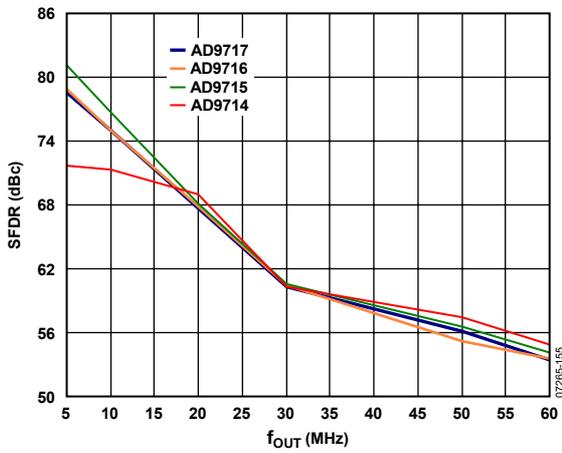


図 55. AD9714/AD9715/AD9716/AD9717 の SFDR、1.8 V

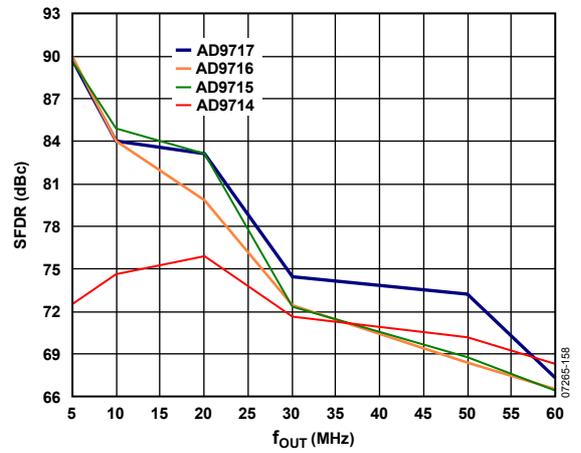


図 58. AD9714/AD9715/AD9716/AD9717 の SFDR、3.3 V

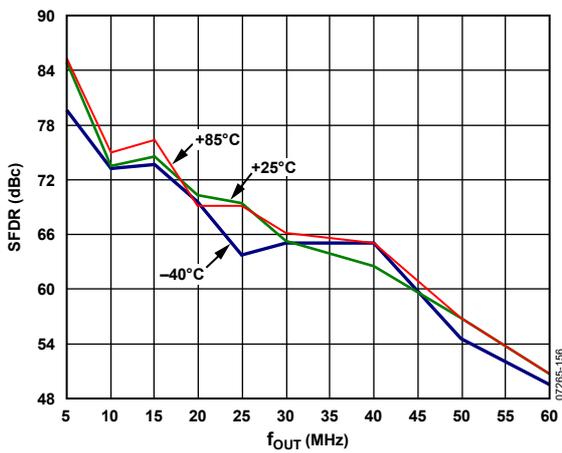


図 56. AD9717 の SFDR、3 温度、1.8 V

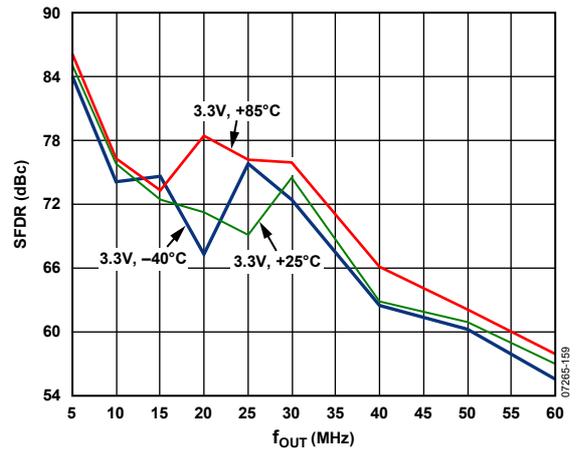


図 59. AD9717 の SFDR、3 温度、3.3 V

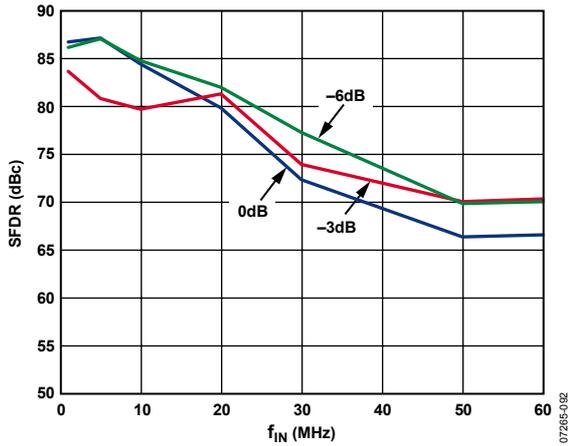


図 60. 3 デジタル入力レベルでの SFDR 対 f_{IN} 、1.8 V

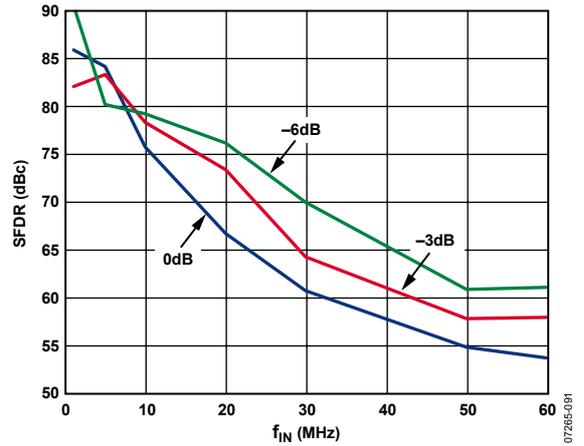


図 63.3 デジタル入力レベルでの SFDR 対 f_{IN} 、3.3 V

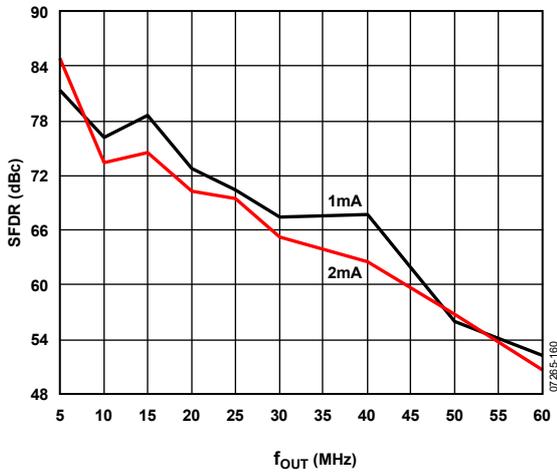


図 61.SFDR、2 出力電流、1.8 V

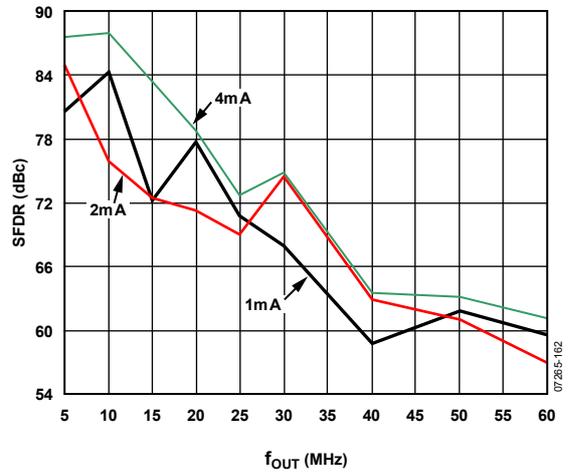


図 64.SFDR、3 出力電流、3.3 V

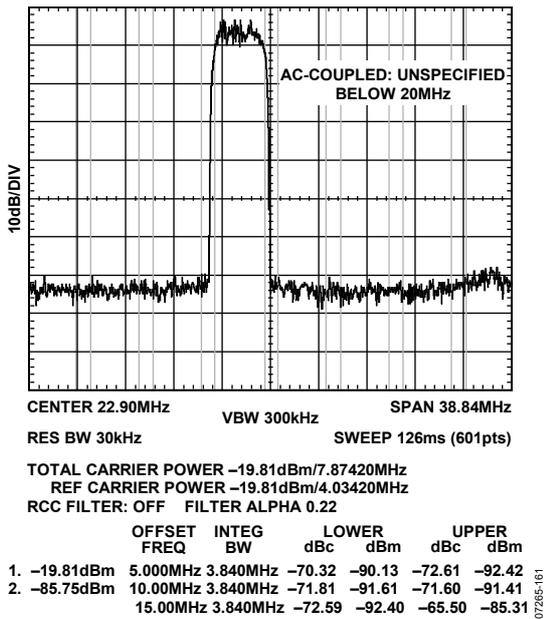


図 62.AD9717 の 1 キャリア ACLR、1.8 V

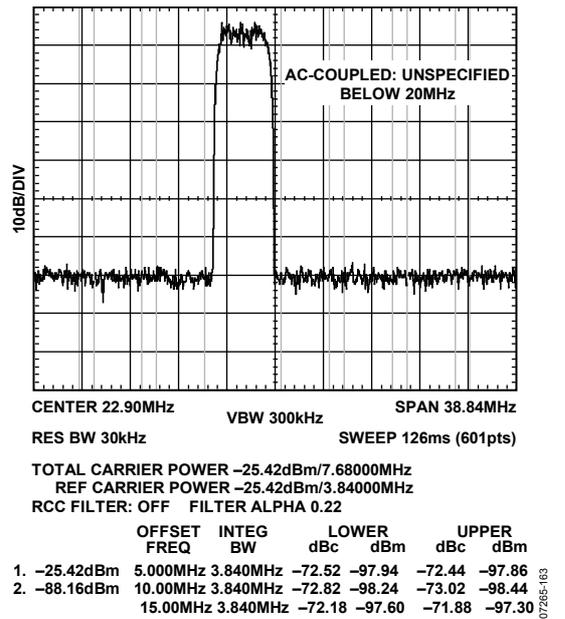
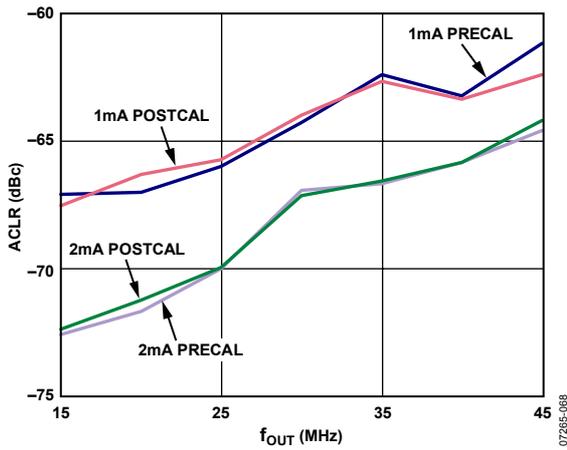
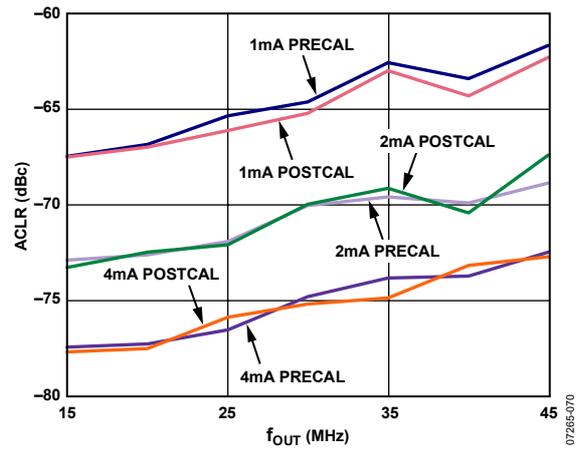


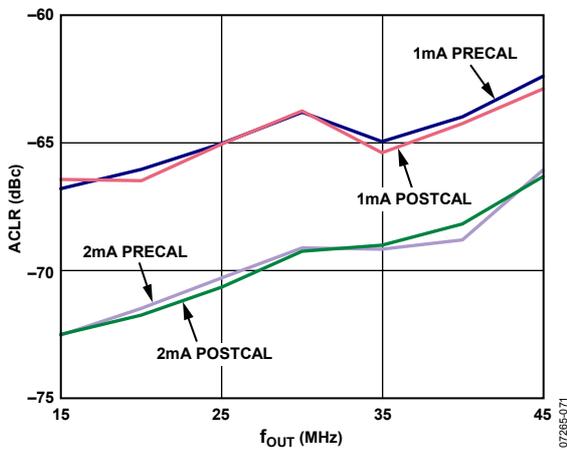
図 65.AD9717 の 1 キャリア ACLR、3.3 V



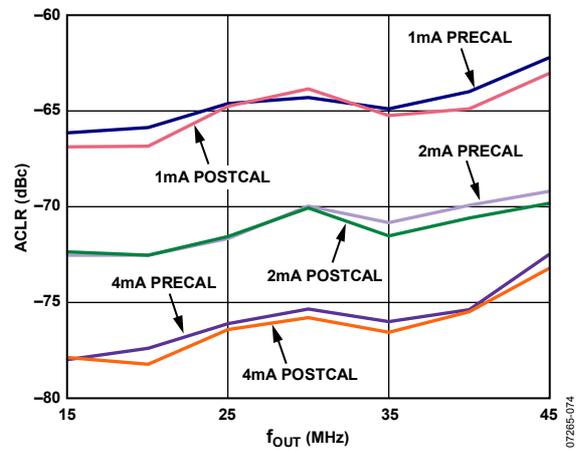
66. AD9717 の 1 キャリア W-CDMA ファースト ACLR、1.8 V



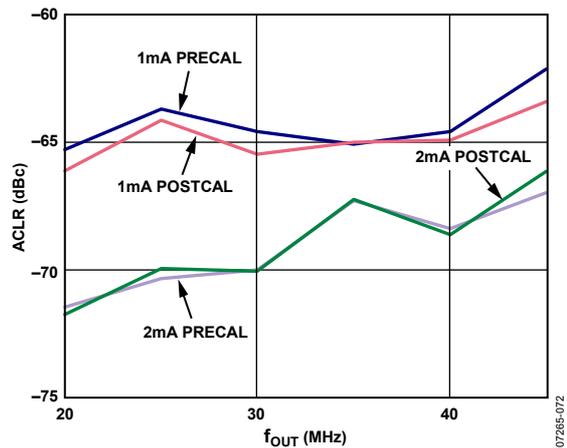
69. AD9717 の 1 キャリア W-CDMA ファースト ACLR、3.3 V



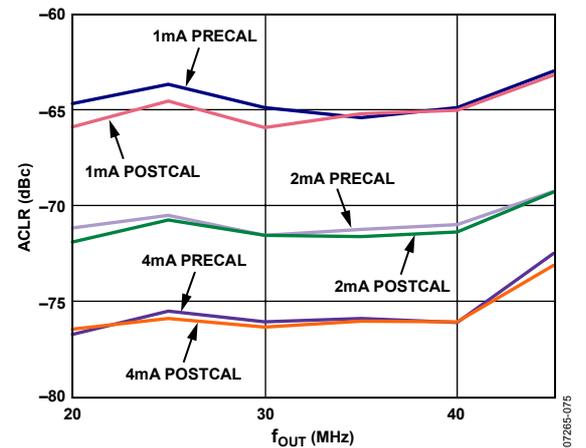
67. AD9717 の 1 キャリア W-CDMA セカンド ACLR、1.8 V



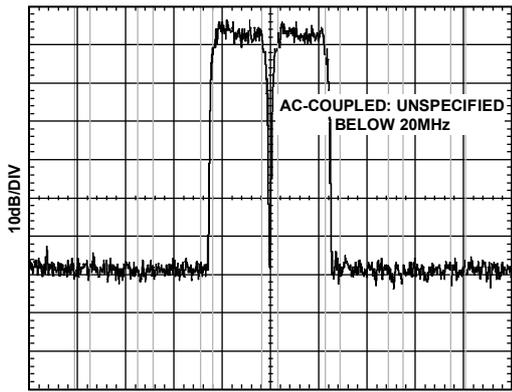
70. AD9717 の 1 キャリア W-CDMA セカンド ACLR、3.3 V



68. AD9717 の 1 キャリア W-CDMA サード ACLR、1.8 V



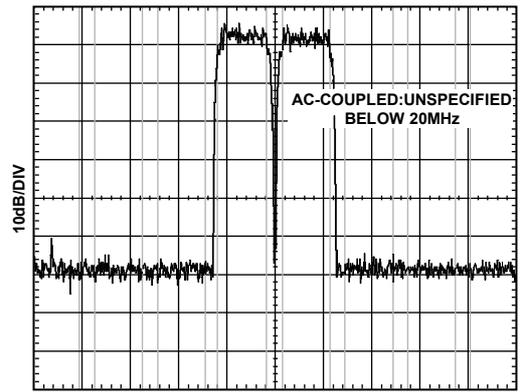
71. AD9717 の 1 キャリア W-CDMA サード ACLR、3.3 V



CENTER 22.90MHz VBW 300kHz SPAN 38.84MHz
RES BW 30kHz SWEEP 126ms (601pts)
TOTAL CARRIER POWER -23.08dBm/7.87420MHz
REF CARRIER POWER -25.84dBm/4.03420MHz
RCC FILTER: OFF FILTER ALPHA 0.22

	OFFSET FREQ	INTEG BW	LOWER dBc	LOWER dBm	UPPER dBc	UPPER dBm
1.	-25.84dBm	5.000MHz 3.840MHz	-65.45	-91.30	-65.63	-91.47
2.	-26.35dBm	10.00MHz 3.840MHz	-67.01	-92.85	-67.05	-92.89
	15.00MHz 3.840MHz	-65.22	-91.06	-65.33	-91.18	

図 72. AD9717 の 2 キャリア ACLR、1.8 V



CENTER 22.90MHz VBW 300kHz SPAN 38.84MHz
RES BW 30kHz SWEEP 126ms (601pts)
TOTAL CARRIER POWER -33.14dBm/7.87420MHz
REF CARRIER POWER -25.86dBm/4.03420MHz
RCC FILTER: OFF FILTER ALPHA 0.22

	OFFSET FREQ	INTEG BW	LOWER dBc	LOWER dBm	UPPER dBc	UPPER dBm
1.	-25.86dBm	5.000MHz 3.840MHz	-66.28	-92.13	-66.68	-92.53
2.	-26.47dBm	10.00MHz 3.840MHz	-68.17	-94.02	-66.93	-92.78
	15.00MHz 3.840MHz	-64.89	-90.73	-65.84	-91.69	

図 75. AD9717 の 2 キャリア ACLR、3.3 V

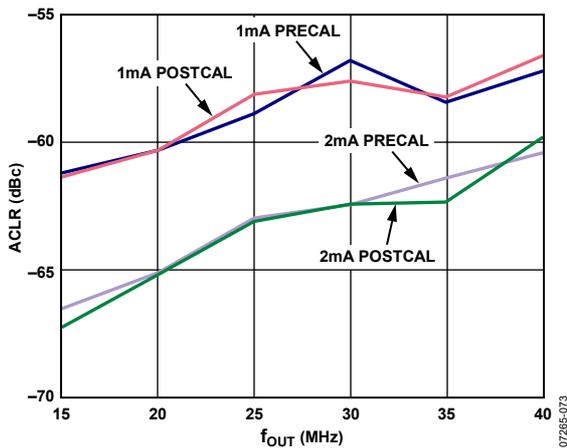


図 73. AD9717 の 2 キャリア W-CDMA ファースト ACLR、1.8 V

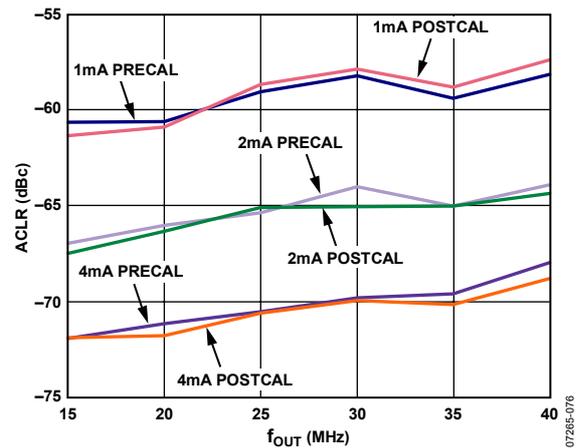


図 76. AD9717 の 2 キャリア W-CDMA ファースト ACLR、3.3 V

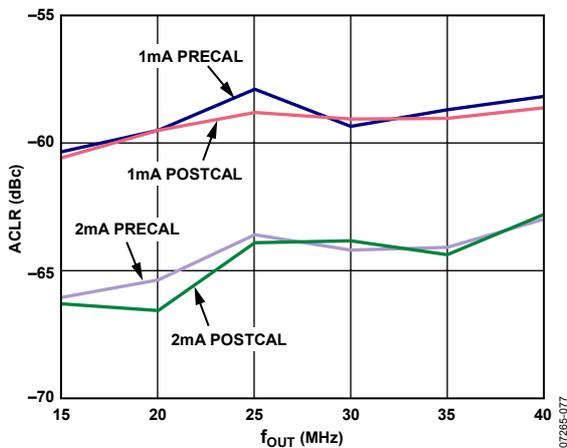


図 74. AD9717 の 2 キャリア W-CDMA セカンド ACLR、1.8 V

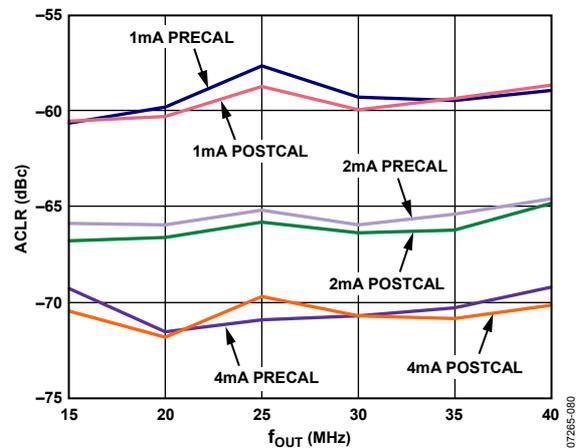


図 77. AD9717 の 2 キャリア W-CDMA セカンド ACLR、3.3 V

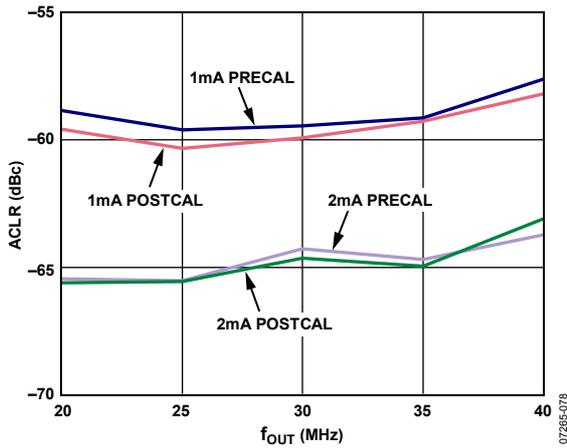


図 78. AD9717 の 2 キャリア W-CDMA サード ACLR、1.8 V

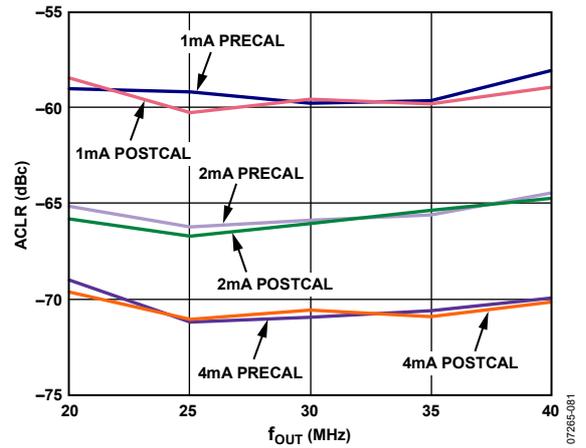


図 81. AD9717 の 2 キャリア W-CDMA サード ACLR、3.3 V

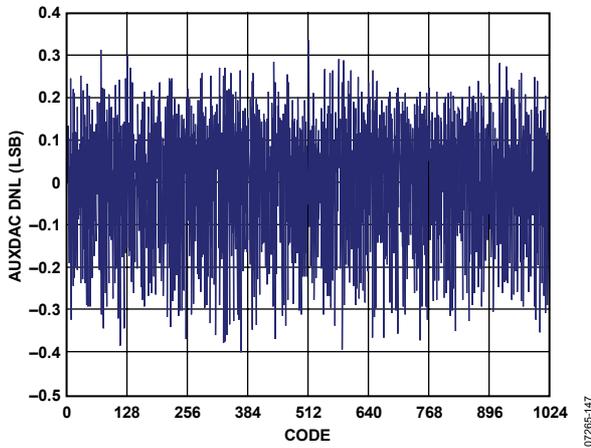


図 79. AUXDAC の DNL

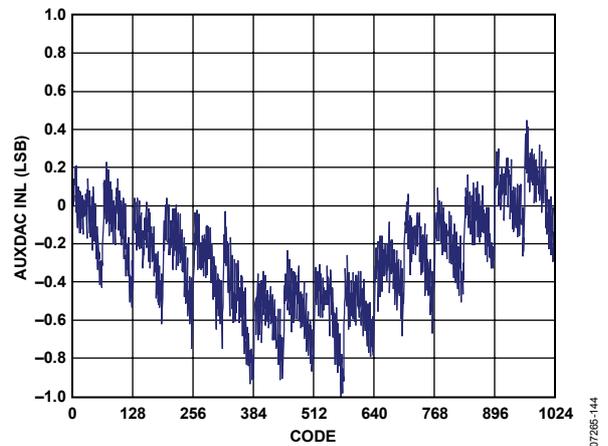


図 82. AUXDAC の INL

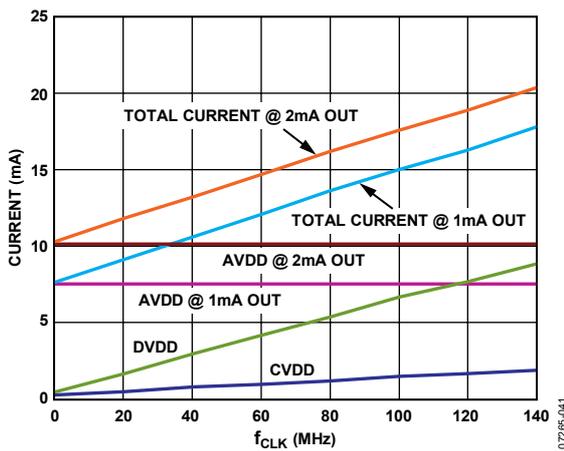


図 80. 電源電流対クロック周波数、1.8 V

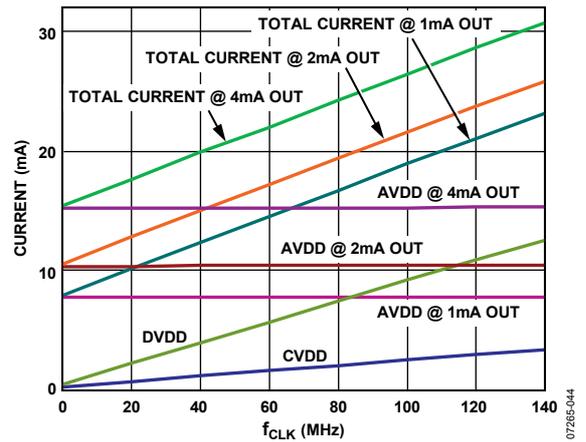


図 83. 電源電流対クロック周波数、3.3 V

用語

直線性誤差または積分非直線性(INL)

直線性誤差は、ゼロ・スケールとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性(DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。

単調性

入力が増加したとき、出力が増加するか不変である場合に、DAC は単調であるといえます。

オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。全入力ビットが 0 の場合、 $I_{OUTA} = 0$ mA の出力が期待されます。全入力ビットが 1 の場合、 $I_{OUTN} = 0$ mA の出力が期待されます。

ゲイン誤差

理論出力スパンと実際出力スパンの差をいいます。実際出力スパンは、全入力ビットが 1 に設定されたときの出力と全入力ビットが 0 に設定されたときの出力との差として定義されます。

出力コンプライアンス・レンジ

電流出力型 DAC の出力における許容電圧範囲。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度(+25°C)時の値から T_{MIN} または T_{MAX} 時の値までの最大変化として規定されます。オフセット・ドリフトとゲイン・ドリフトの場合、ドリフトは 1°C 当たりのフル・スケール範囲(FSR)に対する ppm 値で表されます。リファレンス・ドリフトの場合は、ドリフトは 1°C 当たりの ppm 値で表されます。

電源除去比

電源が最小規定電圧値から最大規定電圧値へ変化したときのフル・スケール出力の最大変化を意味します。

セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は、出力信号のピーク振幅値と、DC から入力データ・レートの 1/2 に等しい周波数までの範囲内でのピーク・スプリアス信号との差を意味し、dB 値で表します。

総合高調波歪み(THD)

THD は、基本波測定値(rms 値)と最初の 6 種類の高調波成分の rms 値の和との比を意味します。パーセント値またはデシベル値で表されます。

SNR (信号対ノイズ比)

SNR は、測定した出力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から 6 次までの高調波成分を除いた分に対する比です。SNR は、デシベル値(dB)で表されます。

隣接チャンネル・リーク比(ACLR)

ACLR は、あるチャンネルと隣接チャンネルの間で測定したキャリア電力(dBc)間の比を dBc で表した値。

複素イメージ除去比

従来型両側波帯アップ・コンバージョンでは、2 次 IF 周波数の周辺に 2 個のイメージが発生します。これらのイメージは、トランスミッタ電力とシステム帯域幅を浪費することになります。2 番目の複素変調器の実数部を最初の複素変調器に直列に配置することにより、2 次 IF 周辺の上側または下側の周波数イメージを除去することができます。

動作原理

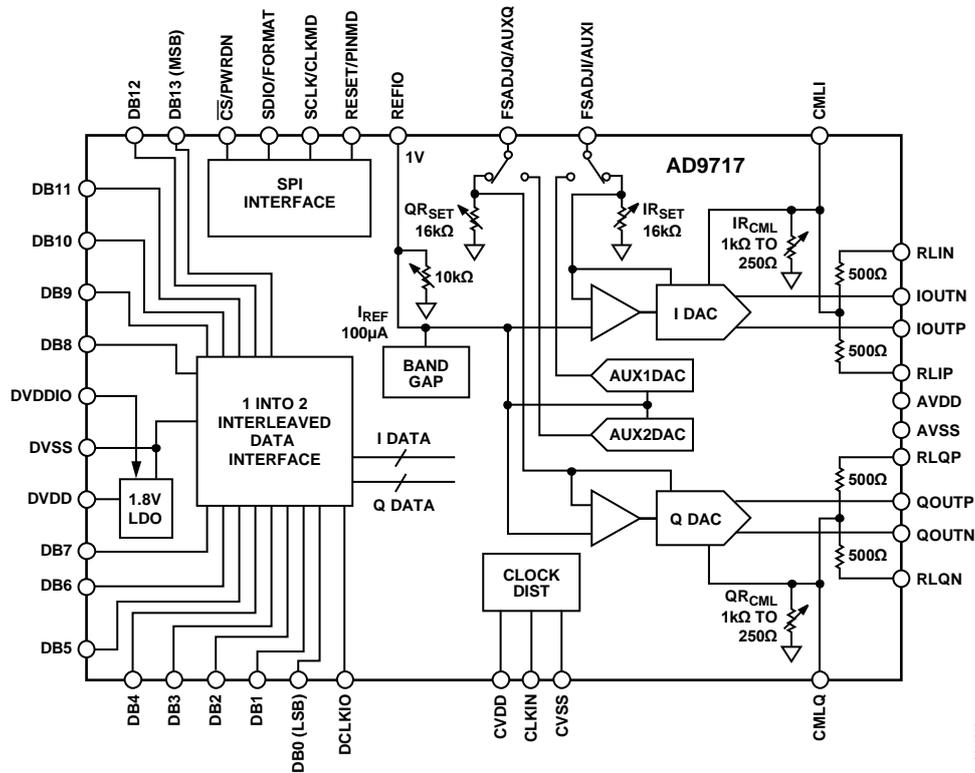


図 84.簡略化したブロック図

図 84 に、AD9714/AD9715/AD9716/AD9717 の簡略化したブロック図を示します。2 個のメイン DAC、デジタル制御ロジック、フル・スケール出力電流制御から構成されています。DAC は、公称 2mA のフル・スケール電流 (I_{xOUTFS}) と最大 4 mA を供給できる PMOS 電流源アレイで構成されています。アレイは、上位 5 ビット (MSB) を構成する 31 個の等しい電流に分割されています。次の 4 ビットすなわち中位ビットは、15 個の等しい電流源 (値は MSB 電流源の 1/16) で構成されています。残りの LSB は、中位ビット電流源の 2 進小数値を構成しています。R-2R のラダー回路ではなく、電流源で下位ビットと中位ビットを構成しているため、マルチトーン信号または低振幅信号のダイナミック性能が改善され、DAC の高出力インピーダンス (200 M Ω 以上) の維持に役立っています。

これらのすべての電流源が PMOS 差動電流スイッチを経由して、2 つの出力ノード (I_{OUTP} または I_{OUTN}) のいずれかに接続されます。このスイッチは AD976x ファミリーで最初に採用したアーキテクチャを採用しており、スイッチング過渡電圧で発生する歪みをさらに削減するように改善されています。この新しいスイッチ・アーキテクチャは種々のタイミング誤差を減少させ、差動電流スイッチの入力に対して一致した相補駆動信号を出力します。

AD9714/AD9715/AD9716/AD9717 のアナログ I/O セクションとデジタル I/O セクションは、1.8 V ~ 3.3 V の動作電圧範囲で動作可能な別々の電源入力 (AVDD と DVDDIO) を持っています。デジタル・コア・セクションには 1.8 V が必要です。1.8 V より高い DVDDIO 電源に対してはオプションの LDO が内蔵されています。あるいは、DVDD を

使用して 1.8 V を直接入力することができます。LDO を使う場合は、DVDD (ピン 7) に 1.0 μ F のバイパス・コンデンサが必要です。

コアは、最大 125 MSPS のレートで動作することができ、エッジ検出のラッチとセグメント・デコーディング・ロジック回路から構成されています。アナログ・セクションには、PMOS 電流源、対応する差動スイッチ、1.0 V のバンドギャップ・リファレンス電圧、リファレンス・コントロール・アンプが含まれています。

各 DAC のフル・スケール出力電流はリファレンス制御アンプによりレギュレーションされ、フル・スケール調整ピン (FSADJx) に接続される外部抵抗 xR_{SET} を使って 1 mA ~ 4 mA の範囲で設定することができます。

外部抵抗はリファレンス・コントロール・アンプとリファレンス電圧 V_{REFIO} との組み合わせにより、基準電流 I_{xREF} を設定します。この基準電流は、適切なスケール・ファクタを使ってセグメント化電流源に設定されます。フル・スケール電流 I_{xOUTFS} は、 I_{xREF} 値の 32 倍になります。

8 k Ω ~ 32 k Ω (4 mA ~ 1 mA I_{xOUTFS}) の公称値に設定できるオプションの内蔵 xR_{SET} 抵抗が用意されています。

AD9714/AD9715/AD9716/AD9717 には、出力コモン・モード・ピン (CMLI と CMLQ) を使って出力コモン・モードを AVSS 以外の値に設定できるオプションがあります。この機能を使うと、AD9714/AD9715/AD9716/AD9717 の出力を 0 V より高いコモン・モード・レベルを必要とする部品に直接インターフェースさせることができます。

シリアル・ペリフェラル・インターフェース(SPI)

AD9714/AD9715/AD9716/AD9717のシリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースが容易にできます。このシリアル I/O は、モトローラ社の SPI プロトコルや Intel®社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。このインターフェースを使うと、AD9714/AD9715/AD9716/AD9717の内部パラメータを設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。1バイト転送または複数バイト転送、および MSB ファースト転送フォーマットまたは LSB ファースト転送フォーマットをサポートしています。AD9714/AD9715/AD9716/AD9717のシリアル・インターフェース・ポートは、SDIO ピンを使ったシングル I/O ピンとして構成されています。

シリアル・インターフェースの全般的な動作

AD9714/AD9715/AD9716/AD9717の通信サイクルには2つのフェーズがあります。フェーズ1は命令サイクルで、AD9714/AD9715/AD9716/AD9717に対する命令バイトの書き込みであり、最初の8個の SCLK 立ち上がりエッジを使います。フェーズ2では、命令バイトから AD9714/AD9715/AD9716/AD9717のシリアル・ポート・コントローラにデータ転送サイクルについての情報が提供されます。フェーズ1の命令ワードは、次のデータ転送の読み出し/書き込みの識別、データ転送内のバイト数、データ転送の先頭バイトに対する開始レジスタ・アドレスを指定します。各通信サイクルの最初の8個の SCLK 立ち上がりエッジは、命令バイトを AD9714/AD9715/AD9716/AD9717へ書き込むのに使用されます。

ピン 35 (RESET/PINMD)にロジック 1 続いてロジック 0 を入力すると、SPI ポートのタイミングが命令サイクルの初期状態にリセットされます。この機能は、内部レジスタに指定された状態または SPI ポートへ入力された他の信号レベルに無関係に実行されます。SPI ポートが命令サイクルまたはデータ転送サイクルの実行中の場合、入力されたデータは書き込まれません。

残りの SCLK エッジが、通信サイクルのフェーズ2に該当します。フェーズ2では、AD9714/AD9715/AD9716/AD9717とシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ2では、命令バイトの指定に基づき1、2、3または4バイトのデータが転送されます。複数バイト転送の使用が望まれます。シングル・バイト・データ転送は、レジスタ・アクセスで1バイトのみ必要とする際に CPU オーバーヘッドを減らすのに有効です。レジスタは、各転送バイトの最終ビットを書き込むと、直ちに更新されます。

命令バイト

命令バイトは表 11 に示す情報から構成されています。

表 11.

MSB						LSB	
DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R/W	N1	N0	A4	A3	A2	A1	A0

R/W (命令バイトのビット 7)は、命令バイトの書き込み後に、読み出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読み出し動作を指定します。ロジック 0 は書き込み動作を指定します。N1 と N0 (命令バイトのビット 6 とビット 5)は、データ転送サイクルで転送されるバイト数を指定します。ビットのデコードを表 12 に示します。

表 12. バイト転送カウント

N1	N0	Description
0	0	Transfer 1 byte
0	1	Transfer 2 bytes
1	0	Transfer 3 bytes
1	1	Transfer 4 bytes

A4、A3、A2、A1、A0 (命令バイトのビット 4、ビット 3、ビット 2、ビット 1、ビット 0)は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。複数バイト転送の場合、このアドレスは開始バイト・アドレスになります。次のレジスタ・アドレスは、LSBFIRST ビット(レジスタ 0x00、ビット 6)に基づいて AD9714/AD9715/AD9716/AD9717により内部で発生されます。

シリアル・インターフェース・ポート・ピンの説明 SCLK—シリアル・クロック

シリアル・クロック・ピンは、AD9714/AD9715/AD9716/AD9717 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。SCLK の最大周波数は 20 MHz です。AD9714/AD9715/AD9716/AD9717へ送信されるすべてのデータは、SCLK の立ち上がりエッジでサンプルされます。すべてのデータは、AD9714/AD9715/AD9716/AD9717から SCLK の立ち下がりエッジで出力されます。

CS—チップ・セレクト

アクティブ・ローを入力すると、通信サイクルが開始されます。この信号を使うと、複数のデバイスを同じシリアル・コミュニケーション・ライン上で動作させることができます。この入力がハイ・レベルのとき、SDIO/FORMAT ピンは高インピーダンス状態になります。チップ・セレクトは、通信サイクル中ロー・レベルを維持する必要があります。

SDIO—シリアル・データ I/O

SDIO ピンは、データを送受信する双方向データ・ラインとして使われます。

MSB/LSB の転送

AD9714/AD9715/AD9716/AD9717 のシリアル・ポートでは、MSB ファーストまたは LSB ファーストの両データ・フォーマットをサポートすることができます。この機能は、LSBFIRST ビット(レジスタ 0x00、ビット 6)から制御されます。デフォルトは MSB ファーストです(LSB ファースト=0)。

LSB ファースト=0 (MSB ファースト)の場合、命令とデータ・バイトは、MSB から LSB への順序で書き込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データ・バイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータ・バイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・ポートの内部アドレス・ジェネレータが、複数バイトの通信サイクルの各データ・バイトに対してデクリメントします。

LSB ファースト=1 (LSB ファースト)の場合、命令とデータ・バイトは、LSB から MSB への順序で書き込む必要があります。LSB ファースト・フォーマットでの複数バイトのデータ転送は、下位データ・バイトのレジスタ・アドレスを含む命令バイトから開始され、複数のデータ・バイトがその後ろに続きます。シリアル・ポートの内部バイト・アドレス・ジェネレータが、複数バイトの通信サイクルの各バイトに対してインクリメントします。

AD9714/AD9715/AD9716/AD9717 のシリアル・ポート・コントローラのデータ・アドレスは、MSB ファースト・モードがアクティブの場合、複数バイト I/O 動作に対して、書き込んだデータ・アドレスから 0x00 へ向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル・ポート・コントローラ・アドレスは、複数バイト I/O 動作に対して、書き込んだアドレスから 0x1F へ向かってインクリメントされます。

シリアル・ポートの動作

AD9714/AD9715/AD9716/AD9717 のシリアル・ポートの設定は、レジスタ 0x00 から制御されます。設定の変更は、レジスタの最終ビットを書き込むと直ちに有効になることに注意してください。複数バイト転送の場合、通信サイクル中にこのレジスタに対する書き込みが発生します。実行中の通信サイクルの残りのバイトに対するこの新しい設定を補正するように注意する必要があります。

ソフトウェア・リセット・ビット(レジスタ 0x00、ビット 5)を設定するときにも、同じ注意が必要です。すべてのレジスタはデフォルト値に設定されます。ただし、レジスタ 0x00 だけは変化しません。

予期しないデバイス動作を防止するためにシリアル・ポートの設定を変更するときは、シングル・バイト転送の使用またはソフトウェア・リセットの実行が推奨されます。

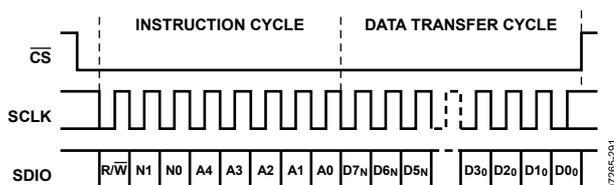


図 85. シリアル・レジスタ・インターフェースのタイミング—MSB ファースト書き込み

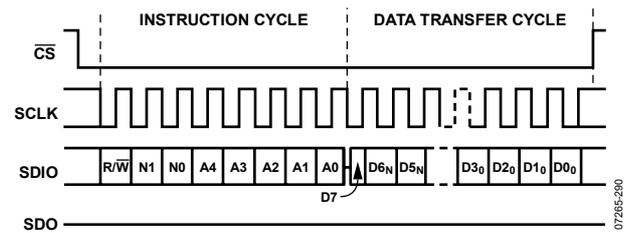


図 86. シリアル・レジスタ・インターフェースのタイミング—MSB ファースト読み出し

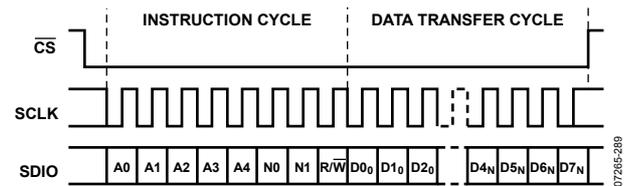


図 87. シリアル・レジスタ・インターフェースのタイミング—LSB ファースト書き込み

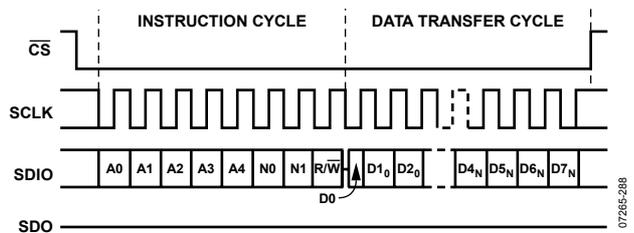


図 88. シリアル・レジスタ・インターフェースのタイミング—LSB ファースト読み出し

ピン・モード

AD9714/AD9715/AD9716/AD9717 では、シリアル・ポートへの書き込みを行わない動作も可能です。RESET/PINMD ピンをハイ・レベルに固定すると、SCLK ピンが CLKMD になってクロック・モードを制御し(リタイマーのセクション参照)、SDIO ピンが FORMAT になって入力データ・フォーマットを選択し、CS/PWRDN ピンがデバイスのパワーダウン機能を持ちます。

その他の動作は表 13 に示すデフォルト・レジスタ値の指定通りであるため、FSADJI と FSADJQ の外付け抵抗は DAC 電流の設定に必要になり、両 DAC はアクティブになります。これは、便利なクイック・チェックアウト・モードにもなります。

ピン・モードで FSADJI/AUXI ピンと FSADJQ/AUXQ ピンに所望の固定抵抗を接続して電流を流すと、DAC 電流を外部から調節することができます。適切な直列抵抗をオペアンプ出力に使用することも 1 つの方法です。これは、抵抗値を変更するのと同じ効果を持ちます。短絡事故やノイズ変調を防止するために、最小 10 kΩ の抵抗を DAC の近くに直列に接続してください。REFIO ピンは、必要に応じて同様に±25%で調節することができます。

SPI レジスタ・マップ

表 13.

Name	Addr	Default	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPI Control	0x00	0x00	Reserved	LSBFIRST	Reset	LNGINS				
Power-Down	0x01	0x40	LDOOFF	LDOSTAT	PWRDN	Q DACOFF	I DACOFF	QCLKOFF	ICLKOFF	EXTREF
Data Control	0x02	0x34	TWOS	Reserved	IFIRST	IRISING	SIMULBIT	DCI_EN	DCOSGL	DCOBL
I DAC Gain	0x03	0x00	Reserved		I DACGAIN[5:0]					
IRSET	0x04	0x00	IRSETEN	Reserved	IRSET[5:0]					
IRCML	0x05	0x00	IRCMLN	Reserved	IRCML[5:0]					
Q DAC Gain	0x06	0x00	Reserved		Q DACGAIN[5:0]					
QRSET	0x07	0x00	QRSETEN	Reserved	QRSET[5:0]					
QRCML	0x08	0x00	QRCMLN	Reserved	QRCML[5:0]					
AUXDAC Q	0x09	0x00	QAUXDAC[7:0]							
AUX CTLQ	0x0A	0x00	QAUXEN	QAUXRNG[1:0]	QAUXOFS[2:0]			QAUXDAC[9:8]		
AUXDAC I	0x0B	0x00	IAUXDAC[7:0]							
AUX CTLI	0x0C	0x00	IAUXEN	IAUXRNG[1:0]	IAUXOFS[2:0]			IAUXDAC[9:8]		
Reference Resistor	0x0D	0x00	Reserved		RREF[5:0]					
Cal Control	0x0E	0x00	PRELDQ	PRELDI	CALSELQ	CALSELI	CALCLK	DIVSEL[2:0]		
Cal Memory	0x0F	0x00	CALSTATQ	CALSTATI			CALMEMQ[1:0]		CALMEMI[1:0]	
Memory Address	0x10	0x00	Reserved		MEMADDR[5:0]					
Memory Data	0x11	0x34	Reserved		MEMDATA[5:0]					
Memory R/W	0x12	0x00	CALRSTQ	CALRSTI		CALEN	SMEMWR	SMEMRD	UNCALQ	UNCALI
CLKMODE	0x14	0x00	CLKMODEQ[1:0]			Searching	Reacquire	CLKMODEN	CLKMODEI[1:0]	
Version	0x1F	0x03	Version[7:0]							

SPI レジスタの説明

これらのレジスタを読み出すと、特に注記がない限り、すべての定義済みレジスタ・ビットに書き込まれている値が返されます。

表 14.

Register	Address	Bit	Name	Description
SPI Control	0x00	6	LSBFIRST	0 (default): MSB first, per SPI standard. 1: LSB first, per SPI standard. Note that the user must always change the LSB/MSB order in single-byte instructions to avoid erratic behavior due to bit order errors.
		5	Reset	Execute software reset of SPI and controllers, reload default register values except Register 0x00. 1: sets software reset; write 0 on the next (or any following) cycle to release reset.
		4	LNGINS	0 (default): the SPI instruction word uses a 5-bit address. 1: the SPI instruction word uses a 13-bit address.
Power-Down	0x01	7	LDOOFF	0 (default): LDO voltage regulator on. 1: turns core LDO voltage regulator off.
		6	LDOSTAT	0: indicates that the core LDO voltage regulator is off. 1 (default) : indicates that the core LDO voltage regulator is on.
		5	PWRDN	0 (default): all analog and digital circuitry and SPI logic are powered on. 1: powers down all analog and digital circuitry except for SPI logic.
		4	Q DACOFF	0 (default): turns on Q DAC output current. 1: turns off Q DAC output current.
		3	I DACOFF	0 (default): turns on I DAC output current. 1: turns off I DAC output current.
		2	QCLKOFF	0 (default): turns on Q DAC clock. 1: turns off Q DAC clock.
		1	ICLKOFF	0 (default): turns on I DAC clock. 1: turns off I DAC clock.
		0	EXTREF	0 (default): turns on internal voltage reference. 1: powers down internal voltage reference (external reference required).
Data Control	0x02	7	TWOS	0 (default): unsigned binary input data format. 1: twos complement input data format.
		5	IFIRST	0: pairing of data—Q first of pair on data input pads. 1 (default): pairing of data—I first of pair on data input pads.
		4	IRISING	0: Q data latched on DCLKIO rising edge. 1 (default): I data latched on DCLKIO rising edge.
		3	SIMULBIT	0 (default): allows simultaneous input and output enable on DCLKIO. 1: disallows simultaneous input and output enable on DCLKIO.
		2	DCI_EN	Controls the use of the DCLKIO pad for data clock input. 0: data clock input disabled. 1 (default): data clock input enabled.
		1	DCOSGL	Controls the use of the DCLKIO pad for data clock output. 0 (default): data clock output disabled. 1: data clock output enabled; regular strength driver.
		0	DCODBL	Controls the use of the DCLKIO pad for data clock output. 0 (default): DCODBL data clock output disabled. 1: DCODBL data clock output enabled; paralleled with DCOSGL for 2× drive current.
I DAC Gain	0x03	5:0	IDACGAIN[5:0]	DAC I fine gain adjustment; alters the full-scale current as shown in Figure 100. Default IDACGAIN = 0x00.

AD9714/AD9715/AD9716/AD9717

Register	Address	Bit	Name	Description
IRSET	0x04	7	IRSETEN	0 (default): IR_{SET} resistor value for I channel is set by an external resistor connected to the FADJI/AUXI pin. Nominal value for this external resistor is 16 k Ω . 1: enables the on-chip IR_{SET} value to be changed for I channel.
		5:0	IRSET[5:0]	Changes the value of the on-chip IR_{SET} resistor for I channel; this scales the full-scale current of the DAC in ~ 0.25 dB steps twos complement (nonlinear); see Figure 99. 000000 (default): $IR_{SET} = 16$ k Ω . 011111: $IR_{SET} = 32$ k Ω . 100000: $IR_{SET} = 8$ k Ω . 111111: $IR_{SET} = 16$ k Ω .
IRCML	0x05	7	IRCMLLEN	0 (default): IR_{CML} resistor value for the I channel is set by an external resistor connected to the CMLI pin. Recommended value for this external resistor is 0 Ω . 1: enables on-chip IR_{CML} adjustment for I channel.
		5:0	IRCML[5:0]	Changes the value of the on-chip IR_{CML} resistor for I channel; this adjusts the common-mode level of the DAC output stage. 000000 (default): $IR_{CML} = 250$ Ω . 100000: $IR_{CML} = 625$ Ω . 111111: $IR_{CML} = 1$ k Ω .
Q DAC Gain	0x06	5:0	Q DACGAIN[5:0]	DAC Q fine gain adjustment; alters the full-scale current as shown in Figure 100. Default QDACGAIN = 0x00.
QRSET	0x07	7	QRSETEN	0 (default): QR_{SET} resistor value for Q channel is set by an external resistor connected to the FADJQ/AUXQ pin. Recommended value for this external resistor is 16 k Ω . 1: enables on-chip QR_{SET} adjustment for Q channel.
		5:0	QRSET[5:0]	Changes the value of the on-chip QR_{SET} resistor for Q channel; this scales the full-scale current of the DAC in ~ 0.25 dB steps twos complement (nonlinear); see Figure 99 000000 (default): $QR_{SET} = 16$ k Ω . 011111: $QR_{SET} = 32$ k Ω . 100000: $QR_{SET} = 8$ k Ω . 111111: $QR_{SET} = 16$ k Ω .
QRCML	0x08	7	QRCMLLEN	0 (default): QR_{CML} resistor value for the Q channel is set by an external resistor connected to CMLQ pin. Recommended value for this external resistor is 0 Ω . 1: enables on-chip QR_{CML} adjustment for Q channel.
		5:0	QRCML[5:0]	Changes the value of the on-chip QR_{CML} resistor for Q channel; this adjusts the common-mode level of the DAC output stage. 000000 (default): $QR_{CML} = 250$ Ω . 100000: $QR_{CML} = 625$ Ω . 111111: $QR_{CML} = 1$ k Ω .
AUXDAC Q	0x09	7:0	QAUXDAC[7:0]	AUXDAC Q output voltage adjustment word LSBs. 0x3FF: sets AUXDAC Q output to full scale. 0x200: sets AUXDAC Q output to midscale. 0x000 (default): sets AUXDAC Q output to bottom of scale.
AUX CTLQ	0x0A	7	QAUXEN	0 (default): AUXDAC Q output disabled. 1: enables AUXDAC Q output.
		6:5	QAUXRNG[1:0]	00 (default): sets AUXDAC Q output voltage range to 2 V. 01: sets AUXDAC Q output voltage range to 1.5 V. 10: sets AUXDAC Q output voltage range to 1.0 V. 11: sets AUXDAC Q output voltage range to 0.5 V.
		4:2	QAUXOFS[2:0]	000 (default): sets AUXDAC Q top of range to 1.0 V. 001: sets AUXDAC Q top of range to 1.5 V. 010: sets AUXDAC Q top of range to 2.0 V. 011: sets AUXDAC Q top of range to 2.5 V. 100: sets AUXDAC Q top of range to 2.9 V.
		1:0	QAUXDAC[9:8]	AUXDAC Q output voltage adjustment word MSBs (default = 00).

AD9714/AD9715/AD9716/AD9717

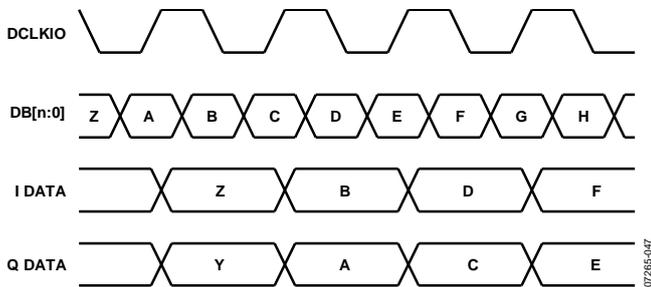
Register	Address	Bit	Name	Description
AUXDAC I	0x0B	7:0	IAUXDAC[7:0]	AUXDAC I output voltage adjustment word LSBs. 0x3FF: sets AUXDAC I output to full scale. 0x200: sets AUXDAC I output to midscale. 0x000 (default): sets AUXDAC I output to bottom of scale.
AUX CTLI	0x0C	7	IAUXEN	0 (default): AUXDAC I output disabled. 1: enables AUXDAC I output.
		6:5	IAUXRNG[1:0]	00 (default): sets AUXDAC I output voltage range to 2 V. 01: sets AUXDAC I output voltage range to 1.5 V. 10: sets AUXDAC I output voltage range to 1.0 V. 11: sets AUXDAC I output voltage range to 0.5 V.
		4:2	IAUXOFS[2:0]	000 (default): sets AUXDAC I top of range to 1.0 V. 001: sets AUXDAC I top of range to 1.5 V. 010: sets AUXDAC I top of range to 2.0 V. 011: sets AUXDAC I top of range to 2.5 V. 100: sets AUXDAC I top of range to 2.9 V.
		1:0	IAUXDAC[9:8]	AUXDAC I output voltage adjustment word MSBs (default = 00).
Reference Resistor	0x0D	5:0	RREF[5:0]	Permits an adjustment of the on-chip reference voltage and output at REFIO (see Figure 98) twos complement. 000000 (default): sets the value of R_{REF} to 10 k Ω , $V_{REF} = 1.0$ V. 011111: sets the value of R_{REF} to 12 k Ω , $V_{REF} = 1.2$ V. 100000: sets the value of R_{REF} to 8 k Ω , $V_{REF} = 0.8$ V. 111111: sets the value of R_{REF} to 10 k Ω , $V_{REF} = 1.0$ V.
Cal Control	0x0E	7	PRELDQ	0 (default): preload Q DAC calibration reference set to 32. 1: preload Q DAC calibration reference set by user (Cal Address 1).
		6	PRELDI	0 (default): preload I DAC calibration reference set to 32. 1: preload I DAC calibration reference set by user (Cal Address 1).
		5	CALSELQ	0 (default): Q DAC self-calibration done. 1: select Q DAC self-calibration.
		4	CALSELI	0 (default): I DAC self-calibration done. 1: select I DAC self-calibration.
		3	CALCLK	0 (default): calibration clock disabled. 1: calibration clock enabled.
		2:0	DIVSEL[2:0]	Calibration clock divide ratio from DAC clock rate. 000 (default): divide by 256. 001: divide by 128. ... 110: divide by 4. 111: divide by 2.
Cal Memory	0x0F	7	CALSTATQ	0 (default): Q DAC calibration in progress. 1: calibration of Q DAC complete.
		6	CALSTATI	0 (default): I DAC calibration in progress. 1: calibration of I DAC complete.
		3:2	CALMEMQ[1:0]	Status of Q DAC calibration memory. 00 (default): uncalibrated. 01: self-calibrated. 10: user calibrated.
		1:0	CALMEMI[1:0]	Status of I DAC calibration memory. 00 (default): uncalibrated. 01: self-calibrated. 10: user calibrated.
Memory Address	0x10	5:0	MEMADDR[5:0]	Address of static memory to be accessed.
Memory Data	0x11	5:0	MEMDATA[5:0]	Data for static memory access.

AD9714/AD9715/AD9716/AD9717

Register	Address	Bit	Name	Description
Memory R/W	0x12	7	CALRSTQ	0 (default): no action. 1: clear CALSTATQ.
		6	CALRSTI	0 (default): no action. 1: clear CALSTATI.
		4	CALEN	0 (default): no action. 1: initiate device self-calibration.
		3	SMEMWR	0 (default): no action. 1: write to static memory (calibration coefficients).
		2	SMEMRD	0 (default): no action. 1: read from static memory (calibration coefficients).
		1	UNCALQ	0 (default): no action. 1: reset Q DAC calibration coefficients to default (uncalibrated).
		0	UNCALI	0 (default): no action. 1: reset I DAC calibration coefficients to default (uncalibrated).
		CLKMODE	0x14	7:6
4	Searching			Data path retimer status bit. 0 (default): clock relationship established. 1: indicates that the internal data path retimer is searching for clock relationship (device output is not usable while this bit is high).
3	Reacquire			Edge triggered, 0 to 1 causes the retimer to reacquire the clock relationship.
2	CLKMODEN			0 (default): CLKMODEI/CLKMODEQ values computed by the two retimers and read back in CLKMODEI[1:0] and CLKMODEQ[1:0]. 1: CLKMODE values set in CLKMODEI[1:0] override both I and Q retimers.
1:0	CLKMODEI[1:0]			Depending on CLKMODEN bit setting, these two bits reflect the phase relationship between DCLKIO and CLKIN as described in Table 16. If CLKMODEN = 0, read only; reports the clock phase chosen by the retimer. If CLKMODEN = 1, read/write; value in this register sets I clock phases; force if needed to better synchronize the DACs (see the Retimer section).).
Version	0x1F	7:0	Version[7:0]	Hardware version of the device. This register is set to 0x03 for the latest version of the device.

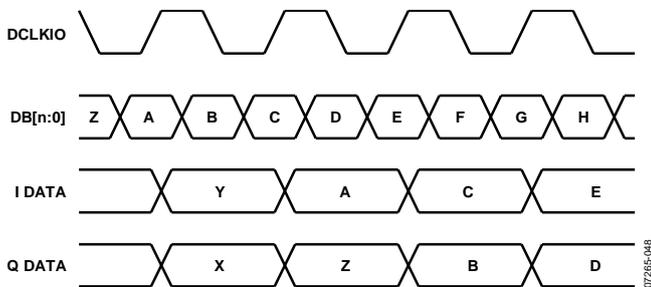
デジタル・インターフェースの動作

I DAC と Q DAC のデジタル・データは、クロック (DCLKIO) が付いている 1 本のパラレル・バス (DB[n:0]) から供給されます。ここで、n は AD9714 に対しては 7、AD9715 に対しては 9、AD9716 に対しては 11、AD9717 に対しては 13 です。I データと Q データは、インターリーブされたダブル・データ・レート (DDR) フォーマットでチップに入力されます。最大保証データ・レートは、125 MHz クロックで 250 MSPS です。データ対の順序とサンプリング・エッジの選択は、IFIRST データ・コントロール・ビットと IRISING データ・コントロール・ビットを使ってユーザから設定することができ、4 種類のタイミング図が得られます。これらのタイミング図を、図 89、図 90、図 91、図 92 に示します。



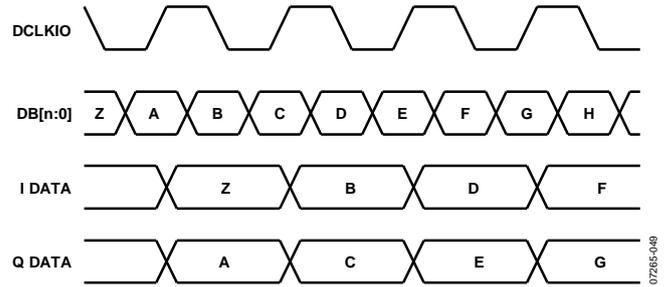
NOTES:
1. DB[n:0], WHERE n IS 7 FOR THE AD9714, 9 FOR THE AD9715, 11 FOR THE AD9716, AND 13 FOR THE AD9717.

図 89. タイミング図—IFIRST = 0、IRISING = 0



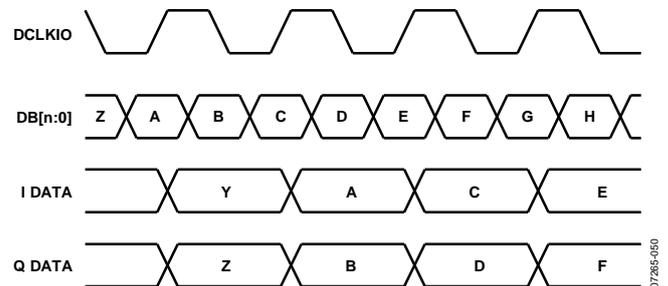
NOTES:
1. DB[n:0], WHERE n IS 7 FOR THE AD9714, 9 FOR THE AD9715, 11 FOR THE AD9716, AND 13 FOR THE AD9717.

図 90. タイミング図—IFIRST = 0、IRISING = 1



NOTES:
1. DB[n:0], WHERE n IS 7 FOR THE AD9714, 9 FOR THE AD9715, 11 FOR THE AD9716, AND 13 FOR THE AD9717.

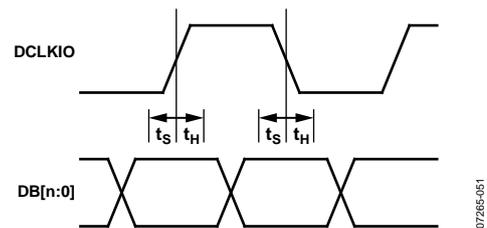
図 91. タイミング図—IFIRST = 1、IRISING = 0



NOTES:
1. DB[n:0], WHERE n IS 7 FOR THE AD9714, 9 FOR THE AD9715, 11 FOR THE AD9716, AND 13 FOR THE AD9717.

図 92. タイミング図—IFIRST = 1、IRISING = 1

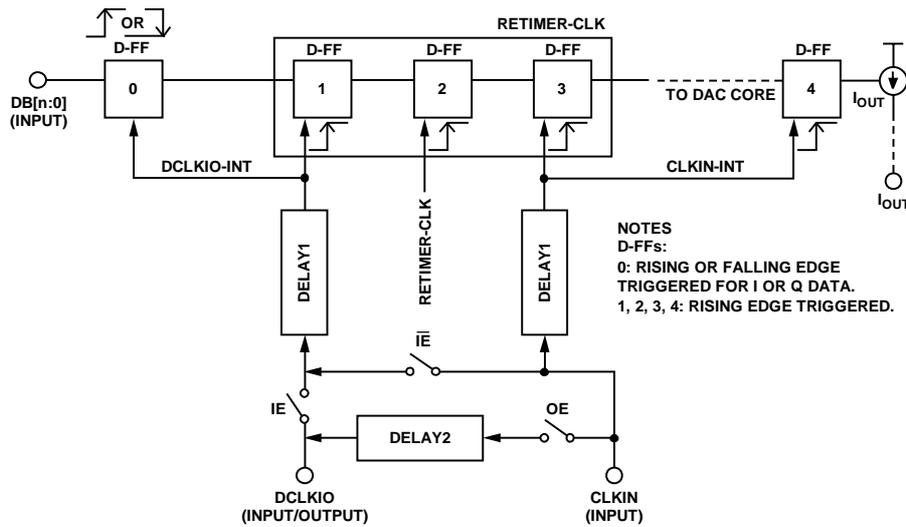
クロックの立ち上がりとしち下がりエッジは、理想的にはセットアップ・タイムとホールド・タイム (t_s と t_H) で構成されるキープイン・ウインドウの中央に位置します。セットアップ・タイムとホールド・タイムについては、表 2 を参照してください。詳細タイミング図を図 93 に示します。



NOTES:
1. DB[n:0], WHERE n IS 7 FOR THE AD9714, 9 FOR THE AD9715, 11 FOR THE AD9716, AND 13 FOR THE AD9717.

図 93. すべての入力モードに対するセットアップ・タイムとホールド・タイム

表 2 に示すさまざまなタイミング・モードの他に、入力データを符号なしバイナリまたは 2 の補数フォーマットでデバイスに入力することができます。フォーマット・タイプは、TWOS データ・コントロール・ビットで指定します。



NOTES:
1. DB[n:0], WHERE n IS 7 FOR THE AD9714, 9 FOR THE AD9715, 11 FOR THE AD9716, AND 13 FOR THE AD9717.

図 94. AD9714/AD9715/AD9716/AD9717 の簡略化したタイミング図

デジタル・データのラッチとリタイマー・ブロック

AD9714/AD9715/AD9716/AD9717 には、DCLKIO と CLKIN の 2 つのクロック入力があります。CLKIN はアナログ・クロックであり、このジッタは DAC 性能に影響を与えます。DCLKIO はデジタル・クロックであり、多くの場合 FPGA から出力されます。FPGA では、パッド上のフリップフロップでデータが正常に入力できるように、入力データとクロックが固定の関係を持つ必要があります。

図 94 に、AD9714/AD9715/AD9716/AD9717 内のデータ・キャプチャ・システム全体の簡略化した図を示します。ダブル・データ・レート入力データ DB[n:0] はパッド/ピンで、IRISING (SPI アドレス 0x02 のビット 4) の指定に従い、DCLKIO-INT クロックの立ち上がりエッジまたは立ち下がりエッジでラッチされます。ここで、n は AD9714 に対しては 7、AD9715 に対しては 9、AD9716 に対しては 11、AD9717 に対しては 13 です。SPI アドレス 0x02 のビット 5 (IFIRST) は、最初にラッチするチャンネル・データ (I または Q) を指定します。キャプチャされたデータはリタイマー・ブロックで内部クロック (CLKIN-INT) を使って再タイミングされた後に、最終アナログ DAC コア (D-FF 4) に送られます。このアナログ DAC コアが、電流切り替え出力スイッチを制御します。図 94 に示すすべての遅延ブロックは非反転であり、明確な遅延ブロックを持たない配線は、分かり易くするため遅延がないものと見なしています。

1 チャンネル分のみを図 94 に示します。一緒に示すデータ・パッド DB[n:0] は、両チャンネルのダブル・データ・レート・パッドとして機能します。ここで、n は AD9714 に対しては 7、AD9715 に対しては 9、AD9716 に対しては 11、AD9717 に対しては 13 です。

デフォルトの PINMD 設定と SPI 設定は、IE = ハイ・レベル (クロース) と OE = ロー・レベル (オープン) です。RESET/PINMD (ピン 35) がハイ・レベルのときに、これらの設定がイネーブルされます。このモードでは、DCLKIO と CLKIN をユーザが与える必要があります。PINMD では、DAC の正常な動作のために DCLKIO と CLKIN が同相であることも推奨されます。これは、両ピンを PCB 上で接続することにより容易に実現できます。ユーザが SPI をアクセスできる場合、SPI アドレス 0x02 のビット 2

(DCL_EN) をロー・レベルにすると、CLKIN を DCLKIO として使うこともできます。

SPI アドレス 0x02 のビット 1 またはビット 0 (それぞれ DCOSGL または DCODBL) にハイ・レベルを設定すると、ユーザの PCB ボード上で使用するために、CLKIN 入力から DCLKIO 出力を得ることができます。

デバイスが正しく機能しているように見える場合でも、DCL_EN = DCOSGL = ハイ・レベル または DCL_EN = DCODBL = ハイ・レベル は使用しないことをお勧めします。同様に、DCOSGL と DCODBL を同時にハイ・レベルに設定しないでください。

リタイマー

AD9714/AD9715/AD9716/AD9717 には、データ・リタイマー回路が内蔵されています。この回路は、CLKIN-INT クロックと DCLKIO-INT クロックを比較し、位相関係に応じて、チップの入力インターフェースで使用されている DCLKIO からアナログ DAC コア (D-FF 4) の駆動に使われている CLKIN までデータを安全に転送するようにリタイマー・クロック (RETIMER-CLK) を選択します。

リタイマーは、図 95 に示す 3 種類の位相から位相を選択します。リタイマーは、表 15 に示す CLKMODE SPI ビットから制御されます。

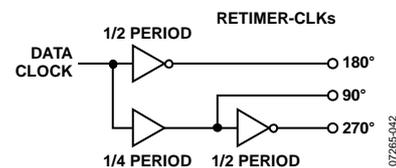


図 95. RETIMER-CLK の位相

多くの場合、複数のリタイマー位相が動作しますが、この場合、リタイマーは 1 つの位相を選択します。リタイマーは最適な位相を選択することはできません。ユーザが DCLKIO と CLKIN の間の適切な位相関係を経験的に知っている場合 (したがって DCLKIO-INT と CLKIN-INT との関係も、これは両クロックの遅延はほぼ等しく DELAY1 に等しいため)、表 15 と次の節で説明するように、CLKMODEN = 1 に設定してリタイマーを強制的にこの位相にすることができます。

表 15. タイマー・レジスタの内容

Bit Name	Description
CLKMODEQ[1:0] Searching Reacquire CLKMODEN	Q data path retimer clock selected output. Valid after the searching bit goes low. High indicates that the internal data path retimer is searching for the clock relationship (DAC is not usable until it is low again). Changing this bit from 0 to 1 causes the data path retimer circuit to reacquire the clock relationship.
CLKMODEI[1:0]	0: uses CLKMODEI/CLKMODEQ values (as computed by the two internal retimers) for I and Q clocking. 1: uses the CLKMODE value set in CLKMODEI[1:0] to override the bits for both I and Q retimers (that is, force the retimer).
CLKMODEI[1:0]	I data path retimer clock selected output. Valid after searching goes low. If CLKMODEN = 1, a value written to this register overrides both the I and Q automatic retimer values.

表 16. CLKMODEI/CLKMODEQ の詳細

CLKMODEI[1:0]/CLKMODEQ[1:0]	DCLKIO-to-CLKIN Phase Relationship	RETIMER-CLK Selected
00	0° to 90°	Phase 2
01	90° to 180°	Phase 3
10	180° to 270°	Phase 3
11	270° to 360°	Phase 1

RESET に正のパルスを入力すると(デバイスは SPI モードになります)、リタイマーが動作して、128 クロック・サイクル以内に RETIMER-CLK の適切なクロック位相が自動的に選択されます。SPI サーチング・ビット(SPI アドレス 0x14 のビット 4)がロー・レベルに戻り、リタイマーがロックされて、デバイスの使用が可能になったことが表示されます。リアクアア・ビット(SPI アドレス 0x14 のビット 3)は、I リタイマーと Q リタイマーで位相検出を再起動する際に何時でも使用することができます。SPI アドレス 0x14 の CLKMODEQ[1:0] と CLKMODEI[1:0] を使うと、リタイマー内で内部位相検出器により選択された値を読み出すことができます(表 16 参照)。

2つのリタイマー(I と Q)にリタイマー・クロックの特別な位相を強制的に選択させるときは(両方とも同じ値にする必要があります)、CLKMODEN (SPI アドレス 0x14 のビット 2)をハイ・レベルに設定し、所望の位相値を CLKMODEI[1:0] と CLKMODEQ[1:0] に書き込みます。たとえば、DCLKIO と CLKIN が同相である場合、リタイマーに安全に RETIMER-CLK の位相 2 を選択させることができます。この強制機能は、複数のデバイスを同期させるときに便利です。

ピン・モードでは、CLKIN と DCLKIO を接続していることを想定しています。このデバイスには、現在使われていない SPI ピン(SCLK、SDIO、 \overline{CS})を使うプログラマブルな機能があります。2つのチップ・クロックを相互に接続する場合、SCLK ピンをグラウンドに接続することができ、チップではリタイマーのクロックを使うことができます。このクロックは、2つの入力クロックと位相が 180°異なります(位相 2 で、最適オプション)。SCLK ピンを再びハイ・レベルにしたとき、チップにはピン・モードでもう 1つのオプションがあります。ピン・モードを使う場合このモードを使ってください。ただし、CLKIN と DCLKIO は相互に接続しません(すなわち同位相ではありません)。SCLK をハイ・レベルにすると、内部クロック検出器は位相検出器出力を使って、リタイマーで使用するクロックを決定します(すなわち適切な

RETIMER-CLK 位相を選択します)。SCLK をハイ・レベルにすると、内部位相検出器は 2つのクロックを調べて、相対的な位相を求めます。2つのクロックの相対位相を再評価するときは、SCLK ピンをロー・レベルにして次にハイ・レベルに戻します。

DAC パイプラインの全体遅延の計算

DAC パイプライン・レイテンシは、選択された RETIMER-CLK の位相から影響を受けます。システムにとってレイテンシがクリティカルで一定にする必要がある場合、リタイマーを強制的に特定の位相にして、位相をその都度自動的に選択させないようにする必要があります。

DCLKIO = CLKIN (同相)、かつ RETIMER-CLK を位相 2 に設定する場合について考えます。IRISING = 1 とします(すなわち、Q データは立ち上がりエッジで、I データは立ち下がりエッジで、それぞれラッチ)。そうすると、I チャンネル出力のレイテンシは 3 クロック・サイクルになります(D-FF 1、D-FF 3、D-FF 4 となり、D-FF 2 ではありません。これは半クロック・サイクル、すなわち 180°でラッチされるためです)。D-FF 0 のパッドで、立ち下がりエッジでラッチされた時間から Q チャンネル出力までのレイテンシは、2.5 クロック・サイクルになります(D-FF 1 まで 1/2 クロック・サイクル、D-FF 3 まで 1 クロック・サイクル、D-FF 4 まで 1 クロック・サイクル)。

AD9714/AD9715/AD9716/AD9717 のこのレイテンシは特別なケースであり、自動選択または手動設定した RETIMER-CLK 位相に基づいて計算する必要があります。

リファレンスの動作

AD9714/AD9715/AD9716/AD9717 は、1.0 V のバンド・ギャップ・リファレンス電圧を内蔵しています。SPI インターフェースを介してパワーダウン・レジスタ(アドレス 0x01)のビット 0 (EXTREF)をセットすると、内部リファレンス電圧がディセーブルされます。内部リファレンス電圧を使うときは、0.1 μF のコンデンサで REFIO ピンを AVSS にデカップリングし、内部リファレンス電圧をイネーブルして、SPI インターフェースを介してパワーダウン・レジスタ(アドレス 0x01)のビット 0 をクリアします。これはデフォルト設定になっていることに注意してください。内部リファレンス電圧は REFIO に出力されます。REFIO に出力される電圧を回路内で使用する場合は、100 nA 未満の入力バイアス電流を持つ外付けバッファアンプを使用して、リファレンスの負荷にならないようにする必要があります。内部リファレンスの使用例を図 96 に示します。

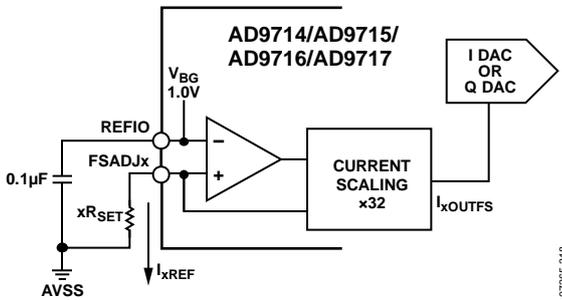


図 96.内部リファレンス電圧の構成

内部または外部のリファレンス選択に応じて、REFIO は入力または出力として機能します。表 17 に、リファレンス動作の一覧を示します。

表 17.リファレンスの動作

Reference Mode	REFIO Pin	Register Setting
Internal	Connect 0.1 μF capacitor	Register 0x01, Bit 0 = 0 (default)
External	Apply external capacitor	Register 0x01, Bit 0 = 1 (for power saving)

外部リファレンスは、厳しいゲイン偏差または低温度ドリフトを必要とするアプリケーションで使用することができます。また、可変外部リファレンス電圧を使って、DAC 出力のゲイン・コントロールを実現することもできます。

外部リファレンス電圧を使用する際の推奨事項

外部リファレンス電圧は REFIO ピンへ接続します。内部リファレンス電圧を外部リファレンスで直接上書きするか、あるいは省電力のため内部リファレンス電圧をパワーダウンさせることができます。

外部リファレンス電圧のメーカーが指定しない限り、REFIO への 0.1 μF 外付け補償コンデンサの接続は不要です。REFIO の入力インピーダンスは、内部リファレンスのパワーアップ時に 10 k Ω で、パワーダウン時には 1 M Ω です。

リファレンス・コントロール・アンプ

AD9714/AD9715/AD9716/AD9717 は、フル・スケール出力電流 I_{xOUTFS} を制御するコントロール・アンプを内蔵しています。コントロール・アンプは V/I コンバータとして構成されています(図 96 参照)。出力電流 I_{xREF} は、式 4 に示すように V_{REFIO} と外部抵抗 xR_{SET} との比により決定されます(DAC の伝達関数のセクション参照)。 I_{xREF} は式 3 に示すように、適切なスケール・ファクタでセグメント化された電流源にコピーされて I_{xOUTFS} が設定されます。

コントロール・アンプを使うと、 $I_{xREF} = 125 \mu\text{A} \sim 31.25 \mu\text{A}$ を設定することにより($xR_{SET} = 8 \text{k}\Omega \sim 32 \text{k}\Omega$)、 I_{xOUTFS} の 2.5:1 調整範囲(1 mA \sim 4 mA)が可能になります。 I_{xOUTFS} は広い調整範囲を持つため、幾つかの利点があります。1 つ目の利点は、AD9714/AD9715/AD9716/AD9717 の消費電力に直接関係し、消費電力が I_{xOUTFS} に比例することです(DAC の伝達関数のセクションを参照してください)。2 つ目の利点は、8 dB 範囲で 0.25 dB ステップの調整機能に関係し、送信電力の制御に役立ちます。リファレンス・コントロール・アンプの小信号帯域幅は約 500 kHz です。このため、このデバイスを低周波の信号乗算アプリケーションに使用することができます。

FSADJx ピンに 16 k Ω より大きい外付け抵抗を使用する場合は、抵抗を 2 本の直列抵抗に分け、この一部と並列に 10 nF のコンデンサを接続して(一方は AVSS へ接続)、高周波等価回路が 16 k Ω より低いインピーダンスを維持するように注意する必要があります(図 97 参照)。

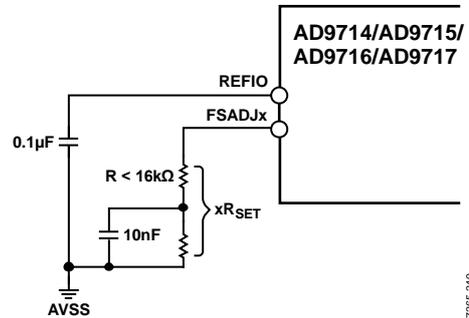


図 97. $xR_{SET} > 16 \text{k}\Omega$ の場合の構成

DAC の伝達関数

AD9714/AD9715/AD9716/AD9717 には、IOUTP/IOUTN と QOUTP/QOUTN の 2 つの差動電流出力があります。全ビットがハイのとき(すなわち DAC CODE = $2^N - 1$ のとき。ここで N は、AD9714、AD9715、AD9716、AD9717 に対して、それぞれ 8、10、12、14)、IOUTP と QOUTP はフル・スケールに近い電流出力 I_{xOUTFS} を出力しますが、相補出力 IOUTN と QOUTN の出力電流はゼロになります。電流出力は正の DAC 出力(IOUTP と QOUTP)と負の DAC 出力(IOUTN と QOUTN)から出力され、入力コードと I_{xOUTFS} との関数であり、次式で表されます。

$$I_{OUTP} = (IDAC\ CODE/2^N) \times I_{OUTFS} \quad (1)$$

$$Q_{OUTP} = (QDAC\ CODE/2^N) \times I_{QOUTFS}$$

$$I_{OUTN} = ((2^N - 1) - IDAC\ CODE)/2^N \times I_{OUTFS} \quad (2)$$

$$Q_{OUTN} = ((2^N - 1) - QDAC\ CODE)/2^N \times I_{QOUTFS}$$

ここで、IDAC CODE および QDAC CODE は $0 \sim 2^N - 1$ (10 進数)。

I_{OUTFS} と I_{QOUTFS} はそれぞれリファレンス電流 I_{IREF} と I_{QREF} の関数であり、リファレンス電圧 V_{REFIO} とそれぞれの外付け抵抗(IR_{SET} と QR_{SET})により設定されます。

I_{OUTFS} と I_{QOUTFS} は次式で表すことができます。

$$I_{OUTFS} = 32 \times I_{IREF} \quad (3)$$

$$I_{QOUTFS} = 32 \times I_{QREF}$$

ここで、

$$I_{IREF} = V_{REFIO}/IR_{SET} \quad (4)$$

$$I_{QREF} = V_{REFIO}/QR_{SET}$$

または

$$I_{OUTFS} = 32 \times V_{REFIO}/IR_{SET} \quad (5)$$

$$I_{QOUTFS} = 32 \times V_{REFIO}/QR_{SET}$$

差動対(IOUTP/IOUTN または QOUTP/QOUTN)は、一般に抵抗負荷を直接またはトランスを介して駆動します。DC 結合が必要な場合は、差動対(IOUTP/IOUTN または QOUTP/QOUTN)を一致する抵抗負荷 xR_{LOAD} に接続します。これらの xR_{LOAD} はアナログ・コモン AVSS に接続されます。正と負のノードに出力されるシングルエンド電圧は次のように表されます。

$$V_{IOUTP} = I_{OUTP} \times IR_{LOAD} \quad (6)$$

$$V_{QOUTP} = Q_{OUTP} \times QR_{LOAD}$$

$$V_{IOUTN} = I_{OUTN} \times IR_{LOAD} \quad (7)$$

$$V_{QOUTN} = Q_{OUTN} \times QR_{LOAD}$$

公称 4 mA の出力電流で 1 V の最大出力コンプライアンスを実現するためには、 $IR_{LOAD} = QR_{LOAD}$ を 250 Ω に設定する必要があります。

IOUTP、IOUTN、 I_{xREF} の値を代入すると、 V_{IDIFF} は次式で表すことができます。

$$V_{IDIFF} = \{(2 \times IDAC\ CODE - (2^N - 1))/2^N\} \times (32 \times V_{REFIO}/IR_{SET}) \times IR_{LOAD} \quad (8)$$

式 8 は、AD9714/AD9715/AD9716/AD9717 を差動で動作させるときの利点を表しています。まず、差動動作はノイズ、歪み、DC オフセットのような IOUTP と IOUTN にあるコモン・モード誤差原因を相殺します。2 つ目に、コード依存の差動電流とその後段の電圧 V_{IDIFF} はシングルエンド電圧出力値(V_{IOUTP} または V_{IOUTN})の 2 倍であり、2 倍の信号電力を負荷に供給します。AD9714/AD9715/AD9716/AD9717 のシングルエンド出力(V_{IOUTP} と V_{IOUTN})または差動出力(V_{IDIFF})に対するゲイン・ドリフト温度性能は、 xR_{LOAD} と xR_{SET} が式 8 に示すように比例関係にあるため、両抵抗に対して温度トラッキング抵抗を選択することにより改善できることに注意してください。

アナログ出力

各 DAC には IOUTP/IOUTN と QOUTP/QOUTN の相補電流出力が用意されており、シングルエンド動作または差動動作に構成することができます。

IOUTP/IOUTN と QOUTP/QOUTN は負荷抵抗 xR_{LOAD} を使って相補シングルエンド電圧出力 V_{IOUTP} と V_{IOUTN} および V_{QOUTP} と V_{QOUTN} に変換することができます(DAC の伝達関数のセクションの式 6~式 8 参照)。 V_{IOUTP} と V_{IOUTN} との間および V_{QOUTP} と V_{QOUTN} との間に存在する差動電圧 V_{IDIFF} と V_{QDIFF} も、トランスまたは差動アンプ構成を使ってシングルエンド電圧に変換することができます。

AD9714/AD9715/AD9716/AD9717 の AC 性能は、IOUTP と IOUTN での電圧振幅を ± 0.5 V に制限した差動トランス結合出力を使用した場合に最適であり、これで仕様が規定されています。AD9714/AD9715/AD9716/AD9717 の歪み性能とノイズ性能は、差動動作により改善することができます。IOUTP/IOUTN と QOUTP/QOUTN のコモン・モード誤差の原因は、トランスまたは差動アンプのコモン・モード除去比により大幅に削減されます。これらのコモン・モード誤差原因には、偶数次の歪み項とノイズが含まれています。再生波形の周波数成分が増えるほど、および/またはその振幅が大きくなるほど、歪み性能の改善効果が大きくなります。これは、種々の動的なコモン・モード歪みメカニズム、デジタル信号の混入、ノイズの一次の相殺に起因します。トランスを使って差動からシングルエンドへ変換すると、2 倍の再生信号電力を負荷に供給することもできます(ソース終端がない場合)。IOUTP/IOUTN と QOUTP/QOUTN の出力電流は相補であるため、差動で処理された場合に加算されます。

セルフ・キャリブレーション

AD9714/AD9715/AD9716/AD9717には、デバイスのDNLを向上させるセルフ・キャリブレーション機能があります。デバイスでセルフ・キャリブレーションを行うと、低周波アプリケーションでデバイス性能を向上させることができます。アナログ出力周波数が5 MHzを超えるアプリケーションでのデバイス性能は、DNLに比べてダイナミックなデバイス動作から多く影響を受けるため、これらの場合、セルフ・キャリブレーションは大きな利点を示さないことがあります。キャリブレーション・クロック周波数は、DACクロックをDIVSEL値で指定する分周比で除算した周波数に等しくなります。各キャリブレーション・クロック・サイクルは、DIVSEL[2:0]の値(レジスタ0x0E、ビット[2:0])に応じて、DAC入力クロック・サイクルの32~2048倍になります。キャリブレーション・クロック周波数は、信頼度の高いキャリブレーションのために0.5 MHz~4 MHzにする必要があります。これらの値になるようにキャリブレーション・クロック周波数をDIVSEL[2:0](レジスタ0x0E、ビット[2:0])を使って設定すると、最適結果が得られます。別々のセルフ・キャリブレーション・ハードウェアが各DACに内蔵されています。DACは、個別にまたは同時にセルフ・キャリブレーションすることができます。

デバイスのセルフ・キャリブレーションを行うときは、次の手順に従います。

1. 0x00をレジスタ0x12へ書き込みます。これにより、UNCALIビットとUNCALQビットがリセットされます。
2. DIVSEL[2:0]を使ってキャリブレーション・クロックを0.5 MHz~4 MHzに設定し、CALCLKビット(レジスタ0x0E、ビット3)をセットしてキャリブレーション・クロックをイネーブルします。
3. レジスタ0x0EでI DACのビット4(CALSELI)および/またはQ DACのビット5(CALSELQ)をセットして、セルフ・キャリブレーションするDACを選択します。各DACには独立なキャリブレーション・ハードウェアが内蔵されているため、同時にキャリブレーションできることに注意してください。
4. CALENビット(レジスタ0x12のビット4)をセットして、セルフ・キャリブレーションを開始します。約300キャリブレーション・クロック・サイクル間待ちます。
5. レジスタ0x0FのCALSTATIビット(ビット6)とCALSTATQビット(ビット7)を読み出して、セルフ・キャリブレーションが終了したことを確認します。ロジック1はキャリブレーションの完了を表します。
6. セルフ・キャリブレーションが完了したら、0x00をレジスタ0x12に書き込みます。
7. CALCLKビット(レジスタ0x0E、ビット3)をクリアして、キャリブレーション・クロックをディスエーブルします。

AD9714/AD9715/AD9716/AD9717では、キャリブレーション係数の読み出しと書き込みが可能です。合計32個の係数があります。係数のリード/ライト機能は、複数のセルフ・キャリブレーション・サイクル結果の平均をとり、平均処理した結果を再度デバイスへロードすることにより、セルフ・キャリブレーション・ルーチンの結果を向上させるときに便利です。

キャリブレーション係数を読み出すときは、次のステップに従います。

1. レジスタ0x0EでI DACのビット4(CALSELI)またはQ DACのビット5(CALSELQ)をセットして、読み出すDACコアを選択します。最初の係数のアドレス(0x01)をレジスタ0x10へ書き込みます。
2. 0x04をレジスタ0x12に書き込んで、SMEMRDビット(レジスタ0x12、ビット2)をセットします。
3. レジスタ0x11の値を読み出して、最初の係数の6ビット値を読み出します。
4. 0x00をレジスタ0x12に書き込んで、SMEMRDビットをクリアします。
5. 各読み出しごとにアドレスを1だけ増やして、残りの31個の係数に対してステップ2~ステップ4を繰り返します。
6. レジスタ0x0EでI DACのビット4(CALSELI)またはQ DACのビット5(CALSELQ)をクリアして、読み出すDACコアの選択を解除します。

キャリブレーション係数をデバイスへ書き込むときは、次のステップに従います。

1. レジスタ0x0EでI DACのビット4(CALSELI)またはQ DACのビット5(CALSELQ)をセットして、書き込むDACコアを選択します。
2. 0x08をレジスタ0x12に書き込んで、SMEMWRビット(レジスタ0x12、ビット3)をセットします。
3. 最初の係数のアドレス(0x01)をレジスタ0x10へ書き込みます。
4. 最初の係数の値をレジスタ0x11へ書き込みます。
5. 各書き込みごとにアドレスを1だけ増やして、残りの31個の係数に対してステップ2~ステップ4を繰り返します。
6. 0x00をレジスタ0x12に書き込んで、SMEMWRビットをクリアします。
7. レジスタ0x0EでI DACのビット4(CALSELI)またはQ DACのビット5(CALSELQ)をクリアして、DACコアの選択を解除します。

ゲインの粗調整

オプション 1

フル・スケール出力電流の粗調整は、レジスタ 0x0D の下位 6 ビットを使って行うことができます。この機能を使って、ピン 34 (REFIO) のバンド・ギャップ電圧を最大 20% 増減させると、FSADJx 抵抗の電圧がこの変化に追従します。その結果、DAC のフル・スケール電流が同じ量だけ変化します。REFIO 電圧を変化させる二次的な効果は、AUXDAC のフル・スケール電圧も同じ振幅だけ変化することです。このレジスタでは、2 の補数フォーマットを使います。011111 により REFIO ノード電圧が最大になり、100000 によりこの電圧が最小になります。

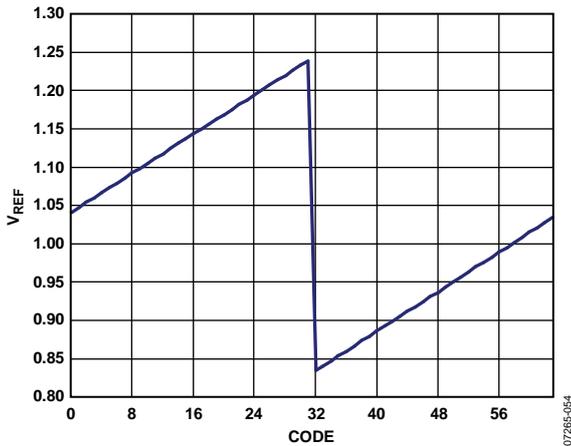


図 98. V_{REF} 電圧 (Typ) 対コード

オプション 2

内部 FSADJx 抵抗の使用中に、レジスタ 0x04 (IRSET[5:0]) とレジスタ 0x07 (QRSET[5:0]) の下位 6 ビットを使って、各メイン DAC で独立に制御するゲイン粗調整を行うことができます。ゲイン粗調整オプション 1 とは異なり、この効果はメイン DAC フル・スケール出力電流だけに限られます。このレジスタでは 2 の補数フォーマットを使っているため、出力電流を約 0.25 dB ステップで変化させることができます。

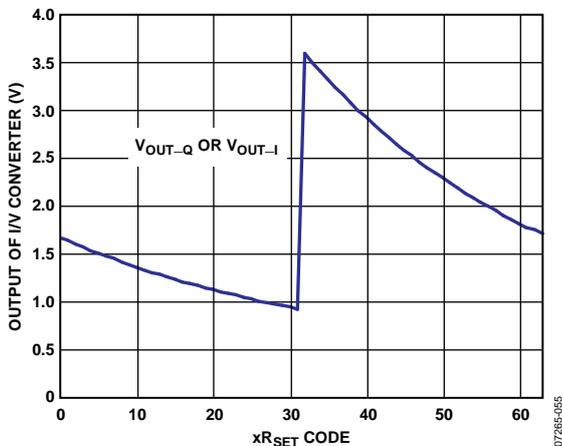


図 99. xR_{SET} コードの効果

オプション 3

デバイスがピン・モードにあるときでも、FSADJx ピンに電流を流すことにより、フル・スケール値を調節することができます。ここに混入するノイズは、出力の振幅変調として現れます。したがって、必要とされる直列抵抗の部分(最小 20 k Ω)は、ピンの真近に実装する必要があります。この方法では、 $\pm 10\%$ の範囲が調整できます。

オプション 4

オプション 3 と同様に、デバイスがピン・モードにあるときでも、REFIO ピンに電流を流すことにより、両フル・スケール値を調節することができます。ここに混入したノイズが出力の振幅変調として現れるため、必要とされる直列抵抗の部分(最小 10 k Ω)は、ピンに実装する必要があります。この方法では、 $\pm 25\%$ の範囲が調整できます。

ゲインの微調整

各メイン DAC には、レジスタ 0x03 (I DAC ゲイン) とレジスタ 0x06 (Q DAC ゲイン) の下位 6 ビットを使用する独立なゲイン微調整機能があります。ゲイン粗調整オプション 1 とは異なり、この効果はメイン DAC フル・スケール出力電流だけに限られます。このレジスタは、ストレート・バイナリ・フォーマットを使用しています。ストレート・バイナリ・フォーマットが重要となる 1 つのアプリケーションとしては、直交変調器を使う際の側波帯の抑圧があります。詳細については、アプリケーション情報のセクションで説明します。

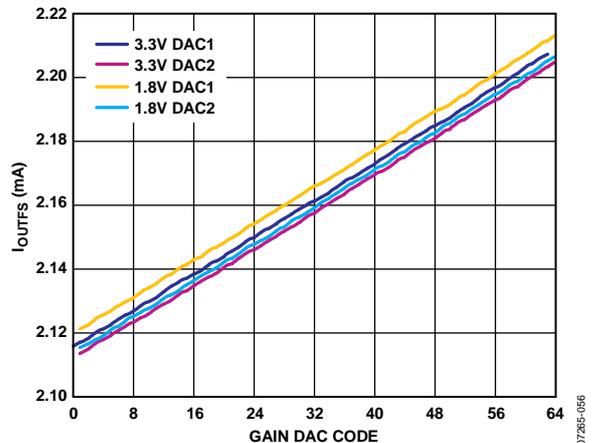


図 100. DAC ゲイン特性 (typ)

内部終端抵抗の使用

AD9717/AD9716/AD9715/AD9714 には 4 本の 500 Ω 終端抵抗が内蔵されています(各 DAC 出力に 2 本)。これらの抵抗を使って DAC 出力電流を電圧に変換するときは、各 DAC 出力ピンを近くの負荷ピンに接続します。たとえば I DAC では、IOUTP を RLIP へ、IOUTN を RLIN へ、それぞれ接続します。さらに、CMLI ピンまたは CMLQ ピンを直接グラウンドへまたは抵抗を介して接続します。出力電流が公称 2 mA であり、かつ CMLI ピンまたは CMLQ ピンが直接グラウンドへ接続される場合、DAC 出力での DC コモン・モード・バイアス電圧は 0.5 V になります。DAC DC バイアスを 0.5 V より高くする場合は、外付け抵抗を CMLI ピンまたは CMLQ ピンとグラウンドとの間に接続することができます。また、このデバイスはイネーブルできるコモン・モード抵抗も内蔵しています。これについては、内蔵コモン・モード抵抗の使用のセクションで説明します。

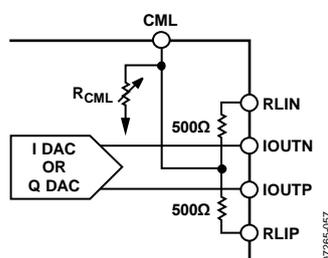


図 101.簡略化した内蔵負荷オプション

内蔵コモン・モード抵抗の使用

これらのデバイスには、調整可能なコモン・モード抵抗が内蔵されており、これらの抵抗を使って DAC 出力の DC バイアスを大きくすることができます。デフォルトでは、コモン・モード抵抗は接続されません。イネーブル時、約 250 Ω～約 1 kΩ の範囲で調整可能です。各メイン DAC には、レジスタ 0x05 (IRCML[5:0])とレジスタ 0x08 (QRCML[5:0])の下位 6 ビットを使う独立な調整機能があります。

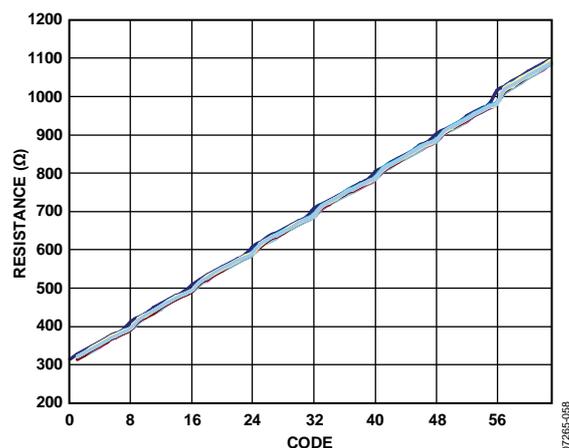


図 102.CML 抵抗値(Typ)対レジスタ・コード

最適性能のための CMLx ピンの使用

CMLx ピンは、デバイス内で DAC バイアス電圧を変化させる機能も持っています。この機能を使うと、DAC を高い DC 出力バイアス電圧で動作させることができます。バイアス電圧 < 0.9 V かつ AVDD = 3.3 V で動作する場合、CMLx ピンをグラウンドに接続したときに、デバイスの最適性能が得られます。DC バイアスを 0.9 V より高くするときは、CMLx ピンを 0.5 V に設定すると最適性能が得られます。電源が 3.3 V の場合、DAC 出力の最大 DC バイアスは 1.2 V 以下に設定する必要があります。電源が 1.8 V の場合は、DC バイアスを 0 V 近くに設定し、CMLx ピンを直接グラウンドへ接続します。

アプリケーション情報

出力の構成

次のセクションでは、AD9714/AD9715/AD9716/AD9717の一般的な出力構成について説明します。特に注記がない限り、 I_{XOUTFS} は公称 2 mA に設定します。最適なダイナミック性能を必要とするアプリケーションに対しては、差動出力構成が推奨されます。差動出力構成は、RF トランスまたは差動オペアンプにより構成されます。トランス構成は最適な高周波性能を提供するため、AC 結合が可能ならすべてのアプリケーションに対して推奨されます。差動オペアンプ構成は、DC 結合、信号ゲイン、低出力インピーダンスを必要とするアプリケーションに適しています。

シングルエンド出力は、低価格と低消費電力が主要な条件となるアプリケーションに適しています。

トランスを使用する差動結合

RF トランスを使うと、差動信号からシングルエンド信号への変換を行うことができます(図 103 参照)。トランスの歪み性能は一般に、特に高い周波数で、標準オペアンプの歪み性能より優れています。トランス結合は、広い周波数範囲で優れたコモン・モード歪み除去比を提供します(偶数次高調波)。電気的絶縁も提供し、ノイズを追加することなく電圧ゲインを与えることもできます。インピーダンスのマッチングには、種々のインピーダンス比を持つトランスを使うことができます。トランス結合の主要な欠点としては、周波数ロールオフが低い、電力ゲインがない、出力インピーダンスが高いなどがあります。

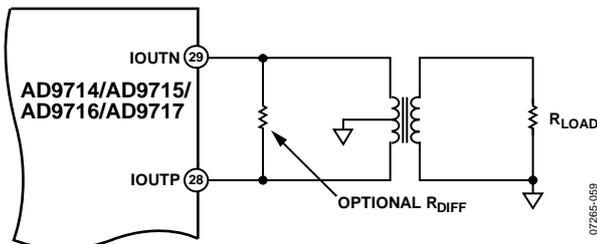


図 103. トランスを使用した差動出力

トランス一次側のセンター・タップは、IOUPT と IOUTN の電圧をデバイスの出力コモン・モード電圧範囲内に維持する電圧に接続する必要があります。DAC 出力電流の DC 成分は I_{XOUTFS} に等しく、IOUPT と IOUTN から流れることに注意してください。トランスのセンター・タップは、この DC 電流のパスを提供する必要があります。大部分のアプリケーションでは、AGND がトランス・センター・タップに対する最も便利な電圧になります。IOUPT と IOUTN の相補電圧 (V_{IOUPT} と V_{IOUTN}) の振幅は、AGND を中心として対称であるため、AD9714/AD9715/AD9716/AD9717 の規定の出力コンプライアンス・レンジ内に維持する必要があります。

差動抵抗 R_{DIFF} は、トランス出力が受動再生フィルタまたはケーブルを経由して負荷 R_{LOAD} に接続されるアプリケーションで使用することができます。 R_{DIFF} はトランスのインピーダンス比により決定され、VSWR を低くするソース終端を提供するように選択されます。信号電力の約半分が R_{DIFF} で消費されることに注意してください。

オペアンプを使用したバッファ付きシングルエンド出力

ADA4899-1 のようなオペアンプを使うと、シングルエンド電流から電圧への変換を行うことができます(図 104 参照)。AD9714/AD9715/AD9716/AD9717 は、各出力に一对の直列抵抗 R_S を持つように構成されます。最適歪み性能を得るためには、 R_S を 0Ω に設定する必要があります。帰還抵抗 R_{FB} は、次式により信号振幅のピーク to ピークを決定します。

$$V_{OUT} = R_{FB} \times I_{FS}$$

出力のコモン・モード電圧は次式から求めます。

$$V_{CM} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right) - \frac{R_{FB} \times I_{FS}}{2}$$

アンプの最大出力電圧と最小出力電圧は、それぞれ次式から求めます。

$$V_{MAX} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right)$$

$$V_{MIN} = V_{MAX} - I_{FS} \times R_{FB}$$

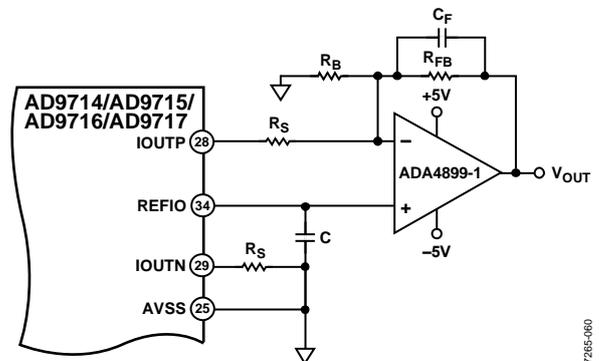


図 104. 単電源でのシングルエンド・バッファ

オペアンプを使った差動バッファ付き出力

図 105 に示すシングルエンド・バッファの差動バージョンには、デュアル・オペアンプ(図 104 の回路参照)を使うことができます。同じ RC 回路を使って 1 極の差動ローパス・フィルタを構成して、このフィルタにより DAC 出力で発生する高周波イメージを除去してオペアンプ入力に混入しないようにします。帰還抵抗 R_{FB} により、次式に基づき差動信号振幅のピーク to ピークが決定されます。

$$V_{OUT} = 2 \times R_{FB} \times I_{FS}$$

アンプのシングルエンド最大出力電圧と最小出力電圧は、それぞれ次式から求めます。

$$V_{MAX} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right)$$

$$V_{MIN} = V_{MAX} - R_{FB} \times I_{FS}$$

差動出力のコモン・モード電圧は次式から求めます。

$$V_{CM} = V_{MAX} - R_{FB} \times I_{FS}$$

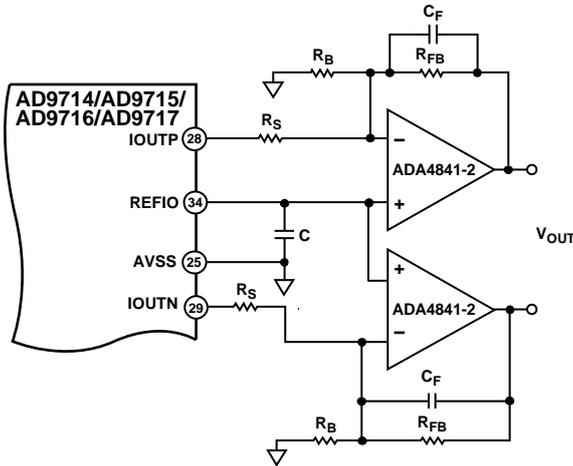


図 105. 単電源差動バッファ

補助 DAC

AD9714/AD9715/AD9716/AD9717 は、DC オフセット補正や同様な用途に適する独立な多機能 10 ビット補助 DAC を 2 個内蔵しています。

AUXDAC は SPI ポートを介して駆動されるため、アナログ帰還ループ内のようなタイミングの厳しいアプリケーションで使用することはできません。

ピン数を抑えるために、これらの各補助 DAC は対応する FSADJx 抵抗とピンを共有しています。これらの DAC は、イネーブルされ、かつ内蔵フル・スケール抵抗を使って動作するときのみ使用可能です。シンプルな I/V コンバータがチップ上に組み込まれています。REFIO が正確に 1 V の場合、 $REFIO/2 = 0.5 \text{ V}$ になるようにシャント抵抗 ($3.2 \text{ k}\Omega \sim 16 \text{ k}\Omega$) を選択することができ、次式で無負荷時の出力電圧が与えられます。

$$V_{OUT} = 0.5 \text{ V} - \left(I_{DAC} - \frac{1.5}{R_S}\right) 16 \text{ k}\Omega$$

図 106 に、これらの DAC を制御するすべての SPI ビットの機能(ただし、QAUXEN ビット(レジスタ 0x0A のビット 7)と IAUXEN ビット(レジスタ 0x0C のビット 7)は除く)、および $R_S < 3.2 \text{ k}\Omega$ を禁止するゲーティング機能を示します。

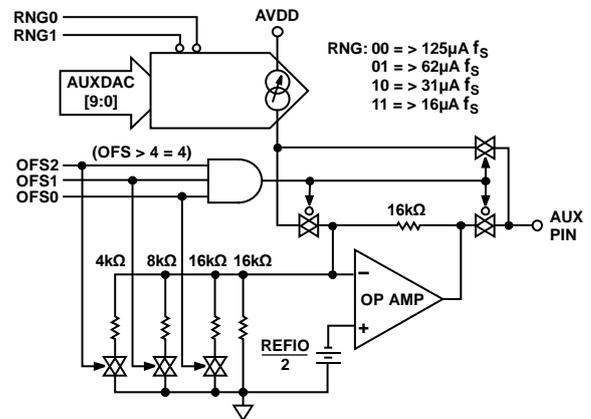


図 106. AUXDAC の簡略化した回路図

SPI の速度により、補助 DAC の更新レートが制限されます。 I_{AUXDAC} は 0x000 でフル・スケールに、0x1FF でゼロ・スケールに、それぞれなるようにデータが変換されます(図 107 参照)。

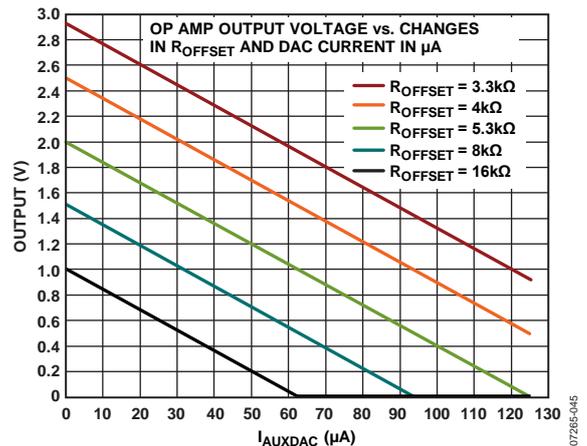


図 107. AUXDAC オペアンプ出力対電流、 $AVDD = 3.3 \text{ V}$ 、無負荷、AUXDAC: 0x1FF ~ 0x000

2 個のレジスタが各 DAC に割り当てられており、10 ビットは発生する実際の DAC 電流用に、3 ビットはオフセット(およびゲイン)調整用に、2 ビットは電流範囲調整用に、さらに 1 ビットはイネーブル/ディスエーブル・ビット用に、それぞれ使用されています。QAUXOFS ビット(レジスタ 0x0A のビット[4:2])と IAUXOFS ビット(レジスタ 0x0C のビット[4:2])をすべて 1 に設定すると、対応するオペアンプがディスエーブルされて、DAC 電流が対応する FSADJI/AUXI ピンまたは FSADJQ/AUXQ ピンに直接出力されます。この機能は、駆動する負荷が内蔵アンプの制限能力を超えるときに、便利です。

非イネーブル時(QAUXEN または IAUXEN = 0)は、対応する DAC 出力がオープンになります。

DAC—変調器間のインターフェース

DAC 出力の後ろに直交変調器が接続される場合、補助 DAC を使って、ローカル発振器(LO)の相殺を行うことができます。この LO のフィードスルーは直交変調器の入力換算 DC オフセット電圧(および DAC 出力オフセット電圧の不一致)によって発生するため、システム性能が低下します。DAC と直交変調器との間の代表的なインターフェースを図 108 と図 109 に示します。直列抵抗値は適切な調整範囲を与えるように選択されています。図 108 には使用中の外部負荷抵抗も示してあります。変調器の入力コモン・モード電圧は、DAC の出力コンプライアンス・レンジより高くなることがあるので、AC 結合または DC レベル・シフトが必要になります。直交変調器のコモン・モード入力電圧が DAC のそれと一致する場合には、図 108 の DC 阻止コンデンサを取り外して、内蔵抵抗を接続することができます。

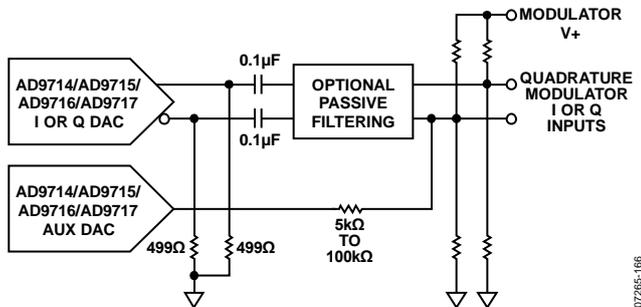


図 108. 補助 DAC の一般的な使用方法と直交変調器へ接続する際の外付け部品

図 109 に、DAC 内で提供される内蔵部品を利用して大幅に簡素化された回路を示します。DAC からのスプリアス信号(歪みと DAC イメージ)が直交変調器入力にシステム性能に影響をあたえるときは、ローパスまたはバンドパス受動フィルタの使用が推奨されます。図 109 の例では、変調器を正しくバイアスするためにフィルタは DC を通過させる必要があります。図 108 と図 109 に示す位置にフィルタを配置すると、ソース・インピーダンスと負荷インピーダンスを 2 mA のフル・スケール出力に対して 500 Ω に近づけて容易にデザインできるため、フィルタのデザインが容易になります。変調器入力の抵抗が既知になったら、発生する入力オフセット範囲を容易に求めることができますので、AUXDAC 出力の直列抵抗値を計算することができます。

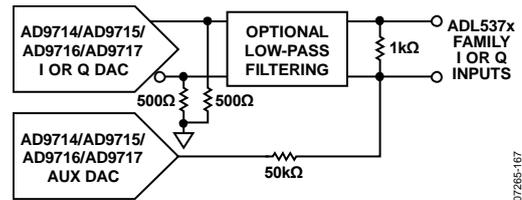


図 109. 直交変調器 ADL537x ファミリーまたは同等デバイスに対する DC 結合—内蔵部品の使用により簡素化

IF/RF 変換での直交変調器の非理想的な性能の補正

アナログ直交変調器は単側波帯無線の実現を非常に容易にしますが、直交変調器性能の非理想的な側面があります。これらのアナログ性能の低下の中に、ゲインの不一致と LO のフィードスルーがあります。

ゲインの不一致

直交変調器の実数部と虚数部の信号パスのゲインが完全に一致しないことがあります。このために、負周波数イメージの相殺が完全でなくなるので最適イメージ除去比より低くなります。

LO のフィードスルー

直交変調器は有限な DC 換算オフセットを持ち、LO ポートから信号入力への混入もあります。これらが原因となり、直交変調器の LO 周波数でスペクトル・スプリアスが大きくなります。

AD9714/AD9715/AD9716/AD9717 には、これらの両アナログ性能低下を補正する機能がありますが、温度に対してこれらの性能低下が変動するため、最適に近い単側波帯性能が必要な場合は、温度に対するこれらの性能低下を検出して補正する方法が必要となることに注意してください。

I/Q チャンネル間のゲイン・マッチング

ゲインの正確なマッチングは、DAC ゲイン微調整レジスタの値を調節することにより実現されます。I DAC の場合、これらの値は I DAC ゲイン・レジスタ(レジスタ 0x03)に格納されています。Q DAC の場合、これらの値は Q DAC ゲイン・レジスタ(レジスタ 0x06)に格納されています。これらは、フル・スケールの±2%をカバーする 6 ビット値です。デフォルト値のゼロから開始してゲイン補償を行うときは、不要なイメージの振幅が増加または減少することが認められるまで、これらのレジスタの内の 1 つの値を数ステップ大きくします。不要なイメージの振幅が増加する場合、ステップを戻して他の DAC 制御レジスタについて同じ調整を行います。除去比が改善されなくなるまでレジスタ値を変えることを繰り返します。ゲイン微調整範囲がヌル点を見つけるために不十分である場合は(すなわち、ヌル点に遭遇しないでレジスタがフル・スケールに到達する場合)、2 個の DAC のゲイン粗調整設定を調節して、再実行します。このシンプルな方法には、その他の派生方法も考えられます。

LO フィードスルーの補償は位相補償に無関係であることに注意してください。ただし、ゲイン補償は LO 補償に影響をあたえることがあります。これは、ゲイン補償によって、信号のコモン・モード・レベルが変化することがあるためです。変調器によっては DC オフセットがコモン・モード・レベルに依存する場合があります。したがって、ゲイン調整は LO 補償の前に行うことが推奨されます。

LO フィードスルーの補償

回路内で LO のフィードスルーを補償するときは、2 個の AUXDAC の各出力を 100 k Ω の抵抗を介して差動 DAC 出力の片方に接続する必要があります。AUXDAC の使い方については、補助 DAC のセクションを参照してください。これらの接続の目的は、直交変調器入力ノードへ非常に少量の電流を流入させることで、そのために小さい DC バイアスを一方または他方の直交変調器信号入力へ加えます。

LO フィードスルー補償を行うときは、AUXDAC レジスタのデフォルト状態から開始して、一方または他方の AUXDAC 出力電圧の振幅を大きくします。これを実行する間に、直交変調器出力で LO フィードスルーの振幅を検出します。LO フィードスルー振幅が増える場合は、調整対象の AUXDAC の出力電圧を小さくするか、または他方の AUXDAC の出力電圧を調節します。有効なアルゴリズムに到達するまで、練習が必要かも知れません。AD9714/AD9715/AD9716/AD9717 評価ボードを使うと、温度に対して安定ではありませんが、LO フィードスルーはノイズ・フロアより低くなるように調節できます。

ゲインとオフセットの補正結果

ゲインとオフセットの補正結果を図 110 と図 111 に示します。図 110 に、ゲインとオフセットを補正する前の直交復調器の出力スペクトルを示します。図 111 に、補正後の出力スペクトルを示します。450 MHz での LO フィードスルー・スプリアスは、ノイズ・レベルまで抑圧されています。この結果は、補正を行うことにより実現できますが、大きな温度変化の後に補正を繰り返すことが必要です。

ゲイン・マッチングは負周波数イメージ除去比を改善しますが、直交変調器での位相の不一致にも関係していることに注意してください。2 個の直交信号の間の相対位相をデジタル側で調節することにより、または DAC と直交変調器との間のローパス・フィルタを適切にデザインすることにより、改善することができます。位相の不一致は周波数に依存するため、広帯域信号が必要な場合には、調節するルーチンを開発する必要があります。

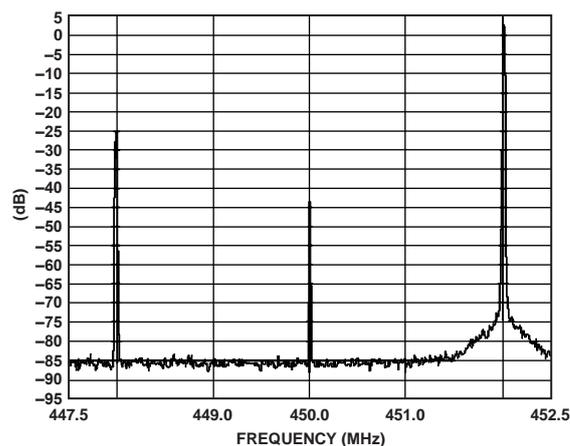


図 110. AD9714/AD9715/AD9716/AD9717 および ADL5370、450 MHz のシングルトーン信号、ゲインまたは LO の補償なし

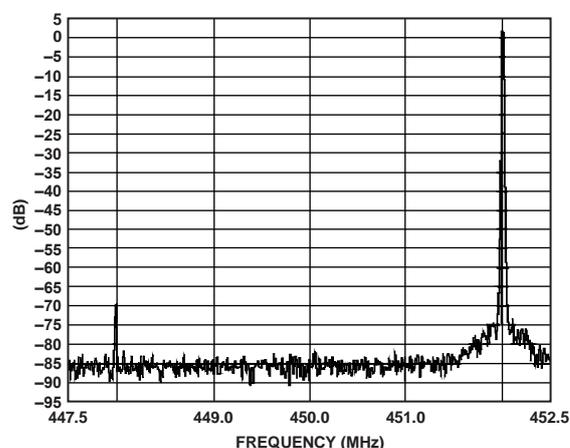


図 111. AD9714/AD9715/AD9716/AD9717 および ADL5370、450 MHz のシングルトーン信号、ゲインまたは LO の補償あり

ADL5370 内蔵の直交変調器を使用するための評価ボードの変更

評価ボードには、アナログ・デバイセズの **ADL5370** 直交変調器が内蔵されています。AD9714/AD9715/AD9716/AD9717 と ADL5370 は、インターフェースが容易な DAC/変調器の組み合わせを提供し、評価ボードで容易にこれをキャラクタライゼーションすることができます。AD9714/AD9715/AD9716/AD9717 のシングルエンド出力または差動出力を評価するために、ハンダ付け可能なジャンパを設定することができます。この設定は出荷時のデフォルト設定で、次の部品が実装されています。

- JP55、JP56、JP76、JP82—未ハンダ付け
- R13、R14、R52、R53—未実装
- R50、R57、T1、T2—実装

このボードで ADL5370 を評価するときは、次の位置になるように、これら同じ部品の実装を逆にする必要があります。

- JP55、JP56、JP76、JP82—ハンダ付け
- R13、R14、R52、R53—実装
- R50、R57、T1、T2—未実装

LO フィードスルーの補償が必要な場合は、AUXDAC 出力をテスト・ポイント TP44 とテスト・ポイント TP45 に接続することができます。

評価ボードの回路図とアートワーク

回路図

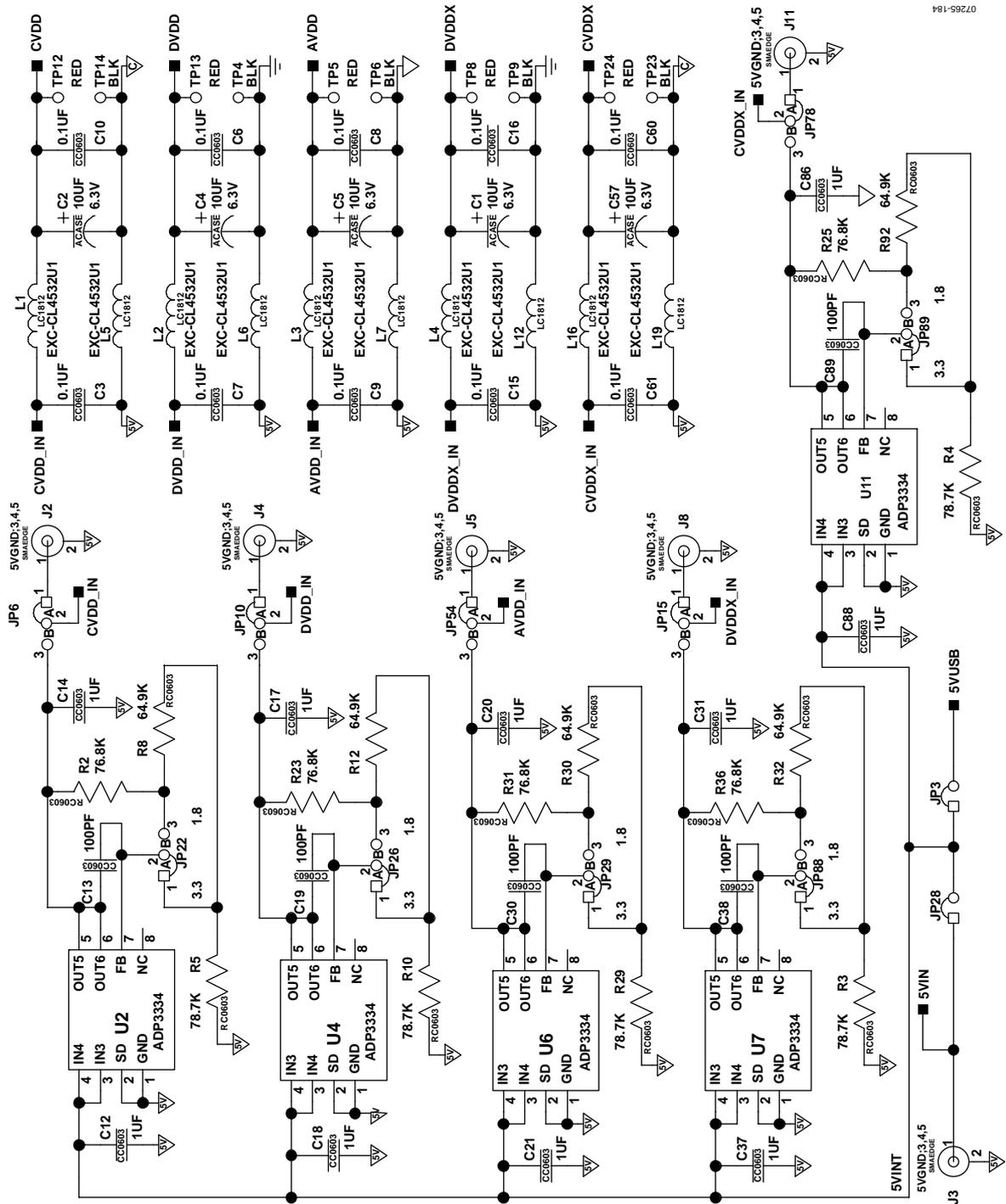


図 112. 電源とフィルタ

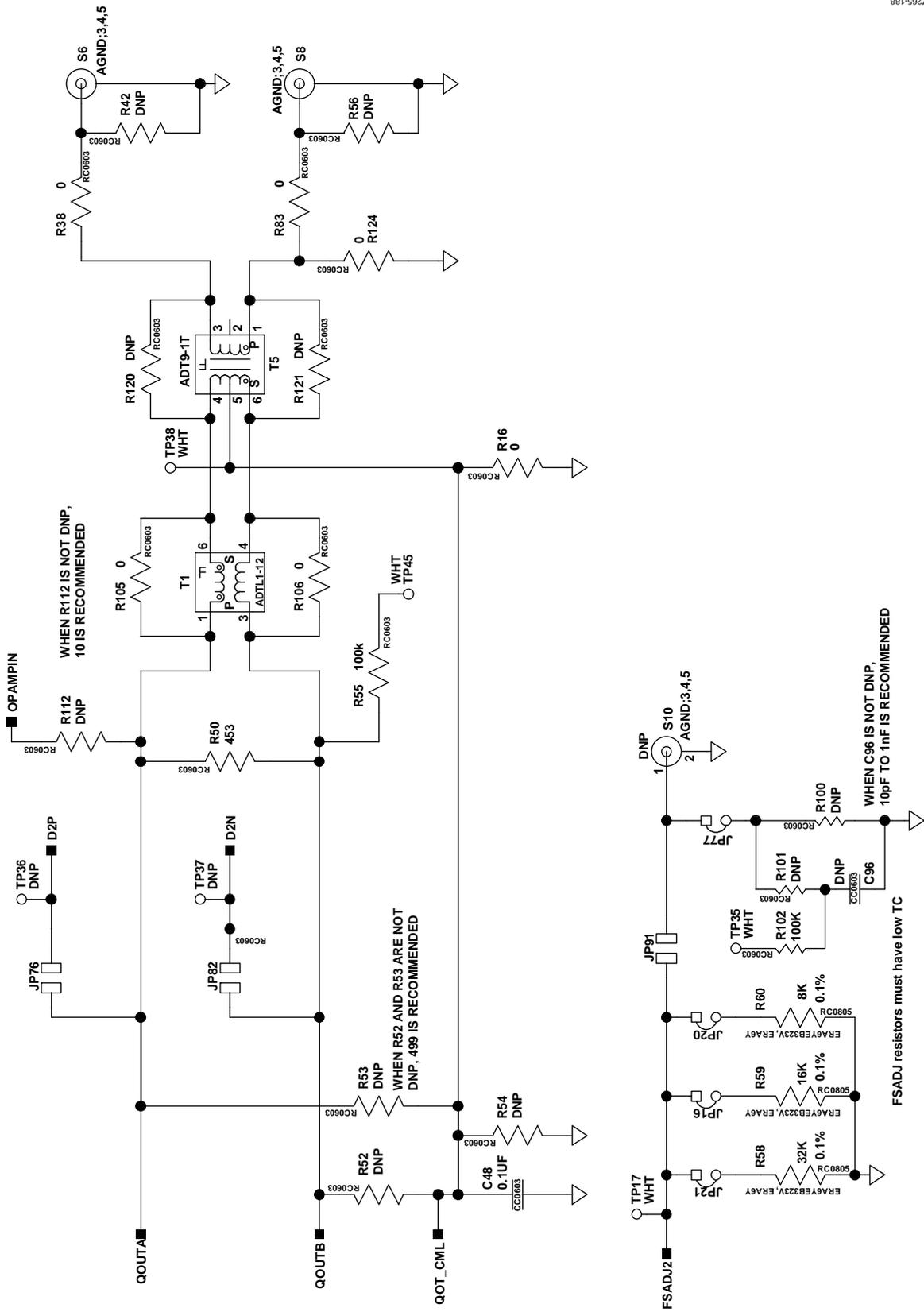


図 116. QOUT 回路と FSADJ2

シルクスクリーン

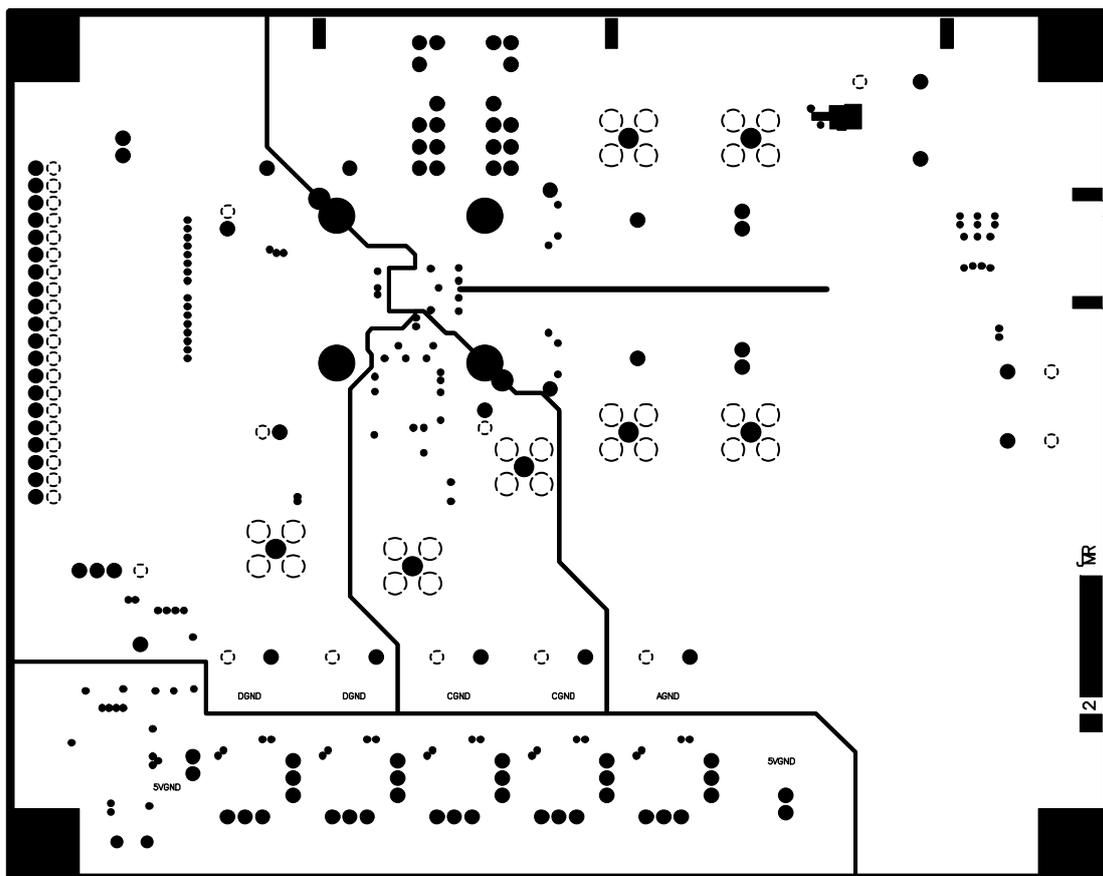


図 120. レイヤー2—グラウンド・プレーン

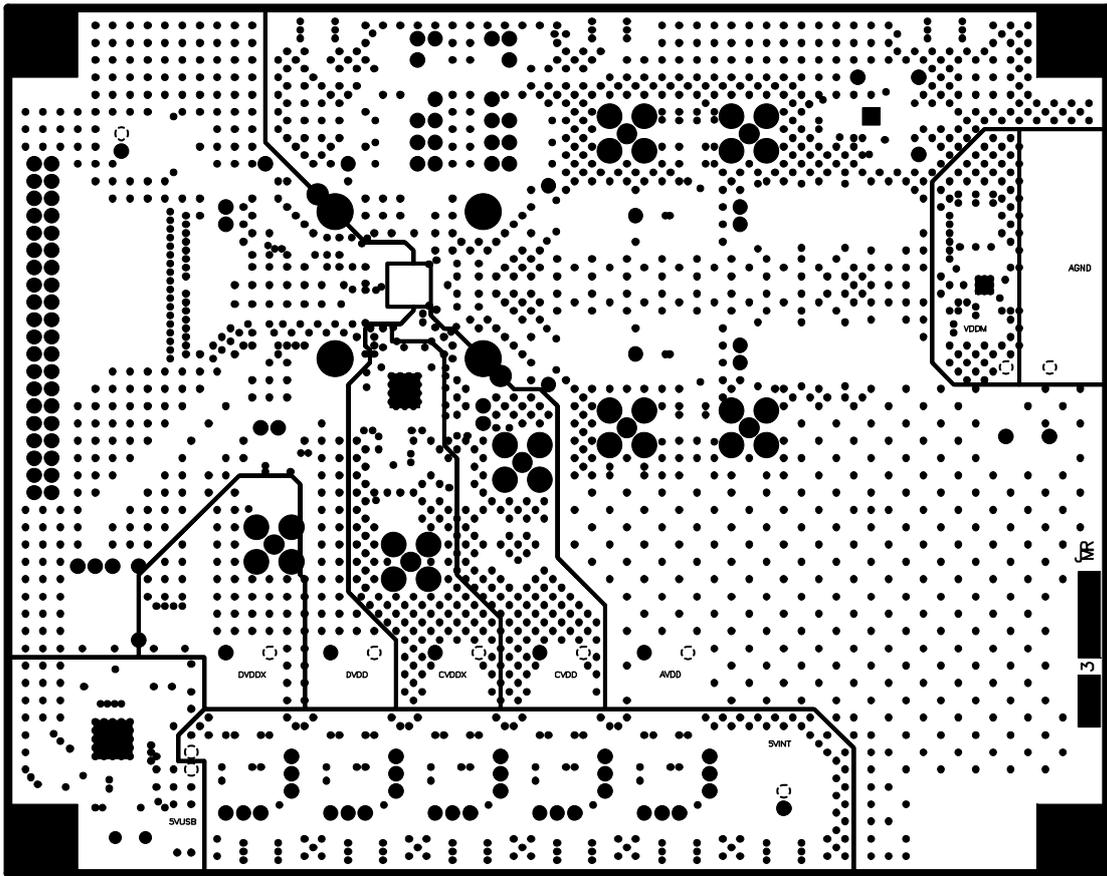


図 121.レイヤー3—電源プレーン

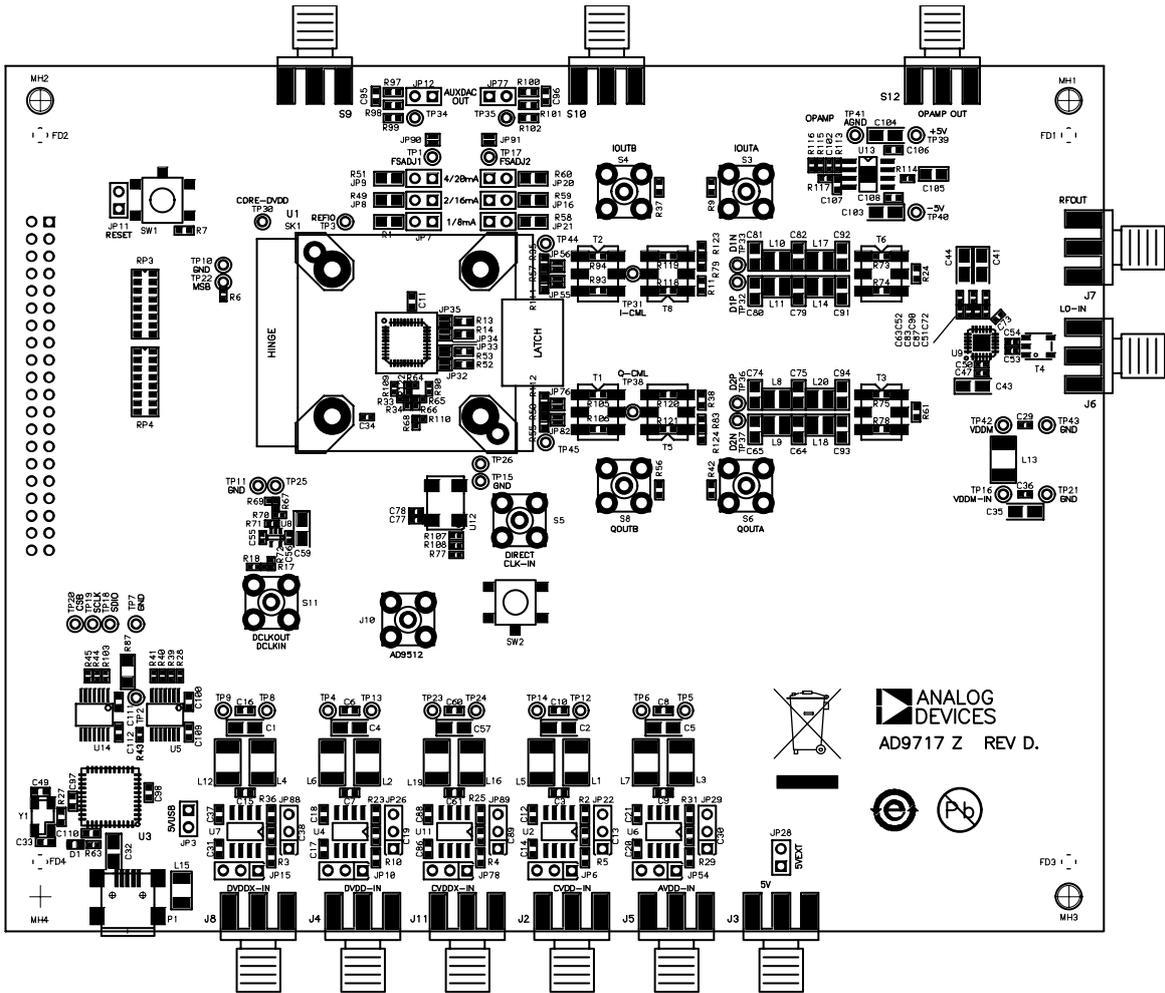
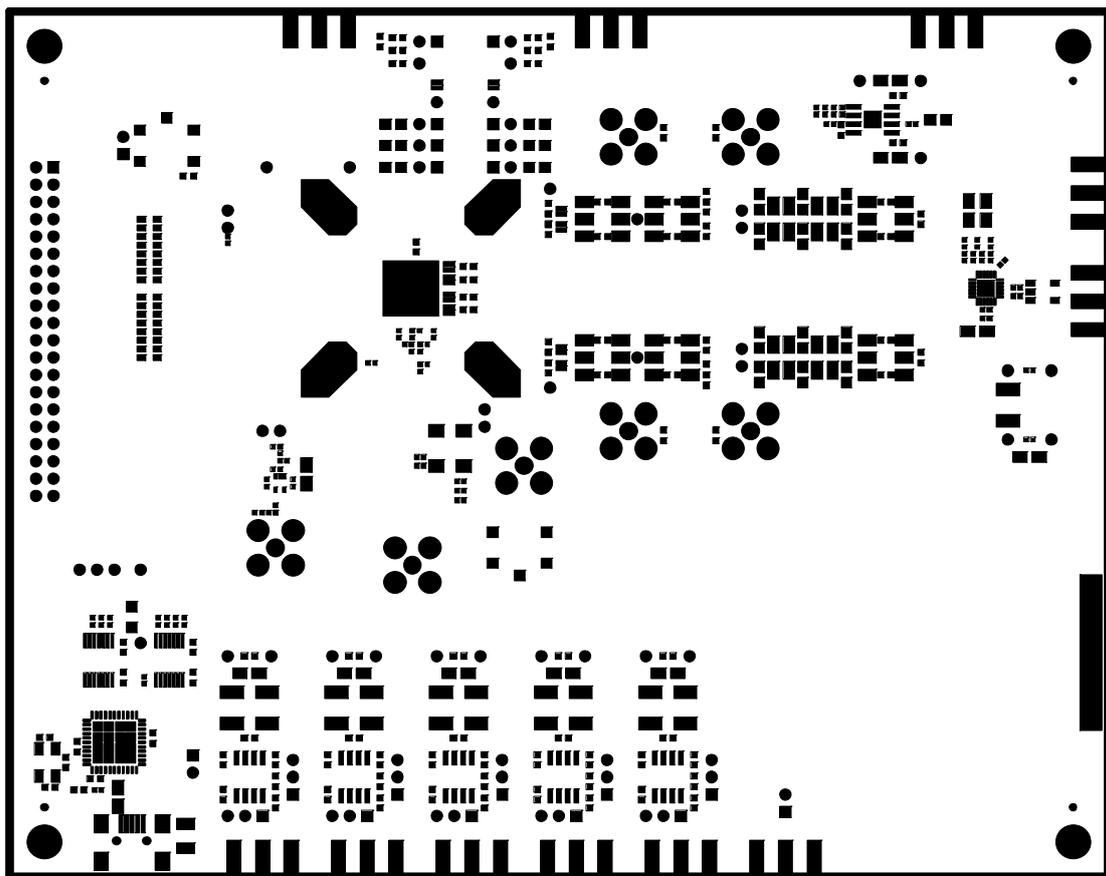


図 122. アセンブリー表面

07285-205



07265-217

図 124.ハンダ・マスクー表面、ソケットあり

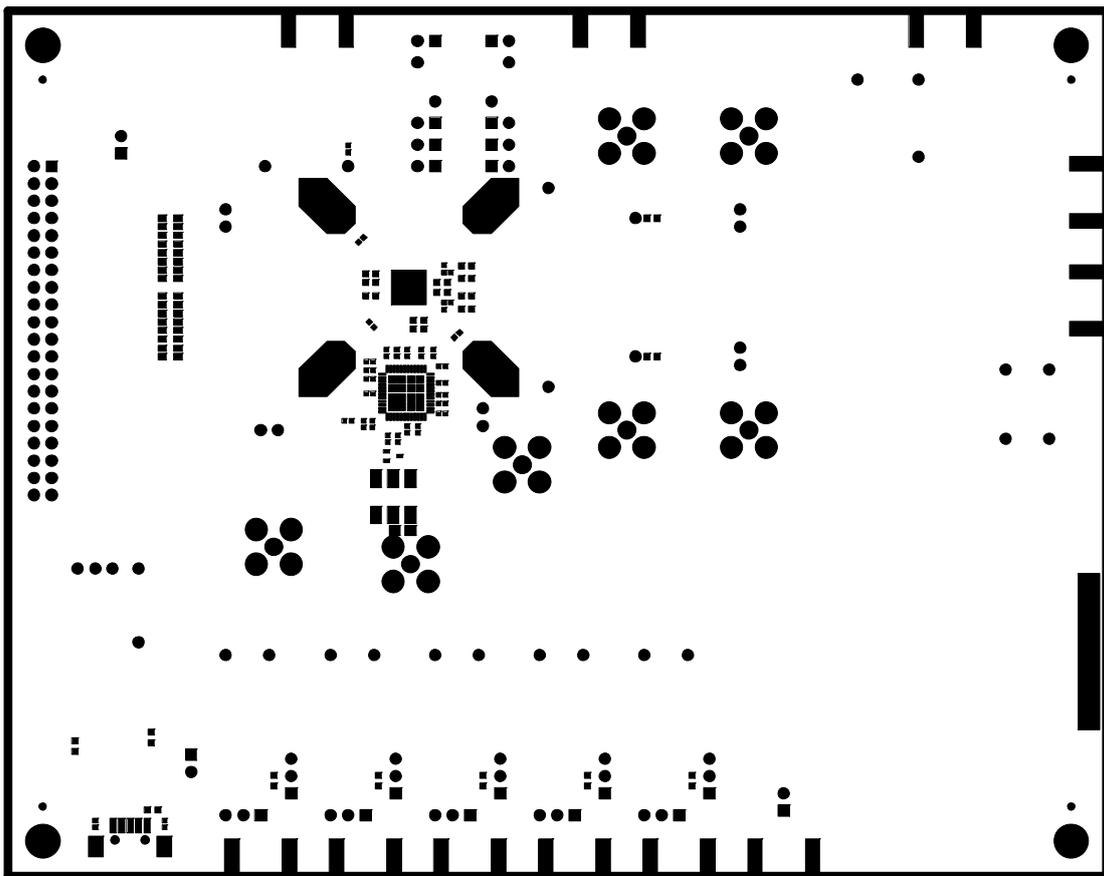
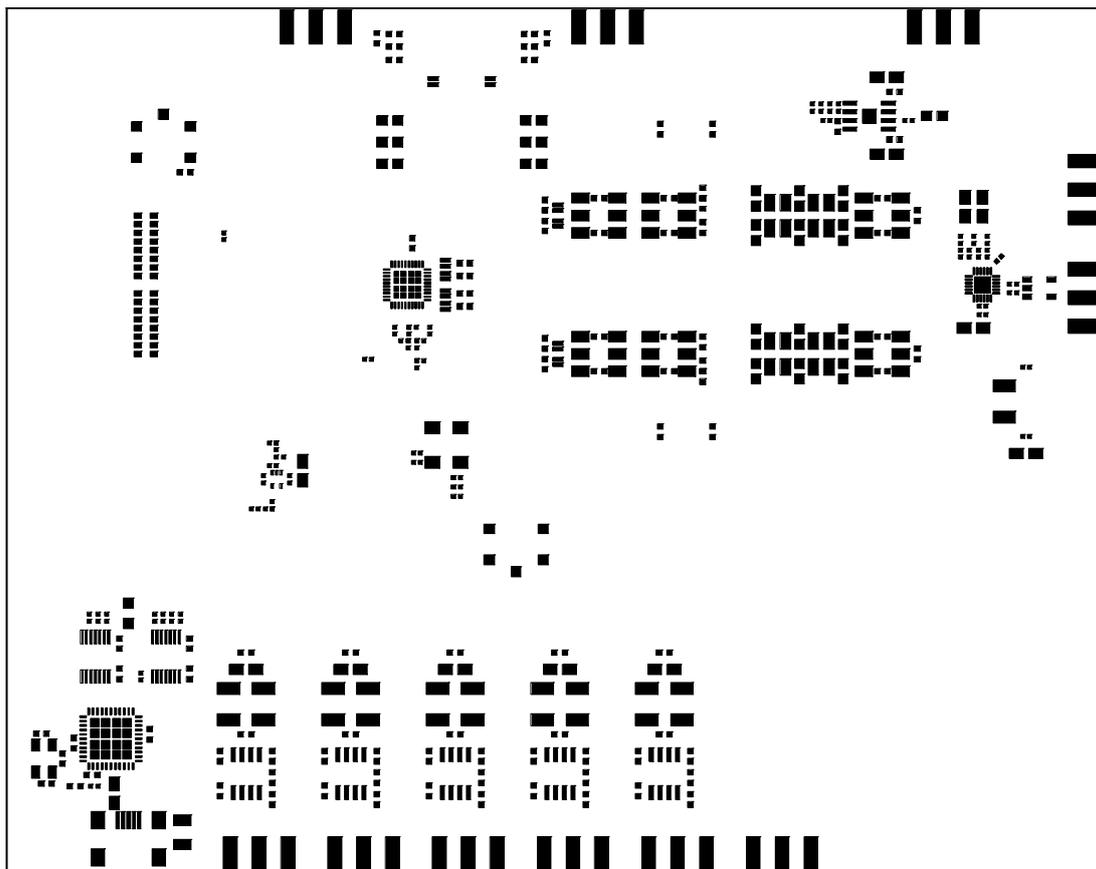
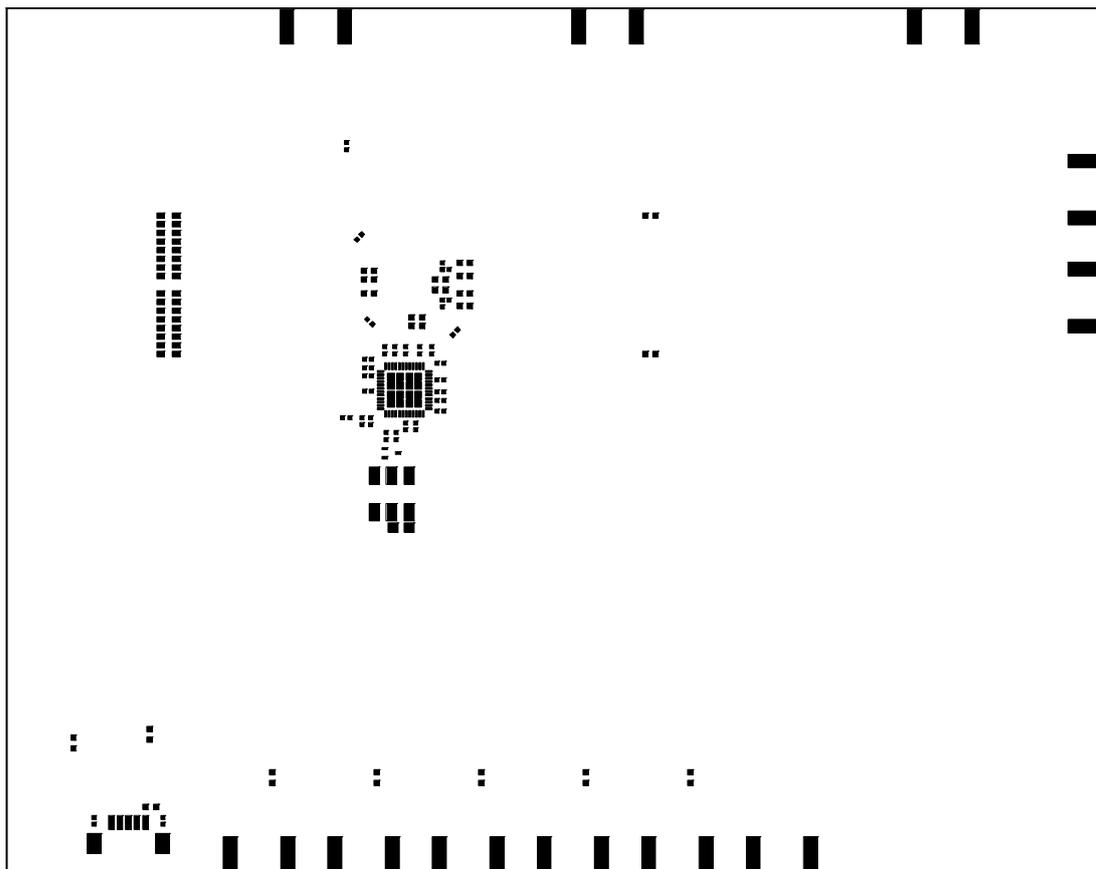


図 125.ハンダ・マスクー裏面



07265-209

図 127.表面ペースト



07265-210

図 128.裏面ペースト

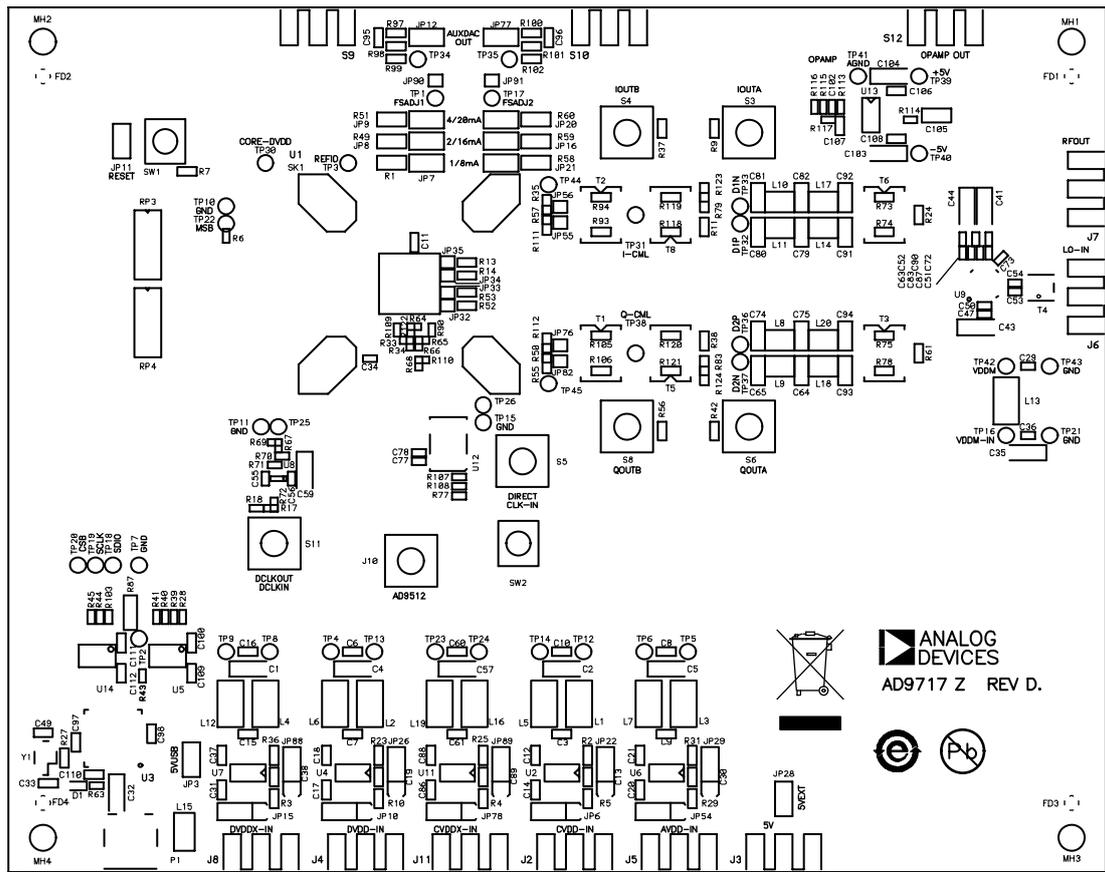


図 129.シルクスクリーン表面

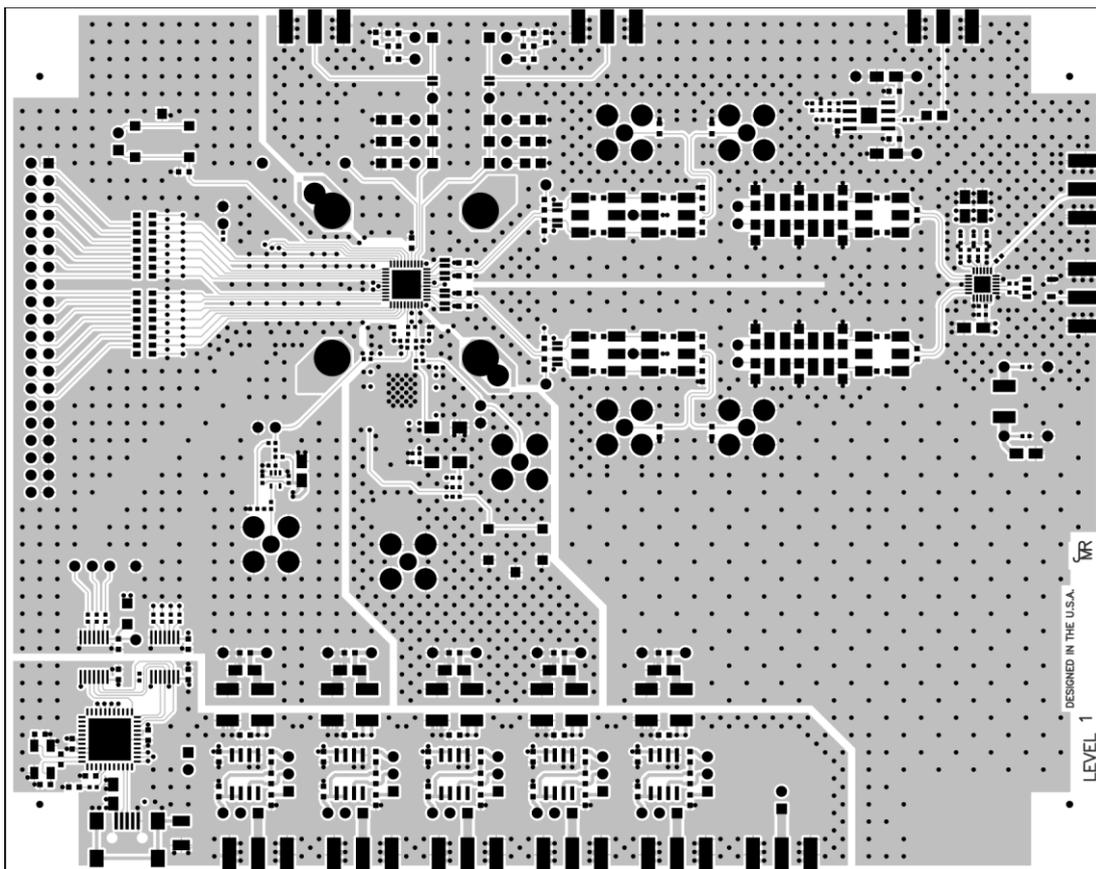


図 131. レイヤー1—表面

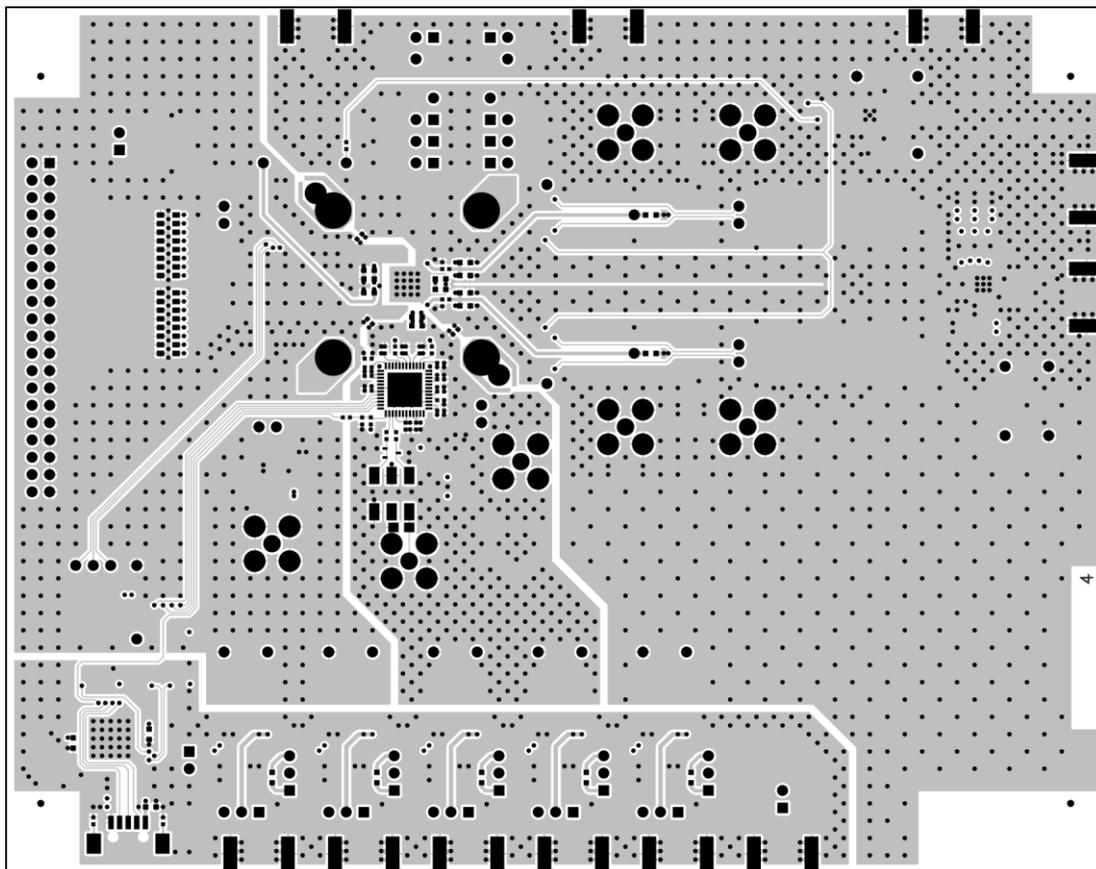
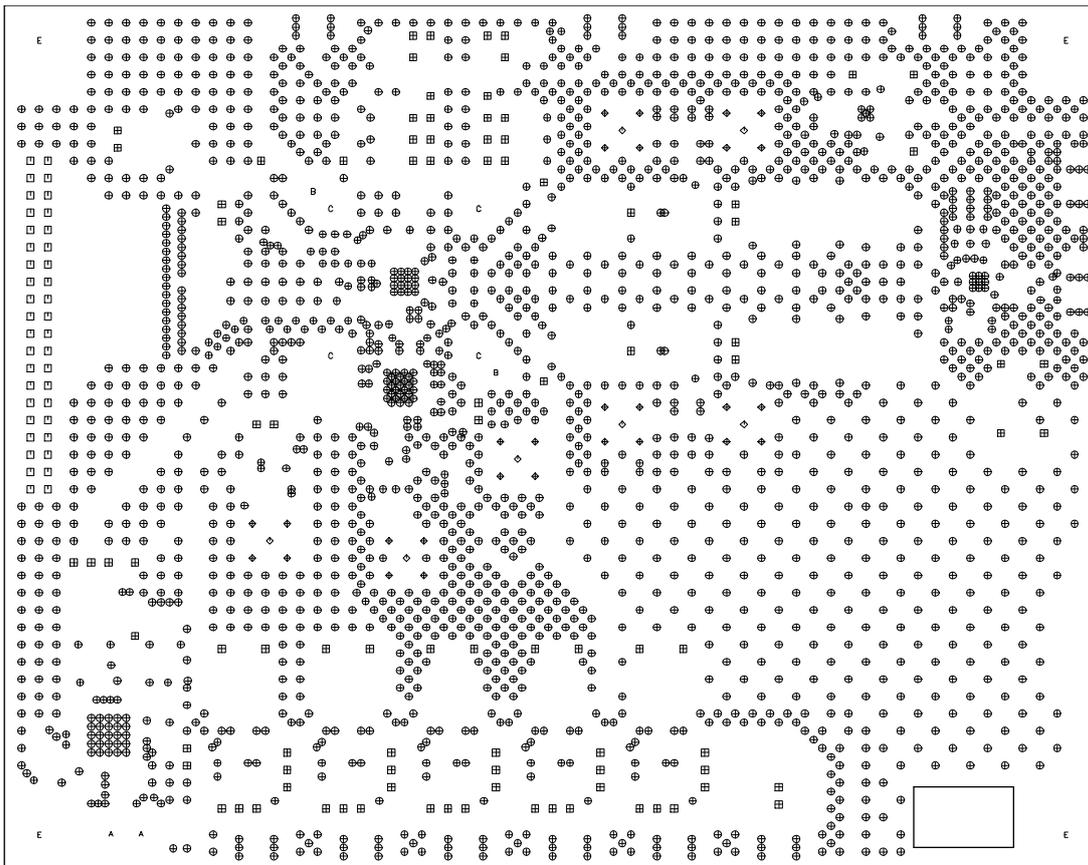


図 132. レイヤー4—裏面



07265-215

図 133. イメージョン・ゴールド、ソケットなし、バンプなし

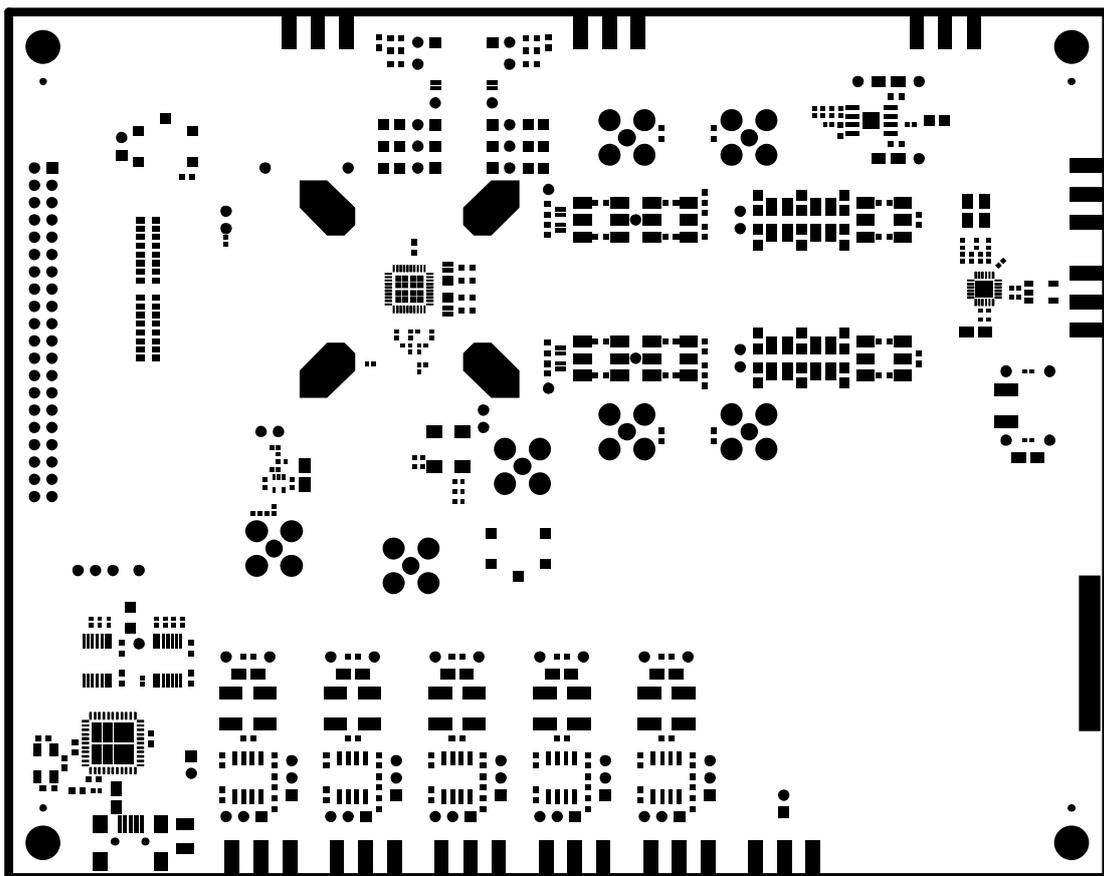


図 134.ハンダ・マスクー表面、ソケットなし

07285-218

部品表

表 18.

Qty	Reference Designator	Device	Package	Description	Part No./Manufacturer
6	C1, C2, C4, C5, C32, C57	CAPSMDA	ACASE	10 μ F, 6.3 V capacitor	
17	C3, C6, C7, C8, C9, C10, C11, C15, C16, C22, C24, C26, C27, C48, C60, C61, C107	CC0603	CC0603	0.1 μ F capacitor	
11	C12, C14, C17, C18, C20, C21, C31, C37, C39, C86, C88	CC0603	CC0603	1 μ F capacitor	
5	C13, C19, C30, C38, C89	CC0603	CC0603	100 pF capacitor	
3	C23, C25, C28	CC0603	CC0603	0.01 μ F capacitor	
6	C29, C36, C47, C52, C72, C90	CC0402	CC0402	0.1 μ F capacitor	
2	C33, C49	CC0603	CC0603	10 pF, 1% capacitor	
18	C34, C40, C42, C45, C46, C55, C58, C66, C67, C68, C69, C70, C71, C76, C77, C85, C101, C113	CC0402	CC0402	0.1 μ F capacitor	
1	C35	CAPSMDA	ACASE	22 μ F, 16 V capacitor	
3	C41, C43, C44	CAPSMDB	ACASE	10 μ F, 10 V capacitor	
8	C50, C51, C53, C54, C63, C73, C83, C87	CC0402	CC0402	100 pF capacitor	
2	C56, C62	CC0402	CC0402	1 nF capacitor	
1	C59	CAPSMDA	ACASE	4.7 μ F, 6.3 V capacitor	
4	C64, C75, C79, C82	CC0805	CC0805	7.5 pF, 1% capacitor	
4	C65, C74, C80, C81	CC0805	CC0805	4.7 pF, 1% capacitor	
1	C78	CC0402	CC0402	0.01 μ F capacitor	
11	C84, C97, C98, C99, C100, C106, C108, C109, C111, C112, C114	CC0603	CC0603	0.1 μ F capacitor	
4	C91, C92, C93, C94	CC0805	CC0805	DNP	
2	C95, C96	CC0603	CC0603	DNP	
1	C102	CC0402	CC0402	0.2 nF capacitor	
2	C103, C104	CAPSMDA	ACASE	10 μ F, 10 V capacitor	
1	C105	CC0805	CC0805	1 μ F ceramic capacitor	
1	C110	CC0603	CC0603	470 nF capacitor	
1	D1	Panasonic LNJ312G8TRA	1.6 mm x 0.8 mm	LED-SMD-TSS-GRN	LNJ312G8TRA
1	D3	HSMS-281C	SOT323-3	HSMS-281C	HSMS-281C
1	J1	Samtec SSW-120-02-SM-D-RA	40-pin throughhole	40-pin right angle header female	SSW-120-02-SM-D-RA/Samtec
6	J2, J3, J4, J5, J8, J11	SMAEDGE	SMAEDGE	DNP SMA connector edge right angle	
2	J6, J7	SMAEDGE	SMAEDGE	SMA connector edge right angle	
5	J10, S3, S5, S6, S11	SMAUPA04	SMA200UP	SMA connector RF 5-pin upright	
5	S4, S8, S9, S10, S12	SMAUPA04	SMA200UP	DNP	
11	JP3, JP7, JP8, JP9, JP11, JP12, JP16, JP20, JP21, JP28, JP77	JPRBLK02	JPRBLK02	2-pin jumper header	
10	JP6, JP10, JP15, JP22, JP26, JP29, JP54, JP78, JP88, JP89	JPRBLK03	JPRBLK03	3-pin jumper header	
10	JP32, JP33, JP34, JP35, JP55, JP56, JP76, JP82, JP90, JP91	JPRSLD02	JPRSLD02	Solder jumper	

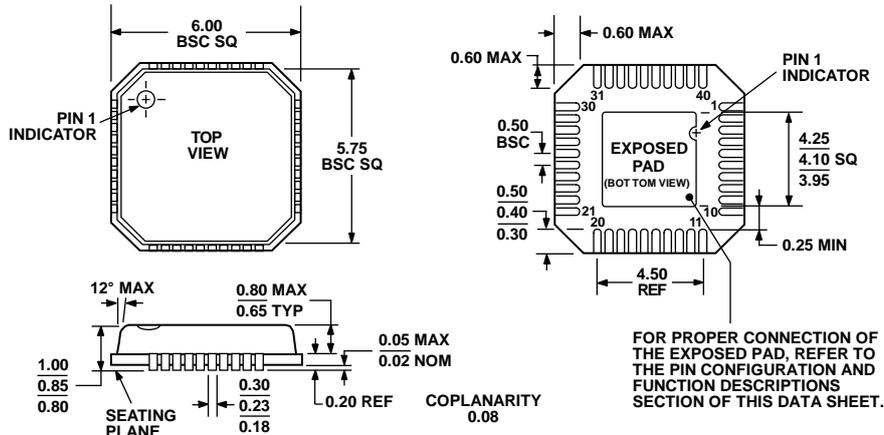
AD9714/AD9715/AD9716/AD9717

Qty	Reference Designator	Device	Package	Description	Part No./Manufacturer
11	L1, L2, L3, L4, L5, L6, L7, L12, L13, L16, L19	IND1812	LC1812	EXC-CL4532U1	EXC-CL4532U1
4	L8, L9, L10, L11	IND1008	LC1008	1.8 μ H, 10%	
4	L14, L17, L18, L20	IND1008	LC1008	DNP	
1	L15	IND1210	LC1210	EXC-CL3225U1	EXC-CL3225U1
1	P1	USB-MINIB	USB-MINIB	USB mini 5-pin	
1	P3	Molex 0532610571	Molex 0532610571	1.25 mm, 5-pin wire-to-board connector	0532610571/Molex
2	R1, R58	RC0805	RC0805	32 k Ω , 0.1% resistor	ERA6YEB323V, ERA6Y
5	R2, R23, R25, R31, R36	RC0603	RC0603	76.8 k Ω resistor	
5	R3, R4, R5, R10, R29	RC0603	RC0603	78.7 k Ω resistor	
6	R6, R33, R34, R64, R65, R67	RC0402	RC0402	0 Ω resistor	
7	R17, R66, R68, R69, R107, R110, R122	RC0402	RC0402	DNP	
1	R7	RC0603	RC0603	10 k Ω resistor	
5	R8, R12, R30, R32, R92	RC0603	RC0603	64.9 k Ω resistor	
8	R9, R37, R42, R56, R97, R98, R100, R101	RC0603	RC0603	DNP	
4	R11, R38, R79, R83	RC0603	RC0603	0 Ω resistor	
4	R13, R14, R52, R53	RC0603	RC0603	DNP	
10	R15, R16, R123, R124, R73 to R75, R78, R93, R94, R105, R106	RC0603	RC0603	0 Ω resistor	
6	R22, R54, R118, R119, R120, R121	RC0603	RC0603	DNP	
1	R18	RC0402	RC0402	49.9 Ω resistor	
2	R19, R21	RC0402	RC0402	0 Ω resistor	
3	R20, R26, R80	RC0402	RC0402	DNP	
2	R24, R61	RC0603	RC0603	1 k Ω resistor	
1	R27	RC0603	RC0603	1 M Ω resistor	
7	R28, R39, R40, R41, R44, R45, R103	RC0402	RC0402	22 Ω resistor	
4	R35, R55, R99, R102	RC0603	RC0603	100 k Ω resistor	
1	R43	RC0402	RC0402	0 Ω resistor	
8	R46, R47, R48, R62, R82, R86, R116, R117	RC0402	RC0402	0 Ω resistor	
2	R49, R59	RC0805	RC0805	16 k Ω , 0.1% resistor	ERA6YEB323V, ERA6Y
2	R50, R57	RC0603	RC0603	453 Ω resistor	
2	R51, R60	RC0805	RC0805	8 k Ω , 0.1% resistor	ERA6YEB323V, ERA6Y
3	R63, R113, R115	RC0402	RC0402	499 Ω resistor	
3	R70, R71, R108	RC0402	RC0402	10 k Ω resistor	
1	R72	RC0402	RC0402	25 Ω resistor	
2	R76, R77	RC0402	RC0402	1.8 k Ω resistor	
1	R81	RC0402	RC0402	4.12 k Ω resistor	
1	R87	RC1206	RC1206	0 Ω resistor	
2	R88, R89	RC0402	RC0402	0 Ω resistor	
2	R90, R109	RC0402	RC0402	DNP	
1	R91	RC0805	RC0805	49.9 Ω resistor	
2	R111, R112	RC0603	RC0603	DNP	
1	R114	RC0402	RC0402	15 Ω resistor	
2	RP1, RP5	RNETCTS743-8	RNETCTS743-8	DNP	
2	RP3, RP4	RNETCTS743-8	RNETCTS743-8	22 Ω resistor	

AD9714/AD9715/AD9716/AD9717

Qty	Reference Designator	Device	Package	Description	Part No./Manufacturer
2	SW1, SW2	KEYBDSWG	OMRONB3SG	B3S-1100 push-button	
4	T1, T2, T3, T6	ADTL1-12	MINI_CD542	DNP	
1	T4	ETC1-1-13	SM-22	M/A COM ETC1-1-13	ETC1-1-13/M/A-COM
2	T5, T8	ADT9-1T	MINI_CD542	ADT9-1T	ADT9-1T/Mini-Circuits
1	T9	JTX-4-10T	MINI_BH292	JTX-4-10T+	JTX-4-10T/Mini-Circuits
16	TP1, TP3, TP17, TP18, TP19, TP20, TP22, TP25, TP26, TP30, TP31, TP34, TP35, TP38, TP44, TP45	LOOPMINI	LOOPMINI	White test point	
4	TP32, TP33, TP36, TP37	LOOPMINI	LOOPMINI	DNP	
8	TP5, TP8, TP12, TP13, TP16, TP24, TP39, TP42	LOOPMINI	LOOPMINI	Red test point	
1	TP2	LOOPMINI	LOOPMINI	DNP	
12	TP4, TP6, TP7, TP9, TP10, TP11, TP14, TP15, TP21, TP23, TP41, TP43	LOOPMINI	LOOPMINI	Black test point	
1	TP40	LOOPMINI	LOOPMINI	Orange test point	
1	U1	40-lead LFCSP, AD9717	LFCSP040-CP1	40-lead LFCSP, AD9717	AD9717/Analog Devices
5	U2, U4, U6, U7, U11	ADP3334	8-lead SOIC	ADP3334 voltage regulator	ADP3334/Analog Devices
1	U3	USB-PIC18F4550-I/ML-ND	QFN044P65MM-EP1	PIC18F4550, microchip USB port chip QFN44 8X8MM	PIC18F4550
2	U5, U14	ADG3304BRUZ	14-lead TSSOP	ADG3304, 14-lead TSSOP	ADG3304BRUZ/ Analog Devices
1	U8	74LVC1G34	SC70-05	SN74LVC1G34DCK, TI buffer	TI-DCK = SC70_05 PKG
1	U9	ADL5370	LFCSP024P5MM-EP1	ADL5370ACPZ	ADL5370ACPZ/ Analog Devices
1	U10	AD9512	LFCSP048-CP1	AD9512BCPZ	AD9512BCPZ/ Analog Devices
1	U12	OSC-S1703	OSC-S1703	DNP	
1	U13	8-lead SOIC, ADA4899-1	SOIC8-N-EP	Op amp, ADA4899-1	ADA4899-1/ Analog Devices
1	Y1	ABM3B-20.000MHZ-10-1-U-T	SMD 3.2 mm × 5.0 mm	20 MHz	300-8214-1-ND/ Digi-Key

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

☒ 135.40 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 6 mm × 6 mm、極薄クワッド
 (CP-40-1)
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9714BCPZ ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9714BCPZRL7 ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9715BCPZ ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9715BCPZRL7 ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9716BCPZ ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9716BCPZRL7 ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9717BCPZ ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9717BCPZRL7 ¹	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9714-EBZ ¹		Evaluation Board	
AD9715-EBZ ¹		Evaluation Board	
AD9716-EBZ ¹		Evaluation Board	
AD9717-EBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品。