

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2011年5月12日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2011年5月12日

製品名：AD9789

対象となるデータシートのリビジョン(Rev)：Rev. 0

訂正箇所：

1) P. 24 右上から6行目

「後続のバイトではアドレスがインクリメントされます」は「デクリメント」の誤記です。

2) P. 42 右の式9下3行目

「0xC80000」は「0xC88000」の誤記です。

3) P. 44 左下の BPF\_Center\_Freq の式

式の分母が  $f_{DAC}/2$  で割られていますが、/2 は誤記で、正しくは分母が  $f_{DAC}$  のみになります。

4) P. 47 左下から9行目

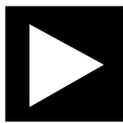
「DUT 入力」と記述してありますが、この DUT は本製品のことを指しております。

5) P. 49 図 96

本文の記述と、図示してある DSC のエッジ関係が適切ではありませんが、この図 96 は DCO が何サイクル必要かを主に示しており、タイミングについては実スケールではありません。ついては本文の記述 (SDR では入力データは DSC の立下がりです) を正としてご覧ください。

6) P. 49 左下から4行目

「パリティ・カウンタを用いれば、データ有効ウィンドウのエッジ位置の確定に役立てることができます」の記述は、適切なセットアップ・ホールド時間が満足されない場合に、パリティ・エラーになりますので、パリティ・カウンタをうまく活用すれば、適切なタイミングを設定できます、という意図です。



# ANALOG DEVICES

# 14ビット、2400 MSPS、RF用DAC、4チャンネル信号処理回路付き

## AD9789

### 特長

DOCSIS 3.0 の性能：4本の QAM キャリア

全帯域 (47 MHz~1 GHz) での ACLR

-75 dBc @  $f_{OUT} = 200$  MHz

-72 dBc @  $f_{OUT} = 800$  MHz (ノイズ)

-67 dBc @  $f_{OUT} = 800$  MHz (高調波)

イコライジング無しにて MER = 42 dB

内蔵の機能 (バイパスも可能)

4 個の QAM エンコーダ (SRRC フィルタ付き)、16~512 倍インターポレーション、レート・コンバータ、モジュレータ

柔軟なデータ・インターフェース：4/8/16/32 ビット幅 (パリティ付き)

消費電力：1.6 W ( $I_{FS} = 20$  mA,  $f_{DAC} = 2.4$  GHz, LVDSインターフェース時)

$f_S$  ミックス・モードによりダイレクト RF 合成に対応

内蔵セルフテスト (BIST) に対応

入力の接続状態のテスト

ランダム・データ発生機能を内蔵

### アプリケーション

ブロードバンド通信システム

CMTS/DVB

携帯電話インフラストラクチャ

ポイント to ポイント無線

### 概要

AD9789 は、柔軟に活用できる QAM エンコーダ/インターポレータ/アップコンバータと、高性能な 2400 MSPS、14 ビット RF 用 D/A コンバータ (DAC) を組み合わせた製品です。柔軟なデジタル・インターフェースは、最大 4 チャンネルの複素数 (IQ) データを入力することができます。QAM エンコーダは、すべての規格に合致する SRRC フィルタ係数をもち 16、32、64、128、256 のコンスタレーションに対応します。

またオンチップのレート・コンバータで、固定の DAC クロックでも広範なボーレートに対応できます。デジタル・アップコンバータにより  $0 \sim 0.5 \times f_{DAC}$  のチャンネル周波数を設定できるため、4 つの隣接するチャンネルを合成したうえで、DC から  $f_{DAC}/2$  までのどこの周波数でも信号を生成できます。

また AD9789 は、デバイス設定とステータス・レジスタ読み出し用に、SPI (シリアル・ペリフェラル・インターフェース) を内蔵しています。高い柔軟性をもつデジタル・インターフェースは 4、8、16、32 ビットのデータ・バス幅に設定できます。さらに実数データでも複素数データでも入力することができます。

AD9789 は 1.5 V、1.8 V、3.3 V 電源で動作し、全消費電力は 1.6 W です。熱抵抗が低く、パッケージによる寄生成分の少ない 164 ピンのチップ・スケール・パッケージ・ボール・グリッド・アレイで供給しています。特別な電源投入シーケンスは必要ありません。クロック受信回路は電源投入時に、スタートアップ時のノイズを生じさせないようにするためにミュート状態になります。

### 製品のハイライト

1. 高集積かつ設定を変更可能な QAM マッパー、インターポレータ、アップコンバータにより、ブロック内で DOCSIS/DVB 互換の 1~4 つのチャンネルを直接合成
2. 低ノイズかつ優れた相互変調歪み (IMD) 特性により、1 GHz までの信号を高品質で合成可能
3. SFDR 特性を改善できる LVDS 入力や、要求の厳しくないアプリケーション向けの CMOS 入力に対応する、柔軟なデータ・インターフェース
4. インターフェースは 4 ビット・ニブルから 32 ビット・ワードまで設定可能であり、最大 150 MHz の CMOS/LVDS ダブル・データレート (DDR) で動作可能
5. CMOS プロセスで製造される AD9789 は、独自のスイッチング技術を採用したことでダイナミック性能を強化

### 機能ブロック図

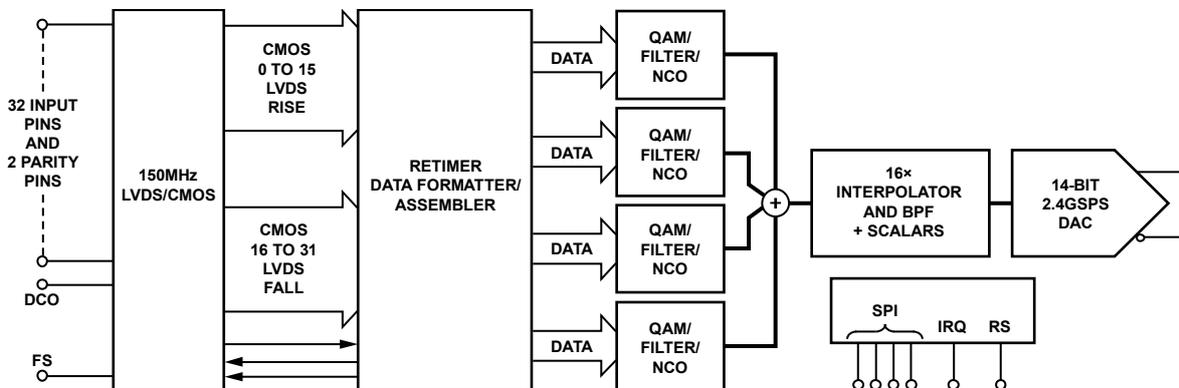


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2009 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長.....	1	SPIレジスタの説明.....	29
アプリケーション.....	1	動作原理.....	39
概要.....	1	データパス信号処理.....	39
製品のハイライト.....	1	デジタル・ブロック・アップコンバータ.....	43
機能ブロック図.....	1	デジタル・インターフェース・モード.....	45
改訂履歴.....	2	アナログ動作モード.....	54
詳細な機能ブロック図.....	3	アナログ制御レジスタ.....	55
仕様.....	4	電圧リファレンス.....	56
DC仕様.....	4	DAC出力段.....	56
デジタル仕様.....	5	AD9789のクロック駆動.....	57
AC仕様.....	6	ミュー遅延コントローラ.....	58
絶対最大定格.....	8	割込み要求.....	61
熱抵抗.....	8	推奨起動シーケンス.....	62
ESDに関する注意.....	8	カスタマBISTモード.....	63
ピン配置とピン機能の説明.....	9	内部PRNジェネレータを使用してQAM出力AC性能を テストする方法.....	63
代表的な性能特性.....	12	内蔵セルフテスト (BIST) を使用してデジタル・データ 入力の接続状態をテストする方法.....	63
用語の説明.....	22	QAMコンスタレーション・マップ.....	65
シリアル制御ポート.....	23	CMOSとLVDSに対するチャネライザ・モードのピン・ マッピング.....	68
シリアル制御ポート・ピンの説明.....	23	外形寸法.....	74
シリアル制御ポートの一般的な動作.....	23	オーダー・ガイド.....	74
命令ワード (16ビット).....	24		
MSB/LSBファースト転送.....	24		
SPIレジスタ・マップ.....	27		

## 改訂履歴

4/09—Revision 0: Initial Version

## 詳細な機能ブロック図

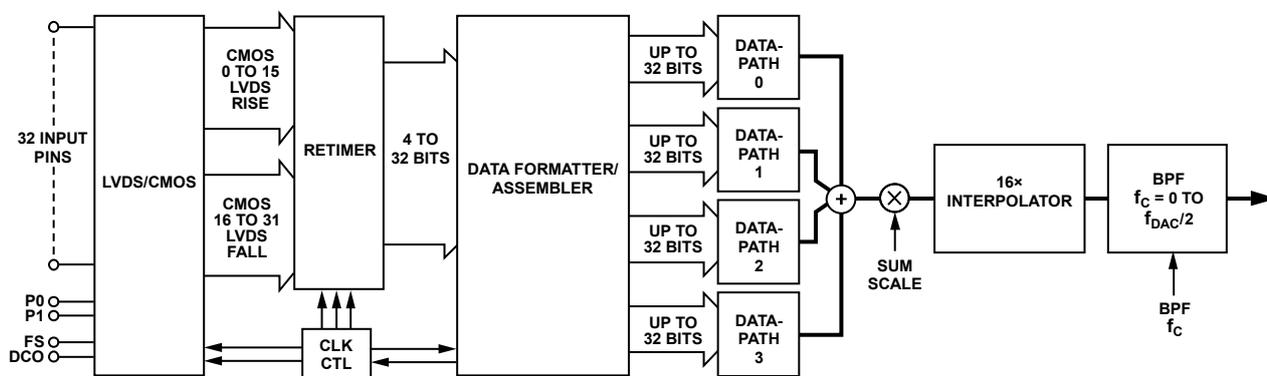


図 2. デジタル信号処理機能のブロック図

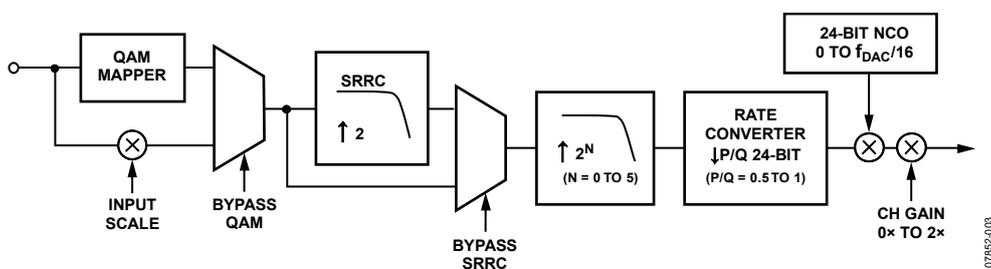


図 3. チャンネル 0~3 のデータパス・ブロックの詳細 (I パスと Q パスは同じであるため、一方だけを示しています)

# AD9789

## 仕様

### DC仕様

特に指定のない限り、AVDD33 = DVDD33 = 3.3 V、CVDD18 = DVDD18 = 1.8 V、DVDD15 = 1.5 V、 $f_{DAC} = 2.4$  GHz、 $I_{FS} = 20$  mA。

表 1.

Parameter	Min	Typ	Max	Unit
DAC RESOLUTION		14		Bits
ANALOG OUTPUTS				
Offset Error		6.5		% FSR
Gain Error (with Internal Reference)		3.5		% FSR
Full-Scale Output Current (Monotonicity Guaranteed)	8.66	20.2	31.66	mA
Output Compliance Range	-1.0		+1.0	V
Output Resistance		70		$\Omega$
Output Capacitance		1		pF
TEMPERATURE DRIFT				
Gain		135		ppm/ $^{\circ}$ C
Reference Voltage		25		ppm/ $^{\circ}$ C
REFERENCE				
Internal Reference Voltage		1.2		V
Output Resistance <sup>1</sup>		5		k $\Omega$
ANALOG SUPPLY VOLTAGES				
AVDD33	3.14	3.3	3.47	V
CVDD18	1.71	1.8	1.89	V
DIGITAL SUPPLY VOLTAGES				
DVDD33	3.14	3.3	3.47	V
DVDD18	1.71	1.8	1.89	V
DVDD15	1.43	1.5	1.58	V
SUPPLY CURRENTS AND POWER DISSIPATION				
$f_{DAC} = 2.4$ GSPS, $f_{OUT} = 930$ MHz, $I_{FS} = 25$ mA, Four Channels Enabled				
$I_{AVDD33}$		45		mA
$I_{DVDD18}$		72		mA
$I_{CVDD18}$		180		mA
$I_{DVDD33}$				
CMOS Interface		42		mA
LVDS Interface		16		mA
$I_{DVDD15}$		640		mA
$f_{DAC} = 2.0$ GSPS, $f_{OUT} = 70$ MHz, $I_{FS} = 20$ mA, CMOS Interface				
$I_{AVDD33}$		37.4	38.5	mA
$I_{DVDD18}$		67.3	70.5	mA
$I_{CVDD18}$		155.4	180	mA
$I_{DVDD33}$		40.3	50.7	mA
$I_{DVDD15}$ (Four Channels Enabled, All Signal Processing Enabled)		517	556	mA
$I_{DVDD15}$ (One Channel Enabled, 16 $\times$ Interpolation Only)		365	391	mA
Power Dissipation				
$f_{DAC} = 2.4$ GSPS, $f_{OUT} = 930$ MHz, $I_{FS} = 25$ mA, Four Channels Enabled				
CMOS Interface		1.7		W
LVDS Interface		1.63		W

<sup>1</sup> 外付けのアンプを使用して、すべての外部負荷を駆動します。

## デジタル仕様

特に指定のない限り、AVDD33 = DVDD33 = 3.3 V、CVDD18 = DVDD18 = 1.8 V、DVDD15 = 1.5 V、 $f_{DAC} = 2.4$  GHz、 $I_{FS} = 20$  mA、LVDSドライバおよびレシーバはIEEE Std 1596.3-1996 振幅制限LVDSに適合。

表 2.

Parameter	Min	Typ	Max	Unit
<b>CMOS DATA INPUTS (D[31:0], P0, P1)</b>				
Input Voltage High, $V_{IH}$	2.0	3.3		V
Input Voltage Low, $V_{IL}$		0	0.8	V
Input Current High, $I_{IH}$	-10		+10	$\mu$ A
Input Current Low, $I_{IL}$	-10		+10	$\mu$ A
Input Capacitance		2		pF
Setup Time, CMOS Data Input to CMOS_DCO <sup>1</sup>	5.3			ns
Hold Time, CMOS Data Input to CMOS_DCO	-1.4			ns
<b>CMOS OUTPUTS (CMOS_FS, CMOS_DCO)</b>				
Output Voltage High, $V_{OH}$	2.4		3.3	V
Output Voltage Low, $V_{OL}$	0		0.4	V
Output Current High, $I_{OH}$		12		mA
Output Current Low, $I_{OL}$		12		mA
Maximum Clock Rate (CMOS_DCO)	150			MHz
CMOS_DCO to CMOS_FS Delay	0.28		0.85	ns
<b>LVDS DATA INPUTS (D[15:0]P, D[15:0]N, PARP, PARN)</b>				
Input Voltage Range, $V_{IA}$ or $V_{IB}$	825		1575	mV
Input Differential Threshold, $V_{IDTH}$	-100		+100	mV
Input Differential Hysteresis, $V_{IDTHH}$ , $V_{IDTHL}$		25		mV
Input Differential Input Impedance, $R_{IN}$	80		120	$\Omega$
Maximum LVDS Input Rate	150			MSPS
Setup Time, LVDS Differential Input Data to Differential DCOx <sup>2</sup>	1.41			ns
Hold Time, LVDS Differential Input Data to Differential DCOx	0.24			ns
<b>LVDS OUTPUTS (DCOP, DCON, FSP, FSN)</b> DCOP, FSP = $V_{OA}$ ; DCON, FSN = $V_{OB}$ ; 100 $\Omega$ Termination				
Output Voltage High, $V_{OA}$ or $V_{OB}$			1375	mV
Output Voltage Low, $V_{OA}$ or $V_{OB}$	1025			mV
Output Differential Voltage, $ V_{OD} $	150	200	250	mV
Output Offset Voltage, $V_{OS}$	1150		1250	mV
Output Impedance, Single Ended, $R_O$	40		140	$\Omega$
$R_O$ Mismatch Between A and B, $\Delta R_O$			10	%
Change in $ V_{OD} $ Between 0 and 1, $ \Delta V_{OD} $			25	mV
Change in $V_{OS}$ Between 0 and 1, $\Delta V_{OS}$			25	mV
Output Current—Driver Shorted to Ground, $I_{SA}$ , $I_{SB}$			20	mA
Output Current—Drivers Shorted Together, $I_{SAB}$			4	mA
Power-Off Output Leakage, $ I_{XA} $ , $ I_{XB} $			10	mA
Maximum Clock Rate (DCOP, DCON)	150			MHz
DCOx to FSx Delay	0.12		0.37	ns
<b>DAC CLOCK INPUT (CLKP, CLKN)<sup>3</sup></b>				
Differential Peak Voltage	1.4	1.8		V
Common-Mode Voltage		900		mV
Maximum Clock Rate	2400			MHz
<b>SERIAL PERIPHERAL INTERFACE</b>				
Maximum Clock Rate ( $f_{SCLK}$ , $1/t_{SCLK}$ )			25	MHz
Minimum Pulse Width High, $t_{PWH}$	20			ns
Minimum Pulse Width Low, $t_{PWL}$	20			ns
Minimum SDIO and $\overline{CS}$ to SCLK Setup, $t_{DS}$		10		ns

# AD9789

Parameter	Min	Typ	Max	Unit
Minimum SCLK to SDIO Hold, $t_{DH}$		5		ns
Maximum SCLK to Valid SDIO and SDO, $t_{DV}$		20		ns
Minimum SCLK to Invalid SDIO and SDO, $t_{DNV}$		5		ns
<b>INPUTS (SDIO, SCLK, CS)</b>				
Input Voltage High, $V_{IH}$	2.0	3.3		V
Input Voltage Low, $V_{IL}$		0	0.8	V
Input Current High, $I_{IH}$	-10		+10	$\mu$ A
Input Current Low, $I_{IL}$	-10		+10	$\mu$ A
<b>OUTPUTS (SDO, SDIO)</b>				
Output Voltage High, $V_{OH}$	2.4		3.6	V
Output Voltage Low, $V_{OL}$	0		0.4	V
Output Current High, $I_{OH}$		4		mA
Output Current Low, $I_{OL}$		4		mA

<sup>1</sup> 詳細については、「CMOSインターフェースのタイミング」の項を参照してください。

<sup>2</sup> 詳細については、「LVDSインターフェースのタイミング」の項を参照してください。

<sup>3</sup> 詳細については、「クロック位相ノイズがAC性能に与える影響」の項を参照してください。

## AC仕様

特に指定のない限り、AVDD33 = DVDD33 = 3.3 V、CVDD18 = DVDD18 = 1.8 V、DVDD15 = 1.5 V、 $f_{DAC} = 2.4$  GHz、 $I_{FS} = 20$  mA、デジタル・スケール = 0 dBFS。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>DYNAMIC PERFORMANCE</b>					
Maximum Update Rate		2400			MSPS
Output Settling Time ( $t_{ST}$ )	To 0.025%		13		ns
<b>SPURIOUS-FREE DYNAMIC RANGE (SFDR)</b>					
$f_{DAC} = 2000$ MSPS					
$f_{OUT} = 100$ MHz			70		dBc
$f_{OUT} = 316$ MHz			63		dBc
$f_{OUT} = 550$ MHz			58		dBc
$f_{DAC} = 2400$ MSPS					
$f_{OUT} = 100$ MHz			70		dBc
$f_{OUT} = 316$ MHz			70		dBc
$f_{OUT} = 550$ MHz			60		dBc
$f_{OUT} = 850$ MHz			60		dBc
<b>TWO-TONE INTERMODULATION DISTORTION (IMD)</b>					
	$f_{OUT2} = f_{OUT1} + 1.25$ MHz				
$f_{DAC} = 2000$ MSPS					
$f_{OUT} = 100$ MHz			86		dBc
$f_{OUT} = 316$ MHz			73		dBc
$f_{OUT} = 550$ MHz			62		dBc
$f_{DAC} = 2400$ MSPS					
$f_{OUT} = 100$ MHz			86		dBc
$f_{OUT} = 316$ MHz			74		dBc
$f_{OUT} = 550$ MHz			66		dBc
$f_{OUT} = 850$ MHz			66		dBc
<b>NOISE SPECTRAL DENSITY (NSD)</b>					
<b>1-Channel QAM</b>					
$f_{OUT} = 100$ MHz	$f_{DAC} = 2400$ MSPS $P_{OUT} = -14.5$ dBm		-167		dBm/Hz
$f_{OUT} = 316$ MHz	$P_{OUT} = -15.5$ dBm		-166.5		dBm/Hz
$f_{OUT} = 550$ MHz	$P_{OUT} = -18$ dBm		-166.5		dBm/Hz
$f_{OUT} = 850$ MHz	$P_{OUT} = -18.5$ dBm		-166.5		dBm/Hz

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADJACENT CHANNEL LEAKAGE RATIO (ACLR)	$f_{DAC} = 2293.76$ MSPS measured in 6 MHz channels				
1-Channel QAM					
$f_{OUT} = 200$ MHz (Harmonics)			-76		dBc
$f_{OUT} = 200$ MHz (Noise Floor)			-82		dBc
$f_{OUT} = 500$ MHz (Harmonics)			-74.5		dBc
$f_{OUT} = 500$ MHz (Noise Floor)			-78		dBc
$f_{OUT} = 800$ MHz (Harmonics)			-69		dBc
$f_{OUT} = 800$ MHz (Noise Floor)			-78		dBc
2-Channel QAM					
$f_{OUT} = 200$ MHz (Harmonics)			-77.5		dBc
$f_{OUT} = 200$ MHz (Noise Floor)			-81		dBc
$f_{OUT} = 500$ MHz (Harmonics)			-68		dBc
$f_{OUT} = 500$ MHz (Noise Floor)			-76		dBc
$f_{OUT} = 800$ MHz (Harmonics)			-66		dBc
$f_{OUT} = 800$ MHz (Noise Floor)			-76		dBc
4-Channel QAM					
$f_{OUT} = 200$ MHz (Harmonics)			-75		dBc
$f_{OUT} = 200$ MHz (Noise Floor)			-76		dBc
$f_{OUT} = 500$ MHz (Harmonics)			-69		dBc
$f_{OUT} = 500$ MHz (Noise Floor)			-72		dBc
$f_{OUT} = 800$ MHz (Harmonics)			-67		dBc
$f_{OUT} = 800$ MHz (Noise Floor)			-72		dBc
WCDMA ACLR	$f_{DAC} = 2304$ MSPS, mix mode second Nyquist zone				
Single Carrier	$f_{OUT} = 1850$ MHz				
First Adjacent Channel			-70		dBc
Second Alternate Channel			-72.5		dBc
Third Alternate Channel			-74		dBc
Single Carrier	$f_{OUT} = 2100$ MHz				
First Adjacent Channel			-68		dBc
Second Alternate Channel			-70.4		dBc
Third Alternate Channel			-72.7		dBc
Four Carrier	$f_{OUT} = 2100$ MHz				
First Adjacent Channel			-63.5		dBc
Second Alternate Channel			-65.1		dBc
Third Alternate Channel			-66.9		dBc

## 絶対最大定格

表 4.

Parameter	Rating
AVDD33 to AVSS	-0.3 V to +3.6 V
DVDD18 to DVSS	-0.3 V to +1.98 V
DVDD33 to DVSS	-0.3 V to +3.6 V
DVDD15 to DVSS	-0.3 V to +1.98 V
CVDD18 to AVSS	-0.3 V to +1.98 V
AVSS to DVSS	-0.3 V to +0.3 V
CLKP, CLKN to AVSS	-0.3 V to CVDD18 + 0.3 V
FS, DCO to DVSS	-0.3 V to DVDD33 + 0.3 V
CMOS and LVDS Data Inputs to DVSS	-0.3 V to DVDD33 + 0.3 V
IOUTN, IOUTP to AVSS	-1.0 V to AVDD33 + 0.3 V
I120, VREF, IPTAT to AVSS	-0.3 V to AVDD33 + 0.3 V
IRQ, $\overline{CS}$ , SCLK, SDO, SDIO, RESET to DVSS	-0.3 V to DVDD33 + 0.3 V
Junction Temperature	150°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

$\theta_{JA}$ は最悪の条件、つまり回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表 5. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JB}$	$\theta_{JC}$	Unit	Notes
164-Ball	25.5	14.4	6.8	°C/W	4-layer board, no vias
CSP_BGA	24.4			°C/W	4-layer board, 4 PCB vias
	19.0			°C/W	8-layer board, 4 PCB vias
	17.2			°C/W	8-layer board, 16 PCB vias

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

# ピン配置とピン機能の説明

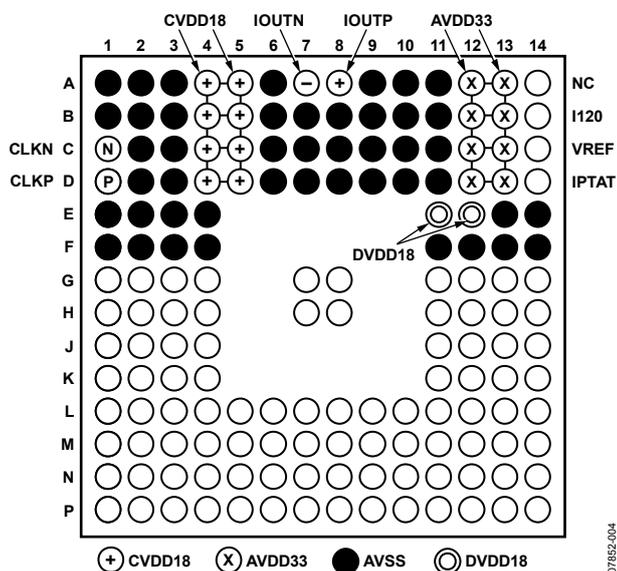


図 4. クロック・ピンとアナログ・ピン (上面図)

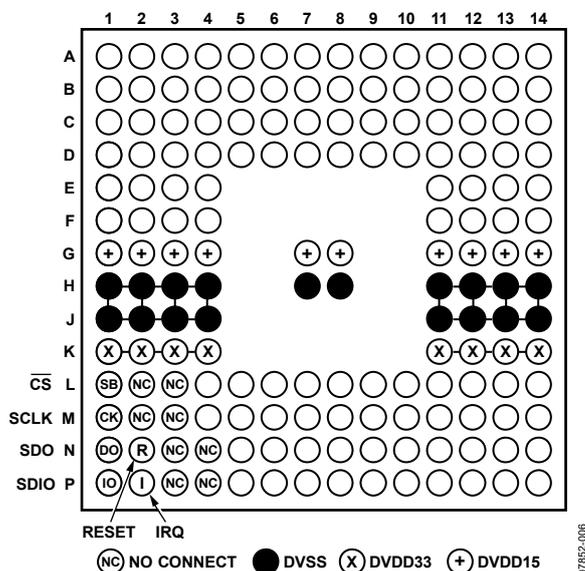


図 6. デジタル電源ピンと SPI ピン (上面図)

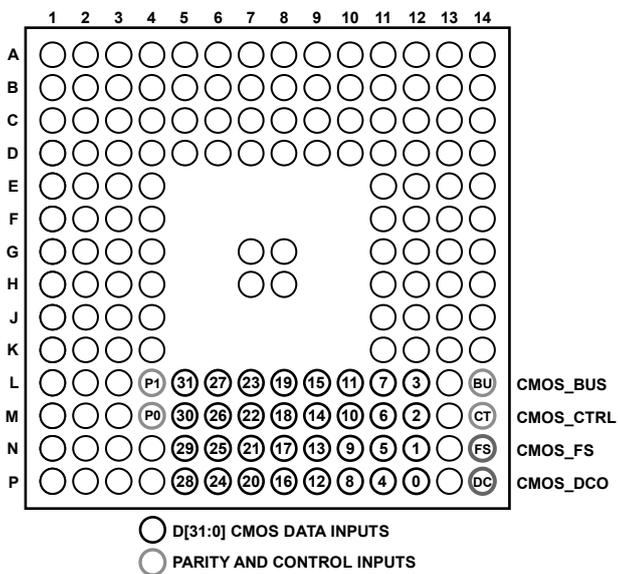


図 5. CMOS モードのデータ入力ピン (上面図)

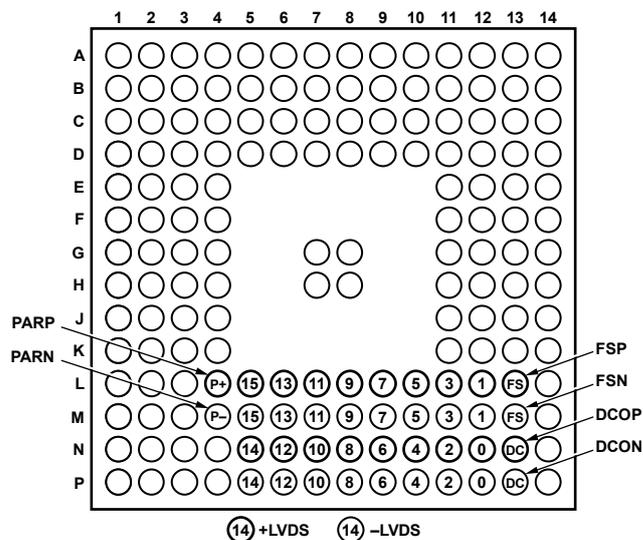


図 7. LVDS モードのデータ入力ピン (上面図)

# AD9789

表 6. ピン機能の説明

ピン番号	記号	説明
A1, A2, A3, A6, A9, A10, A11, B1, B2, B3, B6, B7, B8, B9, B10, B11, C2, C3, C6, C7, C8, C9, C10, C11, D2, D3, D6, D7, D8, D9, D10, D11, E1, E2, E3, E4, E13, E14, F1, F2, F3, F4, F11, F12, F13, F14	AVSS	アナログ電源グラウンド
A4, A5, B4, B5, C4, C5, D4, D5	CVDD18	1.8 V のクロック電源
A7	IOUTN	DAC の負側出力電流
A8	IOUTP	DAC の正側出力電流
A12, A13, B12, B13, C12, C13, D12, D13	AVDD33	3.3 V のアナログ電源
A14	NC	無接続。開放状態のまま
B14	I120	このピンを 10 k $\Omega$ の抵抗でアナログ・グラウンドに接続することで、120 $\mu$ A のリファレンス電流を生成
C1	CLKN	DAC クロック入力の負側 (DACCLK)
C14	VREF	バンドギャップ・リファレンス入出力。1 nF コンデンサでアナログ・グラウンドにデカップリング。出力インピーダンスは約 5 k $\Omega$
D1	CLKP	DAC クロック入力の正側 (DACCLK)
D14	IPTAT	工場テスト用ピン。出力電流 (絶対温度に比例) は 25°C のとき約 10 $\mu$ A、勾配は約 20 nA/°C
E11, E12	DVDD18	1.8 V のデジタル電源
G1, G2, G3, G4, G7, G8, G11, G12, G13, G14	DVDD15	1.5 V のデジタル電源
H1, H2, H3, H4, H7, H8, H11, H12, H13, H14, J1, J2, J3, J4, J11, J12, J13, J14	DVSS	デジタル電源グラウンド
K1, K2, K3, K4, K11, K12, K13, K14	DVDD33	3.3 V のデジタル電源
L1	$\overline{CS}$	SPI 用のアクティブ・ローのチップ・セレクト
L2, L3, M2, M3, N3, N4, P3, P4	NC	未使用。開放状態のまま
L4	P1/PARP	CMOS/LVDS パリティ・ビット
L5	D31/D15P	CMOS/LVDS データ入力
L6	D27/D13P	CMOS/LVDS データ入力
L7	D23/D11P	CMOS/LVDS データ入力
L8	D19/D9P	CMOS/LVDS データ入力
L9	D15/D7P	CMOS/LVDS データ入力
L10	D11/D5P	CMOS/LVDS データ入力
L11	D7/D3P	CMOS/LVDS データ入力
L12	D3/D1P	CMOS/LVDS データ入力
L13	FSP	データ・バス用 LVDS フレーム同期の正側 (FSP)
L14	CMOS_BUS	アクティブ・ハイでデータ・バスを CMOS 入力に設定。ローでは LVDS 入力に設定
M1	SCLK	SPI 用クロック
M4	P0/PARN	CMOS/LVDS パリティ・ビット
M5	D30/D15N	CMOS/LVDS データ入力
M6	D26/D13N	CMOS/LVDS データ入力
M7	D22/D11N	CMOS/LVDS データ入力
M8	D18/D9N	CMOS/LVDS データ入力
M9	D14/D7N	CMOS/LVDS データ入力
M10	D10/D5N	CMOS/LVDS データ入力
M11	D6/D3N	CMOS/LVDS データ入力
M12	D2/D1N	CMOS/LVDS データ入力
M13	FSN	データ・バス用 LVDS フレーム同期の負側 (FSN)

ピン番号	記号	説明
M14	CMOS_CTRL	アクティブ・ハイで CMOS_DCO および CMOS_FS 信号が有効、DCOP/DCON および FSP/FSN 信号が無効。ローでは CMOS_DCO および CMOS_FS 信号が無効、DCOP/DCON および FSP/FSN 信号が有効
N1	SDO	SPI 用シリアル・データ出力
N2	RESET	アクティブ・ハイで AD9789 をリセット
N5	D29/D14P	CMOS/LVDS データ入力
N6	D25/D12P	CMOS/LVDS データ入力
N7	D21/D10P	CMOS/LVDS データ入力
N8	D17/D8P	CMOS/LVDS データ入力
N9	D13/D6P	CMOS/LVDS データ入力
N10	D9/D4P	CMOS/LVDS データ入力
N11	D5/D2P	CMOS/LVDS データ入力
N12	D1/D0P	CMOS/LVDS データ入力
N13	DCOP	データ・バス用 LVDS データ・クロック出力の正側 (DCOP)
N14	CMOS_FS	データ・バス用 CMOS フレーム同期
P1	SDIO	SPI 用シリアル・データ入出力
P2	IRQ	アクティブ・ローのオープンドレイン割込み要求出力。10 k $\Omega$ 抵抗により DVDD33 にプルアップ
P5	D28/D14N	CMOS/LVDS データ入力
P6	D24/D12N	CMOS/LVDS データ入力
P7	D20/D10N	CMOS/LVDS データ入力
P8	D16/D8N	CMOS/LVDS データ入力
P9	D12/D6N	CMOS/LVDS データ入力
P10	D8/D4N	CMOS/LVDS データ入力
P11	D4/D2N	CMOS/LVDS データ入力
P12	D0/D0N	CMOS/LVDS データ入力
P13	DCON	データ・バス用 LVDS データ・クロック出力の負側 (DCON)
P14	CMOS_DCO	データ・バス用 CMOS データ・クロック出力

## 代表的な性能特性

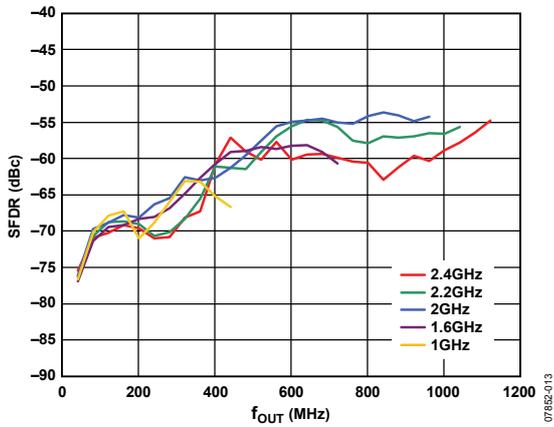


図 8. SFDR、 $f_{OUT}$ 、 $f_{DAC}$ の特性：フルスケール電流 = 20 mA、デジタル・スケール = 0 dBFS、温度 = 25°C

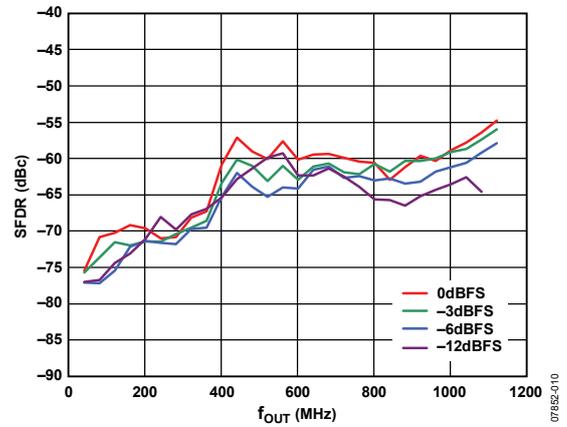


図 11. SFDR、 $f_{OUT}$ 、デジタル・フルスケールの特性： $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA、温度 = 25°C

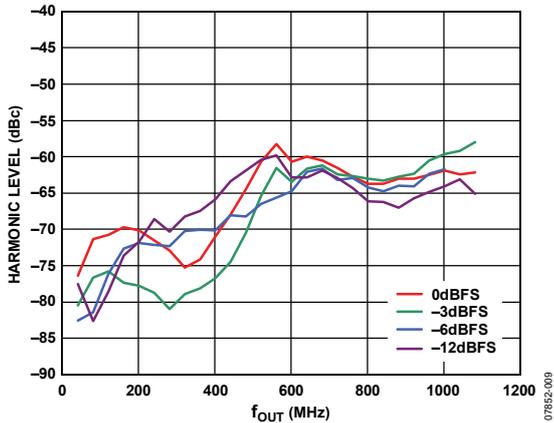


図 9. 2次高調波、 $f_{OUT}$ 、デジタル・フルスケールの特性： $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA、温度 = 25°C

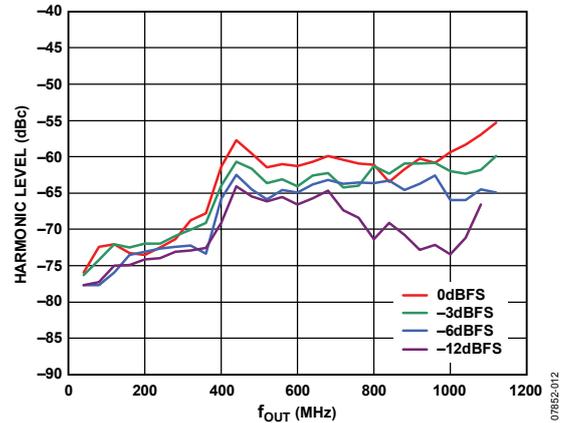


図 12. 3次高調波、 $f_{OUT}$ 、デジタル・フルスケールの特性： $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA、温度 = 25°C

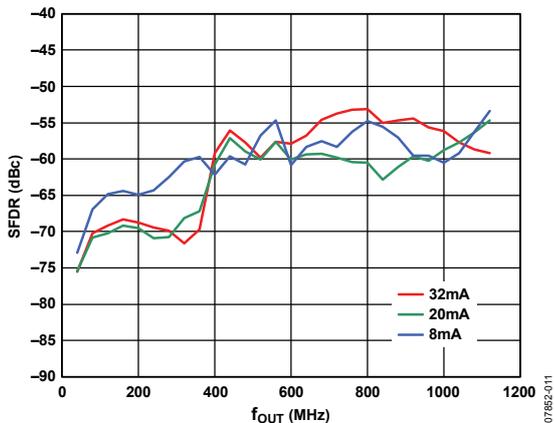


図 10. SFDR、 $f_{OUT}$ 、フルスケール電流の特性： $f_{DAC} = 2.4$  GHz、デジタル・スケール = 0 dBFS、温度 = 25°C

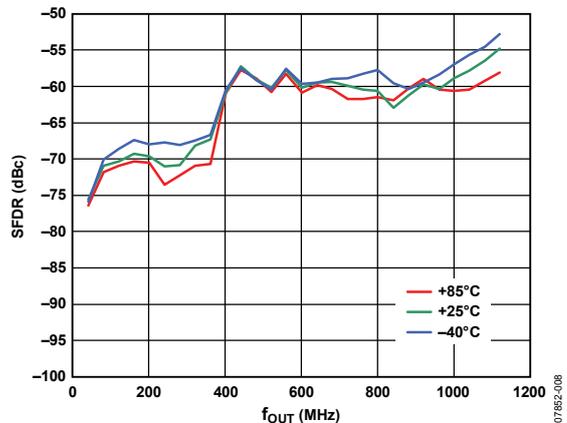


図 13. SFDR、 $f_{OUT}$ 、温度の特性： $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA、デジタル・スケール = 0 dBFS

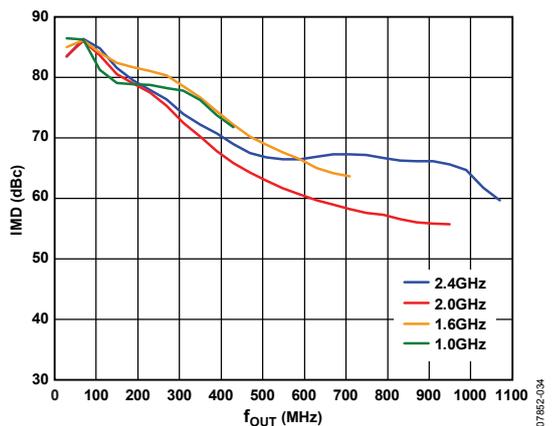


図 14. 3次IMD、 $f_{OUT}$ 、 $f_{DAC}$ の特性：フルスケール電流 = 20 mA、デジタル・スケール = 0 dBFS、温度 = 25°C

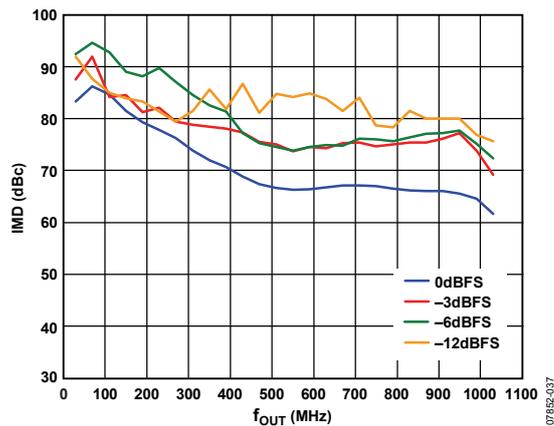


図 17. 3次IMD、 $f_{OUT}$ 、デジタル・フルスケールの特性： $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA、温度 = 25°C

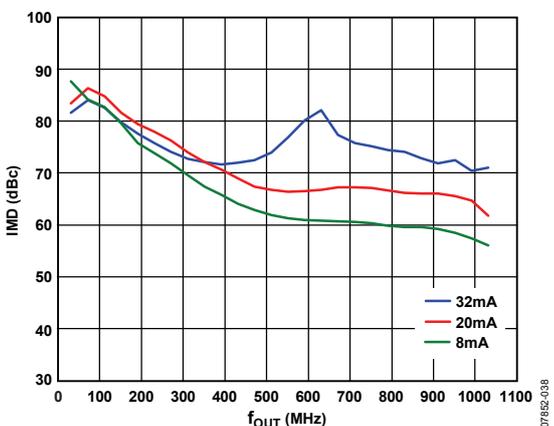


図 15. 3次IMD、 $f_{OUT}$ 、フルスケール電流の特性： $f_{DAC} = 2.4$  GHz、デジタル・スケール = 0 dBFS、温度 = 25°C

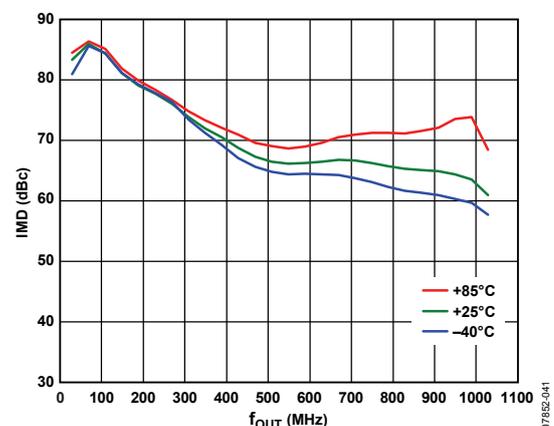


図 18. 3次IMD、 $f_{OUT}$ 、温度の特性： $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA、デジタル・スケール = 0 dBFS

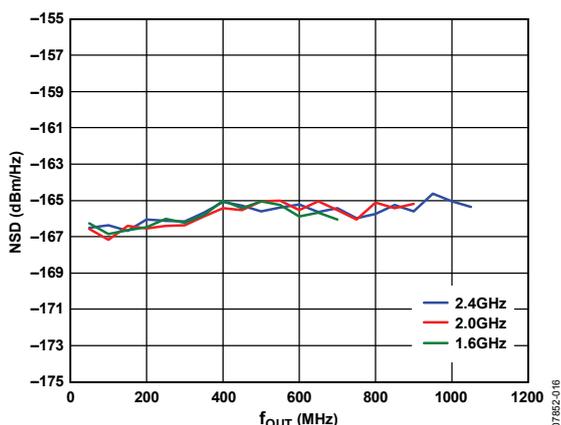


図 16. NSD、 $f_{OUT}$ 、 $f_{DAC}$ の特性：1チャンネルQAM、フルスケール電流 = 20 mA

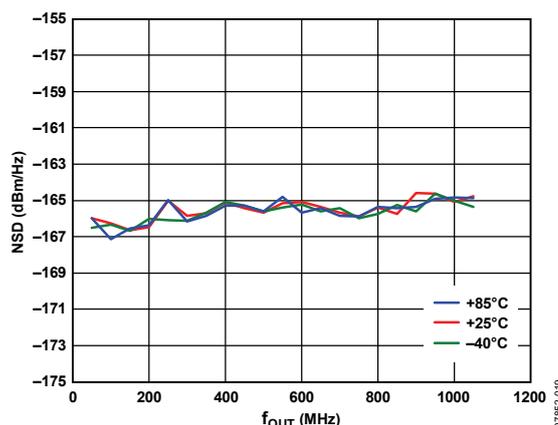


図 19. NSD、 $f_{OUT}$ 、温度の特性：1チャンネルQAM、 $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA

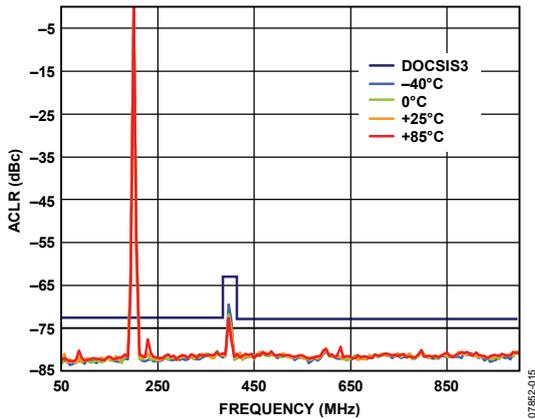


図 20. ACLR性能の温度特性：1チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 20 mA、 $f_{OUT} = 200$  MHz、サム・スケール = 48 (DOCSIS仕様は-73 dBc、高調波では -63 dBc)

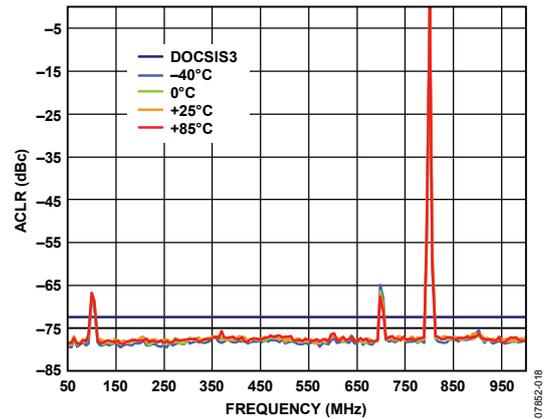


図 23. ACLR性能の温度特性：1チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 20 mA、 $f_{OUT} = 800$  MHz、サム・スケール = 48 (DOCSIS仕様は-73 dBc)

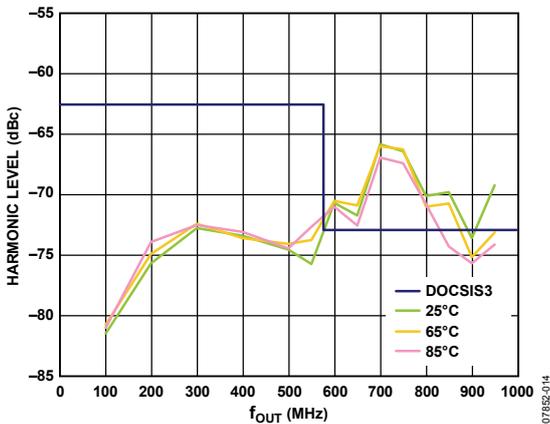


図 21. 2次高調波性能、 $f_{OUT}$ 、温度の関連特性：1チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 20 mA、サム・スケール = 48 (DOCSIS仕様は-73 dBc、高調波では-63 dBc)

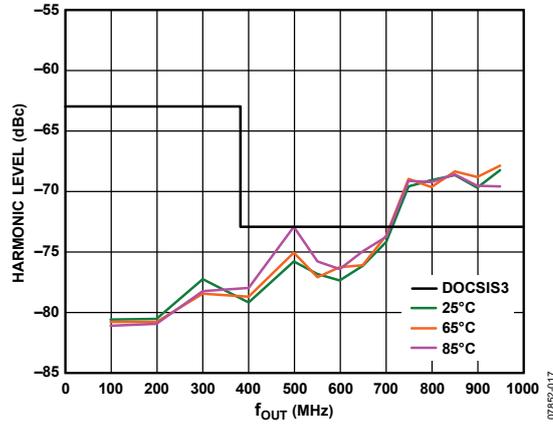


図 24. 3次高調波性能、 $f_{OUT}$ 、温度の関連特性：1チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 20 mA、サム・スケール = 48 (DOCSIS仕様は-73 dBc、高調波では-63 dBc)

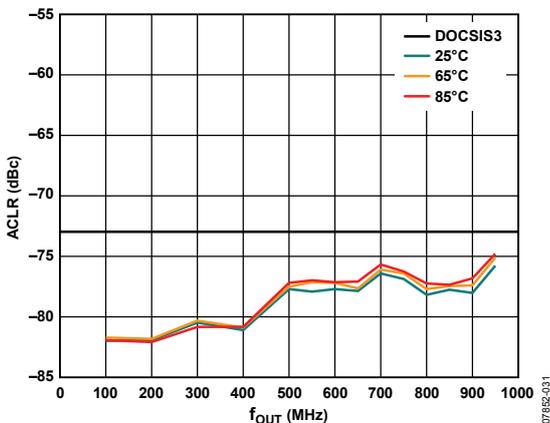


図 22. ノイズ・フロア、 $f_{OUT}$ 、温度の関連特性 (ACLRは 30 MHz 超で測定)：1チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 20 mA、サム・スケール = 48 (DOCSIS仕様は-73 dBc)

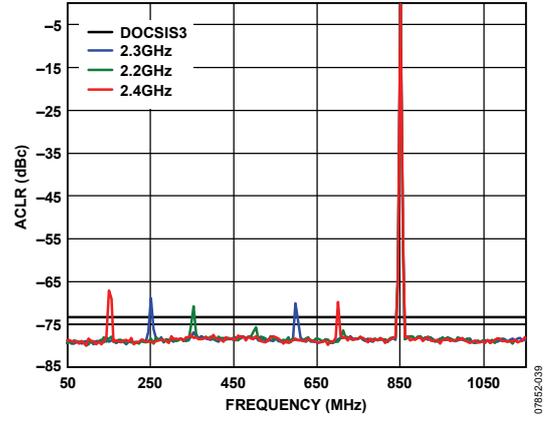


図 25. ACLR性能 対 $f_{DAC}$ ：1チャンネルQAM、 $f_{OUT} = 850$  MHz、フルスケール電流 = 20 mA、温度 = 25°C、サム・スケール = 48 (DOCSIS仕様は-73 dBc)

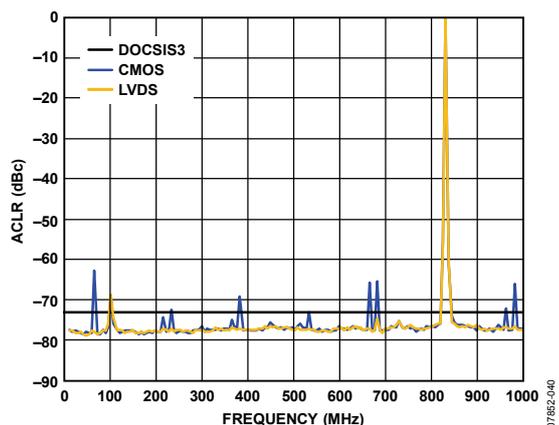


図 26. CMOSおよびLVDSインターフェースのACLR性能：1チャンネルQAM、 $f_{OUT} = 840$  MHz、 $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA、サム・スケール = 48 (DOCSIS仕様は-73 dBc)

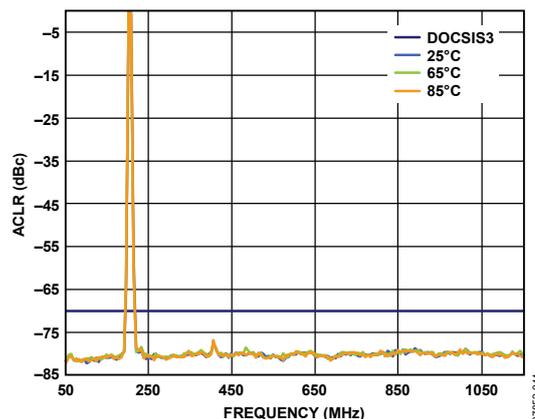


図 29. ACLR性能の温度特性：2チャンネルQAM、 $f_{OUT} = 200$  MHz、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 25 mA、サム・スケール = 32 (DOCSIS仕様は-70 dBc、高調波では-63 dBc)

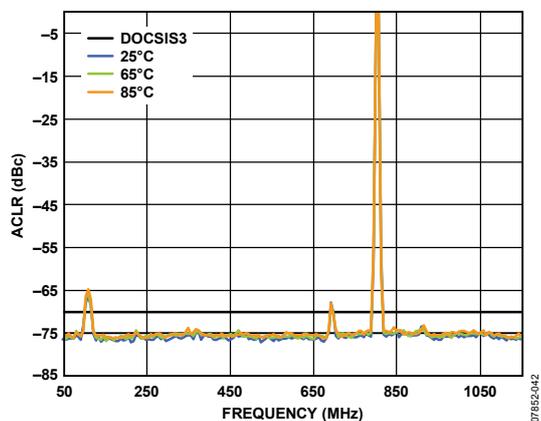


図 27. ACLR性能の温度特性：2チャンネルQAM、 $f_{OUT} = 800$  MHz、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 25 mA、サム・スケール = 32 (DOCSIS仕様は-70 dBc)

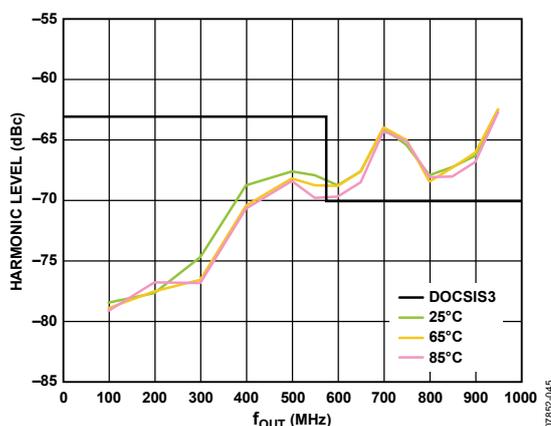


図 30. 2次高調波性能、 $f_{OUT}$ 、温度の関連特性：2チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 25 mA、サム・スケール = 32 (DOCSIS仕様は-70 dBc、高調波では-63 dBc)

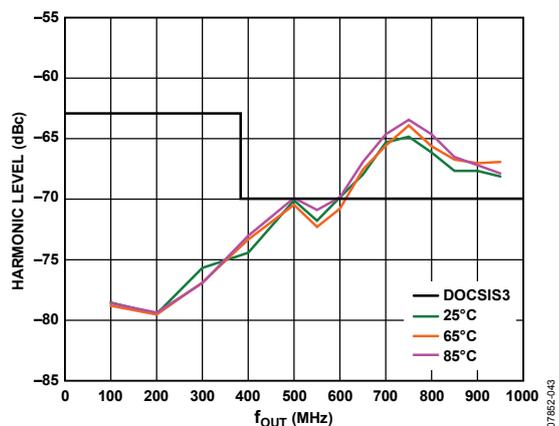


図 28. 3次高調波性能、 $f_{OUT}$ 、温度の関連特性：2チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 25 mA、サム・スケール = 32 (DOCSIS仕様は-70 dBc、高調波では-63 dBc)

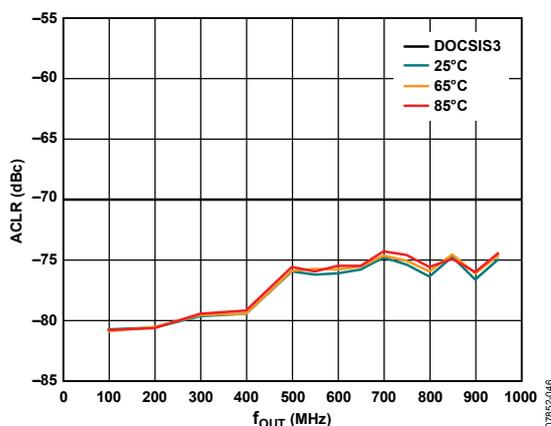


図 31. ノイズ・フロア、 $f_{OUT}$ 、温度の関連特性 (ACLRは30 MHz超で測定)：2チャンネルQAM、 $f_{DAC} = 2.3$  GHz、フルスケール電流 = 25 mA、サム・スケール = 32 (DOCSIS仕様は-70 dBc)

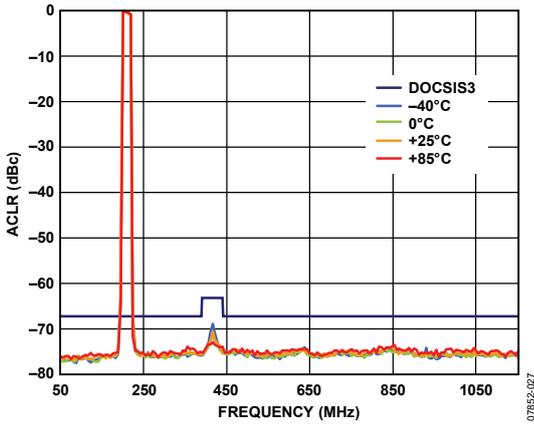


図 32. ACLR性能の温度特性：4 チャンネルQAM、  
 $f_{OUT} = 200$  MHz、 $f_{DAC} = 2.3$  GHz、  
 フルスケール電流 = 25 mA、サム・スケール = 20  
 (DOCSIS仕様は-67 dBc、高調波では-63 dBc)

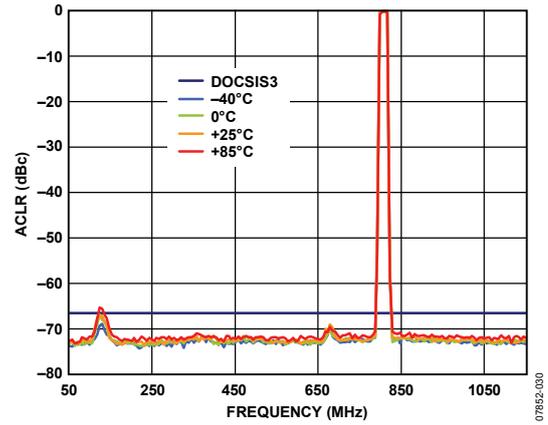


図 35. ACLR性能の温度特性：4 チャンネルQAM、  
 $f_{OUT} = 800$  MHz、 $f_{DAC} = 2.3$  GHz、  
 フルスケール電流 = 25 mA、サム・スケール = 20  
 (DOCSIS仕様は-67 dBc)

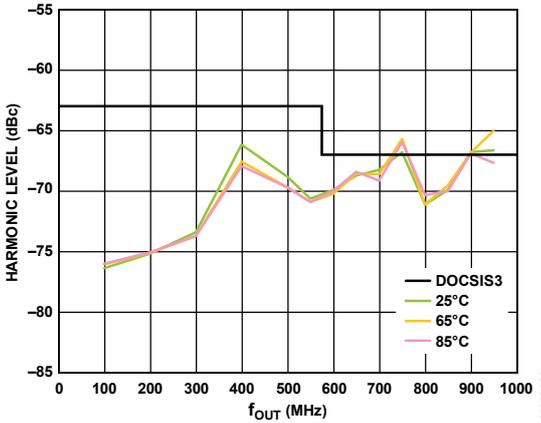


図 33. 2次高調波性能、 $f_{OUT}$ 、温度の関連特性：  
 4 チャンネルQAM、 $f_{DAC} = 2.3$  GHz、  
 フルスケール電流 = 25 mA、サム・スケール = 20  
 (DOCSIS仕様は-67 dBc、高調波例外は-63 dBc)

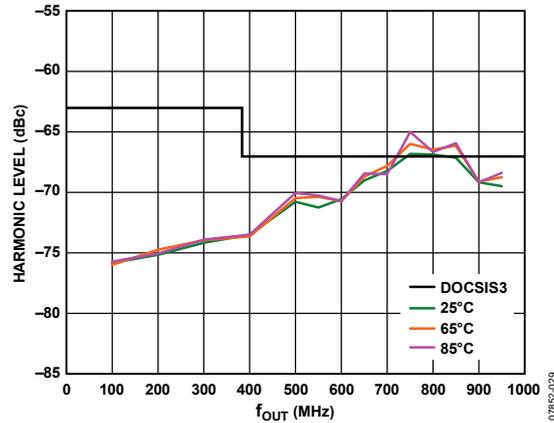


図 36. 3次高調波性能、 $f_{OUT}$ 、温度の関連特性：  
 4 チャンネルQAM、 $f_{DAC} = 2.3$  GHz、  
 フルスケール電流 = 25 mA、サム・スケール = 20  
 (DOCSIS仕様は-67 dBc、高調波では-63 dBc)

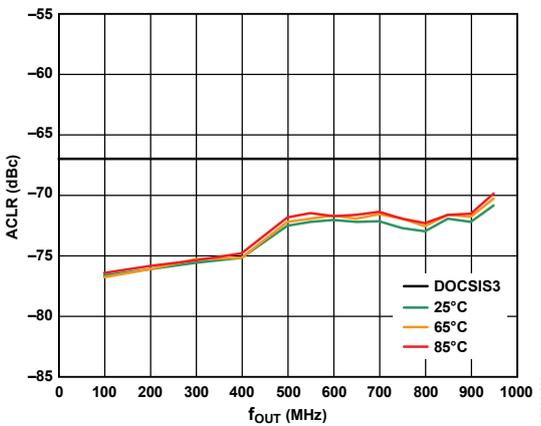


図 34. ノイズ・フロア、 $f_{OUT}$ 、温度の関連特性 (ACLRは 30 MHz  
 超で測定)：4 チャンネルQAM、 $f_{DAC} = 2.3$  GHz、  
 フルスケール電流 = 25 mA、サム・スケール = 20  
 (DOCSIS仕様は-67 dBc)

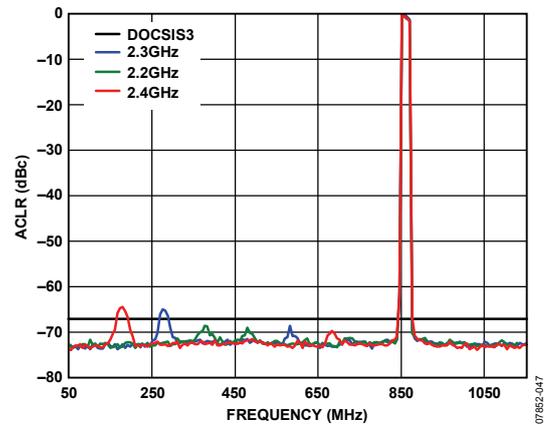
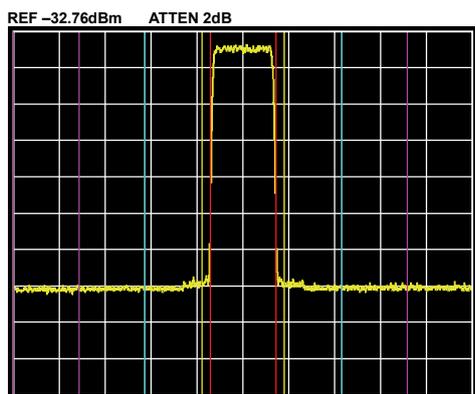
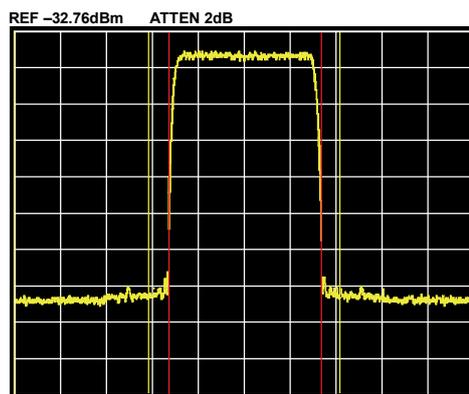


図 37. ACLR性能の $f_{DAC}$ 特性：4 チャンネルQAM、 $f_{OUT} = 850$   
 MHz、フルスケール電流 = 25 mA、温度 = 25°C、  
 サム・スケール = 20 (DOCSIS仕様は-67 dBc)



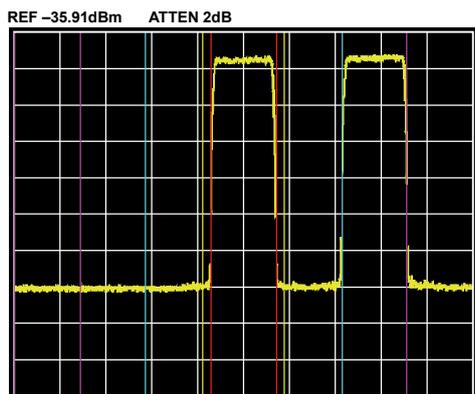
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-65.57	-83.66	-68.98	-87.07
-18.10dBm/	6.375MHz	5.250MHz	-75.01	-93.11	-74.62	-92.71
6.00000MHz	12.00MHz	6.000MHz	-76.83	-94.92	-76.46	-94.55
	18.00MHz	6.000MHz	-77.17	-95.26	-76.56	-94.66

図 38. 1 チャンネルQAMのACLR :  $f_{OUT} = 840$  MHz、  
温度 = 25°C、サム・スケール = 48、  
フルスケール電流 = 20 mA、スパン = 42 MHz



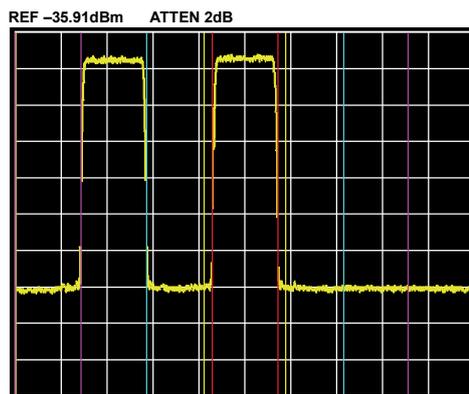
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-73.99	-91.97	-74.93	-92.91
-17.98dBm/	6.375MHz	5.250MHz	-74.94	-92.92	-75.35	-93.33
6.00000MHz						

図 40. 1 チャンネルQAMのACLR :  $f_{OUT} = 840$  MHz、  
温度 = 25°C、サム・スケール = 48、  
フルスケール電流 = 20 mA、スパン = 18 MHz



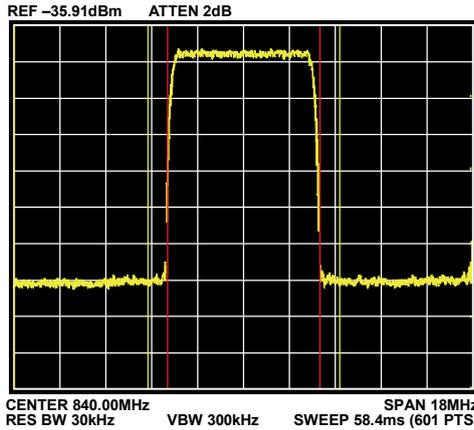
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-71.64	-93.39	-72.50	-94.25
-21.75dBm/	6.375MHz	5.250MHz	-73.71	-95.47	-66.72	-88.47
6.00000MHz	12.00MHz	6.000MHz	-73.58	-95.33	0.50	-21.10
	18.00MHz	6.000MHz	-73.70	-95.45	-66.72	-88.48

図 39. 2 チャンネルQAMのACLR :  $f_{OUT} = 840$  MHz、  
サム・スケール = 32、フルスケール電流 = 25 mA、  
スパン = 42 MHz、チャンネル 1



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-70.07	-92.16	-73.20	-94.49
-21.29dBm/	6.375MHz	5.250MHz	-69.05	-90.34	-73.87	-95.16
6.00000MHz	12.00MHz	6.000MHz	-0.49	-21.78	-73.29	-94.58
	18.00MHz	6.000MHz	-66.61	-87.90	-73.98	-95.27

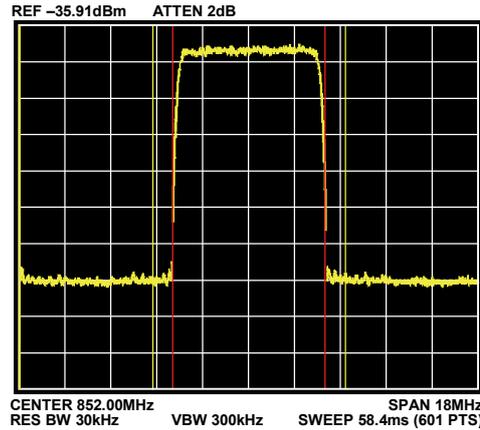
図 41. 2 チャンネルQAMのACLR :  $f_{OUT} = 840$  MHz、  
サム・スケール = 32、フルスケール電流 = 25 mA、  
スパン = 42 MHz、チャンネル 2



CENTER 840.00MHz  
RES BW 30kHz VBW 300kHz SWEEP 58.4ms (601 PTS) SPAN 18MHz

RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-75.37	-96.93	-75.56	-97.11
-21.56dBm/ 6.00000MHz	6.375MHz	5.250MHz	-73.85	-95.41	-72.54	-94.10

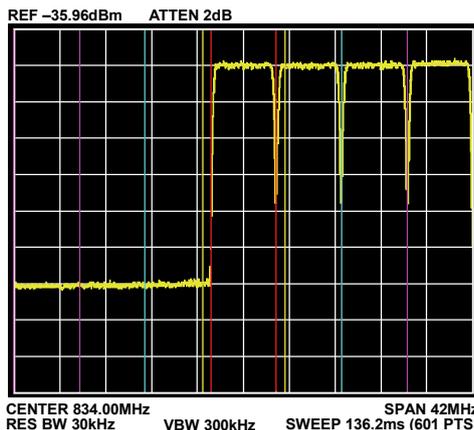
図 42. 2チャンネルQAMのACLR:  $f_{OUT} = 840$  MHz、  
サム・スケール = 32、フルスケール電流 = 25 mA、  
スパン = 18 MHz、チャンネル 1



CENTER 852.00MHz  
RES BW 30kHz VBW 300kHz SWEEP 58.4ms (601 PTS) SPAN 18MHz

RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-75.51	-96.54	-75.17	-96.20
-21.03dBm/ 6.00000MHz	6.375MHz	5.250MHz	-72.55	-93.58	-73.90	-94.93

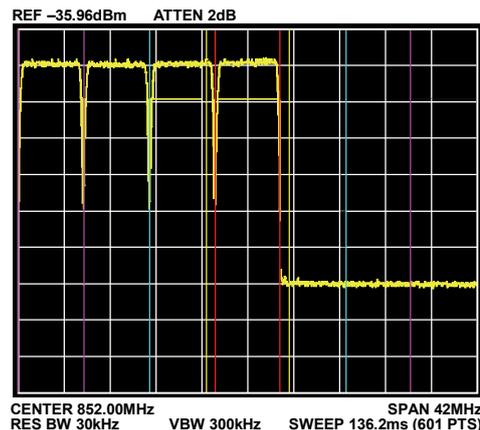
図 44. 2チャンネルQAMのACLR:  $f_{OUT} = 840$  MHz、  
サム・スケール = 32、フルスケール電流 = 25 mA、  
スパン = 18 MHz、チャンネル 2



CENTER 834.00MHz  
RES BW 30kHz VBW 300kHz SWEEP 136.2ms (601 PTS) SPAN 42MHz

RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-70.33	-93.96	-11.07	-34.70
-23.63dBm/ 6.00000MHz	6.375MHz	5.250MHz	-69.04	-92.67	-0.49	-24.12
	12.00MHz	6.000MHz	-70.38	-94.01	0.00	-23.63
	18.00MHz	6.000MHz	-71.02	-94.65	0.43	-23.20

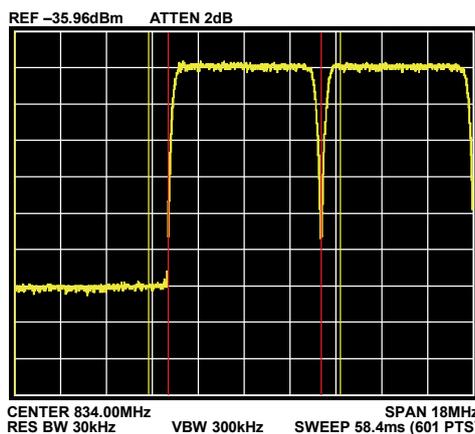
図 43. 4チャンネルQAMのACLR:  $f_{OUT} = 840$  MHz、  
温度 = 25°C、サム・スケール = 20、  
フルスケール電流 = 25 mA、スパン = 42 MHz、  
チャンネル 1



CENTER 852.00MHz  
RES BW 30kHz VBW 300kHz SWEEP 136.2ms (601 PTS) SPAN 42MHz

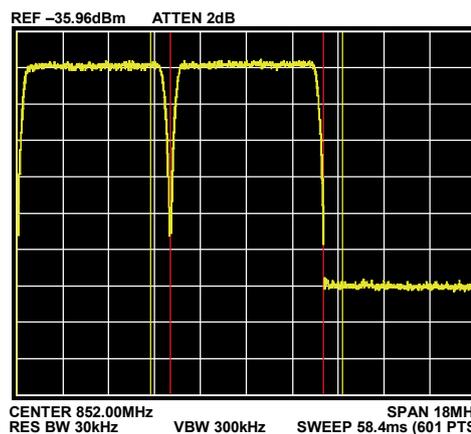
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-11.10	-34.32	-72.19	-95.42
-23.23dBm/ 6.00000MHz	6.375MHz	5.250MHz	-0.75	-23.98	-68.97	-92.20
	12.00MHz	6.000MHz	-0.59	-23.81	-70.32	-93.55
	18.00MHz	6.000MHz	-0.35	-23.58	-70.70	-93.93

図 45. 4チャンネルQAMのACLR、 $f_{OUT} = 840$  MHz、  
温度 = 25°C、サム・スケール = 20、  
フルスケール電流 = 25 mA、スパン = 42 MHz、  
チャンネル 4



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375 MHz	750.0 kHz	-72.95	-96.56	-10.86	-34.48
	6.375 MHz	5.250 MHz	-69.38	-92.99	-0.51	-24.13
	6.0000 MHz					

図 46. 4 チャンネル QAM の ACLR、 $f_{OUT} = 840$  MHz、温度 = 25°C、サム・スケール = 20、フルスケール電流 = 25 mA、スパン = 18 MHz、チャンネル 1



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375 MHz	750.0 kHz	-11.20	-34.40	-74.44	-97.64
	6.375 MHz	5.250 MHz	-0.77	-23.96	-69.07	-92.26
	6.0000 MHz					

図 49. 4 チャンネル QAM の ACLR :  $f_{OUT} = 840$  MHz、温度 = 25°C、サム・スケール = 20、フルスケール電流 = 25 mA、スパン = 18 MHz、チャンネル 4

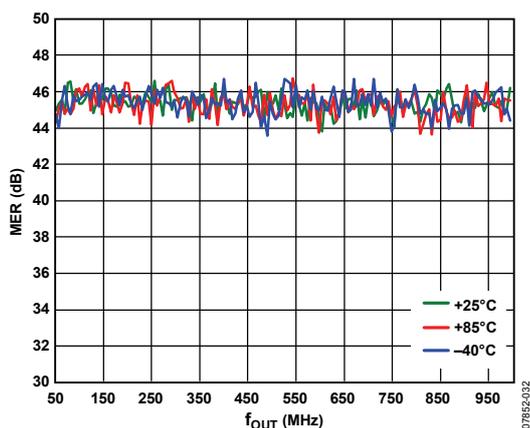


図 47. 変調誤差比：等化後、1 チャンネル 256 QAM、 $f_{DAC} = 2.29376$  GHz、フルスケール電流 = 20 mA、サム・スケール = 48 (スペクトル・アナライザの復調ツールボックスのイコライゼーション・フィルタを使用)

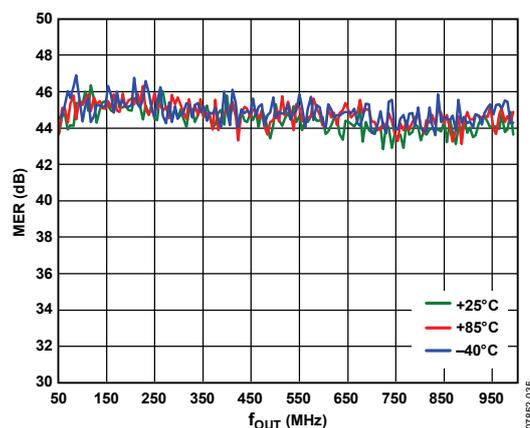


図 50. 変調誤差比：等化後、4 チャンネル 256 QAM、 $f_{DAC} = 2.29376$  GHz、フルスケール電流 = 25 mA、サム・スケール = 20 (スペクトル・アナライザの復調ツールボックスのイコライゼーション・フィルタを使用)

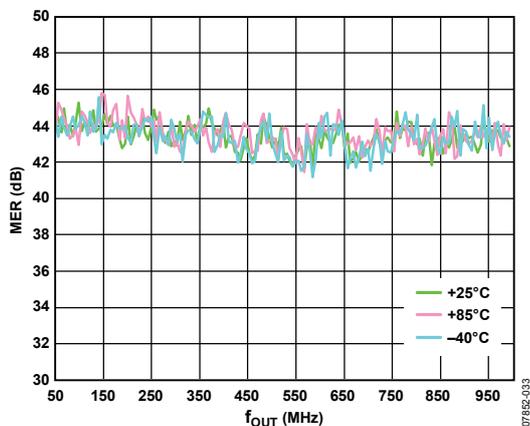


図 48. 変調誤差比：等化前、1 チャンネル 256 QAM、 $f_{DAC} = 2.29376$  GHz、フルスケール電流 = 20 mA、サム・スケール = 48

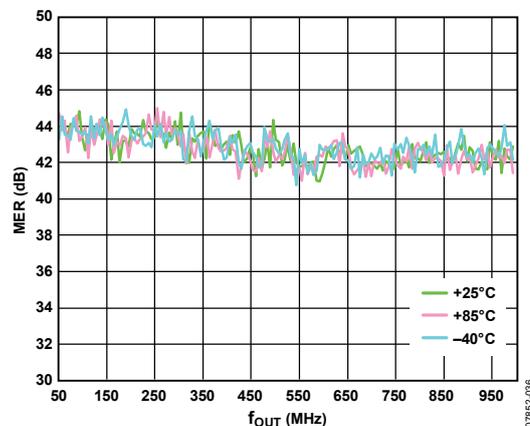


図 51. 変調誤差比：等化前、4 チャンネル 256 QAM、 $f_{DAC} = 2.29376$  GHz、フルスケール電流 = 25 mA、サム・スケール = 20

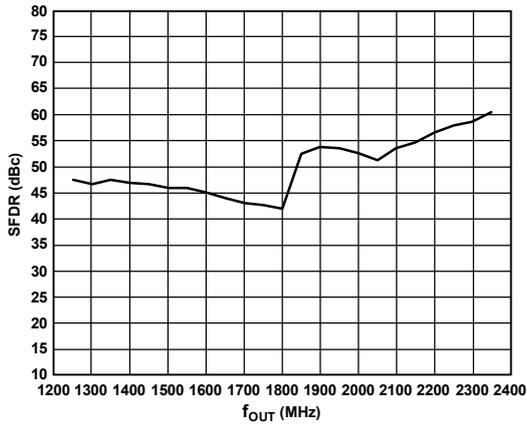


図 52. SFDR対 $f_{OUT}$ ：ミックス・モード、 $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA (2次ナイキスト領域の性能)

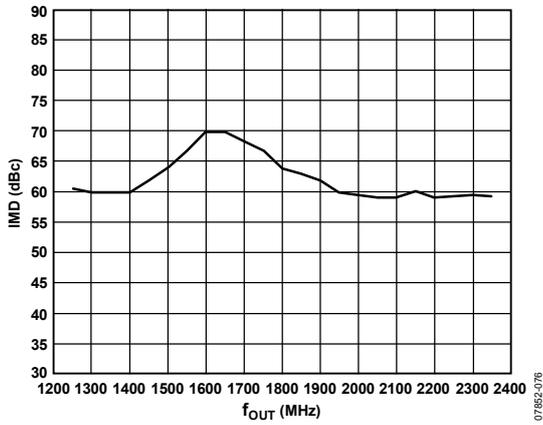


図 53. 相互変調歪み対 $f_{OUT}$ ：ミックス・モード、 $f_{DAC} = 2.4$  GHz、フルスケール電流 = 20 mA (2次ナイキスト領域の性能)

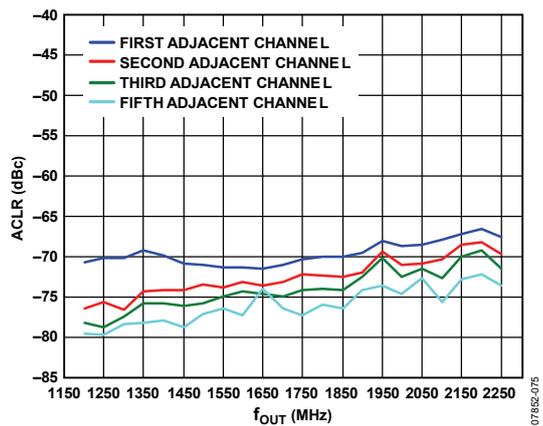
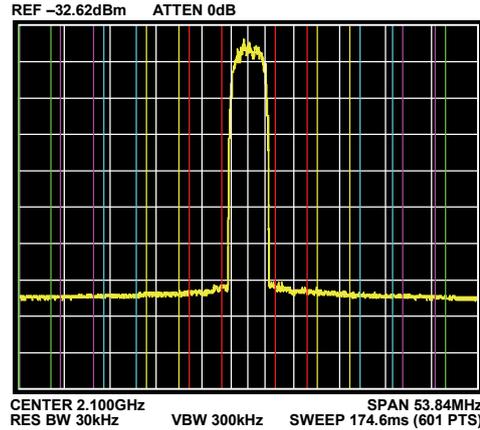
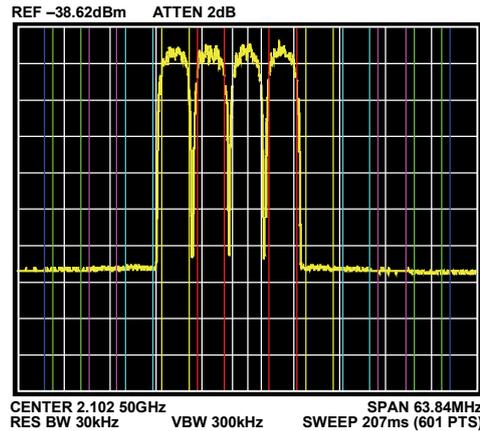


図 54. ACLR対 $f_{OUT}$ ：1キャリアWCDMAによるミックス・モード、 $f_{DAC} = 2304$  MHz、フルスケール電流 = 20 mA (2次ナイキスト領域の性能)



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc	UPPER dBc
CARRIER POWER	5.000MHz	3.840MHz	-68.93	-88.88
-19.95dBm/	10.00MHz	3.840MHz	-71.31	-91.26
3.84000MHz	15.00MHz	3.840MHz	-73.43	-93.37
	20.00MHz	3.840MHz	-75.12	-95.07
	25.00MHz	3.840MHz	-75.60	-95.55

図 55. 1キャリアWCDMAのACLR：ミックス・モード、 $f_{OUT} = 2.1$  GHz、 $f_{DAC} = 2304$  MHz、フルスケール電流 = 20 mA



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc	UPPER dBc
CARRIER POWER	5.000MHz	3.840MHz	-0.25	-26.31
-26.06dBm/	10.00MHz	3.840MHz	-0.42	-26.48
3.84000MHz	15.00MHz	3.840MHz	-64.07	-90.13
	20.00MHz	3.840MHz	-65.36	-91.42
	25.00MHz	3.840MHz	-66.86	-92.92
	30.00MHz	3.840MHz	-67.83	-93.89

図 56. 4キャリアWCDMAのACLR：ミックス・モード、 $f_{OUT} = 2.1$  GHz、 $f_{DAC} = 2304$  MHz、フルスケール電流 = 20 mA

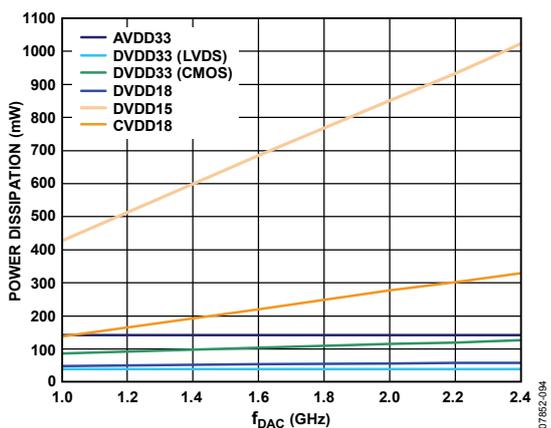


図 57. 電源別の消費電力 対  $f_{DAC}$ : 4 チャンネル DOCSIS、 $f_{OUT} = 915$  MHz、フルスケール電流 = 25 mA  
(データパス設定: QAMエンコーダON、SRRCフィルタON、4つの2倍インターポレーション・フィルタON)

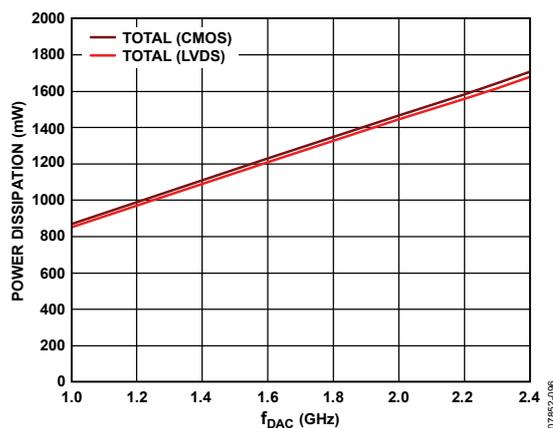


図 60. 全消費電力 対  $f_{DAC}$ : 4 チャンネル DOCSIS、 $f_{OUT} = 915$  MHz、フルスケール電流 = 25 mA (データパス設定: QAMエンコーダON、SRRCフィルタON、4つの2倍インターポレーション・フィルタON)

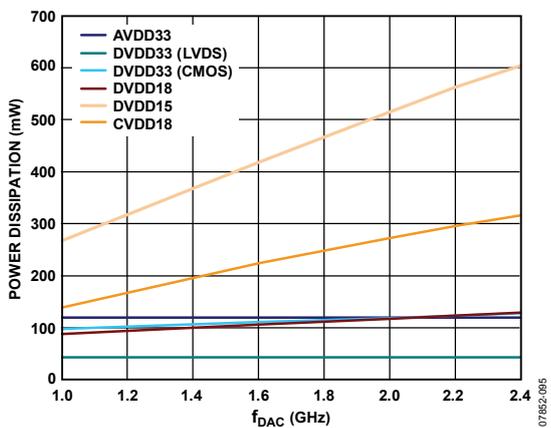


図 58. 電源別の消費電力 対  $f_{DAC}$ : 16 倍インターポレーション、1 チャンネル・イネーブル、 $f_{OUT} = 70$  MHz、フルスケール電流 = 20 mA

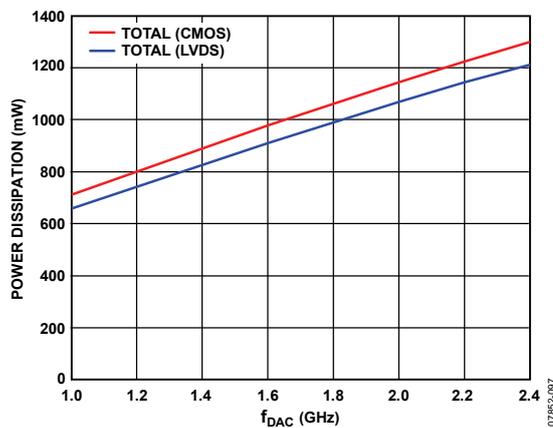


図 61. 全消費電力 対  $f_{DAC}$ : 16 倍インターポレーション、1 チャンネル・イネーブル、 $f_{OUT} = 70$  MHz、フルスケール電流 = 20 mA

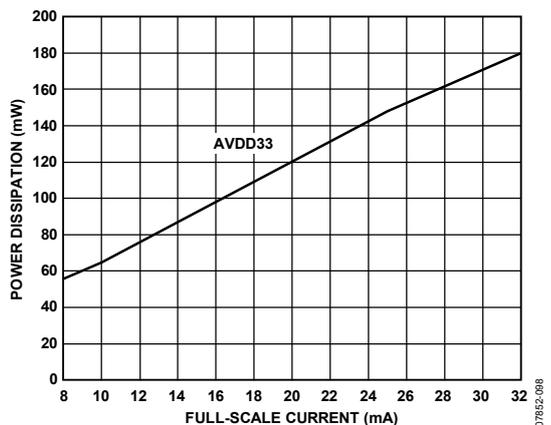


図 59. AVDD33 の消費電力 対 フルスケール電流

## 用語の説明

### 単調増加性

DAC が単調増加性であれば、デジタル入力が増加すると、アナログ出力が増加するか一定になります。

### オフセット誤差

理想的なゼロからの実際の出力電流の偏差をいいます。IOUTP の場合、すべての入力を 0 に設定したときの本来の出力は 0 mA です。IOUTN の場合、すべての入力を 1 に設定したとき 0 mA です。

### ゲイン誤差

理想的な出力スパンと実際のスパンとの偏差をいいます。実際のスパンは、すべての入力を 1 に設定したときの出力から、すべての入力を 0 に設定したときの出力を引いた値になります。

### 温度ドリフト

室温 (25°C) での値から  $T_{MIN}$  または  $T_{MAX}$  での値までの最大変化として規定されます。オフセット、ゲイン、リファレンス・ドリフトの場合、ドリフトは 1°C 当たりの ppm 値で表されます。

### 電源電圧変動除去比 (PSR)

電源電圧が公称から最小と最大の規定電圧まで変化したときのフルスケール出力の最大変化をいいます。

### 出力コンプライアンス・レンジ

電流出力 DAC の出力における許容電圧範囲です。コンプライアンス・レンジの最大限界を超えて動作させると、出力段の飽和やブレークダウンを招いて線形性が失われるおそれがあります。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

出力信号のピーク振幅値と規定帯域内のスプリアス信号のピーク振幅値との差をいい、dB 値で表します。

### ノイズ・スペクトル密度 (NSD)

単位帯域幅当たりのコンバータのノイズ電力です。通常、0 dBm のフルスケール信号が出力された状態で、dBm/Hz 単位で規定されます。

### 隣接チャンネル漏洩率 (ACLR)

希望チャンネル内の電力測定値と隣接チャンネル内の電力測定値の比を dBc で表した値です。

### 変調誤差比 (MER)

変調信号は、コンスタレーションと呼ばれる離散出力値の集合を作成します。各シンボルは、コンスタレーション上の 1 点に対応する出力信号になります。MER はシンボル平均出力振幅と個々のシンボルの rms 誤差振幅との比です。

### 相互変調歪み (IMD)

相互変調歪みは、複数の信号がさまざまな周波数で混合されることにより生じます。多くの製品では式  $af_1 \pm bf_2$  に基づいて求められています (ここで、a と b は整数値です)。

## シリアル制御ポート

AD9789のシリアル制御ポートは、高い柔軟性をもつ同期シリアル通信ポートであるため、多くの業界標準マイクロコントローラやマイクロプロセッサと容易にインターフェースすることができます。AD9789のシリアル制御ポートは、Motorola SPI®プロトコルやIntel® SSRプロトコルなど、多くの同期転送フォーマットと互換性があります。このシリアル制御ポートを使用して、AD9789を設定する全レジスタとの間で読出し/書き込みをおこないます。MSBファーストやLSBファーストの転送フォーマットのみでなく、シングルバイト転送やマルチバイト転送にも対応しています。AD9789のシリアル制御ポートは、1本の双方向I/Oピン(SDIOのみ)または2本の単方向I/Oピン(SDIO/SDO)として設定できます。デフォルトでは、AD9789は単方向のロング命令モードになっています(ロング命令モードのみのサポートです)。

### シリアル制御ポート・ピンの説明

SCLK(シリアル・クロック)ピンは、シリアル・シフト・クロックです。このピンは入力専用です。SCLKは、シリアル制御ポートの読出しと書き込みの同期をとるために使われます。書き込みデータ・ビットはこのクロックの立上がりエッジでレジスタに格納され、読出しデータ・ビットは立下がりエッジでレジスタから出力されます。このピンは30 kΩの抵抗により内部でグラウンドにプルダウンされています。

SDIO(シリアル・データ入出力)は2つの機能を持つピンで、入力専用(単方向モード)または入出力(双方向モード)として機能します。AD9789では、デフォルトで単方向I/Oモード(レジスタ0x00[7]=0)に設定されています。

SDO(シリアル・データ出力)ピンは、データ・リードバック用の独立した出力ピンとして、単方向I/Oモードのみで使用されません。

$\overline{\text{CS}}$ (チップ・セレクト・バー)は、読出しサイクルと書き込みサイクルをゲーティングするアクティブ・ロー・コントロールです。 $\overline{\text{CS}}$ がハイのとき、SDOとSDIOはハイ・インピーダンス状態になります。このピンは30 kΩの抵抗により内部でDVDD33にプルアップされています。

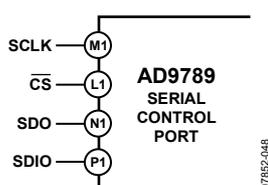


図 62. シリアル制御ポート

### シリアル制御ポートの一般的な動作

AD9789への書き込みまたは読出し動作は、 $\overline{\text{CS}}$ をローレベルにすることで開始します。3バイト以下のデータ(と命令)を転送するモードでは、 $\overline{\text{CS}}$ ストール・ハイ(休止動作)がサポートされています(表7を参照)。このモードでは、すべてのバイト境界で $\overline{\text{CS}}$ を一時的にハイレベルに戻すことができるため、システム・コントローラが次のバイトを処理する時間を確保できます。 $\overline{\text{CS}}$ はバイト境界でのみハイレベルにすることができ、また転送内の命令またはデータのいずれの区間でもハイレベルにすることができます。

$\overline{\text{CS}}$ ストール・ハイ・モードでは、シリアル制御ポートのステート・マシンが待ち状態に入り、すべてのデータが送信されるまでこの状態が続きます。システム・コントローラが全データを送信

する前に転送を中止したい場合、残りの転送を完了させるか、またはSCLKの1サイクル以上(ただし8 SCLKサイクル未満)にわたって $\overline{\text{CS}}$ をローレベルに戻すことによって、ステート・マシンをリセットする必要があります。バイトの境界ではないところで $\overline{\text{CS}}$ をハイレベルにすると、シリアル転送が停止し、バッファがクリアされます。

ストリーミング・モード(表7を参照)では、任意数のデータ・バイトを1つの連続ストリームとして転送できます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントされず(「MSB/LSBファースト転送」を参照)。転送される最終バイトの終わりで $\overline{\text{CS}}$ をハイレベルにして、ストリーミング・モードを終了させる必要があります。

### 通信サイクル—命令とデータ

AD9789との通信サイクルには2つのフェーズがあります。最初のフェーズでは、16個のSCLK立上がりエッジに同期して16ビットの命令ワードがAD9789に書き込まれます。この命令ワードで、データ転送フェーズに関する情報(通信サイクルの2番目のフェーズに関する情報)がAD9789のシリアル制御回路に与えられます。命令ワードでは、次のデータ転送フェーズが読出し/書き込みか、そしてデータ転送のバイト数、データ転送の先頭バイトが書き込まれる開始レジスタ・アドレスを指定します。

### 書き込み

命令ワードで書き込み動作を指定した場合、通信サイクルの2番目のフェーズはAD9789のシリアル制御バッファに対するデータ転送になります。データ・ビットはSCLKの立上がりエッジでレジスタに格納されます。

転送長(1/2/3バイトまたはストリーミング・モード)は、命令バイト中の2ビット(N1とN0)で指定します。転送長が(ストリーミング・モードではなく)1、2、3バイトのいずれかであるとき、8ビットの各シーケンスの後で $\overline{\text{CS}}$ をハイレベルにしてバスを休止させることができます(ただし、サイクルが終了する最終バイトは除く)。バスが休止しているときに $\overline{\text{CS}}$ をローレベルにすると、シリアル転送が再開されます。バイト境界では無いところで $\overline{\text{CS}}$ をハイレベルにすると、シリアル制御ポートがリセットされます。ストリーミング・モードでは、書き込み時に予備レジスタやブランク・レジスタをスキップできません。したがって、デバイスを正常に動作させるためには、ユーザは予備レジスタに書き込むビット・パターンを知っておく必要があります。ブランク・レジスタには、どんな値が書き込まれても問題ありません。

大半の制御レジスタへの書き込みは、デバイスをすぐに再設定します。しかしレジスタ0x16~0x1Dは、デバイス動作をすぐに設定しません。これらのレジスタは、事前に書き込まれたデータに対し追加操作が必要です。必要な操作を実行することでデバイスの設定が変更されます。レジスタ0x16~0x1Dへの更新が有効になるには、FREQNEWビット(レジスタ0x1E[7])を1にセットする必要があります(このビットは自動的にクリアされます)。このためレジスタを更新する前であれば、任意のバイト数のデータを変更できます。FREQNEWビットをセットするとレジスタ0x16~0x1Dが同時に更新されます。

同様にレジスタ0x22とレジスタ0x23を変更する場合は、PARMNEW(レジスタ0x24[7])をローからハイにトグルしなければ、新しい値が有効になりません。FREQNEWビットとは異なり、PARMNEWは自動的にクリアされません。

## 読出し

命令ワードが読出し動作の場合、次のN×8 SCLKサイクルで、命令ワードで指定したアドレスのデータが出力されます (N=1~3、ビット[N1:N0]で指定)。N=4の場合、読出し動作はストリーミング・モードであり、CSがハイになるまで続行します。ストリーミング・モードでは、予備レジスタやブランク・レジスタをスキップできません。読出しデータは、SCLKの立下がりエッジで切り替わります。

AD9789 シリアル制御ポートのデフォルトのモードは、単方向モードです。単方向モードでは、読出しデータは SDO ピンに出力されます。SDIO\_DIR ビット (レジスタ 0x00[7]) を使用して、AD9789 を双方向モードに設定することもできます。双方向モードでは、データの書込みと読出しには SDIO ピンを用います。

読出し要求では、シリアル制御ポートのバッファ領域内のデータまたはアクティブなレジスタ内のデータが読み出されます (図 63を参照)。

AD9789 はロング命令モードにのみ対応しています。したがってレジスタ 0x00[4:3]は11になります(この2ビットは相互にミラー、つまり折り返されています)。ロング命令モードは電源投入時またはリセット時のデフォルトであり、これらのビットへ書込みしても無効です。

AD9789 はレジスタ・アドレス 0x00~0x55 を使用します。

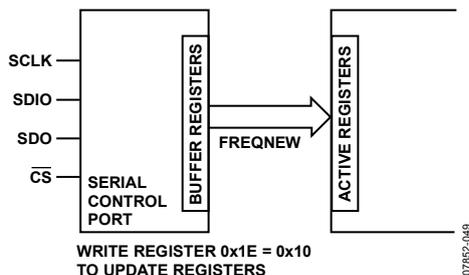


図 63. AD9789 のシリアル制御ポート・バッファ・レジスタとアクティブ・レジスタの関係

## 命令ワード (16 ビット)

命令ワードのMSBはR/Wであり、これは読出し命令か書込み命令かを表します。次の2ビットはN1とN0であり、転送バイト長を表します。最後の13ビット(ビット[A12:A0])は、読出し/書込み動作の開始アドレスになります。

書込みの場合、命令ワードの後にデータ・バイト数を示す[N1:N0]ビットが続きます (表 7を参照)。

表 7. 転送バイト数

N1	N0	Bytes to Transfer
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

ビット[A12:A0]は、通信サイクルのデータ転送で書込みまたは読出しを行う、レジスタ・マップ内のアドレスを指定します。AD9789 で使用している 0x55 の範囲のレジスタをビット[A6:A0]で指定します。ビット[A12:A7]は常に 0 である必要があります。マルチバイト転送の場合、このアドレスは開始バイトのアドレスです。MSB ファースト・モードでは、後続のバイトではアドレスがインクリメントされます。

## MSB/LSBファースト転送

AD9789 の命令ワードとバイト・データは MSB ファーストまたは LSB ファーストで転送することができます。レジスタ 0x00 へ書き込まれるすべてのデータは、上位4ビット([7:4])を下位4ビット([3:0])にミラーする(折り返す)必要があります。これにより、このレジスタ上で LSB ファーストか MSB ファーストであるかが無関係になります。このミラーリング(折り返し)の例として、レジスタ 0x00[7:0]のデフォルト値は 0x18 であり、ビット4とビット3が相互にミラーされています。これにより、デフォルトかつ唯一サポートされているモードである、ロング命令モードが設定されます。AD9789 のデフォルトは MSB ファーストです。

レジスタ 0x00[1]とレジスタ 0x00[6]で LSB ファーストを設定すると、この設定は直ちに有効になります。そのためマルチバイト転送では、シリアル・ポート設定の変更をした場合、後続のバイトはこの設定の影響をうけるようになります。

MSB ファーストが有効だと、命令とデータ・バイトは、MSB から LSB への順序で書き込む必要があります。MSB ファーストのフォーマットでのマルチバイトのデータ転送は、最上位のデータ・バイトのレジスタ・アドレスの命令バイトから開始します。後続のデータ・バイトは、上位アドレスから下位アドレスの順で転送します。MSB ファースト・モードでは、シリアル制御ポートの内部アドレス生成器は、マルチバイト転送サイクルのデータ・バイトごとにデクリメントされます。

LSB ファーストが有効だと、命令とデータ・バイトは、LSB から MSB への順序で書き込む必要があります。LSB ファーストのフォーマットでのマルチバイトのデータ転送は、最下位のデータ・バイトのレジスタ・アドレスの命令バイトから開始し、後続のデータ・バイトが続きます。シリアル制御ポートの内部バイト・アドレス生成器は、マルチバイト転送サイクルのデータ・バイトごとにインクリメントされます。

マルチバイト転送動作では、MSB ファーストが有効(デフォルト)だと、AD9789 のシリアル制御ポートのレジスタ・アドレスは、書き込まれたレジスタ・アドレスから 0x00 に向かってデクリメントされます。LSB ファーストが有効だと、マルチバイト転送動作では、シリアル制御ポートのレジスタ・アドレスは、書き込まれたアドレスから 0x55 に向かってインクリメントされます。

ストリーミング・モードでは、アドレス 0x2F に到達すると必ず終了します。マルチバイト転送動作時には、未使用アドレスはスキップされないことに注意してください。

表 8. ストリーミング・モード(アドレスはスキップされません)

Write Mode	Address Direction	Stop Sequence
LSB First	Increment	0x02D, 0x02E, 0x02F, stop
MSB First	Decrement	0x001, 0x000, 0x02F, stop

表 9. シリアル制御ポート、16 ビット命令ワード、MSB ファースト

MSB															LSB
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	N1	N0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

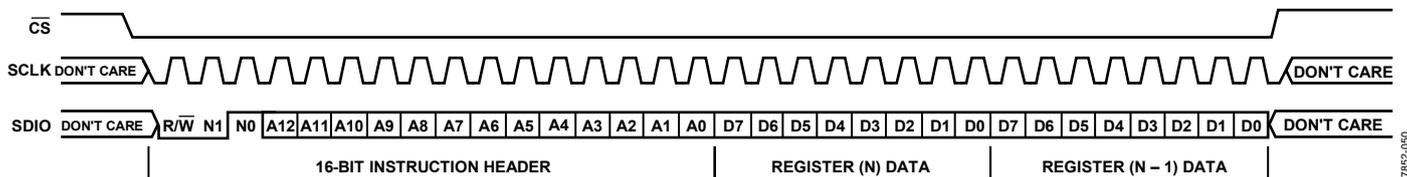


図 64. シリアル制御ポートの書き込み—MSB ファースト、16 ビット命令、2 バイトのデータ



図 65. シリアル制御ポートの読み出し—MSB ファースト、16 ビット命令、4 バイトのデータ

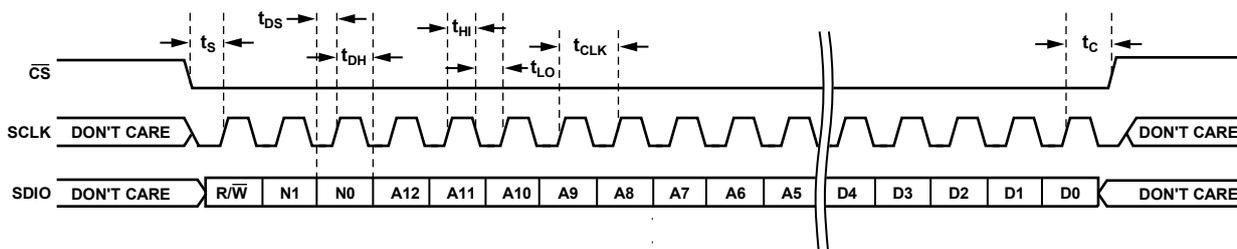


図 66. シリアル制御ポートの書き込み—MSB ファースト、16 ビット命令、タイミング測定

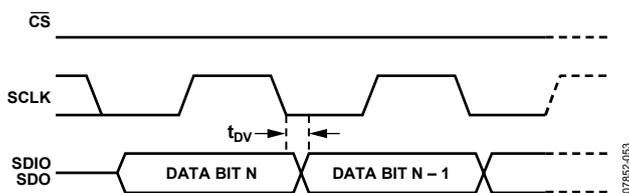


図 67. シリアル制御ポートのレジスタ読み出しのタイミング

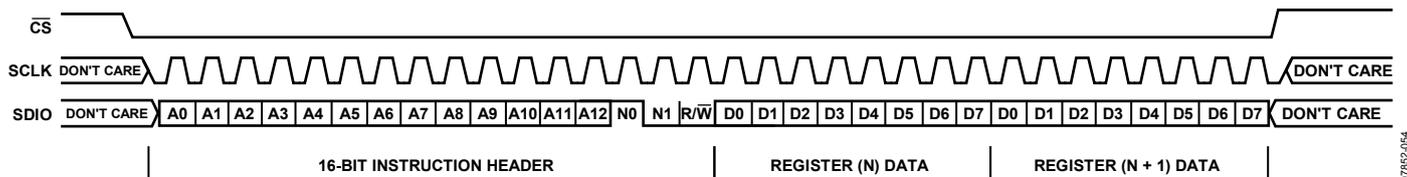


図 68. シリアル制御ポートの書き込み—LSB ファースト、16 ビット命令、2 バイトのデータ

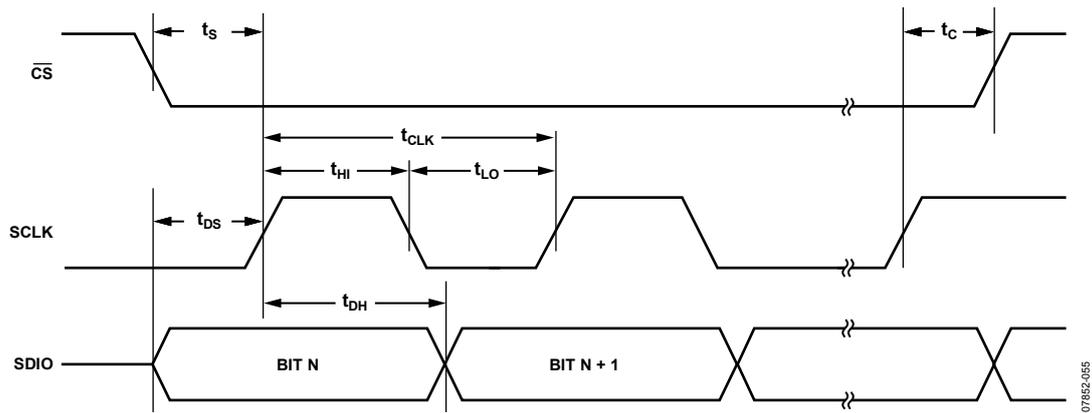


図 69. シリアル制御ポートのタイミング—書き込み

表 10. シリアル制御ポートのタイミング

パラメータ	説明
$t_{DS}$	データ転送から SCLK の立上がりエッジまでのセットアップ時間
$t_{DH}$	データ転送から SCLK の立上がりエッジまでのホールド時間
$t_{CLK}$	クロックの周期
$t_s$	$\overline{CS}$ 立下がりエッジから SCLK 立上がりエッジ (通信サイクルの開始) までのセットアップ時間
$t_c$	SCLK 立上がりエッジから $\overline{CS}$ 立上がりエッジ (通信サイクルの終了) までのセットアップ時間
$t_{HI}$	SCLK をロジック・ハイの状態に保持する必要がある最小期間
$t_{LO}$	SCLK をロジック・ローの状態に保持する必要がある最小期間
$t_{DV}$	SCLK から有効な SDIO と SDO までの時間 (図 67 を参照)

## SPIレジスタ・マップ

特に指定のない限り、次のレジスタには書き込まないでください：レジスタ 0x34、レジスタ 0x35、レジスタ 0x37、レジスタ 0x3B、レジスタ 0x3F、レジスタ 0x40~0x55。

表 11. レジスタ・マップ

アドレス	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト
0x00	SPI制御	SDIO_DIR	LSBFIRST	RESET	LNG_INST					0x18
0x01	飽和カウンタ	SATCNT[7:0]								0x00
0x02	パリティ・カウンタ	PARCNT[7:0]								0x00
0x03	割込みイネーブル	PARERR	BISTDONE	PARMSET	PARMCLR	LOCKACQ	LOCKLOST	SATERR	予備	0x00
0x04	割込みステータス/クリア	PARERR	BISTDONE	PARMSET	PARMCLR	LOCKACQ	LOCKLOST	SATERR	予備	0x00
0x05	チャンネル・イネーブル	予備				CHANEN[3:0]				0x00
0x06	バイパス	QAM	SRRC	予備	INT[4:0]				0x00	
0x07	QAM/SRRC設定	予備		ALPHA[1:0]		予備	MAPPING[2:0]		0x01	
0x08	サミング・ノード・スケールリング	SUMSCALE[7:0]								0x0D
0x09	入力スケールリング	INSCALE[7:0]								0x20
0x0A	NCO 0 周波数同調ワード	FTW0[7:0]								0x00
0x0B		FTW0[15:8]								0x00
0x0C		FTW0[23:16]								0x00
0x0D	NCO 1 周波数同調ワード	FTW1[7:0]								0x00
0x0E		FTW1[15:8]								0x00
0x0F		FTW1[23:16]								0x00
0x10	NCO 2 周波数同調ワード	FTW2[7:0]								0x00
0x11		FTW2[15:8]								0x00
0x12		FTW2[23:16]								0x00
0x13	NCO 3 周波数同調ワード	FTW3[7:0]								0x00
0x14		FTW3[15:8]								0x00
0x15		FTW3[23:16]								0x00
0x16	レート・コンバータ分母 (Q)	Q[7:0]								0x00
0x17		Q[15:8]								0x00
0x18		Q[23:16]								0x80
0x19	レート・コンバータ分子 (P)	P[7:0]								0x00
0x1A		P[15:8]								0x00
0x1B		P[23:16]								0x80
0x1C	補間 BPF 中心周波数	FC[7:0]								0x00
0x1D		FC[15:8]								0x00
0x1E	周波数更新	FREQNEW	予備							0x00
0x1F	ハードウェア・バージョン	予備				VER[3:0]				0x03
0x20	インターフェース設定	CMOS_BUS	CMOS_CTRL	予備	DCO_INV	IF_MODE	CHANPRI	PAR[1:0]		0xC8
0x21	データ制御	BIN	BUSWIDTH[1:0]		DATWIDTH	CMPLX	LTNCY[2:0]		0x61	
0x22	DCO 周波数	予備	DCODIV[2:0]			ONES[3:0]			0x1F	
0x23	内部クロック位相調整	DSCPHZ[3:0]				SNCPHZ[3:0]				0x85
0x24	パラメータ更新	PARMNEW	予備							0x00
0x25	チャンネル 0 ゲイン	CHAN0GAIN[7:0]								0x80
0x26	チャンネル 1 ゲイン	CHAN1GAIN[7:0]								0x80

# AD9789

アドレス	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト	
0x27	チャンネル 2 ゲイン	CHAN2GAIN[7:0]								0x80	
0x28	チャンネル 3 ゲイン	CHAN3GAIN[7:0]								0x80	
0x29	スペクトル・ シユエピング	予備							SPEC_INV	0x00	
0x2F	ミュー遅延 制御 1	SEARCH_ TOL	SEARCH_ ERR	TRACK_ ERR	GUARDBAND[4:0]					0x0B	
0x30	ミュー制御デュー ティ・サイクル	デューティ・ サイクル補正 イネーブル	INC_DEC (工場)	MANUAL_ADJ[5:0] (工場テスト専用)					0x40		
0x31	クロック・ レシーバ 1	CLKN_CML[3:0]				予備				0xF0	
0x32	クロック・ レシーバ 2	CLK_DIS	予備	PSIGN	CLKP_CML[3:0]				NSIGN	0x3F	
0x33	ミュー遅延 制御 2	MU_CLKDIS	SLOPE	MODE[1:0]		MUSAMP	GAIN[1:0]		MU_EN	0x42	
0x34	予備	予備								0x00	
0x35	予備	予備								0xCA	
0x36	DAC バイアス	PDBIAS	予備					MSEL[1:0]		0x03	
0x37	予備	予備								0x00	
0x38	DAC デコーダ	予備						DAC デコーダ・ モード		0x00	
0x39	ミュー遅延 制御 3	MUDLY[0]	SEARCH_DIR[1:0]		MUPHZ[4:0]				0x40		
0x3A	ミュー遅延 制御 4	MUDLY[8:1]								0x00	
0x3B	予備	予備								0x00	
0x3C	フルスケール 電流 1	FSC[7:0]								0x00	
0x3D	フルスケール 電流 2	予備						FSC[9:8]		0x02	
0x3E	位相検出器制御	PHZ_PD	予備	CMP_BST	AUTO_ CAL	PHZ_DET_BIAS[3:0]			0x18		
0x3F	予備	予備								0x00	
0x40	BIST 制御	CLKSHDN	INPUTSEL	予備	BENABLE	BMODE[3:0]			0x00		
0x41	BIST ステータス	BDONE	BSTATUS[6:0]								0x00
0x42	BIST ゼロ詰め長  BIST ベクトル長	PADLEN[7:0]								0x00	
0x43		PADLEN[15:8]								0x00	
0x44		VECTLEN[7:0]								0x00	
0x45		VECTLEN[15:8]								0x00	
0x46		VECTLEN[23:16]								0x00	
0x47	BIST クロック 調整	BCLKDIV[3:0]				BCLKPHZ[3:0]				0x00	
0x48	符号 0 制御	S0ENABL	S0RDEN	S0PRNG	S0ZERO	S0NEG	S0FNLCH	S0SEL[1:0]		0x00	
0x49	符号 0 クロック 調整	S0CLKDIV[3:0]				S0CLKPHZ[3:0]				0x00	
0x4A	符号 1 制御	S1ENABL	S1RDEN	S1PRNG	S1ZERO	S1NEG	S1FNLCH	S1SEL[1:0]		0x00	
0x4B	符号 1 クロック 調整	S1CLKDIV[3:0]				S1CLKPHZ[3:0]				0x00	
0x4C	RegFn0Freq	最終レート/オフセット制御 0 [7:0]								0x00	
0x4D	RegFn1Freq	最終レート/オフセット制御 1 [7:0]								0x00	
0x50	BIST シグネチャ 0	SGN0[7:0]								0x00	
0x51		SGN0[15:8]								0x00	
0x52		SGN0[23:16]								0x00	
0x53	BIST シグネチャ 1	SGN1[7:0]								0x00	
0x54		SGN1[15:8]								0x00	
0x55		SGN1[23:16]								0x00	

## SPIレジスタの説明

表 12. SPI制御レジスタ (アドレス 0x00)

ビット	ビット名	説明
7	SDIO_DIR	このビットで、SDIO ピンを入力専用ピンまたは双方向入出力ピンとして設定します。いずれの場合も SPI 規格に準拠します。 0 = 入力専用。 1 = 双方向 (入出力)。
6	LSBFIRST	このビットで、SPI インターフェースを MSB ファーストまたは LSB ファーストのモードに設定します。いずれの場合も SPI 規格に準拠します。 0 = MSB ファースト。 1 = LSB ファースト。
5	RESET	このビットが 1 にセットされたとき、デバイスがリセットされます。デバイスがリセットされた後、このビットには次のサイクルで 0 が書き込まれます。 0 = リセットなし。 1 = ソフトウェア・リセット。
4	LNG_INST	このビットで、SPI をロング命令モードに設定します。有効な値は 1 のみです。
[3:0]		これらのビットは、ビット[7:4]をミラーします。ビット 3 はビット 4 を、ビット 2 はビット 5 を、ビット 1 はビット 6 を、ビット 0 はビット 7 を、それぞれミラーして設定します。

表 13. 飽和カウンタ・レジスタ (アドレス 0x01)

ビット	ビット名	説明
[7:0]	SATCNT[7:0]	この読出し専用レジスタは、飽和カウンタを読み出します。このレジスタでは、SUMSCALE ゲイン・ブロックの出力においてデータパスがオーバーレンジになり、デジタル的にクリップされたサンプル数が得られます。このカウンタをクリアするには、レジスタ 0x04 のビット 1 に 1 を書き込みます。

表 14. パリティ・カウンタ・レジスタ (アドレス 0x02)

ビット	ビット名	説明
[7:0]	PARCNT[7:0]	この読出し専用レジスタは、入力データのパリティ・エラー・カウンタを読み出します。このカウンタをクリアするには、レジスタ 0x04 のビット 7 に 1 を書き込みます。

表 15. 割込みイネーブル・レジスタ (アドレス 0x03)

ビット	名称	説明
7	PARERR	このビットに 1 を設定すると、PARERR フラグが割込み要求を生成できます。割込み要求を生成すると、レジスタ 0x04 の割込みビット 7 がセットされ、IRQ ピンがローレベルになります。
6	BISTDONE	このビットに 1 を設定すると、BISTDONE フラグが割込み要求を生成できます。割込み要求を生成すると、レジスタ 0x04 の割込みビット 6 がセットされ、IRQ ピンがローレベルになります。
5	PARMSET	このビットに 1 を設定すると、PARMS_SET フラグが割込み要求を生成できます。割込み要求を生成すると、レジスタ 0x04 の割込みビット 5 がセットされ、IRQ ピンがローレベルになります。
4	PARMCLR	このビットに 1 を設定すると、PARMS_CLR フラグが割込み要求を生成できます。割込み要求を生成すると、レジスタ 0x04 の割込みビット 4 がセットされ、IRQ ピンがローレベルになります。
3	LOCKACQ	このビットに 1 を設定すると、LOCKACQ フラグが割込み要求を生成できます。割込み要求を生成すると、レジスタ 0x04 の割込みビット 3 がセットされ、IRQ ピンがローレベルになります。
2	LOCKLOST	このビットに 1 を設定すると、LOCKLOST フラグが割込み要求を生成できます。割込み要求を生成すると、レジスタ 0x04 の割込みビット 2 がセットされ、IRQ ピンがローレベルになります。
1	SATERR	このビットに 1 を設定すると、SATERR (16×インターポレータへのオーバーフロー) フラグが割込み要求を生成できます。割込み要求を生成すると、レジスタ 0x04 の割込みビット 1 がセットされ、IRQ ピンがローレベルになります。
0	予備	予備。

表 16. 割込みステータス/クリア・レジスタ (アドレス 0x04)

ビット	名称	説明
7	PARERR	1つまたは複数のパリティ・エラーが発生した場合、このビットが1にセットされます。このビットに1を書き込むと、割込みがクリアされます。
6	BISTDONE	BISTが最終状態に到達した場合、このビットが1にセットされます。このビットに1を書き込むと、割込みがクリアされます。
5	PARMSET	パラメータ更新レジスタ (アドレス 0x24) が更新された場合、このビットが1にセットされます。このビットに1を書き込むと、割込みがクリアされます。
4	PARMCLR	パラメータ更新レジスタ (アドレス 0x24) がクリアされた場合、このビットが1にセットされます。このビットに1を書き込むと、割込みがクリアされます。
3	LOCKACQ	デジタル・エンジンと DAC コアの間で適切なデータ受け渡しが行われている場合、このビットが1にセットされます。
2	LOCKLOST	デジタル・エンジンと DAC コアの間で適切なデータ受け渡しが失われた場合、このビットが1にセットされます。このビットに1を書き込むと、割込みがクリアされます。
1	SATERR	1つまたは複数の飽和エラー (16×インターポレータへのオーバーフロー) が発生した場合、このビットが1にセットされます。このビットに1を書き込むと、割込みがクリアされます。
0	予備	予備。

表 17. チャンネル・イネーブル・レジスタ (アドレス 0x05)

ビット	ビット名	説明
[7:4]	予備	予備。
[3:0]	CHANEN[3:0]	どのビット位置のロジック「1」でも、対応するチャンネルがイネーブルになります。0000 は全チャンネルがディスエーブルにされることを意味します。
	設定	イネーブルにされるチャンネル
	0000	全チャンネルがディスエーブル。
	0001	チャンネル 0 がイネーブル。
	0010	チャンネル 1 がイネーブル。
	0011	チャンネル 0 とチャンネル 1 がイネーブル。
	...	...
	1110	チャンネル 1、チャンネル 2、チャンネル 3 がイネーブル。
	1111	全チャンネルがイネーブル。

表 18. バイパス・レジスタ (アドレス 0x06)

ビット	ビット名	説明
7	QAM	このビットに1が設定された場合、QAM マッパーはバイパスされます。
6	SRRC	このビットに1が設定された場合、平方根レイズド・コサイン (SRRC) フィルタはバイパスされます。
5	予備	予備。
[4:0]	INT[4:0]	どのビット位置のロジック「1」でも、対応するインターポレーション・フィルタはバイパスされます。インターポレーション・フィルタをバイパスするための良好な手順としては、まずフィルタ 0 をバイパスし、次にフィルタ 1 をバイパスします (以降も同様)。
	設定	バイパスされるインターポレーション・フィルタ
	00000	全インターポレーション・フィルタがイネーブル。
	00001	インターポレーション・フィルタ 0 をバイパス。
	00010	インターポレーション・フィルタ 1 をバイパス。
	00011	インターポレーション・フィルタ 0 とインターポレーション・フィルタ 1 をバイパス。
	...	...
	01111	インターポレーション・フィルタ 0、インターポレーション・フィルタ 1、インターポレーション・フィルタ 2、インターポレーション・フィルタ 3 をバイパス。
	...	...
	11111	全インターポレーション・フィルタをバイパス。

表 19. QAM/SRRC 設定レジスタ (アドレス 0x07)

ビット	ビット名	説明	
[7:6]	予備	予備。	
[5:4]	ALPHA[1:0]	これらのビットは、SRRC フィルタのアルファ値を設定します。	
		設定	アルファ・フィルタ
		00	0.12
		01	0.18
		10	0.15
11	0.13		
3	予備	予備。	
[2:0]	MAPPING[2:0]	これらのビットは、QAM エンコーディングを設定します。	
		設定	QAM エンコーディング
		000	DOCSIS 64-QAM
		001	DOCSIS 256-QAM
		010	DVB 16-QAM
		011	DVB 32-QAM
		100	DVB 64-QAM
		101	DVB 128-QAM
		110	DVB 256-QAM
		111	未使用。

表 20. サミング・ノード・スケーリング・レジスタ (アドレス 0x08)

ビット	ビット名	説明	
[7:0]	SUMSCALE[7:0]	このレジスタは、チャンネル・サミング・ノードの出力に適用される 2.6 乗算器の値を設定します。	
		設定	2.6 乗算器
		00000000	0
		00000001	0.015625
		00000010	0.03125
		...	...
		00001101	0.203125 (デフォルト)
		...	...
		11111110	3.96875
		11111111	3.984375

表 21. 入カスケーリング・レジスタ (アドレス 0x09)

ビット	ビット名	説明	
[7:0]	INSCALE[7:0]	このレジスタは、入力データに適用される 3.5 乗算器の値を設定します。このスケーリング・ブロックは、QAM エンコーダ・ブロックと並列に置かれ、QAM エンコーダ・ブロックのバイパス時に使用されます。	
		設定	3.5 乗算器
		00000000	0
		00000001	0.03125
		00000010	0.0625
		...	...
		00100000	1 (デフォルト)
		...	...
		11111110	7.9375
		11111111	7.96875

# AD9789

3バイトのNCO 0周波数同調ワード・レジスタは、NCO 0用の24ビットの周波数同調ワードになります。これらのレジスタのプログラミングの詳細については、「ベースバンド・デジタル・アップコンバータ」の項を参照してください。

表 22. NCO 0 周波数同調ワード・レジスタ (アドレス 0x0A~0x0C)

アドレス	ビット名	説明
0x0A	FTW0[7:0]	NCO 0、ビット[7:0]の周波数同調ワード
0x0B	FTW0[15:8]	NCO 0、ビット[15:8]の周波数同調ワード
0x0C	FTW0[23:16]	NCO 0、ビット[23:16]の周波数同調ワード

3バイトのNCO 1周波数同調ワード・レジスタは、NCO 1用の24ビットの周波数同調ワードになります。これらのレジスタのプログラミングの詳細については、「ベースバンド・デジタル・アップコンバータ」の項を参照してください。

表 23. NCO 1 周波数同調ワード・レジスタ (アドレス 0x0D~0x0F)

アドレス	ビット名	説明
0x0D	FTW1[7:0]	NCO 1、ビット[7:0]の周波数同調ワード
0x0E	FTW1[15:8]	NCO 1、ビット[15:8]の周波数同調ワード
0x0F	FTW1[23:16]	NCO 1、ビット[23:16]の周波数同調ワード

3バイトのNCO 2周波数同調ワード・レジスタは、NCO 2用の24ビットの周波数同調ワードになります。これらのレジスタのプログラミングの詳細については、「ベースバンド・デジタル・アップコンバータ」の項を参照してください。

表 24. NCO 2 周波数同調ワード・レジスタ (アドレス 0x10~0x12)

アドレス	ビット名	説明
0x10	FTW2[7:0]	NCO 2、ビット[7:0]の周波数同調ワード
0x11	FTW2[15:8]	NCO 2、ビット[15:8]の周波数同調ワード
0x12	FTW2[23:16]	NCO 2、ビット[23:16]の周波数同調ワード

3バイトのNCO 3周波数同調ワード・レジスタは、NCO 3用の24ビットの周波数同調ワードになります。これらのレジスタのプログラミングの詳細については、「ベースバンド・デジタル・アップコンバータ」の項を参照してください。

表 25. NCO 3 周波数同調ワード・レジスタ (アドレス 0x13~0x15)

アドレス	ビット名	説明
0x13	FTW3[7:0]	NCO 3、ビット[7:0]の周波数同調ワード
0x14	FTW3[15:8]	NCO 3、ビット[15:8]の周波数同調ワード
0x15	FTW3[23:16]	NCO 3、ビット[23:16]の周波数同調ワード

3バイトのレート・コンバータ分母 (Q) レジスタは、レート・コンバータのデシメーション比を設定する24ビットの分母になります。これらのレジスタのプログラミングの詳細については、「サンプル・レート・コンバータ」の項を参照してください。

表 26. レート・コンバータ分母 (Q) レジスタ (アドレス 0x16~0x18)

アドレス	ビット名	説明
0x16	Q[7:0]	レート・コンバータ分母、ビット[7:0]
0x17	Q[15:8]	レート・コンバータ分母、ビット[15:8]
0x18	Q[23:16]	レート・コンバータ分母、ビット[23:16]

3バイトのレート・コンバータ分子 (P) レジスタは、レート・コンバータのデシメーション・レシオ比を設定する24ビットの分子になります。これらのレジスタのプログラミングの詳細については、「サンプル・レート・コンバータ」の項を参照してください。

表 27. レート・コンバータ分子 (P) レジスタ (アドレス 0x19~0x1B)

アドレス	ビット名	説明
0x19	P[7:0]	レート・コンバータ分子、ビット[7:0]
0x1A	P[15:8]	レート・コンバータ分子、ビット[15:8]
0x1B	P[23:16]	レート・コンバータ分子、ビット[23:16]

2 バイトの補間BPF中心周波数レジスタは、16 倍バンドパス・インターポレーション・フィルタの 16 ビットの中心周波数になります。これらのレジスタのプログラミングの詳細については、「デジタル 16 倍チューナブル・バンドパス・フィルタ」の項を参照してください。

表 28. 補間 BPF 中心周波数レジスタ (アドレス 0x1C とアドレス 0x1D)

アドレス	ビット名	説明
0x1C	FC[7:0]	中心周波数、ビット[7:0]
0x1D	FC[15:8]	中心周波数、ビット[15:8]

表 29. 周波数更新レジスタ (アドレス 0x1E)

ビット	Name	説明
7	FREQNEW	このビットを 1 にセットすると、AD9789 内の派生的なレジスタ群が更新されます。レジスタ 0x16~0x1D への変更を有効にするには、このビットをセットする必要があります。派生レジスタ群が更新された後、このビットはセルフクリアし、0 にリセットされます。
[6:0]	予備	予備。

表 30. ハードウェア・バージョン・レジスタ (アドレス 0x1F)

ビット	Name	説明
[7:4]	予備	予備。
[3:0]	VER[3:0]	この読み出し専用レジスタは、チップのバージョンを示します (0011)。

表 31. インターフェース設定レジスタ (アドレス 0x20)

ビット	ビット名	説明
7	CMOS_BUS	このビットは、CMOS_BUS ピン (L14) の状態を反映します。
6	CMOS_CTRL	このビットは、CMOS_CTRL ピン (M14) の状態を反映します。
5	予備	予備。
4	DCO_INV	1 を設定すると、DCO ピンは反転されます。
3	IF_MODE	このビットは、データ・インターフェース・モードを設定します。 0 = チャネライザ・モード。使用可能なすべてのインターフェース幅と 8 ビット/16 ビットのワード幅に対応します。 $f_{DAC}/48$ の最大 $f_{BAUD}$ に対応します。 1 = 直交デジタル・アップコンバータ (QDUC) モード。32 ビット・インターフェース、16 ビット・ワード・モードにのみ対応します。 $f_{DAC}/16$ の最大 $f_{BAUD}$ に対応します。
2	CHANPRI	このビットは、チャンネル優先順位値 (チャネライザ・モードでのみ使用) を選択します。 0 = デバイスは、イネーブルにされたチャンネルについてのみ入力サンプルがあるものとします。 1 = デバイスは 4 チャンネルすべてからのデータがあるものとします。ディスエーブルにされたチャンネルのデータも想定されるため、このデータを入力する必要があります。しかし AD9789 はこのデータは破棄します。
[1:0]	PAR[1:0]	これらのビットは、パリティ・チェックを設定します。詳細については、「パリティ」の項を参照してください。
	設定	パリティ・チェック
	00	パリティ・チェックは無効です
	01	IQ パリティ (I チャンネルでは値 0 が想定され、Q チャンネルでは値 1 が想定されます)
	10	偶数パリティ
	11	奇数パリティ

# AD9789

表 32. データ制御レジスタ (アドレス 0x21)

ビット	ビット名	説明										
7	BIN	このビットは、デバイスのコーディングを選択します。 0=2の補数コーディング。 1=ストレート・バイナリ・コーディング。										
[6:5]	BUSWIDTH[1:0]	これらのビットは、デバイスの入力データ・バス幅を設定します。										
		<table border="1"> <thead> <tr> <th>設定</th> <th>入力バス幅</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>4ビット</td> </tr> <tr> <td>01</td> <td>8ビット</td> </tr> <tr> <td>10</td> <td>16ビット</td> </tr> <tr> <td>11</td> <td>32ビット</td> </tr> </tbody> </table>	設定	入力バス幅	00	4ビット	01	8ビット	10	16ビット	11	32ビット
設定	入力バス幅											
00	4ビット											
01	8ビット											
10	16ビット											
11	32ビット											
4	DATWIDTH	このビットは、データバスに送信されるデータワード幅を設定します。 0=8ビット・データワード。 1=16ビット・データワード。										
3	CMPLX	このビットは、実数または複素数データのデータバスを設定します。 0=実数データ。 1=複素数データ。										
[2:0]	LTNCY[2:0]	これらのビットは、FSパルスから内部データ・サンプリング時間までのターンアラウンド遅延を設定します。詳細については、「遅延レジスタ」の項を参照してください。										
		<table border="1"> <thead> <tr> <th>設定</th> <th>遅延</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>入力データのサンプリングは、FSがローレベルになった後のDCOの最初の立上がりエッジの前後で始まります。</td> </tr> <tr> <td>001</td> <td>入力データのサンプリングは、FSがローレベルになった後のDCOの2番目の立上がりエッジの前後で始まります。</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111</td> <td>入力データのサンプリングは、FSがローレベルになった後のDCOの8番目の立上がりエッジの前後で始まります。</td> </tr> </tbody> </table>	設定	遅延	000	入力データのサンプリングは、FSがローレベルになった後のDCOの最初の立上がりエッジの前後で始まります。	001	入力データのサンプリングは、FSがローレベルになった後のDCOの2番目の立上がりエッジの前後で始まります。	...	...	111	入力データのサンプリングは、FSがローレベルになった後のDCOの8番目の立上がりエッジの前後で始まります。
設定	遅延											
000	入力データのサンプリングは、FSがローレベルになった後のDCOの最初の立上がりエッジの前後で始まります。											
001	入力データのサンプリングは、FSがローレベルになった後のDCOの2番目の立上がりエッジの前後で始まります。											
...	...											
111	入力データのサンプリングは、FSがローレベルになった後のDCOの8番目の立上がりエッジの前後で始まります。											

表 33. DCO 周波数レジスタ (アドレス 0x22)

ビット	ビット名	説明																
7	予備	予備。																
[6:4]	DCODIV[2:0]	これらのビットは、データ・クロック出力 (DCO) 周波数を設定します。																
		<table border="1"> <thead> <tr> <th>設定</th> <th>DCO クロック周波数</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>DCO クロックがデイスエーブル</td> </tr> <tr> <td>001</td> <td><math>f_{\text{DACCLK}}/16</math></td> </tr> <tr> <td>010</td> <td><math>f_{\text{DACCLK}}/32</math></td> </tr> <tr> <td>011</td> <td>無効</td> </tr> <tr> <td>100</td> <td><math>f_{\text{DACCLK}}/64</math></td> </tr> <tr> <td>101</td> <td>無効</td> </tr> <tr> <td>11x</td> <td>無効</td> </tr> </tbody> </table>	設定	DCO クロック周波数	000	DCO クロックがデイスエーブル	001	$f_{\text{DACCLK}}/16$	010	$f_{\text{DACCLK}}/32$	011	無効	100	$f_{\text{DACCLK}}/64$	101	無効	11x	無効
設定	DCO クロック周波数																	
000	DCO クロックがデイスエーブル																	
001	$f_{\text{DACCLK}}/16$																	
010	$f_{\text{DACCLK}}/32$																	
011	無効																	
100	$f_{\text{DACCLK}}/64$																	
101	無効																	
11x	無効																	
[3:0]	ONES[3:0]	これらのビットは、常に 1111 として読み出されます。																

表 34. 内部クロック位相調整レジスタ (アドレス 0x23)

ビット	ビット名	説明	
[7:4]	DSCPHZ[3:0]	データ・サンプリング・クロック (DSC) は、入力データのサンプリングに用いられる内部クロックです。このクロックを 16 ある位相のうちの 1 つに合わせることで、データ・インターフェースのセットアップとホールドのタイミングを最適化することができます。	
		設定	選択される位相
		0000	最も進んだクロック位相
		0001	DSC の 1/16 サイクル後に発生する 2 番目に進んだクロック位相
	...	...	
	1111	使用可能な最後のクロック位相	
[3:0]	SNCPHZ[3:0]	同期クロック (SNC) は、デジタル・データバス・クロックと DAC クロックの同期をとるために用いられる内部クロックです。このクロックを 16 ある位相のうちの 1 つに合わせることで、DAC とデータバスとのタイミングを最適化することができます。	
		設定	選択される位相
		0000	最も進んだクロック位相
		0001	DSC の 1/16 サイクル後に発生する 2 番目に進んだクロック位相
	...	...	
	1111	使用可能な最後のクロック位相	

表 35. パラメータ更新レジスタ (アドレス 0x24)

ビット	名称	説明
7	PARMNEW	レジスタ 0x22 とレジスタ 0x23 への変更を有効にするには、このビットを 0 から 1 に遷移させる必要があります。このビットは事前に 0 に設定されていた場合、このビットに 1 を書き込むことによって、チップ状態がビットのリードバック値に反映されます。(チップ状態はきわめて短時間で更新されるため、低速な SPI 環境では、更新後に 0 を読み出すことができません)。 0 = 値は更新されていません。 1 = 値は更新されました。
[6:0]	予備	予備。

表 36. チャンネル・ゲイン・レジスタ (アドレス 0x25~0x28)

アドレス	レジスタ名	ビット名	説明
0x25	チャンネル 0 ゲイン	CHAN0GAIN[7:0]	これらのレジスタは、SUMSCALE ブロック前段にある、個々のチャンネルに適用される 1.7 乗算器の値を設定します。チャンネル・ゲインのレンジは 0~1.9921875 であり、ステップ・サイズは 0.0078125 です。個々のチャンネルをミュートするには、スケール係数に 0 を設定します。
0x26	チャンネル 1 ゲイン	CHAN1GAIN[7:0]	
0x27	チャンネル 2 ゲイン	CHAN2GAIN[7:0]	
0x28	チャンネル 3 ゲイン	CHAN3GAIN[7:0]	
		設定	チャンネル・ゲイン
		00000000	0
		00000001	0.0078125
		...	...
		11111111	1.9921875

表 37. スペクトル・シェーピング・レジスタ (アドレス 0x29)

ビット	Name	説明
[7:1]	予備	予備。
0	SPEC_INV	このビットに 1 を設定すると、信号のスペクトル反転が行われ、Q データが実質的に -1 倍にできます。

# AD9789

表 38. ミュー遅延制御 1 レジスタ (アドレス 0x2F)

ビット	ビット名	説明												
7	SEARCH_TOL	このビットは位相検索の精度を指定します。このビットの最適値は1です。 0 = 低い正確度：所望位相として設定した2つの値の範囲内の位相を検出します。 1 = 高い正確度：設定した値の正確な位相を検出します。												
6	SEARCH_ERR	このビットは、エラーが検出された場合の検索動作を設定します。 0 = エラーで停止。 1 = エラーで再試行。												
5	TRACK_ERR	このビットは、コントローラが所望の位相を検出しない場合のトラッキング動作を設定します。このビットの最適値は0です。 0 = エラーで続行。 1 = エラーでリセット。												
[4:0]	GUARDBAND[4:0]	これらのビットはガード・バンド値を設定します。ガード・バンドは次のように定義されます。 GUARDBAND[4:0] × 8 = 終了点からのガード・バンドのミュー遅延コードの数 検索モードが「上下交互」である場合、ガード・バンドの上下のいずれかのポイントに到達するまで、検索はそれぞれの方向に進められます。ガード・バンドに到達すると、検索は反対方向に向かって続行します。2回目の方向で、反対側のガード・バンドに到達するまでに、所望の位相が見つからない場合、検索は交互モードに戻り、ガード・バンド内での検索が続行されます。ミュー遅延値が終了点に到達した場合、検索は失敗とみなされます。詳細については、「ミュー遅延コントローラ」の項を参照してください。												
		<table border="1"> <thead> <tr> <th>設定</th> <th>ガード・バンド</th> </tr> </thead> <tbody> <tr> <td>00000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>01011</td> <td>11 (デフォルト)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>11111</td> <td>31</td> </tr> </tbody> </table>	設定	ガード・バンド	00000	0	...	...	01011	11 (デフォルト)	...	...	11111	31
設定	ガード・バンド													
00000	0													
...	...													
01011	11 (デフォルト)													
...	...													
11111	31													

表 39. ミュー制御デューティ・サイクル・レジスタ (アドレス 0x30)

ビット	ビット名	説明
7	デューティ・サイクル補正イネーブル	このビットに1を設定すると、ミュー制御デューティ・サイクル補正回路がオンされます。この機能をオンしてから、ミュー・コントローラを有効にします。位相コンパレータ・ブースト (レジスタ 0x3E[5]で有効) とともに、この機能によって、ミュー・コントローラはデバイスの動作速度全域で、より安定した動作が可能になります。
6	INC_DEC	予備 (工場使用専用)。
[5:0]	MANUAL_ADJ[5:0]	予備 (工場使用専用)。

表 40. クロック・レシーバ1 レジスタ (アドレス 0x31)

ビット	ビット名	説明
[7:4]	CLKN_CML[3:0]	これらのビットは、CLKN ピンでのコモンモード・レベルを調整します。これらのビットと CLKP_CML[3:0] ビットに対する推奨値は 0xF です。詳細については、「クロック信号同相電圧の最適化」の項を参照してください。
[3:0]	予備	予備。

表 41. クロック・レシーバ2 レジスタ (アドレス 0x32)

ビット	ビット名	説明
7	CLK_DIS	このビットはクロック・レシーバを有効/無効にします。クロックなしの状態でのパワーアップ時に発生する大きな出力ノイズを防止するため、このビットには AD9789 のパワーアップ時に 0 が設定されます。DAC クロックが安定したら、このビットに 1 を設定します。 0 = 無効。 1 = 有効。
6	予備	予備 (工場使用専用、デフォルト値のままにしておく)。
5	PSIGN	このビットは CLKP_CML ビットの符号を指定します。 0 = 負 (推奨)。 1 = 正。
[4:1]	CLKP_CML[3:0]	これらのビットは、CLKP ピンでのコモンモード・レベルを調整します。これらのビットと CLKN_CML[3:0] ビットに対する推奨値は 0xF です。詳細については、「クロック信号同相電圧の最適化」の項を参照してください。
0	NSIGN	このビットは CLKN_CML ビットの符号を指定します。 0 = 負 (推奨)。 1 = 正。

表 42. ミュー遅延制御 2 レジスタ (アドレス 0x33)

ビット	ビット名	説明
7	MU_CLKDIS	このビットは、ミュー遅延コントローラへのクロックを有効/無効にします。 0 = 有効。 1 = 無効。
6	SLOPE	このビットは、ミュー遅延の位相測定用に所望のスロープを設定します。所望の位相が測定されると、位相測定のスロープが計算され、このビットの値と比較されます。最適な AC 性能が得られるように検索させる最善の設定は、正のスロープと位相値 14 です。 0 = 負。 1 = 正。
[5:4]	MODE[1:0]	これらのビットは、ミュー・コントローラの動作モードを設定します。 00 = 検索とトラッキング (推奨)。 01 = トラッキングのみ。 10 = 検索のみ。 11 = 無効。
3	MUSAMP	このビットを 0 から 1 に遷移させると、ユーザは、コントローラがロックしたミュー遅延値 (レジスタ 0x39 とレジスタ 0x3A の MUDLY ビット) と位相 (レジスタ 0x39 の MUPHZ ビット) をリードバックできます。 0 = アクションなし。 1 = 0 から 1 への遷移によって、ミュー・コントローラの位相と遅延のリードバックをキャプチャします。
[2:1]	GAIN[1:0]	これらのビットは、ミュー・コントローラのトラッキング・レートを設定します。 00 = 最も遅いトラッキング。 01 = 公称トラッキング (推奨)。 10 = 最速のトラッキング。 11 = 無効 (使用しません)。
0	MU_EN	このビットはミュー・コントローラを有効/無効にします。ミュー・コントローラを有効にする前に、位相コンパレータ・ブースト (レジスタ 0x3E[5]) と、ミュー制御デューティ・サイクル補正回路 (レジスタ 0x30[7]) をターンオンします。この 2 つの機能によって、ミュー・コントローラはデバイスの動作速度全域で、より安定した動作が可能になります。 0 = ミュー・コントローラはオフ (手動モード)。 1 = ミュー・コントローラはオン (自動モード)。

表 43. DAC バイアス・レジスタ (アドレス 0x36)

ビット	ビット名	説明
7	PDBIAS	このビットに 1 を設定すると、DAC 回路がパワーダウンされます。
[6:2]	予備	予備。
[1:0]	MSEL[1:0]	これらのビットは、ミラーのロールオフ周波数制御を設定するため、内部の電流ミラーから発生するノイズを調整して 1/f ノイズの最適化に使用できます。 00 = ミラーのロールオフ周波数制御をバイパス。 01 = 最も狭い帯域幅。 10 = 中間的な帯域幅。 11 = 最も広い帯域幅。

表 44. DAC デコーダ・レジスタ (アドレス 0x38)

ビット	ビット名	説明
[7:2]	予備	予備。
[1:0]	DAC デコーダ・モード	これらのビットは、DAC のデコーダ・モードを設定します。ノーマル・モード (デフォルト) の使用を推奨します。 00 = ノーマル・モード。 01 = ゼロ・リターン (RZ) モード。 10 = ミックス・モード。 11 = 無効。

# AD9789

表 45. ミュー遅延制御 3 レジスタ (アドレス 0x39)

ビット	ビット名	説明
7	MUDLY[0]	このビットはミュー遅延値の LSB です。レジスタ 0x3A のビット[7:0]とともに、このビットで、ミュー遅延をプログラム設定できます。検索アルゴリズムは、この指定されたミュー遅延値から始まります。手動モードでは、MUDLY ビットに書き込むことができます。トラッキング・モードでは、サンプリングされた MUDLY 値をリードバックできます。この遅延値は 9 ビットの分解能がありますが、最大許容ミュー遅延は 431 (0x1AF) です。最適な検索の開始点はこの遅延値の中央、つまり約 216 (0xD8) です。
[6:5]	SEARCH_DIR[1:0]	これらのビットは、選択されたミュー遅延値から始まる検索方向を設定します。 00 = 下方向検索。 01 = 上方向検索。 10 = 上下方向検索 (最適)。 11 = 無効。
[4:0]	MUPHZ[4:0]	これらのビットは、最大許容位相を 16(10000)として、測定される位相を指定します。16 より大きな値がロードされた場合、コントローラはロックしません。所望の位相が測定されると、この位相測定でのスロープが計算され、レジスタ 0x33[6]の SLOPE ビットで指定されたスロープと比較されます。最適な AC 性能が得られるように検索させる最善の設定は、正のスロープと位相値 14 (01110) です。

表 46. ミュー遅延制御 4 レジスタ (アドレス 0x3A)

ビット	ビット名	説明
[7:0]	MUDLY[8:1]	レジスタ 0x39 のビット 7 とともに、これらのビットで、ミュー遅延をプログラム設定できます。検索アルゴリズムは、この指定されたミュー遅延値から始まります。手動モードでは、MUDLY ビットに書き込むことができます。トラッキング・モードでは、サンプリングされた MUDLY 値をリードバックできます。この遅延値は 9 ビットの分解能がありますが、最大許容ミュー遅延は 431 (0x1AF) です。最適な検索の開始点はこの遅延値の中央、つまり約 216 (0xD8) です。

表 47. フルスケール電流 1 レジスタ (アドレス 0x3C)

ビット	ビット名	説明	
[7:0]	FSC[7:0]	レジスタ 0x3D のビット[1:0]とともに、このレジスタで、DAC のフルスケール電流を設定します。詳細については、「電圧リファレンス」の項を参照してください。	
		設定 (レジスタ 0x3D[1:0]を含む)	
		フルスケール電流 (mA)	
		000000000	8.6
		...	...
		100000000	20 (デフォルト)
		...	...
		101101000	25
		...	...
		111111111	32.1

表 48. フルスケール電流 2 レジスタ (アドレス 0x3D)

ビット	ビット名	説明
[7:2]	予備	予備。
[1:0]	FSC[9:8]	レジスタ 0x3C の FSC[7:0] ビットとともに、これらのビットで、DAC のフルスケール電流を設定します。詳細については、表 47 と「電圧リファレンス」の項を参照してください。

表 49. 位相検出器制御レジスタ (アドレス 0x3E)

ビット	ビット名	説明
7	PHZ_PD	位相検出器をパワーダウンします。このビットは工場使用専用です。このビットは 0 に設定してください。
6	予備	予備。
5	CMP_BST	コンパレータ・ブースト。このビットは工場使用専用です。このビットは常に 1 に設定してください。
4	AUTO_CAL	このビットは工場使用専用です。このビットは常に 1 に設定してください。
[3:0]	PHZ_DET_BIAS[3:0]	これらのビットは、バイナリで重みづけされた電流量を表示します。これらのビットには書き込まないでください (工場使用専用)。

## 動作原理

AD9789は、2400 MSPSの高性能な14ビットDACが組み合わされた柔軟性の高いデジタル・シグナル・プロセッシング (DSP) エンジンです (図 70)。DSPブロックにはQAMエンコーダ、2倍アップサンプリングの平方根レイズド・コサイン (SRRC) フィルタ、16~512 倍の範囲で選択可能なインターポレータ、レート・コンバータ、複素 (IQ) 変調器が内蔵されています。デジタル・インターフェースは、最大4チャンネルの複素数 (IQ) データを受けられます。QAMエンコーダは16、32、64、128、256のコンスタレーション数に対応します。また内蔵のレート・コンバータにより、固定のDACサンプリング・クロックでも、柔軟性の高いボーレートが実現できます。デジタル・アップコンバータでは、入力信号をDC~0.5 × f<sub>DAC</sub>の範囲に変換できます。アナログ・ミックス・モードでは、出力スペクトルを2次と3次ナイキスト領域で増大可能です。

AD9789 の機能はシリアル・ペリフェラル・インターフェース (SPI) を介して制御します。

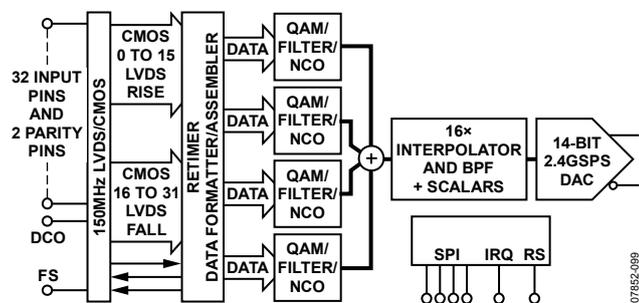


図 70. トップレベルの機能ブロック図

## データパス信号処理

AD9789に内蔵されているDSPブロックは、2つのセクションに分けられます。1つめはデータパス信号処理です。4つの同一のデータパス (チャンネル) を使用できます。1チャンネルぶんのブロック図を図 71に示します。データパス内の各DSPブロックの有効/無効設定は、すべてのチャンネルで共通です。各チャンネルのスケールと周波数配置は個別に制御できます。

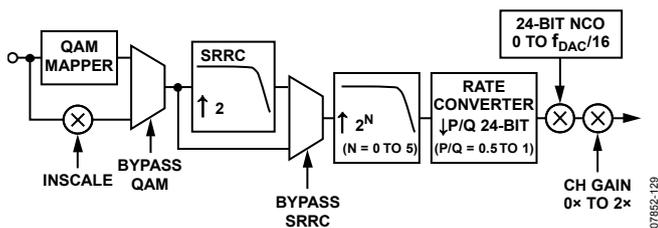


図 71. データパスのブロック図

以下のセクションでは、データパスに組み込まれた各 DSP ブロックについて説明します。

## QAMエンコーダ

QAMエンコーダは、標準規格に準拠した7種類のマッピングに対応しています。(対応するマッピングについては、「QAMコンスタレーション・マップ」の項を参照してください)。QAMエンコーダは、8ビット幅の入力データを受け取り、16、32、64、128、256ポイントのコンスタレーションにマッピングします。これにより、5ビット複素数のQAM変調された値を出力します。QAMエンコーダの動作モードは、QAM/SRRC設定レジスタ (レジスタ 0x07[2:0]) を介して設定します。

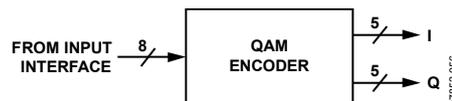


図 72. QAM エンコーダの I/O

表 50に、使用可能なQAMマッパー・モードとともに、対応する入力ビットと出力レンジを示します。DOCSIS 64-QAMモードに設定されたQAMエンコーダの動作については、このセクションで説明します。他のモードでのQAMエンコーダの動作も概念的には同じです。異なるのは、入力データのビット・エンコーディングとスケール係数だけです。

DOCSIS 64-QAMコンスタレーションを図 73に示します。このコンスタレーションは、QAMエンコーダ入力にQAMコンスタレーションにどうマッピングされるかを示しています。たとえば111111という入力データワードは、64-QAMコンスタレーションの右上隅のコンスタレーション・ポイントにマッピングされます。

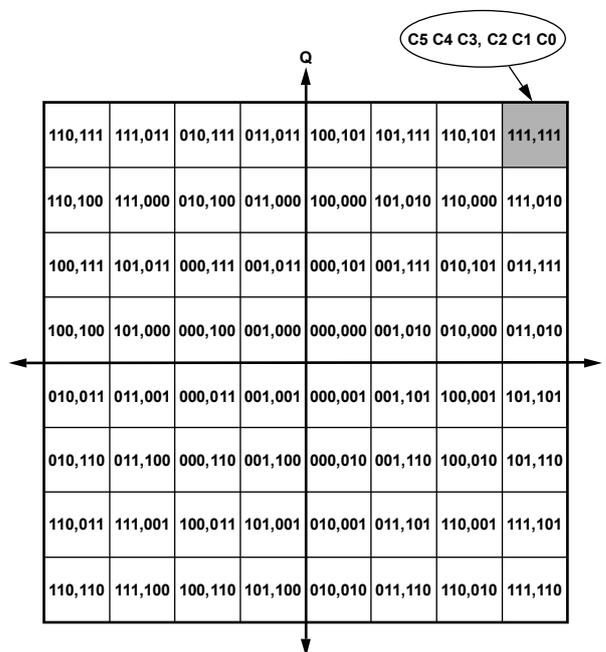


図 73. DOCSIS 64-QAM コンスタレーション

表 50. QAM マッパーの入出力レンジ 対 モード

ITU-T J.83 Annex	Description	SPI Register 0x07, MAPPING[2:0] Bits	Bit Range at Output	Input Bits B7 B6 B5 B4 B3 B2 B1 B0 <sup>1</sup>
B	DOCSIS 64-QAM	000	-14 to +14	X X C5 C4 C3 C2 C1 C0
B	DOCSIS 256-QAM	001	-15 to +15	C7 C6 C5 C4 C3 C2 C1 C0
A	DVB 16-QAM	010	-15 to +15	X X X X C3 C2 C1 C0
A	DVB 32-QAM	011	-15 to +15	X X X C4 C3 C2 C1 C0
A and C	DVB 64-QAM	100	-14 to +14	X X C5 C4 C3 C2 C1 C0
A and C	DVB 128-QAM	101	-11 to +11	X C6 C5 C4 C3 C2 C1 C0
A and C	DVB 256-QAM	110	-15 to +15	C7 C6 C5 C4 C3 C2 C1 C0
	Unused	111		

<sup>1</sup> X = ドント・ケア。

各コンスタレーション・ポイントは、図 74に示すように、IとQの座標に対応します。この図では、64-QAMコンスタレーションのうちI=14、Q=14（ペア1）とI=6、Q=-10（ペア2）という2つのシンボル位置が強調表示されています。

IおよびQの座標ポイント（5ビット）を示すために、2の補数を使用しています。たとえば QAM エンコーダへの 011101 という入力は、QAM-64 コンスタレーションの I=6、Q=-10 という位置にマッピングされ、I = 00110、Q = 10110 という出力が得られます。

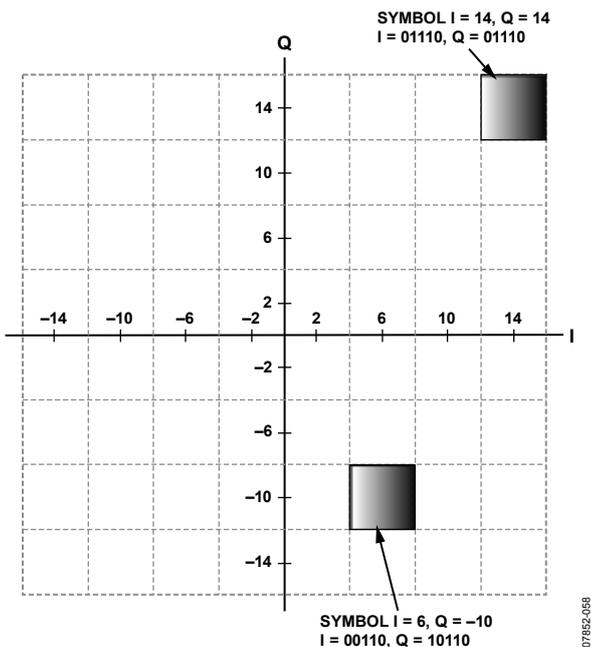


図 74. I と Q のシンボル・マッピング

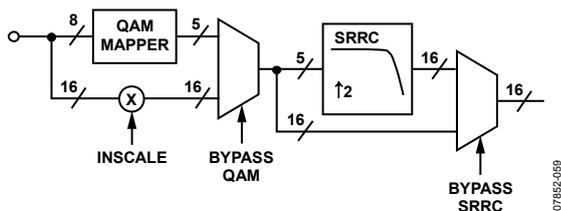


図 75. QAM マッパーと SRRC フィルタの詳細 (I と Q のパスは同一のため、一方だけを示しています)

## 入力スケーリング

入力スケーリング・ブロックは、QAM マッパーがバイパスされたときのみ有効です。INSCALE[7:0]の値はレジスタ 0x09[7:0]で設定します。入力データに適用されるスケーリング係数は、次のように計算されます。

$$ScaleFactor = \frac{INSCALE[7:0]}{32}$$

この係数により、入力データは 0 から 7.96875 の範囲で 0.03125 ずつスケーリングできます。デフォルト値 0x20 では、スケーリング係数が 1 になります。図 76に示すように、入力スケーリング・ブロックの出力は、最も近い 16 ビット値に丸められます。出力が最大または最小値を超えた場合は、正側または負側のフルスケール (0x7FFFまたは 0x8000) でクリップされます。

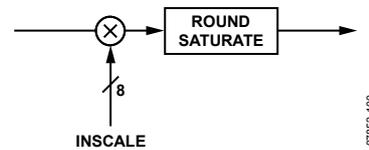


図 76. 入力スケーリング・ブロック

## SRRC フィルタ

平方根レイズド・コサイン (SRRC) フィルタは、入力データに対して 2 倍のインターポレーションとフィルタリングを行います。SRRC フィルタは DOCSIS、Euro-DOCSIS、DVB の各規格に従って、パスバンド、遷移域、ストップバンドの各条件を備えています。

すべての規格をカバーするため、 $\alpha$  は 0.12、0.13、0.15、0.18 のいずれにも設定できます。この値はレジスタ 0x07[5:4]で設定できます。周波数 ( $f_N$ ) は、入力データのボーレートで決定します。SRRC フィルタの特性を図 77に示します。

SRRC フィルタはその入力で 5 ビットだけが用いられます。またこのフィルタをバイパスすることもできます (レジスタ 0x06[6])。SRRC フィルタがデータパス内で最初に有効にしたブロックである場合、これらの 5 ビットは、8 ビット・ワードの上位 5 ビットになります。

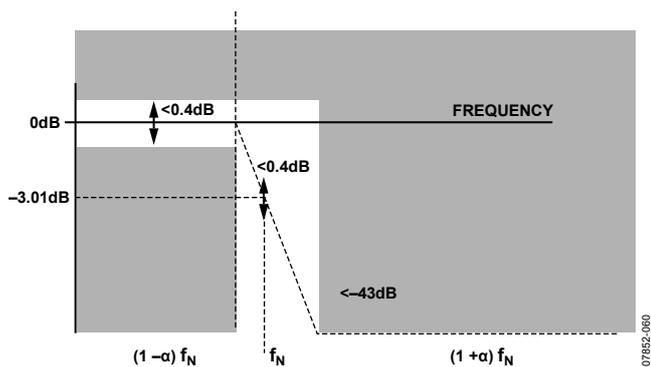


図 77. SRRC フィルタの特性

SRRCフィルタが使用された場合、少なくとも4個の2倍インターポレーション・フィルタを有効にする必要があります。SRRCフィルタが正しく機能するためには、サンプル当たり $f_{DAC}/16$ のレートで最低12クロック・サイクルが必要なためです。

### ハーフバンド・インターポレーション・フィルタ

AD9789は、バイパス可能な5つのハーフバンド・インターポレーション・フィルタのデータパスを経由して、1~32倍のインターポレーションが実現できます。ハーフバンド・インターポレーション・フィルタは、レジスタ0x06[4:0]で制御します。消費電力低減の観点から、これらのフィルタをバイパスするための良好な手順としては、まずフィルタ0をバイパスし、次にフィルタ1をバイパスします（以降も同様）。ローパス・フィルタの周波数応答を図79~図82に示します。すべてのフィルタは $0.8 \times f_{INPUT}$ のパスバンドを持っています。ここで $f_{INPUT}$ は各フィルタの入力でのデータレートです。すべてのフィルタでのパスバンド平坦性は0.01 dB以内です。ストップバンド減衰量はフィルタ0、フィルタ1、フィルタ2では85 dBを上回り、フィルタ3とフィルタ4では75 dBを上回っています。

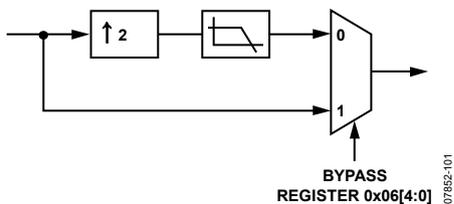


図 78. 2倍ハーフバンド・インターポレーション・フィルタの概念ブロック図

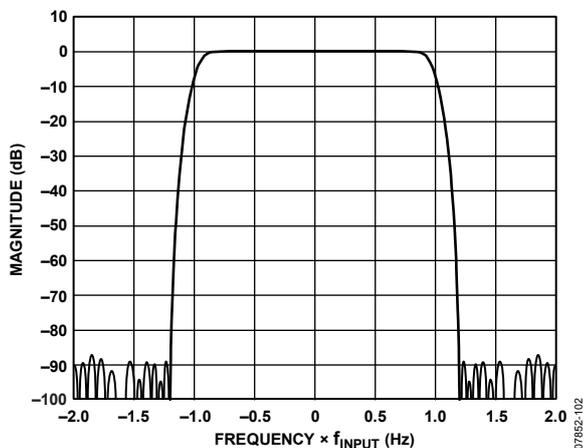


図 79. 2倍ハーフバンド・インターポレーション・フィルタ0の応答

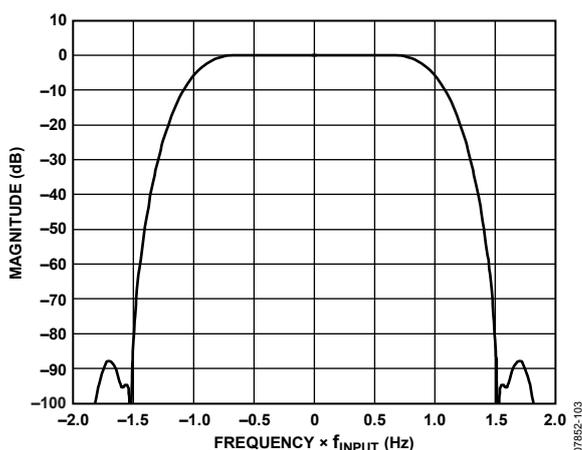


図 80. 2倍ハーフバンド・インターポレーション・フィルタ1の応答

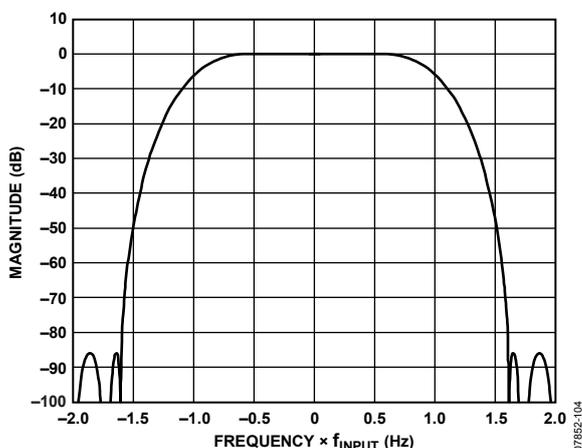


図 81. 2倍ハーフバンド・インターポレーション・フィルタ2の応答

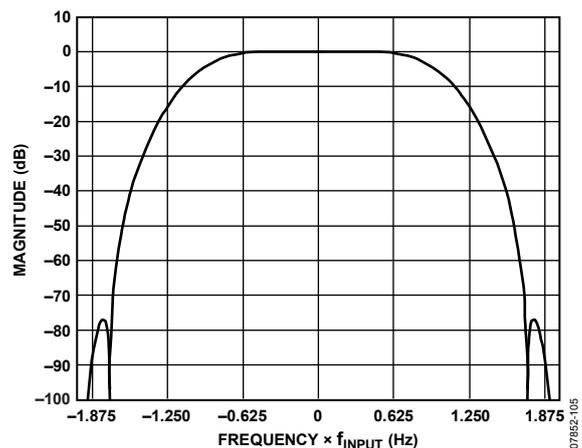


図 82. 2倍ハーフバンド・インターポレーション・フィルタ3と4の応答

## サンプル・レート・コンバータ

サンプル・レート・コンバータ (SRC) により、入力ボーレートとDAC更新レートの比関係に柔軟性を持たせることができます。4チャンネルのデータパスには、それぞれ0.5~1.0のレンジでデータレートを変換できるSRCが内蔵されています。レート変換係数は2つの24ビット値 (PとQ) の比で設定できます。図83はSRCの概念的なブロック図で、インターポレーション・ブロックの後に、フィルタ・ブロックとデシメーション・ブロックが接続されているものとみなすことができます。

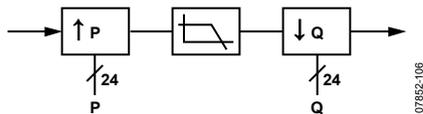


図83. サンプル・レート・コンバータの概念ブロック図

PとQの値は、アドレス0x16~0x1BにあるレジスタP[23:0]とQ[23:0]によって設定します。

表51. サンプル・レート・コンバータのレジスタ位置

Bits	Numerator (P)	Denominator (Q)
[23:16] (Byte 2)	Register 0x1B	Register 0x18
[15:8] (Byte 1)	Register 0x1A	Register 0x17
[7:0] (Byte 0)	Register 0x19	Register 0x16

PとQの値は、所望のボーレート ( $f_{\text{BAUD}}$ ) とDACクロック周波数 ( $f_{\text{DAC}}$ ) に対して、次の式を満たすように選択します。

$$f_{\text{DAC}} = I \times \frac{P}{Q} \times 16 \times f_{\text{BAUD}} \quad (1)$$

ここでIは、SRRCフィルタと5つのハーフバンド・インターポレーション・フィルタの合計のインターポレーション比率です。

式1が正しく満たされた場合、ボーレート ( $f_{\text{BAUD}}$ ) はズレなく正しく維持されます。このレート変換プロセスによって、残留周波数オフセット誤差が生じることはありません。

PとQの値は、次の制約条件のもとで選択する必要があります。

$$0.5 \leq \frac{P}{Q} \leq 1.0 \quad (2)$$

$$Q[23] = 1 \quad (3)$$

式3は、QのMSBが1にセットされるように、Qの値をシフトする必要があることを示します。

ほとんどのシステムでは、ボーレートは既定値です。そのため信号帯域幅と出力周波数の条件に対応できる、充分高い周波数のDACサンプル・レートを選択します。多くの場合、DACクロック・レートをシステム・クロック・レートの倍数に設定することが推奨されます。次の例で、このようなシステムでのPとQの選択方法を示します。

## 選択と設定の例

DOCSISアプリケーションでは、周波数  $f_{\text{MASTER}}$  で動作するマスター・クロックがあります。複数のチャンネル・ボーレートに対応でき、そのいずれもマスター・クロックの分数である必要があり、次の式によって示されます。

$$f_{\text{BAUD}} = \frac{M}{N} \times f_{\text{MASTER}} \quad (4)$$

$f_{\text{BAUD}}$ の値を正確に維持するには、式1を満足する必要があります。これを実現するため、DACサンプリング周波数には、信号帯域幅と出力周波数の条件を満足する、 $f_{\text{MASTER}}$ の倍数を選択します。 $f_{\text{MASTER}} = 10.24 \text{ MHz}$ 、信号帯域幅条件が32 MHz以上、対応する出力周波数帯域が最大1 GHzの場合、次のようにDACサンプリング周波数を選択できます。

$$f_{\text{DAC}} = 224 \times f_{\text{MASTER}} = 2293.76 \text{ MHz} \quad (5)$$

式4と式5を式1に代入すると、式6が得られます。

$$224 \times f_{\text{MASTER}} = I \times \frac{P}{Q} \times 16 \times \frac{M}{N} \times f_{\text{MASTER}} \quad (6)$$

SRRCフィルタと4つのハーフバンド・インターポレーション・フィルタを有効にすると、合計補間係数Iは32になります。Iに32を代入して式6を簡単にすると、式7が得られます。

$$\frac{P}{Q} = \frac{N}{M} \times \frac{7}{16} \quad (7)$$

NとMは、必要なボーレートによって決まることを思い出してください。たとえばM=401とN=812から得られる5.0569 MHzのボーレートを想定してみます。

$$f_{\text{BAUD}} = \frac{401}{812} \times 10.24 \text{ MHz} = 5.0569 \text{ MHz} \quad (8)$$

PとQは、式9の分子と分母から計算できます。

$$\frac{P}{Q} = \frac{812}{401} \times \frac{7}{16} = \frac{5684}{6416} = \frac{0x1634}{0x1910} \quad (9)$$

Qの値はMSB側に詰める必要があるため、両方の数値を11ビットぶんシフトすると、最終的なPとQの値は、それぞれ0xB1A000と0xC80000になります。

## ベースバンド・デジタル・アップコンバータ

デジタル・アップコンバータにより、各ベースバンド・チャンネルはDC~ $f_{\text{DAC}}/16$ のどこにでも配置できます。4つのチャンネルの中心周波数はそれぞれ、24ビットの周波数同調ワード (FTW0~FTW3) を介してレジスタで設定できます。個々のチャンネルで所望の中心周波数を得るには、FTWを次のように計算します。

$$FTW = \frac{f_{\text{CENTER}}}{\left(\frac{f_{\text{DAC}}}{16}\right)} \times (2^{24} - 1)$$

チャンネルごとに計算したFTWは、表 52に示すレジスタ位置に書き込んでください。

表 52. チャンネルごとの FTW のレジスタ位置

FTW	Channel 0	Channel 1	Channel 2	Channel 3
[23:16]	Reg. 0x0C	Reg. 0x0F	Reg. 0x12	Reg. 0x15
[15:8]	Reg. 0x0B	Reg. 0x0E	Reg. 0x11	Reg. 0x14
[7:0]	Reg. 0x0A	Reg. 0x0D	Reg. 0x10	Reg. 0x13

FTWは、数値制御発振器（NCO）で生成する正弦波／余弦波信号の複素周波数を設定します。NCOからの複素数周波数出力と、入力データパス信号を乗算することで、所望の出力周波数変調波が得られます。ベースバンド・デジタル・アップコンバータの概念ブロック図を図 84に示します。

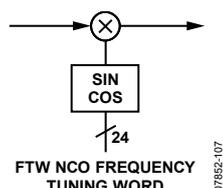


図 84. ベースバンド・デジタル・アップコンバータの概念ブロック図

### 個々のチャンネル・スケールゲイン

データパスの最後のブロックは、サンプリングやハードウェア・ロールオフで生じる、考えられるすべてのスケール補償を目的とする、8ビット・スケールゲイン（レジスタ 0x25～0x28）です。各チャンネルに適用されるスケール係数は、次のように計算されます。

$$\text{ScaleFactor} = \frac{\text{CHANxGAIN}[7:0]}{128}$$

チャンネル・ゲインのレンジは 0～1.9921875 であり、ステップ・サイズは 0.0078125 です。必要があれば、スケール係数に 0 を設定すれば、個々のチャンネルを容易かつ迅速にミュートすることができます。

表 53. チャンネル・ゲイン・スケールゲインのレジスタ位置

CHANxGAIN [7:0]	Channel 0	Channel 1	Channel 2	Channel 3
	Reg. 0x25	Reg. 0x26	Reg. 0x27	Reg. 0x28

チャンネル・ゲインのデフォルト値では、スケール係数は 1 になります。図 85に示すように、入力スケールゲイン・ブロックの出力は、最も近い 16 ビット値に丸められます。出力が最大または最小値を超えた場合は、正側または負側のフルスケール（0x7FFF または 0x8000）にクリップされます。

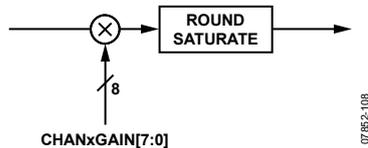


図 85. 個々のチャンネル・ゲイン制御

### デジタル・ブロック・アップコンバータ

AD9789 の DSP エンジンの後段では、4本のデータパスの出力が 1つに合成され、合成されたチャンネルがスケールゲインされます。さらにフル DAC レートまで 16 倍のインターポレーションと、バンドパス・フィルタ動作が実行されるため、チャンネルのブロックを DAC のナイキスト帯域幅のどこにでも配置できます。

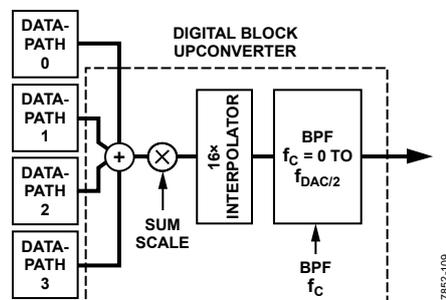


図 86. デジタル・ブロック・アップコンバータの機能ブロック図

以下のセクションでは、デジタル・ブロック・アップコンバータ内の各ブロックについて、さらに詳しく説明します。

### サミング・ジャンクション・スケールゲイン

サミング・ジャンクション・スケールゲイン・ブロックは、4つのチャンネルの和に対して作用します。SUMSCALE[7:0]の値は、レジスタ 0x08 で設定します。データに適用されるスケールゲイン（サム・スケール）係数は、次のように計算されます。

$$\text{ScaleFactor} = \frac{\text{SUMSCALE}[7:0]}{64}$$

この係数は、0.015625 のステップ・サイズで入力データに対して 0～3.984375 のスケールゲイン範囲になります。0x0D のデフォルト値では、スケール係数は 0.203125 になります。チャンネルが加算される時、その値が最大または最小のフルスケール値（0x7FFF または 0x8000）を超えた場合、サミング・ジャンクション・スケールゲイン・ブロックの出力でクリップされることに注意してください。各チャンネルで 16 ビット・レンジいっぱいを使用される場合、クリッピングの可能性を避けるため、このスケールゲイン係数（サム・スケール）値には 0x10 (0.25) を設定してください。

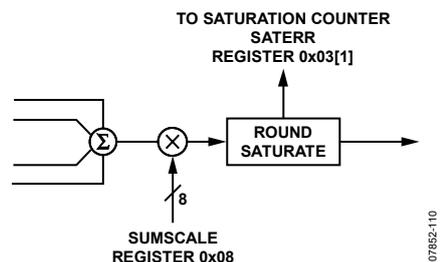


図 87. サミング・ジャンクション・スケールゲインのブロック図

実際には、サム・スケール係数を大きめにし、若干のクリッピングを許容することで、チャンネルの S/N 比（SNR）を改善できます。クリッピングが短時間かつ少ない頻度である場合、信号振幅を大きくすれば S/N 比を改善することができます。

表 54にQAMマッパー・モードごとのサム・スケールの推奨値を示します。MER/EVMの測定値とスペクトル純度を基準として、この推奨サム・スケール値を決定しました。クリッピングでインパルス性のノイズが発生し、出力スペクトルで出力ノイズ・フロアが瞬時増加します。これらの推奨サム・スケール値は、ノイズ・フロアの瞬時増加が最小になるように選択してあります。なおこれらのテストは、約 850 MHzの周波数で1、2、3、4本のキャリア出力で行いました。DACの後に続くRF信号経路でもクリッピングが生じることもあるため、サム・スケール値の選択基準にBERテストを追加し、システム・レベルでこれらの値をさらに検証してください。

表 54. すべての QAM マッパー・モードとチャンネル数に対する推奨サム・スケール値

QAM Mode	Sum Scale Value (Decimal)			
	1 Channel	2 Channels	3 Channels	4 Channels
DVB 16-QAM	48	28	22	16
DVB 32-QAM	54	34	26	20
DVB 64-QAM	54	34	26	20
DVB 128-QAM	80	50	38	30
DVB 256-QAM	54	34	26	20
DOCSIS 64-QAM	54	34	26	20
DOCSIS 256-QAM	54	34	26	20

## デジタル 16 倍チューナブル・バンドパス・フィルタ

デジタル・バンドパス・フィルタは、固定の 16 倍インターポレータと連動して機能します (図 88を参照)。この 16 倍インターポレーション・フィルタは、DACのナイキスト帯域内にベースバンド信号の 16 本のイメージを作成します。この場合、デジタル・バンドパス・フィルタは、希望波以外の 15 個のイメージを除去するように同調させる必要があります。バンドパス・フィルタの中心周波数は、 $DC \sim f_{DAC}/2$  のどこにでも配置できます。バンドパス・フィルタの中心周波数の同調ワードは、次のように計算します。

$$BPF\_Center\_Freq = \frac{f_{CENTER}}{\left(\frac{f_{DAC}}{2}\right)} \times (2^{16} - 1)$$

結果として得られる同調ワードは 16 ビット値であり、上位バイトをレジスタ 0x1D[7:0]に書き込み、下位バイトをレジスタ 0x1C[7:0]に書き込みます。

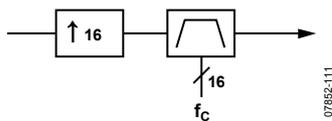


図 88. 16 倍チューナブル・バンドパス・フィルタの概念ブロック図

フィルタのストップバンド幅は、約  $f_{DAC}/64$  に固定のため、実効パスバンドは  $f_{DAC}/64$  です。図 89~図 91から類推できるように、同調ミスで所望の信号にほとんど (あるいはまったく) 影響を与えない程度のイメージが出現することがあります。

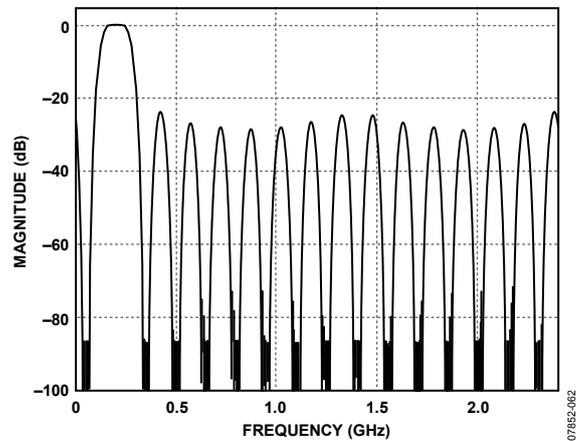


図 89. バンドパス・フィルタ応答 (200 MHz、 $f_{DAC} = 2.4$  GHz)

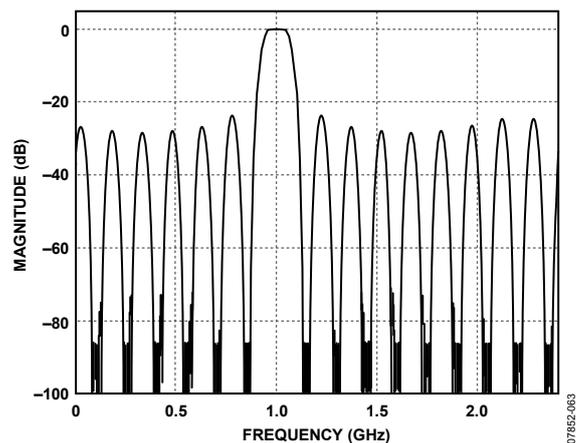


図 90. バンドパス・フィルタ応答 (1 GHz、 $f_{DAC} = 2.4$  GHz)

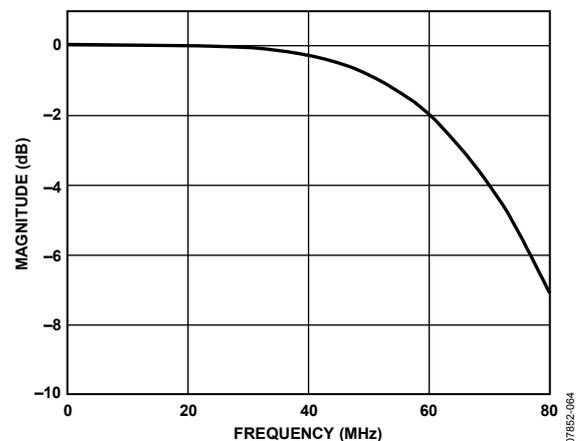


図 91. バンドパス・フィルタのパスバンド詳細 ( $f_{DAC} = 2.4$  GHz)

## デジタル・インターフェース・モード

AD9789 は、2 つのデジタル・インターフェース動作モードに設定できます。

- チャネライザ・モード
- 直交デジタル・アップコンバータ (QDUC) モード

チャネライザ・モード (レジスタ 0x20[3] = 0) では、インターフェースは 4~32 ビット・バス幅に設定できます。最大 4 チャンネルの複素数データを処理することができ、デジタル・データパス内のすべての信号処理ブロックが使用できます。チャネライザ・モードでサポートされる最大ボーレートは  $f_{DAC}/48$  です。

QDUCモード (レジスタ 0x20[3]=1) では、インターフェースは、32 ビットのバス幅と 1 チャンネルの複素数データに固定されません。使用可能な信号処理方式は、インターポレーション (16~512 倍)、レート変換 (0.5~1.0)、複素 (IQ) 変調です。QDUCモードでサポートされる最大ボーレートは  $f_{DAC}/16$  です。

いずれのモードでも、入力データ・バスは、CMOS\_BUS ピン (L14) を介して LVDS または CMOS 入力に設定できます。CMOS\_BUS を 3.3 V に接続した場合、データ・バスは CMOS 入力 (D[31:0]、P0、P1) に設定されます。CMOS\_BUS を 0 V に接続した場合、バスは LVDS 入力 (D[15:0]P、D[15:0]N、PARP、PARN) に設定されます。

AD9789 に入力データを与えるために、2 つの出力信号を用います。1 つはデータ・クロック出力信号 (DCO) であり、データをデジタル・データ信号源からクロッキングするために用いられます。DCO は DACCLK を分周した周波数になります。もう 1 つはフレーム同期信号 (FS) で、新しいデータワードを要求するために用いられます。FS 信号の平均周波数は、データのシンボル・レートまたはボーレートに等しくなります。入力データ・バスと同様に DCO 信号と FS 信号は、CMOS\_CTRL ピン (M14) を介して LVDS または CMOS 出力に設定できます。CMOS\_CTRL が 3.3 V に接続された場合、DCO と FS は、P14 ピンと N14 ピン (CMOS\_DCO と CMOS\_FS) に CMOS 信号としてそれぞれ出力されます。CMOS\_CTRL が 0 V に接続された場合、DCO と FS は、N13、P13、L13、M13 ピン (DCOP、DCON、FSP、FSN) に LVDS 信号としてそれぞれ出力されます。

## チャネライザ・モード

チャネライザ・モードでは、デジタル・インターフェースのバス幅、データ幅、データ・フォーマットを指定できます。バス幅 (AD9789 の入力でのデジタル・データ・バスの物理的な幅) は 4、8、16、32 ビット幅のインターフェースに設定できます。データ幅 (デジタル・データバス入力でのデータの内部的な幅) は 8 ビットまたは 16 ビット・ワードに設定できます。データ・フォーマットは、実数または複素数データを設定できます。サポートされるインターフェース・モードの一覧を表 55 に示します。

表 55. チャネライザ・モードでサポートされるインターフェース設定

First Input Block Enabled	Bus Width Reg. 0x21[6:5]	Data Width Reg. 0x21[4]	Data Format Reg. 0x21[3]
QAM Encoder	32 bits	8 bits	Real
	16 bits	8 bits	Real
	8 bits	8 bits	Real
	4 bits	8 bits	Real
SRRC Filter	32 bits	8 bits	Complex
	16 bits	8 bits	Complex
	8 bits	8 bits	Complex
	4 bits	8 bits	Complex
Interpolation Filter	32 bits	16 bits	Complex
	16 bits	16 bits	Complex
	8 bits	16 bits	Complex

データパス内で有効にした最初のブロックが QAM エンコーダである場合、8 ビット・ワードのデータ幅と実数データ・フォーマットに設定します。SRRC フィルタを最初のブロックとしてデータパス内で有効にした場合、8 ビット・ワードのデータ幅と複素数データ・フォーマットに設定します。QAM エンコーダと SRRC フィルタの両方がバイパスされた場合、16 ビット・ワードのデータ幅と複素数データ・フォーマットに設定します。

## チャネライザ・モードでのピン・マッピング

CMOSモード (CMOS\_BUSピンとCMOS\_CTRLピン = 3.3 V) では、表 56 に示すように、AD9789 の入力ピンに対して、さまざまなインターフェース幅のマッピングが可能で

表 56. さまざまなインターフェース幅に対する CMOS ピン配置

Interface Width	Pin Assignments	BUSWIDTH[1:0]
4 bits	D[3:0]	00
8 bits	D[7:0]	01
16 bits	D[15:0]	10
32 bits	D[31:0]	11

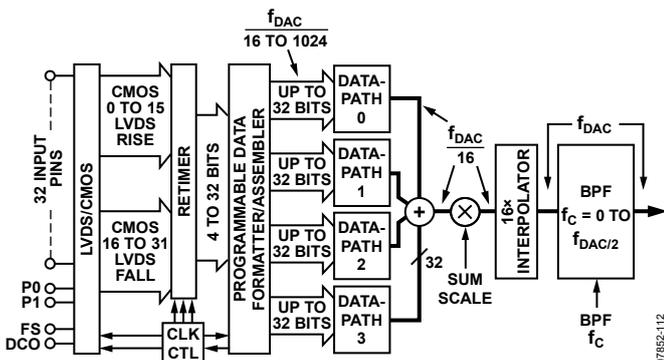


図 92. チャネライザ・モード

LVDSモードでは、表 57に示すようにAD9789 入力ピンに対して、さまざまなインターフェース幅のマッピングが可能です。LVDSモードでインターフェース幅を 32 ビットに設定すると、インターフェースはダブル・データレート (DDR) になります。DDRモードでは、最初の 16 ビットはデータ・サンプリング・クロック (DSC: これはDCOに同期) の立上がりエッジでサンプリングされ、2番目の 16 ビットはDSCの立下がりエッジでサンプリングされます。他のすべてのインターフェース幅はシングル・データレート (SDR) であり、入力データはDSCの立下がりエッジでサンプリングされます。

表 57. さまざまなインターフェース幅に対する LVDS ピン配置

Interface Width	Pin Assignments	BUSWIDTH[1:0]
4 bits	D[3:0]P, D[3:0]N	00
8 bits	D[7:0]P, D[7:0]N	01
16 bits	D[15:0]P, D[15:0]N	10
32 bits	D[15:0]P, D[15:0]N rising edge and falling edge	11

ニブルまたはバイトでロードする方法では、最上位のニブルまたはバイトを最初にロードします。チャンネル 0 のデータを最初にロードし、その後チャンネル 1、チャンネル 2、チャンネル 3 のデータをロードします。複素数データ・フォーマットでは、データワードの同相 (I) 項をロードしてから、直交 (Q) 項をロードします。内部で各チャンネルのデータが組み立てられる際に、データ・バス上ではLSB側に詰められます。以下に、いろいろな設定に対するインターフェースのマッピング方法の例を示します。特定の設定でのマッピング方法の詳細については、「CMOSとLVDSに対するチャネライザ・モードのピン・マッピング」の項を参照してください。

### 例 1

32 ビットのバス幅、8 ビットのデータ幅、実数データ・フォーマットで、4 チャンネルをイネーブルにしたCMOSインターフェースの場合、データが要求されたときの入力ポートでは、表 58のデータが想定されています。

表 58. バス幅 = 32 ビット、データ幅 = 8 ビット、データ・フォーマット = 実数、4 チャンネルの場合のCMOSピン・マッピング<sup>1</sup>

DCO	D[31:24]	D[23:16]	D[15:8]	D[7:0]
1	R3	R2	R1	R0

<sup>1</sup> Rは所定のチャンネルにロードされる実数データを示します。Rの後はチャンネル番号が続いています

### 例 2

32 ビットのバス幅、8 ビットのデータ幅、複素数データ・フォーマットで、4 チャンネルをイネーブルにしたCMOSインターフェースの場合、データが要求されたときの入力ポートでは、表 59のデータが想定されています。

表 59. バス幅 = 32 ビット、データ幅 = 8 ビット、データ・フォーマット = 複素数、4 チャンネルの場合のCMOSピン・マッピング<sup>1</sup>

DCO	D[31:24]	D[23:16]	D[15:8]	D[7:0]
1	Q1	I1	Q0	I0
2	Q3	I3	Q2	I2

<sup>1</sup> Iは所定のチャンネルにロードされる複素数データの同相項を示し、Qは直交項を示します。IまたはQの後はチャンネル番号が続いています

### 例 3

16 ビットのバス幅、8 ビットのデータ幅、複素数データ・フォーマットで、4 チャンネルをイネーブルにしたLVDSインターフェースの場合、データが要求されたときの入力ポートでは、表 60のデータが想定されています。

表 60. バス幅 = 16 ビット、データ幅 = 8 ビット、データ・フォーマット = 複素数、4 チャンネルの場合のLVDSピン・マッピング<sup>1</sup>

DCO	D[15:8]P, D[15:8]N	D[7:0]P, D[7:0]N
1	Q0	I0
2	Q1	I1
3	Q2	I2
4	Q3	I3

<sup>1</sup> Iは所定のチャンネルにロードされる複素数データの同相項を示し、Qは直交項を示します。IまたはQの後はチャンネル番号が続いています

### 例 4

32 ビットのバス幅、8 ビットのデータ幅、複素数データ・フォーマットで、4 チャンネルをイネーブルにしたLVDSインターフェースの場合、データが要求されたときの入力ポートでは、表 61のデータが想定されています。

表 61. バス幅 = 32 ビット、データ幅 = 8 ビット、データ・フォーマット = 複素数、4 チャンネルの場合のLVDSピン・マッピング<sup>1</sup>

DCO <sup>2</sup>	D[15:8]P, D[15:8]N	D[7:0]P, D[7:0]N
1 rise	Q0	I0
1 fall	Q1	I1
2 rise	Q2	I2
2 fall	Q3	I3

<sup>1</sup> Iは所定のチャンネルにロードされる複素数データの同相項を示し、Qは直交項を示します。IまたはQの後はチャンネル番号が続いています

<sup>2</sup> "rise"はデータがDCOx立上がりエッジで読み込まれることを意味します。また "fall"はデータがDCOx立下がりエッジで読み込まれることを意味します

### チャネライザ・モードでのDCOレートとFSレート

DCO信号は、デジタル・データ信号源からデータをクロッキングするためのデータ・クロック出力です。DCOはDACクロックを分周した信号になります。FS信号は新しいデータワードを要求するための出力です。FS信号の平均周波数 ( $f_{FS}$ ) は、データのシンボル・レートまたはボーレート ( $f_{BAUD}$ ) にちょうど等しくなります。FSはリクエスト信号になりますので、タイミングはDCOからとってください。DCO信号 ( $f_{DCO}$ )、ボーレート ( $f_{BAUD}$ )、DACクロック ( $f_{DAC}$ ) の周波数は、次の 2 つの式に示される関係にあります。

$$f_{DAC} = I \times \frac{P}{Q} \times 16 \times f_{BAUD} \quad (1)$$

$$f_{DCO} = f_{DAC} / (16 \times N) \quad (2)$$

ここで、

Iは補間係数であり、1~64 の範囲です。

P/Qはレート変換係数 (0.5~1.0) です。

Nは設定可能な DCO 除算係数で、レジスタ 0x22[6:4]の

DCODIV[2:0]ビットを使用します。

DCODIV[2:0]には 1、2、4 のいずれかを設定します。0 を設定すると DCO が無効になります。DCODIV 値を 3 に設定しても機能しません。DSC 信号の周波数は常に DCO に等しくなります。

インターフェース設定を選択する前に、システムで使用するボーレートの最大周波数でDCO周波数を割り算し、結果を切り捨てま

す。これによりFSパルス間のDCOサイクル数 ( $\text{cycles}_{\text{AVAIL}}$ ) が得られます。

$$\text{cycles}_{\text{AVAIL}} = \text{floor}\left(\frac{f_{\text{DCO}}}{\max f_{\text{BAUD}}}\right)$$

すべてのチャンネルにデータを正しくロードするには、各インターフェース設定においてFSパルス間で適切な数のDCOサイクル数が必要です。この数は次の式から計算します。

$$\text{cycles}_{\text{INTERFACE}} = N \times F \times \frac{DW}{BW}$$

ここで、 $N$ はイネーブルにされるチャンネル数 (1~4) です。チャンネル優先順位が1に設定された場合、 $N$ は常に4に等しくなります(「チャンネルの優先順位付け」を参照)。 $F$ はデータ・フォーマットを示します。データ・フォーマットが実数の場合は $F=1$ 、データ・フォーマットが複素数の場合は $F=2$ です。

$DW$ はビット数で表したデータ幅 (8または16) です。

$BW$ はビット数で表したバス幅 (4、8、16、32のいずれか) です。

インターフェースを正しく設計するには、FSパルス間のDCOサイクル数は、インターフェースが要求するDCOサイクル数より大きくなければなりません。

#### 設計例

この例ではシステムのボーレートは $f_{\text{FS}} = 6.4 \text{ MHz}$ です。実数データ・フォーマットで8ビットのデータ幅を持つ4チャンネルに対して、4ビット幅のインターフェースが必要な場合、選択する $f_{\text{DCO}}$ は $8 \times f_{\text{FS}}$ 以上にしてください。まず式1と式2を使用し、 $N=1$ 、 $P/Q=0.7$ 、 $I=32$ によりインターフェース速度を評価します。

$$f_{\text{DAC}} = 32 \times 0.7 \times 16 \times 6.4 \text{ MHz} = 2293.76 \text{ MHz}$$

$$f_{\text{DCO}} = 2293.76 \text{ MHz} / (16 \times 1) = 143.36 \text{ MHz}$$

$f_{\text{DCO}}/f_{\text{BAUD}}$ 比=22.4になります。 $N=2$ が選択された場合、使用可能なDCOサイクル数は11に減少します。遅延値を考慮すると、このオプションは実現できない場合もあります。遅延の詳細については、「遅延がチャネライザ・モードに与える影響」の項を参照してください。

#### チャンネルの優先順位付け

チャンネルがイネーブル/ディスエーブルにされることで、入力インターフェースのマッピングに影響を与えることがあります。「チャンネル優先順位」(レジスタ  $0x20[2]$ ) を0に設定した場合、デバイスはイネーブルにしたチャンネルにのみ、入力があると想定します。この設定ではDUT入力での物理的なチャンネル・マッピングは、イネーブルにしたチャンネル数に基づいて移動することがあります。ここで最高の優先順位はチャンネル0です(イネーブルにされていなければ位置は変わりません)。「チャンネル優先順位」を1に設定した場合、4チャンネル全てにデータがあることを想定します。しかしディスエーブルに設定されたチャンネルのデータは内部で無視されます。チャンネルのイネーブル/ディスエーブルによって入力データ・バス上で位置が移動しないため、この方法を推奨します。

イネーブルにしたチャンネル数が常に4未満であり、ユーザがダイナミックにチャンネルをイネーブル/ディスエーブルにすることがない場合、「チャンネル優先順位」は0に設定することが最善です。入力データ転送に必要なクロックやピン数を抑えられることが理由です。

チャンネル優先順位を0に設定した例を表62に示します。この例では、データ・インターフェースは32ビットのバス幅、8ビット

のデータ幅、実数データ・フォーマット、CMOSに設定していません。

表 62. 入力マッピングとイネーブルにしたチャンネルの関係、チャンネル優先順位 = 0

Channels	CMOS Bit Mapping			
	[D31:D24]	[D23:D16]	[D15:D8]	[D7:D0]
4 Channels Enabled	Channel 3	Channel 2	Channel 1	Channel 0
Channel 0 Disabled		Channel 3	Channel 2	Channel 1
Channel 0, Channel 2 Disabled			Channel 3	Channel 1

表 63のようにチャンネル優先順位を1に設定すると、同じ例でも動作が異なります。

表 63. 入力マッピングとイネーブルにしたチャンネルの関係、チャンネル優先順位 = 1

Channels	CMOS Bit Mapping			
	[D31:D24]	[D23:D16]	[D15:D8]	[D7:D0]
4 Channels Enabled	Channel 3	Channel 2	Channel 1	Channel 0
Channel 0 Disabled	Channel 3	Channel 2	Channel 1	
Channel 0, Channel 2 Disabled	Channel 3		Channel 1	

#### 直交デジタル・アップコンバータ (QDUC) モード

QDUCモード(レジスタ  $0x20[3] = 1$ )では、データ・インターフェースは32ビットのバス幅、16ビットのデータ幅、複素数データ・フォーマットに固定されます。QDUCモードでは、1チャンネルのみをイネーブルにします。複数のチャンネルをイネーブルにした場合、イネーブルにされた各チャンネルに同じIとQのデータが転送されます。データパスでは、QAMマッパーとSRRCフィルタをバイパスする必要があります(レジスタ  $0x06[7:6] = 11$ )。

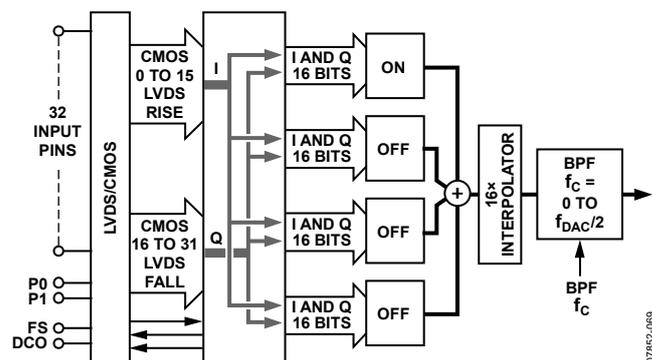


図 93. QDUC モード

# AD9789

## QDUCモードでのピン・マッピング

CMOSモードでは、AD9789の入力ピンは表 64に示すようにマッピングされます。

表 64. QDUC モードでの CMOS インターフェースのピン・マッピング

Data Bit	Description	Pin No.
D31	MSB of I data	L5
D16	LSB of I data	P8
D15	MSB of Q data	L9
D0	LSB of Q data	P12
P1	Parity for D[31:16]	L4
P0	Parity for D[15:0]	M4

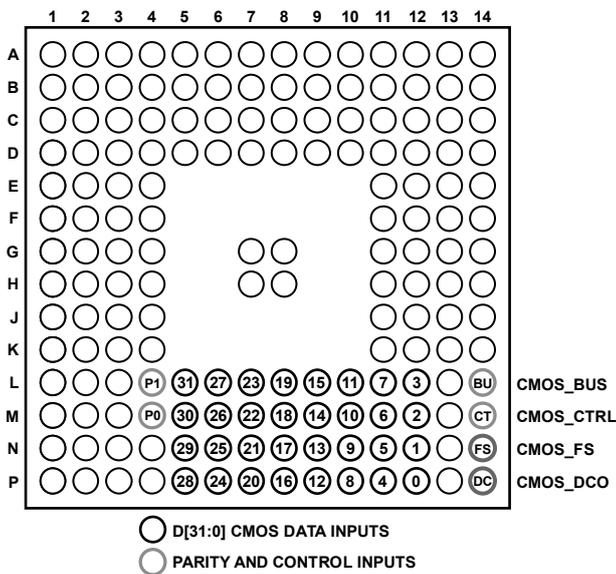


図 94. CMOS データ入力のピン・マッピング

LVDSモードでは、AD9789の入力ピンは表 65のようにマッピングされます。

表 65. QDUCモードでのLVDSインターフェースのピン・マッピング<sup>1</sup>

Data Bit	Description	Pin No.
D15P, D15N rising	MSB of I data	L5, M5
D0P, D0N rising	LSB of I data	N12, P12
D15P, D15N falling	MSB of Q data	L5, M5
D0P, D0N falling	LSB of Q data	N12, P12
PARP, PARN rising	Parity for D[15:0]P, D[15:0]N rising	L4, M4
PARP, PARN falling	Parity for D[15:0]P, D[15:0]N falling	L4, M4

<sup>1</sup> "rising"は、データがDCOxの立上がりエッジで読み込まれることを意味します。"falling"は、データがDCOxの立下がりエッジで読み込まれることを意味します

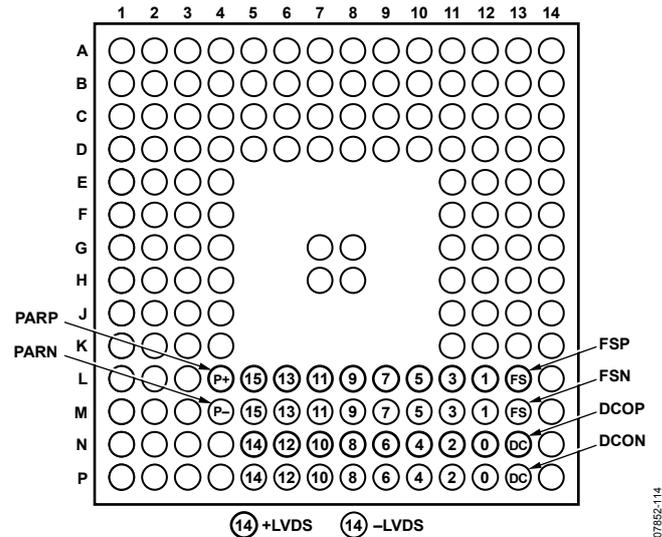


図 95. LVDS データ入力のピン・マッピング

## QDUCモードでのDCOレートとFSレート

QDUCモードでは、DCODIVを常に 1 に設定します（レジスタ 0x22[6:4]=001）。DCOクロック周期は、DACクロックの 16 周期になります。16 倍のインターポレーション動作だけが必要で、レート・コンバータを使用しない場合、インターフェースのデータレートは $f_{DCO}$ になります。

データパスにおいて、さらにインターポレーションやレート変換を有効にした場合、インターフェースのデータレートは $f_{BAUD}$ になります。FSの平均レート $f_{FS}$ はボーレート $f_{BAUD}$ に等しくなります。ボーレートは次の式で指定します。

$$f_{BAUD} = \frac{f_{DCO}}{2^N \times \frac{P}{Q}}$$

ここで、 $N$ は有効にした 2 倍インターポレーション・フィルタの数です。 $P/Q$ はレート・コンバータの比率です。

FS 信号は、DCO クロックをゲーティングするデータ・リクエスト信号になり、正確なボーレートでのデータ送信を保証できます。 $P/Q=1$  および  $N=0$  の場合、DCO はボーレートで動作し、FS は必要ありません。この場合、FS は非アクティブになります（常にハイレベル）。データ信号源からデータを得るための一定レートのクロックとして DCO 信号を使用できます。

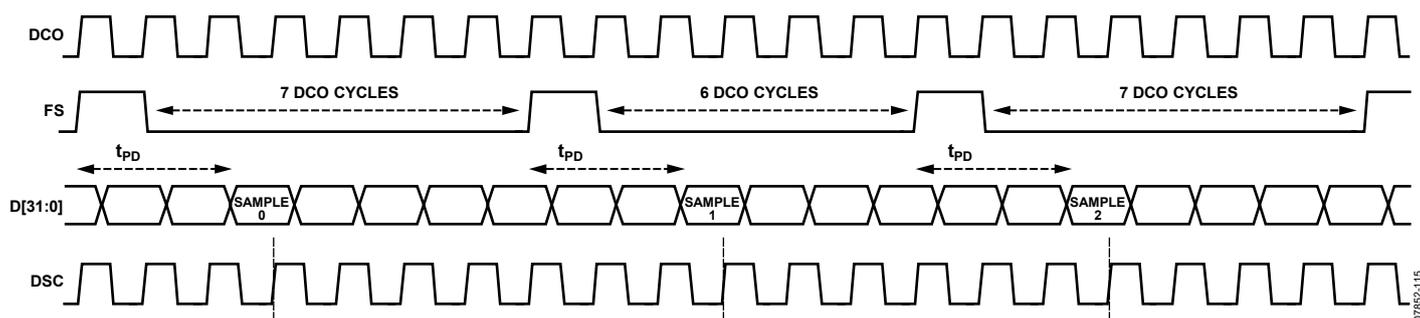


図 96. FS がアクティブな場合の設計例に対する QDUC モード・インターフェースのタイミング図

### 設計例

この例では、システムのDACレートは 1600 MHz、ボーレートは 15 MHz です。  $f_{DCO} = f_{DAC}/16 = 100$  MHzなので、  $f_{DCO}/f_{FS} = 6.667$  です。  $P/Q$  が 0.5~1.0 になる条件を満足するには、8 倍という補間係数を適用する必要があるため、  $N=3$  になります。  $P/Q$  について求めると 5/6 が得られます。

したがって、20 個の DCO クロック・エッジのうち 3 個で、データがデバイスにロードされます ( $f_{FS}/f_{DCO} = 3/20$  の比率)。図 96 は、この例でのインターフェース動作のタイミング図です。このタイミング図で  $t_{PD}$  は、FS の立上がりエッジから転送データの最初のサンプルが AD9789 にサンプリングされるまでの伝搬遅延に相当します。なお  $t_{PD}$  は 1 DCO サイクルを超えて変動することがあります。

### リタイミング動作

AD9789 には 3 段のレジスタによるリタイミング回路があります。最初の 2 段のレジスタには、DAC クロックから得られる 16 相の信号のいずれか 1 本をクロックとして供給します。最後のレジスタのクロックは、第 15 相のクロックに固定されています。デジタル・サンプル・クロック (DSC) とシンクロナイザ・クロック (SNC) が、プログラム可能なレジスタ・クロックです。さまざまな位相を選択することで、データ信号源の遅延に合わせて、サンプリング・タイミングを微調整できます。レジスタ 0x23[7:4] は DSC フェーズ (DSCPHZ) で、レジスタ 0x23[3:0] は SNC フェーズ (SNCPHZ) で、それぞれ 16 相のいずれかに設定します。従属接続の最後のレジスタには、常に第 15 相からのクロックが供給されます。

パリティ・カウンタを用いれば、データ有効ウィンドウのエッジ位置の確定に役立てることができます。図 97 と図 98 から分かるように、CMOS モードでの動作は、LVDS モードでの動作とよく似ています。

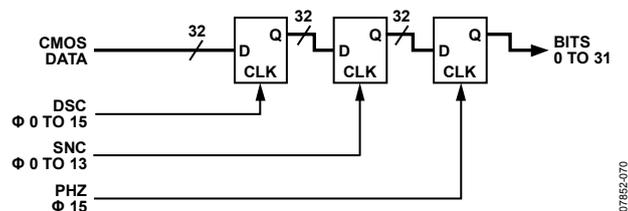


図 97. CMOS リタイミング・レジスタ

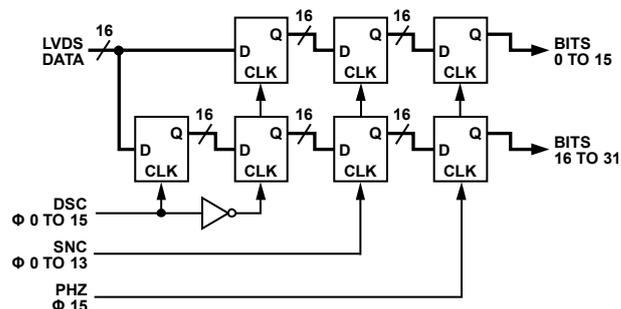


図 98. LVDS では DSC レジスタの構成が変わる

レジスタ 0x23 と以降に示すレジスタ 0x21[2:0]により、きわめて低ジッタでタイミングを調整できますが、以下の安全な推奨値に設定することもできます。

- LVDSモードでは  $DSCPHZ=0$ 、 $SNCPHZ=3$ 、 $LTNCY=0$  (「遅延レジスタ」も参照)
- CMOSモードでは  $DSCPHZ=0$ 、 $SNCPHZ=7$ 、 $LTNCY=0$  (「遅延レジスタ」も参照)

このタイミングの調整は、FPGA などのデータ・ソース側でも同様に行うことができます。

なお、SNCPHZ に第 14 相または第 15 相を選択するとタイミング違反になります。CMOS モードでは、DSCPHZ と SNCPHZ とを同じに (または 1 ステップ後に) 設定してもタイミング違反になります。

### 遅延レジスタ

レジスタ 0x21[2:0]を介して制御される遅延レジスタは、3 段のレジスタによるリタイミング回路の後段となり、データを 1 DCO クロック単位で最大 7 DCO クロックまで遅延できます。重要なリタイミング動作は前の 3 段のレジスタで済んでいるため、遅延値に誤りがあってもタイミング違反にはなりません。この遅延値により、どのデータが転送上の最初のデータかを決定し、そのデータを適切なチャンネルにルーティングします。この遅延は、FS がハイになってから最初のデータがリタイミング回路から出力されるまでの往復遅延時間の影響を受けます。デバイスに設定した遅延レジスタ値が誤っていた場合、入力データは内部で正しく構成できません。

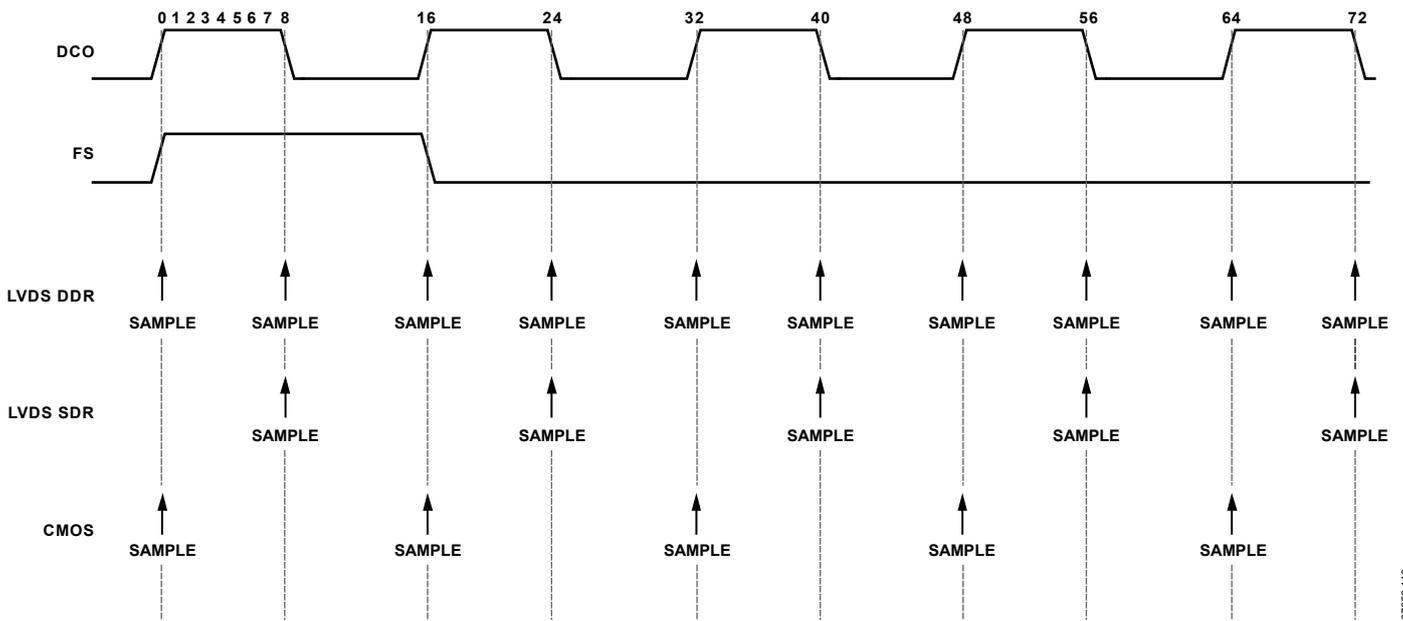


図 99. 遅延 = 0 でのサンプリング・ポイント

07852-116

## リタイミングおよび遅延ルックアップ・テーブル

実用上では、リタイミングと遅延のパラメータは、検証済みかつ保証済みの表から値を得ることができます。これは 0 から 100 を超える DAC クロック範囲において、最適なサンプル・ポイントとなる遅延値を与えるものです。LVDS DDR、LVDS SDR、CMOS それぞれのインターフェース・モードでのサンプリング・ポイントを図 99 に示します（遅延 = 0 の場合）。図 99 で DCO 信号の上にある番号は、表 66 と表 67 での DAC クロック・サイクルの遅延値 (Delay) に対応しています。

なおピンでの遅延分も考慮する必要があります。この遅延は、出力遅延 800 ps、入力遅延 800 ps で、合計 1.6 ns です。つまり 2.4 GHz の DAC クロックでは、DCO とデータ有効ウィンドウの中心との間の「真のゼロ遅延」は、表 66 の遅延 (Delay) 4 で得られます。また 1.2 GHz の DAC クロックで真のゼロ遅延は、遅延 (Delay) 2 で得られます。

表 66 と表 67 を使用するために、AD9789 で FS、DCO、データ入力信号を実際に観測します。これらの信号をオシロスコープに表示させながら、FS の立上がりエッジと最初のデータ・サンプリングの開始との間の遅延を測定し、この値にピン遅延 1.6 ns を加算します。この合計遅延を DAC クロックの 1 周期に正規化します。インターフェース・モードごとに、この測定値から表 66 と表 67 の遅延 (Delay) に対応する最適なサンプリング・ポイントを DAC クロック・サイクル数として見つけることができます。

LVDS DDR では、

$$Delay_{OPTIMAL} = \frac{Delay_{MEASURED} + 1.6 \text{ ns}}{t_{DCO} / 16} + 16$$

LVDS SDR では、

$$Delay_{OPTIMAL} = \frac{Delay_{MEASURED} + 1.6 \text{ ns}}{t_{DCO} / 16} + 8$$

CMOS では、

$$Delay_{OPTIMAL} = \frac{Delay_{MEASURED} + 1.6 \text{ ns}}{t_{DCO} / 16} + 8$$

最適な有効サンプリング・ウィンドウを得るため、データ入力のセットアップ/ホールド時間に基づいて、サンプリング・ポイントを微調整してください。セットアップ/ホールド時間が DCO エッジに対して対称である場合、データの中心タイミングにサンプリング・ポイントを設定すると、最適な有効サンプリング・ウィンドウが得られます。入力データのセットアップ/ホールド時間の詳細については、「CMOS インターフェースのタイミング」または「LVDS インターフェースのタイミング」の項を参照してください。

表 66 または表 67 での最適なサンプリング・ポイントの LAT 値、SNC 値、DSC 値は、それぞれレジスタ 0x21[2:0] の LTNCY[2:0] ビット、レジスタ 0x23[3:0] の SNCPHZ[3:0] ビット、レジスタ 0x23[7:4] の DSCPZH[3:0] ビットに書き込んでください。

表 66. すべての遅延値に対する推奨リタイミング設定 (LVDS モード)

Delay	0	1	2	3	4	5	6	7
LAT	0	0	0	0	0	0	1	1
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
Delay	8	9	10	11	12	13	14	15
LAT	1	1	1	1	1	1	1	1
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
Delay	16	17	18	19	20	21	22	23
LAT	1	1	1	1	1	1	2	2
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
Delay	24	25	26	27	28	29	30	31
LAT	2	2	2	2	2	2	2	2
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
Delay	32	33	34	35	36	37	38	39
LAT	2	2	2	2	2	2	3	3
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
Delay	40	41	42	43	44	45	46	47
LAT	3	3	3	3	3	3	3	3
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
Delay	48	49	50	51	52	53	54	55
LAT	3	3	3	3	3	3	4	4
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
Delay	56	57	58	59	60	61	62	63
LAT	4	4	4	4	4	4	4	4
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
Delay	64	65	66	67	68	69	70	71
LAT	4	4	4	4	4	4	5	5
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
Delay	72	73	74	75	76	77	78	79
LAT	5	5	5	5	5	5	5	5
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
Delay	80	81	82	83	84	85	86	87
LAT	5	5	5	5	5	5	6	6
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
Delay	88	89	90	91	92	93	94	95
LAT	6	6	6	6	6	6	6	6
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7

Delay	96	97	98	99	100	101	102	103
LAT	6	6	6	6	6	6	7	7
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
Delay	104	105	106	107	108	109	110	111
LAT	7	7	7	7	7	7	7	7
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
Delay	112	113	114	115	116	117	X	X
LAT	7	7	7	7	7	7	X	X
SNC	7	8	9	9	10	10	X	X
DSC	8	9	10	11	12	13	X	X

表 67. すべての遅延値に対する推奨リタイミング設定 (CMOS モード)

Delay	0	1	2	3	4	5	6	7
LAT	0	0	0	0	0	0	1	1
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
Delay	8	9	10	11	12	13	14	15
LAT	1	1	1	1	1	1	1	1
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
Delay	16	17	18	19	20	21	22	23
LAT	1	1	1	1	1	1	2	2
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
Delay	24	25	26	27	28	29	30	31
LAT	2	2	2	2	2	2	2	2
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
Delay	32	33	34	35	36	37	38	39
LAT	2	2	2	2	2	2	3	3
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
Delay	40	41	42	43	44	45	46	47
LAT	3	3	3	3	3	3	3	3
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
Delay	48	49	50	51	52	53	54	55
LAT	3	3	3	3	3	3	4	4
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
Delay	56	57	58	59	60	61	62	63
LAT	4	4	4	4	4	4	4	4
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
Delay	64	65	66	67	68	69	70	71
LAT	4	4	4	4	4	4	5	5
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7

# AD9789

Delay	72	73	74	75	76	77	78	79
LAT	5	5	5	5	5	5	5	5
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
Delay	80	81	82	83	84	85	86	87
LAT	5	5	5	5	5	5	6	6
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
Delay	88	89	90	91	92	93	94	95
LAT	6	6	6	6	6	6	6	6
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
Delay	96	97	98	99	100	101	102	103
LAT	6	6	6	6	6	6	7	7
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
Delay	104	105	106	107	108	109	110	111
LAT	7	7	7	7	7	7	7	7
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
Delay	112	113	114	115	116	117	X	X
LAT	7	7	7	7	7	7	X	X
SNC	7	8	8	9	9	2	X	X
DSC	0	1	2	3	4	5	X	X

## 遅延がチャネライザ・モードに与える影響

チャネライザ・モードにインターフェース設定を選択するとき、FSパルス間のDCOサイクル数 ( $cycles_{AVAIL}$ ) は、インターフェース設定で要求されるDCOサイクル数 ( $cycles_{INTERFACE}$ ) より大きいことが必要です。FS間で使用可能なこのDCOサイクルの一部が、この遅延により使われます。DCOサイクルのこのような使用可能数の減少は、デバイスの内部遅延に加えて、AD9789のFS出力からAD9789の入力でのデータ・サンプリングまでの往復伝搬遅延 ( $LTNCY[2:0]$ ) により生じます。

正しいインターフェース設計では、次の条件を満たす必要があります。

$$cycles_{AVAIL} \geq cycles_{INTERFACE} + LTNCY[2:0] + 2$$

## CMOSインターフェースのタイミング

CMOSインターフェースにAD9789を設定すると ( $CMOS\_CTRL = CMOS\_BUS = 3.3V$ )、データ信号源からデータをクロッキングするために、CMOSデータ・クロック出力信号DCOが出力します。この出力信号は入力データレート ( $DCODIV = 1$  のとき  $f_{DAC}/16$  になります) で動作します。バス上のCMOSレベルのデータは、内部サンプリング・クロック (DSC) の立上がりエッジでサンプリングされます。なお、DCO周波数はDSC周波数に等しく、DCOとDSCの位相関係はDSCPHZ (レジスタ  $0x23[7:4]$ ) により決定します。

入力データのタイミングは、DSCでの特定の位相でのDCOを基準とします。温度に対するCMOSデータ入力タイミングを、 $DCO\_INV = 0$  (レジスタ  $0x20[4]$ )、 $DSCPHZ = 0$  (レジスタ  $0x23[7:4]$ )、 $DCODIV = 1$  (レジスタ  $0x22[6:4]$ ) の例として、表 68に示します。表 68にはデータ有効ウィンドウ (DVW) も示しています。データ有効ウィンドウDVWは、インターフェースのセットアップ/ホールド時間の合計です。このデータ有効ウィンドウは、適切なデータの取り込みを保証するための、デバイスに有効なデータを供給する必要最小時間です。

表 68. DCO を基準とした CMOS データ入力タイミング

Temperature	Min $t_S$ (ns)	Min $t_H$ (ns)	Min DVW (ns)
-40°C	4.9	-1.4	3.5
+25°C	5.1	-1.6	3.5
+85°C	5.3	-1.7	3.6
-40°C to +85°C	5.3	-1.4	3.9

0 より大きいDSCPHZの任意の値に対して、 $t_{DCO}/16$  単位でセットアップ/ホールド時間がシフトします ( $t_{DCO}$ はデータ・クロックの周期です)。

$$t_S = 5.3 \text{ ns} - ((t_{DCO}/16) \times DSCPHZ)$$

$$t_H = 0.24 \text{ ns} + ((t_{DCO}/16) \times DSCPHZ)$$

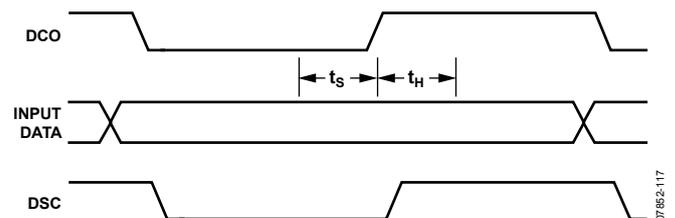


図 100. CMOS 入力タイミング

インターフェース・モードによっては、DCOの立上がりエッジからFSの立上がりエッジまでの遅延時間が既知である必要があります。この遅延と温度の関係を表 69に要約します。

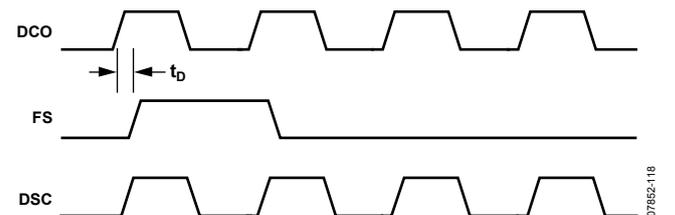


図 101. CMOS\_DCO から CMOS\_FS までの遅延

表 69. CMOS\_DCO と CMOS\_FS 間のタイミング遅延

Temperature	$t_{D,MAX}$ DCO to FS (ns)	$t_{D,MIN}$ DCO to FS (ns)
-40°C	0.64	0.28
+25°C	0.71	0.4
+85°C	0.85	0.49
-40°C to +85°C	0.85	0.28

## LVDSインターフェースのタイミング

LVDSインターフェースにAD9789を設定すると (CMOS\_CTRL = CMOS\_BUS=0V)、データ信号源からデータをクロッキングするために、LVDSデータ・クロック出力信号DCOが出力します。LVDSインターフェースは、バス幅の設定に応じて、シングル・データレート (SDR) またはダブル・データレート (DDR) に設定できます。SDRでは、データは内部サンプリング・クロック (DSC) の立下がりエッジでのみサンプリングされます。DCO周波数はDSC周波数に等しいため、実効データレートはDCO周波数に等しくなります。DCOとDSCの位相関係は、DSCPHZ (レジスタ 0x23[7:4]) で決定します。DDRでは、データはDSCの立上がりエッジと立下がりエッジの両方でサンプリングされるため、実効データレートはDCO周波数の2倍になります。バス幅が32ビットのとき、インターフェースはDDRのみです。DCODIV=1のとき、DCO周波数は $f_{DAC}/16$ になります。

入力データのタイミングは、DSCでの特定の位相でのDCOを基準とします。温度に対するLVDS入力データ・タイミングをDCO\_INV = 0 (レジスタ 0x20[4])、DSCPHZ = 0 (レジスタ 0x23[7:4])、DCODIV = 1 (レジスタ 0x22[6:4]) の例として、表70に示します。

表 70. DCO を基準とした LVDS データ入カタイミン

Temperature	Min $t_s$ (ns)	Min $t_H$ (ns)	Min DVW (ns)
-40°C	1.04	0.24	1.28
+25°C	1.23	0.16	1.39
+85°C	1.41	0.03	1.44
-40°C to +85°C	1.41	0.24	1.65

これらのセットアップ/ホールド時間は、DDRモードではDCOの両エッジで適用する必要があります。SDRモードではDCOの立下がりエッジで適用する必要があります。

0より大きいDSCPHZの任意の値に対して、 $t_{DCO}/16$ 単位でセットアップ/ホールド時間がシフトします ( $t_{DCO}$ はデータ・クロックの周期です)。

$$t_s = 1.41 \text{ ns} - ((t_{DCO}/16) \times DSCPHZ)$$

$$t_H = 0.24 \text{ ns} + ((t_{DCO}/16) \times DSCPHZ)$$

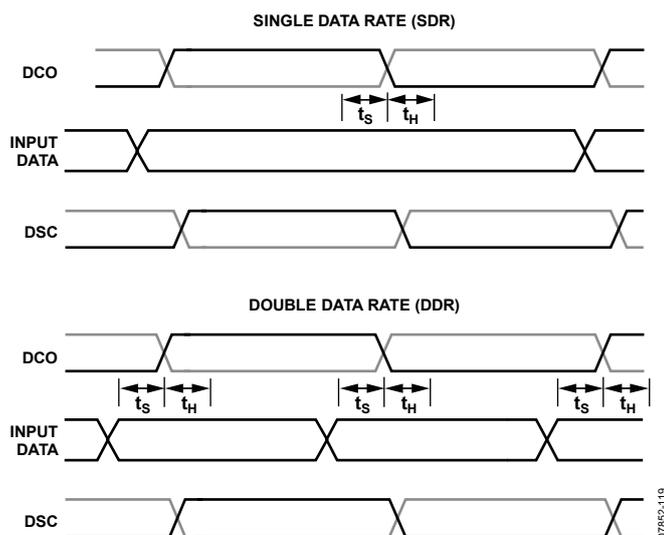


図 102. LVDS 入カタイミン、SDR 対 DDR

インターフェース・モードによっては、DCOの立上がりエッジからFSの立上がりエッジまでの遅延時間が既知である必要があります。この遅延と温度の関係を表71に要約します。

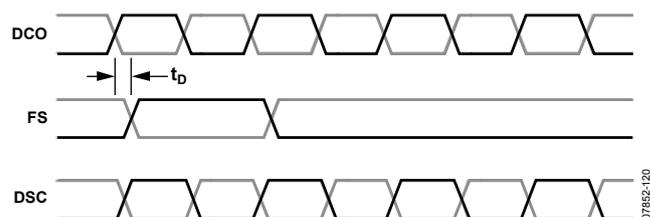


図 103. LVDS DCO から FS までの遅延

表 71. LVDS DCO と FS とのタイミン遅延

Temperature	$t_{D,MAX}$ DCO to FS (ns)	$t_{D,MIN}$ DCO to FS (ns)
-40°C	0.37	0.21
+25°C	0.35	0.16
+85°C	0.32	0.12
-40°C to +85°C	0.37	0.12

## パリティ

AD9789は入力データ・バスでのパリティ・チェック機能をもっています。偶数パリティ、奇数パリティ、IQパリティの3つのパリティ・チェック・モードがあります。IQパリティ・モードでは、Iチャンネルでは値0が常に想定され、Qチャンネルでは値1が常に想定されます。なお、一般的にIQパリティ・モードが役立つのは、LVDSインターフェースが使用されるときだけです。これらのモードは、レジスタ 0x20[1:0]を介して制御します。

表 72. パリティ・モードのSPI設定

Parity Mode	Register 0x20[1:0]
Deactivates Parity Checking	00
IQ Parity	01
Even Parity	10
Odd Parity	11

パリティ・チェック機能を使用する場合、FSに関係なく、AD9789に転送される各データワードには、パリティ・ビットを付加する必要があります。言い換えると、全てのDCOのエッジでパリティが有効な必要があります。パリティ・ビットは、ピンL4とピンM4です。インターフェースをCMOSモードで動作させるときは、入力パリティ・ビットは、それぞれP1およびP0と呼びます。インターフェースをLVDSモードで動作させるときは、入力パリティ・ビットは、それぞれPARPおよびPARNと呼びます。

LVDSインターフェースは、バス幅設定に応じて、シングル・データレート (SDR) またはダブル・データレート (DDR) にできることを思い出してください。バス幅が32ビットのときのみ、インターフェースはDDRになります。

# AD9789

QDUCモードでは、インターフェースが 32 ビット・バス幅に固定され、パリティ動作は単純明快です（表 73 を参照）。

表 73. QDUC モードのパリティ動作

Inter-face	Bus Width	Even/Odd Parity	IQ Parity
CMOS	32 bits	P1 checks D[31:16] P0 checks D[15:0]	P1 = 0 P0 = 1
LVDS <sup>1</sup> (DDR)	32 bits	[PARP, PARN] rising checks D[15:0]P, D[15:0]N rising [PARP, PARN] falling checks D[15:0]P, D[15:0]N falling	PARP rising = 0 PARN rising = 1 PARP falling = 1 PARN falling = 0

<sup>1</sup> "rising"では、DSCの上上がりエッジでデータがサンプリングされます"falling"では、DSCの下下がりエッジでデータがサンプリングされます

チャネライザ・モードでは、さまざまなバス幅、データ幅、データ・フォーマットにインターフェースを設定でき、パリティ・ビットでバス上のデータワードをチェックします。

たとえば、バス幅が 4、データ幅が 8、データ・フォーマットが実数であるチャネライザ・モードの設定を考えてみます。この場合、目的のボーレートで 4 チャンネルに相当するすべてのデータを転送するには、8 クロック・サイクルが必要です。偶数パリティまたは奇数パリティ・モードでは、各クロックで 1 つのパリティ・ビットと 4 ビットのデータ・ビットを転送します。パリティ・ビットは、この 4 ビットのデータ・ビットをチェックすることで、すべてのデータがインターフェース間で正しく伝送されたことを確認できます。

表 74 では、すべてのインターフェース・モードでの、2 本のパリティ・ピンの動作と、データとの相互関係を要約しています。

表 74. チャネライザ・モードでのパリティ動作

Inter-face	Bus Width	Even/Odd Parity	IQ Parity
CMOS	4 bits	P1 ignored P0 checks D[3:0]	P1 = 0 P0 = 1
CMOS	8 bits	P1 ignored P0 checks D[7:0]	P1 = 0 P0 = 1
CMOS	16 bits	P1 ignored P0 checks D[15:0]	P1 = 0 P0 = 1
CMOS	32 bits	P1 checks D[31:16] P0 checks D[15:0]	P1 = 0 P0 = 1
LVDS (SDR) <sup>1</sup>	4 bits	[PARP, PARN] falling checks D[3:0]P, D[3:0]N falling	Not supported
LVDS (SDR) <sup>1</sup>	8 bits	[PARP, PARN] falling checks D[7:0]P, D[7:0]N falling	Not supported
LVDS (SDR) <sup>1</sup>	16 bits	[PARP, PARN] falling checks D[15:0]P, D[15:0]N falling	Not supported
LVDS (DDR) <sup>1</sup>	32 bits	[PARP, PARN] rising checks D[15:0]P, D[15:0]N rising [PARP, PARN] falling checks D[15:0]P, D[15:0]N falling	PARP rising = 0 PARN rising = 1 PARP falling = 1 PARN falling = 0

<sup>1</sup> "rising"では、DSCの上上がりエッジでデータがサンプリングされます"falling"では、DSCの下下がりエッジでデータがサンプリングされます

パリティ・エラーが発生すると、パリティ・カウンタ（レジスタ 0x02[7:0]）がインクリメントします。パリティ・カウンタは、クリアされるか、最大値の 255 に到達するまで累計し続けます。カウンタをクリアするには、レジスタ 0x04[7]に 1 を書き込みます。

レジスタ 0x03[7]に 1 を書き込むことで、パリティ・エラー発生時に、IRQ によるトリガを有効にできます。IRQ のステータスを判定するには、レジスタ 0x04[7]または IRQ ピン（ピン P2）が使用できます。IRQ ピンを使用し、複数の IRQ を有効にした場合、レジスタ 0x04 を調べ、いつ IRQ イベントが発生したかをチェックし、その IRQ がパリティ・エラーに起因するものかどうかを判断する必要があります。IRQ はレジスタ 0x04[7]に 1 を書き込んでもクリアできます。

## アナログ動作モード

AD9789 で採用されているクワッドスイッチ・アーキテクチャは、SPI インターフェースを介して 3 つのモード（ノーマル・モード、RZ モード、ミックス・モード）のいずれかで動作するように設定できます。

クワッドスイッチ・アーキテクチャは、従来の 2 スイッチ DAC で発生する、コード依存のグリッチを軽減できます。図 104 に、従来の DAC とクワッドスイッチ DAC の波形を示します。従来の 2 スイッチ構成で D1 と D2 が異なる大きさの場合、スイッチ遷移によってグリッチが生じます。なお D1 と D2 が同じ大きさなら、スイッチではグリッチが生じません。このようなコード依存のグリッチで DAC での歪みが増加します。クワッドスイッチ・アーキテクチャでは、コードに関係せず、半クロック周期ごとに 2 つのスイッチが常に切り替わります。これによりコード依存のグリッチはなくなります（ $2 \times f_{DAC}$  のレートで一定のグリッチは発生してしまいます）。

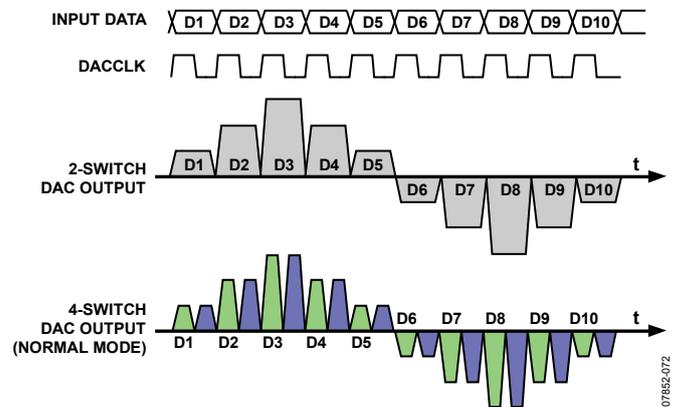


図 104. 2 スイッチとクワッド（4）スイッチの DAC 波形

クワッドスイッチ・アーキテクチャでは、アナログ・ミックス・モードまたはゼロ・リターン（RZ）モードで動作するように、簡単に設定できます。ミックス・モードでは、出力は DAC サンプル・レートでチョッピングされます。

RZモードはミックス・モードに似ていますが、中間のデータ値が、反転値の代わりにミッド・スケール値で置き換えられます。図 105 にミックス・モードと RZモードの DAC 波形を示します。

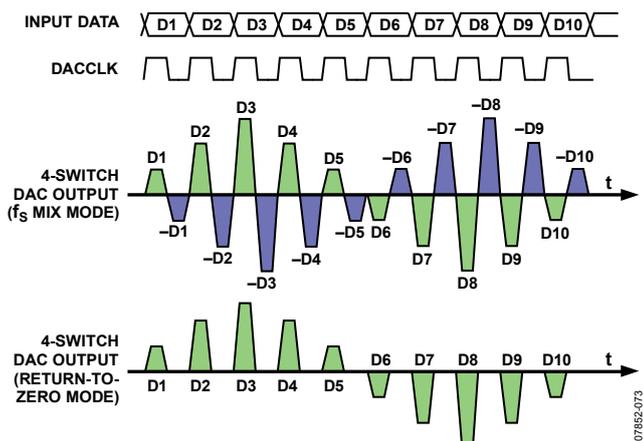


図 105. ミックス・モードと RZ モードの DAC 波形

アナログ・モード間で切り替えると、モードごとに固有の sinc ロールオフが DAC 出力で形成されます。図 106 に示すように、3 つのナイキスト領域における性能と最大振幅は、キャリアをどこに配置するかに応じて、この sinc ロールオフの影響を受けます。

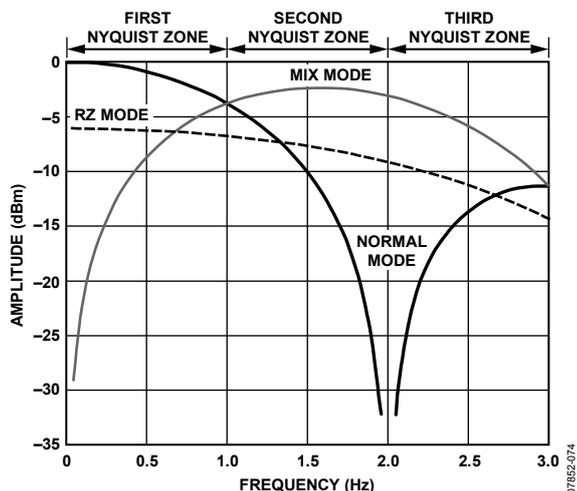


図 106. アナログ動作モードごとの sinc ロールオフ ( $f_s = 2 \times \text{DACCLK}$ )

レベルが低くてもフラットな応答特性を持つ RZ モードは、システム周波数応答の簡易チェックにとっても便利なことがあります。

## アナログ制御レジスタ

AD9789 は、アナログ性能を最適化するためのレジスタを内蔵しています。これらには、出力カレント・ミラー回路のノイズ削減やヘッドルーム調整を行うレジスタなどがあります。

### カレント・ミラーのロールオフ周波数制御

MSEL[1:0] ビット (レジスタ 0x36[1:0]) を使用して、内部のカレント・ミラーで発生するノイズを調整し、 $1/f$  ノイズを最適化できます。図 107 は、 $50 \Omega$  の抵抗に対して  $20 \text{ mA}$  のフルスケール電流を出力する場合の、MSEL ビットの設定値ごとの  $1/f$  ノイズ特性を示しています。

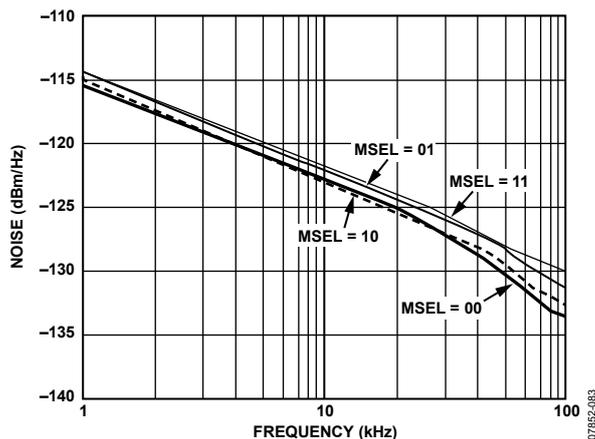


図 107. MSEL ビット設定値ごとの  $1/f$  ノイズ特性

# AD9789

## 電圧リファレンス

図 108に示すように、AD9789 の出力電流は、デジタル制御ビットとI120 リファレンス電流とを組み合わせることで設定します。

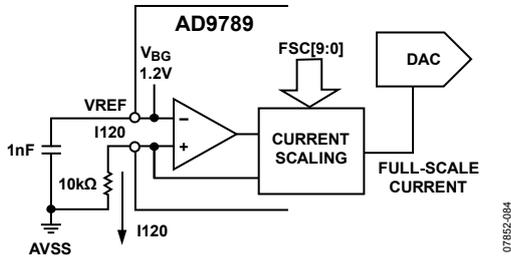


図 108. 電圧リファレンス回路

リファレンス電流を得るには、I120 (B14 ピン) とグラウンドの間に 10 kΩ の抵抗を外付けし、そこにバンドギャップ電圧が生じるように設定します。公称値が 1.2 V であるバンドギャップ電圧 (VREF、C14 ピン) により、10 kΩ の抵抗で 120 μA のリファレンス電流を生成します。FSC[7:0] (レジスタ 0x3C[7:0]) と FSC[9:8] (レジスタ 0x3D[1:0]) とでデジタル的に変更することで、この電流を調整し、次の式から求められるフルスケール出力電流  $I_{FS}$  (ミリアンペア単位) を設定できます。

$$I_{FS} = 0.023 \times FSC[9:0] + 8.58$$

0x000 から 0x3FF までのレジスタ値の範囲でのフルスケール出力電流範囲は、およそ 8.6~32.1 mA です。0x200 のデフォルト値を適用すると、フルスケール出力電流は 20 mA になります。図 109 にこの標準的なレンジを示します。

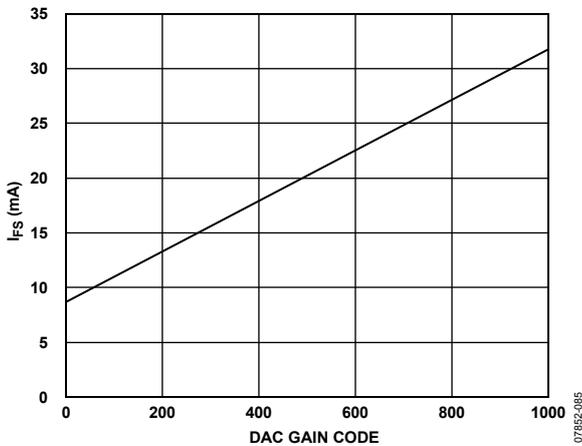


図 109. DAC のゲイン・コード対フルスケール電流

常に 10 kΩ の抵抗を I120 ピンとグラウンド間に外付けし、デジタル制御手法を用いてフルスケール電流を調整するようにしてください。AD9789 は乗算型 DAC ではないため、アナログ信号を I120 ピンに加えることはできません。

VREF (C14 ピン) に 1 nF のコンデンサを接続して、グラウンド間で必ずバイパスしてください。バンドギャップ電圧はこのピンに現れるため、このピンをバッファリングして外部回路で使用できます。出力インピーダンスの typ 値は 5 kΩ 付近です。必要に応じて外部リファレンスを VREF ピンに接続することで、内部リファレンスを無効にできます。

IPTAT (D14 ピン) は工場でのテスト目的に使用されます。このピンは開放したままにしてください。IPTAT は、絶対温度に比例した電流出力です。出力電流は 25°C では約 10 μA であり、約 20 nA/°C の勾配です。

最適な DOCSIS 3.0 の ACLR 性能を得るには、表 75 に示すフルスケール出力電流の設定を推奨します。

表 75. 推奨フルスケール電流設定 対 QAM チャンネル数

Number of QAM Channels	Recommended $I_{FS}$ (mA)	FSC[9:0]
1	20	512
2	25	720
3	25	720
4	25	720

## DAC出力段

試作評価で AD9789 を正しく測定・評価するために、異なる 3 つの出力結合回路が使用できます。

サイン波出力で、SFDR や相互変調歪み性能など、従来から規定されている DAC 性能特性を測定するときに最適な、出力結合回路を図 110 に示します。

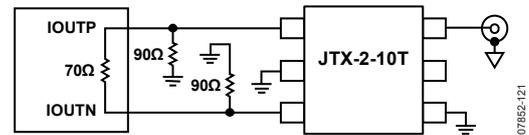


図 110. シングルトーン/マルチトーン測定用の推奨トランス出力段

ミックス・モードで信号を測定するとき (2 次または 3 次ハイキスト領域) に最適な出力結合回路を図 111 に示します。センター・タップ方式のトランスの帯域幅では、ミックス・モード出力に対応できないため、広帯域バランを単独で使うことが最善のソリューションになります。

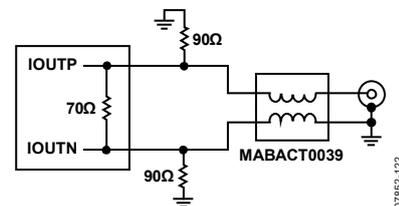


図 111. ミックス・モード用の推奨トランス出力段

CMTSやその他のデジタルTVアプリケーションでの性能を測定するときには、DACコアから見えるインピーダンスをうまく制御するために、DACとトランス間に1 dB、1.2 GHzのチェビシェフ・ローパス・フィルタを挿入することを推奨します。これは高い周波数での出力時に生じる、折り返し高調波の低減に役立ちます。CMTS測定に最適なトランスはJTX-2-10Tで、バランスとセンター・タップ・トランスがシングル・パッケージで提供されています。この出力段を図112に示します。

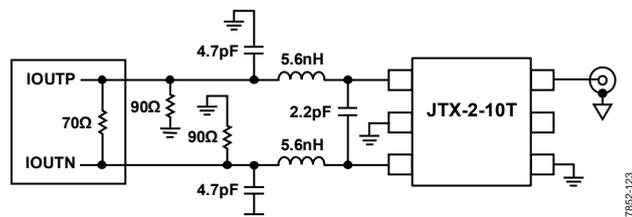


図 112. CMTS 測定用の推奨トランス出力段

不必要な寄生成分が生じるのを避けるため、DACからトランスへのパターンは、図110と図112の構成ではグラウンドに対してそれぞれ50Ωの特性インピーダンス、図111の構成ではグラウンドに対してそれぞれ25Ωとしてください。

## AD9789のクロック駆動

AD9789内蔵のクロック・レシーバに必要な信号振幅を印加するには、外部にクロック・バッファICを用意してCLKP入力とCLKN入力を駆動することが必要です。このような高レベル、高スループートの信号は、プリント基板上で長く引き回さないでください。この用途で推奨されるクロック・バッファはADCLK914です。この超高速クロック・バッファは、V<sub>CC</sub> (3.3 V) に終端された50Ω負荷をそれぞれの側で1.9 Vで駆動して合計3.8 Vの差動振幅を実現できます。

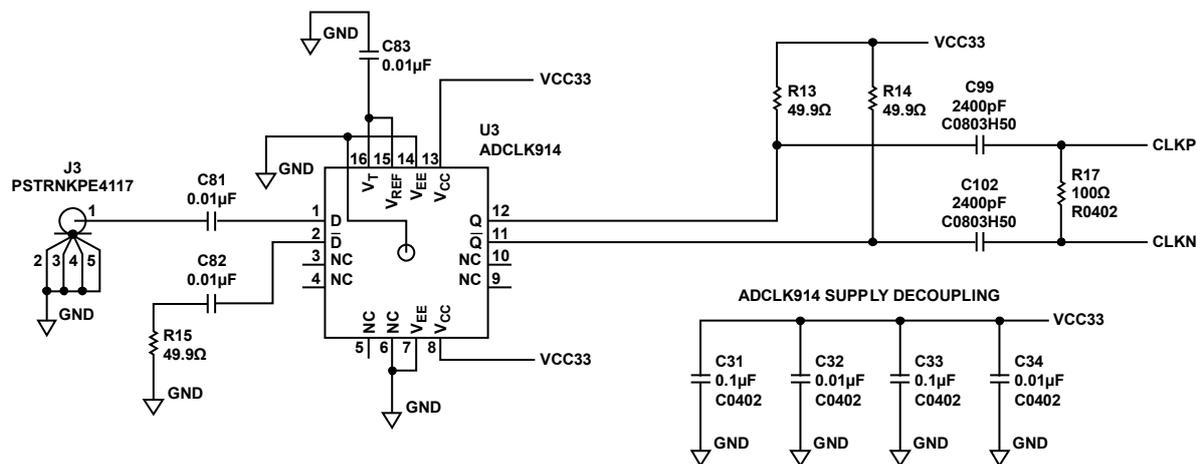


図 114. クロック源として使用するADCLK914/AD9789のインターフェース回路

このバッファは、プリント基板上で良く使われる振幅レベルの低いPECLやCMLなどの低レベル信号で簡単に駆動できます。またこのバッファは、きわめて低い100 fsのランダム・ジッタ性能ももっています。これは最適なAC性能をAD9789から引き出すために重要なことです。ADCLK914のブロック図を図113に示します。図114は、ADCLK914/AD9789インターフェース推奨回路です。詳細については、ADCLK914のデータシートを参照してください。DAC出力のノイズ・フロアが、このデータシートにある仕様を満たせない場合は、クロック系統を精査してみてください。

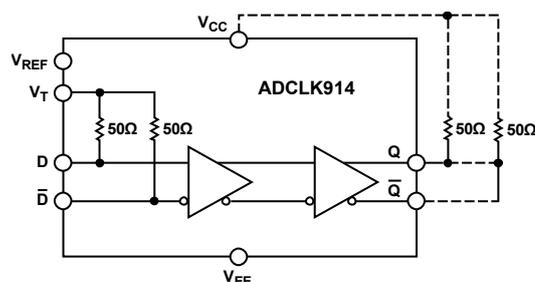


図 113. ADCLK914の機能ブロック図

ADCLK914内部の入力部分にある50Ωの抵抗は、PECLまたはCMLドライバからの電流を流せるようになっています。V<sub>T</sub>ピンはV<sub>CC</sub>、PECL電流シンク、または内部V<sub>REF</sub>に接続しますが、信号源によっては開放のままにもできます。ADCLK914のコモン・モード入力電圧範囲はLVDSの電圧レベルを含んでいないため、その場合にはAC結合が必要です。

## クロック信号同相電圧の最適化

信号の受け渡しタイミングを最適化できる回路に加えて、クロック信号の同相電圧を設定できる回路も内蔵しています。この回路を使用してCLKP信号とCLKN信号がクロスする電圧ポイントを正しく設定すれば、クロックのデューティ・サイクルを正しく維持できます。図 115にCLKPとCLKNの同相電圧の設定方法を示します。CLKP、CLKNの両方に、CLKP\_CMLビット（レジスタ 0x32[4:1]）とCLKN\_CMLビット（レジスタ 0x31[7:4]）で制御される 8 つのスイッチがあります。制御していく方向は、PSIGNビットとNSIGNビット（レジスタ 0x32、ビット 5 とビット 0）によって決定されます。PSIGNとNSIGNがローの場合、同相電圧はCLKP\_CML/CLKN\_CML値とともに減少します。PSIGNとNSIGNがハイの場合、図 116に示すように、同相電圧はCLKP\_CML/CLKN\_CML値とともに増加します。CLKP\_CMLとCLKN\_CMLをいずれも 0 に設定すると、内部の帰還経路によって同相電圧は約 0.9 V に設定されます。CLKPとCLKNの両方のオフセット・ビットを-15 に設定したとき、最適なAC性能が得られます。

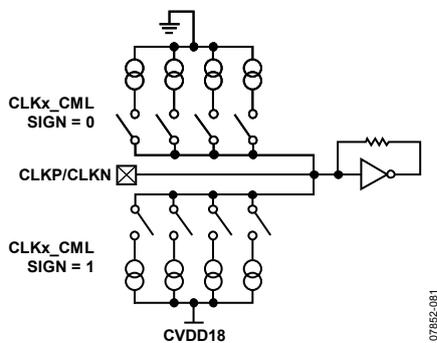


図 115. クロックの同相制御

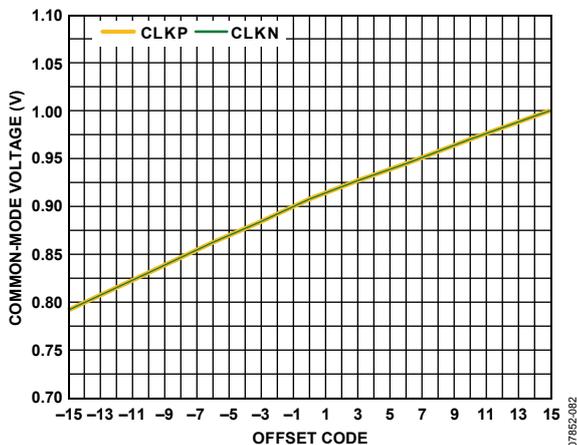


図 116. CLKP\_CML/CLKN\_CML と PSIGN/NSIGN と同相電圧の関係

## クロック位相ノイズがAC性能に与える影響

ADCLK914 を駆動するクロック源の品質により、AD9789 で達成できる ACLR 性能が決定します。表 76 はさまざまな位相ノイズ・プロファイルに対して、900 MHz での 4 キャリア DOCSIS 信号の近接 ACLR をまとめたものです（ACLR 値の単位は dBc）。

表 76. さまざまな位相ノイズ・プロファイルに対する 4 キャリア DOCSIS の近接 ACLR 性能 (900 MHz)

Band	Phase Noise (dBc)				Spec
	Profile 1	Profile 2	Profile 3	Profile 4	
750 kHz to 6 MHz	-71	-67.2	-62.4	-59.1	-60
6 MHz to 12 MHz	-70.9	-70.3	-67	-63.8	-63
12 MHz to 18 MHz	-71	-70.8	-70.8	-70.8	-65

表 77 にプロファイルごと、さまざまなオフセットでの位相ノイズを示します（位相ノイズ値の単位は dBc/Hz）。

表 77. プロファイルごとの位相ノイズの要約

Offset <sup>1</sup>	Phase Noise (dBc/Hz)			
	Profile 1	Profile 2	Profile 3	Profile 4
2 kHz	-114.8	-112.8	-111.7	-111.2
20 kHz	-117.8	-115.5	-114.6	-113.8
200 kHz	-128.3	-118.9	-118.3	-116.8
2 MHz	-148.5	-127.9	-122.2	-117.9
20 MHz	-152.5	-149.9	-148	-145.7

<sup>1</sup> 500 kHz 未満のオフセットでは、計測装置自体が位相ノイズ測定のための支配的要因になります。

4 キャリア DOCSIS での近接 ACLR の条件を満たすには、プロファイル 3 の位相ノイズ特性が最低限の必要条件になります。

## ミュー遅延コントローラ

デジタル・ブロックとアナログ・ブロック間のタイミングを、ミュー遅延で調整します。ミュー遅延コントローラは、デジタル・クロック領域とアナログ・クロック領域間での位相関係の情報を利用します。制御システムは、ミュー遅延を絶えず調整することにより、デジタル部分とアナログ部分の間で、所望の位相関係を維持できます。DAC 内のミュー遅延コントローラのブロック図を図 117 に示します。

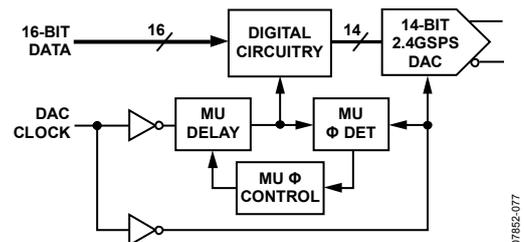


図 117. ミュー遅延コントローラのブロック図

ミュー遅延コントローラには、2 つの動作モード（初期位相検索と位相トラッキング）があります。コントローラは初期位相検索モードで、トラッキング・モードで使用する初期ミュー遅延値を検索してから、トラッキング・モードに入ります。トラッキング・モードでは、コントローラはこの初期ミュー遅延値を基準として、所望の値に位相を維持します。初期位相検索が必要な理由は、複数のミュー遅延設定によって所望の位相が実現できても、ミュー遅延値によってはデバイスが正常に動作しないこともあるからです。

### ミュー・コントローラの自動モード動作

ミュー・コントローラは、レジスタ 0x33[0]で有効にします。コントローラを有効にすると、位相検索モードが開始されます。コントローラを有効にする前に、位相コンパレータ・ブースト（レジスタ 0x3E[5]）と、ミュー制御デューティ・サイクル補正回路（レジスタ 0x30[7]）をオンすることが重要です。この2つの機能によって、ミュー・コントローラはデバイスの動作速度全域で、より安定した動作が可能になります。ミュー・コントローラの3つの動作モードを、次のようにレジスタ 0x33[5:4]の MODE[1:0]ビットによって規定することができます。

- 検索とトラッキング (00) (最適設定)
- トラッキングのみ (01)
- 検索のみ(10)

検索アルゴリズムは、MUDLY[8:0]ビットで設定した指定のミュー遅延値から始まります。ここで LSBはレジスタ 0x39[7]になり、MSBはレジスタ 0x3A[7:0]になります。この遅延値には9ビットの分解能がありますが、最大許容ミュー遅延は 431 (10進) です。最適な検索の開始点はこの遅延値の中央、つまり約 216 です。初期検索アルゴリズムは、所望の位相が得られるまで、さまざまなミュー遅延値すべてを順番に探索するように機能します。この所望位相量はレジスタ 0x39[4:0]の MUPHZ[4:0]ビットを使用して指定し、許容できる最大位相量は 16 です。16より大きな値がロードされた場合、コントローラはロックしません。所望の位相が測定されると、この位相測定でのスロープ方向が計算され、レジスタ 0x33[6]の SLOPE ビットで指定される所望のスロープ方向と比較されます。最適な AC 性能が得られるように検索させる最善の設定は、正のスロープと位相値 14 です。位相とスロープ方向が設定した値と一致した場合、検索アルゴリズムは終了します。SEARCH\_TOL ビット（レジスタ 0x2F[7]）を使用して、次のように検索の精度を指定できます。

- 低い正確度 (0) : 所望位相として設定した2つの値の範囲内の位相を検出します
- 高い正確度 (1) : 設定した値の正確な位相を検出します

図 118は、2.4 GSPSにおけるミュー位相とミュー遅延値の代表的なグラフです。選択されたミュー遅延値から始まる検索の方向は、レジスタ 0x39[6:5]のSEARCH\_DIR[1:0]ビットで指定できます。検索には次のように3つの選択肢があります。

- 下方向専用 (00)
- 上方向専用 (01)
- 上下交互 (10) (最適設定)

検索方向が「上下交互」である場合、レジスタ 0x2F[4:0]の GUARDBAND[4:0]ビットで指定した、ガード・バンドの上下のいずれかのポイントに到達するまで、検索はそれぞれの方向に進められます。ガード・バンドに到達すると、検索は反対方向に向かって続行します。2回目の方向で、反対側のガード・バンドに到達するまでに、所望の位相が見つからない場合、検索は交互モードに戻り、ガード・バンド内での検索が続行されます。

ミュー遅延値が終了点に到達した場合、検索は失敗とみなされません。コントローラが検索中に所望の位相を見つけられなかった場合、TRACK\_ERR ビット（レジスタ 0x2F[5]）により是正処理が次のように決まります。

- 続行(0) : 検索を続行します (最適設定)
- リセット(1)

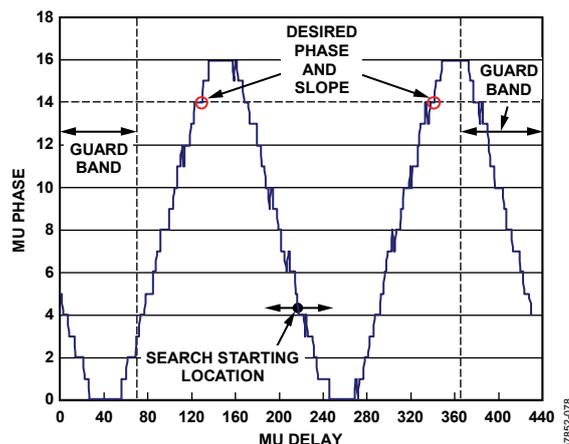


図 118. 代表的なミュー位相特性 (@2.4 GSPS)

検索が正しいスロープ方向であるかどうかを判定するため、以下のいずれかのイベントが発生するまで、コントローラは、まずミュー遅延値をインクリメントし、次にデクリメントすることによって、スロープ方向を測定します。

- 位相が 2 だけ変化する
- 位相が 16 (最大値) に等しくなる
- 位相が 0 (最小値) に等しくなる
- ミュー遅延が 431 (最大値)
- ミュー遅延が 0 (最小値)

ミュー遅延値をインクリメントし、デクリメントした後で、測定した位相の値を比較して、このスロープ方向が所望のスロープ方向と一致するかどうかを判定します。スロープが有効と見なされるには、正方向に進む位相と負方向に進む位相の部分が、目的の位相位置の向かい合った両端にあることが必要です。有効な位相選択と無効な位相選択の例を図 119 と図 120 に示します。

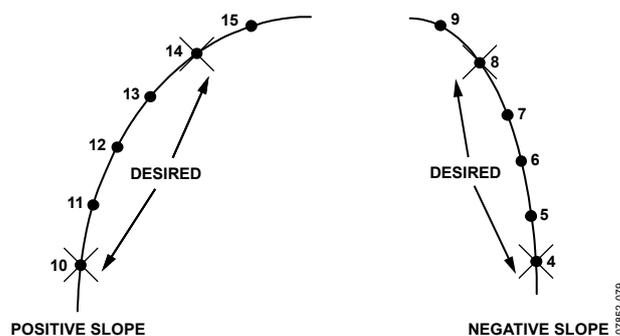


図 119. 有効な正と負のスロープ位相の例

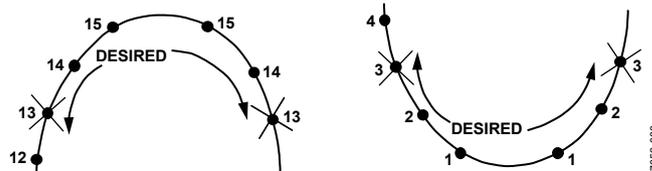


図 120. 無効なスロープ位相の例

検索アルゴリズムで初期ミュー遅延値が得られると、トラッキング・モードが有効になります。トラッキング・モードは簡単な制御ループを使用して、測定した位相に応じて、ミュー遅延値を1だけインクリメントするか、1だけデクリメントするか、または変更しないように動作します。得られたスロープ方向を使用して、制御ループはミュー遅延をインクリメントするかデクリメントするかを判断します。実際のスロープ状態については、その変化の有無やそれが有効かどうかの判定は行われません。

制御ループが正常に動作しているかを知るために、2つのステータス・ビット、LOCKACQ (レジスタ 0x04[3]) と LOCKLOST (レジスタ 0x04[2]) を使用できます。現在の位相が所望の位相から6ステップ以上離れており、前もって LOCKACQ ビットがセットされていた場合、LOCKACQ ビットがクリアされ、LOCKLOST 割込みビットがセットされます。さらにロックが失われてしまった場合、コントローラはトラッキング・ループのままを維持したり、リセットして再び検索を開始したりすることができます。

MUSAMP ビット (レジスタ 0x33[3]) をロー状態からハイに設定し、MUDLY ビット (レジスタ 0x39[7]とレジスタ 0x3A[7:0]) を読み出すことで、コントローラが得たミュー遅延値をリードバックできます。また MUPHZ[4:0] ビット (レジスタ 0x39[4:0]) からロックした位相もリードバックできます。これらのビットは、検索が開始された時の値や所望の位相をリードバックできませんが、コントローラがロックしたミュー遅延値と位相をリードバックできます。

表 78にコントローラをロックアップさせるための、レジスタ書込みと読出し手順を示します。このプログラムは、クロック受信回路がすでに有効になっており、また何も無い状態から安定にロックアップしていくことを想定しています。ミュー・コントローラの代表的なロック時間は約 180,000 DAC サイクルです (2 GSPS では約 75  $\mu$ s)。

表 78. AD9789 のミュー遅延コントローラ・ルーチン

アドレス	データ	R/W	説明
0x30	0x80	書込み	デューティ・サイクル補正を有効にします。
0x31	0xF0	書込み	CLKN のコモンモード・レベルを設定 : CLKN_CML = 0xF
0x32	0x9E	書込み	CLKP のコモンモード・レベルを設定 : CLKP_CML = 0xF CLKP_CML と CLKN_CML の方向を設定 : PSIGN = 0, NSIGN = 0 クロック・レシーバを有効にします : CLK_DIS = 1
0x3E	0x38	書込み	位相コンパレータ・ブーストを設定 (AUTO_CAL には、そのデフォルト値である 1 の設定が必要)。
0x24	0x00	書込み	デジタル・クロックを有効にします。
0x24	0x80	書込み	
0x2F	0xCE	書込み	
0x33	0x42	書込み	終了点から 98 コードのガード・バンドを設定し、正確な位相を検索。
0x39	0x4E	書込み	検索スロープを正に設定。
		書込み	検索位相を 14 に設定し、上下方向に検索。
0x3A	0x6C	書込み	検索の始点をミュー遅延ラインの間点 (コード 216) に設定。
0x03	0x00	書込み	ロックおよびロック喪失インジケータを無効にします。
0x04	0xFE	書込み	ロックおよびロック喪失インジケータをクリアします。
0x03	0x0C	書込み	ロックおよびロック喪失インジケータを有効にします。
0x33	0x43	書込み	ミュー遅延コントローラを有効にし、検索/トラック・ルーチンを起動します。
0x33	0x4B	書込み	ミュー位相読出しビットをハイレベルに設定します。
0x33	0x43	書込み	ミュー位相読出しビットをローレベルに設定します。
0x04		読出し	ロックおよびロック喪失ビットのチェック : LOCKACQ をオンにします。 LOCKLOST をオフにします。
0x39		読出し	位相リードバックをチェックします (14 に等しいことが必要)。

### ミュー・コントローラの手動モード動作

図 118のように、手動モードでは、ユーザはすべてのミュー遅延値を全体にわたって指定し、MUDLYのそれぞれの値で位相値を記録する必要があります。MUDLY値がステップで進められるたびに、MUSAMPビットをローレベルからハイレベルにトグルさせて、指定のミュー遅延値に対応する位相を読み出す必要があります。このビットをハイレベルに維持したままで位相値を連続でリードバックすることはできません。自動モードと同様に、最適なAC性能は正方向のスロープと位相 14 で得られます。したがって位相曲線の全体が把握できたら、この条件に対応するMUDLY値を選択し、その値をMUDLY[8:0]ビット（レジスタ 0x39[7]とレジスタ 0x3A）に書き込みます。

### ミュー遅延ラインのステップ・サイズの計算

すべてのミュー遅延値を 1 ステップずつ指定し、ミュー位相とミュー遅延の関係を計測、描画していけば、最適なミュー遅延値を見つけ出せるだけでなく、ミュー遅延のステップ・サイズを決定することもできます。ステップ・サイズを計算するには、ミュー位相曲線の周期全体を用いて、DACクロック周期をこの 1 周期に相当する差分で割り算します。図 118から 2 つの遷移点は約 56 と 270 であり、約 214 のステップ差分量が得られます。したがって次の式に示すように、ミュー遅延のステップ・サイズは約 2 ps/ステップになります。

$$\left( \frac{1}{2.4 \text{ GHz}} \right) \frac{1}{214} = 1.95 \text{ ps}$$

ミュー・コントローラを有効にした場合、この値を用いて、DACクロック周期に対してのシステム内の温度ドリフト量をピコ秒単位で計算できます。

### 割込み要求

以下に示す割込み要求（IRQ）は、さまざまな内部機能の状態についての補足情報を得たり、検証に使用したりできます。

- PARERR—データ・バス上で 1 つまたは複数のパリティ・エラーが発生したときにトリガされます
- PARMSET—PARMNEW がセットされ、内部に登録されたときにトリガされます
- PARMCLR—PARMNEW がクリアされ、内部に登録されたときにトリガされます
- LOCKACQ—ミュー・コントローラが、ユーザが規定した位相にロックしたときにトリガされます
- LOCKLOST—ミュー・コントローラのロックが外れたときにトリガされます（あらかじめ LOCKACQ ビットがセットされていた場合）
- SATERR—1 つまたは複数の飽和エラーが発生したときにトリガされます

各 IRQ は、割込みイネーブル・レジスタ（レジスタ 0x03）のイネーブル・ビットを使用して有効にします。IRQ のステータスは、SPI を介して割込みステータス/クリア・レジスタ（レジスタ 0x04）を、あるいは IRQ ピン（P2 ピン）を使用してチェックできます。

ピンを使用して割込み発生を判断する場合、レジスタ 0x04 をチェックして、どのビットが割込みを発生させたかを判断することが必要です。なぜならピンは、割込みの発生のみを示さないためです。IRQ をクリアするには、レジスタ 0x04 の割込みに対応するビットに 1 を書き込む必要があります。

# AD9789

## 推奨起動シーケンス

デバイス性能を最適化し、出力波形を生成するために必要なステップを表 79に示します。

表 79. 推奨システム起動シーケンス

ステップ	説明	レジスタ	データ
0	AD9789 をパワーアップします。		
0	クロックを印加します。		
1	クロック・レシーバを有効にし、クロック CML を設定します。	0x32	0x9E
1	デューティ・サイクル補正を有効にします。	0x30	0x80
2	デジタル・クロックを有効にします。	0x24	0x00
3		0x24	0x80
4	ミュー・コントローラをセットアップします。	0x2F	0xCE
4		0x33	0x42
4		0x39	0x4E
4		0x3A	0x6C
5	すべての割込みを無効にします。	0x03	0x00
6	すべての割込みをクリアします。	0x04	0xFE
7	ミュー制御割込みを有効にします。	0x03	0x0C
8	ミュー遅延コントローラを有効にします。	0x33	0x43
9	デジタル・データバスをセットアップします。	0x06~0x15	
9	レート・コンバータをセットアップします。	0x16~0x1B	
9	BPF 中心周波数をセットアップします。	0x1C~0x1D	
9	インターフェースをセットアップします。	0x20~0x23	
9	チャンネル・ゲインをセットアップします。	0x25~0x28	
9	スペクトル反転をセットアップします。	0x29	
9	フルスケール電流をセットアップします。	0x3C~0x3D	
10	ミュー遅延コントローラがロックされるまで待ちます (SPI読出し) <sup>1</sup> 。	0x04	0x08
11	レート・コンバータと BPF を更新します。	0x1E	0x80
12	インターフェース・クロックを更新します。	0x24	0x00
13		0x24	0x80
14	チャンネルをイネーブルにします。	0x05	
15	必要に応じて他の割込みを有効にします。	0x03	

<sup>1</sup> ミュー・コントローラの代表的なロック時間は、約 180,000 DAC サイクルです (@2 GSPS、~75 μs)

## カスタマBISTモード

### 内部PRNジェネレータを使用してQAM出力AC性能をテストする方法

AD9789は、内蔵の疑似乱数（PRN）ジェネレータを動作させることができます。PRN出力はデータバスの入りに接続され、データバスは入力ピンから切断されます。PRNジェネレータを内蔵QAMエンコーダとともに使用することで、QAM信号を生成できます。PRNジェネレータを用いることで、ユーザは外部にデータ信号源がなくても、DAC出力でQAM信号のAC性能を測定できます。シリアル・ポートを介して内蔵のPRNジェネレータを有効にするには、以下のステップで行います。

- 表 80のレジスタに表中の値を設定することで、クロックを有効にし、クロックのコモン・モード電圧レベルを最適な値に設定します。

表 80. クロックを設定するためのレジスタ設定

Register	Data	Description
0x30	0x80	Enable duty cycle correction.
0x31	0xF0	Set the common-mode level of CLKN: CLKN_CML = 0xF.
0x32	0x9E	Set the common-mode level of CLKP: CLKP_CML = 0xF. Set PSIGN = 0, NSIGN = 0. Enable clock receiver (CLK_DIS = 1).

- 表 81のレジスタに表中の値を設定することで、PRN生成用BISTモードを設定し、入力ピンから切断します。

表 81. PRN生成を設定するためのレジスタ設定

Register	Setting
0x42	0x10
0x43	0x00
0x44	0x10
0x45	0x00
0x46	0x00
0x47	0x10
0x49	0x16
0x4B	0x17
0x4C	0x4E
0x4D	0x1F
0x05	0x0F

- レジスタ 0x24に 0x00を設定し、次にレジスタ 0x24に 0x80を設定することで、PARMNEWビットをトグルしハイにしてデジタル・クロックを有効にします。
- 表 82のレジスタに表中の値を設定することによって、PRNの生成を開始します。

表 82. PRN生成を開始するためのレジスタ設定

Register	Setting
0x48	0xab
0x4A	0xab
0x40	0x56

PRNジェネレータが起動されたら、レジスタ 0x40~0x55を変えない限り、ユーザはデータバスに対して所望のテスト設定値を自由に設定できます。

PRNジェネレータを無効にするには、レジスタ 0x40に 0x00を書き込みます。

### 内蔵セルフテスト（BIST）を使用してデジタル・データ入力の接続状態をテストする方法

AD9789の内蔵セルフテスト(built-in self-test; BIST)エンジンは、入ってきたデータから、シリアル・ポートでリードバックできるシグネチャ（読み出し）値を生成します。BIST機能を設定することにより、デジタル・データ入力ピン（L4~L12、M4~M12、N5~N12、P5~P12）の静的な状態を読み出し、シグネチャ・レジスタ（レジスタ 0x50~0x55）を介してこれらのピンの状態を出力として得ることができます。このようにして、ユーザはデジタル・データ入力の接続状態を検証することができます。

#### LVDSインターフェース・モードの接続テスト

LVDSインターフェース・モードにおいて、デジタル・データ入力ピンの接続状態をテストするには、以下のステップに従います。

- 表 83のレジスタに表中の値を設定することによって、クロックを有効にし、クロックのコモン・モード電圧レベルを最適な状態に設定します。

表 83. クロックを設定するためのレジスタ設定

Register	Data	Description
0x30	0x80	Enable duty cycle correction.
0x31	0xF0	Set the common-mode level of CLKN: CLKN_CML = 0xF.
0x32	0x9E	Set the common-mode level of CLKP: CLKP_CML = 0xF. Set PSIGN = 0, NSIGN = 0. Enable clock receiver (CLK_DIS = 1).

- レジスタ 0x24に 0x00を設定し、次にレジスタ 0x24に 0x80を設定することで、PARMNEWビットをトグルしハイにしてデジタル・クロックを有効にします。
- 表 84のレジスタに表中の値を設定することによって、LVDSインターフェースを高速、16ビット・バス幅、16ビット・データ幅の動作として設定します。

表 84. LVDSインターフェース用のレジスタ設定

Register	Setting
0x20	0x08
0x21	0x41
0x22	0x1F
0x23	0x87

- 表 85のレジスタに表中の値を設定することによって、ピン動作モードに設定します。

表 85. ピン動作モードを設定するためのレジスタ設定

Register	Setting
0x42	0x00
0x43	0x08
0x44	0x00
0x45	0x08
0x46	0x00
0x47	0x10
0x49	0x1C
0x4B	0x1C
0x4C	0x00
0x4D	0x00

# AD9789

- レジスタ 0x24 に 0x00 を設定し、次にレジスタ 0x24 に 0x80 を設定することで、PARMNEW ビットをトグルしハイにしてインターフェース設定を更新します。
- 静的な LVDS データを入力ポートに入力します。
- 表 86 のレジスタに表中の値を設定することによって、BIST によるピン・テストを有効にします。

表 86. BIST によるピン・テストをするためのレジスタ設定

Register	Setting
0x48	0x80
0x4A	0x80
0x40	0x55

- シグネチャ・レジスタ (レジスタ 0x50~0x55) をリードバックしてピンの状態をチェックします (表 87 を参照)。

表 87. シグネチャ・レジスタの設定

Register	Associated LVDS Pairs
0x50	Data bits D[7:0]
0x51	Data bits D[15:8]
0x52	Parity PAR
0x53	Data bits D[7:0] (repeated)
0x54	Data bits D[15:8] (repeated)
0x55	Parity PAR (repeated)

## CMOS インターフェース・モードの接続テスト

CMOS インターフェース・モードでデジタル・データ入力ピンの接続をテストするには、以下のステップに従います。

- 表 88 のレジスタに表中の値を設定することによって、クロックを有効にし、クロックのコモン・モード電圧レベルを最適な状態に設定します。

表 88. クロックを設定するためのレジスタ設定

Register	Data	Description
0x30	0x80	Enable duty cycle correction.
0x31	0xF0	Set the common-mode level of CLK <sub>N</sub> : CLK <sub>N</sub> _CML = 0xF.
0x32	0x9E	Set the common-mode level of CLK <sub>P</sub> : CLK <sub>P</sub> _CML = 0xF. Set PSIGN = 0, NSIGN = 0. Enable clock receiver (CLK_DIS = 1).

- レジスタ 0x24 に 0x00 を設定し、次にレジスタ 0x24 に 0x80 を設定することで、PARMNEW ビットをトグルしハイにしてデジタル・クロックを有効にします。
- 表 89 のレジスタに表中の値を設定することによって、CMOS インターフェースを高速、32 ビット・バス幅、16 ビット・データ幅の動作として設定します。

表 89. CMOS インターフェース用のレジスタ設定

Register	Setting
0x20	0x08
0x21	0x61
0x22	0x1F
0x23	0x87

- 表 90 のレジスタに表中の値を設定することによって、ピン・モードを設定します。

表 90. ピン・モードを設定するためのレジスタ設定

Register	Setting
0x42	0x00
0x43	0x08
0x44	0x00
0x45	0x08
0x46	0x00
0x47	0x10
0x49	0x1C
0x4B	0x1C
0x4C	0x00
0x4D	0x00

- レジスタ 0x24 に 0x00 を設定し、次にレジスタ 0x24 に 0x80 を設定することで、PARMNEW ビットをトグルしハイにしてインターフェース設定を更新します。
- 静的な CMOS データを入力ポートに入力します。
- 表 91 のレジスタに表中の値を設定することによって、BIST によるピン・テストを有効にします。

表 91. BIST ピンをテストするためのレジスタ設定

Register	Setting
0x48	0x80
0x4A	0x80
0x40	0x55

- シグネチャ・レジスタ (レジスタ 0x50~0x55) をリードバックしてピンの状態をチェックします (表 92 を参照)。

表 92. シグネチャ・レジスタの設定

Register	Associated CMOS Pairs
0x50	Data bits D[23:16]
0x51	Data bits D[31:24]
0x52	Parity P1
0x53	Data bits D[7:0]
0x54	Data bits [D15:8]
0x55	Parity P0

# QAMコンスタレーション・マップ

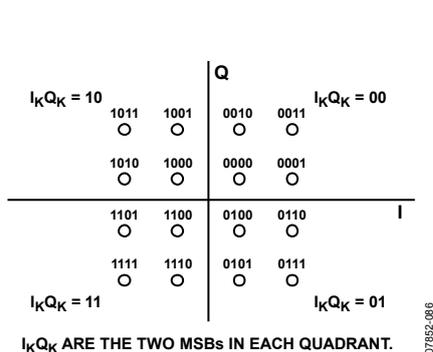


図 121. DVB 16-QAM コンスタレーション

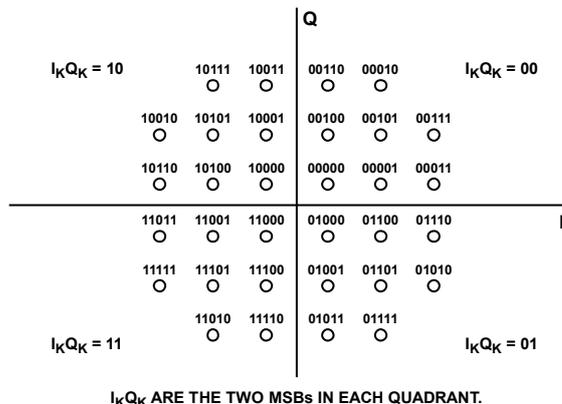


図 123. DVB 32-QAM コンスタレーション

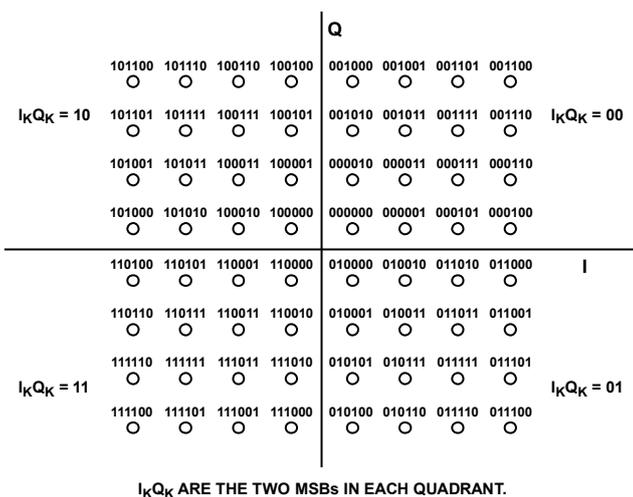


図 122. DVB 64-QAM コンスタレーション

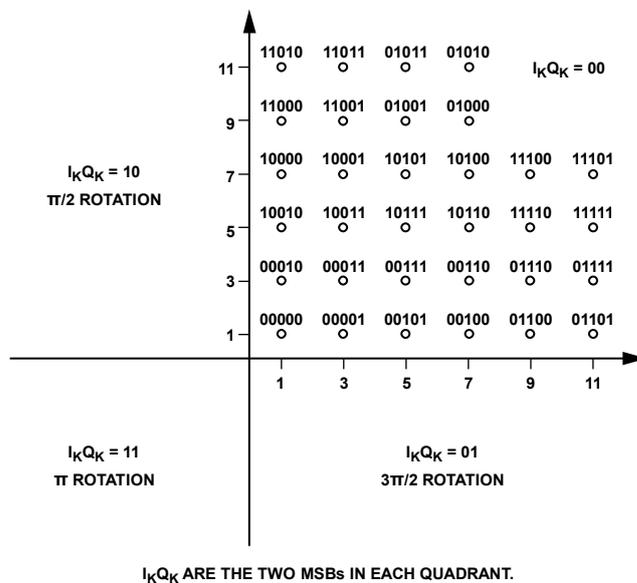
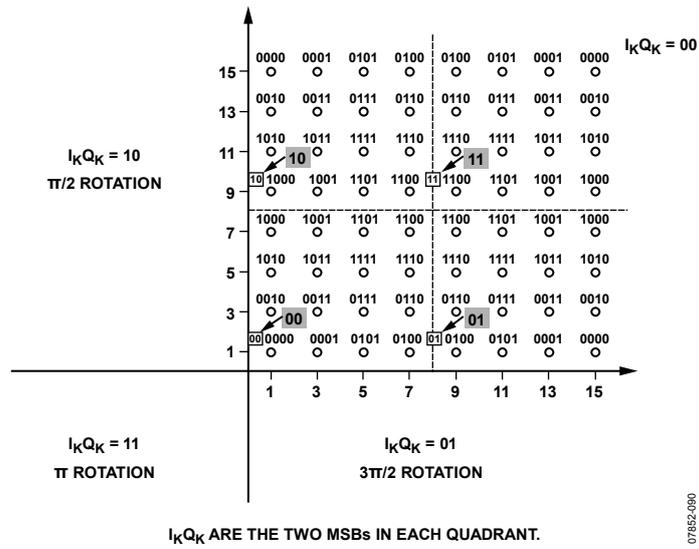
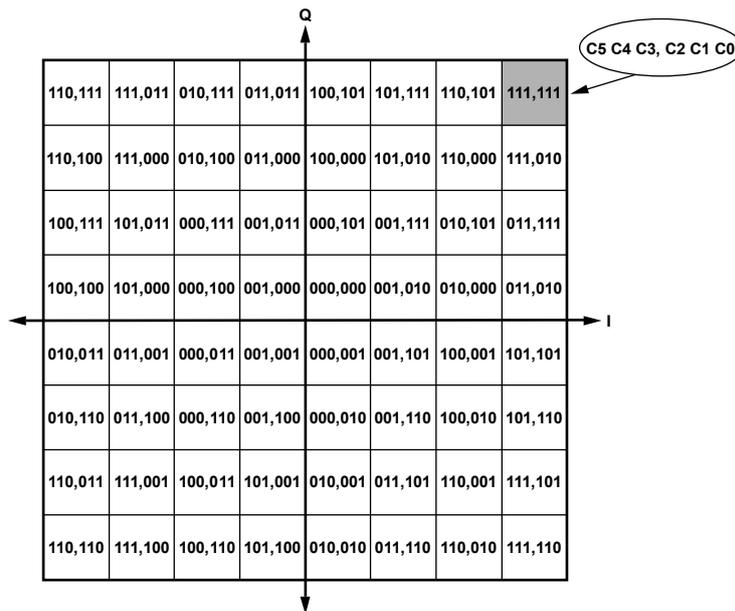


図 124. DVB 128-QAM コンスタレーション



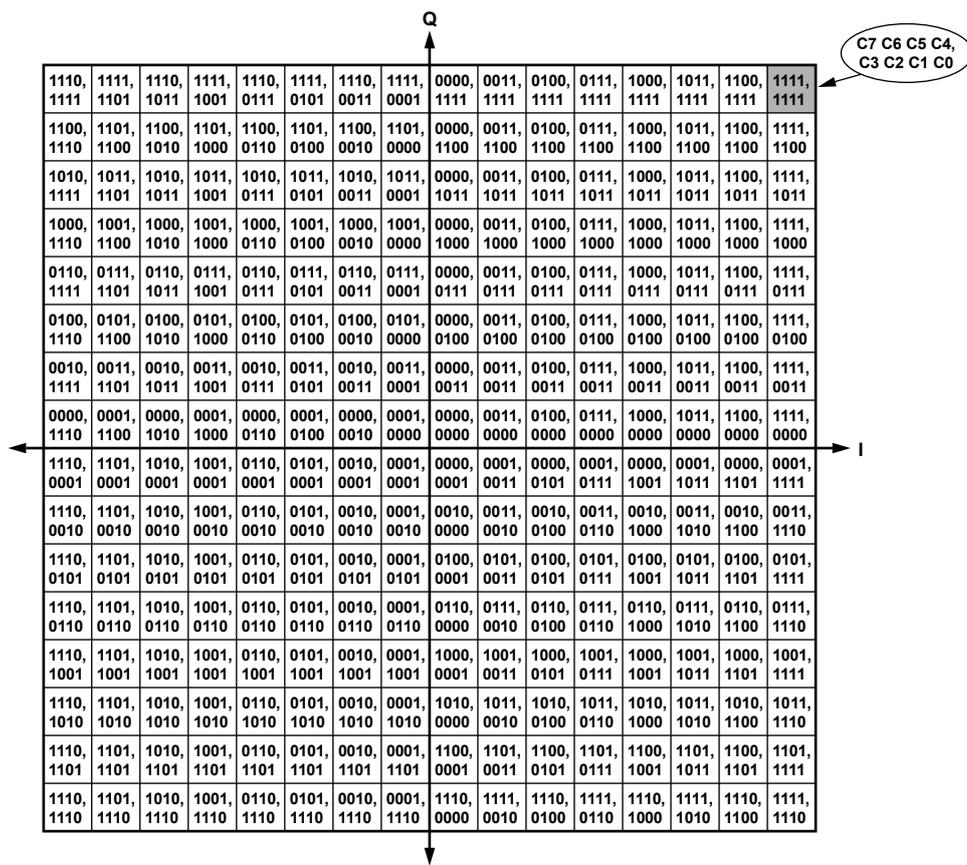
07852-090

☒ 125. DVB 256-QAM コンスタレーション



07852-081

☒ 126. DOCSIS 64-QAM コンスタレーション



07192-126

図 127. DOCSIS 256-QAM コンスタレーション

## CMOSとLVDSに対するチャネライザ・モードのピン・マッピング

表 93に、AD9789をチャネライザ・モードにしたときの、データ入力設定パラメータについて、使用可能な組合せを示します。これらの設定のうちの多くは、全チャンネルをロードするために複数のクロックが必要です。これらの設定の詳細については、表 96と表 97を参照してください。

表 94と表 95に、図 128と図 129とともに、CMOSとLVDSのデータ入力ピンのマッピングを示します。CMOSモードは、常にシングル・データレートであり、DSCの立上がりエッジでサンプリングされます。LVDSモードは、4~16 ビットのバス幅ではシングル・データレート (SDR) であり、32 ビットのバス幅ではダブル・データレート (DDR) です。

表 93. チャネライザ・モード用のデータ入力設定

Bus Width	Data Width	Data Format
4	8	Real
4	8	Complex
8	8	Real
8	8	Complex
8	16	Complex
16	8	Real
16	8	Complex
16	16	Complex
32	8	Real
32	8	Complex
32	16	Complex

表 94. さまざまなインターフェース幅に対する CMOS ピン配置

Interface Width	Pin Assignments	BUSWIDTH[1:0]
4 bits	D[3:0]	00
8 bits	D[7:0]	01
16 bits	D[15:0]	10
32 bits	D[31:0]	11

表 95. さまざまなインターフェース幅に対する LVDS ピン配置

Interface Width	Pin Assignments	BUSWIDTH[1:0]
4 bits	D[3:0]P, D[3:0]N	00
8 bits	D[7:0]P, D[7:0]N	01
16 bits	D[15:0]P, D[15:0]N	10
32 bits	D[15:0]P, D[15:0]N rising edge and falling edge	11

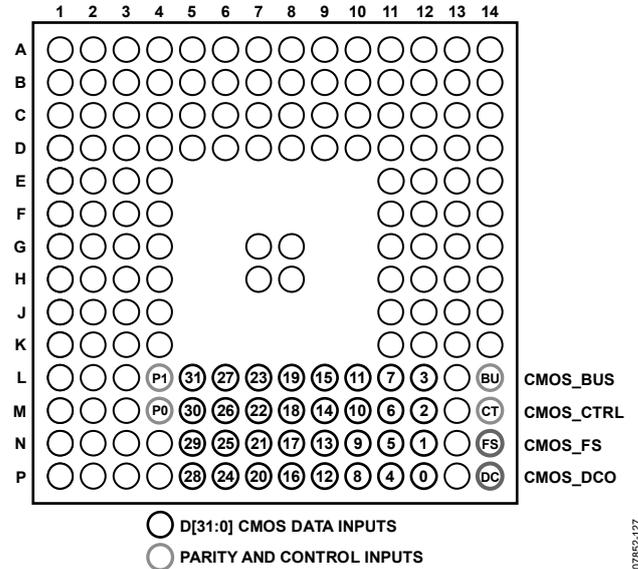


図 128. CMOS データ入力ピンのマッピング

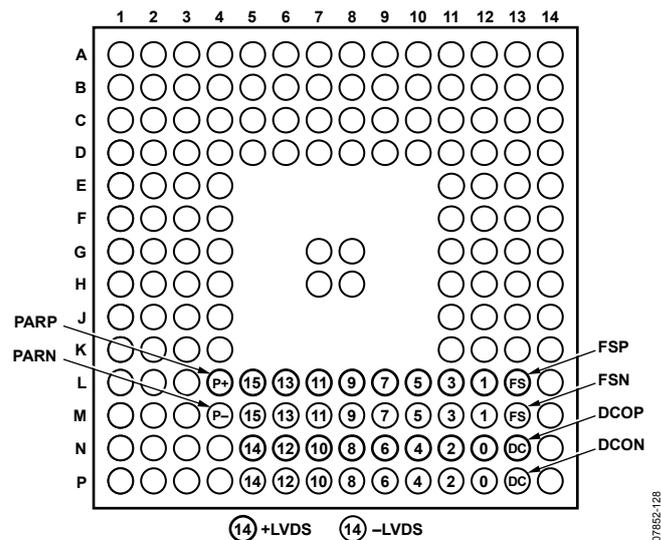


図 129. LVDS データ入力ピンのマッピング

表 96で、"R"は所定のチャンネルにロードされる実数データを示し、"I"は複素数データの同相項を示し、"Q"は直交項を示します。R、I、またはQの後にはチャンネル番号が続いています。

表 96. チャネライザ・モードの設定とチャンネル構造：CMOS インターフェース、チャンネル優先順位 = 1

Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
4	8	Real	1								R0		
			2								R0		
			3									R1	
			4									R1	
			5									R2	
			6									R2	
			7									R3	
			8									R3	
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
4	8	Complex	1									I0	
			2									I0	
			3										Q0
			4										Q0
			5										I1
			6										I1
			7										Q1
			8										Q1
			9										I2
			10										I2
			11										Q2
			12										Q2
			13										I3
			14										I3
			15										Q3
			16										Q3
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
8	8	Real	1									R0	
			2									R1	
			3									R2	
			4									R3	
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
8	8	Complex	1									I0	
			2									Q0	
			3									I1	
			4									Q1	
			5									I2	
			6									Q2	
			7									I3	
			8									Q3	

# AD9789

Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
8	16	Complex	1								I0		
			2								I0		
			3									Q0	
			4									Q0	
			5									I1	
			6									I1	
			7										Q1
			8										Q1
			9										I2
			10										I2
			11										Q2
			12										Q2
			13										I3
			14										I3
			15										Q3
			16										Q3
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
16	8	Real	1						R1		R0		
			2						R3		R2		
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
16	8	Complex	1						Q0		I0		
			2						Q1		I1		
			3						Q2		I2		
			4						Q3		I3		
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
16	16	Complex	1								I0		
			2								Q0		
			3									I1	
			4									Q1	
			5									I2	
			6									Q2	
			7									I3	
			8									Q3	
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
32	8	Real	1		R3		R2		R1		R0		
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
32	8	Complex	1		Q1		I1		Q0		I0		
			2		Q3		I3		Q2		I2		
Datapath Configuration			CMOS Pin Mapping										
BW	DW	Format	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
32	16	Complex	1								I0		
			2								I1		
			3									I2	
			4									I3	

DDR モードで、"rise"は DSC の立上がりエッジでサンプリングされるデータ、"fall"は DSC の立下がりエッジでサンプリングされるデータに対応します。

表 97. チャネライザ・モードの設定とチャンネル構造：LVDS インターフェース、チャンネル優先順位 = 1

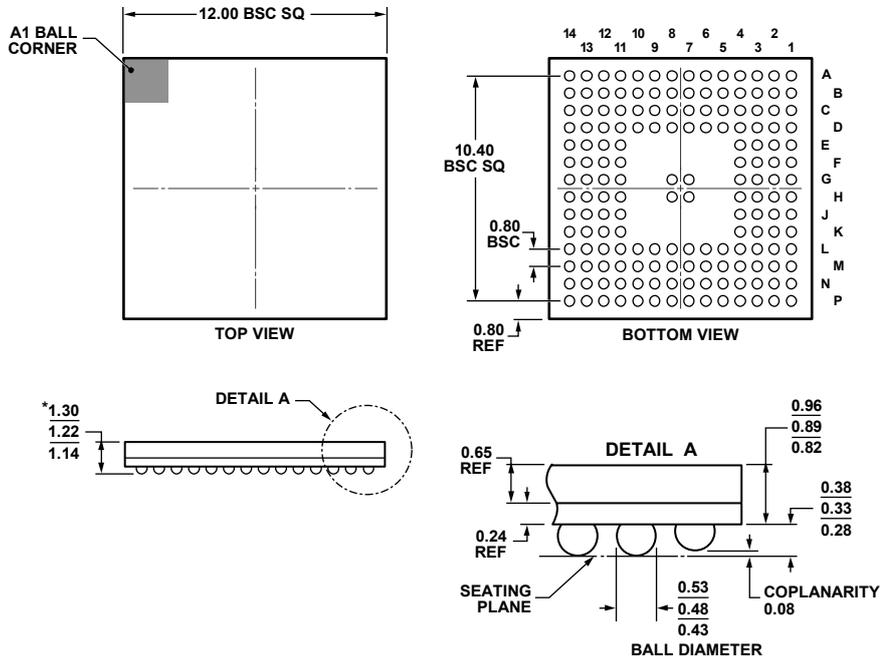
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
4	8	Real	1				R0
			2				R0
			3				R1
			4				R1
			5				R2
			6				R2
			7				R3
			8				R3
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
4	8	Complex	1				I0
			2				I0
			3				Q0
			4				Q0
			5				I1
			6				I1
			7				Q1
			8				Q1
			9				I2
			10				I2
			11				Q2
			12				Q2
			13				I3
			14				I3
			15				Q3
			16				Q3
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
8	8	Real	1				R0
			2				R1
			3				R2
			4				R3
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
8	8	Complex	1				I0
			2				Q0
			3				I1
			4				Q1
			5				I2
			6				Q2
			7				I3
			8				Q3

# AD9789

Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
8	16	Complex	1				I0
			2				I0
			3				Q0
			4				Q0
			5				I1
			6				I1
			7				Q1
			8				Q1
			9				I2
			10				I2
			11				Q2
			12				Q2
			13				I3
			14				I3
			15				Q3
			16				Q3
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
16	8	Real	1		R1		R0
			2		R3		R2
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
16	8	Complex	1		Q0		I0
			2		Q1		I1
			3		Q2		I2
			4		Q3		I3
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
16	16	Complex	1				I0
			2				Q0
			3				I1
			4				Q1
			5				I2
			6				Q2
			7				I3
			8				Q3
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
32	8	Real	1 rise		R1		R0
			1 fall		R3		R2
Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
32	8	Complex	1 rise		Q0		I0
			1 fall		Q1		I1
			2 rise		Q2		I2
			2 fall		Q3		I3

Datapath Configuration			LVDS Pin Mapping				
BW	DW	Format	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
32	16	Complex	1 rise				I0
			1 fall				Q0
			2 rise				I1
			2 fall				Q1
			3 rise				I2
			3 fall				Q2
			4 rise				I3
			4 fall				Q3

外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-219 WITH THE EXCEPTION TO PACKAGE HEIGHT.

111808-A

図 130. 164 ピン・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-164-1)  
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9789BBCZ <sup>1</sup>	-40°C to +85°C	164-Ball Chip Scale Package Ball Grid Array (CSP_BGA)	BC-164-1
AD9789BBCZRL <sup>1</sup>	-40°C to +85°C	164-Ball Chip Scale Package Ball Grid Array (CSP_BGA)	BC-164-1
AD9789BBC	-40°C to +85°C	164-Ball Chip Scale Package Ball Grid Array (CSP_BGA)	BC-164-1
AD9789BBCRL	-40°C to +85°C	164-Ball Chip Scale Package Ball Grid Array (CSP_BGA)	BC-164-1
AD9789-EBZ <sup>1</sup>		Evaluation Board for CMTS and Normal Mode Evaluation	
AD9789-MIX-EBZ <sup>1</sup>		Evaluation Board for Mix Mode Evaluation	

<sup>1</sup> Z = RoHS 準拠製品