

特長

低入力バイアス電流: 50 pA 最大

オフセット電圧

ADA4062-2 B グレード: 最大 1.5 mV

ADA4062-2 A グレード: 最大 2.5 mV

オフセット電圧ドリフト: 4 $\mu\text{V}/^\circ\text{C}$ (typ)

スルーレート: 3.3 $\text{V}/\mu\text{s}$ (typ)

CMRR: 90 dB (typ)

低電源電流: 165 μA (typ)

高入力インピーダンス

ゲイン=1 で安定

パッケージ: SOIC、MSOP

アプリケーション

電源の制御と監視

アクティブ・フィルタ

工業用/プロセス制御

ボディ・プローブ用電子回路

データ・アキュジション

積分器

入力のバッファリング

概要

ADA4062-2 は、業界をリードする性能を持つデュアル JFET 入力オペアンプです。このデバイスは、小さい消費電力、オフセット電圧、ドリフト、極めて小さいバイアス電流を持っています。ADA4062-2 B グレードは、0.5 mV (typ)の低いオフセット電圧、4 $\mu\text{V}/^\circ\text{C}$ のオフセット・ドリフト、2 pA のバイアス電流を持っています。ADA4062-2 は、プロセス制御、工業計装、アクティブ・フィルタ、データ変換、バッファリング、電源の制御と監視などの種々のアプリケーションに最適です。電源電流はアンプあたり 165 μA と小さいため、低消費電力アプリケーションにも適しています。ADA4062-2 の仕様は $-40^\circ\text{C}\sim+125^\circ\text{C}$ の拡張工業温度範囲で規定され、Pb フリーの SOIC または MSOP パッケージを採用しています。

ピン配置

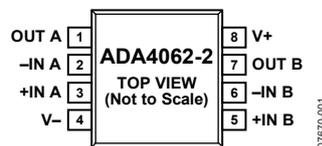


図 1.8ピン・ナローボディ SOIC



図 2.8ピン MSOP

表 1.低消費電力オペアンプ

Supply	40 V	36 V	12 V to 16 V	5 V
Single	OP97	AD820	AD8641 AD8663	AD8541
Dual	OP297	OP282 AD8682 AD822	AD8642 AD8667	AD8542
Quad	OP497	OP482 AD8684 AD824	AD8643 AD8669	AD8544

目次

特長.....	1	ESDの注意.....	4
アプリケーション.....	1	代表的な性能特性.....	5
ピン配置.....	1	アプリケーション情報.....	14
概要.....	1	ノッチ・フィルタ.....	14
改訂履歴.....	2	ハイサイド信号コンデショニング.....	14
仕様.....	3	マイクロパワー計装アンプ.....	14
電気的特性.....	3	位相反転.....	14
絶対最大定格.....	4	回路図.....	16
熱抵抗.....	4	外形寸法.....	17
電源シーケンス.....	4	オーダー・ガイド.....	18

改訂履歴

10/08—Revision 0: Initial Version

仕様

電気的特性

特に指定がない限り、 $V_{SY} = \pm 15\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.5	1.5	mV
B Grade				3	mV	
A Grade				0.75	2.5	mV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		2	50	pA
Input Offset Current				I_{OS}	5	nA
Input Voltage Range	CMRR	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-11.5		25	pA
Common-Mode Rejection Ratio					I_{OS}	2.5
B Grade		$V_{CM} = -11.5\text{ V to }+11.5\text{ V}$	80	90		dB
A Grade		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	80			dB
Large-Signal Voltage Gain	A_{VO}	$R_L = 10\text{ k}\Omega$, $V_O = -10\text{ V to }+10\text{ V}$		74	90	dB
Offset Voltage Drift				$\Delta V_{OS}/\Delta T$	70	
Input Resistance	R_{IN}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		4		$\mu\text{V}/^\circ\text{C}$
Input Capacitance, Differential Mode	C_{INDM}			10		$\text{T}\Omega$
Input Capacitance, Common Mode	C_{INCM}			1.5		pF
				4.8		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$ to V_{CM}		13	13.5	V
Output Voltage Low				V_{OL}	12.5	
Short-Circuit Current	I_{SC}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		-13.8	-13	V
Closed-Loop Output Impedance	Z_{OUT}	$f = 100\text{ kHz}$, $A_V = 1$			-12.5	V
				20		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 4\text{ V to } \pm 18\text{ V}$		80	90	dB
B Grade					80	
A Grade		$V_{SY} = \pm 4\text{ V to } \pm 18\text{ V}$		74	90	dB
Supply Current per Amplifier	I_{SY}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		70		dB
		$I_O = 0\text{ mA}$		165	200	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			220	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $A_V = 1$		3.3		$\text{V}/\mu\text{s}$
Settling Time	t_S	To 0.01%, $V_{IN} = 2\text{ V step}$, $C_L = 100\text{ pF}$, $R_L = 5\text{ k}\Omega$, $A_V = 1$		3.5		μs
Gain Bandwidth Product	GBP	$R_L = 10\text{ k}\Omega$, $A_V = 1$		1.4		MHz
Phase Margin	Φ_M	$R_L = 10\text{ k}\Omega$, $A_V = 1$		80		Degrees
Channel Separation	CS	$f = 10\text{ kHz}$		130		dB
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	$f = 0.1\text{ Hz to }10\text{ Hz}$		1.5		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		36		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		5		$\text{fA}/\sqrt{\text{Hz}}$

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	± 18 V
Input Voltage	$\pm V_{SV}$
Differential Input Voltage	$\pm V_{SV}$
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Operating Temperature Range	-40°C to $+125^{\circ}\text{C}$
Junction Temperature Range	-65°C to $+150^{\circ}\text{C}$
Lead Temperature (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。標準の2層ボードを使用して測定。

表 4.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC	158	43	$^{\circ}\text{C}/\text{W}$
8-Lead MSOP	210	45	$^{\circ}\text{C}/\text{W}$

電源シーケンス

オペアンプの電源電圧は、入力信号と同時またはそれ以前に安定している必要があります。これが不可能な場合には、入力電流を 10 mA に制限する必要があります。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

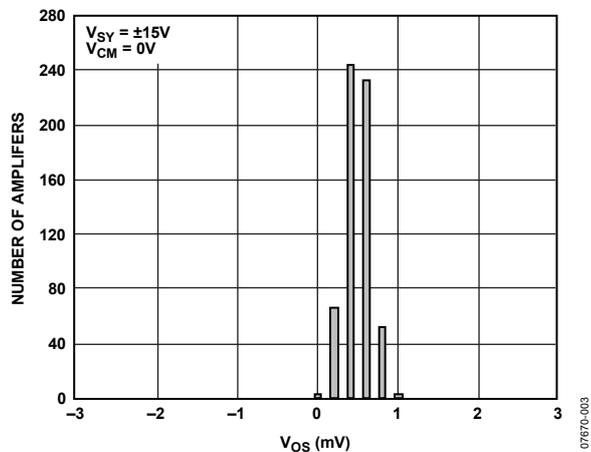


図 3. 入力オフセット電圧の分布

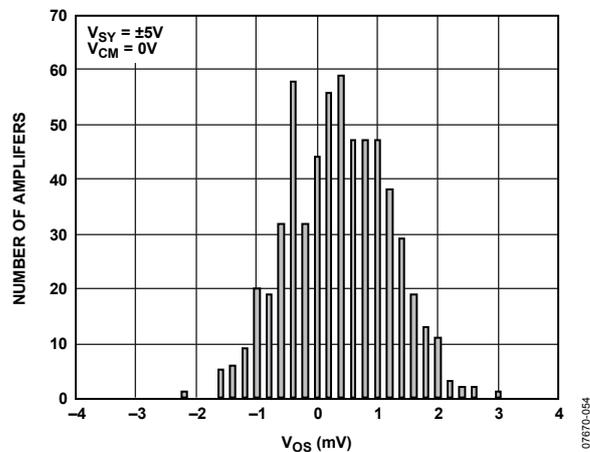


図 6. 入力オフセット電圧の分布

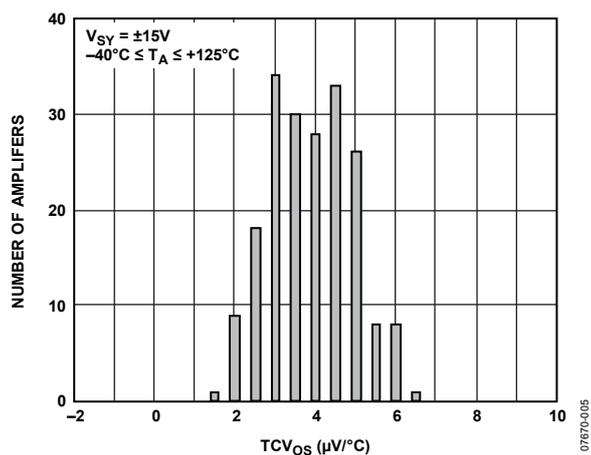


図 4. 入力オフセット電圧ドリフトの分布

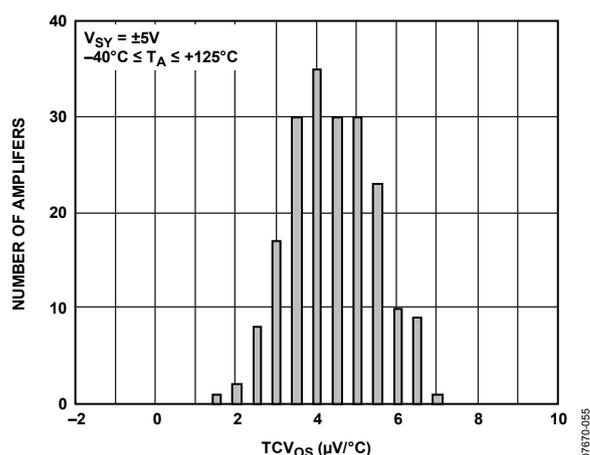


図 7. 入力オフセット電圧ドリフトの分布

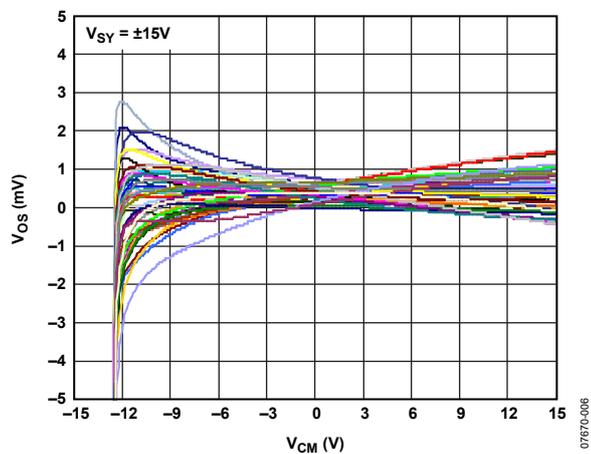


図 5. 入力オフセット電圧対コモン・モード電圧

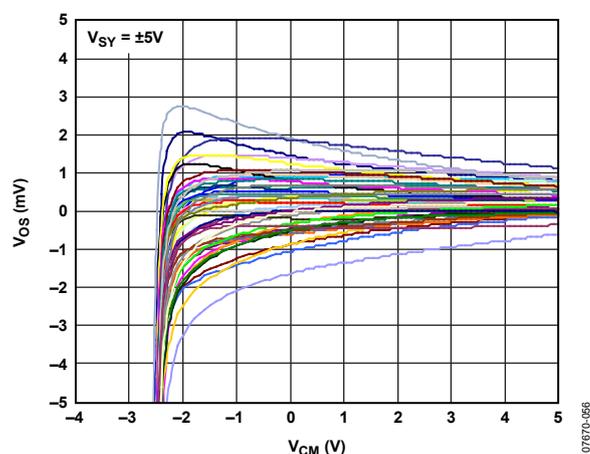


図 8. 入力オフセット電圧対コモン・モード電圧

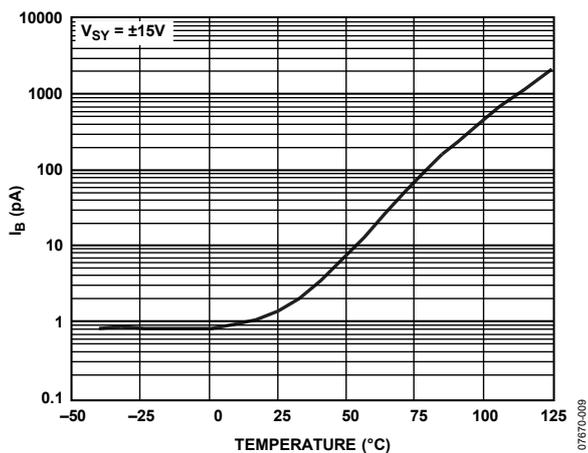


図 9. 入力バイアス電流の温度特性

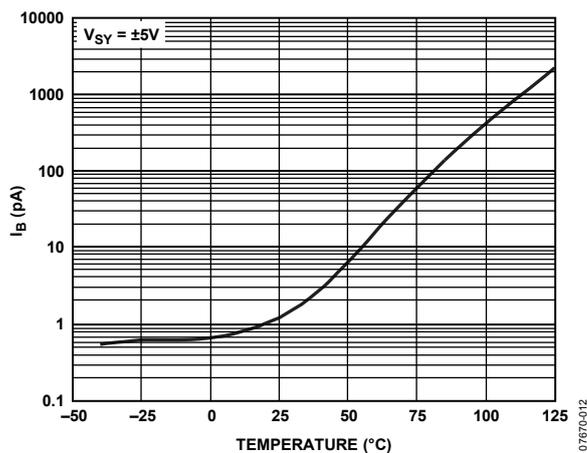


図 12. 入力バイアス電流の温度特性

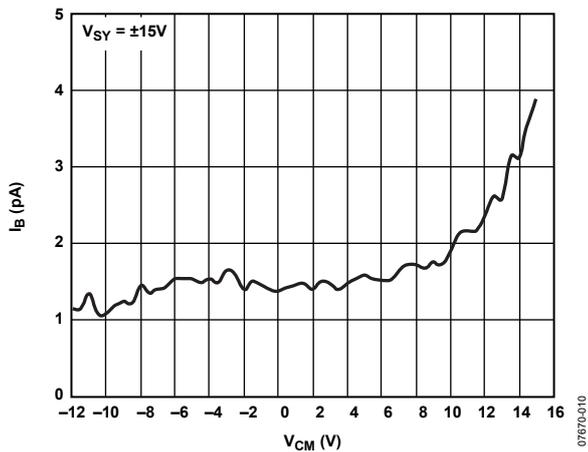


図 10. 入力バイアス電流対入力コモン・モード電圧

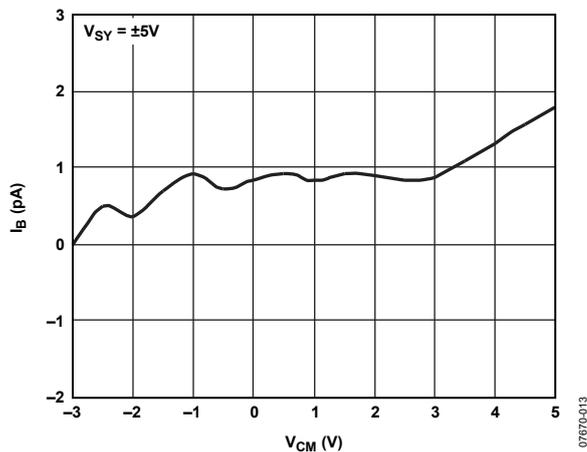


図 13. 入力バイアス電流対入力コモン・モード電圧

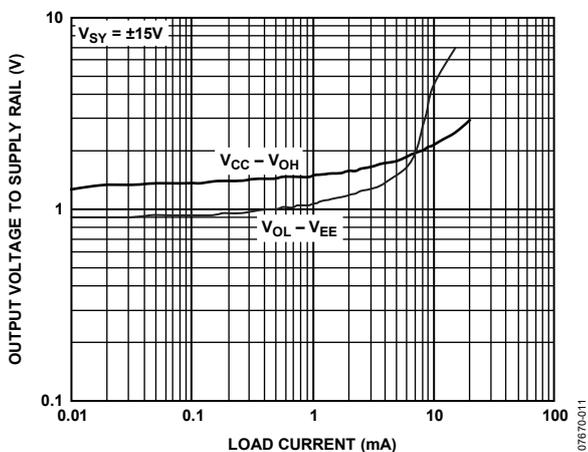


図 11. 電源レールに対する出力電圧対負荷電流

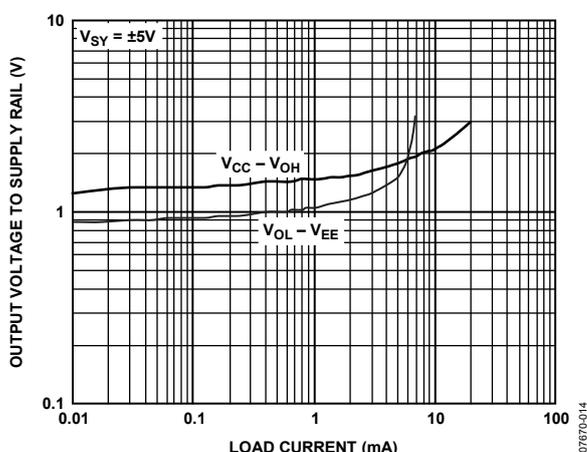


図 14. 電源レールに対する出力電圧対負荷電流

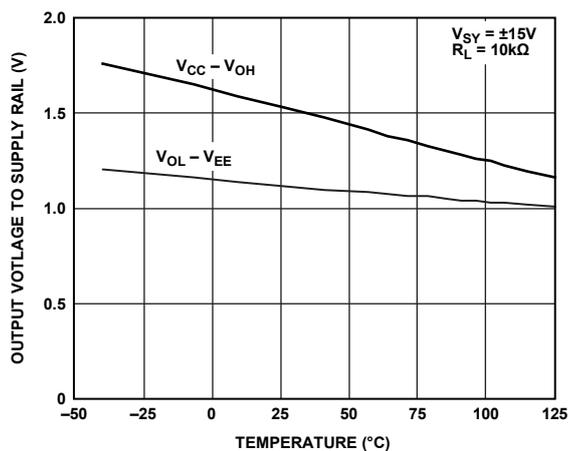


図 15.出力電圧/電源レール比の温度特性

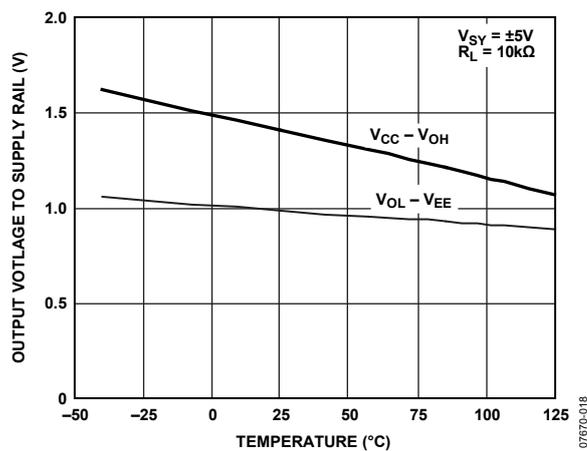


図 18.出力電圧/電源レール比の温度特性

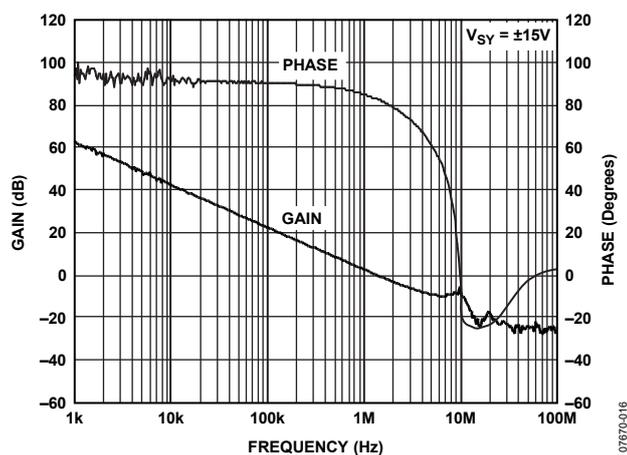


図 16.オープン・ループ・ゲインおよび位相の周波数特性

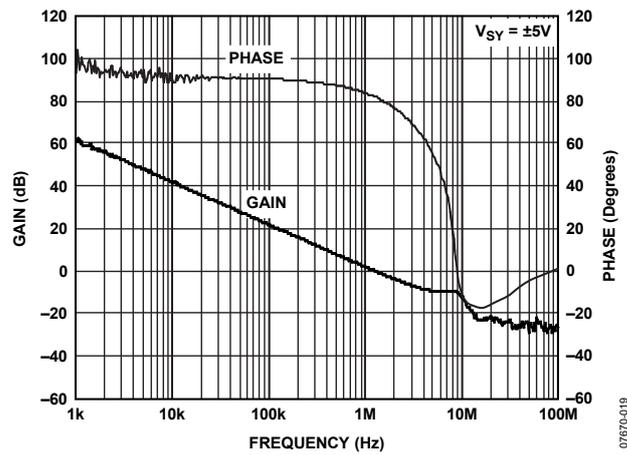


図 19.オープン・ループ・ゲインおよび位相の周波数特性

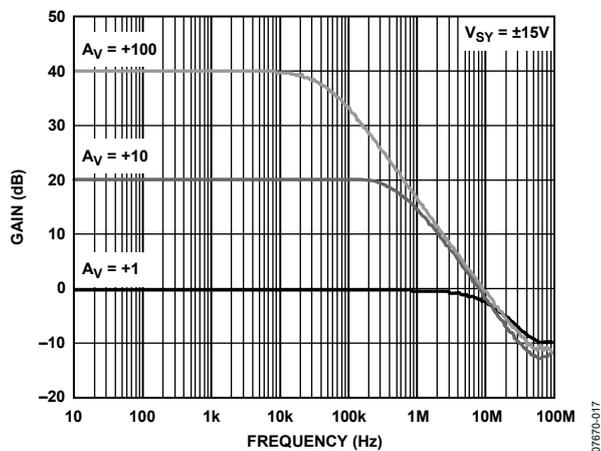


図 17.クローズド・ループ・ゲインの周波数特性

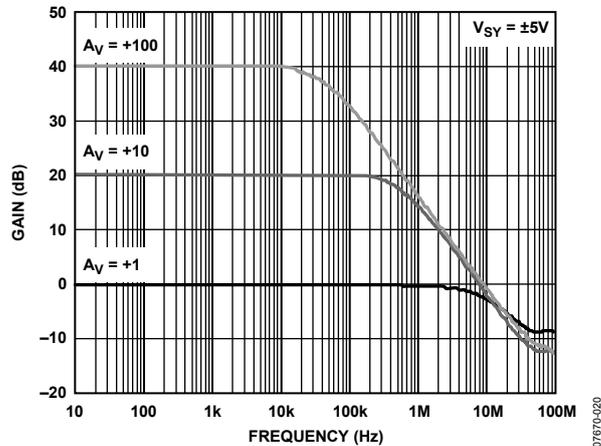


図 20.クローズド・ループ・ゲインの周波数特性

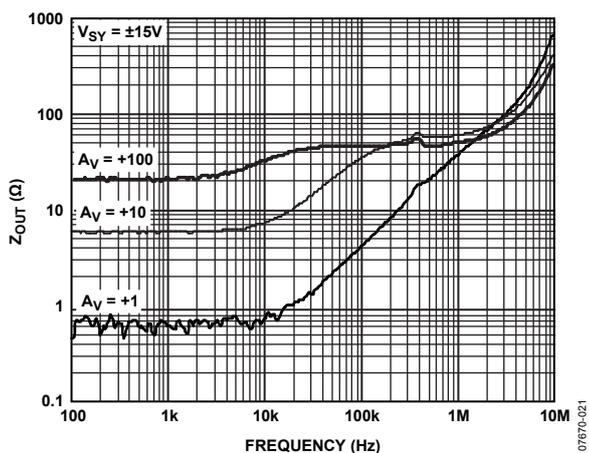


図 21. 出カインピーダンスの周波数特性

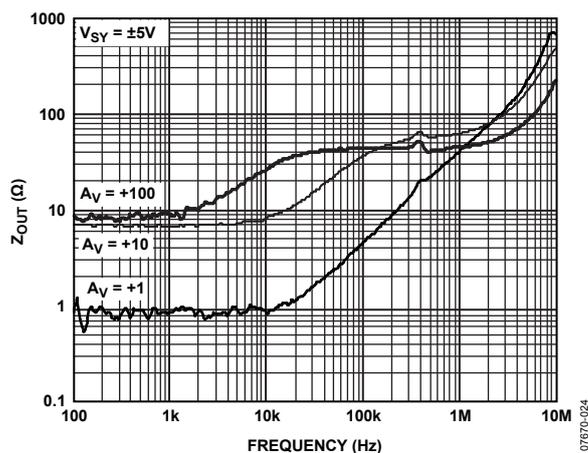


図 24. 出カインピーダンスの周波数特性

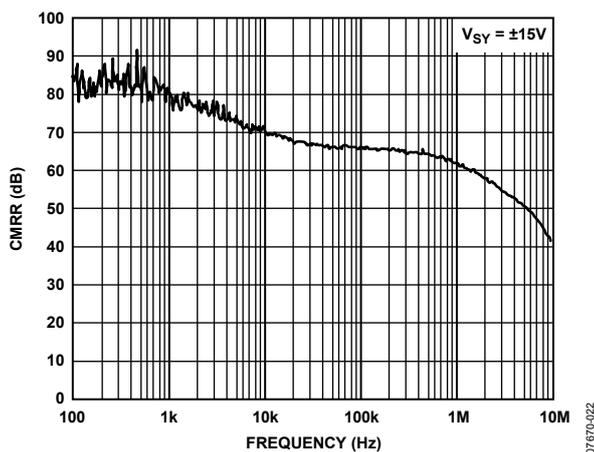


図 22. CMRR の周波数特性

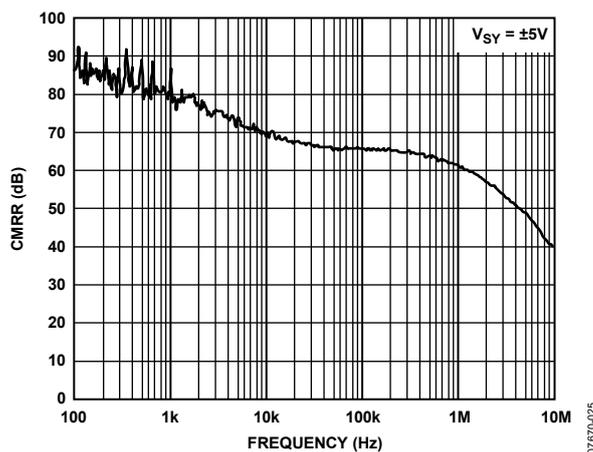


図 25. CMRR の周波数特性

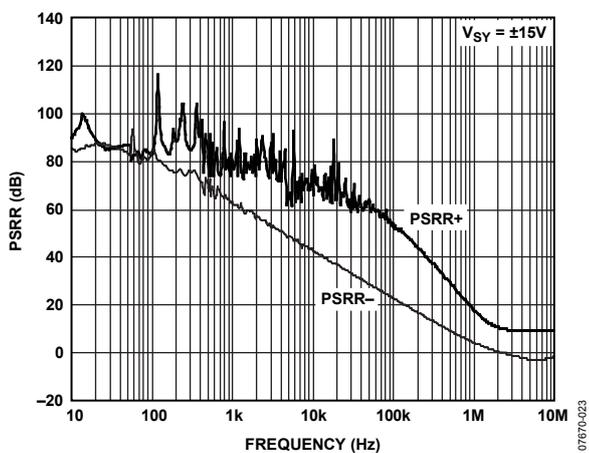


図 23. PSRR の周波数特性

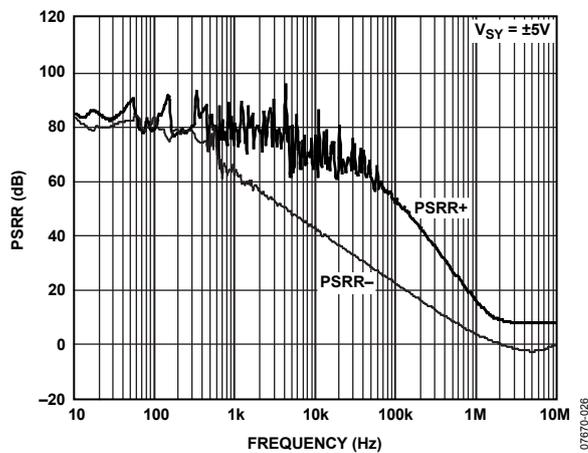


図 26. PSRR の周波数特性

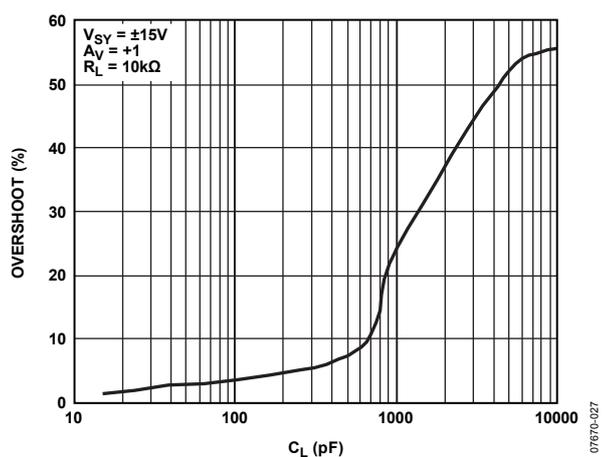


图 27.小信号オーバーシュート対負荷容量

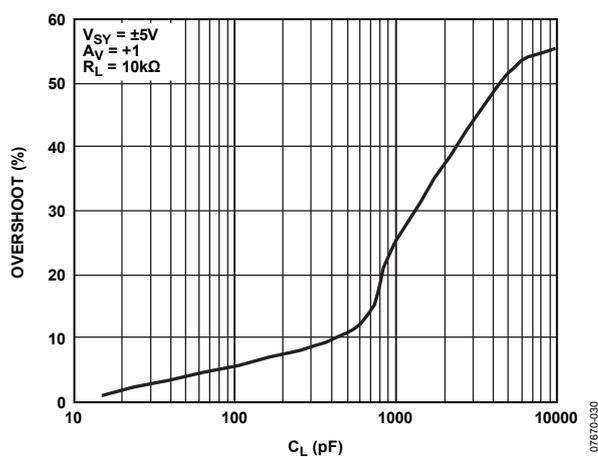


图 30.小信号オーバーシュート対負荷容量

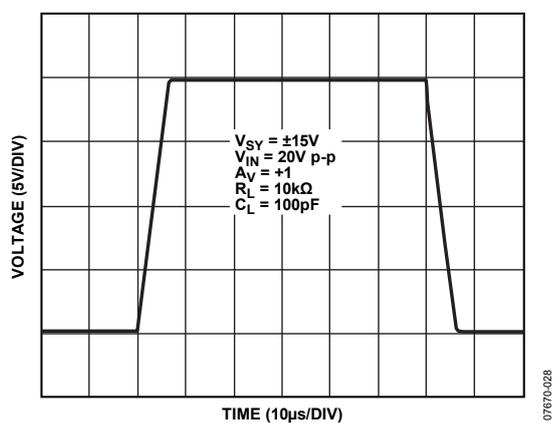


图 28.大信号過渡応答

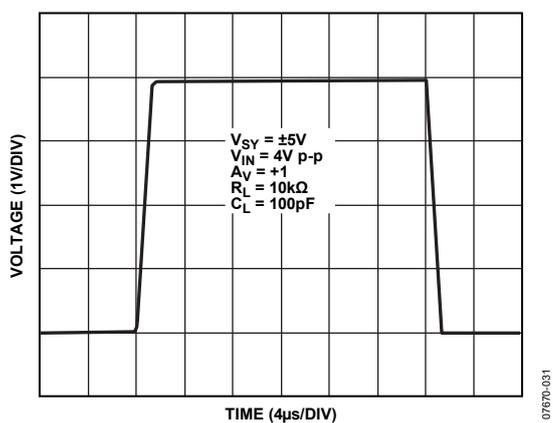


图 31.大信号過渡応答

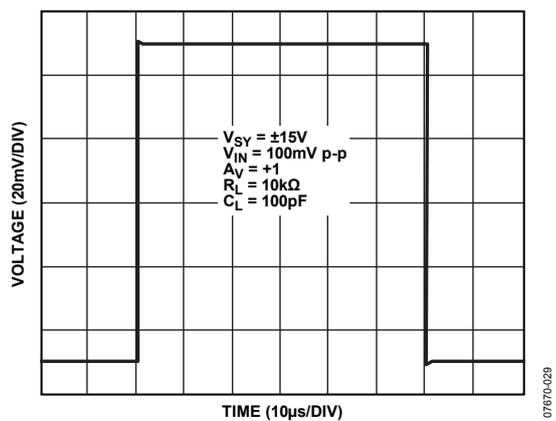


图 29.小信号過渡応答

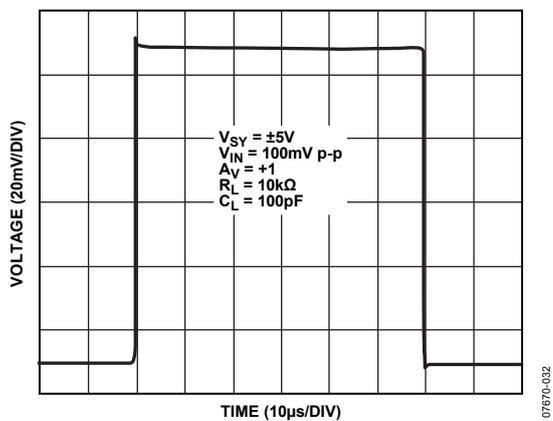


图 32.小信号過渡応答

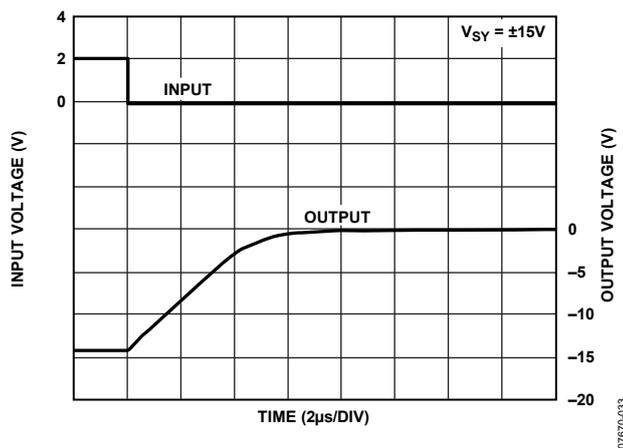


図 33.負側過負荷回復

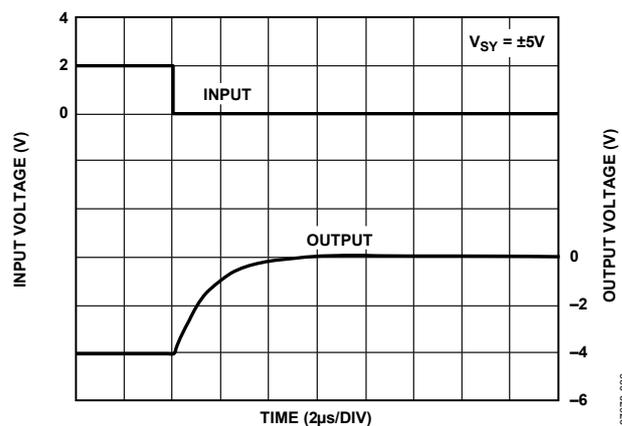


図 36.負側過負荷回復

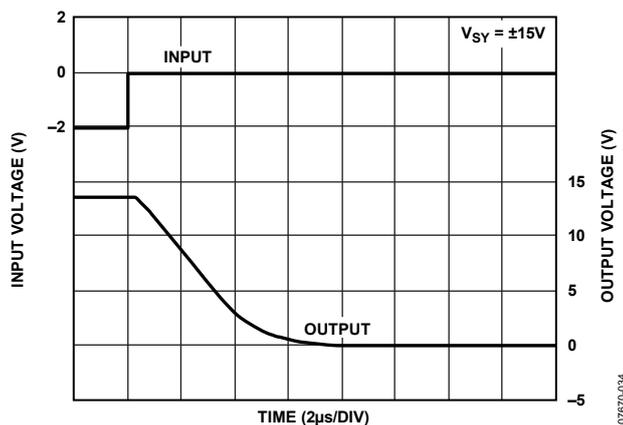


図 34.正側過負荷回復

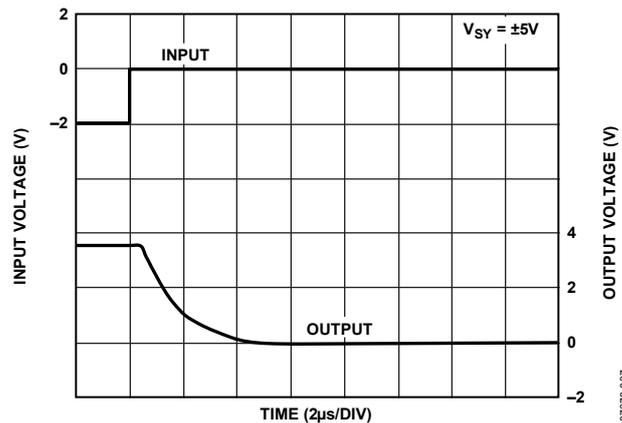


図 37.正側過負荷回復

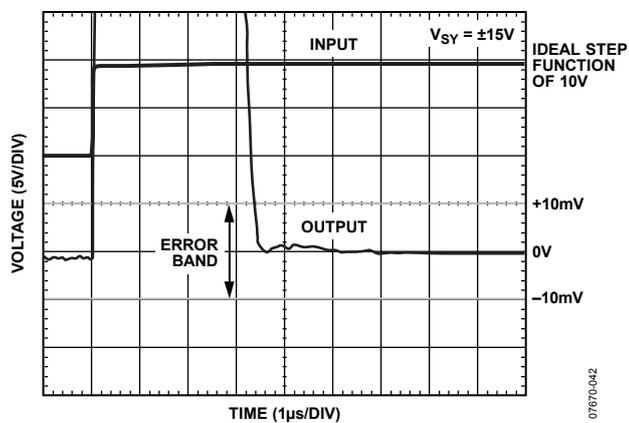


図 35.0.01%への正セトリング・タイム

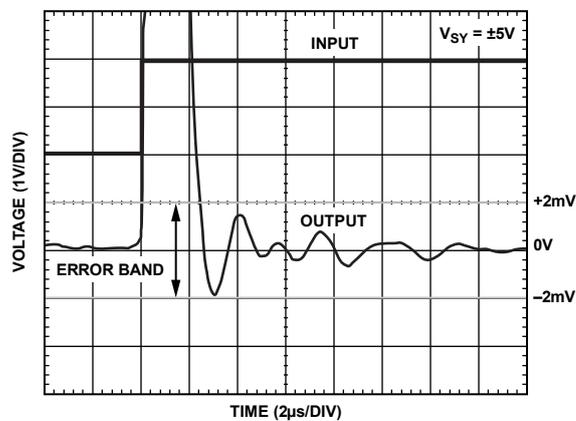


図 38.0.01%への正セトリング・タイム

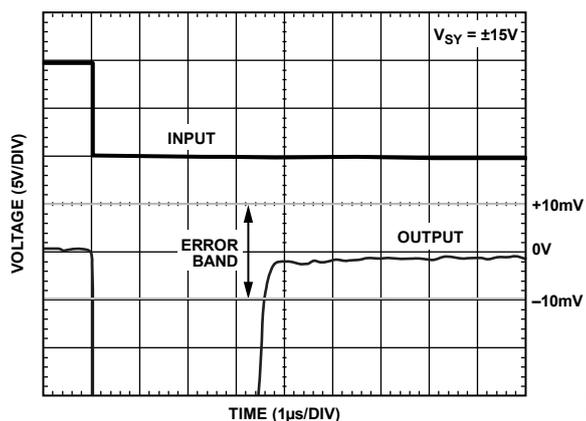


図 39. 0.01%への負セリング・タイム

07670-038

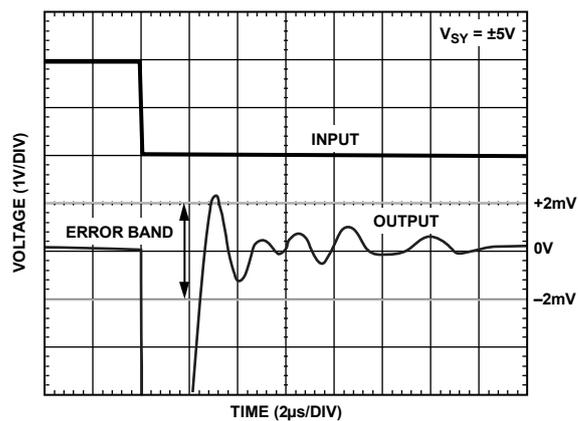


図 42. 0.01%への負セリング・タイム

07670-039

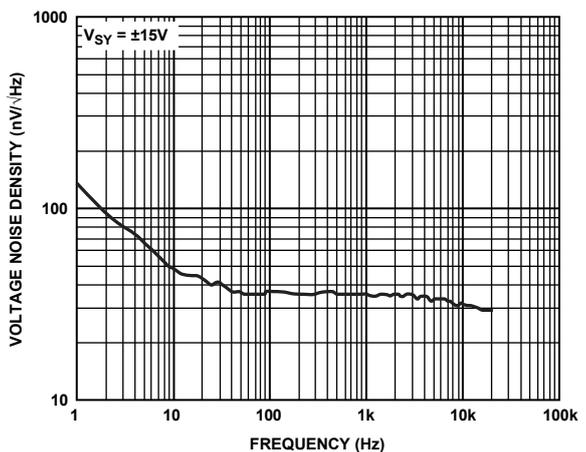


図 40. 電圧ノイズ密度

07670-040

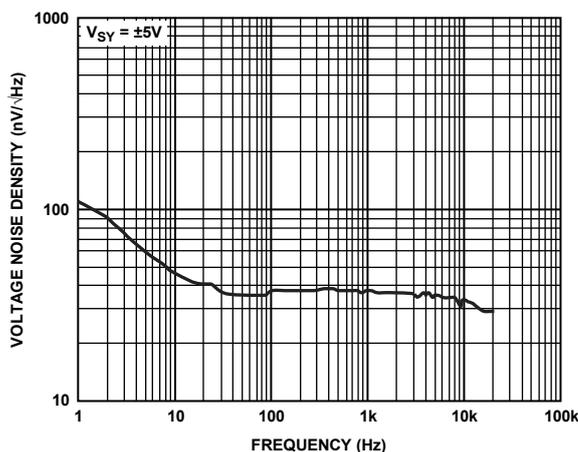


図 43. 電圧ノイズ密度

07670-043

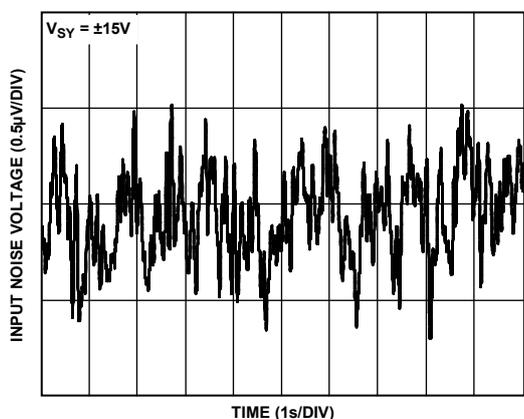


図 41. 0.1~10 Hz のノイズ

07670-041

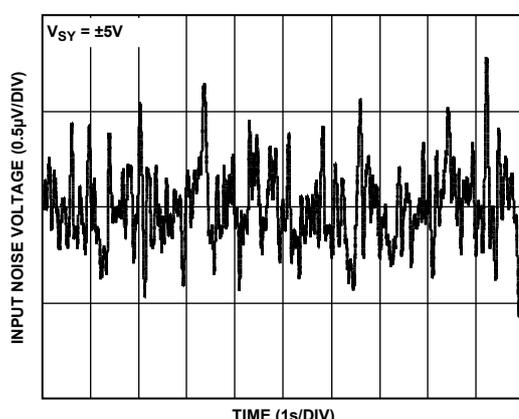


図 44. 0.1~10 Hz のノイズ

07670-044

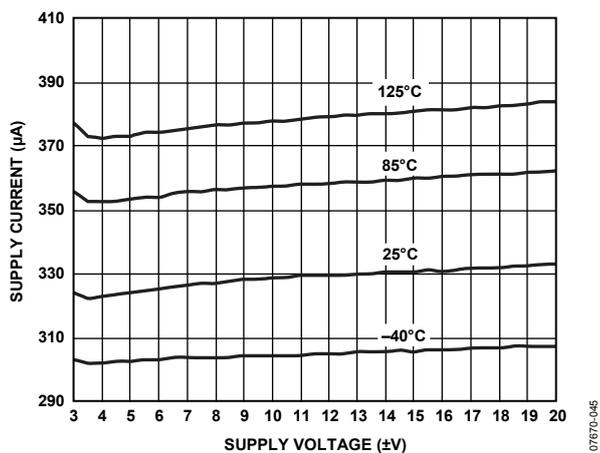


図 45.電源電流対電源電圧

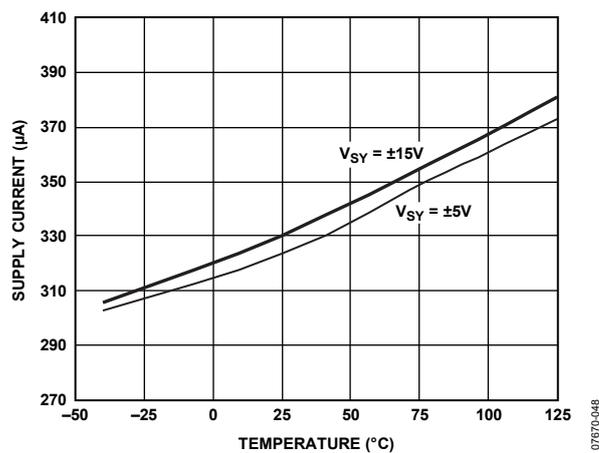


図 48.電源電流の温度特性

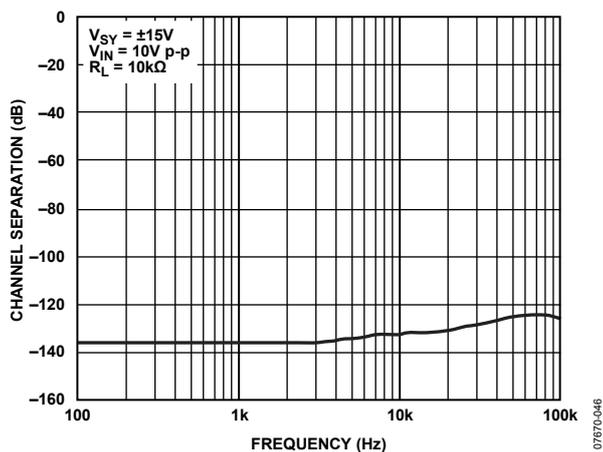


図 46.チャンネル・セパレーションの周波数特性

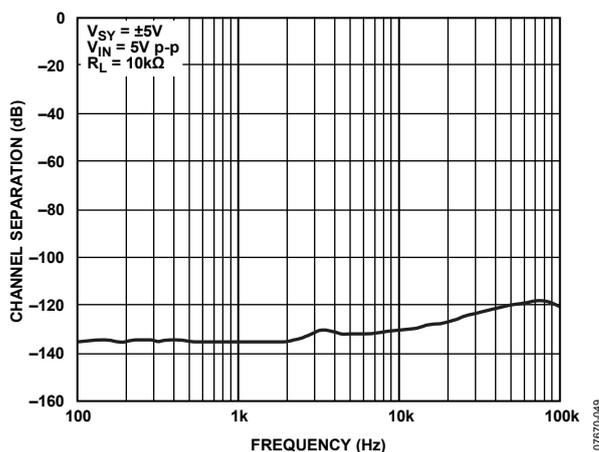


図 49.チャンネル・セパレーションの周波数特性

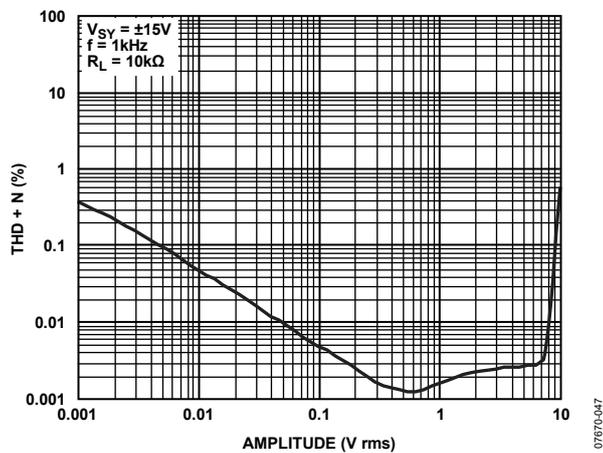


図 47.TH D + N 対振幅

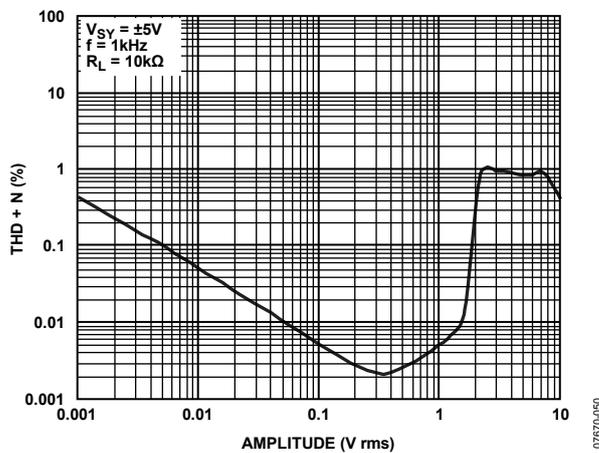


図 50.TH D + N 対振幅

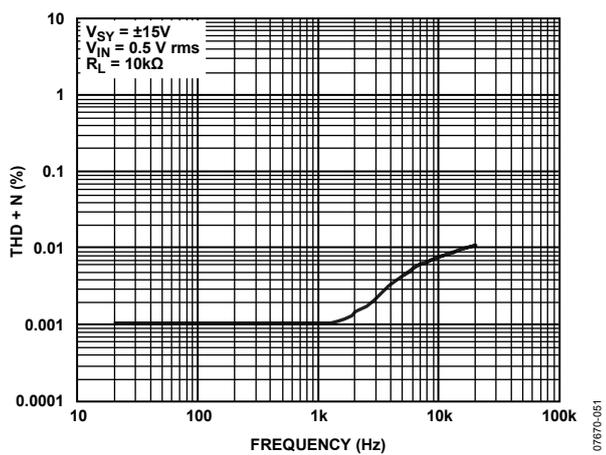


図 51. THD + N の周波数特性

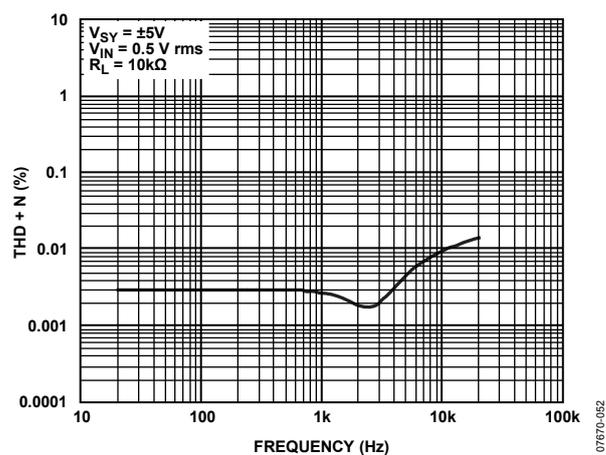


図 52. THD + N の周波数特性

アプリケーション情報

ノッチ・フィルタ

ノッチ・フィルタは特定の干渉周波数を除去するもので、1個のオペアンプを使って実現することができます。図55に、電圧フォロワとして構成されたADA4062-2による2個のT型回路を使用した60 Hzノッチ・フィルタを示します。ADA4062-2は、高い入力抵抗と低い出力インピーダンスを提供するバッファとして機能します。ADA4062-2は低バイアス電流(2 pA typ)と高入力抵抗(10 TΩ typ)を持つため、大きな抵抗と小さいコンデンサの使用が可能になります。

あるいは、抵抗値とコンデンサ値の別の組み合わせを使って、所望のノッチ周波数を実現することができます。ただし、この回路にはすべての抵抗値とコンデンサ値が一致しなければならないという主要な欠点があります。これらが一致しない場合には、ノッチ周波数のオフセットとドリフトにより、回路は理想ノッチ周波数以外の周波数を減衰させてしまいます。

したがって、所望性能を実現するためには、偏差1%以下の部品を使う必要があります。さらに、ノッチ・フィルタは中心周波数の少なくとも100~200倍の帯域幅を持つオペアンプを必要とします。したがって、1.4 MHzの帯域幅を持つADA4062-2の使用が、60 Hzノッチ・フィルタには適しています。図54に、周波数に対するノッチ・フィルタのゲインを示します。60 Hzで、ノッチ・フィルタは信号に対して約50 dBの減衰量を持っています。

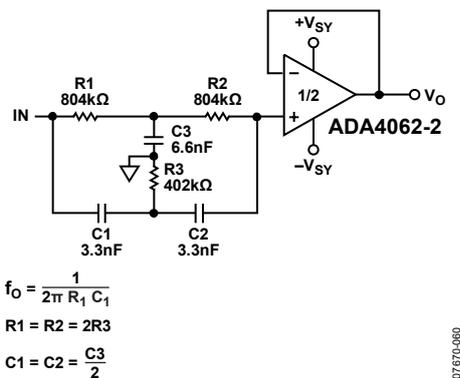


図53.ノッチ・フィルタ回路

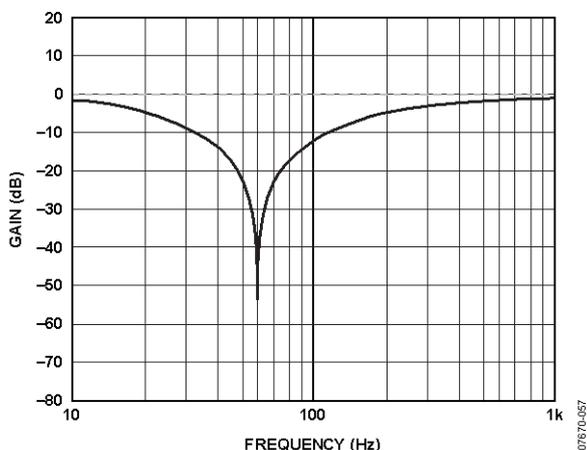


図54.ノッチ・フィルタ: ゲインの周波数特性

ハイサイド信号コンデショニング

正レール近くの信号検出を必要とするアプリケーションは多数存在します。ADA4062-2はハイ・サイド電流検出アプリケーションに使用することができます。図55に、ADA4062-2を使用したハイ・サイド信号コンデショニング回路を示します。ADA4062-2は正の電源を含む入力コモン・モード範囲(-11.5 V ≤ V_{CM} ≤ +15 V)を持っています。この回路では、図55に示す0.1 Ωのような小さい値の抵抗の両端の電圧降下がADA4062-2を使って5倍に増幅されます。

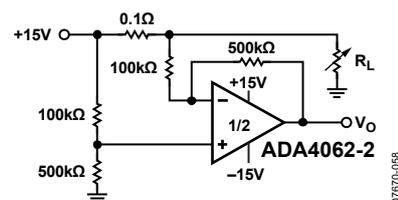


図55.ハイサイド信号コンデショニング

マイクロパワー計装アンプ

ADA4062-2はデュアル・アンプであるため、小さい電源電流を必要とするアプリケーションに最適です。±15 Vの電源電圧の場合、アンプあたりの電源電流は165 μA (typ)です。また、ADA4062-2は4 μV/°C (typ)の低オフセット電圧ドリフトと2 pAの非常に小さいバイアス電流を提供するため、計装アンプにも最適です。

図56に、4本の抵抗とADA4062-2を使用した従来型の2オペアンプ型計装アンプを示します。この計装アンプの高いCMRRにとって重要なのは、抵抗比と相対ドリフトが一致している抵抗素子です。真の差増幅のためには、抵抗比の一致(R₃/R₄ = R₁/R₂)が重要です。抵抗が完全に一致すると仮定すると、回路ゲインは1 + R₂/R₁になり、この値は約100になります。ADA4062-2の場合と同様に1つのパッケージ内の2個のオペアンプの一致度は優れているため、3オペアンプ構成より大幅に優れた性能を提供します。全体として、この回路の電源電流は約330 μAだけで済みます。

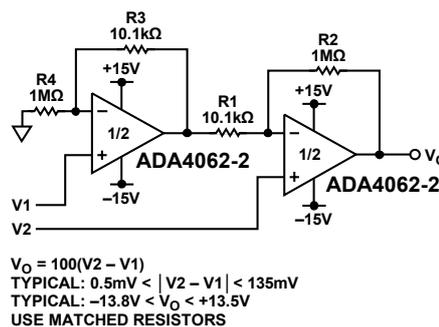


図56.マイクロパワー計装アンプ

位相反転

位相の反転は、入力コモン・モード電圧が範囲を超えると、ある種のアンプで発生します。これらのアンプ入力を駆動する電圧が最大入力コモン・モード電圧範囲を超えると、アンプ出力の極性が変化します。多くのJFET入力アンプでは、いずれかの入力が入力コモン・モード範囲を超えると位相反転が発生します。

ADA4062-2の場合、片方または両方の入力が入力電圧範囲を超えても出力での位相反転が発生せずに、出力は正電源レールよ

り下で、かつ負電源レールの上 0.5 V の範囲内に留まります。電源電圧 ± 15 V の場合、位相反転は入力電圧が -14.5 V より大きい負信号のときに発生します。これは、入力ステージが飽和してゲートドレイン間ダイオードが順方向にバイアスされるために発生します。ADA4062-2 での位相反転は、入力端子を相互にクランプするショットキ・ダイオードを使用することにより防止することができます。図 57 のシンプルなバッファ回路で、D1 がオペアンプの位相反転を防止し、R がオペアンプへ流れる入力電流を制限しています。

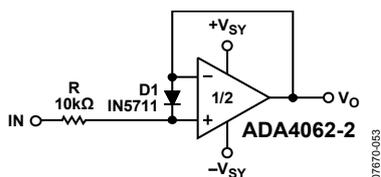


図 57.位相反転を解決する回路

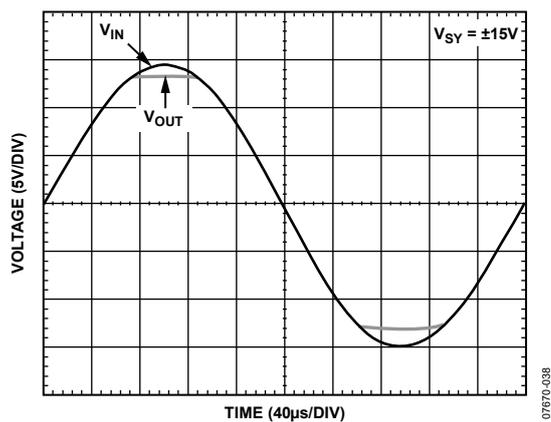
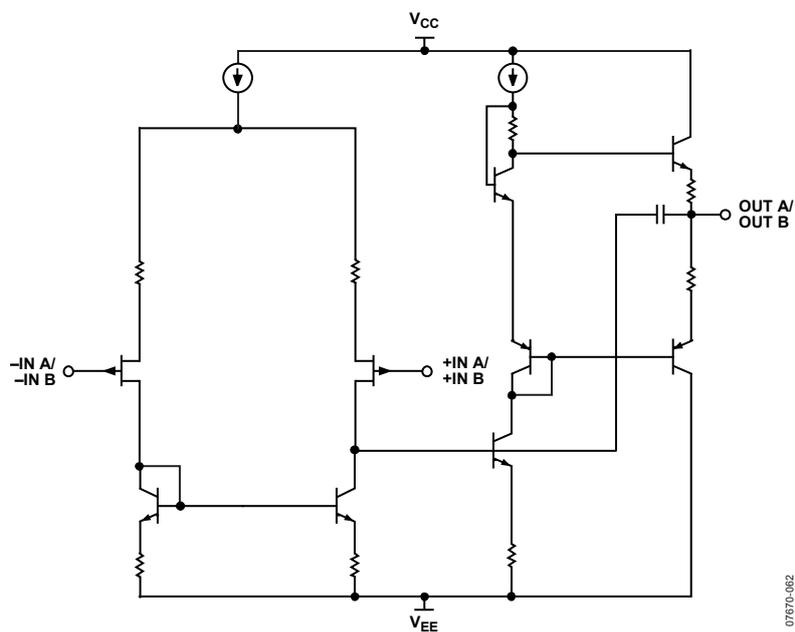


図 58.位相反転なし

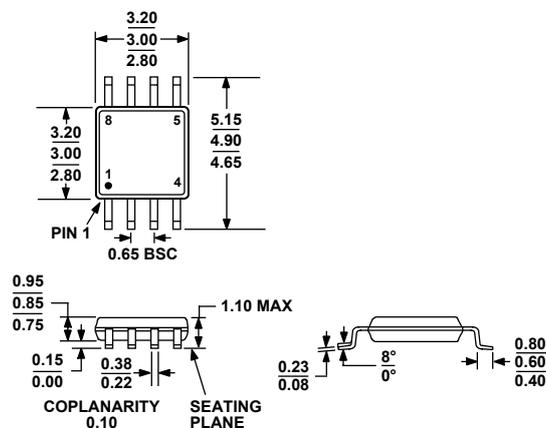
回路図



0767C-062

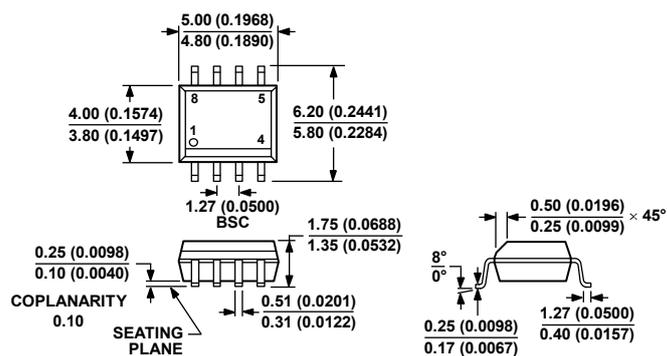
図 59.簡略化した回路図

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 60.8 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 61.8 ピン標準スモール・アウトライン・パッケージ [SOIC_N] ナロウ・ボディ (R-8)
寸法: mm (インチ)

012407A

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADA4062-2ARMZ ¹	-40°C to +125°C	8-Lead MSOP	RM-8	A25
ADA4062-2ARMZ-RL ¹	-40°C to +125°C	8-Lead MSOP	RM-8	A25
ADA4062-2ARZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4062-2ARZ-R7 ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4062-2ARZ-RL ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4062-2BRZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4062-2BRZ-R7 ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4062-2BRZ-RL ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	

¹ Z = RoHS 準拠製品.