



# 30 V、8 MHz、低バイアス電流、 単電源、RRO、高精度オペアンプ

データシート

ADA4622-1/ADA4622-2/ADA4622-4

## 特長

- AD820/AD822/AD824 の次世代製品
- 広いゲイン帯域幅積 (GB 積) : 8 MHz (代表値)
- 高速スルー・レート
  - 23 V/μs (代表値) (ローからハイ)
  - 18 V/μs (代表値) (ハイからロー)
- 低入力バイアス電流: ±10 pA (max) @ T<sub>A</sub> = 25 °C
- 低オフセット電圧
  - A グレード: ±0.8 mV (max) @ T<sub>A</sub> = 25 °C
  - B グレード: ±0.35 mV (max) @ T<sub>A</sub> = 25 °C
- 入力オフセット電圧ドリフト
  - A グレード: ±2 μV/°C (typ) 、 ±15 μV/°C (max)
  - B グレード: ±2 μV/°C (typ) 、 ±5 μV/°C (max)
- 入力電圧範囲にピン V- を含む
- レール to レール出力
- 電磁干渉除去比 (EMIRR)
  - 90 dB (typ) @ f = 1000 MHz および f = 2400 MHz
- 業界標準のパッケージとピン配置

## アプリケーション

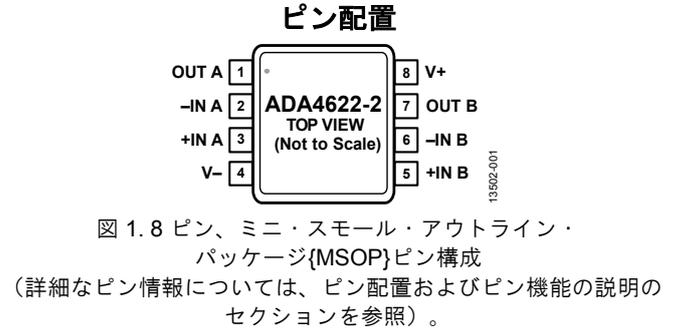
- 高出力インピーダンス・センサーのインターフェース
- フォトダイオード・センサーのインターフェース
- トランスインピーダンス・アンプ
- ADC 用ドライバ
- 高精度フィルタとシグナル・コンディショニング

## 概要

ADA4622-1/ADA4622-2/ADA4622-4 は、AD820/AD822/AD824 の次世代製品であり、単電源、レール to レール出力 (RRO)、高精度の接合型電界効果トランジスタ (JFET) 入力オペアンプです。AD820/AD822/AD824 は柔軟性が高く使いやすいので、多様なアプリケーションで有効ですが、ADA4622-1/ADA4622-2/ADA4622-4 は、それらの特長を維持しながら、多くの改善点を含むアップグレード品となっています。

入力電圧範囲に負電源と同じ電圧が含まれ、出力振幅はレール to レールと同じ範囲を達成しています。入力 EMI フィルタは、近くにスイッチング・ノイズ生成源がある場合に信号のノイズ耐性を高めます。

セトリング・タイム性能を改善したり、最新のシングル・エンド逐次比較型レジスタ (SAR) A/D コンバータ (ADC) の入力を駆動できるように、帯域幅とスルー・レートに関して速度が向上しているほか、出力駆動能力も強化されています。



電圧のノイズが低減されます。電源電流は AD820/AD822/AD824 と同じですが、広帯域ノイズは 25 % 低減し、1/f は 50 % 低減します。ADA4622-1/ADA4622-2/ADA4622-4 では、AD820/AD822/AD824 に対して DC 精度が改善されており、オフセット電圧は 1/2 になります。ADA4622-1/ADA4622-2/ADA4622-4 には、最大温度ドリフトの仕様が追加されています。AD820/AD822/AD824 よりも同相ノイズ除去比 (CMRR) が改善されているので、ADA4622-1/ADA4622-2/ADA4622-4 は非反転ゲイン・アンプや差動アンプ構成に最適です。

ADA4622-1/ADA4622-2/ADA4622-4 は -40 °C ~ +125 °C の拡張工業用温度範囲で動作仕様が規定されており、5 V ~ 30 V で動作し、+5 V、±5 V、±15 V で仕様規定されています。ADA4622-1 は 5 ピン SOT-23 パッケージと 8 ピン LFCSP パッケージを採用しています。ADA4622-2 は 8 ピン SOIC パッケージ、8 ピン MSOP パッケージ、8 ピン LFCSP パッケージを採用しています。ADA4622-4 は 14 ピンの SOIC パッケージと 16 ピンの 4 × 4 mm LFCSP パッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	動作原理.....	26
アプリケーション.....	1	入力特性.....	26
ピン配置.....	1	出力特性.....	27
概要.....	1	シャットダウン操作.....	28
改訂履歴.....	2	アプリケーション情報.....	29
仕様.....	3	推奨される電源ソリューション.....	29
電気的特性、 $V_{SY} = \pm 15\text{ V}$ .....	3	最大消費電力.....	29
電気的特性、 $V_{SY} = \pm 5\text{ V}$ .....	5	2次ローパス・フィルタ.....	29
電気的特性、 $V_{SY} = 5\text{ V}$ .....	7	広帯域フォトダイオード・プリアンプ.....	29
絶対最大定格.....	9	ピーク検出器.....	32
熱抵抗.....	9	マルチプレクサ入力.....	32
ESDに関する注意事項.....	9	全波整流.....	33
ピン配置およびピン機能の説明.....	10	外形寸法.....	34
代表的な性能特性.....	14	オーダー・ガイド.....	37
<b>改訂履歴</b>		Changes to Table 3.....	7
<b>7/2017—Rev. B to Rev. C</b>		Changes to Table 5.....	9
Added ADA4622-4.....	Throughout	Added Figure 3, Table 6, Figure 4, and Table 7; Renumbered Sequentially.....	10
Changes to Features Section, General Description Section, and Figure 2 Caption.....	1	Changes to Figure 11 and Figure 12.....	12
Deleted Figure 1; Renumbered Sequentially.....	1	Added Figure 13.....	12
Changes to Table 1.....	3	Added Figure 78.....	23
Changes to Table 2.....	5	Added Shutdown Operation and Figure 86 to Figure 89.....	26
Changes to Table 3.....	7	Added Multiplexing Inputs Section, Figure 99, and Figure 100.....	30
Changes to Table 5.....	9	Added Full Wave Rectifier Section, Figure 101, and Figure 102.....	31
Added Figure 7 and Table 10; Renumbered Sequentially.....	12	Updated Outline Dimensions.....	32
Added Figure 8 and Table 11.....	13	Change to Ordering Guide.....	34
Changes to Figure 12 Caption.....	14	<b>2/2016—Rev. 0 to Rev. A</b>	
Changes to Figure 25 and Figure 26.....	16	Added 8-Lead LFCSP.....	Universal
Changes to Figure 28, Figure 29, Figure 30 Caption, Figure 31 Caption, and Figure 32 Caption.....	17	Changes to General Description Section.....	1
Changes to Figure 33 Caption.....	18	Changes to Settling Time to 0.1% Parameter and Settling Time to 0.01% Parameter, Table 1.....	4
Changes to Figure 53 and Figure 54.....	21	Changes to Table 5.....	9
Changes to Figure 80.....	26	Added Pin Configurations and Function Descriptions Section, Figure 2, Figure 3, Table 6, Figure 4, and Table 7; Renumbered Sequentially ..	10
Changes to Figure 84 and Figure 85.....	27	Changes to Figure 9.....	11
Changes to Figure 92 and Figure 94.....	29	Changes to Input Characteristics Section.....	23
Changes to Figure 97.....	31	Changes to Recommended Power Solution Section.....	25
Changes to Figure 99 and Peak Detector Section.....	32	Changes to Wideband Photodiode Preamplifier Section.....	26
Updated Outline Dimensions.....	34	Change to Figure 85.....	26
Changes to Ordering Guide.....	37	Change to Figure 86.....	27
<b>2/2017—Rev. A to Rev. B</b>		Updated Outline Dimensions.....	29
Added ADA4622-1.....	Throughout	Changes to Ordering Guide.....	30
Changed AD822 to AD820/AD822.....	Throughout	<b>10/2015—Revision 0: Initial Version</b>	
Changed ADA4622-2 to ADA4622-1/ADA4622-2.....	Throughout		
Changed 7.5 MHz to 8 MHz in Product Title.....	1		
Added Figure 1; Renumbered Sequentially.....	1		
Changes to Table 1.....	3		
Changes to Table 2.....	5		

## 仕様

電気的特性、 $V_{SY} = \pm 15\text{ V}$ 特に指定のない限り、 $(V_{SY}) = \pm 15\text{ V}$ 、コモンモード電圧 ( $V_{CM}$ ) = 出力電圧 ( $V_{OUT}$ ) =  $0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit	
INPUT CHARACTERISTICS							
Offset Voltage	$V_{OS}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		+0.04	$\pm 0.8$	mV	
A Grade							
B Grade							
ADA4622-1							
ADA4622-2				+0.04	$\pm 0.35$	mV	
Offset Voltage Match					$\pm 1$	mV	
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			$\pm 2$	$\pm 15$	
A Grade							
B Grade					$\pm 2$	$\pm 5$	
Input Bias Current	$I_B$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			+2	$\pm 10$	
Input Offset Current	$I_{OS}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$				$\pm 10$	
Input Voltage Range	IVR		-15.2			V	
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -15\text{ V to } +12\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			84	100	
A Grade							
B Grade							
Open-Loop Voltage Gain	$A_{VO}$	$R_L = 10\text{ k}\Omega$ , $V_{OUT} = -14.5\text{ V to } +14.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			117	122	
Input Capacitance	$C_{INDM}$	Differential mode				0.4	pF
	$C_{INCM}$	Common mode				3.6	pF
Input Resistance	$R_{DIFF}$	Differential mode				$10^{13}$	
	$R_{CM}$	Common mode				$10^{13}$	$\Omega$
OUTPUT CHARACTERISTICS							
Output Voltage	$V_{OH}$	$I_{SOURCE} = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			14.95	14.97	
High							
	$V_{OL}$	$I_{SINK} = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			14.9	14.5	
Low							
	$I_{OUT}$	$I_{SINK} = 15\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			14.3	14.5	
Output Current	$I_{SC}$	$V_{DROPOUT} < 1\text{ V}$				20	
Short-Circuit Current							
	$Z_{OUT}$	$f = 1\text{ kHz}$ , gain ( $A_v$ ) = 1				-14.955	
	$Z_{OUT}$	$A_v = 10$				-14.88	
	$Z_{OUT}$	$A_v = 100$				-14.685	
	$Z_{OUT}$	$A_v = 100$				-14.55	
	$Z_{OUT}$	$A_v = 100$				-14.25	
	$Z_{OUT}$	$A_v = 100$				-14.25	

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>POWER SUPPLY</b>						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 4 \text{ V}$ to $\pm 18 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	87 81	103		dB dB
Supply Current per Amplifier ADA4622-1/ADA4622-4	$I_{SY}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		715	750	$\mu\text{A}$ $\mu\text{A}$
ADA4622-2		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		665	700	$\mu\text{A}$ $\mu\text{A}$
Shutdown Current		ADA4622-1 only		60		$\mu\text{A}$
<b>DYNAMIC PERFORMANCE</b>						
Slew Rate	SR	$V_{OUT} = \pm 12.5 \text{ V}$ , $R_L = 2 \text{ k}\Omega$ , load capacitor ( $C_L$ ) = $100 \text{ pF}$ , $A_V = 1$ Low to high transition High to low transition		23 -18		$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$A_V = 100$ , $C_L = 35 \text{ pF}$		8		MHz
Unity-Gain Crossover	UGC	$A_V = 1$		7		MHz
-3 dB Bandwidth	-3 dB	$A_V = 1$		15.5		MHz
Phase Margin	$\Phi_M$			53		Degrees
Settling Time	$t_S$	Input voltage ( $V_{IN}$ ) = $10 \text{ V}$ step, $R_L = 2 \text{ k}\Omega$ , $C_L$ = $15 \text{ pF}$ , $A_V = -1$		1.5		$\mu\text{s}$ $\mu\text{s}$
To 0.1%						
To 0.01%				2		$\mu\text{s}$
<b>EMI REJECTION RATIO</b>						
f = 1000 MHz	EMIRR	$V_{IN} = 100 \text{ mV p-p}$		90		dB
f = 2400 MHz				90		dB
<b>NOISE PERFORMANCE</b>						
Voltage Noise	$e_N$ p-p	0.1 Hz to 10 Hz		0.75		$\mu\text{V p-p}$
Voltage Noise Density	$e_N$	f = 10 Hz f = 100 Hz f = 1 kHz f = 10 kHz		30 15 12.5 12		$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	$i_N$	f = 1 kHz		0.8		$\text{fA}/\sqrt{\text{Hz}}$
Total Harmonic Distortion + Noise	THD + N	$A_V = 1$ , f = 10 Hz to 20 kHz, $V_{IN} = 7 \text{ V rms}$ at 1 kHz				
Bandwidth (BW) = 80 kHz				0.0003		%
BW = 500 kHz				0.00035		%
<b>MATCHING SPECIFICATIONS</b>						
Maximum Offset Voltage over Temperature				0.5		mV
Offset Voltage Temperature Drift				2.5		$\mu\text{V}/^\circ\text{C}$
Input Bias Current				0.5	5	pA
<b>CROSSTALK</b>						
ADA4622-1/ADA4622-2	$C_S$	$R_L = 5 \text{ k}\Omega$ , $V_{IN} = 20 \text{ V p-p}$ f = 1 kHz f = 100 kHz		-112 -72		dB dB
ADA4622-4		f = 1 kHz f = 100 kHz		-106 -66		dB dB

電气的特性、 $V_{SY} = \pm 5\text{ V}$ 特に指定のない限り、 $V_{SY} = \pm 5\text{ V}$ 、 $V_{CM} = V_{OUT} = 0\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit	
INPUT CHARACTERISTICS							
Offset Voltage	$V_{OS}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		+0.04	$\pm 0.8$	mV	
A Grade							
B Grade				+0.04	$\pm 0.35$	mV	
ADA4622-1		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			$\pm 1$	mV	
ADA4622-2		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			$\pm 0.8$	mV	
Offset Voltage Match					$\pm 1$	mV	
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		$\pm 2$	$\pm 15$	$\mu\text{V}/^\circ\text{C}$	
A Grade							
B Grade		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		$\pm 2$	$\pm 5$	$\mu\text{V}/^\circ\text{C}$	
Input Bias Current	$I_B$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		+2	$\pm 10$	pA	
		$V_{CM} = V^-$			$\pm 1.5$	nA	
				-5		pA	
Input Offset Current	$I_{OS}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			$\pm 10$	pA	
					$\pm 0.5$	nA	
Input Voltage Range	IVR		-5.2		+4	V	
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -5\text{ V to }+2\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	75	91		dB	
A Grade							
			73			dB	
B Grade		$V_{CM} = -5\text{ V to }+2\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	78	91		dB	
			75			dB	
Open-Loop Voltage Gain	$A_{VO}$	$R_L = 10\text{ k}\Omega$ , $V_{OUT} = -4.4\text{ V to }+4.4\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	113	118		dB	
		$R_L = 1\text{ k}\Omega$ , $V_{OUT} = -4.4\text{ V to }+4.4\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	105			dB	
			100	105		dB	
			91			dB	
Input Capacitance	$C_{INDM}$	Differential mode		0.4		pF	
	$C_{INCM}$	Common mode		3.6		pF	
Input Resistance	$R_{DIFF}$	Differential mode		$10^{13}$		$\Omega$	
	$R_{CM}$	Common mode		$10^{13}$		$\Omega$	
OUTPUT CHARACTERISTICS							
Output Voltage	$V_{OH}$	$I_{SOURCE} = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		4.95	4.97	V	
High							
		$I_{SOURCE} = 15\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		4.3	4.51	V	
				4.1		V	
Low	$V_{OL}$	$I_{SINK} = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			-4.955	-4.935	
		$I_{SINK} = 15\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			-4.685	-4.55	V
						-4.25	V
Output Current	$I_{OUT}$	$V_{DROPOUT} < 1\text{ V}$		20		mA	
Short-Circuit Current	$I_{SC}$	Sourcing		31		mA	
		Sinking		-40		mA	
Closed-Loop Output Impedance	$Z_{OUT}$	$f = 1\text{ kHz}$ , $A_V = 1$		0.1		$\Omega$	
		$A_V = 10$		0.4		$\Omega$	
		$A_V = 100$		4		$\Omega$	

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>POWER SUPPLY</b>						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 4 \text{ V}$ to $\pm 18 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	87 81	103		dB dB
Supply Current per Amplifier ADA4622-1/ADA4622-4	$I_{SY}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		660	725	$\mu\text{A}$ $\mu\text{A}$
ADA4622-2		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		610	675	$\mu\text{A}$ $\mu\text{A}$
Shutdown Current		ADA4622-1 only		50		$\mu\text{A}$
<b>DYNAMIC PERFORMANCE</b>						
Slew Rate	SR	$V_{OUT} = \pm 3 \text{ V}$ , $R_L = 2 \text{ k}\Omega$ , $C_L = 100 \text{ pF}$ , $A_V = 1$ Low to high transition High to low transition		21 -16		$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$A_V = 100$ , $C_L = 35 \text{ pF}$		7.8		MHz
Unity-Gain Crossover	UGC	$A_V = 1$		6.5		MHz
-3 dB Bandwidth	-3 dB	$A_V = 1$		10		MHz
Phase Margin	$\Phi_M$			50		Degrees
Settling Time	$t_S$	$V_{IN} = 8 \text{ V}$ step, $R_L = 2 \text{ k}\Omega$ , $C_L = 15 \text{ pF}$ , $A_V = -1$		1.5 2		$\mu\text{s}$ $\mu\text{s}$
To 0.1%				1.5		$\mu\text{s}$
To 0.01%				2		$\mu\text{s}$
<b>EMI REJECTION RATIO</b>						
$f = 1000 \text{ MHz}$	EMIRR	$V_{IN} = 100 \text{ mV p-p}$		90		dB
$f = 2400 \text{ MHz}$				90		dB
<b>NOISE PERFORMANCE</b>						
Voltage Noise	$e_N$ p-p	0.1 Hz to 10 Hz		0.75		$\mu\text{V p-p}$
Voltage Noise Density	$e_N$	$f = 10 \text{ Hz}$ $f = 100 \text{ Hz}$ $f = 1 \text{ kHz}$ $f = 10 \text{ kHz}$		30 15 12.5 12		$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	$i_N$	$f = 1 \text{ kHz}$		0.8		$\text{pA}/\sqrt{\text{Hz}}$
Total Harmonic Distortion + Noise	THD + N	$A_V = 1$ , $f = 10 \text{ Hz}$ to $20 \text{ kHz}$ , $V_{IN} = 1.5 \text{ V rms}$ at $1 \text{ kHz}$		0.0005 0.0008		% %
BW = 80 kHz				0.0005		%
BW = 500 kHz				0.0008		%
<b>MATCHING SPECIFICATIONS</b>						
Maximum Offset Voltage over Temperature				0.5		mV
Offset Voltage Temperature Drift				2.5		$\mu\text{V}/^\circ\text{C}$
Input Bias Current				0.5	5	pA
<b>CROSSTALK</b>						
ADA4622-1/ADA4622-2	$C_S$	$R_L = 5 \text{ k}\Omega$ , $V_{IN} = 6 \text{ V p-p}$ $f = 1 \text{ kHz}$ $f = 100 \text{ kHz}$		-112 -72		dB dB
ADA4622-4		$f = 1 \text{ kHz}$ $f = 100 \text{ kHz}$		-106 -66		dB dB

電気的特性、 $V_{SY} = 5\text{ V}$

特に指定のない限り、 $V_{SY} = 5\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $V_{OUT} = V_{SY}/2$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	$V_{OS}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		+0.04	$\pm 0.8$	mV
A Grade						
B Grade				+0.04	$\pm 0.35$	mV
ADA4622-1		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			$\pm 1$	mV
ADA4622-2		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			$\pm 0.8$	mV
Offset Voltage Match					$\pm 1$	mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		$\pm 2$	$\pm 15$	$\mu\text{V}/^\circ\text{C}$
A Grade						
B Grade		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		$\pm 2$	$\pm 5$	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	$I_B$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		2	$\pm 10$	pA
Input Offset Current	$I_{OS}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			$\pm 10$	pA
Input Voltage Range	IVR		-0.2		+4	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to } 2\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	70	87		dB
A Grade						
B Grade		$V_{CM} = 0\text{ V to } 2\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	67			dB
		$V_{CM} = 0\text{ V to } 2\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	73	87		dB
Open-Loop Voltage Gain	$A_{VO}$	$R_L = 10\text{ k}\Omega\text{ to } V^-$ , $V_{OUT} = 0.2\text{ V to } 4.6\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	110	115		dB
		$R_L = 1\text{ k}\Omega\text{ to } V^-$ , $V_{OUT} = 0.2\text{ V to } 4.6\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	99			dB
		$R_L = 1\text{ k}\Omega\text{ to } V^-$ , $V_{OUT} = 0.2\text{ V to } 4.6\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	96	104		dB
		$R_L = 1\text{ k}\Omega\text{ to } V^-$ , $V_{OUT} = 0.2\text{ V to } 4.6\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	87			dB
Input Capacitance	$C_{INDM}$	Differential mode		0.4		pF
	$C_{INCM}$	Common mode		3.6		pF
Input Resistance	$R_{DIFF}$	Differential mode		$10^{13}$		$\Omega$
	$R_{CM}$	Common mode		$10^{13}$		$\Omega$
OUTPUT CHARACTERISTICS						
Output Voltage	$V_{OH}$	$I_{SOURCE} = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		4.95	4.97	V
High						
		$I_{SOURCE} = 15\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		4.3	4.5	V
		$I_{SOURCE} = 15\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		4.1		V
Low	$V_{OL}$	$I_{SINK} = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			45	65
		$I_{SINK} = 15\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			310	450
		$I_{SINK} = 15\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$				750
Output Current	$I_{OUT}$	$V_{DROPOUT} < 1\text{ V}$		20		mA
Short-Circuit Current	$I_{SC}$	Sourcing		27		mA
		Sinking		-35		mA
Closed-Loop Output Impedance	$Z_{OUT}$	$f = 1\text{ kHz}$ , $A_V = 1$		0.1		$\Omega$
		$A_V = 10$		0.6		$\Omega$
		$A_V = 100$		5		$\Omega$

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit		
<b>POWER SUPPLY</b>								
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4\text{ V to }15\text{ V}$ $-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	80 74	95		dB dB		
Supply Current per Amplifier ADA4622-1/ADA4622-4	$I_{SY}$	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		650	700	$\mu\text{A}$		
ADA4622-2				600	650	$\mu\text{A}$		
Shutdown Current				$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$			675	$\mu\text{A}$
				ADA4622-1 only		50		$\mu\text{A}$
<b>DYNAMIC PERFORMANCE</b>								
Slew Rate	SR	$V_{OUT} = 0.5\text{ V to }3.5\text{ V}$ , $R_L = 2\text{ k}\Omega$ , $C_L = 100\text{ pF}$ , $A_V = 1$ Low to high transition High to low transition		20 -15		$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$		
Gain Bandwidth Product	GBP	$A_V = 100$ , $C_L = 35\text{ pF}$		7.2		MHz		
Unity-Gain Crossover	UGC	$A_V = 1$		6		MHz		
-3 dB Bandwidth	-3 dB	$A_V = 1$		9		MHz		
Phase Margin	$\Phi M$			50		Degrees		
Settling Time	$t_s$	$V_{IN} = 4\text{ V step}$ , $R_L = 2\text{ k}\Omega$ , $C_L = 15\text{ pF}$ , $A_V = -1$		1.5		$\mu\text{s}$		
				2.0		$\mu\text{s}$		
<b>EMI REJECTION RATIO</b>								
$f = 1000\text{ MHz}$	EMIRR	$V_{IN} = 100\text{ mV p-p}$		90		dB		
$f = 2400\text{ MHz}$				90		dB		
<b>NOISE PERFORMANCE</b>								
Voltage Noise	$e_N\text{ p-p}$	0.1 Hz to 10 Hz		0.75		$\mu\text{V p-p}$		
Voltage Noise Density	$e_N$	$f = 10\text{ Hz}$		30		$\text{nV}/\sqrt{\text{Hz}}$		
		$f = 100\text{ Hz}$		15		$\text{nV}/\sqrt{\text{Hz}}$		
		$f = 1\text{ kHz}$		12.5		$\text{nV}/\sqrt{\text{Hz}}$		
		$f = 10\text{ kHz}$		12		$\text{nV}/\sqrt{\text{Hz}}$		
Current Noise Density	$i_N$	$f = 1\text{ kHz}$		0.8		$\text{pA}/\sqrt{\text{Hz}}$		
Total Harmonic Distortion + Noise	THD + N	$A_V = 1$ , $f = 10\text{ Hz to }20\text{ kHz}$ , $V_{IN} = 0.5\text{ V rms at }1\text{ kHz}$		0.0025		%		
				0.0025		%		
<b>MATCHING SPECIFICATIONS</b>								
Maximum Offset Voltage over Temperature				0.5		mV		
Offset Voltage Temperature Drift				2.5		$\mu\text{V}/^{\circ}\text{C}$		
Input Bias Current				0.5	5	pA		
<b>CROSSTALK</b>								
ADA4622-1/ADA4622-2	$C_S$	$R_L = 5\text{ k}\Omega$ , $V_{IN} = 3\text{ V p-p}$ $f = 1\text{ kHz}$ $f = 100\text{ kHz}$		-112		dB		
				-72		dB		
ADA4622-4				-106		dB		
				$f = 100\text{ kHz}$		-66		dB

## 絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	36 V
Input Voltage	(V-) - 0.3 V to (V+) + 0.2 V
Differential Input Voltage	36 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature, Soldering (10 sec)	300°C
ESD Rating, Human Body Model (HBM)	4 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意が必要です。

表 5. 熱抵抗<sup>1,2</sup>

Package Type	$\theta_{JA}$	$\theta_{JC}$ <sup>3</sup>	Unit
8-Lead SOIC			
1-Layer JEDEC Board	N/A	63	°C/W
2-Layer JEDEC Board	120	N/A	°C/W
8-Lead MSOP			
1-Layer JEDEC Board	N/A	115	°C/W
2-Layer JEDEC Board	185	N/A	°C/W
8-Lead LFCSP			
1-Layer JEDEC Board	N/A	63	°C/W
2-Layer JEDEC Board	145	N/A	°C/W
2-Layer JEDEC Board with 2 × 2 Vias	55	N/A	°C/W
5-Lead SOT-23			
1-Layer JEDEC Board	N/A	82	°C/W
2-Layer JEDEC Board	339	N/A	°C/W
14-Lead SOIC			
1-Layer JEDEC Board	N/A	42	°C/W
2-Layer JEDEC Board	72	N/A	°C/W
16-Lead, 4 × 4 mm LFCSP			
1-Layer JEDEC Board	N/A	2.2	°C/W
2-Layer JEDEC Board	48	N/A	°C/W

<sup>1</sup> シミュレートされた熱抵抗値は、JEDEC 熱テスト・ボードに基づいています。JEDEC JESD51 を参照。

<sup>2</sup> N/A は該当せず。

<sup>3</sup>  $\theta_{JC}$  の試験では、100  $\mu\text{m}$  の熱界面材料 (TIM) を使用しています。TIM を 3.6W/mK と仮定しています。

## ESD に関する注意事項



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

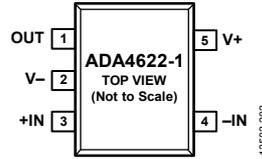
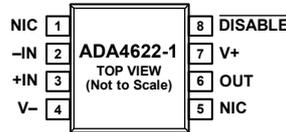


図 2.5 ピン SOT-23 ピン配置、ADA4622-1

表 6.5 ピン SOT-23 ピン機能の説明、ADA4622-1

ピン番号	記号	説明
1	OUT	出力。
2	V-	負電源電圧。
3	+IN	非反転入力。
4	-IN	反転入力。
5	V+	正電源電圧。



NOTES  
1. NIC = NOT INTERNALLY CONNECTED.

図 3.8 ピン SOIC ピン配置、ADA4622-1

表 7.8 ピン SOIC ピン機能の説明、ADA4622-1

ピン番号	記号	説明
1、5	NIC	内部では未接続。
2	-IN	反転入力。
3	+IN	非反転入力。
4	V-	負電源電圧。
6	OUT	出力。
7	V+	正電源電圧。
8	DISABLE	ディスエーブル入力 (アクティブ・ロー)。



図 4.8 ピン MSOP ピン配置、ADA4622-2

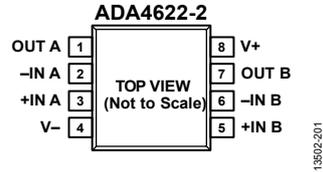
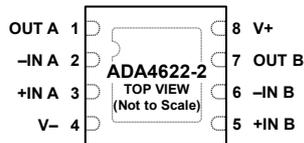


図 5.8 ピン SOIC ピン配置、ADA4622-2

表 8.8 ピン MSOP および 8 ピン SOIC ピン機能の説明、ADA4622-2

ピン番号	記号	説明
1	OUT A	出力チャンネル A。
2	-IN A	反転入力、チャンネル A。
3	+IN A	非反転入力、チャンネル A。
4	V-	負電源電圧。
5	+IN B	非反転入力、チャンネル B。
6	-IN B	反転入力、チャンネル B。
7	OUT B	出力、チャンネル B。
8	V+	正電源電圧。

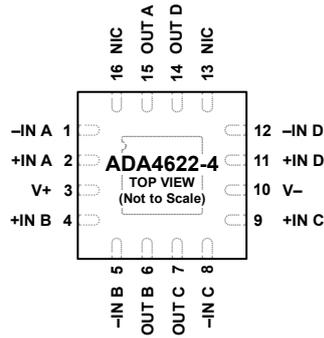


NOTES  
1. IT IS RECOMMENDED TO CONNECT THE EXPOSED PAD TO THE V+ PIN.

図 6.8 ピン LFCSP ピン配置、ADA4622-2

表 9.8 ピン LFCSP ピン機能の説明、ADA4622-2

ピン番号	記号	説明
1	OUT A	出力チャンネル A。
2	-IN A	反転入力、チャンネル A。
3	+IN A	非反転入力、チャンネル A。
4	V-	負電源電圧。
5	+IN B	非反転入力、チャンネル B。
6	-IN B	反転入力、チャンネル B。
7	OUT B	出力、チャンネル B。
8	V+	正電源電圧。
	EPAD	エクスポーズド・パッド。V+ ピンに露出パッドを接続することを推奨します。



- NOTES  
 1. NIC = NOT INTERNALLY CONNECTED.  
 2. THE EXPOSED PAD MUST BE CONNECTED TO V+.

13592-407

図 7. 16 ピン LFCSP ピン配置、ADA4622-4

表 10. 16 ピン LFCSP ピン機能の説明、ADA4622-4

ピン番号	記号	説明
1	-IN A	反転入力、チャンネル A。
2	+IN A	非反転入力、チャンネル A。
3	V+	正電源電圧。
4	+IN B	非反転入力、チャンネル B。
5	-IN B	反転入力、チャンネル B。
6	OUT B	出力、チャンネル B。
7	OUT C	出力、チャンネル C。
8	-IN C	反転入力、チャンネル C。
9	+IN C	非反転入力、チャンネル C。
10	V-	負電源電圧。
11	+IN D	非反転入力、チャンネル D。
12	-IN D	反転入力、チャンネル D。
13、16	NIC	内部では未接続。
14	OUT D	出力、チャンネル D。
15	OUT A	出力チャンネル A。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは V+ ピンに接続する必要があります。

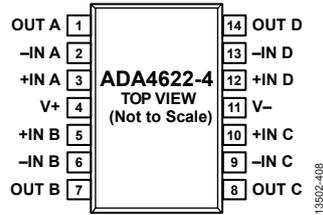


図 8. 14 ピン SOIC ピン配置、ADA4622-4

表 11. 14 ピン SOIC ピン機能の説明、ADA4622-4

ピン番号	記号	説明
1	OUT A	出力チャンネル A。
2	-IN A	反転入力、チャンネル A。
3	+IN A	非反転入力、チャンネル A。
4	V+	正電源電圧。
5	+IN B	非反転入力、チャンネル B。
6	-IN B	反転入力、チャンネル B。
7	OUT B	出力、チャンネル B。
8	OUT C	出力、チャンネル C。
9	-IN C	反転入力、チャンネル C。
10	+IN C	非反転入力、チャンネル C。
11	V-	負電源電圧。
12	+IN D	非反転入力、チャンネル D。
13	-IN D	反転入力、チャンネル D。
14	OUT D	出力、チャンネル D。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

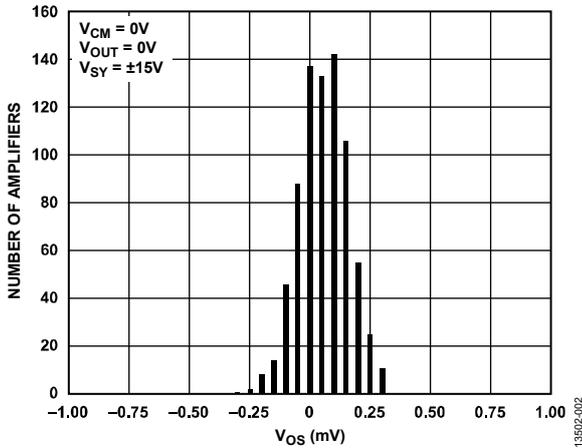


図 9. 入力オフセット電圧 ( $V_{OS}$ ) の分布、 $V_{SY} = \pm 15\text{ V}$

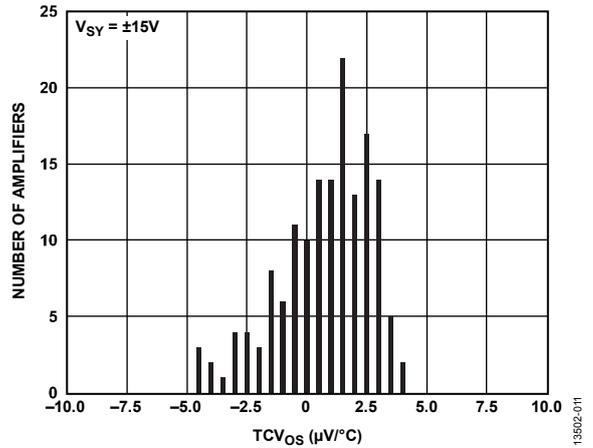


図 12. 入力オフセット電圧ドリフト ( $TCV_{OS}$ ) の分布 ( $-40^\circ\text{C} \sim +125^\circ\text{C}$ )、 $V_{SY} = \pm 15\text{ V}$

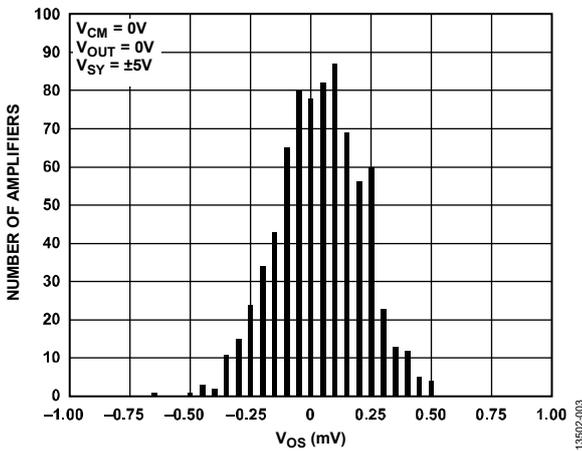


図 10. 入力オフセット電圧 ( $V_{OS}$ ) の分布、 $V_{SY} = \pm 5\text{ V}$

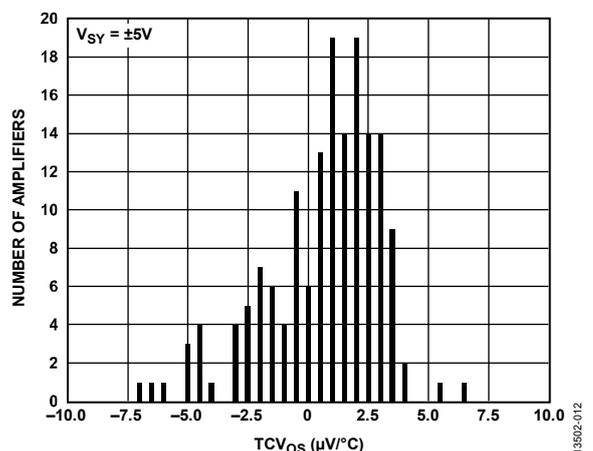


図 13. 入力オフセット電圧ドリフト ( $TCV_{OS}$ ) の分布 ( $-40^\circ\text{C} \sim +125^\circ\text{C}$ )、 $V_{SY} = \pm 5\text{ V}$

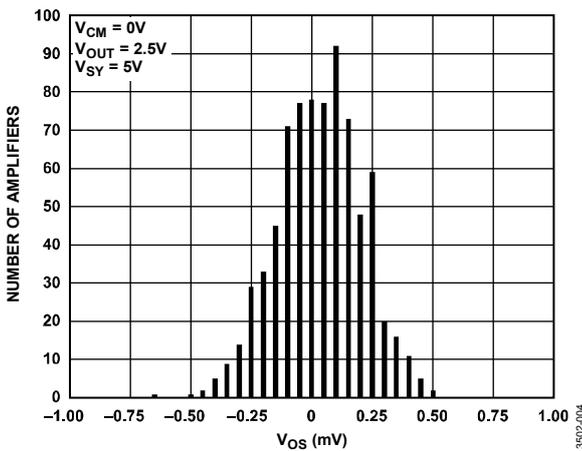


図 11. 入力オフセット電圧 ( $V_{OS}$ ) の分布、 $V_{SY} = 5\text{ V}$

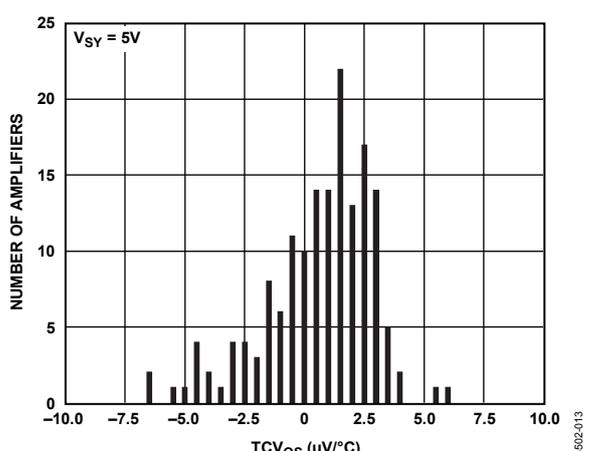


図 14. 入力オフセット電圧ドリフト ( $TCV_{OS}$ ) の分布 ( $-40^\circ\text{C} \sim +125^\circ\text{C}$ )、 $V_{SY} = 5\text{ V}$

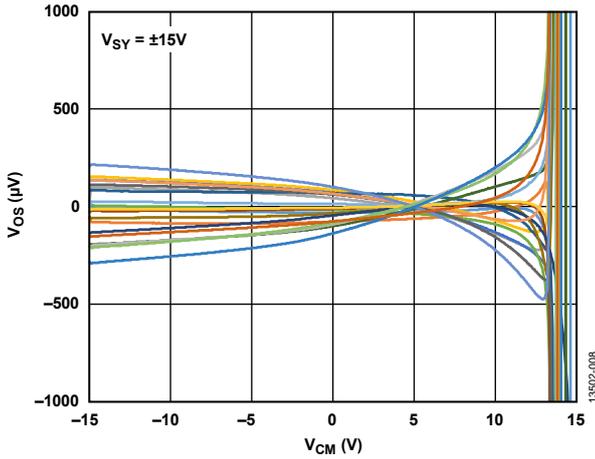


図 15. 入力オフセット電圧 ( $V_{OS}$ ) とコモンモード電圧 ( $V_{CM}$ ) の関係、 $V_{SY} = \pm 15 V$

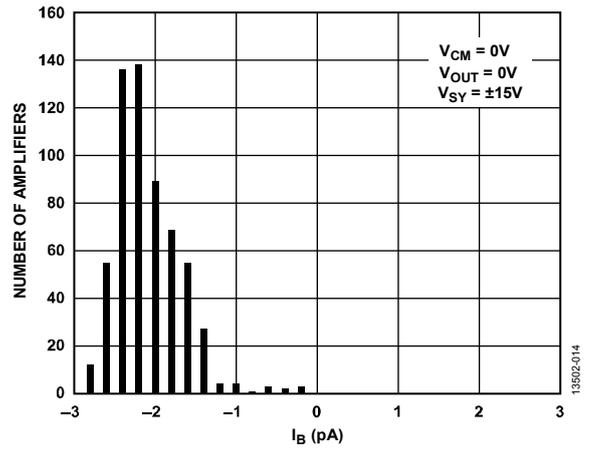


図 18. 入力バイアス電流 ( $I_B$ ) の分布、 $V_{SY} = \pm 15 V$

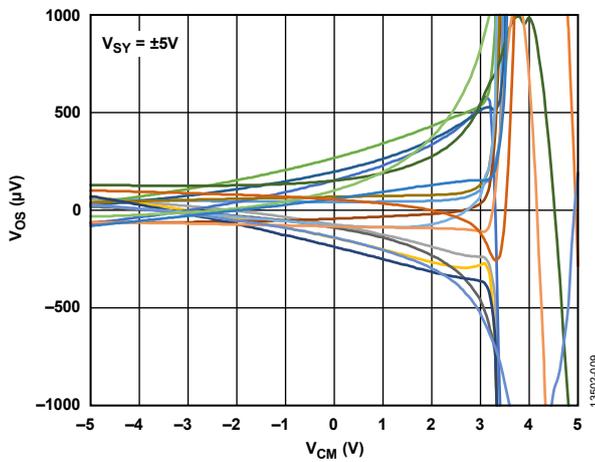


図 16. 入力オフセット電圧 ( $V_{OS}$ ) とコモンモード電圧 ( $V_{CM}$ ) の関係、 $V_{SY} = \pm 5 V$

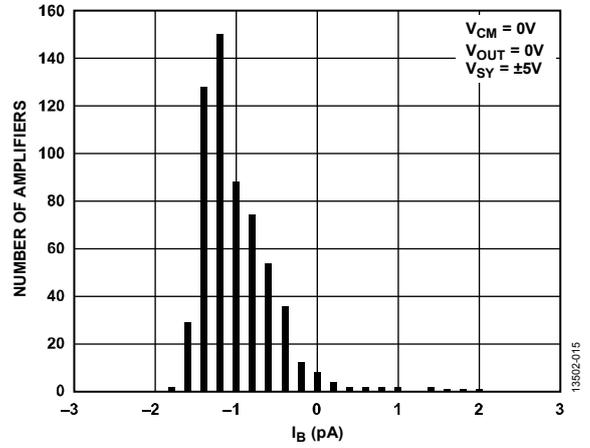


図 19. 入力バイアス電流 ( $I_B$ ) の分布、 $V_{SY} = \pm 5 V$

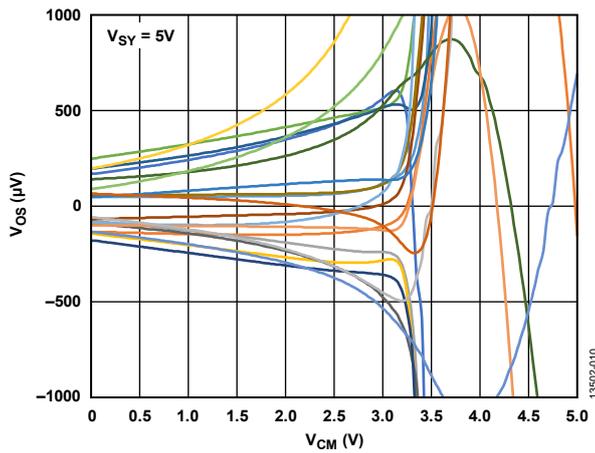


図 17. 入力オフセット電圧 ( $V_{OS}$ ) とコモンモード電圧 ( $V_{CM}$ ) の関係、 $V_{SY} = 5 V$

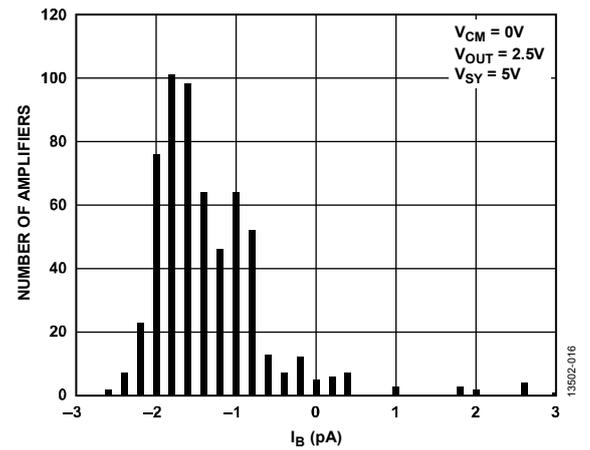


図 20. 入力バイアス電流 ( $I_B$ ) の分布、 $V_{SY} = 5 V$

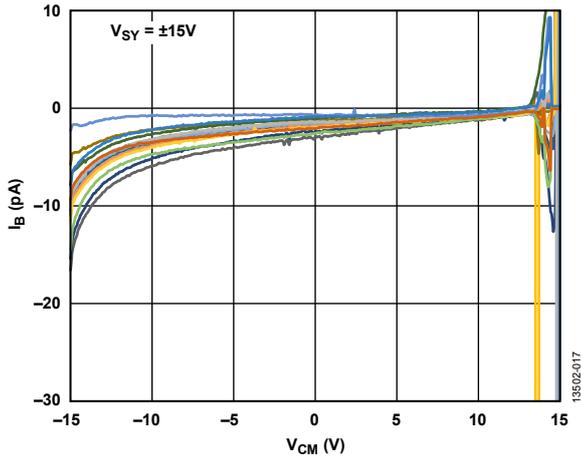


図 21. 入力バイアス電流 ( $I_B$ ) と入力コモンモード電圧 ( $V_{CM}$ ) の関係、 $V_{SY} = \pm 15 V$

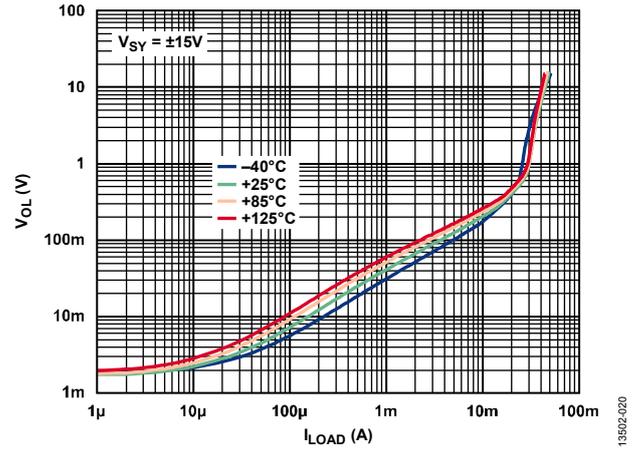


図 24. 各種温度における電源レールと低出力電圧 ( $V_{OL}$ ) の差と負荷電流 ( $I_{LOAD}$ ) の関係、 $V_{SY} = \pm 15 V$

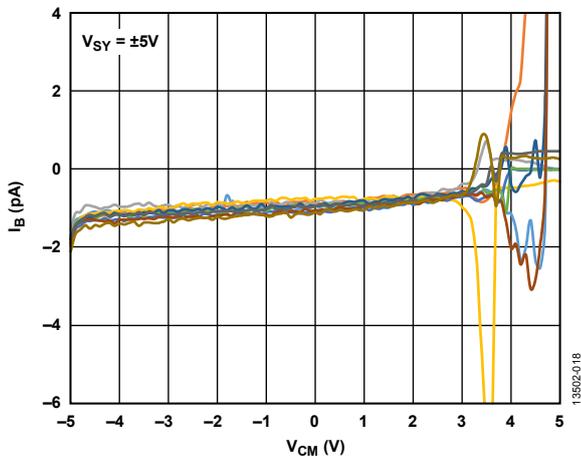


図 22. 入力バイアス電流 ( $I_B$ ) と入力コモンモード電圧 ( $V_{CM}$ ) の関係、 $V_{SY} = \pm 5 V$

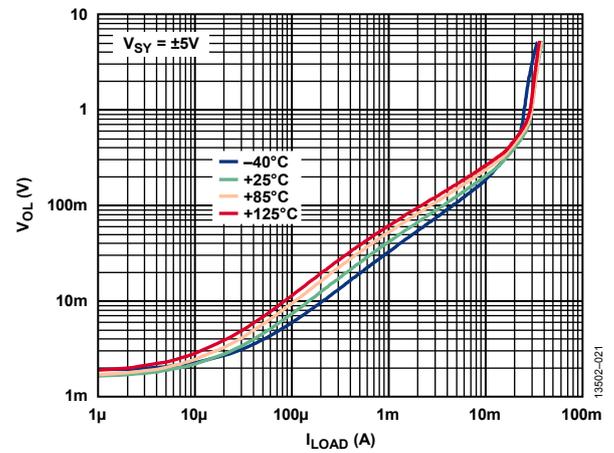


図 25. 各種温度における電源レールと低出力電圧 ( $V_{OL}$ ) の差と負荷電流 ( $I_{LOAD}$ ) の関係、 $V_{SY} = \pm 5 V$

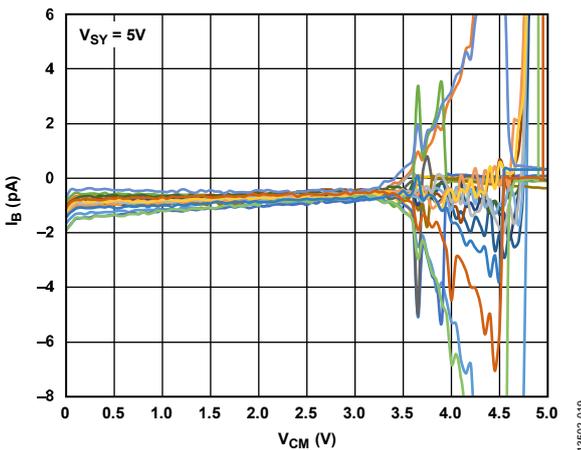


図 23. 入力バイアス電流 ( $I_B$ ) と入力コモンモード電圧 ( $V_{CM}$ ) の関係、 $V_{SY} = 5 V$

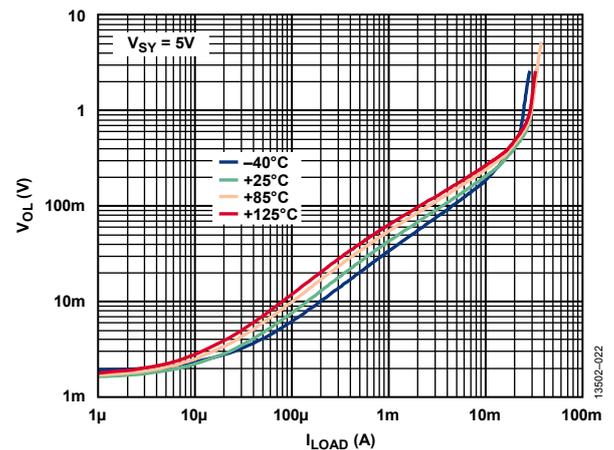


図 26. 各種温度における電源レールと低出力電圧 ( $V_{OL}$ ) の差と負荷電流 ( $I_{LOAD}$ ) の関係、 $V_{SY} = 5 V$

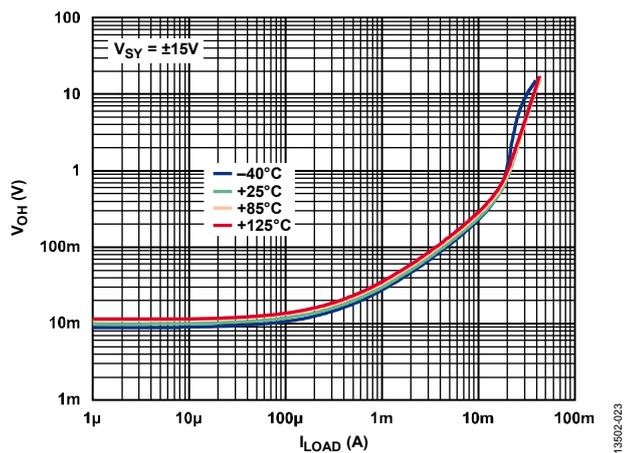


図 27. 各種温度における電源レールと高出力電圧 ( $V_{OH}$ ) の差と負荷電流 ( $I_{LOAD}$ ) の関係、 $V_{SY} = \pm 15V$

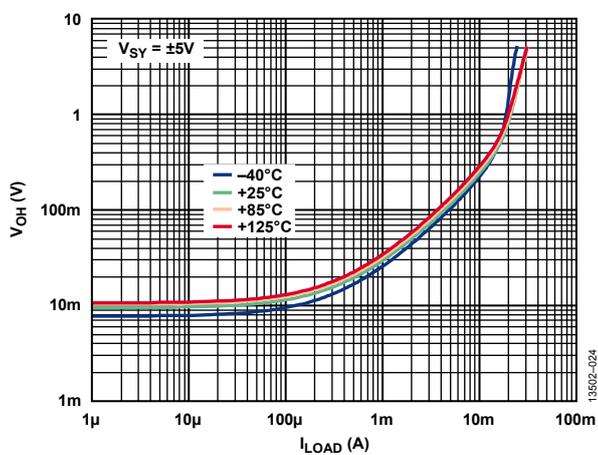


図 28. 各種温度における電源レールと高出力電圧 ( $V_{OH}$ ) の差と負荷電流 ( $I_{LOAD}$ ) の関係、 $V_{SY} = \pm 5V$

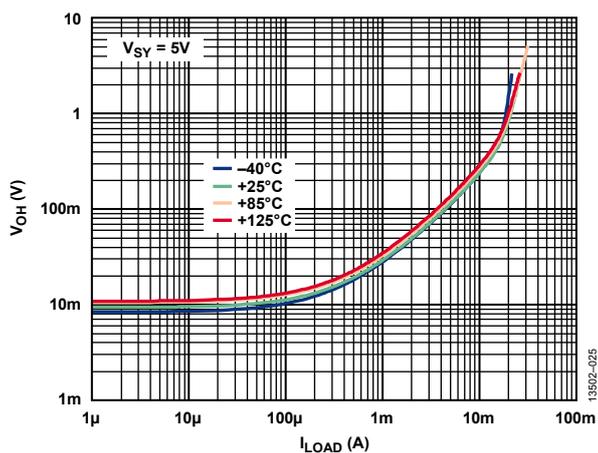


図 29. 各種温度における電源レールと高出力電圧 ( $V_{OH}$ ) の差と負荷電流 ( $I_{LOAD}$ ) の関係、 $V_{SY} = 5V$

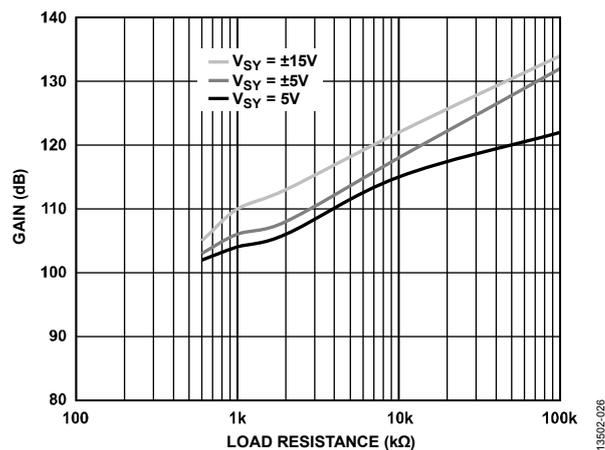


図 30. オープンループ電圧ゲイン ( $A_{VO}$ ) と負荷抵抗の関係

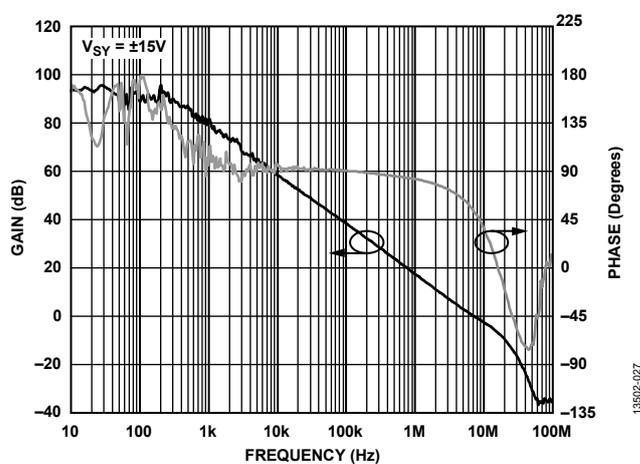


図 31. オープンループ電圧ゲイン ( $A_{VO}$ ) と位相の周波数特性、 $V_{SY} = \pm 15V$

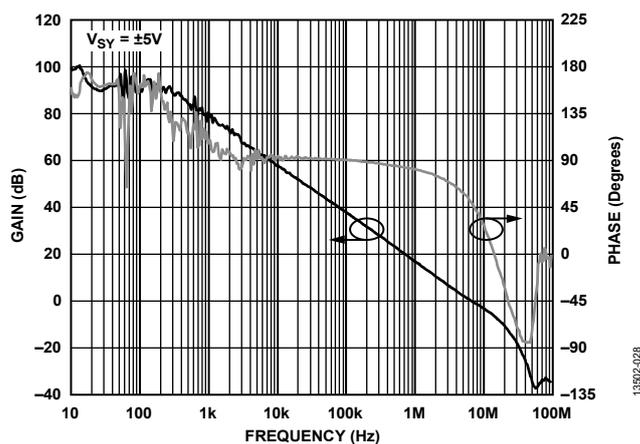


図 32. オープンループ電圧ゲイン ( $A_{VO}$ ) と位相の周波数特性、 $V_{SY} = \pm 5V$

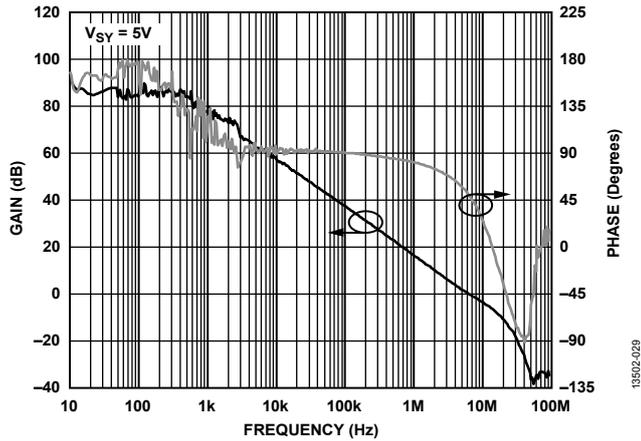


図 33. オープンループ電圧ゲイン ( $A_{VO}$ ) と位相の周波数特性、 $V_{SY} = \pm 5\text{ V}$

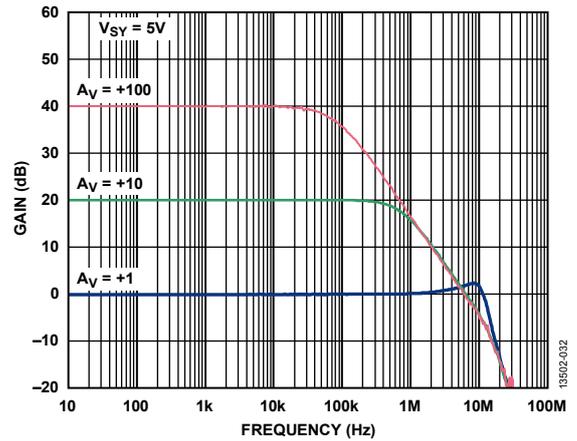


図 36. クローズドループ・ゲイン ( $A_V$ ) の周波数特性、 $V_{SY} = 5\text{ V}$

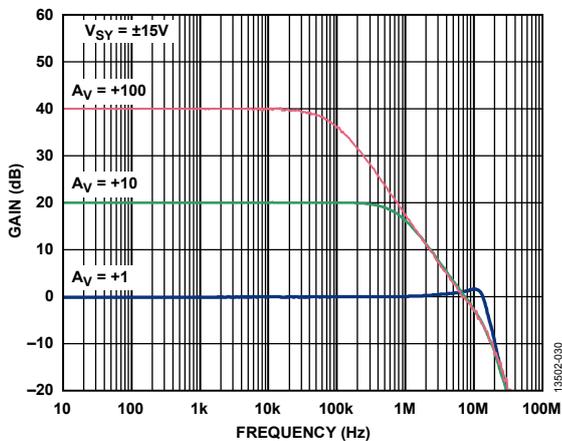


図 34. クローズドループ・ゲイン ( $A_V$ ) の周波数特性、 $V_{SY} = \pm 15\text{ V}$

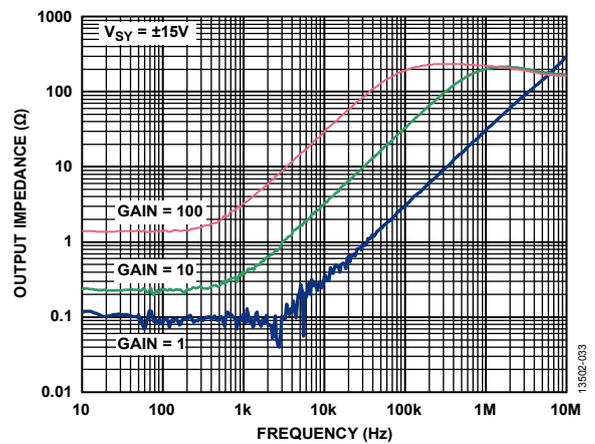


図 37. 出力インピーダンスの周波数特性、 $V_{SY} = \pm 15\text{ V}$

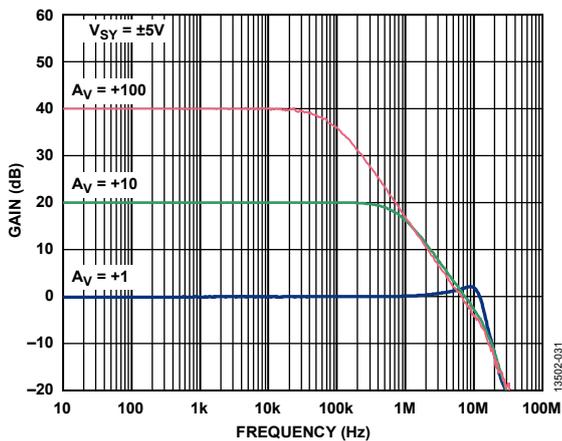


図 35. クローズドループ・ゲイン ( $A_V$ ) の周波数特性、 $V_{SY} = \pm 5\text{ V}$

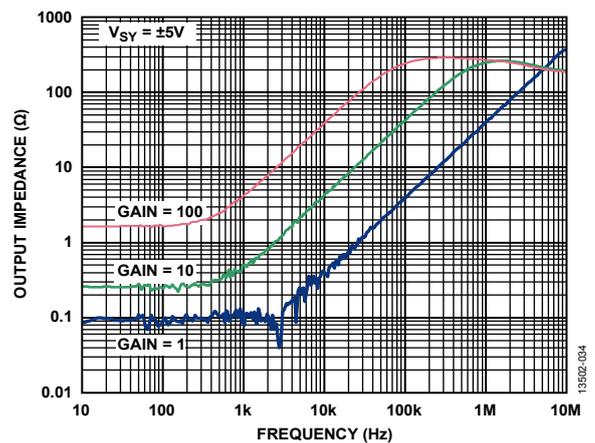


図 38. 出力インピーダンスの周波数特性、 $V_{SY} = \pm 5\text{ V}$

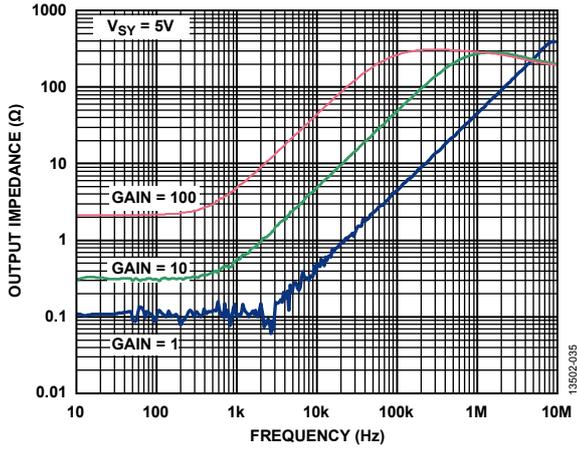


図 39. 出カインピーダンスの周波数特性、 $V_{SY} = 5\text{ V}$

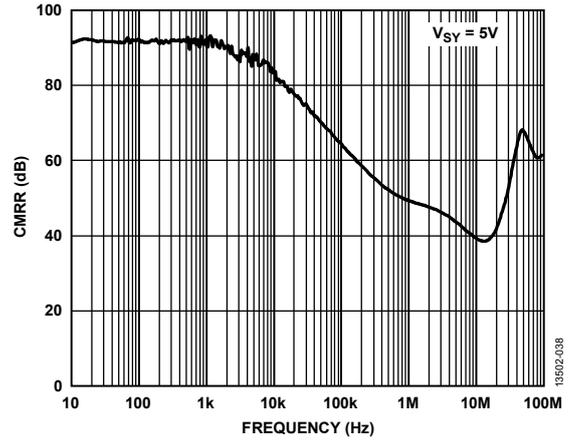


図 42. CMRR の周波数特性、 $V_{SY} = 5\text{ V}$

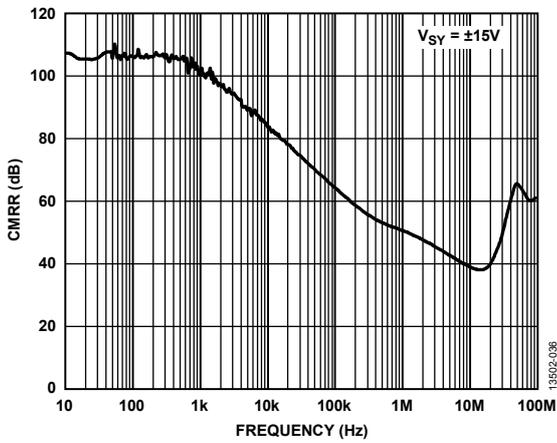


図 40. CMRR の周波数特性、 $V_{SY} = \pm 15\text{ V}$

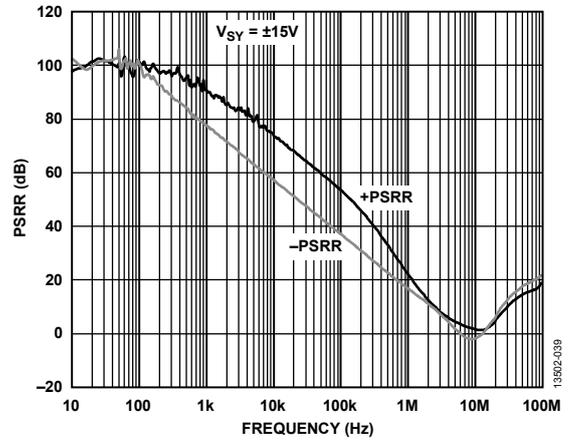


図 43. PSRR の周波数特性、 $V_{SY} = \pm 15\text{ V}$

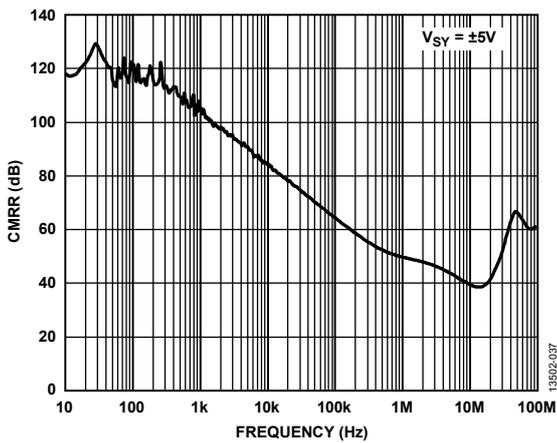


図 41. CMRR の周波数特性、 $V_{SY} = \pm 5\text{ V}$

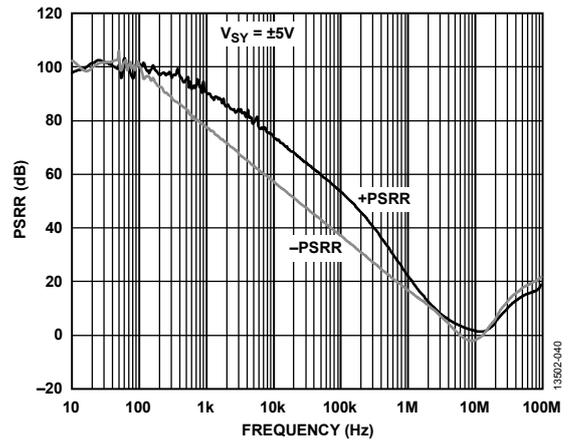


図 44. PSRR の周波数特性、 $V_{SY} = \pm 5\text{ V}$

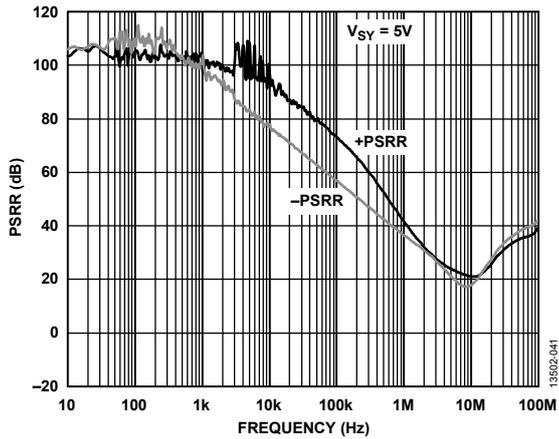


図 45. PSRR の周波数特性、 $V_{SY} = 5\text{ V}$

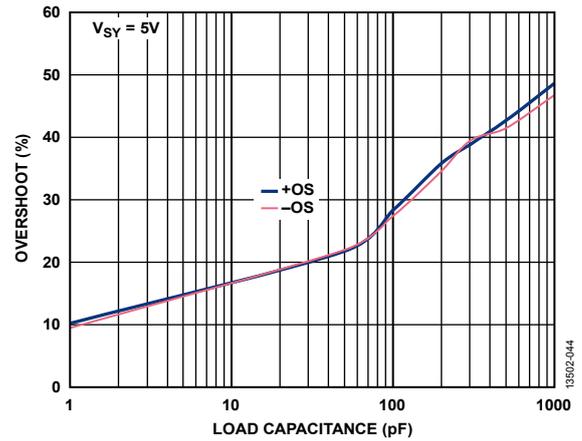


図 48. 小信号オーバーシュート (OS) と負荷容量の関係、 $V_{SY} = 5\text{ V}$

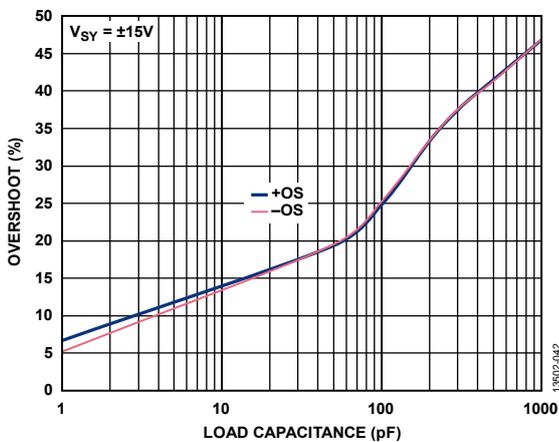


図 46. 小信号オーバーシュート (OS) と負荷容量の関係、 $V_{SY} = \pm 15\text{ V}$

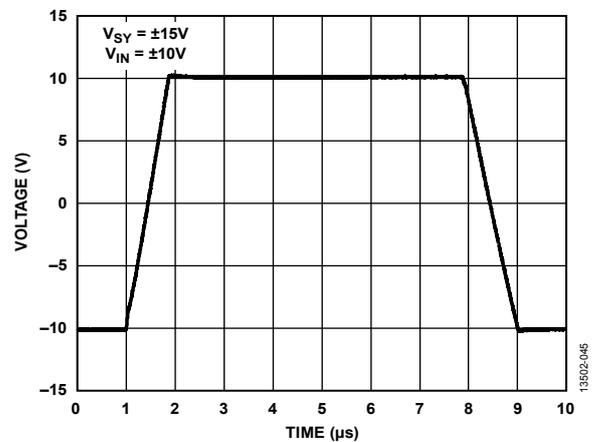


図 49. 大信号の過渡応答、 $V_{SY} = \pm 15\text{ V}$

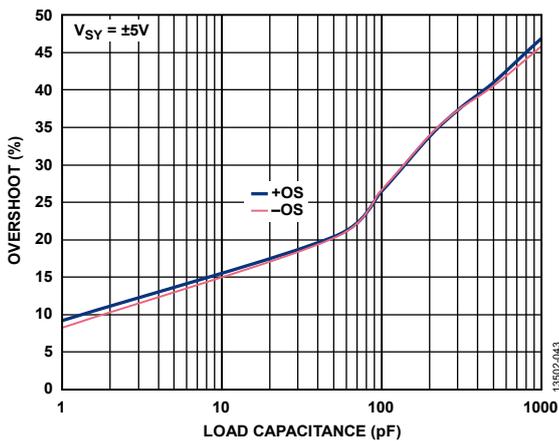


図 47. 小信号オーバーシュート (OS) と負荷容量の関係、 $V_{SY} = \pm 5\text{ V}$

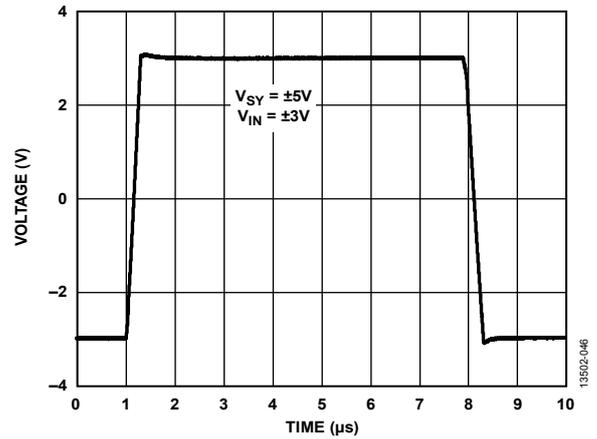


図 50. 大信号の過渡応答、 $V_{SY} = \pm 5\text{ V}$

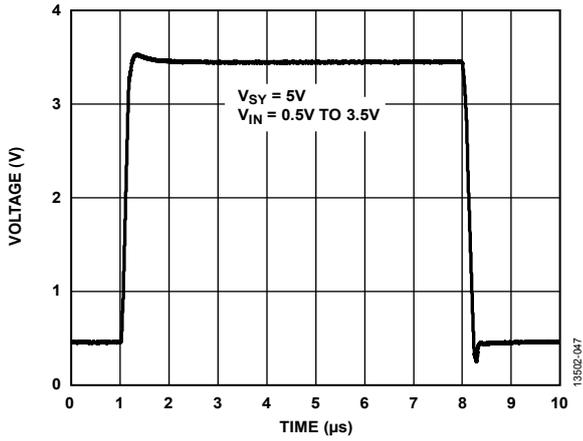


図 51. 大信号の過渡応答、 $V_{SY} = 5\text{ V}$

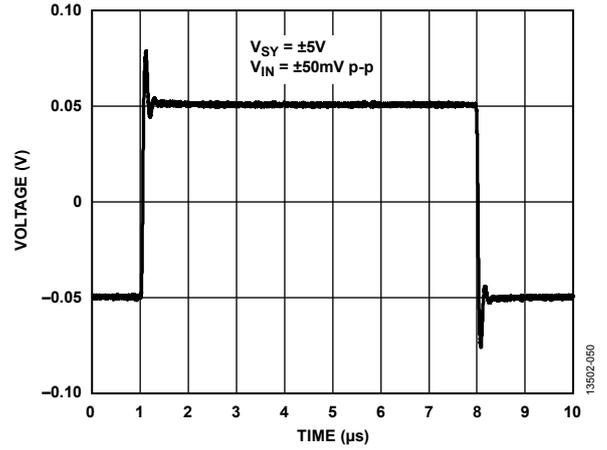


図 54. 小信号の過渡応答、 $V_{SY} = \pm 5\text{ V}$

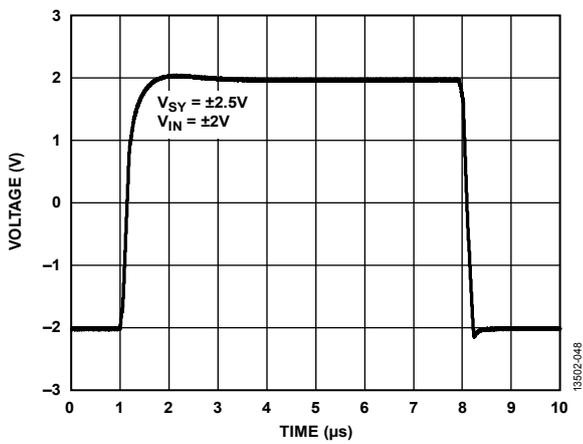


図 52. 大信号の過渡応答、 $V_{SY} = \pm 2.5\text{ V}$

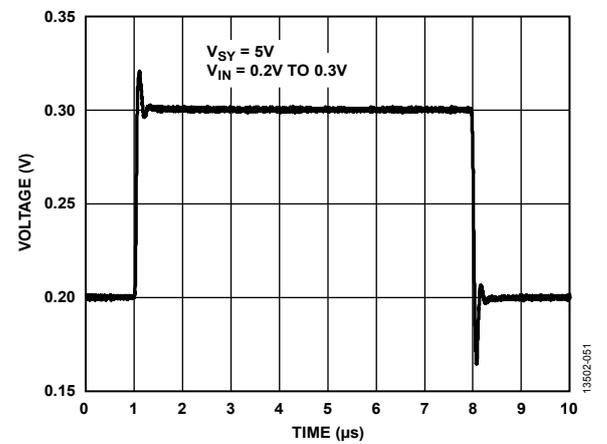


図 55. 小信号の過渡応答、 $V_{SY} = 5\text{ V}$

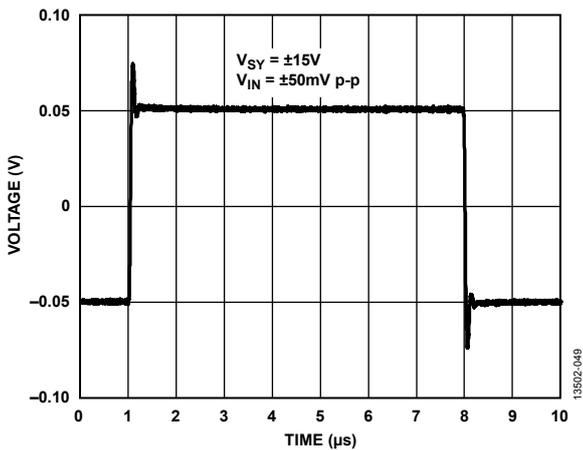


図 53. 小信号の過渡応答、 $V_{SY} = \pm 15\text{ V}$

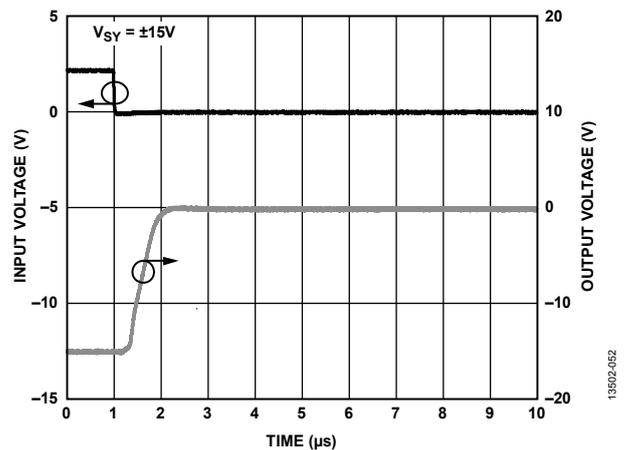


図 56. 負の過負荷からの回復、 $A_v = -10$ 、 $V_{SY} = \pm 15\text{ V}$

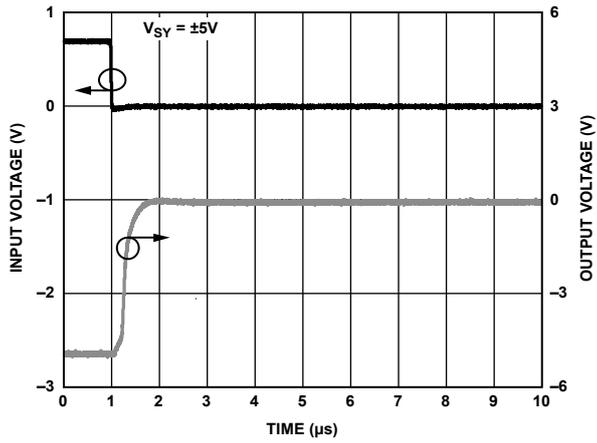


図 57. 負の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 5V$

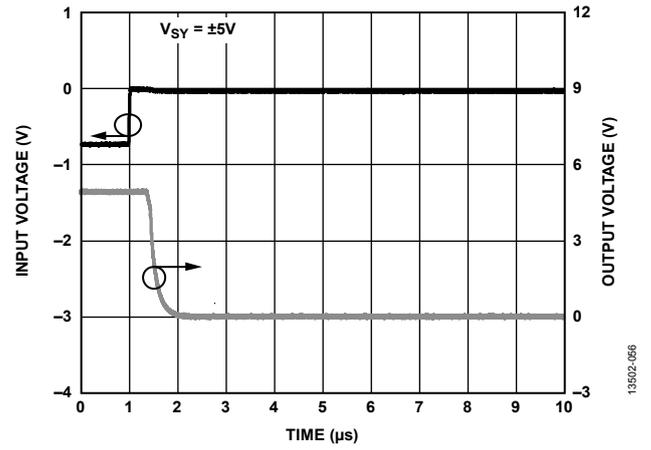


図 60. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 5V$

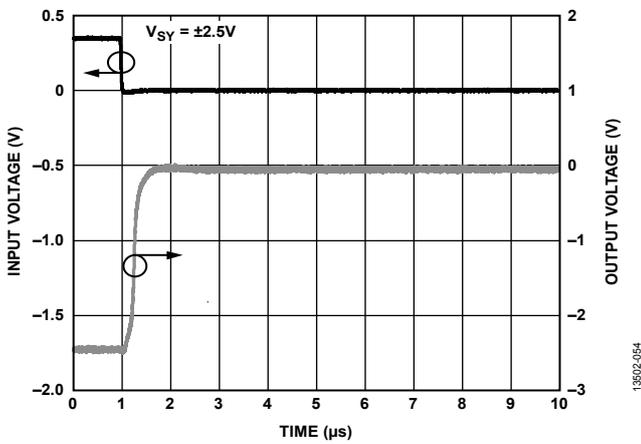


図 58. 負の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 2.5V$

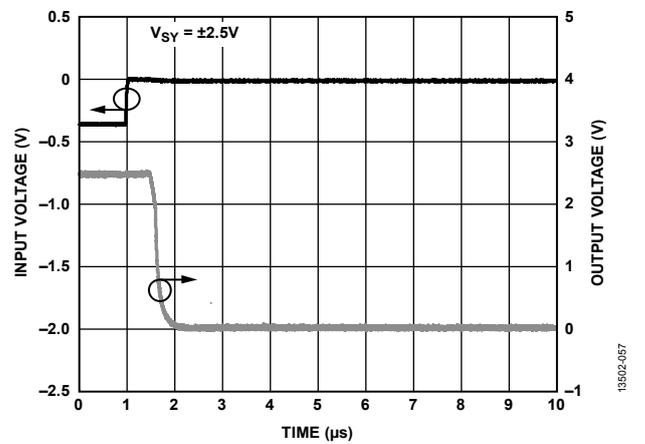


図 61. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 2.5V$

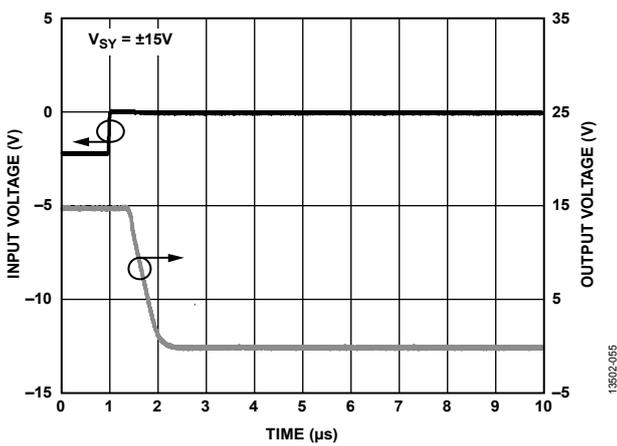


図 59. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 15V$

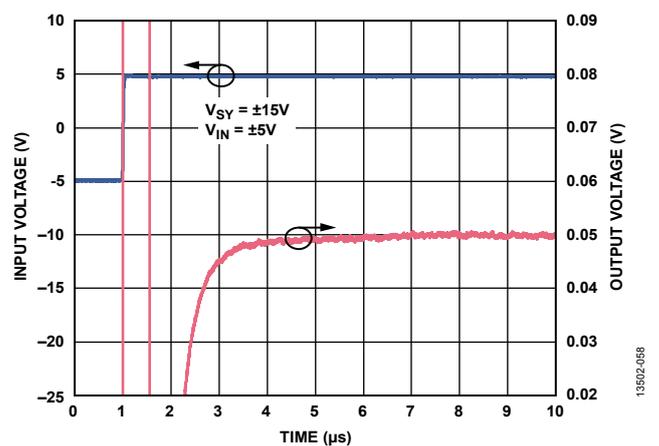


図 62. 正のセリング・タイム、 $A_V = -10$ 、 $V_{SY} = \pm 15V$

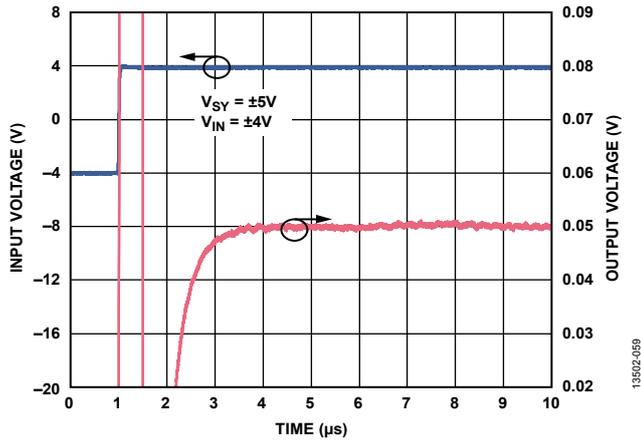


図 63. 正のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = \pm 5V$

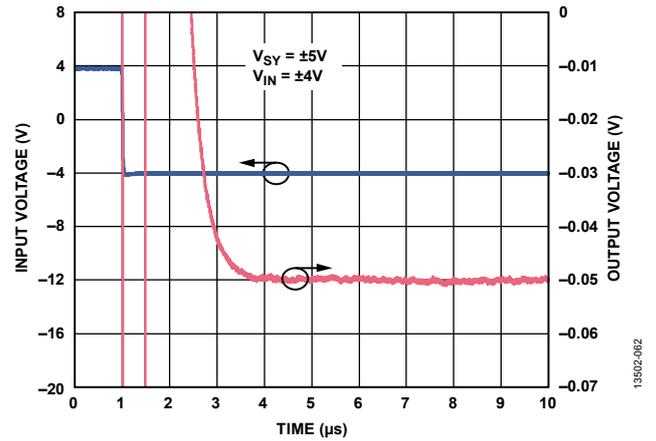


図 66. 負のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = \pm 5V$

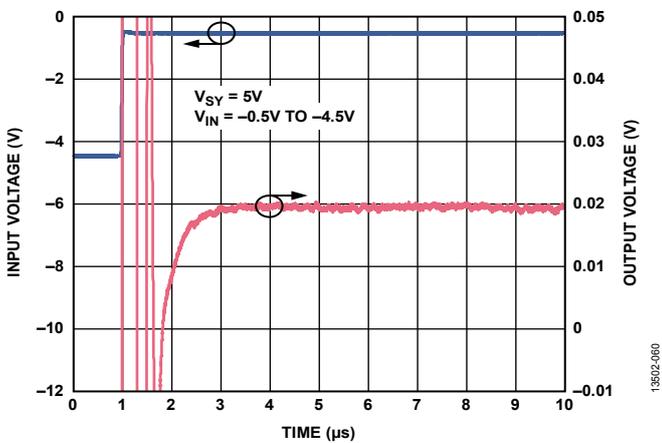


図 64. 正のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = 5V$

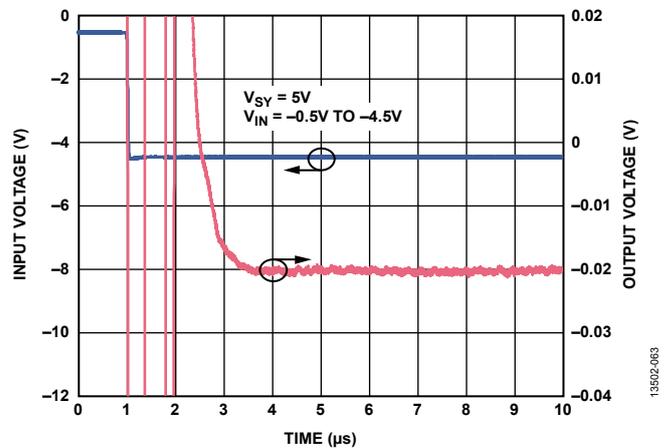


図 67. 負のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = 5V$

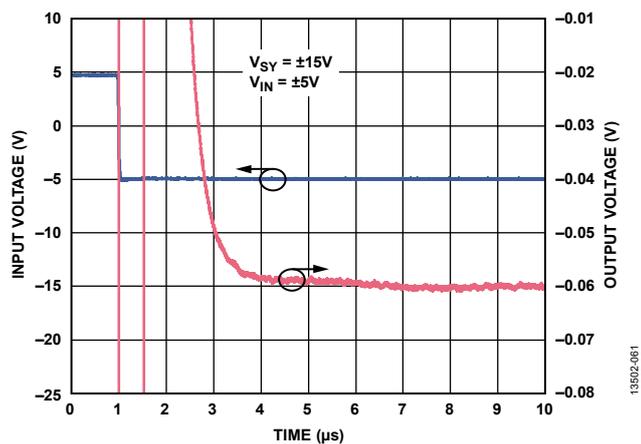


図 65. 負のセトリング・タイム、 $A_v = -10$ 、 $V_{SY} = \pm 15V$

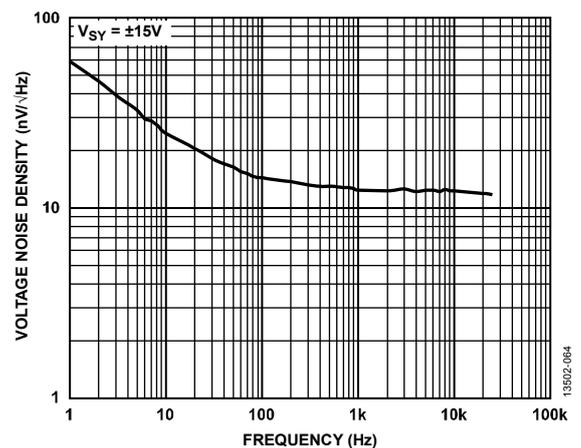


図 68. 電圧ノイズ密度、 $V_{SY} = \pm 15V$

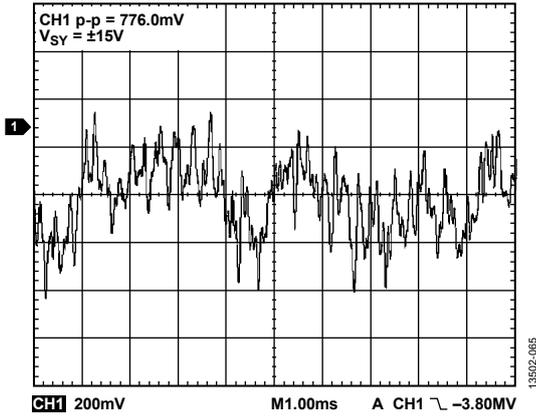


図 69. 0.1 Hz ~ 10 Hz のノイズ、 $V_{SY} = \pm 15V$

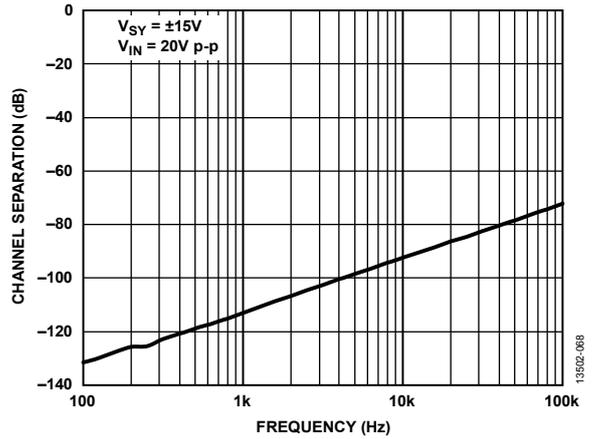


図 72. チャンネル・セパレーションの周波数特性、 $V_{SY} = \pm 15V$

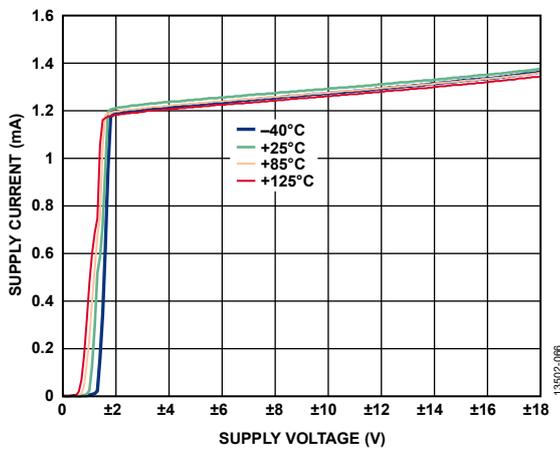


図 70. さまざまな温度での電源電流 ( $I_{SY}$ ) と電源電圧 ( $V_{SY}$ ) の関係

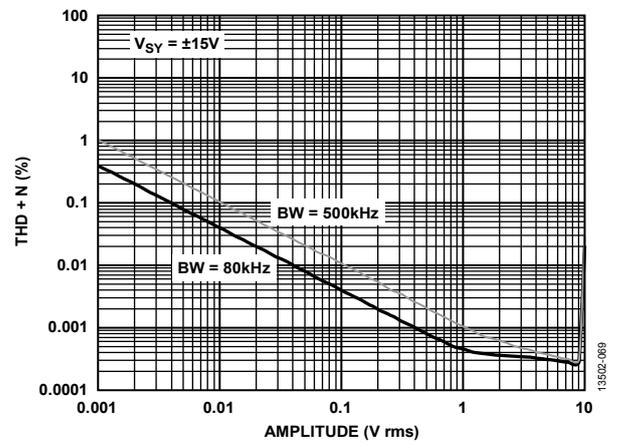


図 73. THD + N と振幅の関係、 $V_{SY} = \pm 15V$

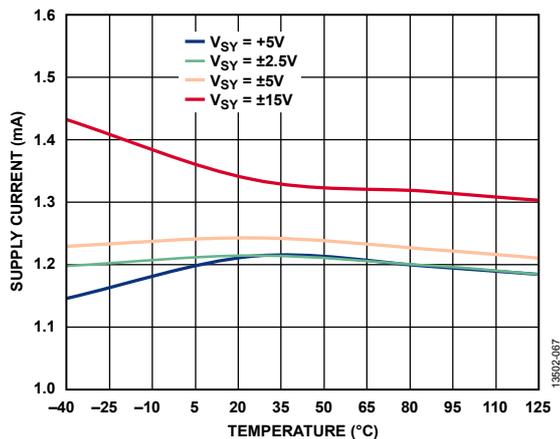


図 71. 各種電源電圧での電源電流 ( $I_{SY}$ ) の温度特性

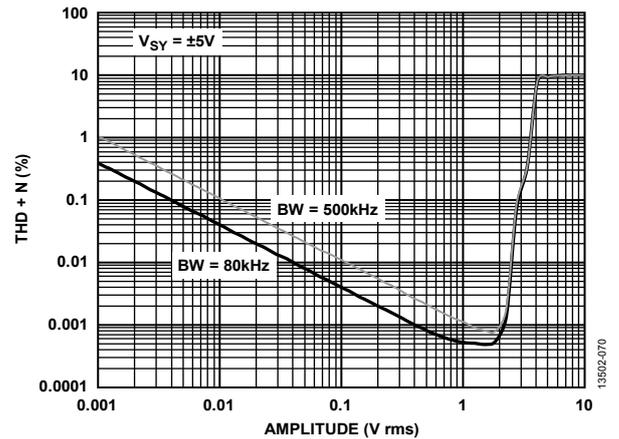


図 74. THD + N と振幅の関係、 $V_{SY} = \pm 5V$

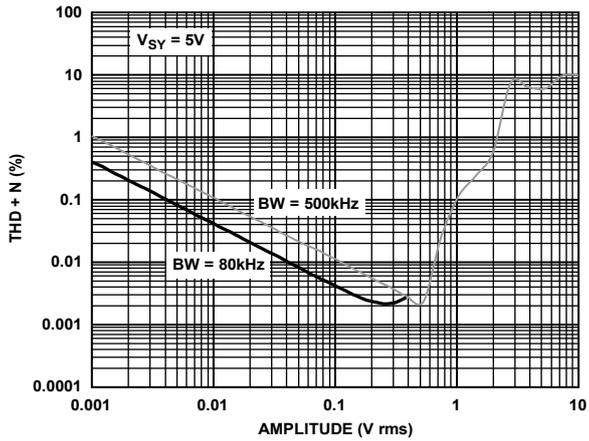


図 75. THD + N と振幅の関係、 $V_{SY} = 5\text{ V}$

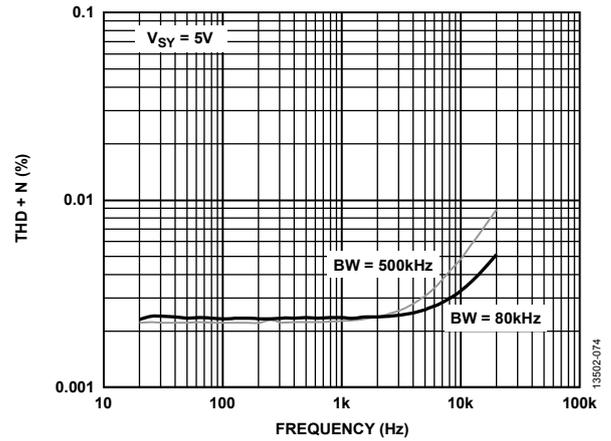


図 78. THD + N の周波数特性、 $V_{SY} = 5\text{ V}$

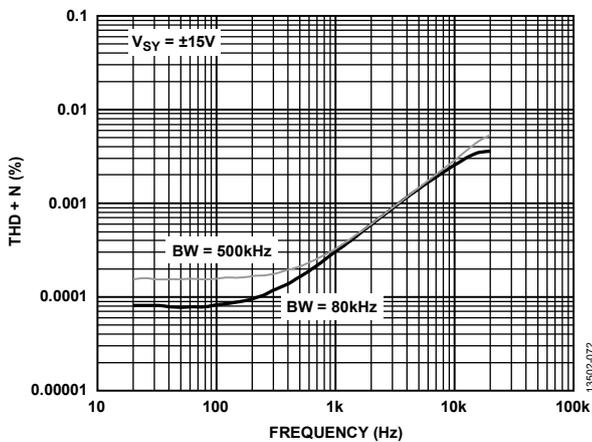


図 76. THD + N の周波数特性、 $V_{SY} = \pm 15\text{ V}$

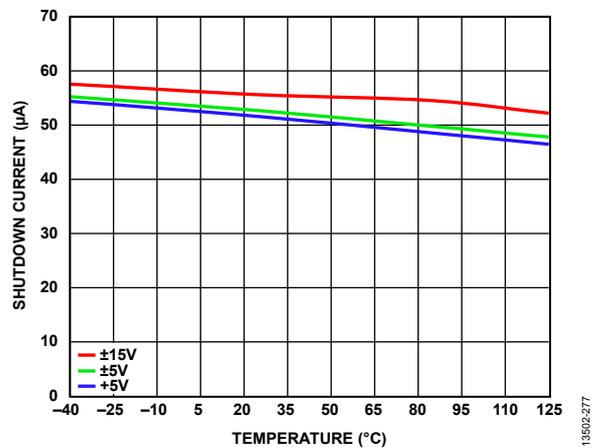


図 79. シャットダウン電流の温度特性

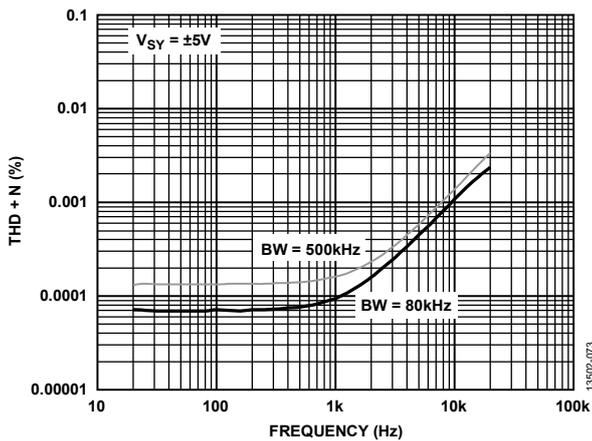


図 77. THD + N の周波数特性、 $V_{SY} = \pm 5\text{ V}$

動作原理

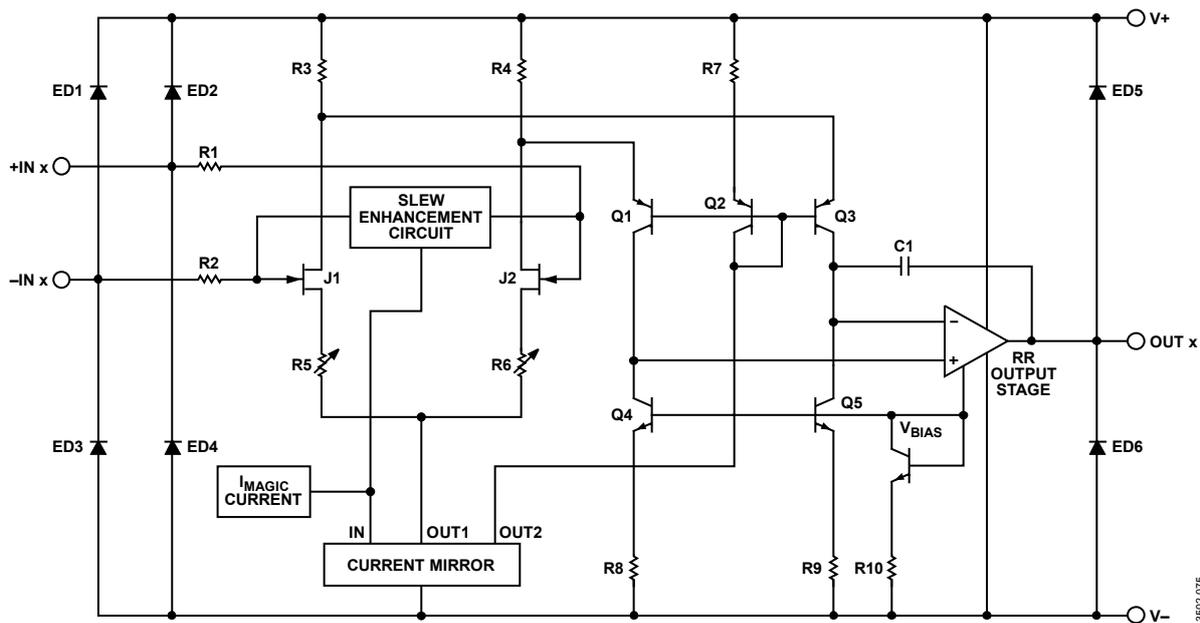


図 80. 簡素化した回路図

入力特性

ADA4622-1/ADA4622-2/ADA4622-4 の入力段は、低オフセット、低ノイズ、高インピーダンスを実現する複数の N チャンネル JFET で構成されています。最小入力コモンモード電圧は、 $V^-$  より  $-0.2\text{ mV}$  低い値から  $V^+$  より  $1\text{ V}$  低い値までとなっています。正の電源レールに近い値で入力を駆動すると、アンプの帯域幅が減少し、コモンモード電圧の誤差が増加します。図 81 に、帯域幅の減少により丸められた出力を示します。入力と出力がほぼ重なっています。

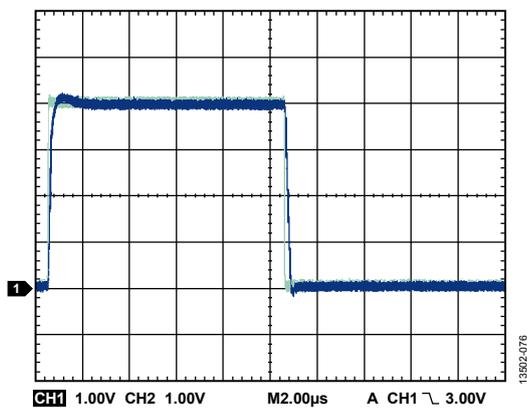


図 81. ヘッドルーム条件による帯域幅の制限

$V^+$  以下の入力電圧では、ADA4622-1/ADA4622-2/ADA4622-4 で位相反転は現れません。入力電圧が  $V^+$  を超える場合、非反転入力に  $10\text{ k}\Omega$  抵抗を直列に接続することで位相の反転を防止できますが、入力電圧ノイズが増加します (図 82 を参照)。

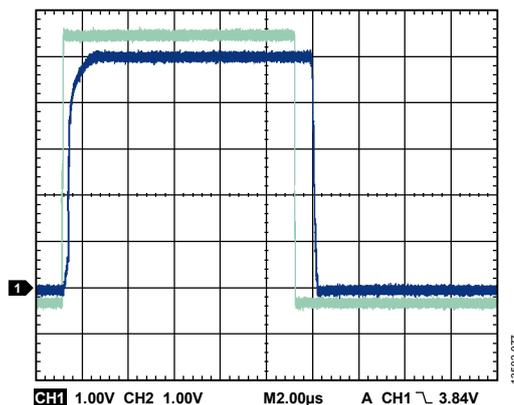


図 82. 位相反転なし

入力段には N チャンネル JFET が採用されているため、通常動作時の入力電流は負になります。ただし、入力電圧が  $V^+$  に近づくにつれて、内部ジャンクションに順方向バイアスがかかるので、入力バイアス電流の方向が変わります (図 83 を参照)。

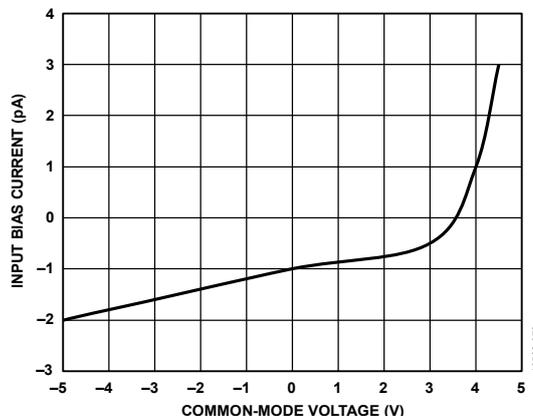


図 83.  $\pm 5\text{ V}$  電源での入力バイアス電流とコモンモード電圧の関係

ADA4622-1/ADA4622-2/ADA4622-4 は、 $12 \text{ nV}/\sqrt{\text{Hz}}$  の広帯域入力電圧ノイズ向けに設計されていて、低い周波数での低ノイズ密度性能を維持します (図 84 を参照)。このノイズ性能に加え、入力電流と電流ノイズが小さいという特長により、 $10 \text{ k}\Omega$  を超える信号源抵抗および  $1 \text{ kHz}$  を超える信号帯域幅を使用するアプリケーションでは、ADA4622-1/ADA4622-2/ADA4622-4 に起因するノイズを無視できます。

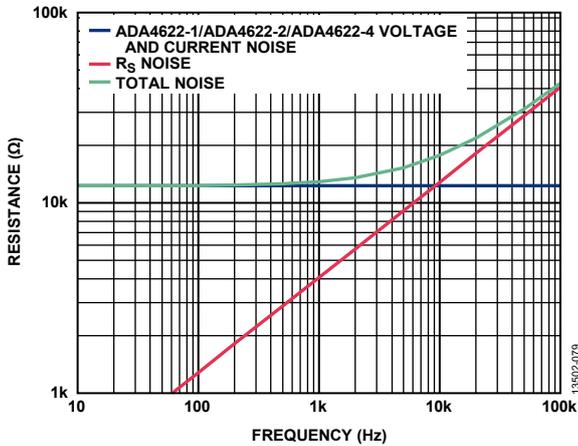


図 84. 合計ノイズとソース電圧および周波数の関係

## 入力過電圧保護

ADA4622-1/ADA4622-2/ADA4622-4 は、損傷が生じることなく、電源電圧より  $0.3 \text{ V}$  高い電圧をいずれかの端子に入力できる保護回路を内蔵しています。入力電圧がアンプの電源レールより  $0.3 \text{ V}$  高い電圧を超える場合は、ADA4622-1/ADA4622-2/ADA4622-4 の入力に電流制限抵抗を直列接続してください。過電圧状態が数秒以上続くと、アンプが損傷します。

入力電圧が高い場合は、次式で抵抗値を決定します。

$$\frac{V_{IN} - V_{SY}}{R_S} \leq 10 \text{ mA}$$

ここで、

$V_{IN}$  は入力電圧。

$V_{SY}$  は V+ ピンまたは V- ピンの電圧。

$R_S$  は直列抵抗。

最大  $125^\circ\text{C}$  で入力バイアス電流が  $1.5 \text{ nA}$  (max) と非常に小さいので、大きなオフセット誤差を発生させることなく、値の高い抵抗を入力に直列接続できます。 $1 \text{ k}\Omega$  の直列抵抗を使用すると、ADA4622-1/ADA4622-2/ADA4622-4 は  $10 \text{ V}$  の連続的な過電圧に耐えるようになり、ノイズの増加も無視できる量にとどまります。 $5 \text{ k}\Omega$  の抵抗を使用すると、電源より  $25 \text{ V}$  高い電圧から入力を保護するとともに、アンプの電圧オフセットに追加される電圧も  $10 \mu\text{V}$  未満で済みます。

## EMI 除去比

Figure 85 に ADA4622-1/ADA4622-2/ADA4622-4 の EMI 除去比 (EMIRR) の周波数特性を示します。

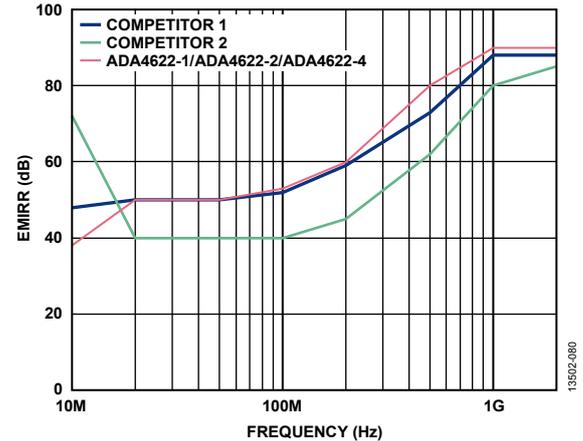


図 85. EMIRR の周波数特性

## 出力特性

ADA4622-1/ADA4622-2/ADA4622-4 独自のバイポーラ・レール to レール出力段の電圧振幅は、外部の抵抗性負荷なしで  $10 \text{ mV}$  以内です。

ADA4622-1/ADA4622-2/ADA4622-4 の概算の出力飽和抵抗値は  $24 \Omega$  (ソースまたはシンク) です。高負荷駆動時の出力飽和電圧を見積もるには、出力インピーダンスを使用します。例えば、 $5 \text{ mA}$  を駆動している場合、いずれかのレールからの飽和電圧は約  $120 \text{ mV}$  です。

ADA4622-1/ADA4622-2/ADA4622-4 の出力が出力飽和電圧に対して過剰な値で駆動されると、入力から  $1.2 \mu\text{s}$  以内で回復が行われ、アンプのリニア動作領域に復帰します (図 56 および図 59 を参照)。

## 容量性負荷の駆動能力

直接的な容量性負荷は ADA4622-1/ADA4622-2/ADA4622-4 の実効出力インピーダンスと相互作用し、アンプの帰還ループに追加の極を形成します。これは、パルス応答における過度のピーク形成または安定性低下の原因となります。デバイスに  $5 \text{ V}$  の単電源を使用し、ユニティ・ゲイン構成で使用した場合に最も厳しい条件となります。図 86 に、 $500 \text{ pF}$  を直接駆動した場合の ADA4622-1/ADA4622-2/ADA4622-4 のパルス応答を示します。

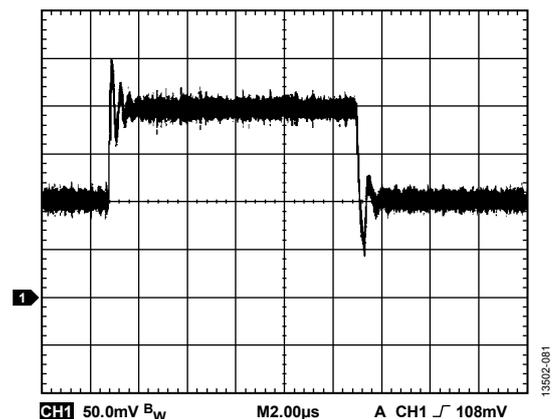


図 86.  $500 \text{ pF}$  負荷容量でのパルス応答

シャットダウン操作

ADA4622-1 をシャットダウン・モードにするには、アクティブ・ロー  $\overline{\text{DISABLE}}$  入力を使用します。 $\overline{\text{DISABLE}}$  入力の電圧が負電源電圧側 (V-) +1.4 V よりも低い場合は、ADA4622-1 はシャットダウンし、消費される電流はわずか  $50 \mu\text{A} \sim 60 \mu\text{A}$  (代表値) です。 $\overline{\text{DISABLE}}$  入力の電圧が負電源電圧側 (V-) の +1.4 V よりも高い場合、 $\overline{\text{DISABLE}}$  入力はフロート状態のまま、ADA4622-1 はパワーアップします。最大限の性能を引き出すために、 $\overline{\text{DISABLE}}$  入力の電圧を V- に移行するか、入力をフロート状態のままにすることを勧めます。 $\overline{\text{DISABLE}}$  入力がフロート状態の場合、ADA4622-1 はイネーブルなので、標準のチャンネル・オペアンプのピン配置を採用したデバイスでは、ADA4622-1 をそのまま交換できます。図 87 に、 $\overline{\text{DISABLE}}$  入力の簡略化された回路を示します。

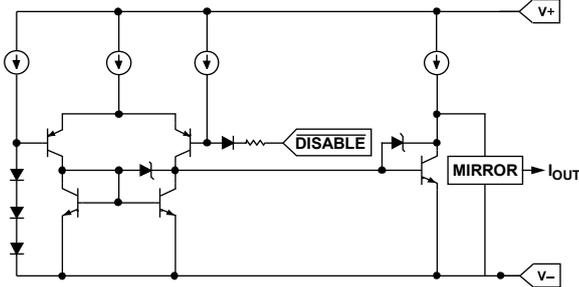


図 87.  $\overline{\text{DISABLE}}$  入力の簡略化された回路

図 88 および 図 89 に、 $\overline{\text{DISABLE}}$  入力が切り替わったときのスタートアップおよびシャットダウンの応答を示します。

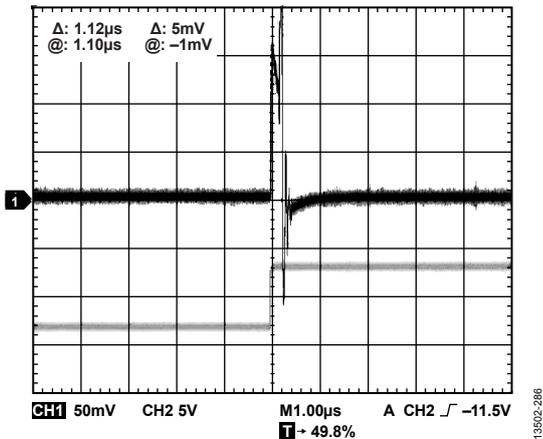


図 88.  $\overline{\text{DISABLE}}$  入力が切り替わったときのスタートアップ応答

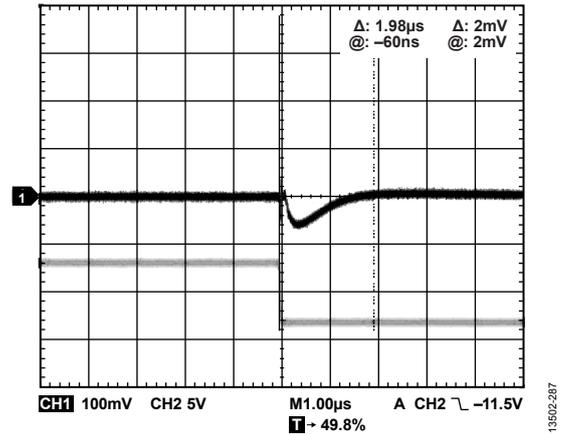


図 89.  $\overline{\text{DISABLE}}$  入力が切り替わったときのシャットダウン応答

図 90 に、負電源電圧 (V-) を基準とする  $\overline{\text{DISABLE}}$  入力電流と  $\overline{\text{DISABLE}}$  入力電圧を示します。

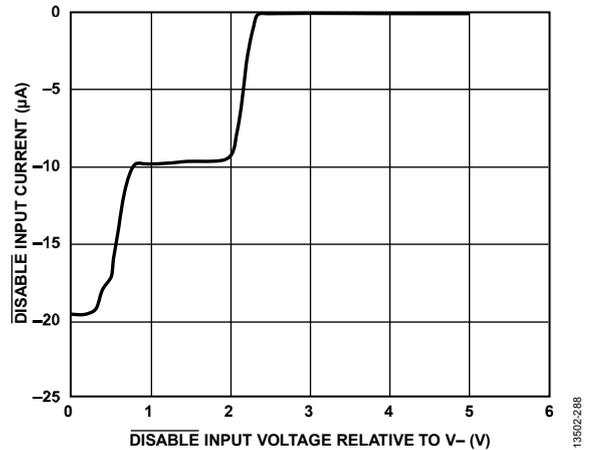


図 90. V- を基準とする  $\overline{\text{DISABLE}}$  入力電流と  $\overline{\text{DISABLE}}$  入力電圧

## アプリケーション情報

### 推奨される電源ソリューション

ADA4622-1/ADA4622-2/ADA4622-4 は、±2.5 V ~ ±15 V の両電源または 5 V ~ 30 V の単電源で動作できます。ADA4622-1/ADA4622-2/ADA4622-4 用のクリーンな正電源と負電源を生成するには、ADP7118 と ADP7182 を使用することが推奨されます。これらの低ドロップアウト (LDO) レギュレータには、固定出力電圧タイプと調整可能な出力電圧タイプの両方を用意しています。LDO の入力電圧を生成するには、ADP5070 DC/DC スイッチング・レギュレータを使用することが推奨されます。図 91 に、ADA4622-1/ADA4622-2/ADA4622-4 の推奨される電源ソリューション構成を示します。

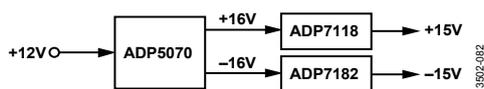


図 91. ADA4622-1/ADA4622-2/ADA4622-4 の電源ソリューション構成

表 12. 推奨されるパワー・マネージメント・デバイス

Product	Description
ADP5070	DC-to-DC switching regulator with independent positive and negative outputs
ADP7118	20 V, 200 mA, low noise, CMOS LDO regulator
ADP7182	-28 V, -200 mA, low noise, linear regulator

### 最大消費電力

ADA4622-1/ADA4622-2/ADA4622-4 の安全な最大消費電力は、ジャンクション温度の上昇により制限されます。プラスチック製パッケージの場合、安全な最大ジャンクション温度は 150 °C です。この最大温度を超えた場合、ダイの温度が低下して正常な回路動作に戻ります。デバイスを長時間にわたって過熱状態で放置すると、デバイスが焼損することがあります。正常に動作させるには、絶対最大定格および熱抵抗のセクションに記載された仕様を遵守することが重要です。

### 2 次ローパス・フィルタ

図 92 に、ADA4622-1/ADA4622-2/ADA4622-4 を 2 次バターワース・ローパス・フィルタとして構成した回路を示します。ここに示している値を使用する場合、コーナー周波数は 200 kHz になります。次式は、コンポーネントの選択を示します。

$R1 = R2 =$  ユーザーが選択 (代表値: 10 kΩ ~ 100 kΩ)

$$C1 = \frac{1.414}{2\pi f_{CUTOFF} \times R1}$$

$$C2 = \frac{0.707}{2\pi f_{CUTOFF} \times R1}$$

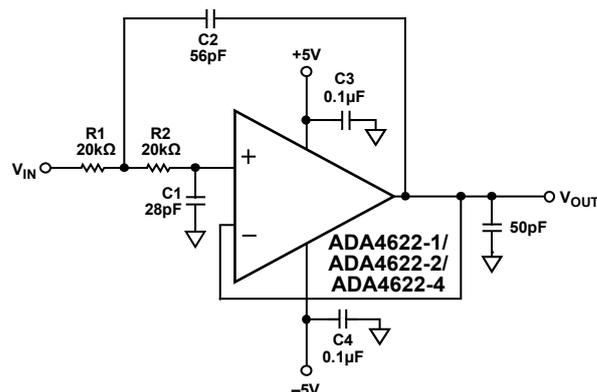


図 92. 2 次バターワース・ローパス・フィルタ

図 93 に、フィルタのプロットを示します。35 dB を超えるの高周波は除去されます。

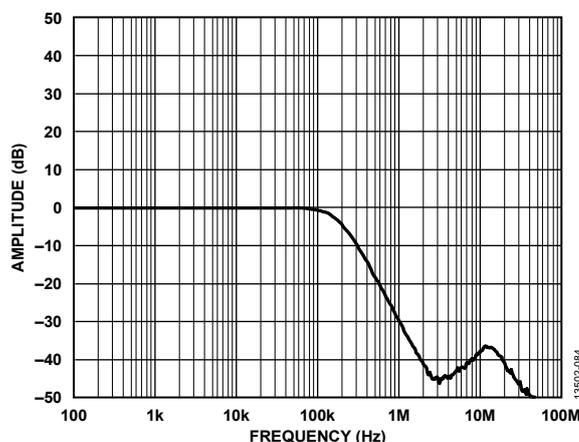


図 93. フィルタの周波数応答

### 広帯域フォトダイオード・プリアンプ

ADA4622-1/ADA4622-2/ADA4622-4 はフォトダイオード・プリアンプのアプリケーションに最適です。入力バイアス電流が小さいので、プリアンプ出力での DC 誤差を最小限に抑えられます。また、ゲイン帯域幅積が高く、入力容量が小さいので、フォトダイオード・プリアンプの信号帯域幅が最大になります。図 94 に、ADA4622-1/ADA4622-2/ADA4622-4 をフォトダイオードの電気モデルで電流/電圧 (I-V) コンバータとして使用した回路を示します。

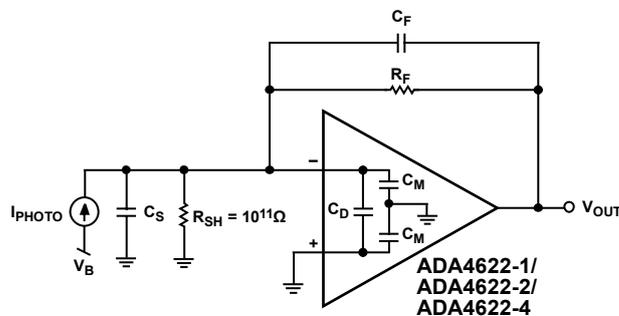


図 94. 広帯域フォトダイオード・プリアンプ

次の基本的な伝達関数は、フォトダイオードのプリアンプにおけるトランスインピーダンス・ゲインを示します。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F}$$

ここで、

$I_{PHOTO}$  はフォトダイオードの出力電流です。

$R_F$  と  $C_F$  の並列接続は、信号帯域幅を設定します (図 96 の I/V ゲイン・パターンを参照)。

$s$  は複素平面です。

達成可能な最大出力電圧が最大ダイオード出力電流  $I_{PHOTO}$  に対応するように  $R_F$  を設定する必要があります。これにより、出力振幅全体を使用できるようになります。このフォトダイオード・プリアンプで達成可能な信号帯域幅は、 $R_F$ 、アンプのゲイン帯域幅積 ( $f_{GBP}$ )、増幅器のゲイン帯域幅積 ( $f_u$ )、およびアンプ加算点での合計容量 ( $C_S$  とアンプの入力容量  $C_D$  および  $C_M$  を含む) の関数として表現できます。 $R_F$  と合計静電容量により、ループ周波数 ( $f_p$ ) の付近に極が形成されます。

$$f_p = \frac{1}{2\pi R_F C_S}$$

アンプのオープンループ応答に対して極を追加した 2 極システムでは、不十分な位相マージンが原因でピークが形成され、安定性が低下します (図 95 を参照)。

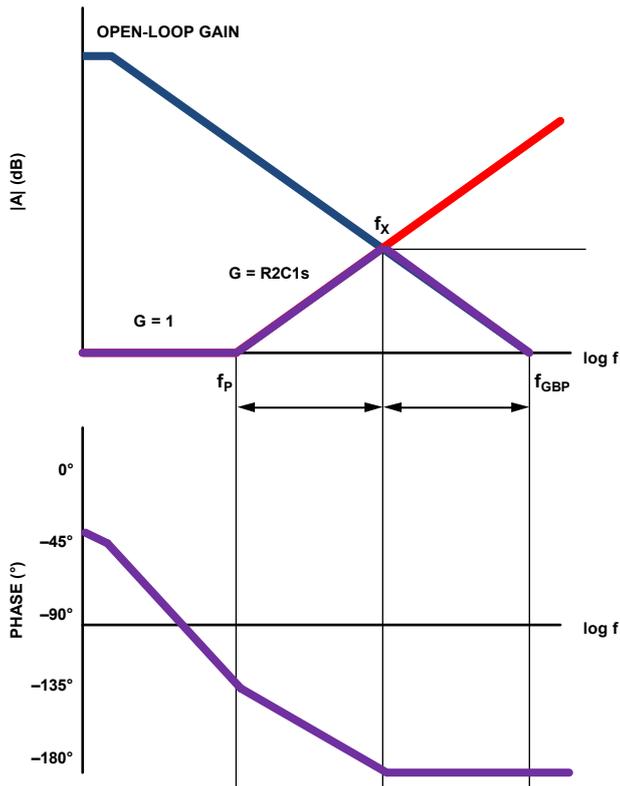


図 95. トランスインピーダンス・アンプ設計のゲインと位相のプロット (補償なし)

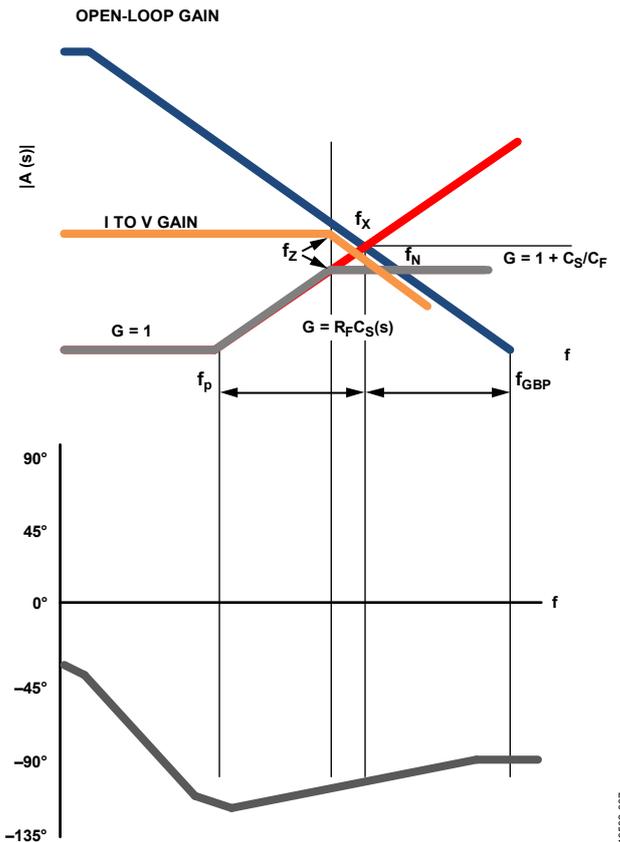


図 96. トランスインピーダンス・アンプ設計のゲインと位相のプロット (補償あり)

$C_F$  を追加すると、ループ伝送にゼロ点が作成され、入力極の影響が補償されます。これにより、位相マージンが増加し、フォトダイオード・プリアンプの設計が安定します。また、 $C_F$  を追加すると信号帯域幅も設定されます (図 96 を参照)。信号帯域幅とゼロ周波数は次式で求めます。

$$f_z = \frac{1}{2\pi R_F C_F}$$

ここで、 $f_z$  はゼロ周波数です。

$f_x$  周波数でゼロを設定すると、 $45^\circ$  の位相マージンで信号帯域幅が最大化されます。 $f_x$  は  $f_p$  と  $f_{GBP}$  の幾何平均であるため、次式で計算できます。

$$f_x = \sqrt{f_p \times f_{GBP}}$$

これらの式を組み合わせると、 $f_x$  を算出する  $C_F$  の値は次式で定義されます。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times f_{GBP}}}$$

この場合の周波数応答は、約 2 db のピーキングと 15% のオーバーシュートを示します。 $C_F$  を 2 倍にして帯域幅を 1/2 にすると、約 5% の過渡オーバーシュートを伴うフラットな周波数応答になります。

広帯域フォトダイオード・プリアンプの設計において、出力ノイズの主な生成源は、アンプの入力電圧ノイズ  $V_{NOISE}$  と  $R_F$  による抵抗ノイズです。図 96 内のグレーのパターンは、フォトダイオード・プリアンプの周波数に対するノイズ・ゲインを示しています。

$f_N$  周波数でのノイズ帯域幅は次式で計算します。

$$f_N = \frac{f_{GBP}}{(C_S + C_F)/C_F}$$

図 97 に、ADA4622-1/ADA4622-2/ADA4622-4 をトランスインピーダンス・フォトダイオード・アンプとして構成した回路を示します。このアンプは入力容量 5 pF のフォトダイオード検出器とともに使用します。図 98 に、 $I_{PHOTO}$  が 1  $\mu\text{A p-p}$  のときの ADA4622-1/ADA4622-2/ADA4622-4 のトランスインピーダンス応答を示します。 $C_F = 2 \text{ pF}$  で 45° 位相マージンに対して最大化した場合、アンプの帯域幅は 2 MHz になります。PCB 寄生容量を  $C_F$  に追加した場合、ピーク形成はわずか 0.5 dB で、帯域幅がわずかに減少します。

$C_F$  を 3 pF に増やすと、ピーク形成を完全に排除できます。ただし、 $C_F$  を 3 pF に増やすと、帯域幅が 1 MHz に減少します。

表 13 に、フォトダイオード・プリアンプのノイズ生成源と合計出力ノイズを示します。この場合、帯域幅を最大にするように、45° の位相マージンでプリアンプを構成し、 $f_L = f_X = f_N$  に設定しています。

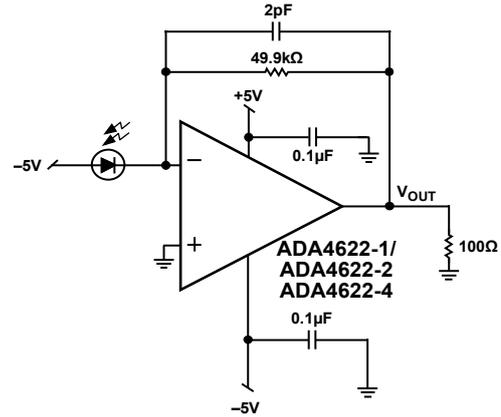


図 97. トランスインピーダンス・フォトダイオード・プリアンプ

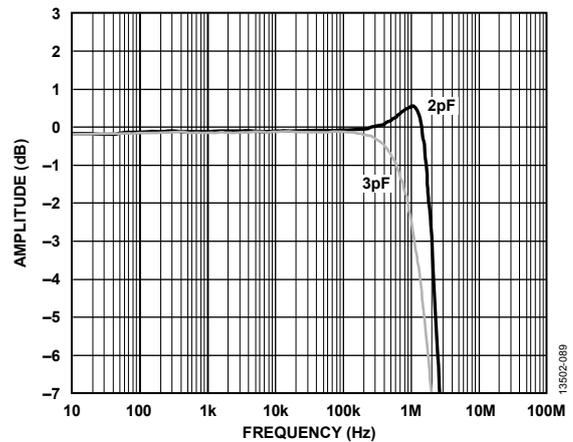


図 98. トランスインピーダンス・フォトダイオード・プリアンプの周波数応答

表 13. フォトダイオード・プリアンプの RMS ノイズ成分

Contributor	Expression	RMS Noise ( $\mu\text{V}$ ) <sup>1</sup>
$R_F$	$\sqrt{4kT \times R_F \times f_N \times \frac{\pi}{2}}$	50.8
$V_{NOISE}$	$V_{NOISE} \times \sqrt{\frac{(C_S + C_M + C_F + C_D)}{C_F}} \times \sqrt{\frac{\pi}{2} \times f_N}$	131.6
Root Sum Square (RSS) Total	$\sqrt{R_F^2 \times V_{NOISE}^2}$	141

<sup>1</sup>  $R_F = 50 \text{ k}\Omega$ 、 $C_S = 5 \text{ pF}$ 、 $C_F = 2 \text{ pF}$ 、 $C_M = 3.7 \text{ pF}$ 、および  $C_D = 0.4 \text{ pF}$  での RMS ノイズ

ピーク検出器

ピーク検出器は、信号のピーク値をキャプチャして、その値に等しい出力を生成します。ADA4622-1/ADA4622-2/ADA4622-4などのJFET入力アンプの優れたDC精度と超低入力バイアス電流により、図99に示すような非常に正確なピーク検出器を作成できます。

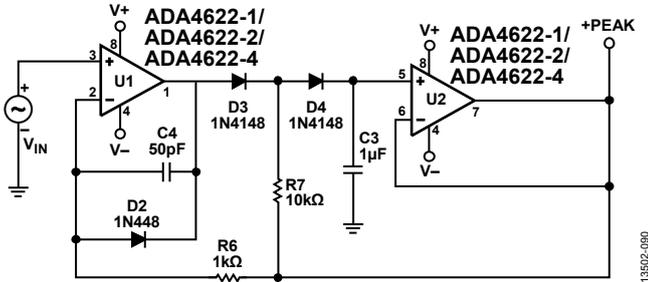


図 99. 正ピーク検出器

このアプリケーションでは、出力がホールド・モードで一定に保たれているときに、D3とD4が単方向電流スイッチとして機能します。

正ピークを検出するため、C3が入力ピーク値と等しい電圧に充電されるまでU1はC3～D3およびD4を駆動します。

U2（正ピーク）～R6の出力からの帰還は、U1の出力電圧を制限します。ピークを検出した後に、U1の出力振幅は小さくなりますが、D2によってクランプされます。D3はバイアスを反転させ、D3、D4、R7の共通ノードはR7によって正ピークに等しい電圧に保持されます。D4両端にかかる電圧は0Vであるため、漏洩は小さくなります。U2のバイアス電流も小さくなります。C3のホールド時間は長く、ほとんど漏洩はありません。

図99に示すように、ADA4622-1/ADA4622-2/ADA4622-4はピーク検出器を作成するのに最適です。これは、U1が高速ピーク時に優れたDC精度と高い出力電流を必要とし、U2がピーク間の容量放電を最小限に抑えるために低入力バイアス電流（IB）を必要とするためです。C3には、ポリスチレンまたはポリプロピレンなどの低漏洩/低誘電吸収コンデンサが必要です。ダイオードの方向を逆にすると、回路は負のピークを検出ようになります。

マルチプレクサ入力

ADA4622-1  $\overline{\text{DISABLE}}$  入力を使用すると、図100に示す回路を使用して、2つの入力を1つの出力にマルチプレクスできます。2つのアンプのゲイン構成またはフィルタ構成が異なる場合は、両方のアンプに対して共通の単一入力を使用されます。この構成では、出力時に選択可能なゲインまたは選択可能な周波数応答を制御できます。

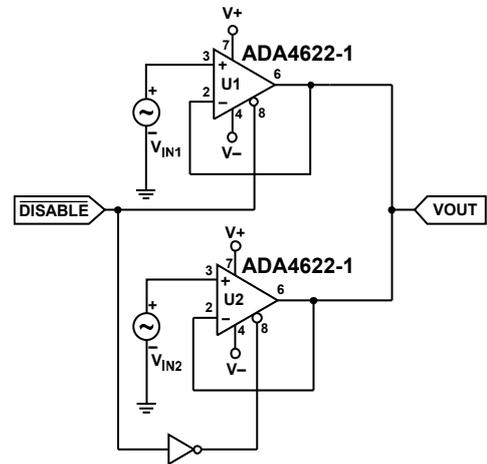


図 100. マルチプレクサ入力回路

図101に、2つの入力信号をマルチプレクスする場合の出力応答を示します。最初のアンプへの入力は4V p-p、200 kHzのサイン波で、2番目のアンプへの入力は、8V p-p、100 kHzのサイン波です。

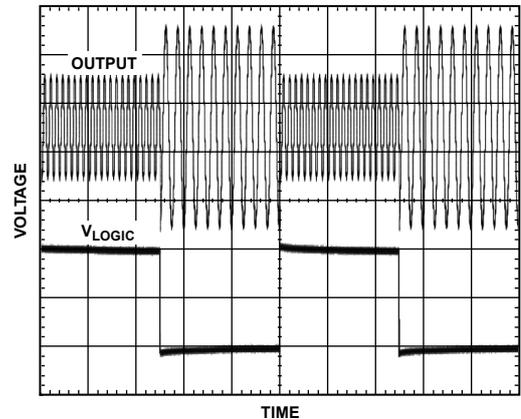


図 101. マルチプレクス出力

全波整流

図 102 に、単電源動作で 2 つの ADA4622-1 オペアンプを使用する全波整流の回路を示します。この回路は、電圧フォロワ (U1) に、第 1 段階のアンプ出力と反転した入力信号を組み合わせた第 2 段階のアンプ (U2) で構成されます。正のハーフ・サイクル中、U1 は入力を追従し、負の入力信号をグラウンドにクランプし、 $V_{HW}$  の半波信号を生成します。次式は、回路の伝達関数を定義します。

$$V_{FW} = (1 + R3/R2)V_{HW} - (R3/R2) \times V_{IN}$$

ここで、

$V_{FW}$  は、U1 からの全波出力です。

$R3$  および  $R2$  は、帰還抵抗です (図 102 を参照)。

$V_{HW}$  は、U1 からの半波出力です。

$V_{IN}$  は入力電圧。

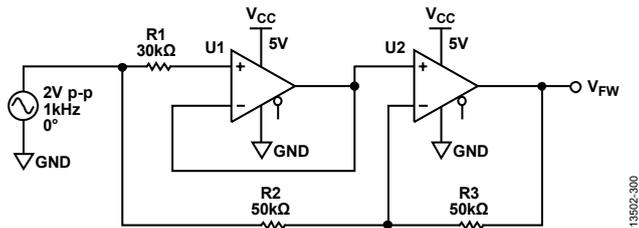


図 102. 全波整流回路

入力の正のハーフ・サイクル中、U1 は入力を追従するので、 $V_{HW} = V_{IN}$ 、 $V_{FW} = V_{IN}$  になります。負のハーフ・サイクル中、U1 は  $V_{HW} = 0V$  になるように信号をグラウンドにクランプします。この場合、 $R3/R2 = 1$  なので、 $V_{FW} = -(R3/R2) \times V_{IN} = -V_{IN}$  になります。図 103 に、回路からの入出力波形を示します。回路は 5V の単電源で駆動しますが、入力は 2V p-p、1kHz のサイン波です。

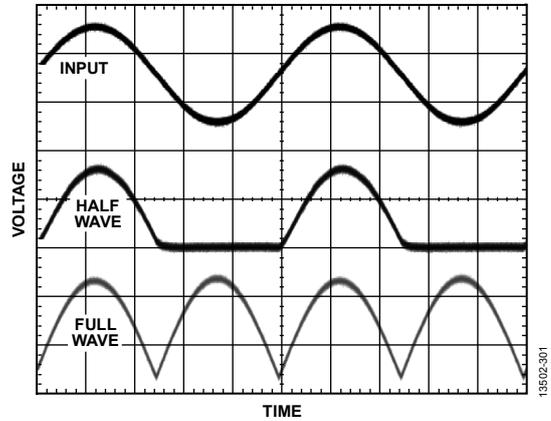
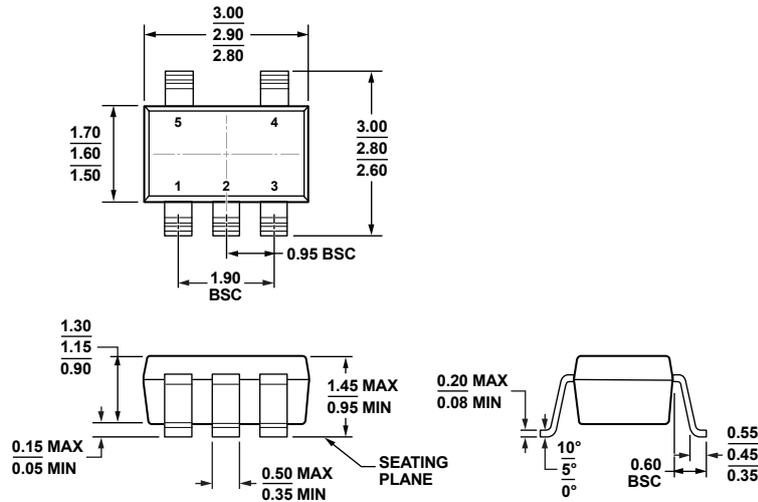


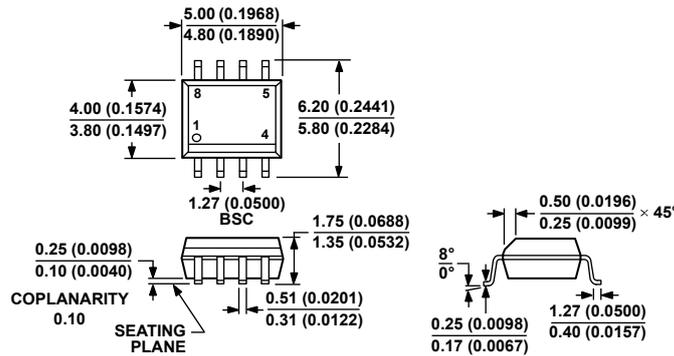
図 103. 全波および半波整流の入出力波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-178-AA

図 104.5 ピン、スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RJ-5)  
寸法単位: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 105.8 ピン、標準スモール・アウトライン・パッケージ [SOIC\_N] ナロー・ボディ (R-8)  
寸法単位: mm (括弧内はインチ)

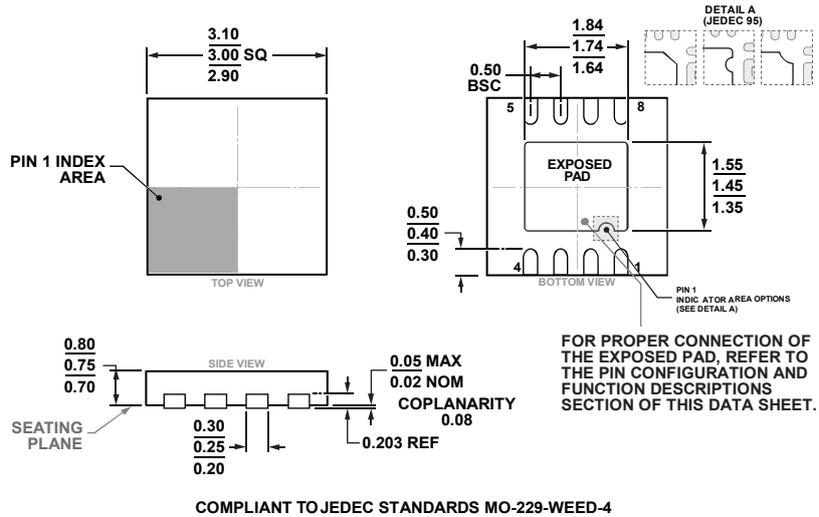


図 106. 8 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
 3 mm × 3 mm ボディ、0.75 mm パッケージ高  
 (CP-8-13)  
 寸法単位: mm

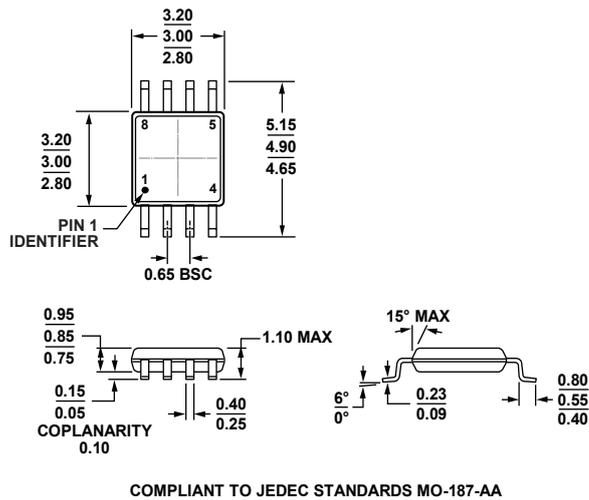
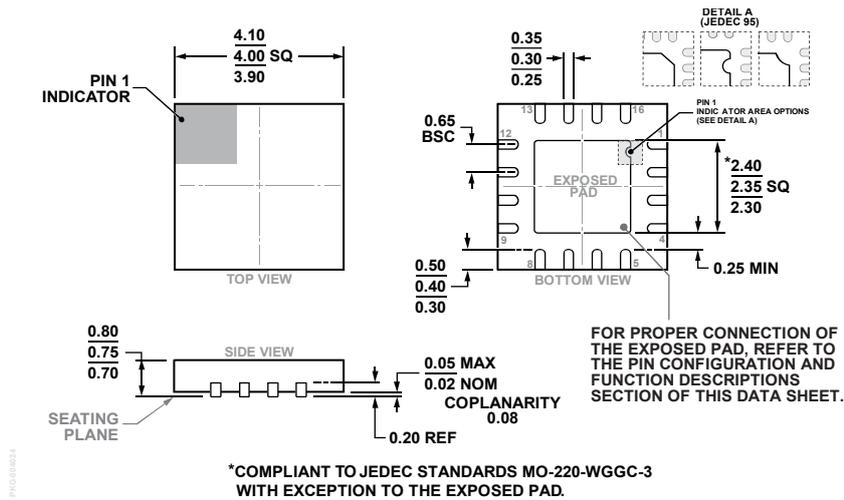
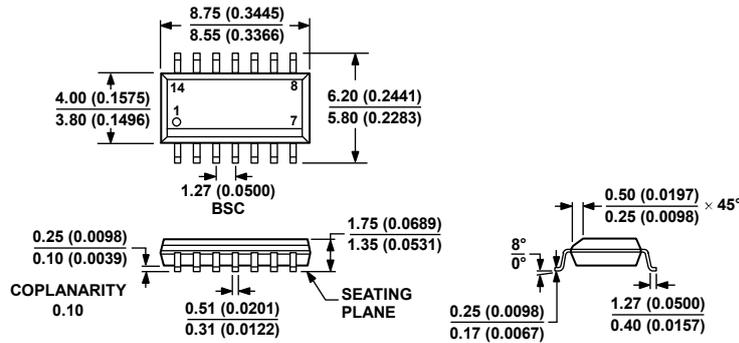


図 107. 8 ピン、ミニ・スモール・アウトライン・パッケージ [MSOP]  
 (RM-8)  
 寸法単位: mm



☒ 108. 16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]  
 4 mm × 4 mm ボディと 0.75 mm のパッケージ高  
 (CP-16-20)  
 寸法単位: mm



☒ 109. 14ピン標準 SOP (スモール・アウトライン・パッケージ) [SOIC\_N]  
 (R-14)  
 寸法単位: mm (インチ)

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option	Branding
ADA4622-1ARJZ-R2	-40°C to +125°C	5-Lead Small Outline Transistor Package [SOT-23]	RJ-5	A3J
ADA4622-1ARJZ-R7	-40°C to +125°C	5-Lead Small Outline Transistor Package [SOT-23]	RJ-5	A3J
ADA4622-1ARJZ-RL	-40°C to +125°C	5-Lead Small Outline Transistor Package [SOT-23]	RJ-5	A3J
ADA4622-1ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-1ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-1ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-1BRZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-1BRZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-1BRZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2ACPZ-R7	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP]	CP-8-13	A3D
ADA4622-2ACPZ-RL	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP]	CP-8-13	A3D
ADA4622-2ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A3D
ADA4622-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A3D
ADA4622-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A3D
ADA4622-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2BRZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2BRZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-2BRZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4622-4ACPZ-R2	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-20	
ADA4622-4ACPZ-R7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-20	
ADA4622-4ACPZ-RL	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-20	
ADA4622-4ARZ	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	
ADA4622-4ARZ-R7	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	
ADA4622-4ARZ-RL	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	

<sup>1</sup> Z = RoHS 準拠製品