

ADA4817-1/ADA4817-2

特長

高速

-3 dB 帯域幅: 1050 MHz ($G = 1$, $R_L = 100 \Omega$)

スルーレート: 870 V/ μ s

0.1%へのセトリング・タイム: 9 ns

低入力バイアス電流: 2 pA

低入力容量

同相モード容量: 1.5 pF

差動モード容量: 0.1 pF

低ノイズ

100 kHz で 4 nV/ $\sqrt{\text{Hz}}$

100 kHz で 2.5 fA/ $\sqrt{\text{Hz}}$

低歪み

10 MHz で -90 dBc ($G = 1$, $R_L = 1 \text{ k}\Omega$)

最大オフセット電圧: 2 mV

高出力電流: 70 mA

電源電流: アンプあたり 19 mA

パワーダウン電源電流: アンプあたり 1 mA

アプリケーション

フォトダイオード・アンプ

データ・アキュイジションのフロントエンド

計装

フィルタ

ADC ドライバ

CCD 出力バッファ

接続図

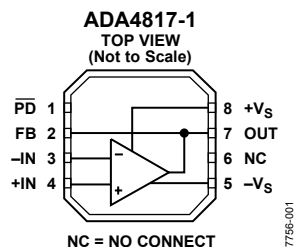


図 1.8 ピン ADA4817-1 LFCSP (CP-8-2)

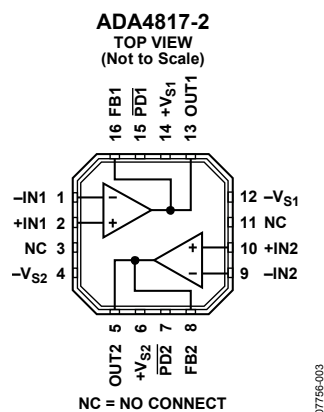


図 2.16 ピン ADA4817-2 LFCSP (CP-16-4)

概要

ADA4817-1 (シングル) および ADA4817-2 (デュアル) の FastFET™ アンプは、ユニティ・ゲイン安定な FET 入力超高速電圧帰還アンプです。これらのアンプは、アナログ・デバイセズ独自の eXtra 高速相補バイポーラ(XFCB)プロセスを採用して開発されました。このプロセスでは、アンプの超低ノイズ(4 nV/ $\sqrt{\text{Hz}}$; 2.5 fA/ $\sqrt{\text{Hz}}$)と非常に高い入力インピーダンスを実現することができます。

ADA4817-1/ADA4817-2 は、1.5 pF の入力容量、低ノイズ(4 nV/ $\sqrt{\text{Hz}}$)、低オフセット電圧(2 mV 最大)、1050 MHz の -3 dB 帯域幅を持つため、データ・アキュイジションのフロントエンドや、フォトダイオードのプリアンプのような広帯域インピーダンス変換アプリケーション向けに最適です。

5 V ~ 10 V の広い電源電圧範囲を持ち単電源動作または両電源動作が可能な ADA4817-1/ ADA4817-2 は、アクティブ・フィルタや ADC 駆動などのさまざまなアプリケーションで動作するようにデザインされています。

ADA4817-1 は 3 mm × 3 mm の 8 ピン LFCSP パッケージを、ADA4817-2 は 4 mm × 4 mm の 16 ピン LFCSP パッケージを、それぞれ採用しています。両パッケージは、信号歪みを小さくするピン配置を採用して、2 次高調波歪みを抑え、回路ボードのレイアウトを簡素化します。さらに、両パッケージには露出パドルが付いているため、プリント回路ボード(PCB)上で熱抵抗の低いパスを提供します。この機能により、熱転送効率が良くなるため信頼性が向上します。両デバイスの仕様は、拡張工業温度範囲(-40°C ~ +105°C)で規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	容量負荷の駆動.....	14
アプリケーション.....	1	熱に対する考慮事項.....	14
接続図.....	1	パワーダウン動作.....	15
概要.....	1	容量帰還.....	15
改訂履歴.....	2	レイアウト、グラウンド、バイパスの考慮事項.....	16
仕様.....	3	信号の配線.....	16
±5 V 動作.....	3	電源のバイパス.....	16
5 V 動作.....	4	グラウンド接続.....	16
絶対最大定格.....	5	露出パドル.....	16
熱抵抗.....	5	リーク電流.....	16
最大安全消費電力.....	5	入力容量.....	17
ESD の注意.....	5	入力から出力へのカップリング.....	17
ピン配置およびピン機能説明.....	6	アプリケーション情報.....	18
代表的な性能特性.....	7	低歪みピン配置.....	18
テスト回路.....	12	広帯域フォトダイオード・プリアンプ.....	18
動作原理.....	13	高速 JFET 入力計装アンプ.....	20
クローズド・ループ周波数応答.....	13	アクティブ・ローパス・フィルタ(LPF).....	21
非反転クローズド・ループ周波数応答.....	13	外形寸法.....	23
反転クローズド・ループ周波数応答.....	13	オーダー・ガイド.....	23
広帯域動作.....	14		

改訂履歴

11/08—Revision 0: Initial Version

仕様

±5 V 動作

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = 1$ 、 $G > 1$ で $R_F = 348\ \Omega$ 、 $R_L = 100\ \Omega$ (グラウンドへ接続)。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
–3 dB Bandwidth	V _{OUT} = 0.1 V p-p		1050		MHz
	V _{OUT} = 2 V p-p		200		MHz
	V _{OUT} = 0.1 V p-p, G = 2		390		MHz
Gain Bandwidth Product	V _{OUT} = 0.1 V p-p		≥410		MHz
0.1 dB Flatness	V _{OUT} = 2 V p-p, R _L = 100 Ω, G = 2		60		MHz
Slew Rate	V _{OUT} = 4 V step		870		V/μs
Settling Time to 0.1%	V _{OUT} = 2 V step, G = 2		9		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (HD2/HD3)	f = 1 MHz, V _{OUT} = 2 V p-p, R _L = 1 kΩ		–113/–117		dBc
	f = 10 MHz, V _{OUT} = 2 V p-p, R _L = 1 kΩ		–90/–94		dBc
	f = 50 MHz, V _{OUT} = 2 V p-p, R _L = 1 kΩ		–64/–66		dBc
Input Voltage Noise	f = 100 kHz		4		nV/√Hz
Input Current Noise	f = 100 kHz		2.5		fA/√Hz
DC PERFORMANCE					
Input Offset Voltage	T _{MIN} to T _{MAX}		0.4	2	mV
Input Offset Voltage Drift			7		μV/°C
Input Bias Current			2	20	pA
			100		pA
Input Bias Offset Current			1		pA
Open-Loop Gain		62	65		dB
INPUT CHARACTERISTICS					
Input Resistance	Common-mode		500		GΩ
Input Capacitance	Common-mode		1.5		pF
	Differential-mode		0.1		pF
Input Common-Mode Voltage Range			–5 to +2.3		V
Common-Mode Rejection	V _{CM} = ±0.5 V	–77	–90		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	V _{IN} = ±2.5 V, G = 2		8		ns
Output Voltage Swing		–3.5 to +3.5	–3.6 to +3.7		V
	R _L = 1 kΩ	–3.9 to +3.9	–4.0 to +4.0		V
Linear Output Current			70		mA
Short-Circuit Current	Sinking/sourcing		100/170		mA
POWER-DOWN					
PD Pin Voltage	Enabled		>+V _S – 1		V
	Powered down		<+V _S – 3		V
Turn-On/Turn-Off Time			0.3/1		μs
Input Leakage Current	PD = +V _S		0.3	3	μA
	PD = –V _S		34	55	μA
POWER SUPPLY					
Operating Range		5		10	V
Quiescent Current per Amplifier			19	21	mA
Powered Down Quiescent Current			1.5	3	mA
Positive Power Supply Rejection	+V _S = 4.5 V to 5.5 V, –V _S = –5 V	–67	–72		dB
Negative Power Supply Rejection	+V _S = 5 V, –V _S = –4.5 V to –5.5 V	–67	–72		dB

5 V 動作

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 3\text{ V}$ 、 $-V_S = -2\text{ V}$ 、 $G = 1$ 、 $G > 1$ で $R_F = 348\ \Omega$ 、 $R_L = 100\ \Omega$ (電源中心レベルへ接続)。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
–3 dB Bandwidth	V _{OUT} = 0.1 V p-p		500		MHz
	V _{OUT} = 1 V p-p		160		MHz
	V _{OUT} = 0.1 V p- p, G = 2		280		MHz
0.1 dB Flatness	V _{OUT} = 1 V p-p, G = 2		32		MHz
Slew Rate	V _{OUT} = 2 V step		320		V/μs
Settling Time to 0.1%	V _{OUT} = 1 V step, G = 2		11		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (HD2/HD3)	f = 1 MHz, V _{OUT} = 1 V p-p, R _L = 1 kΩ		–87/–88		dBc
	f = 10 MHz, V _{OUT} = 1 V p-p, R _L = 1 kΩ		–68/–66		dBc
	f = 50 MHz, V _{OUT} = 1 V p-p, R _L = 1 kΩ		–57/–55		dBc
Input Voltage Noise	f = 100 kHz		4		nV/√Hz
Input Current Noise	f = 100 kHz		2.5		fA/√Hz
DC PERFORMANCE					
Input Offset Voltage	T _{MIN} to T _{MAX}		0.5	2.3	mV
Input Offset Voltage Drift			7		μV/°C
Input Bias Current			2	20	pA
			100		pA
Input Bias Offset Current			1		pA
Open-Loop Gain		61	63		dB
INPUT CHARACTERISTICS					
Input Resistance	Common-mode		500		GΩ
Input Capacitance	Common-mode		1.3		pF
	Differential-mode		0.1		pF
Input Common-Mode Voltage Range			0 to 2.3		V
Common-Mode Rejection	V _{CM} = ±0.25 V	–72	–83		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	V _{IN} = ±1.25 V, G = 2		13		ns
Output Voltage Swing	R _L = 1 kΩ	1.3 to 3.7	1 to 3.8		V
		1 to 3.9	0.9 to 4.0		V
Linear Output Current			55		mA
Short-Circuit Current	Sinking/sourcing		40/130		mA
POWER-DOWN					
PD Pin Voltage	Enabled		>+V _S – 1		V
	Powered Down		<+V _S – 3		V
Turn-On/Turn-Off Time			0.2/0.7		μs
Input Leakage Current	$\overline{\text{PD}}$ = +V _S		0.2	3	μA
	$\overline{\text{PD}}$ = –V _S		31	45	μA
POWER SUPPLY					
Operating Range		5		10	V
Quiescent Current per Amplifier			14	15	mA
Powered Down Quiescent Current			1.5	2.5	mA
Positive Power Supply Rejection	+V _S = 4.75 V to 5.25 V, –V _S = 0 V	–66	–71		dB
Negative Power Supply Rejection	+V _S = 5 V, –V _S = –0.25 V to +0.25 V	–63	–69		dB

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	10.6 V
Power Dissipation	See Figure 3
Common-Mode Input Voltage	$-V_S - 0.5 \text{ V}$ to $+V_S + 0.5 \text{ V}$
Differential Input Voltage	$\pm V_S$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Operating Temperature Range	-40°C to $+105^\circ\text{C}$
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で θ_{JA} を規定。

表 4.

Package Type	θ_{JA}	θ_{JC}	Unit
LFCSP_VD (ADA4817-1)	94	29	$^\circ\text{C}/\text{W}$
LFSCP_VQ (ADA4817-2)	64	14	$^\circ\text{C}/\text{W}$

最大安全消費電力

ADA4817-1/ ADA4817-2 の安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4817 のパラメータ性能を永久的にシフトしてしまうことがあります。 175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、性能低下または故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と ADA4817-1/ADA4817-2 出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。

$$P_D = \text{静止消費電力} + (\text{合計駆動電力} - \text{負荷消費電力}) \quad (1)$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L} \quad (2)$$

RMS 出力電圧についても検討する必要があります。単電源動作の場合のように R_L が $-V_S$ を基準とすると、合計駆動電力は $V_S \times$

I_{OUT} になります。rms 信号レベルが不確定の場合は、電源電圧の中点を基準とする R_L に対して $V_{OUT} = V_S/4$ とするときの、ワースト・ケースを検討します。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L} \quad (3)$$

$-V_S$ を基準とする R_L を使う単電源動作では、ワースト・ケースは $V_{OUT} = V_S/2$ となります。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピン/露出パッドが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 3 に、JEDEC 標準 4 層ボードに実装した露出パドル付き LFCSP_VD (シングル $94^\circ\text{C}/\text{W}$) パッケージと LFCSP_VQ (デュアル $64^\circ\text{C}/\text{W}$) パッケージについて、パッケージ内の最大安全消費電力対周囲温度を示します。 θ_{JA} の値は近似値です。

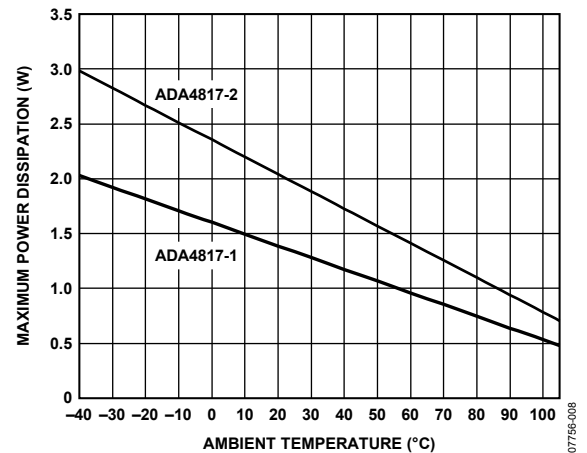


図 3.最大安全消費電力対周囲温度、4 層ボード

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

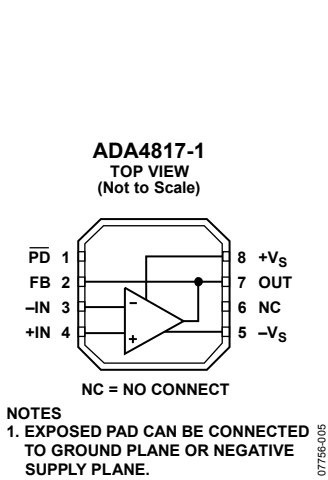


図 4. 8 ピン LFCSP のピン配置

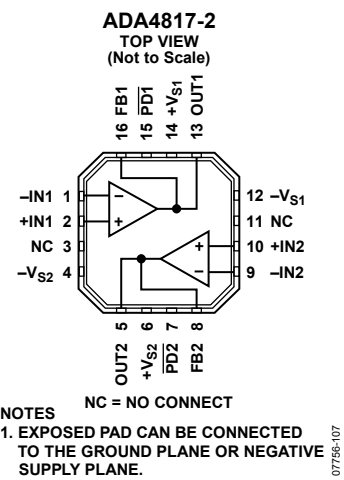


図 5.16 ピン LFCSP のピン配置

表 5.8 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	PD	パワーダウン。フローティングのままにはしないでください。
2	FB	帰還ピン。
3	-IN	反転入力。
4	+IN	非反転入力。
5	-Vs	負電源。
6	NC	未接続。
7	OUT	出力。
8	+Vs	正電源。
9 (EPAD)	露出パドル (EPAD)	露出パッド。GND、-Vsプレーンに接続するか、フローティングにすることができます。

表 6.16 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	-IN1	反転入力 1。
2	+IN1	非反転入力 1。
3、11	NC	未接続。
4	-Vs2	負電源 2。
5	OUT2	出力 2。
6	+Vs2	正電源 2。
7	PD2	パワーダウン 2。フローティングのままにはしないでください。
8	FB2	帰還ピン 2。
9	-IN2	反転入力 2。
10	+IN2	非反転入力 2。
12	-Vs1	負電源 1。
13	OUT1	出力 1。
14	+Vs1	正電源 1。
15	PD1	パワーダウン 1。フローティングのままにはしないでください。
16	FB1	帰還ピン 1。
17 (EPAD)	露出パドル (EPAD)	露出パッド。GND、-Vsプレーンに接続するか、フローティングにすることができます。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{ V}$ 、 $G = 1$ 、($G > 1$ で $R_F = 348\ \Omega$)、 $R_L = 100\ \Omega$ (グラウンドへ接続)、小信号 $V_{OUT} = 100\text{ mV p-p}$ 、大信号 $V_{OUT} = 2\text{ V p-p}$ 。

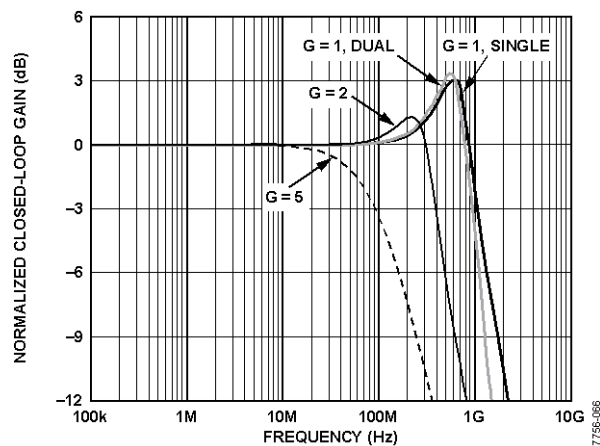


図 6.さまざまなゲインでの小信号周波数応答

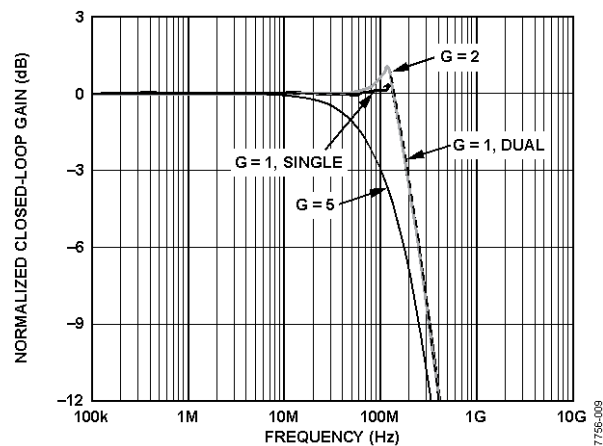


図 9.さまざまなゲインでの大信号周波数応答

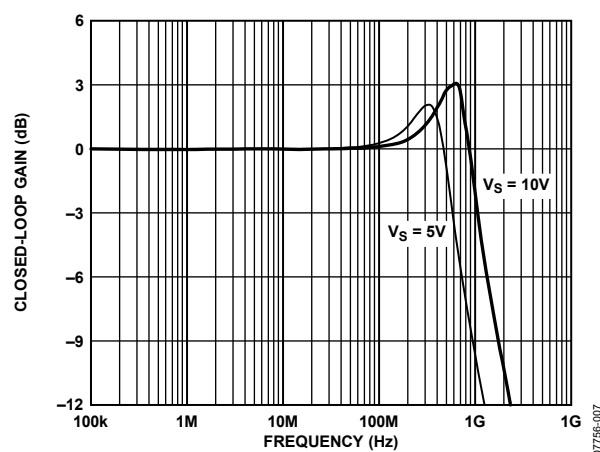


図 7.さまざまな電源での小信号周波数応答

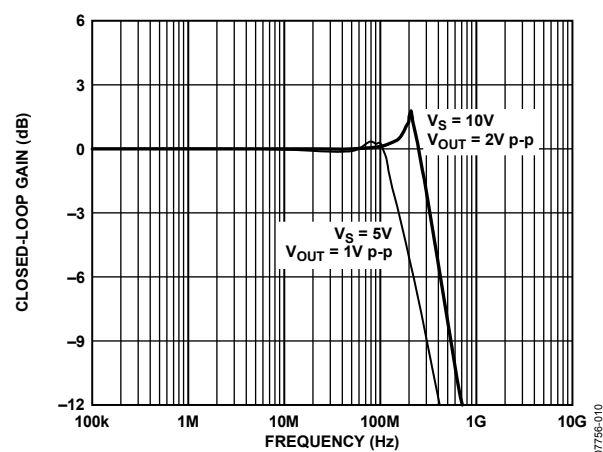


図 10.さまざまな電源での大信号周波数応答

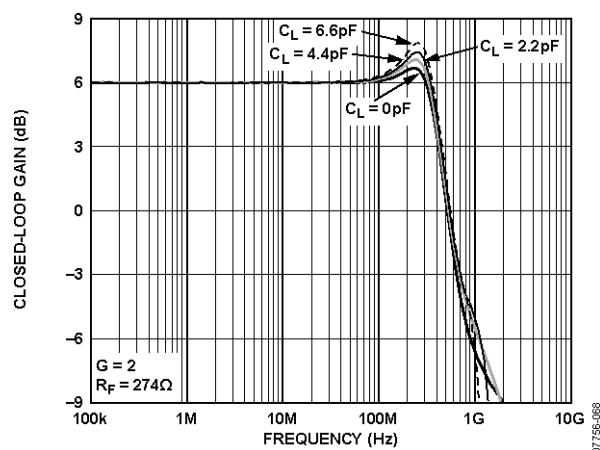


図 8.さまざまな C_L での小信号周波数応答

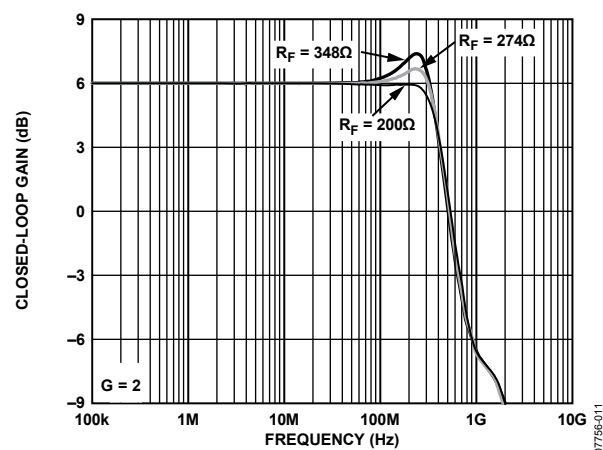


図 11.さまざまな R_F での小信号周波数応答

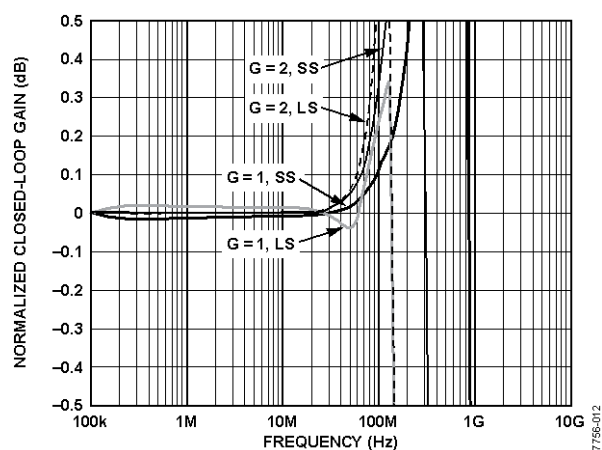


図 12.さまざまなゲインおよび出力電圧での
0.1 dB 平坦性の周波数応答

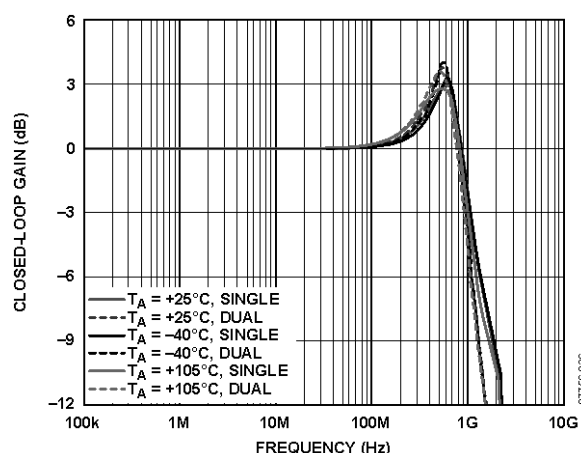


図 15.小信号周波数応答の温度特性

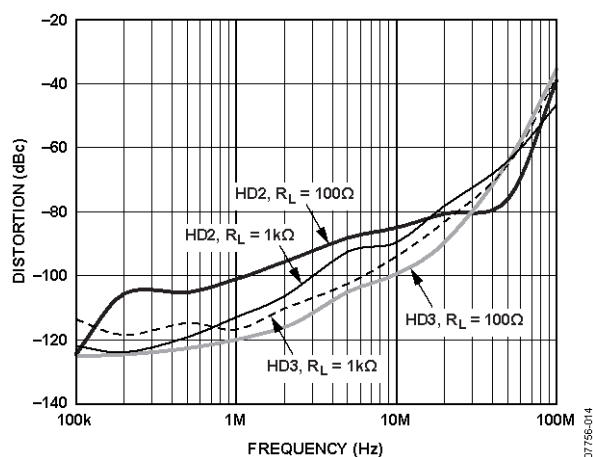


図 13.さまざまな負荷での歪み周波数特性、 $V_{OUT} = 2\text{ V p-p}$

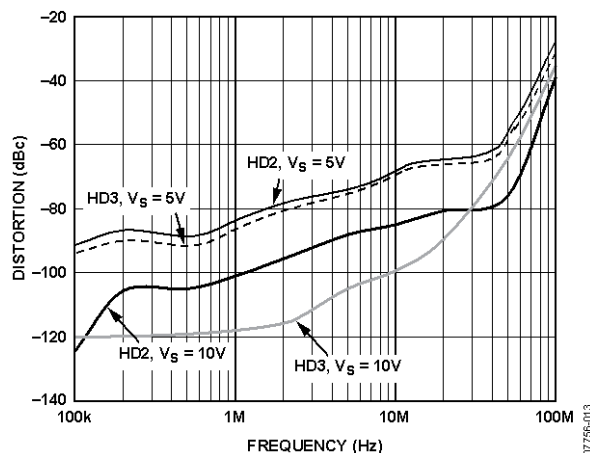


図 16.さまざまな電源での歪み周波数特性、 $V_{OUT} = 2\text{ V p-p}$

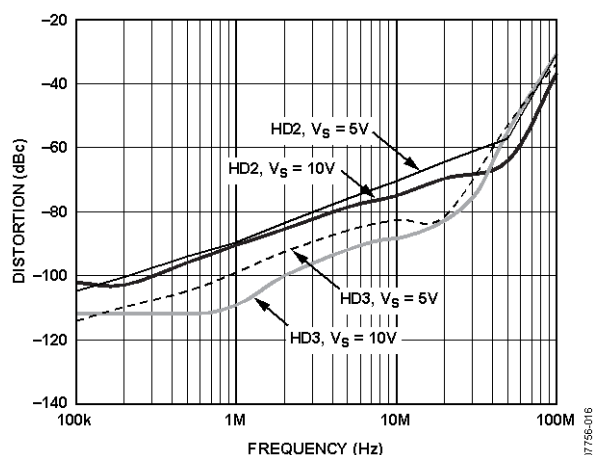


図 14.さまざまな電源での歪み周波数特性、 $G = 2$ 、 $V_{OUT} = 2\text{ V p-p}$

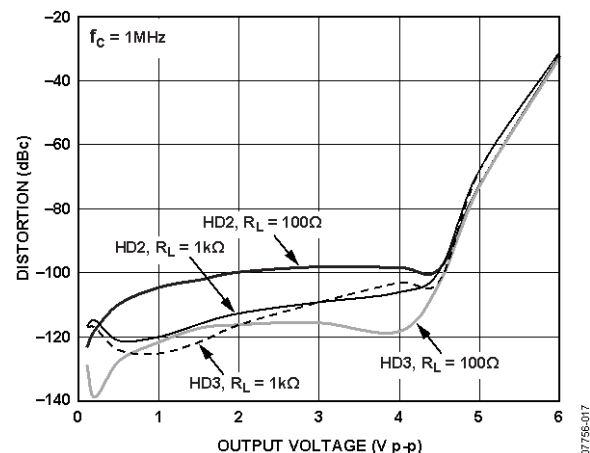


図 17.さまざまな負荷での歪み対出力電圧

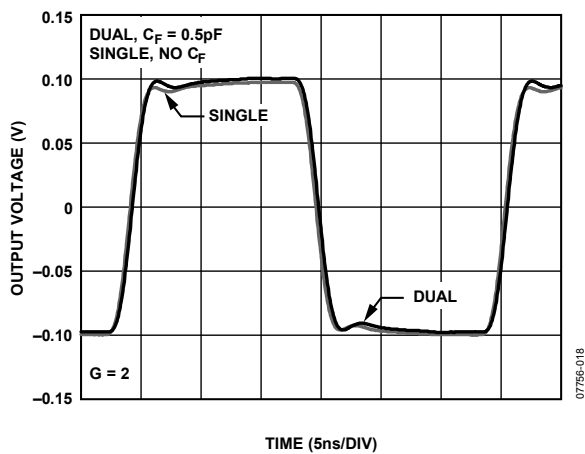


図 18.小信号過渡応答

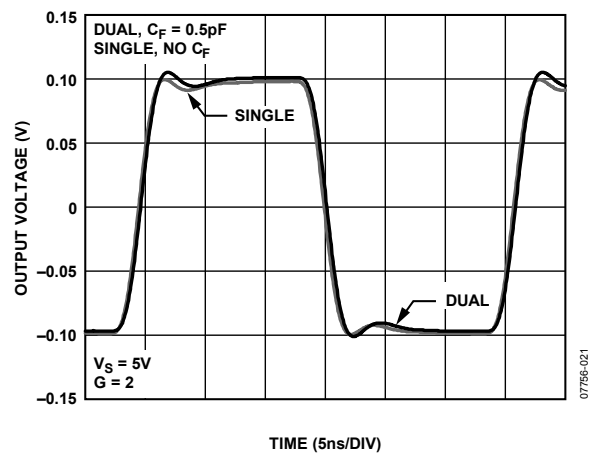


図 21.小信号過渡応答

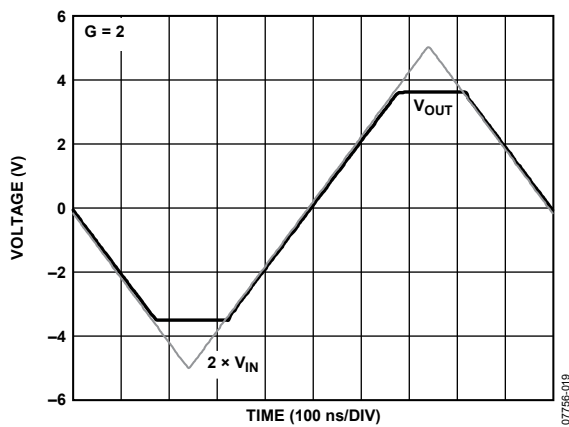


図 19.出力オーバードライブ回復

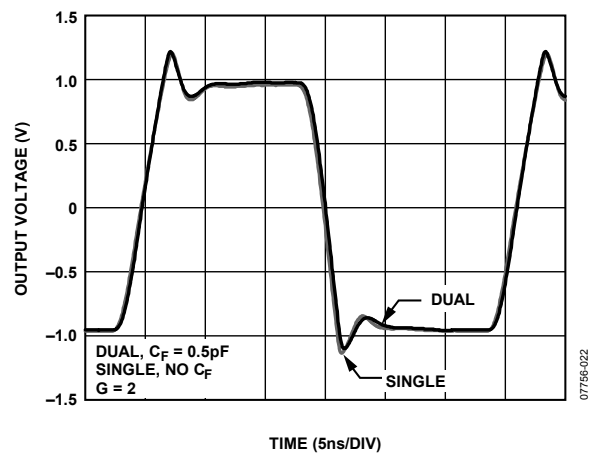


図 22.大信号過渡応答

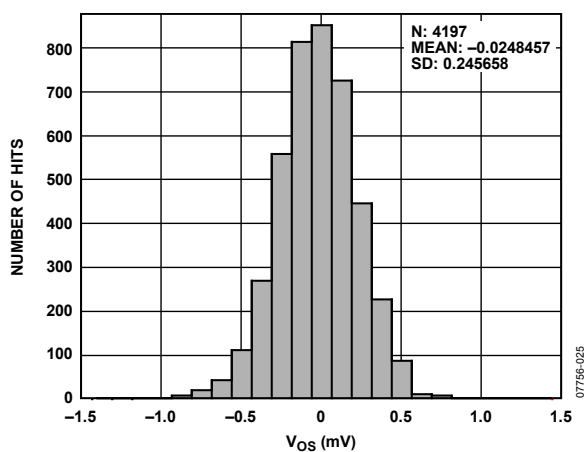


図 20.入力オフセット電圧のヒストグラム

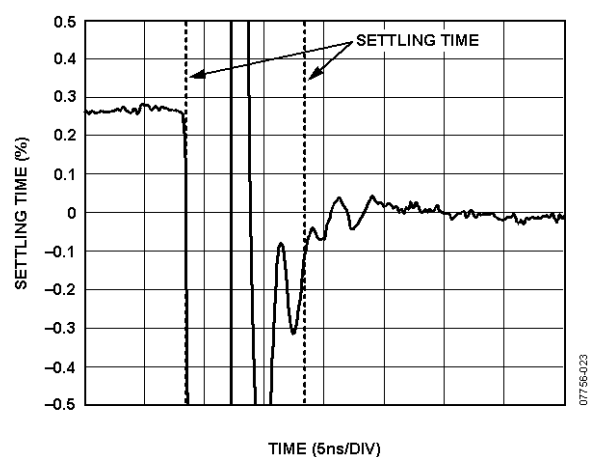


図 23.0.1%への短時間セリング・タイム

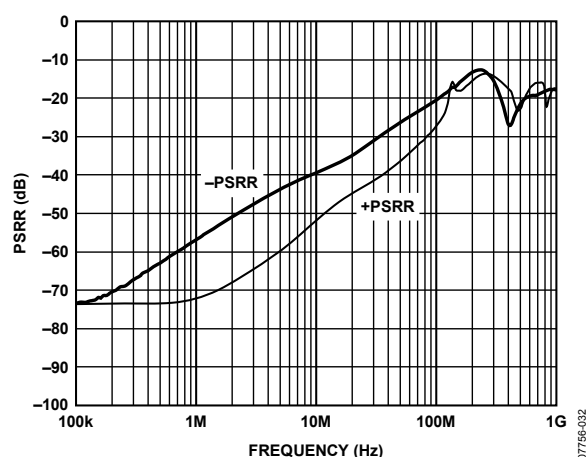


図 24.PSRR の周波数特性

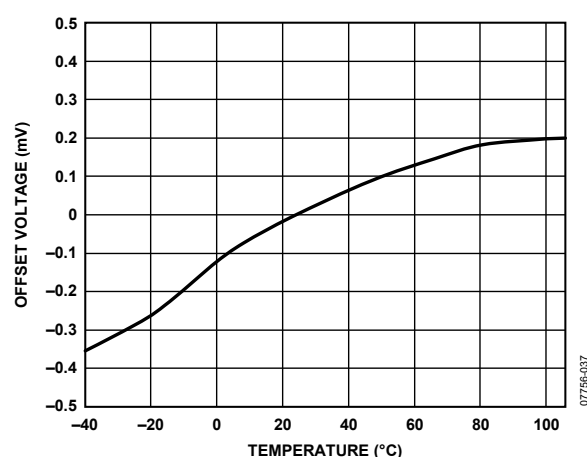


図 27.オフセット電圧の温度特性

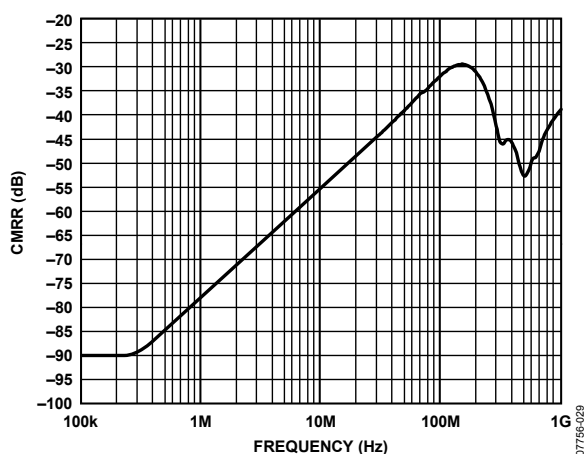


図 25.CMRR の周波数特性

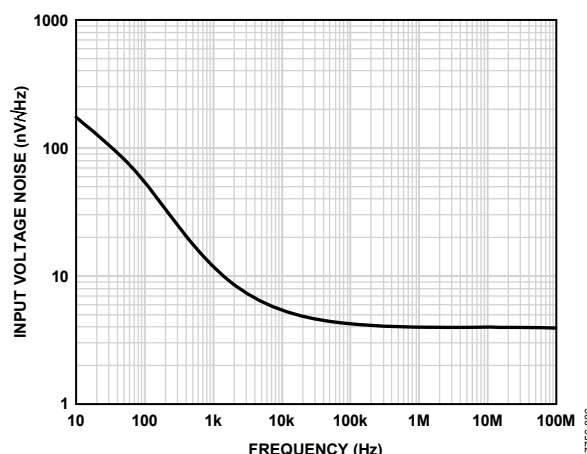


図 28.入力電圧ノイズ

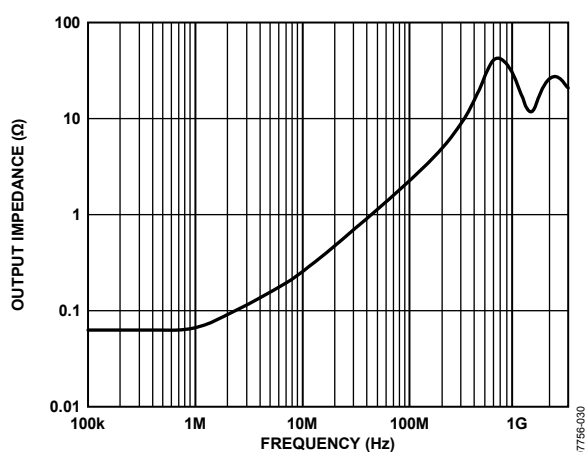


図 26.出力インピーダンスの周波数特性

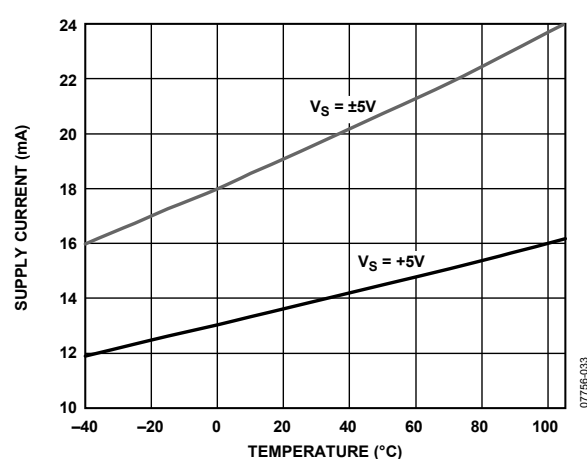


図 29.さまざまな電源電圧での静止電流の温度特性

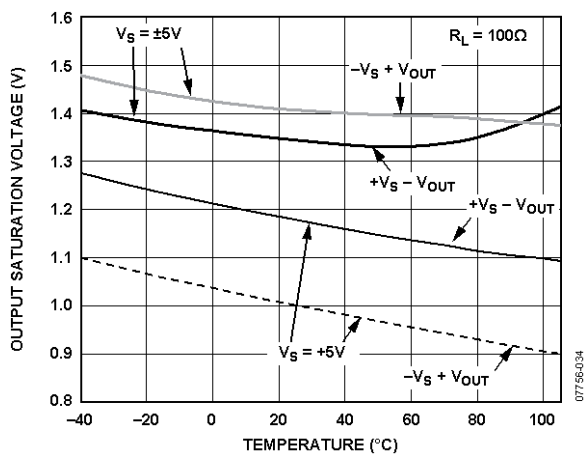


図 30.出力飽和電圧の温度特性

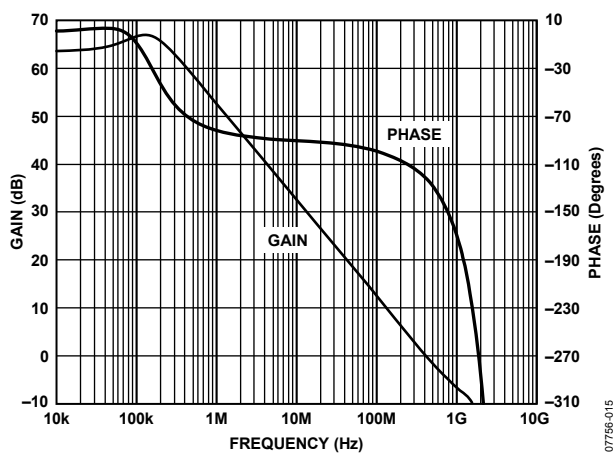
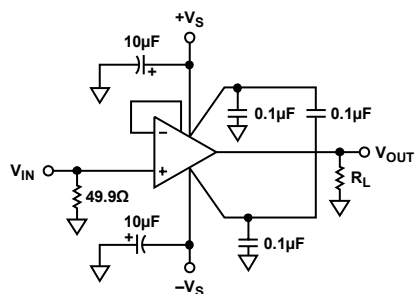


図 31.オープン・ループ・ゲインおよび位相の周波数特性

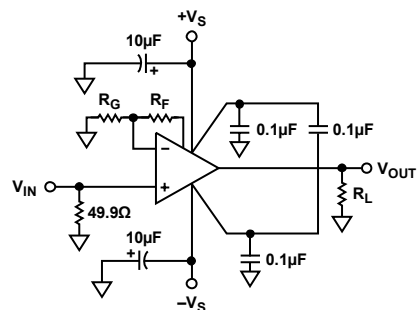
テスト回路

図 32～図 37 では、レイアウトを容易にするために出力帰還ピンを使っています。



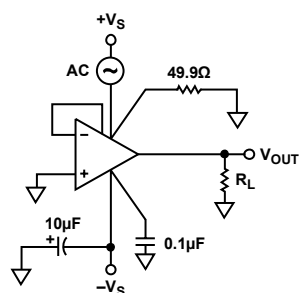
07756-147

図 32. $G = 1$ 構成



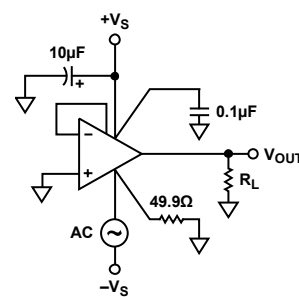
07756-141

図 35. 非反転ゲイン構成



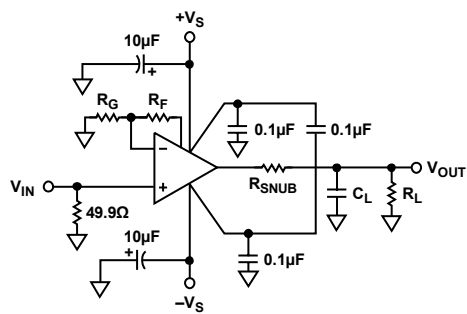
07756-145

図 33. 正電源除去比



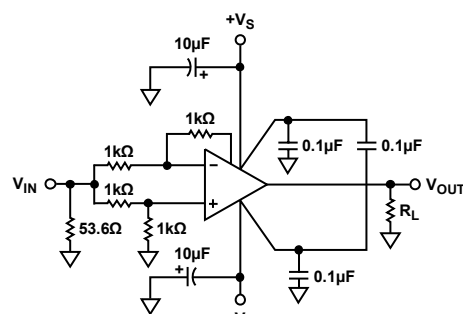
07756-148

図 36. 負電源除去比



07756-142

図 34. 容量負荷構成



07756-146

図 37. コモン・モード除去比

動作原理

ADA4817-1/ADA4817-2 は、FET 入力オペアンプの新しいアーキテクチャとアナログ・デバイセズの eXtra 高速相補バイポーラ (XFCB) プロセスを組み合わせ、速度と低ノイズの優れた組み合わせを実現した電圧帰還オペアンプです。技術革新的な高速 FET 入力ステージは、負電源レールから正電源レールの内側 2.3 V までのコモン・モード信号を処理します。このステージと H ブリッジの組み合わせにより、870 V/ μ s のスルーレート、低歪み、4 nV/ $\sqrt{\text{Hz}}$ の入力電圧ノイズを実現しています。このアンプは、最大 70 mA の電流をソース/シンクする重い負荷を駆動できる高速出力ステージを内蔵しています。電源電流とオフセット電流は、最適性能を得るようにレーザー・トリムされています。ADA4817-1/ ADA4817-2 はこのような仕様を持つため、高速計装システムと高分解能データ・アキュイジション・システムに最適な選択肢になっています。これらのデバイスは、低ノイズ、ピコアンペアの入力電流、高精度オフセット、高速動作を持つため、高速フォトダイオード・アプリケーションでの優れたプリアンプとして使用することができます。

クローズド・ループ周波数応答

ADA4817-1/ADA4817-2 は、図 40 に示す積分器応答で近似できるオープン・ループ周波数応答を持つ従来型電圧帰還アンプです。反転構成と非反転構成の基本クローズド・ループ周波数応答は、図 38 と図 39 に示す回路図から求めることができます。

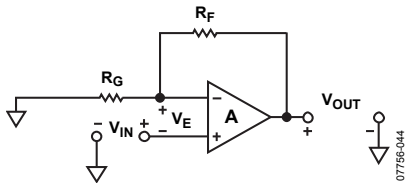


図 38. 非反転構成

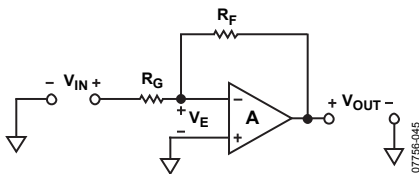


図 39. 反転構成

非反転クローズド・ループ周波数応答

伝達関数は、

$$\frac{V_O}{V_I} = \frac{2\pi \times f_{\text{CROSSOVER}} (R_G + R_F)}{(R_F + R_G)S + 2\pi \times f_{\text{CROSSOVER}} \times R_G} \quad (4)$$

ここで、 $f_{\text{CROSSOVER}}$ はアンプのオープン・ループ・ゲインが 0 dB になる周波数。

$$\text{DC } \frac{V_O}{V_I} = \frac{R_F + R_G}{R_G} \quad (5)$$

クローズド・ループ-3 dB 周波数は、

$$f_{-3\text{dB}} = f_{\text{CROSSOVER}} \times \frac{R_G}{R_F + R_G} \quad (6)$$

反転クローズド・ループ周波数応答

伝達関数は、

$$\frac{V_O}{V_I} = \frac{-2\pi \times f_{\text{CROSSOVER}} \times R_F}{(R_F + R_G)S + 2\pi \times f_{\text{CROSSOVER}} \times R_G} \quad (7)$$

$$\text{DC } \frac{V_O}{V_I} = -\frac{R_F}{R_G} \quad (8)$$

クローズド・ループ-3 dB 周波数は、

$$f_{-3\text{dB}} = f_{\text{CROSSOVER}} \times \frac{R_G}{R_F + R_G} \quad (9)$$

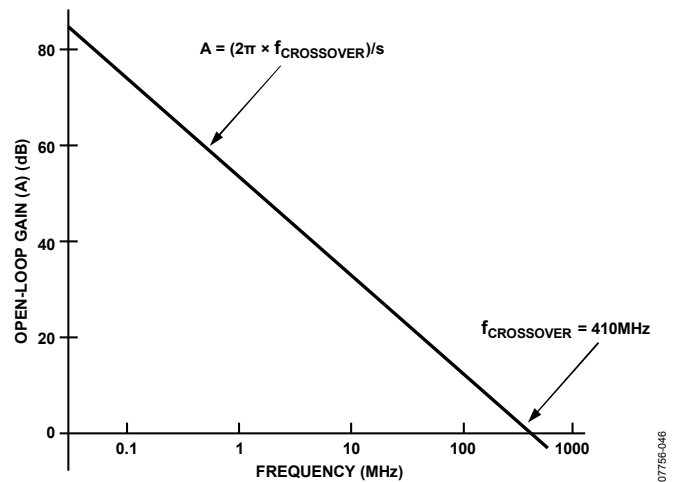


図 40. オープン・ループ・ゲインの周波数特性と基本接続

クローズド・ループ帯域幅は、オペアンプ回路のノイズ・ゲイン $(R_F + R_G)/R_G$ に反比例します。このシンプルなモデルは、ノイズ・ゲインが 2 より大きい場合に正確です。ノイズ・ゲインが 2 以下の場合の回路の実際の帯域幅は実際のオペアンプの周波数応答内の他の極の影響を受けるため、このモデルによる計算値より広くなります。

図 41 に、電圧帰還アンプの DC 誤差を示します。反転構成と非反転構成の両方に対して、

$$V_{\text{OUT}}(\text{error}) = I_{b+} \times R_S \left(\frac{R_G + R_F}{R_G} \right) - I_{b-} \times R_F + V_{\text{OS}} \left(\frac{R_G + R_F}{R_G} \right) \quad (10)$$

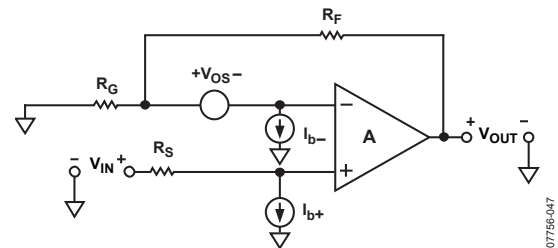


図 41. 電圧帰還アンプの DC 誤差

$R_S = R_F \parallel R_G$ の場合、 I_{b+} と I_{b-} に起因する電圧誤差が小さくなります (ADA4817-1/ADA4817-2 の入力電流はピコアンペア範囲内ですが、これは問題になることはないと思われます)。コモン・モードの影響と電源除去比の効果を含めると、合計 V_{OS} は次式でモデル化できます。

$$V_{OS} = V_{OSnom} + \frac{\Delta V_S}{PSR} + \frac{\Delta V_{CM}}{CMR} \quad (11)$$

ここで、

V_{OSnom} は公称条件で規定されるオフセット電圧。

ΔV_S は公称条件からの電源電圧の変化。

PSR は電源除去比。

ΔV_{CM} は公称条件からのコモン・モード電圧の変化。

CMR はコモン・モード除去比。

広帯域動作

ADA4817-1/ADA4817-2 は高速バッファとして優れた性能を提供します。図 38 に、高ゲインでの広帯域キャラクタライゼーションに使用した回路を示します。加算点($R_F \parallel R_G$)のインピーダンスは、アンプの入力容量が 1.5 pF のとき、アンプのループ応答で極を形成します。この極により、周波数が非常に低いところでピーキングとリングングが発生します。100 Ω~400 Ω の帰還抵抗を使用すると、ピーキングが小さくなり、出力ステージの性能を低下させないので、これらの抵抗の使用が推奨されます。周波数応答のピーキングは、小さい帰還コンデンサ(C_F)と帰還抵抗の並列接続、または非反転入力に直列抵抗によって補償することもできます(図 42 参照)。

歪み性能は次の変数に依存します。

- アプリケーションのクローズド・ループ・ゲイン
- 反転かまたは非反転か
- アンプの負荷
- 信号周波数と振幅
- ボード・レイアウト

最適性能は、帰還抵抗なし、大きな出力負荷抵抗、小さなボード寄生容量で、G+1 構成の場合に得られます。

容量負荷の駆動

一般に、高速アンプは複雑な容量負荷駆動時間特性を持っています。特に、位相マージンが最小となる低いクローズド・ループ・ゲインの場合には複雑です。この複雑さは、負荷容量 C_L とアンプの出力抵抗 R_O により、極が形成されるために生じます。この極は次式で表されます。

$$f_p = \frac{1}{2\pi R_O C_L} \quad (12)$$

If この極がユニティ・ゲイン交差点に近づくと、位相マージンが低下します。これは、極に付随する位相損失が加わるためです。

このような容量は、周波数応答で大きなピーキングを発生させることに注意してください。これより大きな容量値も駆動することができますが、アンプ出力に抑制抵抗(R_{SNUB})を使用する必要があります(図 42 参照)。小さい直列抵抗 R_{SNUB} を使用すると、負荷容量により発生する極を相殺させるゼロ点を形成することができます。 R_{SNUB} の typ 値は 10 Ω~50 Ω の範囲が可能です。この値は回路条件に依存します。図 42 に、容量負荷(C_L)により発生する極の影響を小さくする別の方法を示します。この方法では、帰還ループ内に帰還抵抗と並列に 0.5 pF~2 pF (typ) の範囲のコンデンサ(C_F)を接続します。図 43 に、帰還コンデンサの追加による周波数応答への効果を示します。

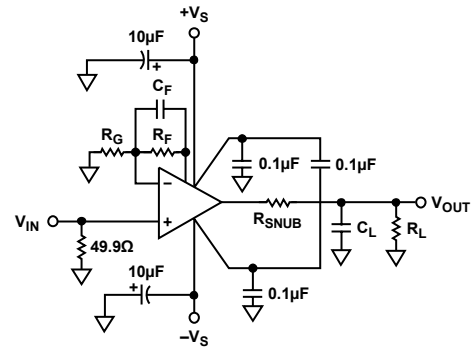


図 42. ピーキングを抑える R_{SNUB} または C_F の使用

熱に対する考慮事項

10 V 電源、19 mA 静止電流、無負荷で、ADA4817-1/ADA4817-2 の消費電力は 190 mW です。LFCSP の熱抵抗は ADA4817-1 では 94°C/W に、ADA4817-2 では 64°C/W に、それぞれなるため、ジャンクション温度が周囲温度よりほぼ 25°高くなることを意味します。ADA4817-1/ADA4817-2 は、温度に対して一定の帯域幅を維持するようにデザインされているため、ウォームアップ時に消費電流の初期上昇が予測されます。 V_{OS} の温度ドリフトは 12 μV/°C であるため、10 V での LFCSP 内の ADA4817-1/ ADA4817-2 のウォームアップ効果により、0.3 mV まで上昇することがあります。入力バイアス電流は、温度上昇 10°C あたり 1.7 の増加率で増加します。

重い負荷では、消費電力が増えるため、絶対最大定格のセクションに示すようにチップのジャンクション温度が上昇します。パッケージの定格消費電力を超えないように注意が必要です。

パワーダウン動作

ADA4817-1/ADA4817-2 には、各アンプに個別のパワーダウン・ピン(PD)があります。この機能を使うと、アンプの非アクティブ時に静止電源電流を 19 mA から 2 mA へ削減することができます。パワーダウン・スレッシュホールド・レベルは、 $+V_S$ ピンに接続される電圧から発生されます。イネーブル電圧は、 $\pm 5\text{ V}$ 電源のアプリケーションでは $+4\text{ V}$ より、 $\pm 3\text{ V}$ 電源のアプリケーションでは $+2\text{ V}$ より、それぞれ高くなります。ただし、 $\overline{\text{PD}}$ ピンの電圧が $+V_S$ から 3 V 下回ると、アンプはパワーダウンします。 $\overline{\text{PD}}$ ピンを使用しない場合は、正電源へ接続するのが最適です。

表 7. パワーダウン電圧制御

$\overline{\text{PD}}$ Pin	$\pm 5\text{ V}$	$+3\text{ V}, -2\text{ V}$
Not active	$>4\text{ V}$	$>2\text{ V}$
Active	$<2\text{ V}$	$<0\text{ V}$

容量帰還

シングルとデュアルとの間のパッケージの違いとピン間寄生により、ADA4817-2 でのピーキングは ADA4817-1 の場合より少し大きくなります(ゲイン=2 の場合は特に)。ピーキングを小さくする最適な方法は、帰還抵抗に並列に帰還コンデンサを接続する方法です。

図 43 に、ゲイン=2 の ADA4817-2 の小信号周波数応答対 C_F を示します。ピーキングを示すために最初に C_F なしの場合を、ピーキングの軽減または解消を示すために 0.5 pF と 1 pF の場合を、それぞれ示します。図 43 に示すように、消費電力がシステムで重要な場合、ピーキングを制御するために帰還コンデンサを接続するかぎり、帰還コンデンサを大きくすることが可能です。ただし、消費電力が問題とならない場合、 $100\text{ }\Omega$ のような小さい帰還抵抗を使うと、平坦性の維持とピーキングの軽減のために帰還容量を追加する必要はありません。

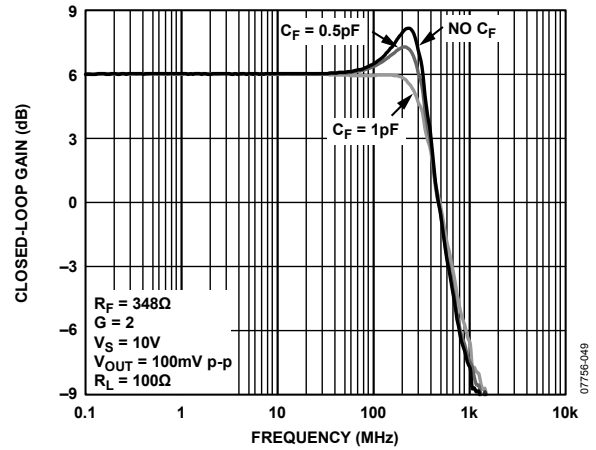


図 43. 小信号周波数応答対帰還コンデンサ(ADA4817-2)

レイアウト、グラウンド、バイパスの考慮事項

PCB のレイアウトはデザイン・プロセスの最終ステップであり、最もクリティカルな 1 つであることがしばしば示されます。レイアウトが正しくないと、素晴らしいデザインも無用なものになってしまいます。ADA4817-1/ADA4817-2 は RF 周波数スペクトルまで動作できるため、高周波ボード・レイアウトの注意が必要です。最適性能を得るためには、PCB レイアウト、信号配線、電源バイパス、グラウンド接続のすべてについて考慮する必要があります。

信号の配線

ADA4817-1/ADA4817-2 は、レイアウトを小さくできる専用帰還ピンを持った新しい低歪みのピン配置を採用しています。専用帰還ピンは出力から反転入力までの距離を短縮するため、帰還回路の配線を大幅に簡素化します。

ADA4817-1/ADA4817-2 をユニティ・ゲイン・アンプとしてレイアウトする場合、専用帰還ピンの間のパターンを短く太くし、アンプの反転入力を使用して漂遊寄生インダクタンスを小さくすることが推奨されます。

寄生インダクタンスを小さくするために、グラウンド・プレーンを高周波信号パターンの下に設ける必要があります。ただし、位相マージンを低下させる寄生コンデンサを小さくするために、入力ピンと出力ピンの下では、グラウンド・プレーンを無くする必要があります。ノイズ混入に弱い信号は PCB の内部層へ配線して、シールド効果大きくする必要があります。

電源のバイパス

電源のバイパスは、PCB デザイン・プロセスで重要です。最適性能を得るためには、ADA4817-1/ADA4817-2 の電源ピンを正しくバイパスする必要があります。

各電源ピンからグラウンドへのコンデンサの並列接続が最適です。異なる値とサイズのコンデンサの並列接続は、広い周波数帯域で電源ピンの AC インピーダンスを小さくするのに役立ちます。これは、ノイズのアンプへの混入を小さくするために重要です。電源ピンから開始して、最小の値とサイズの部品をボードのアンプと同じ面の、アンプのできるだけ近くに配置し、次にグラウンド・プレーンへ接続します。このプロセスを次に大きい値のコンデンサについて繰り返します。0.1 μF のセラミック 0508 ケースを ADA4817-1/ADA4817-2 に使用することが推奨されます。0508 は低い直列インダクタンスと優れた高周波性能を提供します。この 0.1 μF は高周波で低いインピーダンスを提供します。10 μF の電解コンデンサは、0.1 μF と並列に接続する必要があります。この 10 μF のコンデンサは低周波で低い AC インピーダンスを提供します。回路条件に応じて、これより小さい値の電解コンデンサを使用することができます。小さな値のコンデンサを追加すると、高い周波数までの不要なノイズに対して低いインピーダンス・パスを提供するのに役立ちますが、常に必要とはかぎりません。

コンデンサのリターン(グラウンド)を設けることも重要です。コンデンサ・グラウンドをアンプ負荷の近くに戻すことは、歪み性能のために重要です。負荷からコンデンサまでの距離を短く、かつ等しくすることが性能のために最適です。

ケースによっては、2 つの電源間のバイパスを行うと、PSRR を向上させて、混雑し複雑なレイアウトで歪み性能を維持するのに役立つことがあります。これは、性能を向上させるもう 1 つのオプションです。

コンデンサからアンプまでのパターンの長さを短くし、幅を広くすると、パターン・インダクタンスが小さくなります。並列

容量に直列なインダクタンスはタンク回路を形成することがあり、これにより出力で高周波リングが発生することがあります。この追加インダクタンスも、出力での高周波圧縮により歪みを増加させる原因になります。ビアの使用は、アンプの電源ピンへ向かうパスでは最小にする必要があります。これは、ビアにより寄生インダクタンスが発生して、不安定性の原因になるためです。ビアの使用が必要な場合は、径の大きい複数のビアを使ってください。これにより等価寄生インダクタンスを小さくすることができます。

グラウンド接続

グラウンド・プレーンと電源プレーンの使用は、電源電流と信号電流に対して低インピーダンスのリターンを提供する方法として推奨されます。グラウンド・プレーンと電源プレーンの使用は、パターンの漂遊インダクタンスを小さくし、アンプに対して低い熱抵抗パスを提供することにも役立ちます。ピンの下では、グラウンド・プレーンと電源プレーンを使用しないようにする必要があります。パッドとグラウンド・プレーンまたは電源プレーンは、アンプ入力で寄生容量を形成します。反転入力の漂遊容量と帰還抵抗は極を形成し、これが位相マージンを小さくして、不安定になります。出力に大きな漂遊容量が存在する場合も極を形成し、位相マージンを低下させます。

露出パドル

ADA4817-1/ADA4817-2 には露出パドルがあり、標準の SOIC プラスチック・パッケージに比べて熱抵抗を 25%小さくします。ADA4817-1/ ADA4817-2 の露出パドルは内部でフローティングしているため、最大の柔軟性を提供し、使い安くなっています。露出パドルはグラウンド・プレーンまたは負電源プレーンへ接続することができます。加熱が問題とならない場合は、露出パッドをフローティングのままにしておくことができます。

サーマル・ビアまたはヒート・パイプを露出パドルのパッドのデザインに採用することもできます。これらの加算ビアは、ジャンクション周囲間の温度($0\text{J}\text{A}$)を下げるのに役立ちます。表面に厚い銅を使用して、アンプの露出パドルをそれにハンダ付けすると、ADA4817-1/ADA4817-2 から見た全体の熱抵抗を大幅に小さくすることができます。

リーク電流

良くない PCB レイアウト、汚染物質、ボード絶縁材料により、ADA4817-1/ADA4817-2 の入力バイアス電流より大きいリーク電流が発生することがあります。入力間の電位差と付近のパターンにより PCB の絶縁体を通してリーク電流が流れます。たとえば、 $1\text{ V}/100\text{ G}\Omega = 10\text{ pA}$ になります。同様に、ボード上に油脂などの汚染物質があると、大きなリーク電流が発生します。リーク電流を大幅に削減するためには、両入力および入力と同じ電位にした両入力リードの周囲にガード・リング(シールド)を配置します。この方法では、両入力とその周辺領域との間にはリーク電流を発生する電位がなくなります。ガード・リングを有効にするためには、比較的低インピーダンス・ソースでそれを駆動し、多層ボードを使用する場合入力リードのすべての面(上と下)を完全に取り囲む必要があります。

リーク電流を発生させるもう一つの原因は、絶縁材料自体の電荷吸着です。入力リードとガード・リングとの間の材料を少なくすると、吸着の削減に役立ちます。さらに、Teflon®やセラミックのような吸着の少ない材料が、必要となることもあります。

入力容量

バイパスとグラウンドの他に、高速アンプは入力とグラウンドとの寄生容量に対しても敏感です。高い周波数では、数 pF の容量でも入力インピーダンスを低下させて、アンプ・ゲインを大きくするため、周波数応答でのピーキングが、または最悪の場合には発振さえも発生することがあります。入力ピンに接続される外付けの受動部品は、寄生容量を回避するため出来るだけ入力の近くに配置することが推奨されます。グラウンド・プレーンと電源プレーンは、ボードの全層で入力ピンから近い距離に配置する必要があります。

入力から出力へのカップリング

入力と出力の間の容量結合を小さくするため、入力信号パターンと出力信号パターンを並行させないようにします。さらに、入力パターンを互いに近づけないようにします。2 つの入力を最小 7 ミル離すことが推奨されます。

アプリケーション情報

低歪みピン配置

ADA4817-1/ADA4817-2 は、アナログ・デバイセズの新しい低歪みピン配置を採用しています。この新しいピン配置は、従来型ピン配置に比べて2つの利点を持っています。1つ目の利点は2次高調波歪み性能の向上で、非反転入力ピンと負電源ピンを物理的に離すことにより実現されています。2つ目の利点は専用帰還ピンによるレイアウトの簡素化で、ゲイン設定抵抗を反転入力ピンへ戻す配線が容易になることです。これによりレイアウトが小さくなるため、寄生を小さくし、安定性を向上させることに役立ちます。

ADA4817-1/ADA4817-2 に帰還を与えるために必ず専用帰還ピンを使う必要はありません。ADA4817-1/ADA4817-2 の出力ピンを使って ADA4817-1/ADA4817-2 の反転入力へ帰還を与えることもできます。

広帯域フォトダイオード・プリアンプ

ADA4817-1/ ADA4817-2 は広い帯域幅と低ノイズを持つため、高速フォトダイオードを使った信号コンデショニング用のアンプなどのインピーダンス変換アンプ用に最適です。図 44 に、フォトダイオードの電気モデルを使った I/V コンバータを示します。基本伝達関数は次式で表されます。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F} \quad (13)$$

ここで、 I_{PHOTO} はフォトダイオードの出力電流。 R_F と C_F の並列接続により信号帯域幅が設定されます。

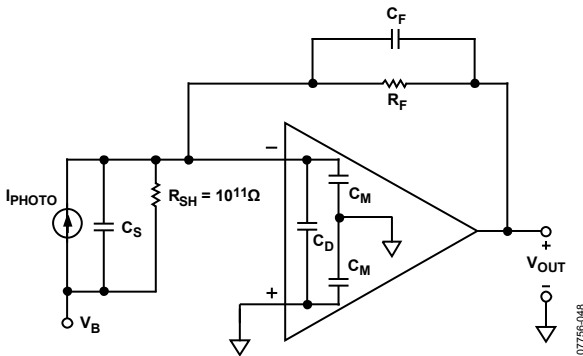


図 44.広帯域フォトダイオード・プリアンプ

このプリアンプで実現可能な安定な帯域幅は、 R_F 、アンプのゲイン帯域幅積、フォトダイオード容量(C_S)とアンプ入力容量を含むアンプ加算点での合計容量の関数になります。 R_F と合計容量は、アンプのループ伝達関数内で、ピーキングと不安定性を発生させる極を形成します。 C_F を追加すると、ループ伝達関数内にゼロ点が形成され、極の影響を補償することができますが、信号帯域幅が減ってしまいます。45°の位相マージン($f_{(45)}$)を発生させる信号帯域幅は、次式で与えられます。

$$f_{(45)} = \sqrt{\frac{f_{CR}}{2\pi \times R_F \times (C_S + C_M + C_D)}} \quad (14)$$

ここで、

f_{CR} はアンプのクロスオーバー周波数。

R_F は帰還抵抗。

C_S はフォトダイオードとボード寄生を含むソース容量。

C_M はアンプのコモン・モード容量。

C_D はアンプの差動容量。

$f_{(45)}$ を決める C_F の値は次式で表されます。

$$C_F = \sqrt{\frac{C_S + C_M + C_D}{2\pi \times R_F \times f_{CR}}} \quad (15)$$

C_F 値を大きくすると、周波数応答でのピーキングは小さくなります。

周波数に対するプリアンプ出力ノイズを図 45 に示します。

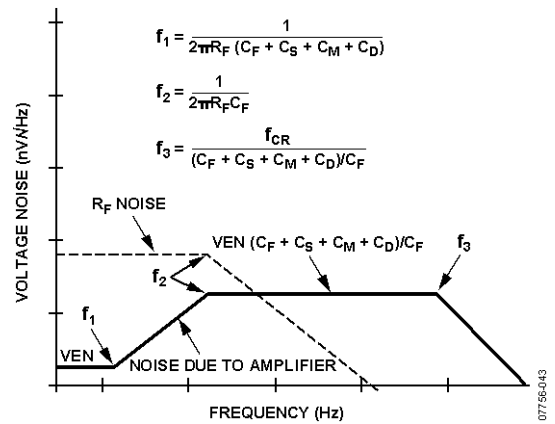


図 45.フォトダイオードの電圧ノイズ成分

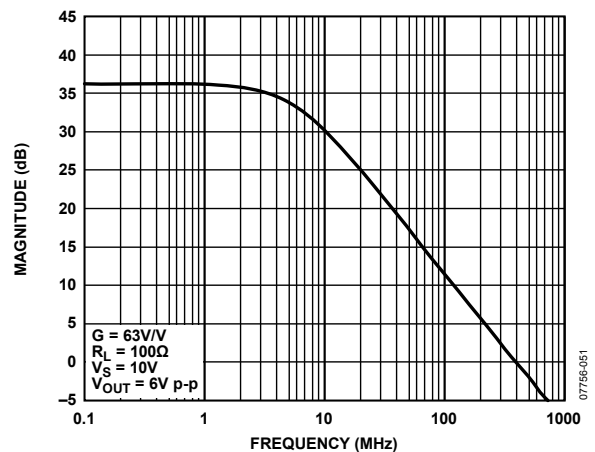


図 46.フォトダイオード・プリアンプの周波数応答

ループ伝送での極がアンプのノイズ・ゲイン内でゼロ点に変換されるため、全周波数で入力電圧ノイズが増幅されます。 C_F により発生するループ伝送のゼロ点により増幅が制限されます。ノイズ・ゲインの帯域幅はプリアンプ信号帯域幅より広くなるため、アンプのループ・ゲインを減らすことにより最終的にロールオフされます。反転ピンからの電流等価ノイズは大部分のアプリケーションで無視できます。ADA4817-1/ADA4817-2で採用された技術革新的なアーキテクチャにより、従来型FET入力アンプとは対照的に、両入力のパランスが不要になります。こ

のため、非反転ピンからグラウンドへのインピーダンスを全周波数で小さくすることが、最適ノイズ性能を得るために重要です。

出力電圧ノイズ・スペクトル密度の2乗を全周波数で積分し、その平方根をとると、プリアンプの合計rms出力ノイズが得られます。表8に、アンプ、帰還抵抗、ソース抵抗の近似式をまとめます。 $R_F = 50\text{ k}\Omega$ 、 $C_S = 30\text{ pF}$ 、 $C_F = 0.5\text{ pF}$ (帯域幅約6.4 MHz)でのプリアンプ例のノイズ成分も示します。

表 8. フォトダイオード・プリアンプの RMS ノイズ成分

Contributor	Expression	RMS Noise with $R_F = 50\text{ k}\Omega$, $C_S = 30\text{ pF}$, $C_F = 0.5\text{ pF}$
R_F	$\sqrt{4kT \times R_F \times f_2 \times 1.57}$	94 μV
VEN Amp	$VEN \times \frac{C_S + C_M + C_D + C_F}{C_F} \times \sqrt{f_3 \times 1.57}$	777.5 μV
IEN Amp	$IEN \times R_F \times \sqrt{f_2 \times 1.57}$	0.4 μV
		783 μV (total)

高速 JFET 入力計装アンプ

図 47 に、ADA4817-1/ ADA4817-2 を使った、高入力インピーダンスを持つ高速計装アンプの例を示します。DC 伝達関数は、

$$V_{OUT} = (V_N - V_P) \left(1 + \frac{2R_F}{R_G} \right) \quad (16)$$

$G = 1$ の場合、2 個のプリアンプの帰還抵抗を 0Ω に設定し、ゲイン抵抗をオープンにすることが推奨されます。 $G = 1$ でのシステム帯域幅は 400 MHz になります。ゲインが 2 より大きい場合は、帯域幅はプリアンプにより設定され、次式で近似されます。

$$\text{In-amp}_{-3 \text{ dB}} = (f_{CR} \times R_G) / (2 \times R_F)$$

計装アンプのコモン・モード除去比は、基本的に $R1: R2$ と $R3: R4$ の抵抗比の一致により決まります。次式で表すことができます。

$$\frac{V_O}{V_{CM}} = \frac{(\delta 1 - \delta 2)}{(1 + \delta 1) \delta 2} \quad (17)$$

プリアンプの加算点のインピーダンスは $R_F \parallel 0.5(R_G)$ になります。この値を比較的小さく維持すると、前の例と同様に帯域幅応答を向上させることができます。

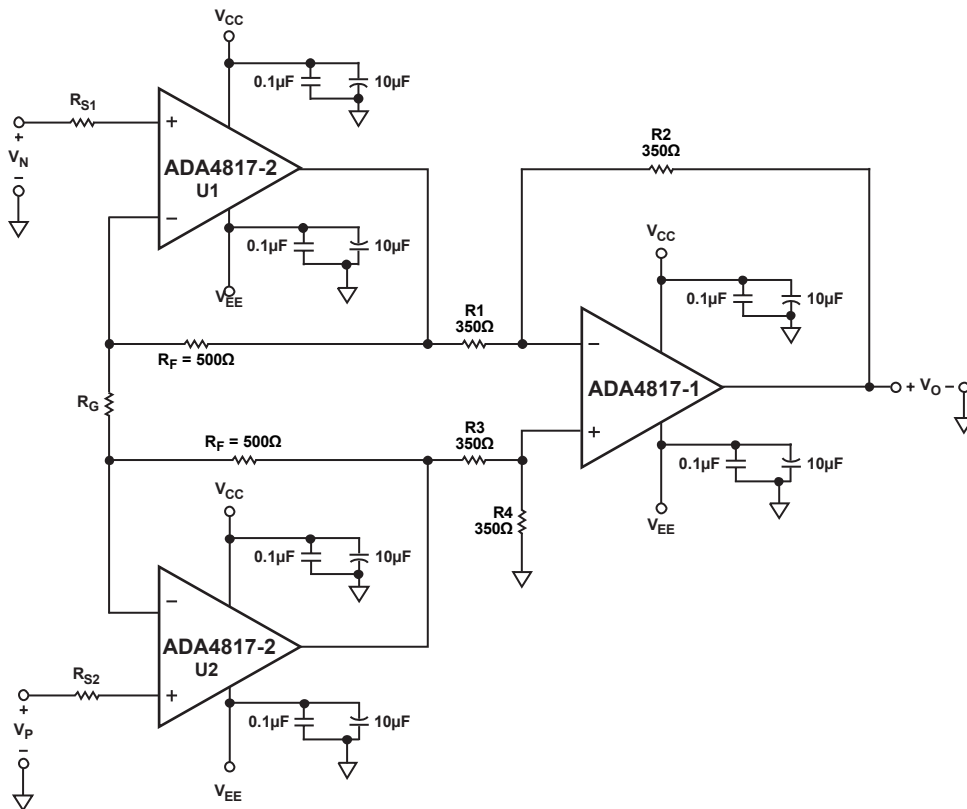


図 47. 高速計装アンプ

07756-050

アクティブ・ローパス・フィルタ(LPF)

アクティブ・フィルタは、折り返し防止フィルタや高周波通信 IF ストリップのような多くのアプリケーションで使用されます。

ADA4817-1/ADA4817-2 は 410 MHz のゲイン帯域幅積と高いスルーレートを持つため、アクティブ・フィルタ向けに最適な選択肢になっています。さらに、FET ステージにより得られる低入力バイアス電流により、ADA4817-1/ADA4817-2 の DC 誤差がなくなります。図 48 に、90 MHz LPF と 45 MHz LPF の周波数応答を示します。帯域幅条件の他に、フィルタのフル・パワー帯域幅をサポートできるスルーレートである必要があります。この場合、2 V p-p 出力振幅で 90 MHz の帯域幅で少なくとも 870 V/μs が必要です。この性能は、ADA4817-1/ADA4817-2 の広い帯域幅と高いスルーレートのため、90 MHz でのみ実現可能です。

図 49 に、4 極の Sallen-Key ローパス・フィルタ(LPF)の回路を示します。このフィルタは、固定ゲイン $G = 2$ を持つ 2 個の等しいカスケード接続された Sallen-Key LPF セクションから構成されています。フィルタの正味のゲインは $G = 4$ ($= 12$ dB)です。図 48 に示す実際のゲインは 12 dB です。この値では、直列整合終端抵抗 R_T と負荷抵抗により出力電圧が $1/2$ にされることを考慮していません。

互いに等しい抵抗を設定すると、Sallen-Key フィルタのデザイン式が大幅に簡単になります。90 MHz を実現するためには、 R の値を 182Ω に設定する必要がありますが、 R の値を 2 倍にすると、コーナー周波数は 45 MHz になります。これは、 R の値 (182Ω)に 90 MHz と新しいコーナー周波数(MHz)との比を乗算することにより、フィルタを調整する簡単な方法です。図 48 に、フィルタの各ステージの出力、および $R = 182 \Omega$ と $R = 365 \Omega$ に対応する 2 つの異なるフィルタの出力を示します。ユニティ・ゲイン・ステージを許容できない限り、帯域幅とスルーレートの制限のため、90 MHz を超えてコーナー周波数を高くすることは推奨されません。

ノイズ成分とオフセット電圧を小さくし、最適周波数応答を得るために抵抗値は小さくします。フィルタ回路で使用する容量値は小さいため、PCB レイアウトと寄生を小さくすることが重要です。数ピコファラッドでフィルタのコーナー周波数 f_c から外れます。図 49 に示すコンデンサ値が実際に漂遊 PCB 容量を含んでいます。

コンデンサの選択は、最適フィルタ性能を得るために重要です。NPO セラミック・コンデンサやシルバー・マイカのような低温度係数を持つコンデンサが、フィルタ・エレメントとして適しています。

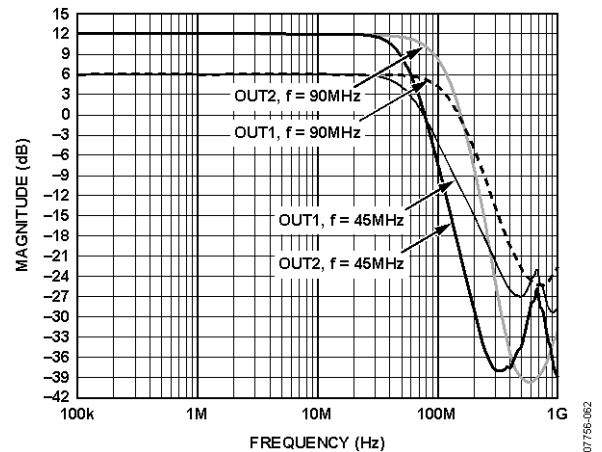


図 48.ローパス・フィルタの応答

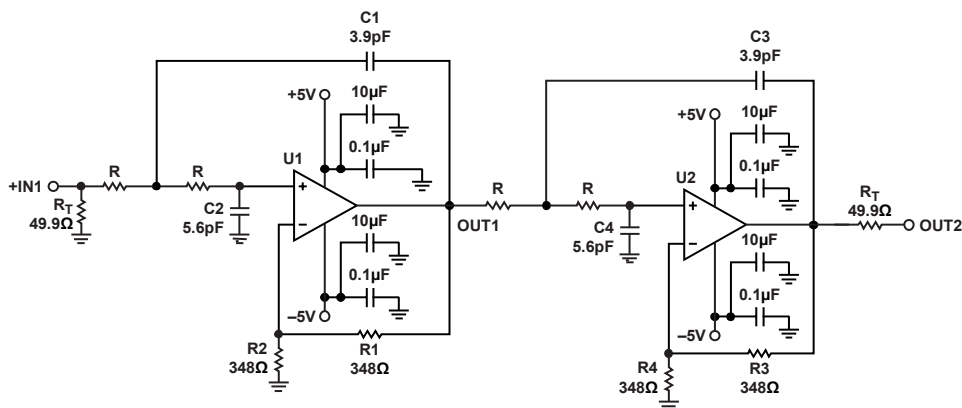


図 49.4 極の Sallen-Key ローパス・フィルタ(ADA4817-2)

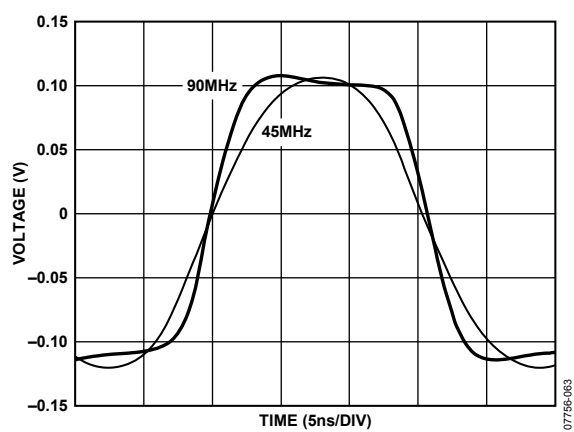


図 50.小信号過渡応答(ローパス・フィルタ)

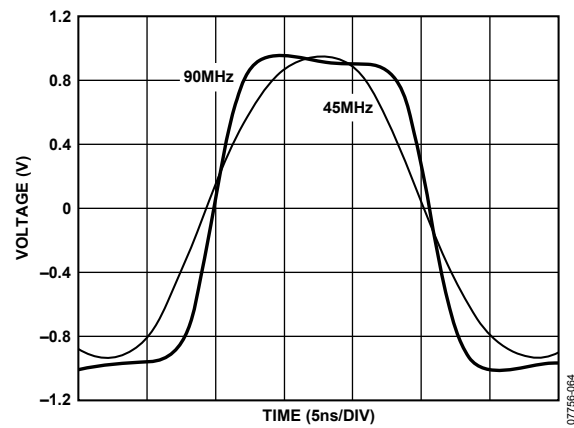


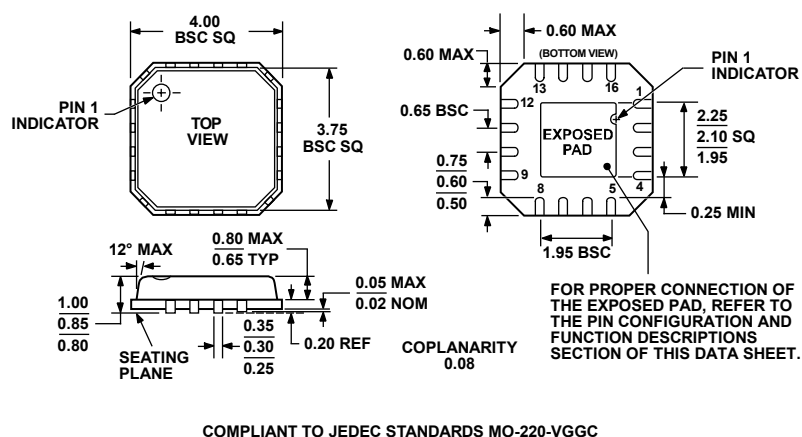
図 51.大信号過渡応答(ローパス・フィルタ)

The figure contains three mechanical drawings of a 12-pin package:

- TOP VIEW:** Shows an octagonal package with a central square area labeled "TOP VIEW". Dimensions include a total width of 3.25, a square area of 3.00 SQ, and a pin pitch of 2.75. A "PIN 1 INDICATOR" is shown on the left side.
- EXPOSED PAD (BOTTOM VIEW):** Shows the underside of the package with an "EXPOSED PAD". Dimensions include a total width of 0.60 MAX, a pin pitch of 0.50 BSC, and a central square area of 1.60. A "PIN 1 INDICATOR" is shown on the right side.
- SIDE VIEW:** Shows the profile of the package. Dimensions include a total height of 0.90 MAX, a seating plane at 0.85 NOM, a pin height of 0.70 MAX (0.65 TYP), a pin thickness of 0.05 MAX (0.01 NOM), a pin pitch of 0.30, a pin width of 0.23, and a pin thickness of 0.18.

FOR PROPER CONNECTION OF THE EXPOSED PAD, REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION OF THIS DATA SHEET.

072109 D



COMPLIANT TO JEDEC STANDARDS MO-220-VGGC

10000

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4817-1ACPZ-R2 ¹	−40°C to +105°C	8-Lead LFCSP_VD	CP-8-2	250	H1F
ADA4817-1ACPZ-RL ¹	−40°C to +105°C	8-Lead LFCSP_VD	CP-8-2	5,000	H1F
ADA4817-1ACPZ-R7 ¹	−40°C to +105°C	8-Lead LFCSP_VD	CP-8-2	1,500	H1F
ADA4817-2ACPZ-R2 ¹	−40°C to +105°C	16-Lead LFCSP_VQ	CP-16-4	250	
ADA4817-2ACPZ-RL ¹	−40°C to +105°C	16-Lead LFCSP_VQ	CP-16-4	5,000	
ADA4817-2ACPZ-R7 ¹	−40°C to +105°C	16-Lead LFCSP_VQ	CP-16-4	1,500	

Rev. 0