

特長

高速

-3 dB 帯域幅: 850 MHz ($G = +1$, $R_L = 1\text{ k}\Omega$, LFSCP)

-3 dB 帯域幅: 750 MHz ($G = +1$, $R_L = 1\text{ k}\Omega$, SOIC)

スルー・レート: 2800 V/ μs

低歪み: 10 MHz で -88 dBc ($G = +1$, $R_L = 1\text{ k}\Omega$)

低消費電力: アンプあたり 5 mA、10 V

低ノイズ: 4.4 nV/ $\sqrt{\text{Hz}}$

広い電源電圧範囲: 5 V ~ 10 V

パワーダウン機能

3 mm \times 3 mm の 8 ピン LFCSP (シングル)、8 ピン SOIC (シングル)、
または 4 mm \times 4 mm の 16 ピン LFCSP (デュアル) パッケージを採
用

アプリケーション

計測機器

IF アンプおよびベースバンド・アンプ

アクティブ・フィルタ

ADC ドライバ

DAC バッファ

接続図

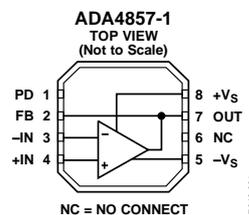


図 1. 8 ピン LFCSP (CP)

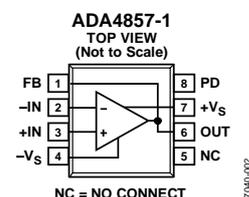


図 2. 8 ピン SOIC (R)

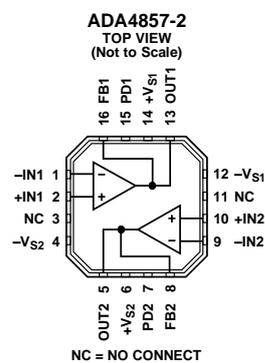


図 3. 16 ピン LFCSP (CP)

概要

ADA4857 は、低歪み、低ノイズ、高スルー・レートを持つユニ
ティ・ゲイン安定な電圧帰還の高速アンプです。ADA4857 は
10 MHz で -88 dBc のスプリアスフリー・ダイナミック・レンジ
(SFDR) を持つため、超音波、ATE、アクティブ・フィルタ、
ADC ドライバなどの多様なアプリケーションに対する最適なソ
リューションです。アナログ・デバイセズの独自の次世代
XFCB 製造プロセスと技術革新的なアーキテクチャにより、こ
のような高性能アンプが可能になりました。

ADA4857 は、850 MHz の帯域幅と 2800 V/ μs のスルー・レート
を持ち、15 ns 以内に 0.1% へ安定します。ADA4857 は広い電源
電圧範囲 (5 V ~ 10 V) を持つため、広いダイナミック・レンジ、
高精度、高速動作を必要とするシステムに対する最適な候補で
す。

ADA4857-1 アンプは、3 mm \times 3 mm の 8 ピン LFCSP または標準
の 8 ピン SOIC パッケージを採用しています。ADA4857-2 は、4
mm \times 4 mm の 16 ピン LFCSP パッケージを採用しています。
LFCSP には、PCB への低い熱抵抗パスを提供する露出パドルが
ついています。このパスにより熱転送効率が良くなり、信頼性
が向上します。ADA4857 は拡張工業用温度範囲 (-40°C ~
+125°C) で動作します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に
関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、
アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様
は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	代表的な性能特性.....	8
アプリケーション.....	1	テスト回路.....	14
接続図.....	1	アプリケーション情報.....	15
概要.....	1	PD ピンの動作.....	15
改訂履歴.....	2	容量負荷についての注意.....	15
仕様.....	3	さまざまなゲインに対する推奨値.....	15
±5 V 電源.....	3	ノイズ.....	16
+5 V 電源.....	4	回路の注意事項.....	16
絶対最大定格.....	5	PCB レイアウト.....	16
熱抵抗.....	5	電源のバイパス.....	16
最大消費電力.....	5	グラウンド接続.....	16
ESD の注意.....	5	外形寸法.....	17
ピン配置およびピン機能説明.....	6	オーダー・ガイド.....	18

改訂履歴

5/08—Revision 0: Initial Version

仕様

±5 V 電源

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +2$ 、 $R_G = R_F = 499\ \Omega$ 、 $R_L = 1\ \text{k}\Omega$ (グラウンドへ接続)、PD = 未接続。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth (LFCSP/SOIC)	$G = +1$, $V_{OUT} = 0.2\ \text{V p-p}$	650	850/750		MHz
	$G = +1$, $V_{OUT} = 2\ \text{V p-p}$		600/550		MHz
	$G = +2$, $V_{OUT} = 0.2\ \text{V p-p}$		400/350		MHz
Full Power Bandwidth	$G = +1$, $V_{OUT} = 2\ \text{V p-p}$, THD < -40 dBc		110		MHz
Bandwidth for 0.1 dB Flatness (LFCSP/SOIC)	$G = +2$, $V_{OUT} = 2\ \text{V p-p}$, $R_L = 150\ \Omega$		75/90		MHz
Slew Rate (10% to 90%)	$G = +1$, $V_{OUT} = 4\ \text{V step}$		2800		V/ μs
Settling Time to 0.1%	$G = +2$, $V_{OUT} = 2\ \text{V step}$		15		ns
NOISE/Harmonic PERFORMANCE					
Harmonic Distortion	$f = 1\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD2)		-108		dBc
	$f = 1\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD3)		-108		dBc
	$f = 10\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD2)		-88		dBc
	$f = 10\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD3)		-93		dBc
	$f = 50\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD2)		-65		dBc
	$f = 50\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD3)		-62		dBc
Input Voltage Noise	$f = 100\ \text{kHz}$		4.4		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\ \text{kHz}$		1.5		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage			± 2	± 4.5	mV
Input Offset Voltage Drift			2.3		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			-2	-3.3	μA
Input Bias Current Drift			24.5		nA/ $^\circ\text{C}$
Input Bias Offset Current			50		nA
Open-Loop Gain	$V_{OUT} = -2.5\ \text{V to } +2.5\ \text{V}$		57		dB
PD (Power-Down) Pin					
PD Input Voltage	Chip powered down		$\geq (V_{CC} - 2)$		V
	Chip enabled		$\leq (V_{CC} - 4.2)$		V
Turn-Off Time	50% off PD to <10% of final V_{OUT} , $V_{IN} = 1\ \text{V}$, $G = +2$		55		μs
Turn-On Time	50% off PD to <10% of final V_{OUT} , $V_{IN} = 1\ \text{V}$, $G = +2$		33		ns
PD Pin Leakage Current	Chip enabled		58		μA
	Chip powered down		80		μA
INPUT CHARACTERISTICS					
Input Resistance	Common mode		8		M Ω
	Differential mode		4		M Ω
Input Capacitance	Common mode		2		pF
Input Common-Mode Voltage Range			± 4		V
Common-Mode Rejection Ratio	$V_{CM} = \pm 1\ \text{V}$	-78	-86		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = \pm 2.5\ \text{V}$, $G = +2$		10		ns
Output Voltage Swing	$R_L = 1\ \text{k}\Omega$		± 4		V
	$R_L = 100\ \Omega$		± 3.7		V
			50		mA
Output Current			50		mA
Short-Circuit Current	Sinking and sourcing		125		mA
Capacitive Load Drive	30% overshoot, $G = +2$		10		pF
POWER SUPPLY					
Operating Range		4.5		10.5	V
Quiescent Current			5	5.5	mA
Quiescent Current (Power Down)	$PD \geq V_{CC} - 2\ \text{V}$		350	450	μA
Positive Power Supply Rejection	$+V_S = 4.5\ \text{V to } 5.5\ \text{V}$, $-V_S = -5\ \text{V}$	-59	-62		dB
Negative Power Supply Rejection	$+V_S = 5\ \text{V}$, $-V_S = -4.5\ \text{V to } -5.5\ \text{V}$	-65	-68		dB

+5 V 電源

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +2$ 、 $R_G = R_F = 499\ \Omega$ 、 $R_L = 1\ \text{k}\Omega$ (電源中心へ接続)、PD = 未接続。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth (LFCSP/SOIC)	$G = +1$, $V_{OUT} = 0.2\ \text{V p-p}$	595	800/750		MHz
	$G = +1$, $V_{OUT} = 2\ \text{V p-p}$		500/400		MHz
Full Power Bandwidth	$G = +2$, $V_{OUT} = 0.2\ \text{V p-p}$		360/300		MHz
	$G = +1$, $V_{OUT} = 2\ \text{V p-p}$, THD < -40 dBc		95		MHz
Bandwidth for 0.1 dB Flatness (LFCSP/SOIC)	$G = +2$, $V_{OUT} = 2\ \text{V p-p}$, $R_L = 150\ \Omega$		50/40		MHz
Slew Rate (10% to 90%)	$G = +1$, $V_{OUT} = 2\ \text{V step}$		1500		V/ μs
Settling Time to 0.1%	$G = +2$, $V_{OUT} = 2\ \text{V step}$		15		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion	$f = 1\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD2)		-92		dBc
	$f = 1\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD3)		-90		dBc
	$f = 10\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD2)		-81		dBc
	$f = 10\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD3)		-71		dBc
	$f = 50\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD2)		-69		dBc
	$f = 50\ \text{MHz}$, $G = +1$, $V_{OUT} = 2\ \text{V p-p}$ (HD3)		-55		dBc
Input Voltage Noise	$f = 100\ \text{kHz}$		4.4		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\ \text{kHz}$		1.5		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage			± 1	± 4.2	mV
Input Offset Voltage Drift			4.6		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			-1.7	-3.3	μA
Input Bias Current Drift			24.5		nA/ $^\circ\text{C}$
Input Bias Offset Current			50		nA
Open-Loop Gain	$V_{OUT} = 1.25\ \text{V to } 3.75\ \text{V}$		57		dB
PD (Power-Down) Pin					
PD Input Voltage	Chip powered down		$\geq (V_{CC} - 2)$		V
	Chip enabled		$\leq (V_{CC} - 4.2)$		V
Turn-Off Time	50% off PD to <10% of final V_{OUT} , $V_{IN} = 1\ \text{V}$, $G = +2$		38		μs
Turn-On Time	50% off PD to <10% of final V_{OUT} , $V_{IN} = 1\ \text{V}$, $G = +2$		30		ns
PD Pin Leakage Current	Chip enable		8		μA
	Chip powered down		30		μA
INPUT CHARACTERISTICS					
Input Resistance	Common mode		8		M Ω
	Differential mode		4		M Ω
Input Capacitance	Common mode		2		pF
Input Common-Mode Voltage Range			1 to 4		V
Common-Mode Rejection Ratio	$V_{CM} = 2\ \text{V to } 3\ \text{V}$	-76	-84		dB
OUTPUT CHARACTERISTICS					
Overdrive Recovery Time	$G = +2$		15		ns
Output Voltage Swing	$R_L = 1\ \text{k}\Omega$		1 to 4		V
	$R_L = 100\ \Omega$		1.1 to 3.9		V
Output Current			50		mA
Short-Circuit Current	Sinking and sourcing		75		mA
Capacitive Load Drive	30% overshoot, $G = +2$		10		pF
POWER SUPPLY					
Operating Range		4.5		10.5	V
Quiescent Current			4.5	5	mA
Quiescent Current (Power Down)	$PD \geq V_{CC} - 2\ \text{V}$		250	350	μA
Positive Power Supply Rejection	$+V_S = 4.5\ \text{V to } 5.5\ \text{V}$, $-V_S = 0\ \text{V}$	-58	-62		dB
Negative Power Supply Rejection	$+V_S = 5\ \text{V}$, $-V_S = -0.5\ \text{V to } +0.5\ \text{V}$	-65	-68		dB

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	11 V
Power Dissipation	See Figure 4
Common-Mode Input Voltage	$-V_S + 0.7 \text{ V}$ to $+V_S - 0.7 \text{ V}$
Differential Input Voltage	$\pm V_S$
Exposed Paddle Voltage	$-V_S$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC	115	15	$^\circ\text{C}/\text{W}$
8-Lead LFCSP	94.5	34.8	$^\circ\text{C}/\text{W}$
16-Lead LFCSP	68.2	19	$^\circ\text{C}/\text{W}$

最大消費電力

AD4857 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、AD4857 のパラメータ性能を永久的にシフトしてしまふことがあります。 175°C の接合温度を長時間超えると、シリコン・デバイスに変化が生じて、機能の低下または喪失の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と ADA4857 出力での負荷駆動に起因するチップ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。

$$P_D = \text{静止電力} + (\text{合計駆動電力} - \text{負荷電力})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

RMS 出力電圧についても検討する必要があります。単電源動作の場合のように R_L が $-V_S$ を基準とすると、合計駆動電力は $V_S \times I_{OUT}$ になります。rms 信号レベルが不確定の場合は、電源電圧の中点を基準とする R_L に対して $V_{OUT} = V_S/4$ とするときの、ワースト・ケースを検討します。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

$-V_S$ を基準とする R_L を使う単電源動作では、ワースト・ケースは $V_{OUT} = V_S/2$ となります。

強制空冷により熱放散が大きくなるため、 θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンと、パッケージ・ピンおよび露出パドルが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 4 に、パッケージ内での安全な最大消費電力と周囲温度の関係を、JEDEC 標準 4 層ボードに実装した SOIC と LFCSP パッケージについて示します。 θ_{JA} 値は近似値です。

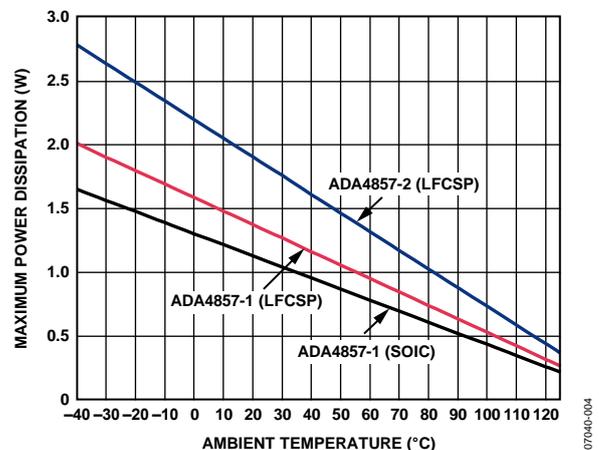


図 4.4 層ボードでの最大消費電力の温度特性

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

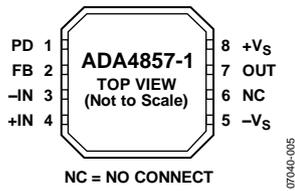


図 5.8 ピン LFCSP のピン配置

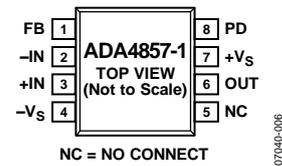


図 6.8 ピン SOIC のピン配置

表 5.8 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	PD	パワーダウン
2	FB	帰還
3	-IN	反転入力
4	+IN	非反転入力
5	-Vs	負電源
6	NC	未接続
7	OUT	出力
8	+Vs	正電源

表 6.8 ピン SOIC のピン機能説明

ピン番号	記号	説明
1	FB	帰還
2	-IN	反転入力
3	+IN	非反転入力
4	-Vs	負電源
5	NC	未接続
6	OUT	出力
7	+Vs	正電源
8	PD	パワーダウン

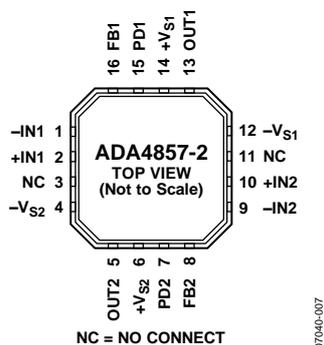


図 7.16 ピン LFCSP のピン配置

表 7.16 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	-IN1	反転入力 1
2	+IN1	非反転入力 1
3、11	NC	未接続
4	-VS ₂	負電源 2
5	OUT2	出力 2
6	+VS ₂	正電源 2
7	PD2	パワーダウン 2
8	FB2	帰還 2
9	-IN2	反転入力 2
10	+IN2	非反転入力 2
12	-VS ₁	負電源 1
13	OUT1	出力 1
14	+VS ₁	正電源 1
15	PD1	パワーダウン 1
16	FB1	帰還 1

代表的な性能特性

特に指定のない限り、 $T = 25^{\circ}\text{C}$ 、 $(G = +1, R_F = 0\ \Omega, R_G = \text{オープン}, G = +2, R_F = R_G = 499\ \Omega)$ 。

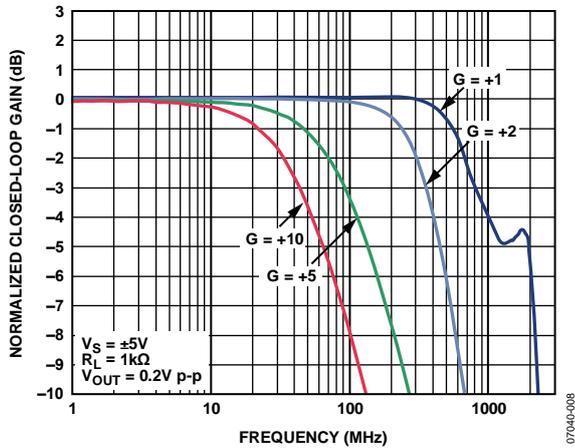


図 8. さまざまなゲインでの小信号周波数応答(LFCSP)

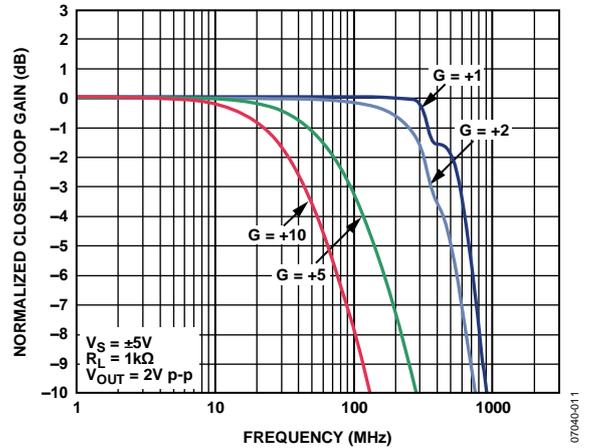


図 11. さまざまなゲインでの大信号周波数応答(LFCSP)

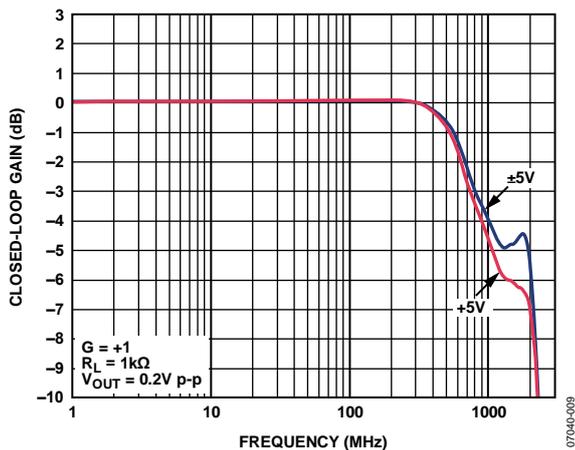


図 9. さまざまな電源電圧での小信号周波数応答(LFCSP)

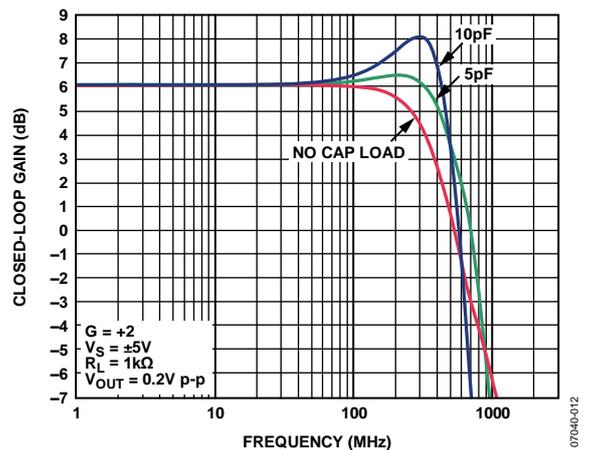


図 12. さまざまな容量負荷での小信号周波数応答(LFCSP)

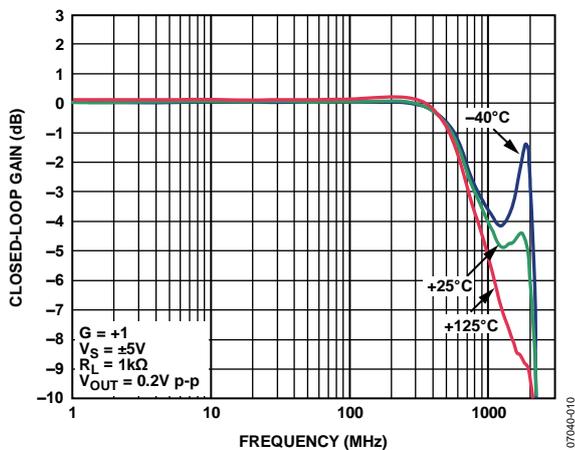


図 10. 小信号周波数応答の温度特性(LFCSP)

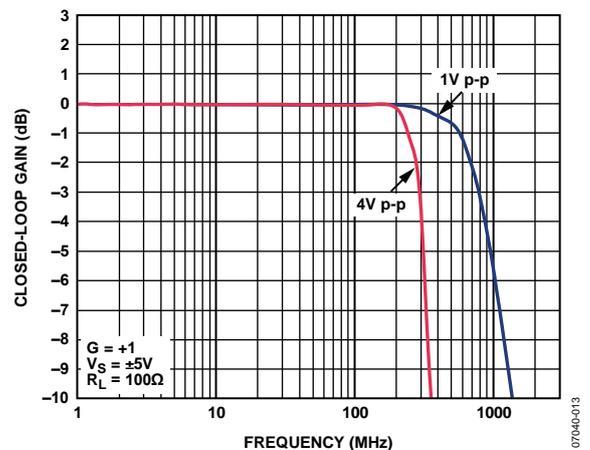


図 13. 大信号周波数応答対 V_{OUT} (LFCSP)

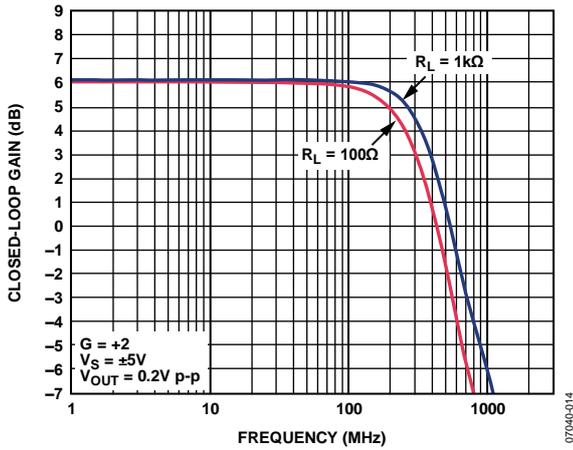


図 14.さまざまな抵抗負荷での小信号周波数応答(LFCSF)

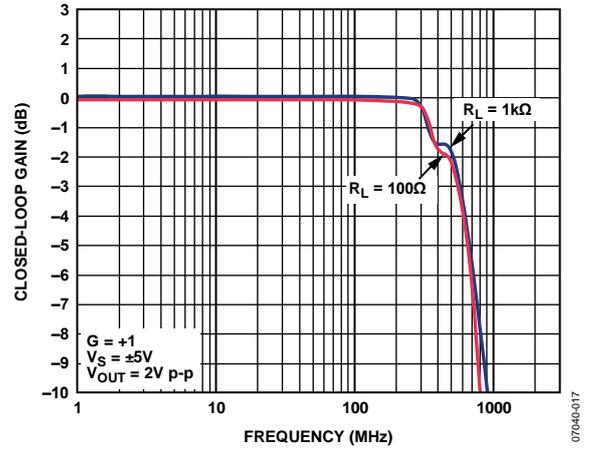


図 17.さまざまな抵抗負荷での大信号周波数応答(LFCSF)

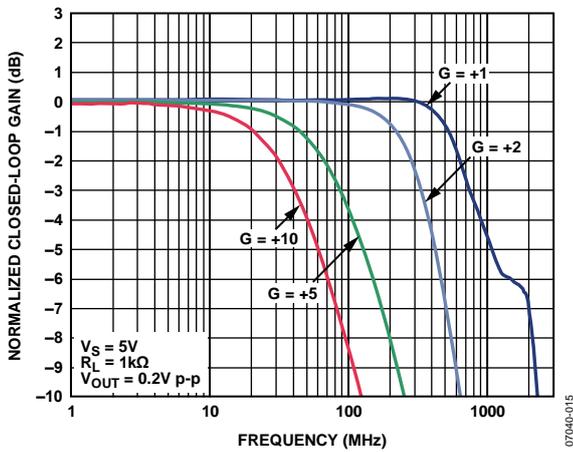


図 15.さまざまなゲインでの小信号周波数応答(LFCSF)

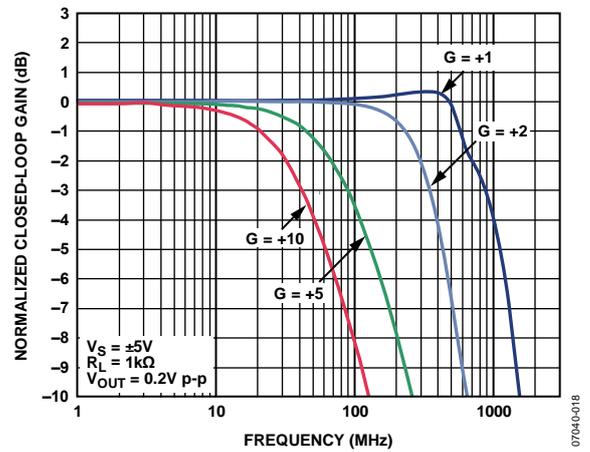


図 18.さまざまなゲインでの小信号周波数応答(SOIC)

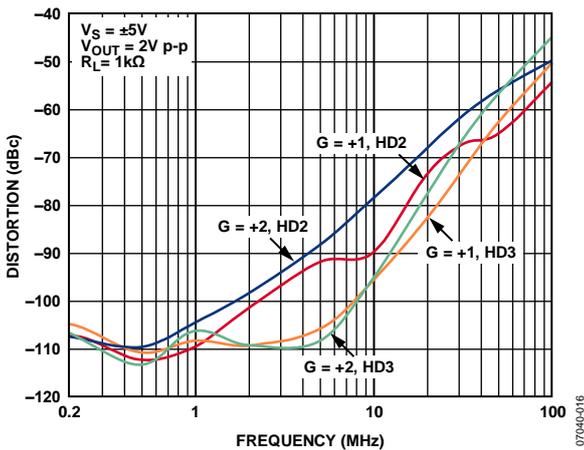


図 16.高調波歪み対周波数およびゲイン(LFCSF)

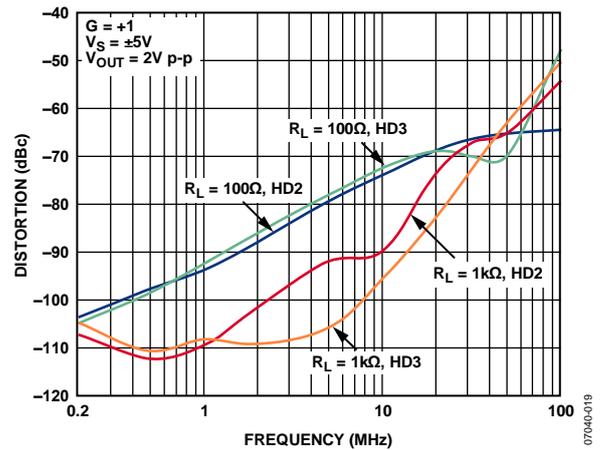


図 19.高調波歪み対周波数および負荷(LFCSF)

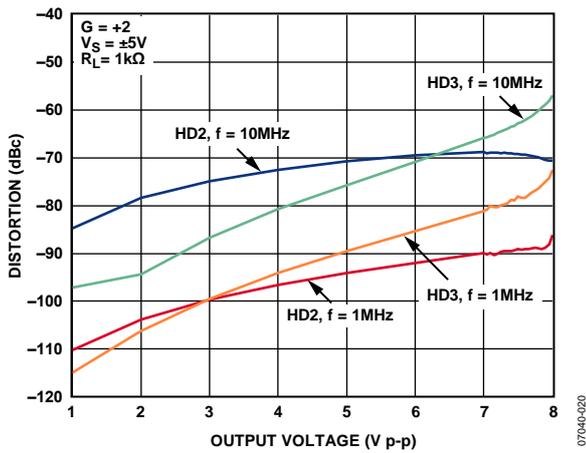


図 20.高調波歪み対出力電圧

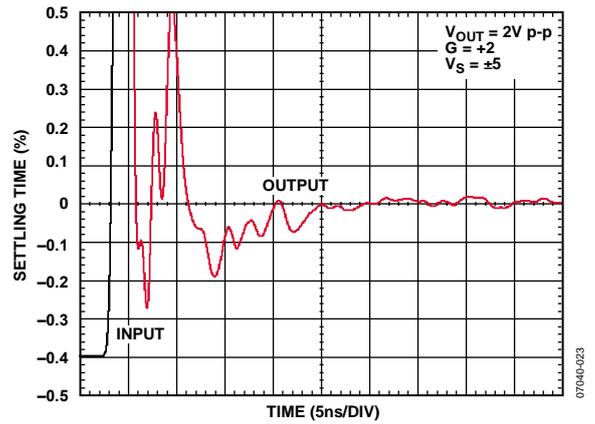


図 23.短時間セトリング・タイム(LFCSP)

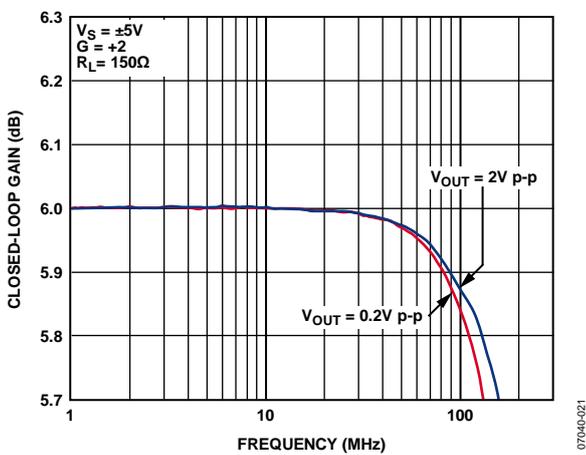


図 21.さまざまな出力電圧での 0.1 dB 平坦性周波数特性(SOIC)

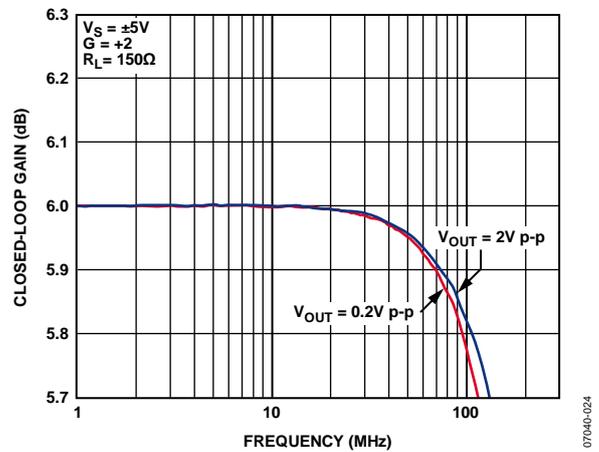


図 24.さまざまな出力電圧での 0.1 dB 平坦性周波数特性(LFCSP)

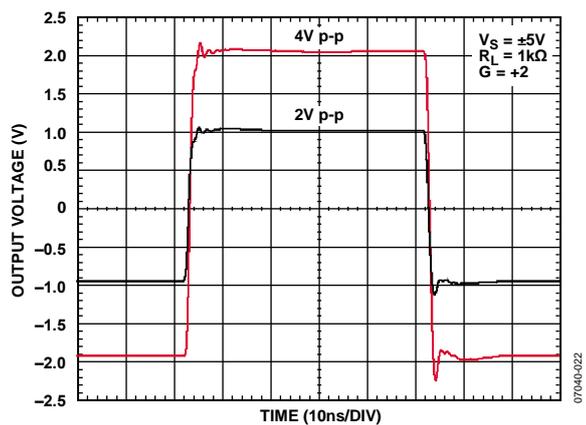


図 22.さまざまな出力電圧での大信号過渡応答(SOIC)

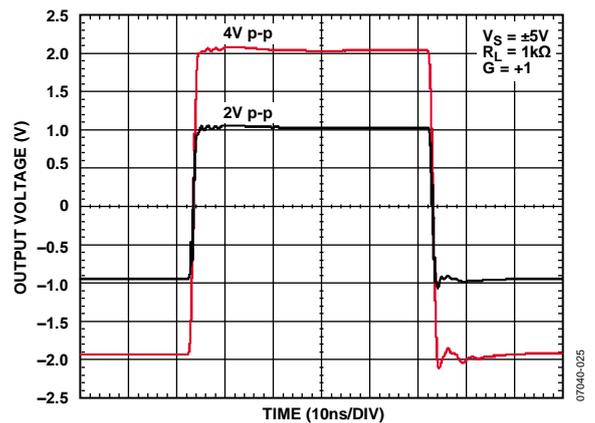


図 25.さまざまな出力電圧での大信号過渡応答(LFCSP)

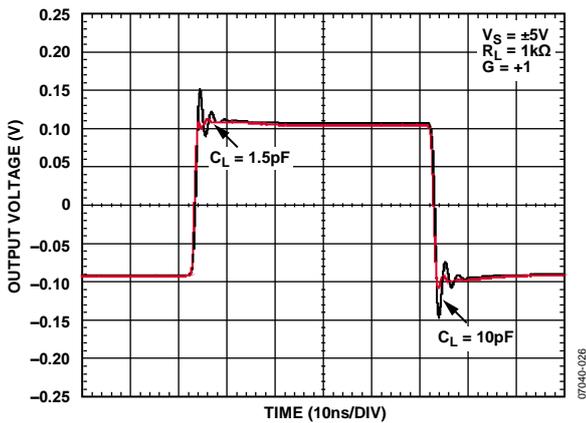


図 26.さまざまな容量負荷での小信号過渡応答(LFCSP)

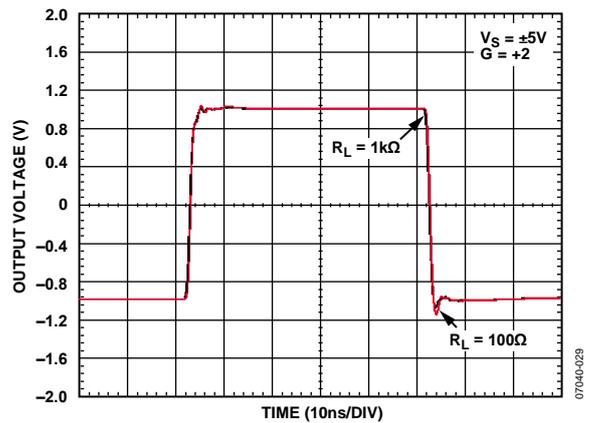


図 29.さまざまな負荷抵抗での大信号過渡応答(SOIC)

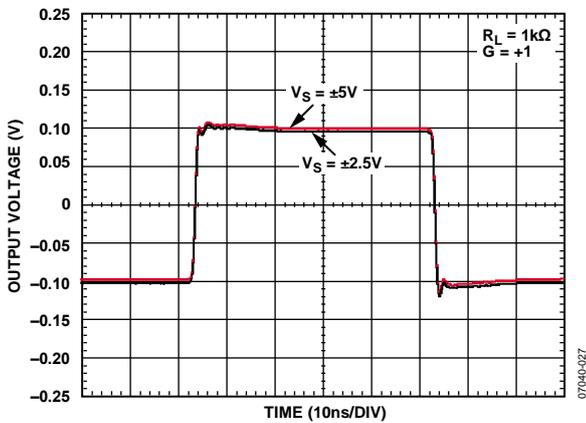


図 27.さまざまな電源電圧での小信号過渡応答(LFCSP)

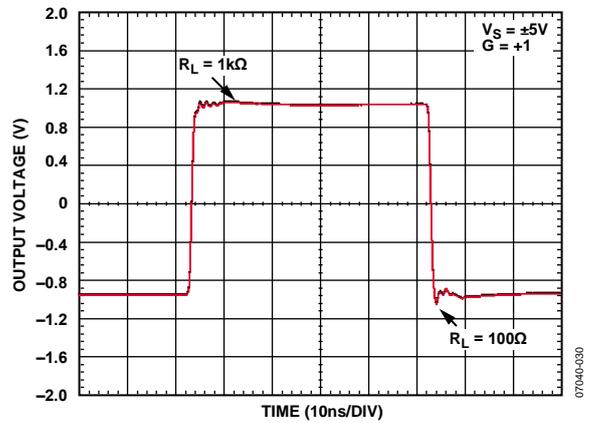


図 30.さまざまな負荷抵抗での大信号過渡応答 (LFCSP)

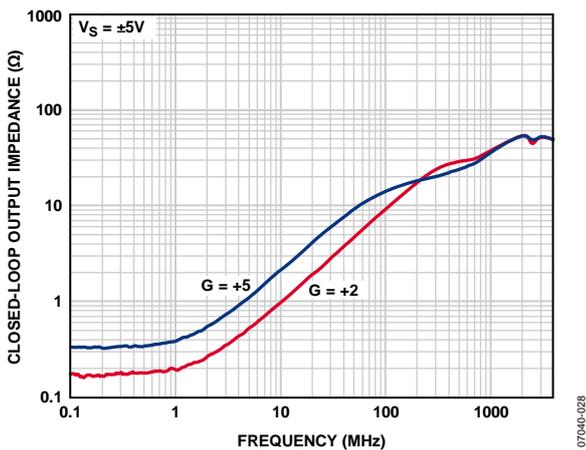


図 28.さまざまなゲインでの出力インピーダンス周波数特性

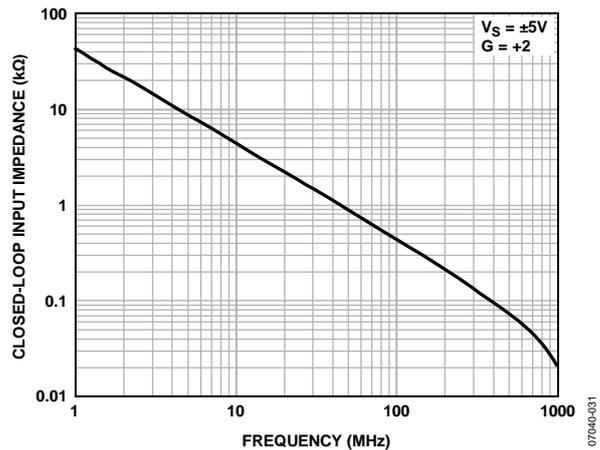


図 31.クローズド・ループ入力インピーダンスの周波数特性

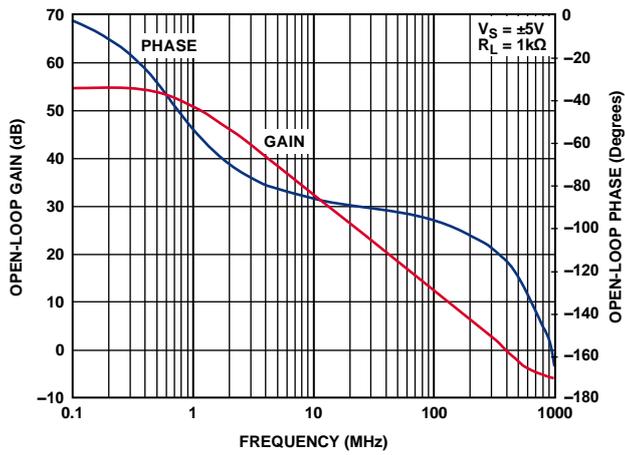


図 32. オープン・ループ・ゲインおよび位相の周波数特性

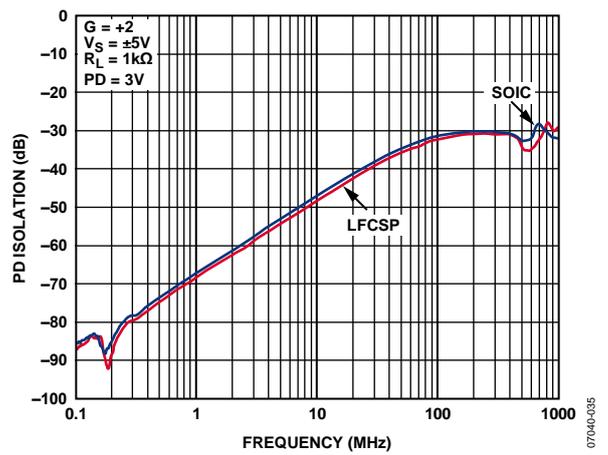


図 35. PD アイソレーションの周波数特性

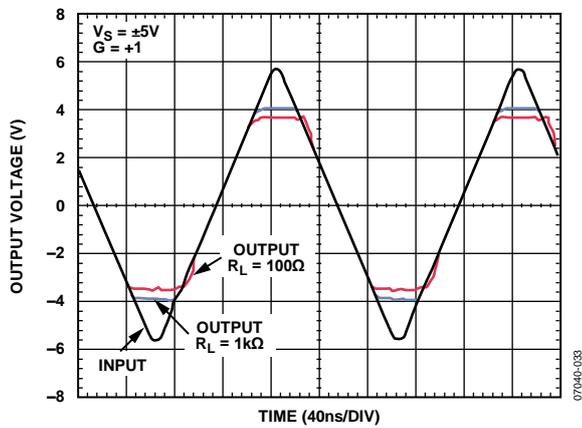


図 33. さまざまな抵抗負荷での入力オーバードライブ回復時間

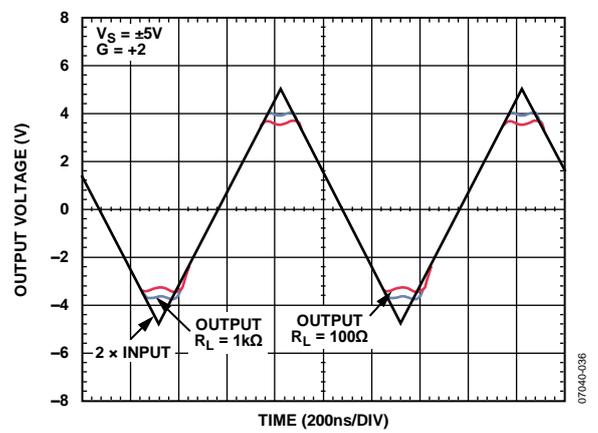


図 36. さまざまな抵抗負荷での出力オーバードライブ回復時間

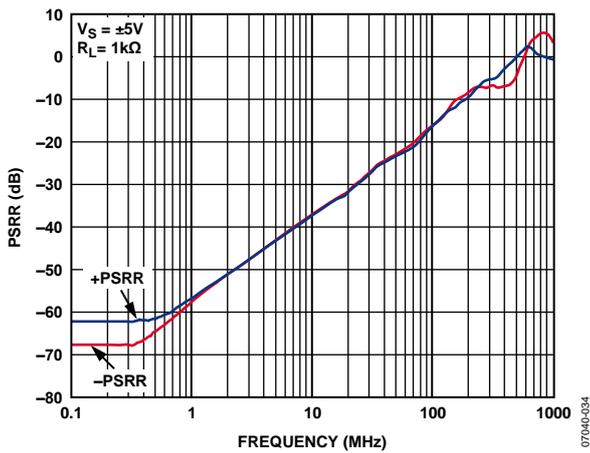


図 34. 電源除去比(PSRR)の周波数特性

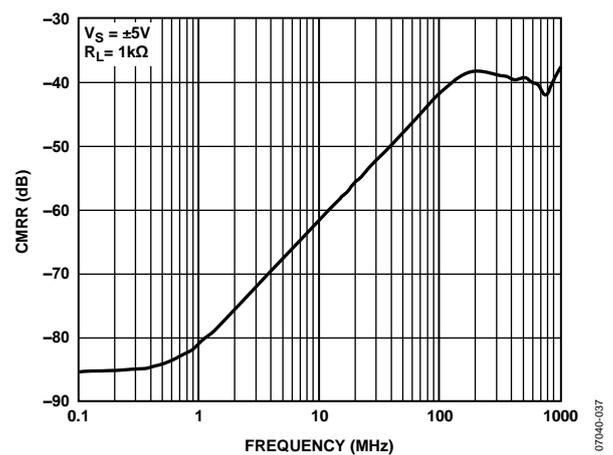


図 37. コモン・モード除去比(CMRR)の周波数特性

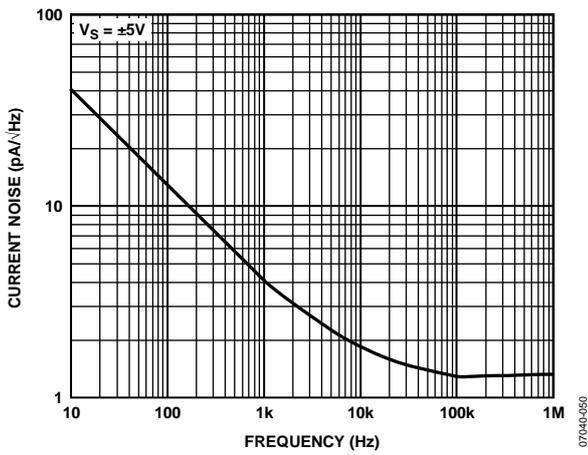


図 38.入力電流ノイズの周波数特性

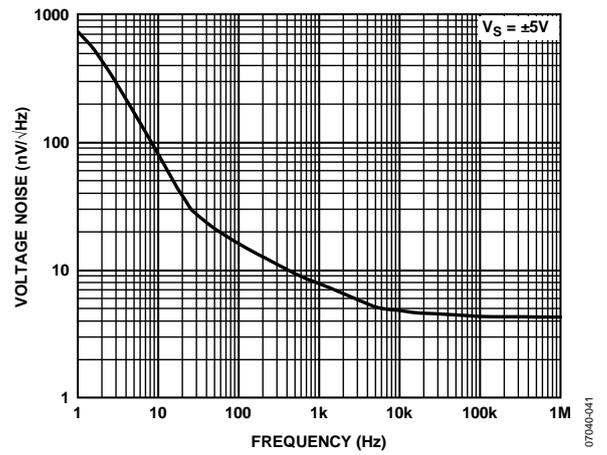


図 40.入力電圧ノイズの周波数特性

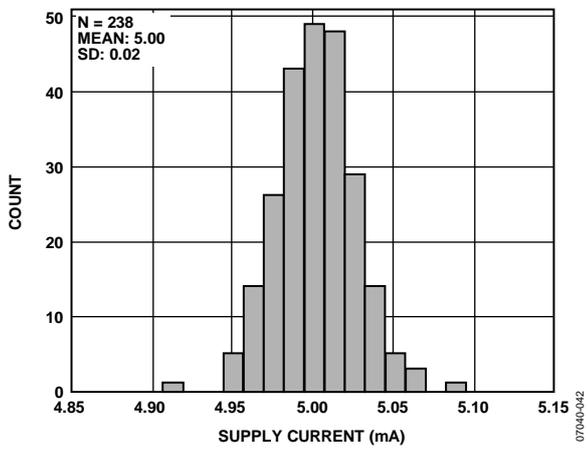


図 39.電源電流

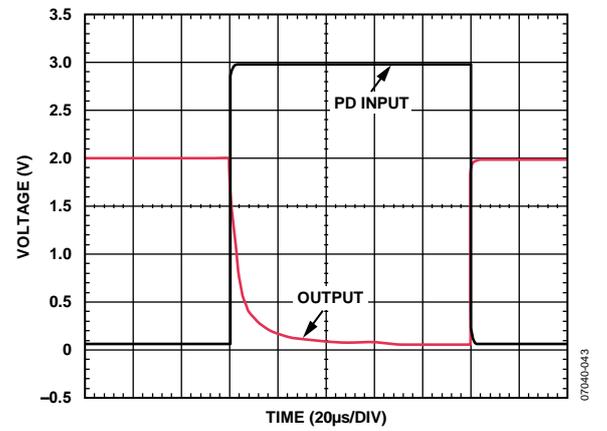
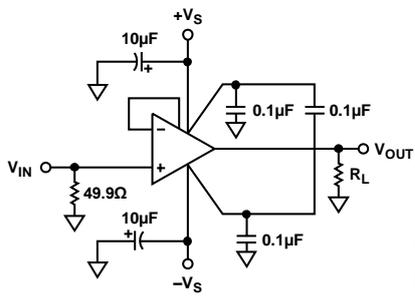


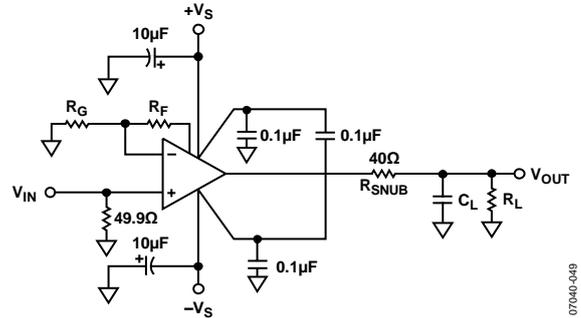
図 41.ディスエーブル/イネーブル・スイッチング速度

テスト回路



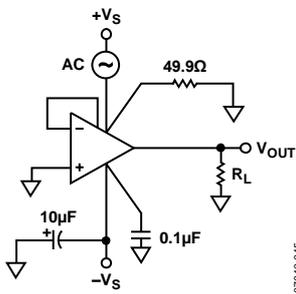
07040-047

図 42.非反転負荷構成



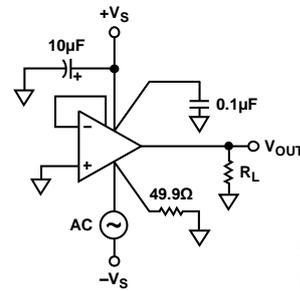
07040-048

図 45.一般的な容量負荷構成



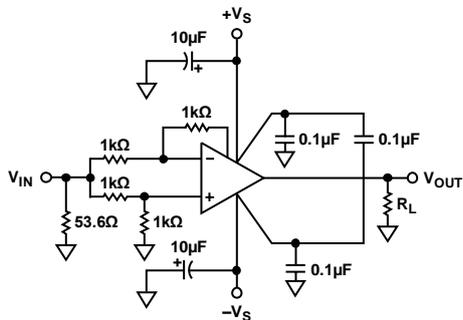
07040-045

図 43.正電源除去比



07040-046

図 46.負電源除去比



07040-046

図 44.コモン・モード除去比

アプリケーション情報

PD ピンの動作

PD ピンはチップをパワーダウンさせるときに使い、静止電流と全体の消費電力を削減します。ロー・レベルでイネーブルされます。すなわち、PD ピンの入力電圧がロー・レベルのとき、チップはフル・パワーで動作します(表 8 参照)。PD は出力を高インピーダンス状態にしないことに注意してください。すなわち、ADA4857 はマルチプレクサとして使うことはできません。

表 8.PD の動作

PD Pin Voltage	Supply Voltage	Chip
$\leq +0.8$ V	± 5 V	Enabled
$\geq +3$ V	± 5 V	Powered down
≤ -1.7 V	± 2.5 V	Enabled
$\geq +0.5$ V	± 2.5 V	Powered down
$\leq +0.8$ V	+5 V	Enabled
$\geq +3$ V	+5 V	Powered down
No connect	All	Enabled

容量負荷についての注意

容量負荷を駆動するときは、 R_{SNUB} を使ってピーキングを抑えます(図 46 参照)。最適抵抗値 40 Ω で、最大 40 pF までの容量負荷でピーキングを 1 dB 以内に抑えることができます。

さまざまなゲインに対する推奨値

表 9 に、種々のゲインとそれに対する性能を求める便利な参考情報を示します。アンプの全体ノイズ性能に対する影響を小さくするため、抵抗 R_F と R_G は小さい値にします。

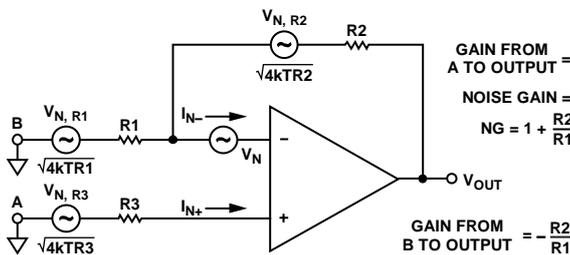
表 9.VS = ± 5 V、TA = 25°C、RL = 1 k Ω 、RT = 49.9 Ω の条件に対するさまざまなゲインと推奨抵抗値

Gain	R_F (Ω)	R_G (Ω)	-3 dB SS BW (MHz), V_{OUT} = 200 mV p-p	Slew Rate (V/ μ s), V_{OUT} = 2 V Step	ADA4857 Voltage Noise (nV/ \sqrt{Hz}), RTO	Total System Noise (nV/ \sqrt{Hz}), RTO
+1	0	N/A	850	2350	4.4	4.49
+2	499	499	360	1680	8.8	9.89
+5	499	124	90	516	22.11	23.49
+10	499	56.2	43	213	43.47	45.31

ノイズ

アンプ回路のノイズ性能を解析するときは、ノイズ源を特定してアンプの全体ノイズ性能に大きな影響を与えるか否かを調べます。ノイズの計算を簡単化するために、実際の電圧ではなくノイズ・スペクトル密度を使って、式から帯域幅を消去します（一般に nV/\sqrt{Hz} で表されるノイズ・スペクトル密度は、帯域幅 1 Hz 内のノイズと等価です）。

図 47 に示すノイズ・モデルは、3 個の抵抗の Johnson ノイズ、オペアンプ電圧ノイズ、アンプ各入力の電流ノイズからなる 6 個のノイズ源を持っています。各ノイズ源は、出力でのノイズにそれぞれ寄与しています。ノイズは一般に RTI (入力換算) で規定されますが、出力換算 (RTO) ノイズの計算の方が簡単であるため、これをノイズ・ゲインで除算して RTI ノイズを求めます。



$$\text{RTI NOISE} = \sqrt{V_N^2 + 4kTR3 + 4kTR1 \left[\frac{R2}{R1 + R2} \right]^2 + I_{N-}^2 R3^2 + I_{N-}^2 \left[\frac{R1 \times R2}{R1 + R2} \right]^2 + 4kTR2 \left[\frac{R1}{R1 + R2} \right]^2}$$

$$\text{RTO NOISE} = NG \times \text{RTI NOISE}$$

図 47. オペアンプ・ノイズの解析モデル

すべての抵抗は、 $\sqrt{4kBT R}$ で計算される Johnson ノイズを持っています。

ここで、 K はボルツマン定数 ($1.38 \times 10^{-23} \text{ J/K}$)。B は Hz で表した帯域幅です。T はケルビン単位の絶対温度。R は抵抗 (Ω)。

覚え易い簡単な関係は、50 Ω の抵抗が 25°C で $1 \text{ nV}/\sqrt{Hz}$ の Johnson ノイズを発生することです。

ノイズ感度が重要なアプリケーションでは、他の大きなノイズ源がアンプに導入されないように注意する必要があります。各抵抗はノイズ源になります。デザイン、レイアウト、部品選択の領域に対する注意は、ロー・ノイズ性能を維持するために重要です。アンプと関連抵抗に対するノイズ性能のまとめを表 9 に示します。

回路の注意事項

ADA4857 ボードを注意深くレイアウトすると、最適性能が得られます。電源バイパス、寄生容量、部品の選択はすべてアンプの全体性能に関係します。

PCB レイアウト

ADA4857 は最大 850 MHz まで動作するため、RF ボードのレイアウト技術を使うことが不可欠です。AD4857 ピンの下のすべてのグラウンド・プレーンと電源プレーンの銅箔を除去して、入力ピンおよび出力ピンとグラウンドとの間の寄生容量が発生しないようにする必要があります。ピンの下のグラウンド・プレーンまたは電源プレーンの銅箔を除去しない場合、SOIC フットプリント上の 1 個の実装パッドは、グラウンドとの間に 0.2 pF もの容量を追加してしまいます。AD4857 の低歪みピン配置では、入力ピンと電源ピンとの間の距離が大きくなっているため、2 次高調波の発生が抑えられます。さらに、帰還ピンがアンプの出力と反転入力との間の距離を小さくしているため、帰還パスの寄生インダクタンスと寄生容量を小さくするのに役立ち、リンギングとピーキングが抑えられます。

電源のバイパス

ADA4857 の電源バイパスは、周波数応答と歪み性能に対して最適化されています。図 42 に、バイパス・コンデンサの推奨値と推奨位置を示します。0.1 μF のバイパス・コンデンサは、電源ピンのできるだけ近くに配置する必要があります。電源バイパスは、安定性、周波数応答、歪み、PSR 性能にとって重要です。2 つの電源の間にコンデンサを接続すると、PSR と歪みの性能向上に役立ちます。10 μF の電解コンデンサは 0.1 μF のコンデンサの近くに接続しますが、不可欠ではありません。ケースによっては、並列コンデンサを使用すると、周波数応答と過渡応答の向上に役立ちます。

グラウンド接続

可能な場合は、グラウンド・プレーンと電源プレーンを使用します。グラウンド・プレーンと電源プレーンは、電源プレーンとグラウンド・リターンとの抵抗とインダクタンスを小さくします。入力のリターン、出力の終端、バイパス・コンデンサ、 R_G はすべて、AD4857 のできるだけ近くに配置する必要があります。出力負荷のグラウンドとバイパス・コンデンサのグラウンドは寄生インダクタンスを小さくするためグラウンド・プレーン上の共通点に戻して、寄生パターン・インダクタンス、リンギング、オーバーシュート、歪みを抑える必要があります。ADA4857 の LFSCP パッケージには露出パドルが付いています。最適な熱性能と電気性能を得るためには、このパドルをグラウンドへハンダ付けする必要があります。高速回路のデザインについては、www.analog.com の「A Practical Guide to High-Speed Printed-Circuit-Board Layout」を参照してください。

外形寸法

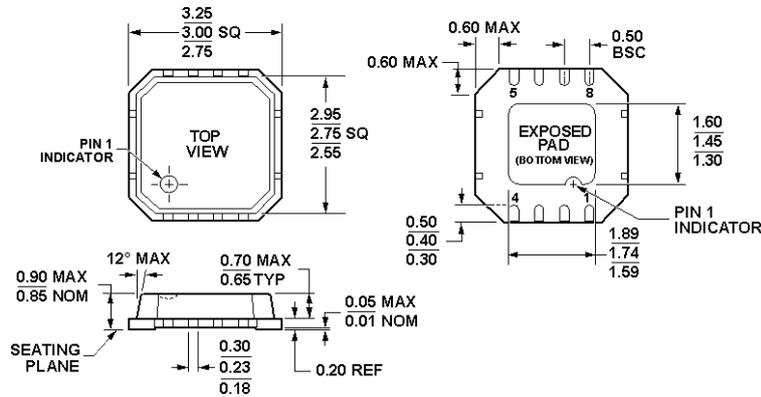
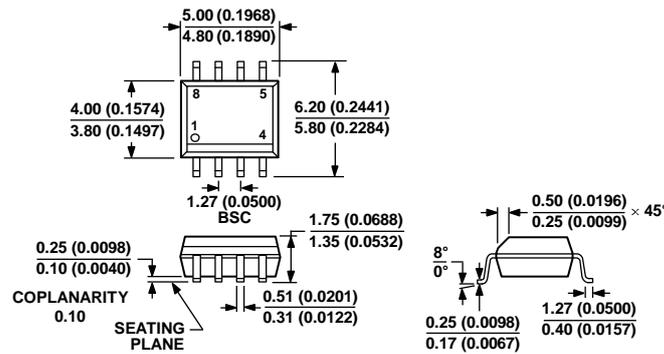
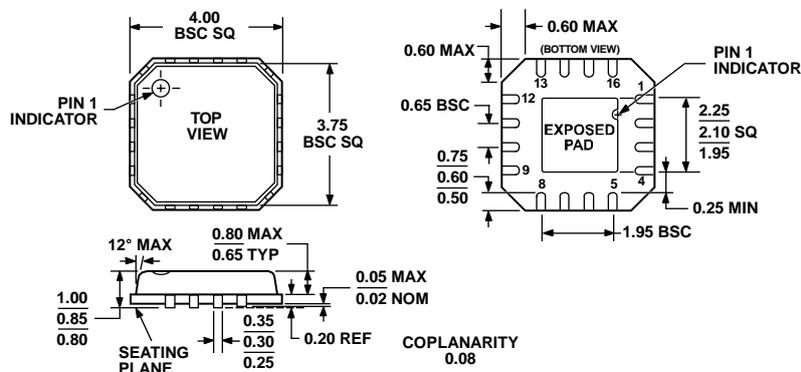


図 48.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VD]
3 mm × 3 mm ボディ、極薄デュアル・リード (CP-8-2)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 49.8 ピン標準スモール・アウトライン・パッケージ [SOIC_N]
(R-8)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-220-VGGC

図 50.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4 mm × 4 mm ボディ、極薄クワッド
(CP-16-4)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4857-1YCPZ-R2 ¹	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	250	H15
ADA4857-1YCPZ-RL ¹	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	5,000	H15
ADA4857-1YCPZ-R7 ¹	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	1,500	H15
ADA4857-1YRZ ¹	-40°C to +125°C	8-lead SOIC_N	R-8	250	
ADA4857-1YRZ-R7 ¹	-40°C to +125°C	8-lead SOIC_N	R-8	5,000	
ADA4857-1YRZ-RL ¹	-40°C to +125°C	8-lead SOIC_N	R-8	1,500	
ADA4857-2YCPZ-R2 ¹	-40°C to +125°C	16-Lead LFSCP_VQ	CP-16-4	250	
ADA4857-2YCPZ-RL ¹	-40°C to +125°C	16-Lead LFSCP_VQ	CP-16-4	5,000	
ADA4857-2YCPZ-R7 ¹	-40°C to +125°C	16-Lead LFSCP_VQ	CP-16-4	1,500	

¹ Z = RoHS 準拠製品