

# <u>超低歪みの差動ADCドライバ</u> ADA4937-1/ADA4937-2

機能ブロック図

### 特長

きわめて低い高調波歪み -112dBc HD2@10MHz -84dBc HD2@70MHz -77dBc HD2@100MHz -102dBc HD3@10MHz -91dBc HD3@70MHz -84dBc HD3@100MHz 低い入力電圧ノイズ:2.2nV/<sub>√</sub>Hz 高速 -3dB帯域幅:1.9GHz、G=1 スルーレート:6000V/µs (25~75%) 高速なオーバードライブ回復: 1ns オフセット電圧:0.5mV (typ) ゲインの外部調整が可能 差動/差動動作またはシングルエンド/差動動作 出力同相電圧が調整可能 単電源動作:3.3~5V

### アプリケーション

ADCドライバ シングルエンド/差動コンバータ IFおよびベースバンド・ゲイン・ブロック 差動バッファ ライン・ドライバ

### 概要

ADA4937は、低ノイズ超低歪みの高速差動アンプです。この アンプは、周波数範囲DC~100MHzで分解能が最大16ビット の高性能ADC(A/Dコンバータ)の駆動用に最適です。 ADA4937は、ADCの入力に合わせて出力同相モードのレベル を調整できます。内部同相帰還ループにより優れた出力平衡が 得られるほか、偶数次の高調波歪みも除去できます。

ADA4937の差動変換ゲインは、簡単に設定することができま す。4本の抵抗で構成される簡単な外部帰還回路でアンプのク ローズド・ループ・ゲインを決めることができます。

ADA4937は、アナログ・デバイセズ独自のシリコン・ゲルマ ニウム (SiGe) 相補型バイポーラ・プロセスで製造されており、 わずか2.2nV/√Hzの入力電圧ノイズで歪みがきわめて低く抑え られます。低DCオフセットで優れた動的性能を備えているた め、さまざまなデータ・アクイジションおよび信号処理アプリ ケーションに最適です。

ADA4937は、鉛フリーの16ピンLFCSP (3mm×3mm) パッ ケージ (ADA4937-1、シングル) または鉛フリーの24ピン LFCSP (4mm×4mm) パッケージ (ADA4937-2、デュアル) を採用しています。ピン配置は、PCボードのレイアウトを容易 にし、歪みが最小になるように最適化されています。

アナログ・デバイセズ株式会社





-55

-60

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の 利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いま せん。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するもので もありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有 に属します。 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。 © 2007 Analog Devices, Inc. All rights reserved.

REV. A

本 社/〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル 電話03 (5402) 8200 大阪営業所/〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号 電話06 (6350) 6868

ADA4937-1は動作温度範囲-40~+105℃で、ADA4937-2 は-40~+85℃で、それぞれ仕様が規定されています。両デバ イスは、3.3Vおよび5Vの電源で動作します。

## <u>目次</u>\_\_\_\_\_\_

特長1
アプリケーション1
概要1
機能ブロック図1
改訂履歷2
仕様
5V電源動作
3.3V電源動作5
絶対最大定格
熱抵抗
ESDに関する注意7
ピン配置と機能の説明8
代表的な性能特性9
テスト回路16
動作説明17
用語の定義17

## 改訂履歴

11/07—Rev. 0 to Rev. A
Added the ADA4937-2 Universal
Changes to Features
Changes to Specifications 3
Changes to Figure 47
Changes to Typical Performance Characteristics9
Inserted Figure 44
Added the Terminating a Single-Ended Input Section 19
Changes to Table 10 and Table 1121
Changes to Layout, Grounding, and Bypassing Section 22
Inserted Figure 59, Figure 60, and Figure 6122
Updated Outline Dimensions
Changes to Ordering Guide

5/07—Revision 0: Initial Version

動作原理18
アプリケーション回路の分析18
クローズドループ・ゲインの設定18
出力ノイズ電圧の計算18
帰還回路の不一致による影響19
アプリケーション回路の入力インピーダンスの計算 19
単電源アプリケーションでの入力同相電圧範囲20
出力同相電圧の設定20
レイアウト、グラウンディング、バイパス22
高性能ADCの駆動23
3.3V電源動作
外形寸法
オーダー・ガイド

# 仕様

### 5V電源動作

特に指定のない限り、T<sub>A</sub>=25℃、+V<sub>S</sub>=5V、-V<sub>S</sub>=0V、V<sub>OCM</sub>=+V<sub>S</sub>/2、R<sub>T</sub>=61.9Ω、R<sub>G</sub>=R<sub>F</sub>=200Ω、G=1、R<sub>L,dm</sub>=1kΩ。特に指定のない限り、すべての仕様はシングルエンド入力および差動出力に対するものです。

### ±DIN--++OUT間の性能

Parameter	Conditions	Min	Тур	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$V_{OUT, dm} = 0.1 \text{ V p-p}$		1900		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT, dm} = 0.1 V p-p$		200		MHz
Large Signal Bandwidth	$V_{OUT, dm} = 2 V p-p$		1700		MHz
Slew Rate	$V_{OUT, dm} = 2 V p-p; 25\%$ to 75%		6000		V/µs
Overdrive Recovery Time	$V_{IN} = 0$ V to 1.5 V step; G = 3.16		<1		ns
NOISE/HARMONIC PERFORMANCE	See Figure 48 for distortion test circuit				
Second Harmonic	V <sub>OUT, dm</sub> = 2 V p-p; 10 MHz		-112		dBc
	V <sub>OUT, dm</sub> = 2 V p-p; 70 MHz		-84		dBc
	V <sub>OUT, dm</sub> = 2 V p-p; 100 MHz		-77		dBc
Third Harmonic	$V_{OUT, dm} = 2 V p-p; 10 MHz$		-102		dBc
	$V_{OUT, dm} = 2 V p-p; 70 MHz$		-91		dBc
	V <sub>OUT, dm</sub> = 2 V p-p; 100 MHz		-84		dBc
IMD	$f_1 = 70 \text{ MHz}; f_2 = 70.1 \text{ MHz}; V_{OUT, dm} = 2 \text{ V p-p}$		-91		dBc
Voltage Noise (RTI)	f = 100  kHz		2.2		$nV/\sqrt{Hz}$
Input Current Noise	f = 100 kHz		4		pA/√Hz
Noise Figure	G = 4; $R_T$ = 136 Ω; $R_F$ = 200 Ω; $R_G$ = 37 Ω; f = 100 MHz		15		dB
Crosstalk (ADA4937-2)	f = 100 MHz		-72		dB
INPUT CHARACTERISTICS					
Offset Voltage	$V_{OS, dm} = V_{OUT, dm}/2; V_{DIN+} = V_{DIN-} = 2.5 V$	-2.5	±0.5	+2.5	mV
	$T_{MIN}$ to $T_{MAX}$ variation		±1		µV/℃
Input Bias Current		-30	-21	-10	μA
	T <sub>MIN</sub> to T <sub>MAX</sub> variation		0.01		µA/℃
Input Offset Current		-2	+0.5	+2	μA
Input Resistance	Differential		6		MΩ
	Common mode		3		ΜΩ
Input Capacitance			1		pF
Input Common-Mode Voltage			0.3 to 3.	0	V
CMRR	$\Delta V_{\rm OUT,\ dm}/\!\Delta V_{\rm IN,\ cm}; \ \Delta V_{\rm IN,\ cm} = \pm 1 \ V$	-69	-80		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing Maximum $\Delta V_{OUT}$ ; single-ended output; $R_F = R_G = 10 \text{ k}\Omega$		0.9		4.1	V
Linear Output Current	Linear Output Current		>100		mA
Output Balance Error	$\Delta V_{OUT, cm} / \Delta V_{OUT, dm}$ ; $\Delta V_{OUT, dm} = 1$ V; 10 MHz; see Figure 47 for test circuit		-61		dB

## V<sub>OCM</sub>—土OUT間の性能

Parameter	Conditions		Тур	Max	Unit
V <sub>OCM</sub> DYNAMIC PERFORMANCE					
-3 dB Bandwidth			440		MHz
Slew Rate	$V_{IN} = 1.5$ V to 3.5 V; 25% to 75%		1150		V/µs
Input Voltage Noise (RTI)	f = 100  kHz		7.5		nV/√Hz
V <sub>OCM</sub> INPUT CHARACTERISTICS					
Input Voltage Range		1.2		3.8	v
Input Resistance		8	10	12	kΩ
Input Offset Voltage	$V_{OS, cm} = V_{OUT, cm}; V_{DIN+} = V_{DIN-} = +V_S/2$		2	7.1	mV
Input Bias Current			0.5		μA
V <sub>OCM</sub> CMRR	$\Delta V_{OUT, dm} / \Delta V_{OCM}; \Delta V_{OCM} = \pm 1 V$	-70	-75		dB
Gain	$\Delta V_{OUT, dm} / \Delta V_{OCM}; \Delta V_{OCM} = \pm 1 V$	0.97	0.98	1.00	V/V
POWER SUPPLY					
Operating Range		3.0		5.25	v
Quiescent Current per Amplifier		38.0	39.5	42.0	mA
	$T_{MIN}$ to $T_{MAX}$ variation		17		µA/℃
	Powered down	0.02	0.3	0.5	mA
Power Supply Rejection Ratio	$\Delta V_{OUT, dm} / \Delta V_S; \Delta V_S = 1 V$	-70	-90		dB
POWER-DOWN (PD)					
PD Input Voltage	Powered down		≤1		v
	Enabled		≥2		v
Turn-Off Time			1		μs
Turn-On Time			200		ns
PD Bias Current per Amplifier					
Enabled	$\overline{\text{PD}} = 5 \text{ V}$	10	30	50	μA
Disabled	$\overline{\text{PD}} = 0 \text{ V}$		-200	-150	μΑ
OPERATING TEMPERATURE RANG	E	-40		+85	°C

## 3.3V電源動作

特に指定のない限り、T<sub>A</sub>=25℃、+V<sub>S</sub>=3.3V、-V<sub>S</sub>=0V、V<sub>OCM</sub>=+V<sub>S</sub>/2、R<sub>T</sub>=61.9Ω、R<sub>G</sub>=R<sub>F</sub>=200Ω、G=1、R<sub>L,dm</sub>=1kΩ。特に 指定のない限り、すべての仕様はシングルエンド入力および差動出力に対するものです。

### ±D<sub>IN</sub>—±OUT間の性能

Parameter	Conditions	Min	Тур	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$V_{OUT, dm} = 0.1 \text{ V p-p}$		1800		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT, dm} = 0.1 \text{ V p-p}$		200		MHz
Large Signal Bandwidth	$V_{OUT, dm} = 2 V p-p$		1300		MHz
Slew Rate	$V_{OUT, dm} = 2 V p-p; 25\% to 75\%$		4000		V/µs
Overdrive Recovery Tim	$V_{IN} = 0$ V to 1.0 V step; G = 3.16 <1				ns
NOISE/HARMONIC PERFORMANCE	See Figure 48 for distortion test circuit				
Second Harmonic	V <sub>OUT, dm</sub> = 2 V p-p; 10 MHz		-113		dBc
	V <sub>OUT, dm</sub> = 2 V p-p; 70 MHz		-85		dBc
	V <sub>OUT, dm</sub> = 2 V p-p; 100 MHz		-77		dBc
Third Harmonic	V <sub>OUT, dm</sub> = 2 V p-p; 10 MHz		-95		dBc
	V <sub>OUT, dm</sub> = 2 V p-p; 70 MHz		-77		dBc
	V <sub>OUT, dm</sub> = 2 V p-p; 100 MHz		-71		dBc
IMD	$f_1 = 70 \text{ MHz}; f_2 = 70.1 \text{ MHz}; V_{OUT, dm} = 2 \text{ V p-p}$		-87		dBc
Voltage Noise (RTI)	f = 100  kHz		2.2		nV/√Hz
Input Current Noise	f = 100 kHz 4		4		pA/√Hz
Noise Figure	$G = 4$ ; $R_T = 136 \Omega$ ; $R_F = 200 \Omega$ ; $R_G = 37 \Omega$ ; $f = 100 \text{ MHz}$		15		dB
Crosstalk (ADA4937-2)	= 100 MHz -72			dB	
INPUT CHARACTERISTICS					
Offset Voltage	$V_{OS, dm} = V_{OUT, dm}/2; V_{DIN+} = V_{DIN-} = +V_S/2$	-2.5	±0.5	+2.5	mV
	T <sub>MIN</sub> to T <sub>MAX</sub> variation		±1		µV/℃
Input Bias Current		-50	-20	-10	μA
	T <sub>MIN</sub> to T <sub>MAX</sub> variation		0.01		µV/℃
Input Resistance	Differential		6		MΩ
	Common mode		3		ΜΩ
Input Capacitance			1		pF
Input Common-Mode Voltage			0.3 to 1.	2	V
CMRR	$\Delta V_{\rm OUT,\ dm}/\Delta_{\rm VIN,\ cm};\ \Delta V_{\rm IN,\ cm}=\pm 1\ V$	-67	-80		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Maximum $\Delta V_{OUT}$ ; single-ended output; $R_F = R_G = 10 \text{ k}\Omega$			2.5	V
Linear Output Current			95		mA
Output Balance Error	$\Delta V_{OUT, cm}/\Delta V_{OUT, dm}$ ; $\Delta V_{OUT, dm} = 1 V$ ; f = 10 MHz; see Figure 47 for test circuit		-61		dB

## V<sub>OCM</sub>—土OUT間の性能

Parameter	Conditions	Min	Тур	Max	Unit
VOCM DYNAMIC PERFORMANCE					
-3 dB Bandwidth			440		MHz
Slew Rate	$V_{IN} = 0.9 V$ to 2.4 V; 25% to 75%		900		V/µs
Input Voltage Noise (RTI)	f = 100 kHz		7.5		nV/√Hz
V <sub>OCM</sub> INPUT CHARACTERISTICS					
Input Voltage Range		1.2		2.1	v
Input Resistance			10		kΩ
Input Offset Voltage	$V_{OS, cm} = V_{OUT, cm}; V_{DIN+} = V_{DIN-} = 1.67 V$		2	7.1	mV
Input Bias Current			0.5		μA
V <sub>OCM</sub> CMRR	$\Delta V_{OUT, dm} / \Delta V_{OCM}; \Delta V_{OCM} = \pm 1 V$	-70	-75		dB
Gain	$\Delta V_{OUT, dm} / \Delta V_{OCM}; \Delta V_{OCM} = \pm 1 V$	0.97	0.98	1.00	V/V
POWER SUPPLY					
Operating Range		3.0		5.25	v
Quiescent Current per Amplifier		36	38	40	mA
	$T_{MIN}$ to $T_{MAX}$ variation		17		µA/℃
	Powered down	0.02	0.2	0.5	mA
Power Supply Rejection Ratio	$\Delta V_{OUT, dm} / \Delta V_S; \Delta V_S = 1 V$	-70	-90		dB
POWER-DOWN (PD)					
PD Input Voltage	Powered down		≤1		v
	Enabled		≥2		v
Turn-Off Time			1		μs
Turn-On Time			200		ns
PD Bias Current per Amplifier					
Enabled	$\overline{\text{PD}} = 3.3 \text{ V}$		20	30	μA
Disabled	$\overline{PD} = 0 V$		-120	-100	μA
OPERATING TEMPERATURE RANGE		-40		+105	°C

# 絶対最大定格

#### 表5

Parameter	Rating
Supply Voltage	5.5 V
Power Dissipation	See Figure 4
Storage Temperature Range	−65°C to +125°C
Operating Temperature Range	
ADA4937-1	−40°C to +105°C
ADA4937-2	−40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300℃
Junction Temperature	150℃

上記の絶対最大定格を超えるストレスを加えると、デバイスに 恒久的な損傷を与えることがあります。この規定はストレス定 格のみを指定するものであり、この仕様の動作セクションに記 載する規定値以上でのデバイス動作を定めたものではありませ ん。デバイスを長時間絶対最大定格状態に置くと、デバイスの 信頼性に影響を与えることがあります。

### 熱抵抗

θ<sub>JA</sub>は、EIA/JESD 51-7の規定に従い、デバイス(露出パッドを含む)を熱伝導率が高い2S2P回路ボードにハンダ付けした状態での仕様です。

#### 表6. 熱抵抗

Package type	$\theta_{JA}$	Unit
16-Lead LFCSP (Exposed Pad)	95	°C/W
24-Lead LFCSP (Exposed Pad)	67	°C/W

### 最大消費電力

ADA4937パッケージの安全な最大消費電力は、チップのジャ ンクション温度(T<sub>J</sub>)の上昇によって制約されます。約150℃ のガラス転移温度で、プラスチックの属性が変化します。この 温度を一時的にでも超えると、パッケージによるチップの応力 が変化し、ADA4937のパラメータ性能が恒久的に変化するこ とがあります。150℃のジャンクション温度を長時間超過する と、シリコン・デバイスの内部が変化し、故障が生じることが あります。 パッケージ内の消費電力  $(P_D)$  は、静止消費電力と、負荷駆動 に起因するパッケージ内の消費電力との和になります。静止電 力は、電源ピン間の電圧  $(V_s)$  に静止電流  $(I_s)$  を乗算して算 出します。負荷駆動に起因する消費電力は、アプリケーション によって異なります。負荷駆動による消費電力を求めるには、 デバイスの電圧降下と負荷電流を乗算します。これらの式には RMS電圧とRMS電流を使用します。

空気流が多いと放熱効果が高まり、 $\theta_{JA}$ の値が小さくなります。 また、金属配線、スルーホール、グラウンド、電源プレーンの 中でパッケージ・ピン/露出パッドに直接接触する金属部分が 増えると、 $\theta_{JA}$ が小さくなります。

図4に、JEDEC規格4層ボード上のシングル16ピンLFCSP (95℃/W) およびデュアル24ピンLFCSP(67℃/W) について 周囲温度に対するパッケージの安全な最大消費電力の関係を示 します。



### ESDに関する注意



ESD(静電放電)の影響を受けやすいデバイス です。電荷を帯びたデバイスや回路ボードは、 検知されないまま放電することがあります。本 製品は当社独自の特許技術であるESD保護回路 を内蔵してはいますが、デバイスで高エネル ギーの静電放電が発生した場合、損傷を生じる 可能性があります。性能劣化や機能低下を防止 するため、ESDに対して適切な予防措置をとる ことが推奨されます。

# ピン配置と機能の説明







#### 表7. ADA4937-1のピン機能の説明

ピン番号	記号	説明
1	-FB	帰還素子接続用の負出力
2	+IN	正入力加算ノード
3	-IN	負入力加算ノード
4	+FB	帰還素子接続用の正出力
5 to 8	$+V_{S}$	正電源電圧
9	V <sub>OCM</sub>	出力同相電圧
10	+OUT	負荷接続用の正出力
11	-OUT	負荷接続用の負出力
12	PD	パワーダウン・ピン
13 to 16	$-V_s$	負電源電圧

#### 表8. ADA4937-2のピン機能の説明

ピン番号	記号	説明
1	-IN1	負入力加算ノード1
2	+FB1	正出力帰還ピン1
3, 4	+V <sub>S1</sub>	正電源電圧1
5	-FB2	負出力帰還ピン2
6	+IN2	正入力加算ノード2
7	-IN2	負入力加算ノード2
8	+FB2	正出力帰還ピン2
9, 10	+V <sub>S2</sub>	正電源電圧2
11	V <sub>OCM2</sub>	出力同相電圧2
12	+OUT2	正出力2
13	-OUT2	負出力2
14	PD2	パワーダウン・ピン2
15, 16	$-V_{S2}$	負電源電圧2
1	V <sub>OCM1</sub>	出力同相電圧1
18	+OUT1	正出力1
19	-OUT1	負出力1
20	PD1	パワーダウン・ピン1
21, 22	$-V_{S1}$	負電源電圧1
23	-FB1	負出力帰還ピン1
24	+IN1	正入力加算ノード1

# 代表的な性能特性

特に指定のない限り、T<sub>A</sub>=25℃、+V<sub>S</sub>=5V、-V<sub>S</sub>=0V、V<sub>OUT,dm</sub>=2Vp-p、V<sub>OCM</sub>=+V<sub>S</sub>/2、R<sub>T</sub>=61.9Ω、R<sub>G</sub>=R<sub>F</sub>=200Ω、G=1、R<sub>L,dm</sub>=1kΩ。テストのセットアップについては、図46を参照。





































図27. 高調波歪 対 周波数およびV<sub>OUT</sub>、V<sub>S</sub>=3.3V



















図40. さまざまな温度に対する電源電流 対 PD、V<sub>S</sub>=3.3V







図39. 小信号V<sub>OCM</sub>パルス応答







図42. 大信号V<sub>OCM</sub>パルス応答



図44. ADA4937-2クロストークの周波数応答

# テスト回路







# 動作説明

#### 用語の定義 -FB O-R<sub>G</sub> +IN OUT +DIN O -0-V<sub>OCM</sub> O ξR<sub>L, dm</sub> V<sub>OUT, dm</sub> ADA4937 -DIN O <del>0</del>+ +OUT R<sub>G R<sub>F</sub></sub> -IN 06591-049 +FB 0-図49. 回路の定義

#### 差動電圧

差動電圧は、2つのノード電圧の差です。たとえば、出力差動 電圧(すなわち出力差動モード電圧)は、次のように定義され ます。

 $V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$ 

ここで、 $V_{+OUT}$ 、 $V_{-OUT}$ は、それぞれ共通リファレンスを基準とした+OUT端子と-OUT端子の電圧です。

### 同相電圧

同相電圧は、2つのノード電圧の平均電圧です。出力同相電圧 は、次のように定義されます。

 $V_{OUT, cm} = (V_{+OUT} + V_{-OUT})/2$ 

平衡

出力平衡は、差動信号の振幅一致度、と互いに逆相関係にある 度合を表します。出力平衡を簡単に測定するには、一致した抵 抗分圧器を各差動電圧ノードの間に接続し、この分圧器の中点 信号を差動信号振幅と比較します(図47を参照)。次式に示す ように、出力平衡は出力同相電圧を出力差動モード電圧で割っ た値になります。

Output Balance Error = 
$$\frac{V_{OUT, cm}}{V_{OUT, dm}}$$

# 動作原理

ADA4937は、互いに逆向きの電圧を出力する2つの出力を持っ ている点で、従来型オペアンプと異っています。オペアンプと 同様に、両出力を所望の電圧にするために、オープンループ・ ゲインと負帰還を使っています。標準的な電圧帰還オペアンプ とほぼ同じように動作するため、シングルエンド/差動変換、 同相電圧レベルのシフト、差動信号の増幅を簡単に行うことが できます。また、ADA4937はオペアンプのように、高い入力 インピーダンスと低い出力インピーダンスを持っています。

2個の帰還ループを使用して、差動出力電圧と同相出力電圧を 制御します。外部抵抗で設定する差動帰還は差動出力電圧のみ を制御し、同相帰還は同相出力電圧のみを制御します。この アーキテクチャにより、出力同相レベルを任意の値に設定する ことが容易になっています。この値は内部同相帰還によって、 V<sub>OCM</sub>への入力電圧と強制的に一致させられますが、差動出力電 圧には影響を与えません。

ADA4937アーキテクチャの採用により、外付け部品が厳密に 一致しなくても、広い周波数範囲で平衡度の高い出力が得られ ます。同相帰還ループが、出力同相電圧の信号成分を強制的に ゼロにします。このため、同振幅で位相が180°異なる完全に 近い平衡度を持つ差動出力が得られます。

### アプリケーション回路の分析

ADA4937は、オープンループ・ゲインと負帰還を使って、差 動誤差電圧と同相誤差電圧を最小にするように動作して、差動 および同相の出力電圧を発生します。差動誤差電圧は、+INお よび-INの各差動入力間の電圧と定義されます(図49を参照)。 ほとんどの場合、この誤差電圧はゼロと見なすことができます。 同様に、実際の出力同相電圧とV<sub>OCM</sub>に入力される電圧との差も ゼロと見なすことができます。この2つの仮定を行うと、任意 のアプリケーション回路を分析することができます。

### 表9. 出力ノイズ電圧密度の計算

### クローズドループ・ゲインの設定

図49の回路の差動モード・ゲインは、次式で定めることができ ます。



ここでは、両側の各入力抵抗  $(\mathbf{R}_{\rm G})$  および各帰還抵抗  $(\mathbf{R}_{\rm F})$  は 等しいものと仮定しています。

### 出力ノイズ電圧の計算

ADA4937の差動出力ノイズは、図50のノイズ・モデルを使っ て計算できます。入力換算のノイズ電圧密度 $v_{nIN}$ は差動入力と してモデル化されており、ノイズ電流 $i_{nIN}$ -および $i_{nIN}$ +は各入力 とグラウンドとの間に流れます。これらのノイズ電流は等しい と見なされ、ゲイン抵抗と帰還抵抗の並列接続の両端に電圧を 生じさせます。 $v_{nCM}$ は $V_{0CM}$ ピンでのノイズ電圧密度です。4本 の抵抗の各々からの成分は、(4kTRx)<sup>1/2</sup>になります。表9に、 入力ノイズ源、増幅率、出力換算ノイズ密度を示します。



Input Noise Contribution	Input Noise Term	Input Noise Voltage Density	Output Multiplication Factor	Output Noise Voltage Density Term
Differential Input	V <sub>nIN</sub>	V <sub>nIN</sub>	G <sub>N</sub>	$v_{nO1} = G_N(v_{nIN})$
Inverting Input	i <sub>nIN</sub> -	$i_{nIN^-} \times (R_{G2}    R_{F2})$	G <sub>N</sub>	$v_{nO2} = G_N[i_{nIN^-} \times (R_{G2}    R_{F2})]$
Noninverting Input	i <sub>nIN+</sub>	$i_{nIN\text{+}} \times (R_{G1} \  R_{F1})$	G <sub>N</sub>	$v_{nO3} = G_N[i_{nIN+} \times (R_{G1}    R_{F1})]$
V <sub>OCM</sub> Input	V <sub>nCM</sub>	V <sub>nCM</sub>	$G_{\scriptscriptstyle N}(\beta_1-\beta_2)$	$v_{nO4} = G_N(\beta_1 - \beta_2)(v_{nCM})$
Gain Resistor R <sub>G1</sub>	V <sub>nRG1</sub>	$(4kTR_{G1})^{1/2}$	$G_{\scriptscriptstyle N}(1-\beta_2)$	$v_{nO5} = G_N(1 - \beta_2)(4kTR_{G1})^{1/2}$
Gain Resistor R <sub>G2</sub>	V <sub>nRG2</sub>	$(4kTR_{G2})^{1/2}$	$G_{\scriptscriptstyle N}(1-\beta_1)$	$v_{nO6} = G_N (1 - \beta_1) (4kTR_{G2})^{1/2}$
Feedback Resistor R <sub>F1</sub>	V <sub>nRF1</sub>	$(4kTR_{F1})^{1/2}$	1	$v_{nO7} = (4kTR_{F1})^{1/2}$
Feedback Resistor R <sub>F2</sub>	V <sub>nRF2</sub>	$(4kTR_{F2})^{1/2}$	1	$v_{nO8} = (4kTR_{F2})^{1/2}$

従来型オペアンプの場合と同様、出力ノイズ電圧密度を計算す るときは、+INと-INでの入力換算項に該当する出力係数を乗 算します。

ここで、  

$$G_N = \frac{2}{(\beta_l + \beta_2)} \text{ は回路のノイズ・ゲインです。}$$

$$\beta_l = \frac{R_{Gl}}{R_{Fl} + R_{Gl}} \text{ および } \beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}} \text{ は帰還率です}$$

 $\mathbf{R}_{F1}/\mathbf{R}_{G1} = \mathbf{R}_{F2}/\mathbf{R}_{G2}$ のとき、 $\beta 1 = \beta 2 = \beta になり、ノイズ・ゲイン$ は次式のようになります。

$$G_N = \frac{1}{\beta} = 1 + \frac{R_F}{R_G}$$

この場合、V<sub>OCM</sub>からの出力ノイズはゼロになります。総合差動 出力ノイズ密度v<sub>nOD</sub>は、個々の出力ノイズ項の2乗和平方根で す。

$$v_{nOD} = \sqrt{\sum_{i=1}^{8} v_{nOi}^2}$$

#### 帰還回路の不一致による影響

前述のように、外部帰還回路  $(\mathbf{R}_{\mathbf{F}}/\mathbf{R}_{\mathbf{G}})$  に不一致が生じていて も、内部同相帰還ループによって出力電圧を強制的に平衡状態 にします。各出力信号の振幅は等しく、位相は180° ずれてい ます。入力出力間の差動モード・ゲインは帰還回路の不一致度 に比例して変動しますが、出力平衡には影響がありません。

外部抵抗比に一致誤差があると、V<sub>OCM</sub>からノイズ成分が発生す るだけではなく、入力端子の同相信号を除去する能力が低下し ます。これは、従来型オペアンプを使用した4本の抵抗による 差動アンプの場合とまったく同じです。

また、入力と出力の同相電圧のDCレベルに一致誤差があると、 小さな差動モード出力オフセット電圧が生じます。G=1のとき に、入力信号がグラウンド基準で出力同相レベルが2.5Vに設定 されている場合、1%誤差の抵抗を使用すると25mV(同相レベ ルの差の1%)の出力オフセットが生じる可能性があります。 1%誤差の抵抗を使用した場合、約40dBの最悪時入力CMRRと 2.5Vレベル・シフトによる25mVの最悪時差動モード出力オフ セットが生じますが、出力平衡誤差が大幅に低下することはあ りません。

### アプリケーション回路の入力インピーダンス の計算

回路の有効な入力インピーダンスは、シングルエンドまたは差動 のいずれの信号源でアンプを駆動しているかで異なります。差 動入力信号が平衡している場合(図51を参照)、入力(+ $D_{IN}$ 、  $-D_{IN}$ )間の入力インピーダンス( $R_{IN, dm}$ )は単に $R_{IN, dm}$ =2× $R_{G}$ に なります。



#### 図51. ADA4937の平衡(差動)入力構成

不平衡のシングルエンド入力信号の場合(図52を参照)、入力 インピーダンスは次のようになります。





差動出力電圧の一部が同相信号として入力に現れて、入力抵抗 R<sub>G</sub>の電圧を部分的に持ち上げるため、インバータとして接続された従来型オペアンプの場合よりも回路の入力インピーダンス が実効的に大きくなります。

#### シングルエンド入力の終端

このセクションでは、ADA4937のシングルエンド入力を正し く終端する方法について説明します。2Vの入力信号源と50Ωの ソース抵抗による簡単な例を使い、簡単な4ステップの手順に よります。





図53. シングルエンド入力インピーダンスR<sub>IN</sub>

2. ソース終端を50 $\Omega$ にするため、 $R_T ||R_{IN} = 50\Omega$ から終端抵抗 ( $R_T$ )を計算します。 $R_T = 61.9\Omega$ となります。



図54. 終端抵抗R<sub>T</sub>の追加

3. ゲイン抵抗の不平衡を補償するため、反転入力ゲイン抵抗  $R_{G}$ と直列に抵抗( $R_{Ts}$ )を接続します。 $R_{Ts}$ はソース抵抗 $R_{s}$ ll $R_{T}$ のテブナン等価回路に等しくなります。



図55. テブナン等価回路の計算

 $R_{TS}=R_{TH}=R_{S}||R_{T}=27.4\Omega$ 。 $V_{TH}$ は $V_{S}/2$ に等しくないことに注意 してください。これは、アンプ回路により終端が影響を受けな い場合に該当します。





- 4. 出力電圧を調節するために帰還抵抗を計算します。
- a. 出力電圧V<sub>OUT</sub>=1Vとするために、次式を使ってR<sub>F</sub>を計 算します。

$$R_F = \left(\frac{V_{OUT} \times (R_G + R_{TS})}{V_{TH}}\right) = \left(\frac{1 \times (200 + 27.4)}{1.1}\right) = 207\Omega$$

b. 入力終端による損失を補償するために $V_0 = V_s = 2V$ とするためには、 $R_F$ を次のように求めます。



図57. シングルエンド/差動変換システム

### 単電源アプリケーションでの入力同相電圧範囲

ADA4937は、グラウンド基準の入力信号をレベル・シフトす るために最適化されています。このため、入力同相電圧範囲の 中心が電源中央値から約1V下に移動しています。5V単電源動 作の場合、アンプの加算ノードの入力同相電圧範囲は0.3~ 3.0V、3.3V電源の場合は0.3~1.9Vです。出力がカットされる のを避けるために、+INピンと-INピンの電圧振幅をこれらの 範囲内に制限する必要があります。

### 出力同相電圧の設定

ADA4937のV<sub>OCM</sub>ピンは、電源中央値(V+およびV-の電圧 の平均値)にほぼ等しい電圧に内部的にバイアスされます。こ の内部バイアスを使用することで、出力同相電圧が予想値の約 100mV以内に収まります

出力同相電圧をもっと高い精度で制御したい場合は、外部ソースまたは抵抗分割器(10kΩ以上の抵抗)の使用を推奨します。 「仕様」に記載した出力同相オフセットは、V<sub>OCM</sub>入力を低イン ピーダンス電圧源によって駆動することを前提としています。

V<sub>OCM</sub>入力をADCの同相電圧レベル(CML)に接続することも 可能です。この場合は、出力に十分な駆動能力があることを確 認してください。V<sub>OCM</sub>ピンの入力インピーダンスは約10kΩで す。複数のADA4937デバイスが1つのリファレンス入力を共用 している場合は、バッファの使用を推奨します。

表10と表11に、平衡入力構成と不平衡入力構成について、いく つかの一般的なゲイン設定、対応する抵抗値、入力インピーダ ンス、出力ノイズ密度、大信号帯域幅不平衡を示します。

表10.	グラウンド基準の差動入力。	DC結合。	1kΩ負荷	(図51を参照)
2010.				

Nominal Gain (dB)	R <sub>F</sub> (Ω)	R <sub>G</sub> (Ω)	R <sub>IN, dm</sub> (Ω)	Differential Output Noise Density (nV/√Hz)
0	200	200	400	5.8
6	402	200	400	9.6
10	402	127	254	12.1
14	402	80.6	161	16.2

表11. グラウンド基準のシングルエンド入力、DC結合、 $R_s=50\Omega$ 、 $R_L=1k\Omega$  (図52を参照)

Nominal Gain (dB)	R <sub>F</sub> (Ω)	R <sub>G1</sub> (Ω)	R <sub>T</sub> (Ω)	$R_{IN,cm}\left(\Omega ight)$	R <sub>G2</sub> (Ω) <sup>1</sup>	Differential Output Noise Density ( $nV/\sqrt{Hz}$ )
0	200	200	61.9	267	226	5.5
6	402	200	60.4	301	228	8.6
10	402	127	66.5	205	155	0.1
14	402	80.6	76.8	138	111	12.2

 $^{1}$  R<sub>G2</sub> = R<sub>G1</sub> + (R<sub>S</sub>||R<sub>T</sub>)

# レイアウト、グラウンディング、 バイパス

高速デバイスのADA4937は、動作環境となるPCボードの影響 を受けます。優れた性能を実現するためには、高速PCボードの 設計の細部に注意を払う必要があります。このセクションでは、 ADA4937-1で行った対策の詳しい例を示します。

まず、ADA4937の周囲のボード領域をできる限り広く覆う1枚 の厚いグラウンド・プレーンが必要です。ただし、帰還抵抗  $(\mathbf{R}_{\rm F})$ 、ゲイン抵抗 $(\mathbf{R}_{\rm G})$ 、入力加算ノード(2番ピン、3番ピン) に近接する領域にはグラウンド・プレーンや電源プレーンを配 置しないでください(図58を参照)。こうすることで、各ノー ドの浮遊容量を最小限に抑えて、高周波領域でのアンプ応答で のピーキングを防止することができます。

EIA/JESD 51-7の規定に従い熱伝導率の高い4層回路ボードに ハンダ接続された露出パッドを含む熱抵抗θ<sub>JA</sub>がデバイスに対し て規定されています。



図58.  $R_F$ および $R_G$ の近傍にグラウンド・プレーンと 電源プレーンを配置しない例

電源ピンは、できる限りデバイス近くのグラウンド・プレーン に直接バイパスする必要があります。この場合、高周波セラ ミック・コンデンサを使用してください。各電源に対して2個 の並列バイパス・コンデンサ(1000pF、0.1µF)を使用するこ とを推奨します。1000pFのコンデンサの方をデバイスの近く に配置し、それより離れた場所に10µFのタンタル・コンデンサ を配置して、各電源からグラウンドへの低周波バイパスを行い ます。

配線の寄生効果を避けるためには、信号経路を短くし、直接的 なルーティングにする必要があります。相補信号が存在する場 合には、安定性能を最大限保証するために対称的なレイアウト を採用してください。差動信号の長いルーティングが必要なと きは、PCボード上の両パターンを互いに近づけて配置し、ルー プ面積が最小になるように差動配線をツイストさせます。こう することでエネルギーの放射を抑え、干渉の影響を受けにくい 回路にします。



図59. PCBサーマル取り付けパッドの推奨寸法(単位mm)



図60. 中間に埋め込まれたグラウンド・プレーンに接続するサーマル・ビアを示す4層PCBの断面図(単位mm)

# 高性能ADCの駆動

ADA4937は、ブロードバンドIFアプリケーションに最適です。 図61は、105MSPSの14ビットADC(AD9445)を駆動する ADA4937のフロントエンド接続を示す回路図です。AD9445 は、差動で駆動した場合に最適な性能を実現します。 ADA4937はシングルエンド/差動変換回路と駆動信号用の バッファ回路を内蔵しているため、ADCを駆動するためのトラ ンスは不要になります。

ADA4937は、5V単電源とユニティ・ゲインの構成で、シング ルエンド入力を差動出力に変換します。267Ωのシングルエン ド入力インピーダンスと並列に接続した61.9Ωの終端抵抗によ り、信号源に対する50Ω終端を構成します。反転入力に26Ωを 追加することにより(合計で226Ω)、信号源の50Ωと非反転入 力を駆動する終端抵抗との並列インピーダンスに一致させま す。 信号ジェネレータは、グラウンド基準の対称なバイポーラ信号 を出力します。ADA4937のV<sub>OCM</sub>ピンは未接続のままにして、 内部分圧器を使って出力同相電圧を電源中央値に設定すること ができます。同相電圧の半分は加算ノードに帰還されて、-IN と+INを1.25Vにバイアスします。2.5Vの同相電圧の場合、 ADA4937の各出力振幅は2.0~3.0Vになるため、2Vp-pの差動 出力が得られます。

カットオフ周波数100MHzの2次ローパスフィルタを介してア ンプの出力をADCにAC結合することで、アンプのノイズ帯域 幅を削減し、さらにドライバ出力をADC入力から絶縁すること ができます。

**SENSE**ピンをAGNDに接続すると、AD9445は2Vp-pフルス ケール入力に設定されます(図61)。



図61. 105MSPSの14ビットADC(AD9445)を駆動するADA4937

図63に、125MSPSの14ビットADC(AD9246)を駆動する ADA4937のフロントエンド接続の簡略回路図を示します。 AD9246は、差動で駆動した場合に最適性能を実現します。 ADA4937はシングルエンド/差動変換回路を内蔵しているた め、ADCを駆動するためのトランスは不要になります。

ADA4937は5V単電源と約2V/Vゲインの構成で、シングルエンド入力を差動出力に変換します。137 $\Omega$ のシングルエンド入力インピーダンスと並列に接続した76.8 $\Omega$ の終端抵抗により、信号源に対して50 $\Omega$ のAC終端を構成します。反転入力に30 $\Omega$ を追加することにより(合計で120 $\Omega$ )、非反転入力を駆動する終端抵抗と信号源の50 $\Omega$ との並列ACインピーダンスに一致させます。

信号ジェネレータは、グラウンド基準の対称なバイポーラ信号 を出力します。ADA4937のV<sub>OCM</sub>ピンは未接続のままであるた め、内部プルアップが出力同相電圧を電源中央値に設定します。 一部が加算ノードに帰還されて、-INと+INを0.55Vにバイア スします。2.5Vの同相電圧の場合、ADA4937の各出力振幅は 2.0~3.0Vになるため、2Vp-pの差動出力が得られます。

出力を単極のローパスフィルタにAC結合することで、アンプ のノイズ帯域幅を削減し、ADCのスイッチド・キャパシタ入力 からある程度絶縁することができます。SENSEピンをAGND に接続すると、AD9246は2Vp-pフルスケール入力に設定され ます。AD9246の入力は、図63に示すようにCML出力を接続することで1Vにバイアスされます。

回路は、さまざまな周波数の-1dBFS信号でテストされていま す。図62に、2次高調波歪み(HD2)と3次高調波歪み(HD3) の周波数特性を示します。





図63. 125MSPSの14ビットADC (AD9246) を駆動するADA4937

### 3.3V電源動作

ADA4937は、単電源アプリケーションで優れた性能を発揮し ます。ADA4937と低電圧ADCを組み合わせることで、消費電 力を大幅に節約できます。

図64に、1.8V単電源動作仕様の250MSPS 12ビットADC (AD9230)をADA4937で駆動する回路の例を示します。ADC は差動で駆動されるときに最適性能を実現し、1.8V電源電圧内 で得られる信号振幅を最大限使用できます。ADA4937は、シ ングルエンド/差動変換、同相電圧レベル・シフト、駆動信号 バッファリングを行います。

ADA4937は3.3V単電源と2V/Vゲインの構成で、シングルエン ド入力を差動出力に変換します。306Ωのシングルエンド入力 インピーダンスと並列に接続した59Ωの終端抵抗により、信号 源に対して50 $\Omega$ 終端を構成します。反転入力に26 $\Omega$ を追加する ことにより(合計で226 $\Omega$ )、非反転入力を駆動する終端抵抗と 信号源の50 $\Omega$ との並列インピーダンスに一致させます。信号 ジェネレータは、グラウンド基準の対称なバイポーラ信号を出 力します。VOCMピンは、AD9230のCML出力に接続されて おり、ADA4937の出力同相電圧を1.4Vに設定します。アンプ の出力同相電圧の1/3が加算ノードに帰還されて、-INと+IN を約0.5Vにバイアスします。1.4Vの同相電圧の場合、 ADA4937の各出力振幅は1.09~1.71Vになるため、1.25Vp-p の差動出力が得られます。

ADA4937とAD9230の間に125MHzの3次ローパスフィルタを 接続することで、アンプのノイズ帯域幅を削減し、ドライバ出 力をADC入力から絶縁することができます。



図64. 250MSPSの12ビットADC(AD9230)を駆動するADA4937

# 外形寸法



### オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4937-1YCPZ-R21	−40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	5,000	H1S
ADA4937-1YCPZ-RL <sup>1</sup>	−40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	1,500	H1S
ADA4937-1YCPZ-R71	−40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	250	H1S
ADA4937-2YCPZ-R21	−40°C to +85°C	24-Lead LFCSP_VQ	CP-24-1	5,000	
ADA4937-2YCPZ-RL1	−40°C to +85°C	24-Lead LFCSP_VQ	CP-24-1	1,500	
ADA4937-2YCPZ-R71	−40°C to +85°C	24-Lead LFCSP_VQ	CP-24-1	250	

<sup>1</sup> Z=RoHS適合製品