

ADF4110/ADF4111/ADF4112/ADF4113

特長

ADF4110 : 550MHz

ADF4111 : 1.2GHz

ADF4112 : 3.0GHz

ADF4113 : 4.0GHz

+2.7~+5.5V電源動作

分離したチャージ・ポンプ電源 (V_p) により3Vシステムにおける電圧調整を拡張

プログラマブルなデュアル・モジュラス・プリスケアラ 8/9、16/17、32/33、64/65

プログラマブルなチャージ・ポンプ電流

プログラマブルなアンチバックラッシュ・パルス幅

3線シリアル・インターフェース

アナログ/デジタル・ロック検出

ハードウェア/ソフトウェア・パワーダウン・モード

アプリケーション

携帯電話基地局 (GSM、PCS、DCS、CDMA、WCDMA)

携帯電話 (GSM、PCS、DCS、CDMA、WCDMA)

無線LAN

通信試験装置

CATV装置

概要

周波数シンセサイザのADF4110ファミリーを使用することにより、無線トランスミッタおよびレシーバにおけるアップ/ダウン・コンバージョンの各セクションのローカル発振器を実現できます。ADF4110/ADF4111/ADF4112/ADF4113は、ローノイズのデジタルPFD (Phase Frequency Detector: 位相周波数検出器)、高精度チャージ・ポンプ、プログラマブルなリファレンス・デバイダ、プログラマブルなA、Bカウンタおよびデュアル・モジュラス・プリスケアラ (P/P+1) で構成されます。Aカウンタ (6ビット) およびBカウンタ (13ビット) は、デュアル・モジュラス・プリスケアラ (P/P+1) とともにNデバイダ (N=BP+A) を実現します。さらに、14ビットのリファレンス・カウンタ (Rカウンタ) は、PFDの入力において選択可能なREFIN周波数を提供します。シンセサイザを外部のループ・フィルタおよびVCO (Voltage Controlled Oscillator: 電圧制御発振器) とともに使用することにより、完全なPLL (Phase-Locked Loop: フェーズ・ロック・ループ) が実現できます。内蔵レジスタの制御は、3線式インターフェース経由で行います。ADF4110/ADF4111/ADF4112/ADF4113は、2.7~5.5Vの電源電圧範囲で動作し、使用しないときにはパワーダウンできます。

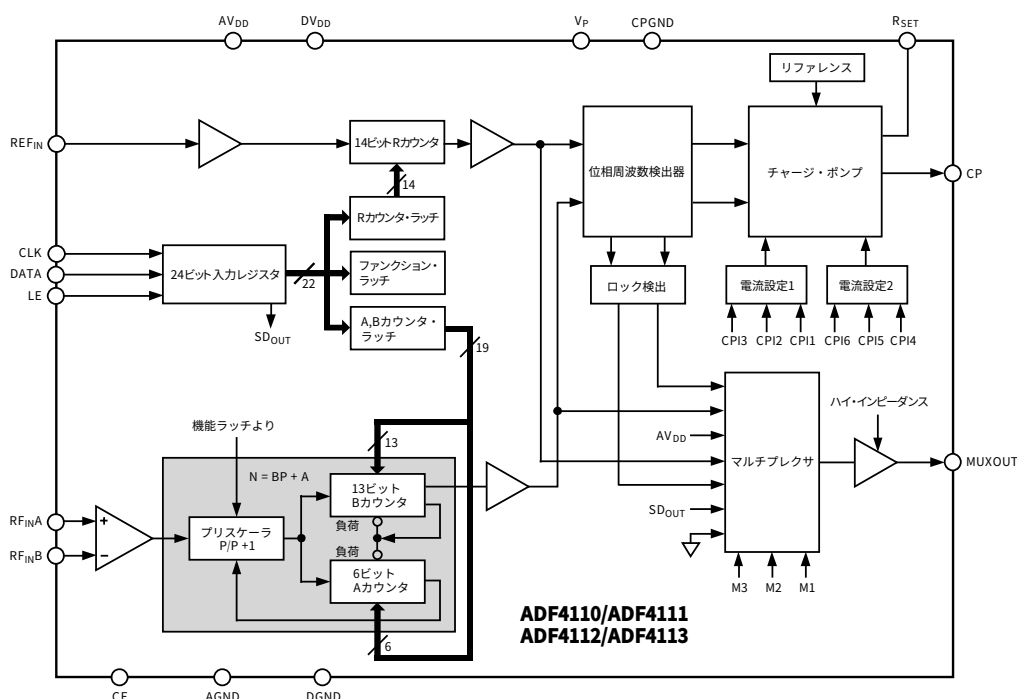


図1. 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。©2005 Analog Devices, Inc. All rights reserved.

ADF4110/ADF4111/ADF4112/ADF4113

目次

仕様	3	入力シフト・レジスタ	13
タイミング特性	5	ファンクション・ラッチ	19
絶対最大定格	6	初期化ラッチ	20
トランジスタ数	6	初期パワーアップ後のデバイスのプログラミング	20
ESDの注意	6	プリスケアラ出力の再同期化	21
ピン配置と機能の説明	7	アプリケーション	22
代表的な性能特性	8	GSM基地局トランスミッタ用LO（局部発振器）	22
回路の説明	12	D/AコンバータによるR _{SET} ピンの駆動	23
リファレンス入力部	12	シャットダウン回路	23
RF入力段	12	広帯域PLL	23
プリスケアラ（P/P + 1）	12	ダイレクト・コンバージョン変調器	25
AおよびBカウンタ	12	インターフェース	26
Rカウンタ	12	CSPパッケージのPCボード設計ガイドライン	26
位相周波数検出器（PFD）およびチャージ・ポンプ	13	外形寸法	27
Muxoutおよびロック検出	13	オーダー・ガイド	28

改訂履歴

3/04—Data sheet changed from Rev. B to Rev. C.

Updated Format	Universal
Changes to Specifications	2
Changes to Figure 32	22
Changes to the Ordering Guide	28

3/03—Data sheet changed from Rev. A to Rev. B.

Edits to Specifications	2
Updated OUTLINE DIMENSIONS	24

1/01—Data sheet changed from Rev. 0 to Rev. A.

Changes to DC Specifications in B Version, B Chips, Unit, and Test Conditions/Comments Columns	2
Changes to Absolute Maximum Rating	4
Changes to FRINA Function Test	5
Changes to Figure 8	7
New Graph Added—TPC 22	9
Change to PD Polarity Box in Table V	15
Change to PD Polarity Box in Table VI	16
Change to PD Polarity Paragraph	17
Addition of New Material (PCB Design Guidelines for Chip≒Scale package)	23
Replacement of CP-20 Outline with CP-20 [2] Outline	24

ADF4110/ADF4111/ADF4112/ADF4113—仕様¹

(特に指定のない限り、 $AV_{DD}=DV_{DD}=3V\pm10\%$ 、 $5V\pm10\%$ 、 $AV_{DD}\leq V_P\leq 6.0V$ 、 $AGND=DGND=CPGND=0V$ 、 $R_{SET}=4.7k\Omega$ 、dBmは50Ωを基準。Bバージョンの動作温度範囲は $-40\sim+85^{\circ}C$ です。 $T_A=T_{MIN}\sim T_{MAX}$)

表1.

パラメータ	Bバージョン	Bチップ ¹	単位	テスト条件／備考
RF特性 (3V) RF入力感度 RF入力周波数 ADF4110 ADF4110 ADF4111 ADF4112 ADF4112 ADF4113 最大許容プリスケアラ 出力周波数 ²	−15/0 80/550 50/550 0.08/1.2 0.2/3.0 0.1/3.0 0.2/3.7 165	−15/0 80/550 50/550 0.08/1.2 0.2/3.0 0.1/3.0 0.2/3.7 165	dBm min/max MHz min/max MHz min/max GHz min/max GHz min/max GHz min/max GHz min/max MHz max	入力回路について図29参照 低周波の場合、スルーレート $>30V/\mu s$ を使用 入力レベル $=-10dBm$ 低周波の場合、スルーレート $>30V/\mu s$ を使用 低周波の場合、スルーレート $>75V/\mu s$ を使用 入力レベル $=-10dBm$ 入力レベル $=-10dBm$ 。低周波の場合、 スルーレート $130V/\mu s$ を使用
RF特性 (5V) RF入力感度 RF入力周波数 ADF4110 ADF4111 ADF4112 ADF4113 ADF4113 最大許容プリスケアラ 出力周波数 ²	−10/0 80/550 0.08/1.4 0.1/3.0 0.2/3.7 0.2/4.0 200	−10/0 80/550 0.08/1.4 0.1/3.0 0.2/3.7 0.2/4.0 200	dBm min/max MHz min/max GHz min/max GHz min/max GHz min/max GHz min/max MHz max	低周波の場合、スルーレート $>50V/\mu s$ を使用 低周波の場合、スルーレート $>50V/\mu s$ を使用 低周波の場合、スルーレート $>75V/\mu s$ を使用 低周波の場合、スルーレート $>130V/\mu s$ を使用 入力レベル $=-5dBm$
REFIN特性 REFIN入力周波数 リファレンス入力感度 ⁴ REFIN入力容量 REFIN入力電流	5/104 0.4/ AV_{DD} 3.0/ AV_{DD} 10 ± 100	5/104 0.4/ AV_{DD} 3.0/ AV_{DD} 10 ± 100	MHz min/max Vp-p min/max Vp-p min/max pF max μA max	$f<5MHz$ の場合は、スルーレート $>100\mu s$ を使用 $AV_{DD}=3.3V$ 、 $AV_{DD}/2$ バイアス時。注3参照 $AV_{DD}=5V$ 、 $AV_{DD}/2$ バイアス時。注3参照
位相検出器周波数 ⁴	55	55	MHz max	
チャージ・ポンプ I _{CP} シンク／ソース 最高値 最低値 絶対精度 R _{SET} 範囲 I _{CP} スリーステート・リーク電流 シンク／ソース電流マッチング I _{CP} 対V _{CP} I _{CP} 対温度	 5 625 2.5 2.7/10 1 2 1.5 2	 5 625 2.5 2.7/10 1 2 1.5 2	 mA typ μA typ % typ kΩ typ nA typ % typ % typ % typ	プログラマブル (表9参照) $R_{SET}=4.7k\Omega$ $R_{SET}=4.7k\Omega$ 表9参照 $0.5V\leq V_{CP}\leq V_P-0.5V$ $0.5V\leq V_{CP}\leq V_P-0.5V$ $V_{CP}=V_P/2$
ロジック入力 V _{INH} (入力ハイ電圧) V _{INL} (入力ロー電圧) I _{INH} /I _{INL} (入力電流) C _{IN} (入力容量)	 0.8× DV_{DD} 0.2× DV_{DD} ± 1 10	 0.8× DV_{DD} 0.2× DV_{DD} ± 1 10	 V min V max μA max pF max	
ロジック出力 V _{OH} (出力ハイ電圧) V _{OL} (出力ロー電圧)	 $DV_{DD}-0.4$ 0.4	 $DV_{DD}-0.4$ 0.4	 V min V max	 I _{OH} $=500\mu A$ I _{OL} $=500\mu A$
電源 AV _{DD} DV _{DD} V _P I _{DD} ⁵ (AI _{DD} +DI _{DD}) ADF4110 ADF4111 ADF4112 ADF4113 I _P 低消費電力スリープ・モード	 2.7/5.5 AV_{DD} $AV_{DD}/6.0$ 5.5 5.5 7.5 11 0.5 1	 2.7/5.5 AV_{DD} $AV_{DD}/6.0$ 4.5 4.5 6.5 8.5 0.5 1	 V min/V max V min/V max mA max mA max mA max mA max mA max μA typ	 AV _{DD} $\leq V_P\leq 6.0V$ 図25および26参照 4.5mA typ 4.5mA typ 6.5mA typ 8.5mA typ T _A $=25^{\circ}C$

ADF4110/ADF4111/ADF4112/ADF4113

パラメータ	Bバージョン	Bチップ ¹	単位	テスト条件／備考
ノイズ特性				
ADF4113位相ノイズ・フロア ⁶	−215	−215	dBc/Hz typ	@VCO出力
位相ノイズ特性 ⁷				@1kHzオフセットおよび200kHz PFD周波数
ADF4110：540MHz出力 ⁸	−91	−91	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4111：900MHz出力 ⁹	−87	−87	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4112：900MHz出力 ⁹	−90	−90	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4113：900MHz出力 ⁹	−91	−91	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4111：836MHz出力 ¹⁰	−78	−78	dBc/Hz typ	@300Hzオフセットおよび30kHz PFD周波数
ADF4112：1750MHz出力 ¹¹	−86	−86	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4112：1750MHz出力 ¹²	−66	−66	dBc/Hz typ	@200Hzオフセットおよび10kHz PFD周波数
ADF4112：1960MHz出力 ¹³	−84	−84	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4113：1960MHz出力 ¹³	−85	−85	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4113：3100MHz出力 ¹⁴	−86	−86	dBc/Hz typ	@1kHzオフセットおよび1MHz PFD周波数
スプリアス信号				
ADF4110：540MHz出力 ⁸	−97/−106	−97/−106	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4111：900MHz出力 ⁹	−98/−110	−98/−110	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4112：900MHz出力 ⁹	−91/−100	−91/−100	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4113：900MHz出力 ⁹	−100/−110	−100/−110	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4111：836MHz出力 ¹⁰	−81/−84	−81/−84	dBc typ	@30kHz/60kHzおよび30kHz PFD周波数
ADF4112：1750MHz出力 ¹¹	−88/−90	−88/−90	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4112：1750MHz出力 ¹²	−65/−73	−65/−73	dBc typ	@10kHz/20kHzおよび10kHz PFD周波数
ADF4112：1960MHz出力 ¹³	−80/−84	−80/−84	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4113：1960MHz出力 ¹³	−80/−84	−80/−84	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4113：3100MHz出力 ¹⁴	−80/−82	−82/−82	dBc typ	@1MHz/2MHzおよび1MHz PFD周波数

注

- Bチップの仕様は代表値です。
- これはCMOSカウンタの最大動作周波数です。プリスケアラの値を適切に選択して、RF入力がこの値を下回る周波数に分周されるようにしてください。
- ACカップリングでAV_{DD}/2バイアスを保証。代表的な回路については図33を参照。
- 設計により保証されています。
- T_A = 25°C, AV_{DD} = DV_{DD} = 3V, P = 16, SYNC = 0, DLY = 0, ADF4110に対するRF_{IN} = 540MHz, ADF4111, ADF4112, ADF4113に対するRF_{IN} = 900MHz。
- シンセサイザの位相ノイズ・フロア (PN_{SYNTH}) はVCOの出力で帯域内位相ノイズ (PN_{TOT}) を測定し、20logN (NはNデバイダの値) と10logF_{PFD}を減算して求められています。PN_{SYNTH} = PN_{TOT} − 10logF_{PFD} − 20logN
- 位相ノイズはEVAL-ADF411XEB1評価ボードおよびHP8562Eスペクトラム・アナライザを用いて測定されています。スペクトラム・アナライザはシンセサイザに対してREFINを供給します (f_{REFOUT} = 10MHz@0dBm)。SYNC = 0, DLY = 0 (表7)。
- f_{REFIN} = 10MHz, f_{PFD} = 200kHz, オフセット周波数 = 1kHz, f_{RF} = 540MHz, N = 2700, ループ帯域幅 = 20kHz。
- f_{REFIN} = 10MHz, f_{PFD} = 200kHz, オフセット周波数 = 1kHz, f_{RF} = 900MHz, N = 4500, ループ帯域幅 = 20kHz。
- f_{REFIN} = 10MHz, f_{PFD} = 30kHz, オフセット周波数 = 300Hz, f_{RF} = 836MHz, N = 27867, ループ帯域幅 = 3kHz。
- f_{REFIN} = 10MHz, f_{PFD} = 200kHz, オフセット周波数 = 1kHz, f_{RF} = 1750MHz, N = 8750, ループ帯域幅 = 20kHz。
- f_{REFIN} = 10MHz, f_{PFD} = 10kHz, オフセット周波数 = 200Hz, f_{RF} = 1750MHz, N = 175000, ループ帯域幅 = 1kHz。
- f_{REFIN} = 10MHz, f_{PFD} = 200kHz, オフセット周波数 = 1kHz, f_{RF} = 1960MHz, N = 9800, ループ帯域幅 = 20kHz。
- f_{REFIN} = 10MHz, f_{PFD} = 1MHz, オフセット周波数 = 1kHz, f_{RF} = 3100MHz, N = 3100, ループ帯域幅 = 20kHz。

ADF4110/ADF4111/ADF4112/ADF4113

タイミング特性

(特に指定のない限り、 $AV_{DD}=DV_{DD}=3V\pm 10\%$ 、 $5V\pm 10\%$ 、 $AV_{DD}\leq V_P\leq 6V$ 、 $AGND=DGND=CPGND=0V$ 、 $R_{SET}=4.7k\Omega$ 、 $T_A=T_{MIN}\sim T_{MAX}$)

表2.

パラメータ	$T_{MIN}\sim T_{MAX}$ における限界 (Bバージョン)	単位	テスト条件／備考
t_1	10	ns min	DATAからCLOCKへのセットアップ・タイム
t_2	10	ns min	DATAからCLOCKへのホールド・タイム
t_3	25	ns min	クロック・ハイ期間
t_4	25	ns min	クロック・ロー期間
t_5	10	ns min	CLOCKからLEへのセットアップ・タイム
t_6	20	ns min	LEパルス幅

注

1 設計により保証。出荷テストは実施していません。

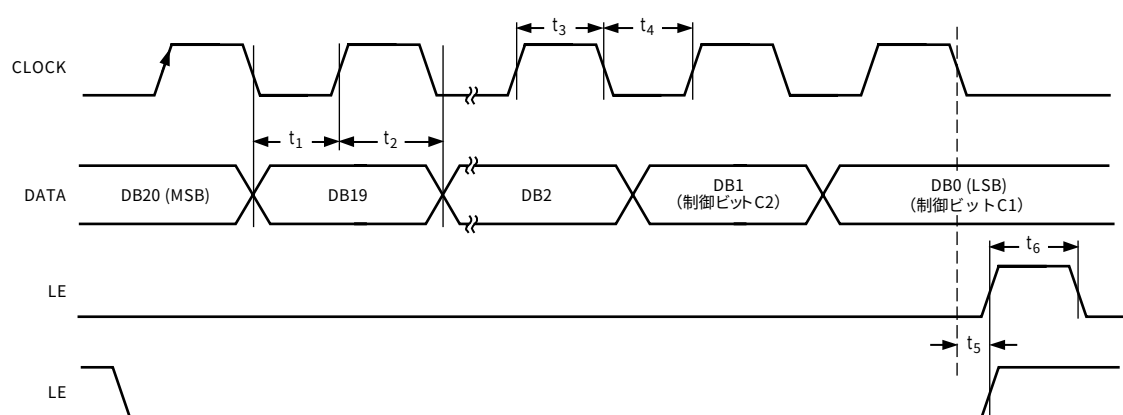


図2. タイミング図

ADF4110/ADF4111/ADF4112/ADF4113

絶対最大定格

(特に指定のない限り、 $T_A=25^{\circ}\text{C}$)

表3.

パラメータ	定格
GND ¹ に対する AV_{DD}	$-0.3\sim+7\text{V}$
DV _{DD} に対する AV_{DD}	$-0.3\sim+0.3\text{V}$
GNDに対する V_P	$-0.3\sim+7\text{V}$
AV_{DD} に対する V_P	$-0.3\sim+5.5\text{V}$
GNDに対するデジタルI/O電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
GNDに対するアナログI/O電圧	$-0.3\text{V}\sim V_P+0.3\text{V}$
GNDに対するREF _{IN} 、REF _{IN} A、REF _{IN} B	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
RF _{IN} Bに対するREF _{IN} A	$\pm 320\text{mV}$
動作温度範囲	
工業用 (Bバージョン)	$-40\sim+85^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
最大ジャンクション温度	150°C
TSSOP θ_{JA} 熱抵抗	150.4°C/W
LFCSP θ_{JA} 熱抵抗 (パドル・ハンダ付け)	122°C/W
LFCSP θ_{JA} 熱抵抗 (パドル・ハンダ付けなし)	216°C/W
リード・ピン温度、ハンダ付け	
ベーキング時間 (60秒)	215°C
赤外線 (15秒)	220°C

GND=AGND=DGND=OV

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

このデバイスはESD定格<2kVの高性能RF集積回路でありESDに敏感です。デバイスの取扱いと組立てには適切な配慮が必要です。

トランジスタ数

6425 (CMOS) および303 (バイポーラ)

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ADF4110/ADF4111/ADF4112/ADF4113

ピン配置と機能の説明

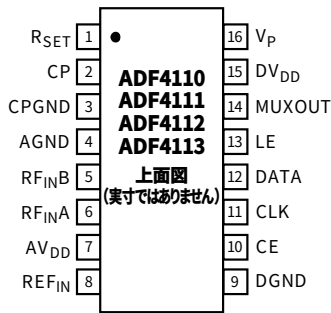


図3. TSSOPピン配置

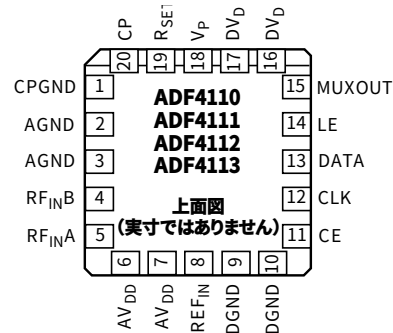


図4. LFCSPピン配置

表4. ピン機能の説明

TSSOP ピン番号	LFCSP ピン番号	記号	機能
1	19	R _{SET}	このピンとCPGNDの間に抵抗を接続することにより最大チャージ・ポンプ出力電流が設定されます。R _{SET} ピンにおける公称電圧は0.56Vです。I _{CP} とR _{SET} の関係は次式で得られます。 $I_{CPmax} = \frac{23.5}{R_{SET}}$
2	20	CP	したがって、R _{SET} =4.7kΩでは、I _{CPmax} =5mAです。 チャージ・ポンプ出力。これがイネーブルにされると外部ループ・フィルタに±I _{CP} が供給され、したがって外部VCOが駆動されます。
3	1	CPGND	チャージ・ポンプ・グラウンド。チャージ・ポンプのグラウンド・リターン・パスです。
4	2、3	AGND	アナログ・グラウンド。プリスケアラのグラウンド・リターン・パスです。
5	4	RF _{INB}	RFプリスケアラへの相補入力。このポイントは代表値100pF程度の小さなバイパス・コンデンサを使って、グラウンド・プレーンにデカップリングしてください。図29を参照。
6	5	RF _{INA}	RFプリスケアラへの入力。この小信号入力は通常、VCOからACカップリングされます。
7	6、7	AV _{DD}	アナログ電源。2.7~5.5Vの範囲とすることができます。アナログ・グラウンドに対するデカップリング・コンデンサは、このピンのできるだけ近くに設置する必要があります。AV _{DD} はDV _{DD} と同じ値である必要があります。
8	8	REF _{IN}	リファレンス入力。公称スレッシュホールドV _{DD} /2、等価入力抵抗100kΩのCMOS入力です。図28を参照。この入力はTTLまたはCMOS水晶発振器から駆動、またはACカップリングすることができます。
9	9、10	DGND	デジタル・グラウンド。
10	11	CE	チップ・イネーブル。このピンをロジック・ローとすることによりデバイスがパワーダウンされ、チャージ・ポンプがスリーステート・モードとなります。このピンをハイにすると、パワーダウン・ビットF2の状態に応じてデバイスがパワーアップされます。
11	12	CLK	シリアル・クロック入力。このシリアル・クロックはシリアル・データをレジスタにクロック入力するために使用されます。データはCLKの立上がりエッジで24ビットのシフト・レジスタにラッチされます。この入力はハイ・インピーダンスのCMOS入力です。
12	13	DATA	シリアル・データ入力。シリアル・データは2つのLSBを制御ビットとしてMSBファーストでロードされます。この入力はハイ・インピーダンスのCMOS入力です。
13	14	LE	ロード・イネーブル、CMOS入力。LEがハイとなったときに、シフト・レジスタに格納されたデータが、4つのラッチのうちの制御ビットによって選択された1つにロードされます。
14	15	MUXOUT	このマルチプレクサ出力により、ロック検出、スケールされたRFまたはリファレンス周波数のいずれかが外部からアクセス可能となります。
15	16、17	DV _{DD}	デジタル電源。2.7~5.5Vの範囲とすることができます。デジタル・グラウンドに対するデカップリング・コンデンサは、このピンのできるだけ近くに設置する必要があります。DV _{DD} はAV _{DD} と同じ値である必要があります。
16	18	V _P	チャージ・ポンプ電源。V _{DD} 以上にしてください。V _{DD} が3Vのシステムでは、これを6Vに設定して6Vまでのチューニング範囲のVCOを駆動するために使用できます。

ADF4110/ADF4111/ADF4112/ADF4113

代表的な性能特性

周波数単位 GHz	パラメータ・ タイプ S	データ・フォーマット MA	キーワード R	インピーダンス-Ω 50	
FREQ	MAGS11	ANGS11	FREQ	MAGS11	ANGS11
0.05	0.89207	-2.0571	1.05	0.9512	-40.134
0.10	0.8886	-4.4427	1.10	0.93458	-43.747
0.15	0.89022	-6.3212	1.15	0.94782	-44.393
0.20	0.96323	-2.1393	1.20	0.96875	-46.937
0.25	0.90566	-12.13	1.25	0.92216	-49.6
0.30	0.90307	-13.52	1.30	0.93755	-51.884
0.35	0.89318	-15.746	1.35	0.96178	-51.21
0.40	0.89806	-18.056	1.40	0.94354	-53.55
0.45	0.89565	-19.693	1.45	0.95189	-56.786
0.50	0.88538	-22.246	1.50	0.97647	-58.781
0.55	0.89699	-24.336	1.55	0.98619	-60.545
0.60	0.89927	-25.948	1.60	0.95459	-61.43
0.65	0.87797	-28.457	1.65	0.97945	-61.241
0.70	0.90765	-29.735	1.70	0.98864	-64.051
0.75	0.88526	-31.879	1.75	0.97399	-66.19
0.80	0.81267	-32.681	1.80	0.97216	-63.775
0.85	0.90357	-31.522			
0.90	0.92954	-34.222			
0.95	0.92087	-36.961			
1.00	0.93788	-39.343			

図5. ADF4113 RF入力Sパラメータデータ (1.8GHzまで)

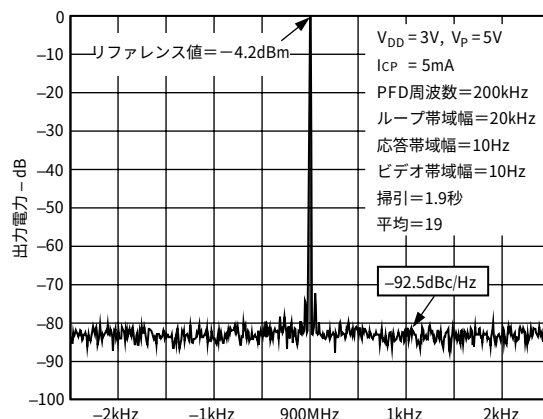


図8. ADF4113位相ノイズ (900MHz、200kHz、20kHz)、DLYおよびSYNCイネーブル

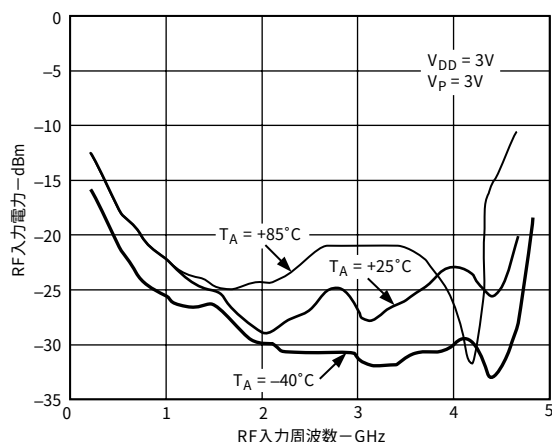


図6. 入力感度 (ADF4113)

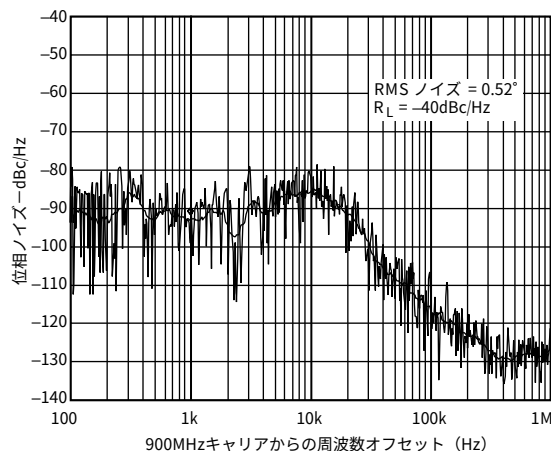


図9. ADF4113積分位相ノイズ (900MHz、200kHz、20kHz、代表的ロック時間：400us)

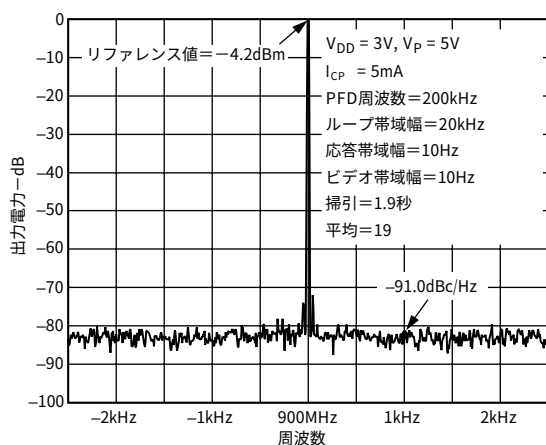


図7. ADF4113位相ノイズ (900MHz、200kHz、20kHz)

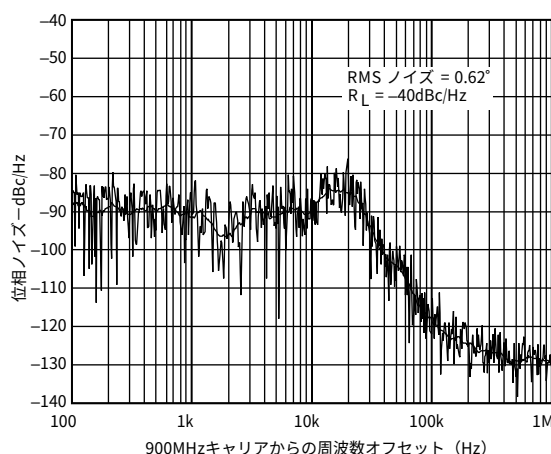


図10. ADF4113積分位相ノイズ (900MHz、200kHz、35kHz、代表的ロック時間：200us)

ADF4110/ADF4111/ADF4112/ADF4113

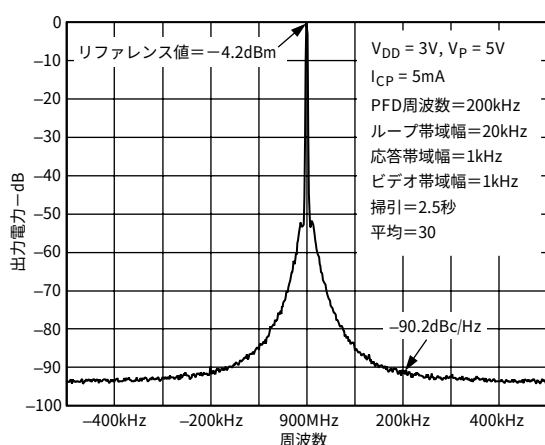


図11. ADF4113リファレンス・スプリアス (900MHz、200kHz、20kHz)

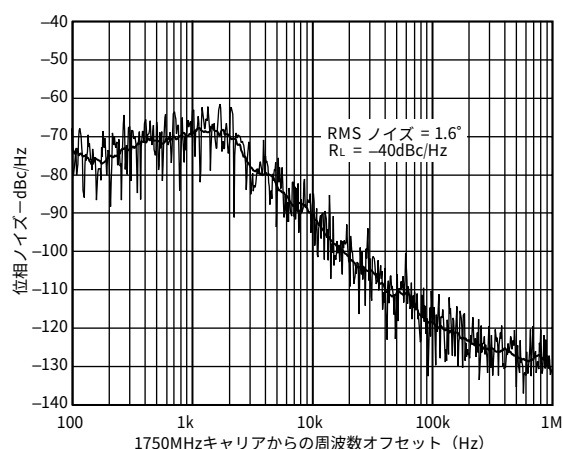


図14. ADF4113積分位相ノイズ (1750MHz、30kHz、3kHz)

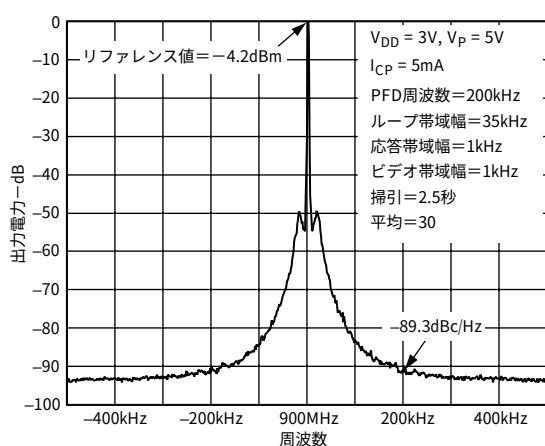


図12. ADF4113リファレンス・スプリアス (900MHz、200kHz、35kHz)

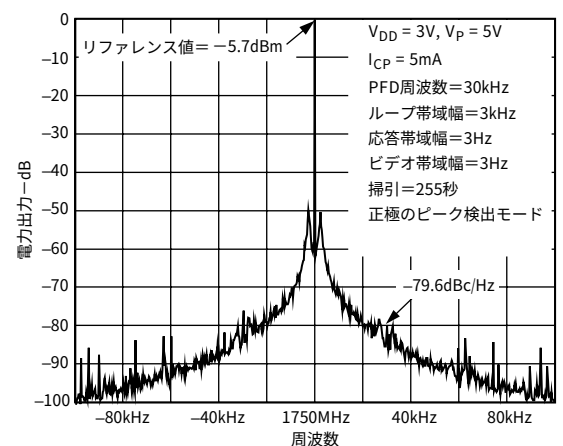


図15. ADF4113リファレンス・スプリアス (1750MHz、30kHz、3kHz)

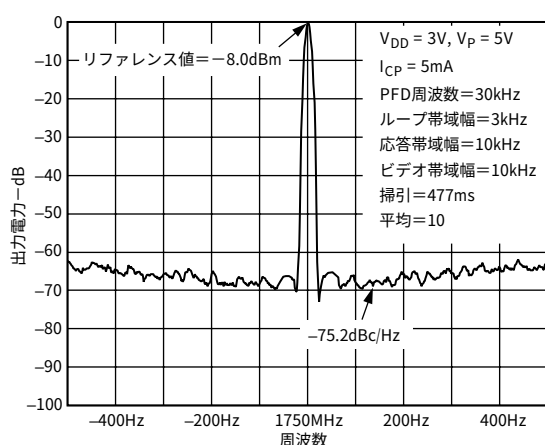


図13. ADF4113位相ノイズ (1750MHz、30kHz、3kHz)

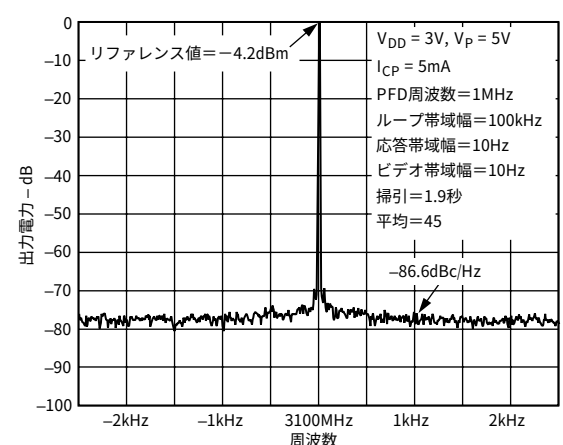


図16. ADF4113位相ノイズ (3100MHz、1MHz、100kHz)

ADF4110/ADF4111/ADF4112/ADF4113

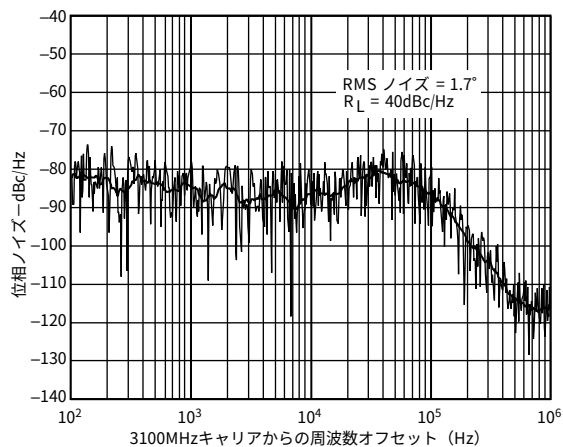


図17. ADF4113積分位相ノイズ
(3100MHz、1MHz、100kHz)

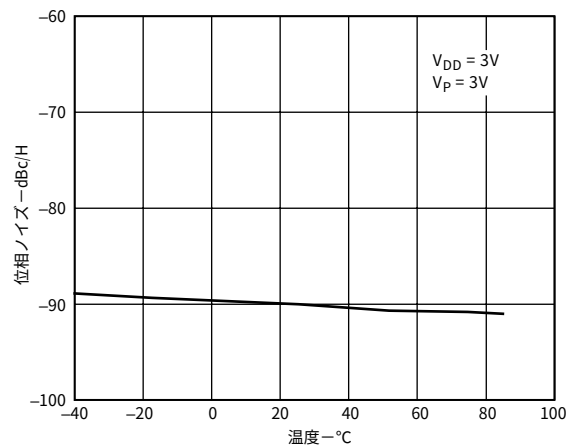


図20. ADF4113位相ノイズの温度特性
(900MHz、200kHz、20kHz)

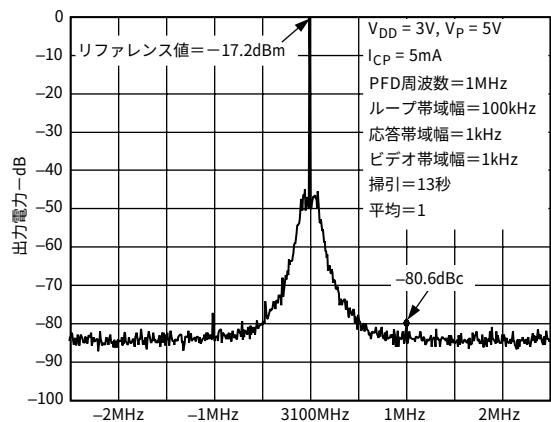


図18. ADF4113リファレンスのスプリアス
(3100MHz、1MHz、100kHz)

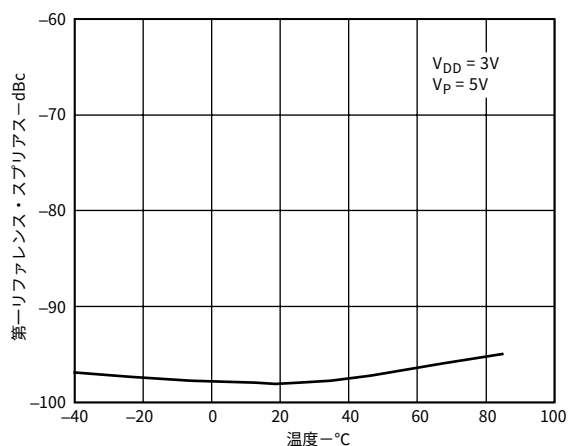


図21. ADF4113リファレンス・スプリアスの温度特性
(900MHz、200kHz、20kHz)

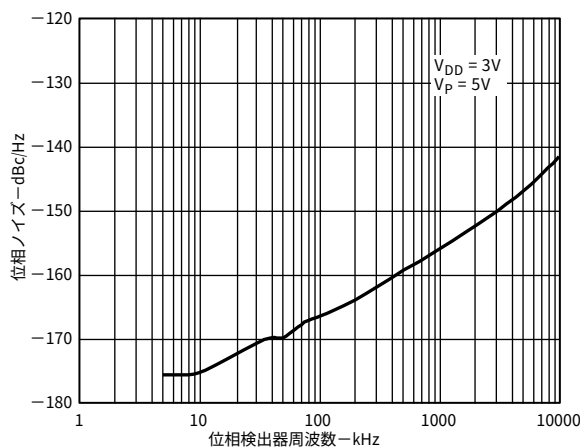


図19. ADF4113位相ノイズ
(CP出力を基準) 対 PFD周波数

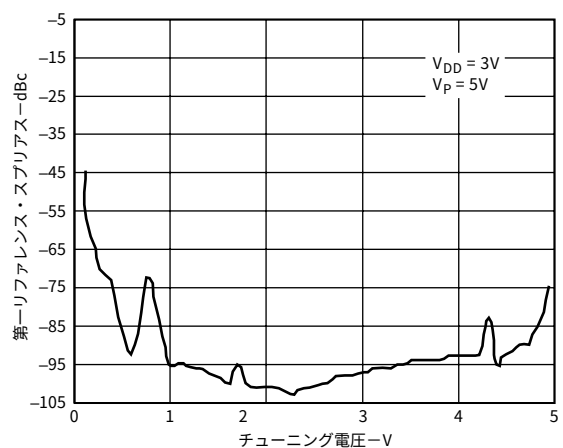


図22. ADF4113リファレンス・スプリアス (200kHz)
対 V_TUNE (900MHz、200kHz、20kHz)

ADF4110/ADF4111/ADF4112/ADF4113

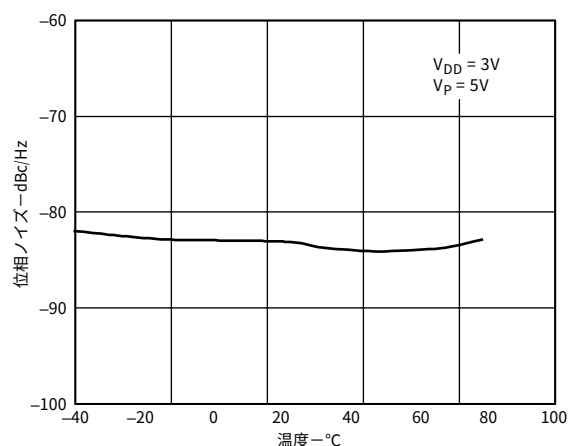


図23. ADF4113位相ノイズの温度特性
(836MHz、30kHz、3kHz)

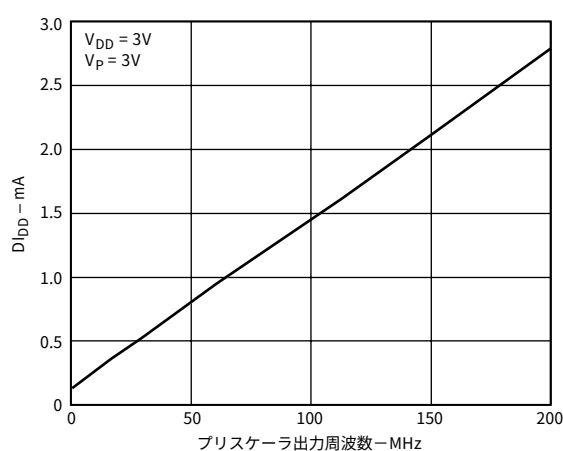


図26. DI DD 対 プリスケラ出力周波数
(ADF4110/11/12/13)

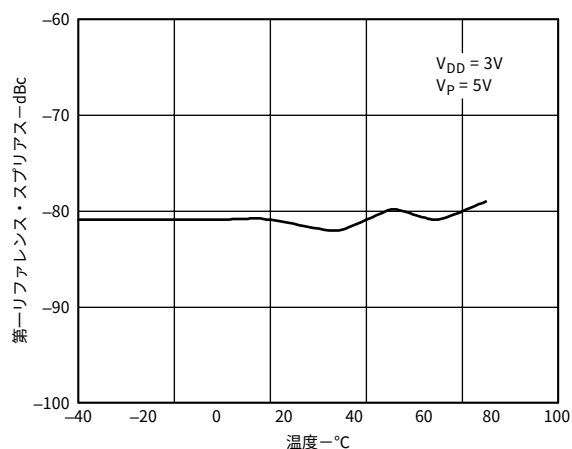


図24. ADF4113リファレンス・スプリアスの温度特性
(836MHz、30kHz、3kHz)

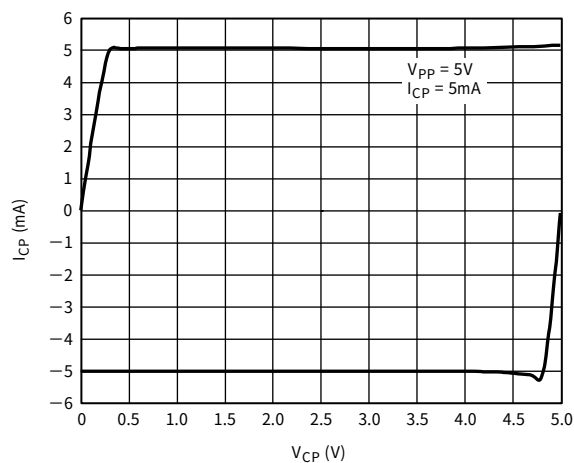


図27. ADF4110ファミリーのチャージ・
ポンプ出力特性

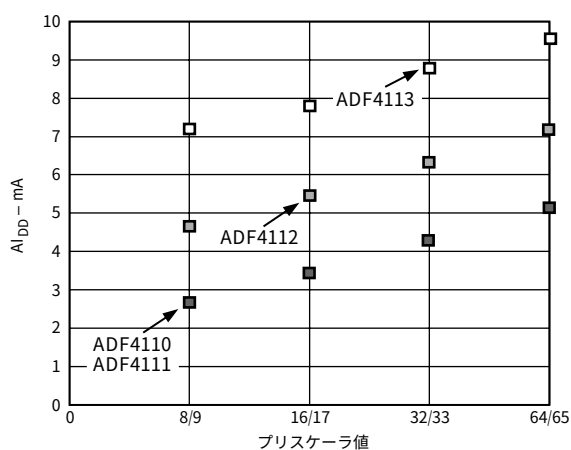


図25. AI DD 対 プリスケラ値

ADF4110/ADF4111/ADF4112/ADF4113

位相周波数検出器 (PFD) およびチャージ・ポンプ

PFDは、RカウンタおよびNカウンタ ($N=BP+A$) から入力を得て、これらの間の位相および周波数の差異に比例する出力を生成します。図31に概略図を示します。PFDはアンチバックラッシュ・パルスの幅を制御するプログラマブル遅延成分を備えています。このパルスにより、PFDの伝達関数に不感帯が存在しないこととなり、位相ノイズおよびリファレンスのスプリアスを最小化します。リファレンス・カウンタ・ラッチの2つのビットであるABP2およびABP1はパルスの幅を制御します。表7を参照してください。

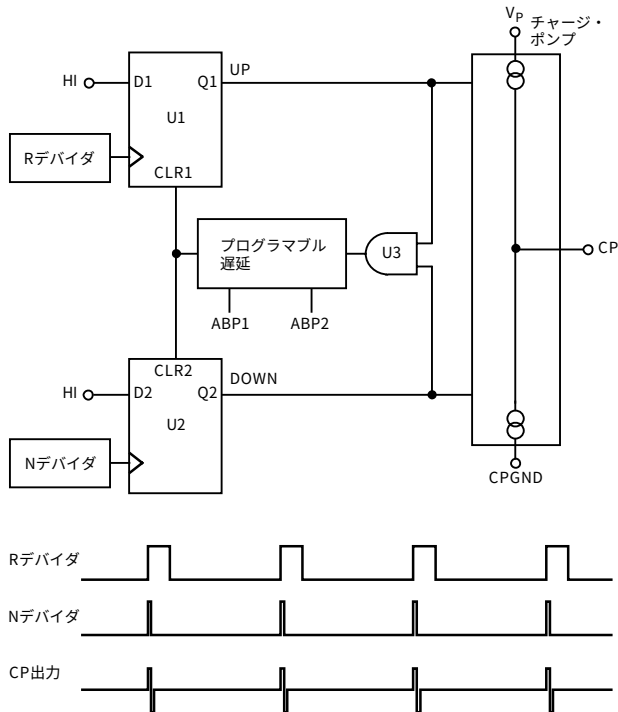


図31. PFDの簡略図およびタイミング (ロック時)

MUXOUTおよびロック検出

ADF4110ファミリーの出力マルチプレクサは、チップ上のあらゆる内部ポイントへのアクセスを可能とします。MUXOUTの状態はファンクション・ラッチのM3、M2、M1によって制御されます。表9に真理値表を示します。図32にMUXOUT部のブロック図を示します。

ロック検出

MUXOUTは、デジタル／アナログの2種類のロック検出にプログラムできます。

デジタル・ロック検出はアクティブ・ハイです。RカウンタのLDPが0に設定されているときは、位相検出器の3つの連続したサイクルでの位相誤差が15ns未満であると、デジタル・ロック検出がハイに設定されます。LDPが1に設定されたときに、ロック検出を設定するためには5つの連続したサイクルにわたって15ns未満となる必要があります。後続の任意のPDサイクルにおいて25nsを超える位相誤差が検出されるまでハイの状態が続きます。

Nチャンネルのオープン・ドレイン・アナログ・ロック検出は、公称値10kΩの外部プルアップ抵抗によって操作する必要があります。ロックが検出されている場合には、この出力は狭い幅の立下りパルスによりハイとなります。

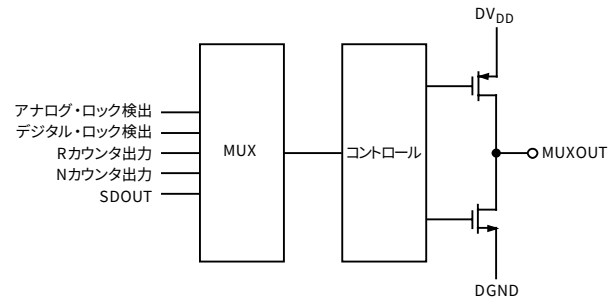


図32. MUXOUT回路

入カシフト・レジスタ

ADF4110ファミリーのデジタル部には、24ビットの入カシフト・レジスタ、14ビットRカウンタ、それに6ビットAカウンタと13ビットBカウンタで構成される19ビットNカウンタが含まれています。データは、CLKの各立上がりエッジで24ビットのシフト・レジスタに、MSBファーストでクロック入力されます。データはLEの立上がりエッジでシフト・レジスタから4つのラッチのうちの1つに転送されます。転送先のラッチは、シフト・レジスタの2つの制御ビット (C2、C1) により決定されます。これらは、図2のタイミング図に示すように、2つのLSBであるDB1およびDB0です。表5にこれらのビットについての真理値表を示します。

表6にラッチがプログラムされる様子をまとめます。

表5. C2、C1真理値表

制御ビット		データ・ラッチ
C2	C1	
0	0	Rカウンタ
0	1	Nカウンタ (AおよびB)
1	0	ファンクション・ラッチ (プリスケアラを含む)
1	1	初期化ラッチ

ADF4110/ADF4111/ADF4112/ADF4113

表6. ADF4110ファミリーのラッチのまとめ

リファレンス・カウンタ・ラッチ

予備	DLY	SYNC	ロック 検出 精度	テスト・ モード・ビット		アンチバック ラッシュ幅		14ビット・リファレンス・カウンタ(R)														制御ビット	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	DLY	SYNC	LDP	T2	T1	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

X=ドント・ケア

ABカウンタ・ラッチ

予備		CP ゲイン	13ビットBカウンタ													6ビットAカウンタ						制御ビット	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	X	G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	A6	A5	A4	A3	A2	A1	C2 (0)	C1 (1)

X=ドント・ケア

ファンクション・ラッチ

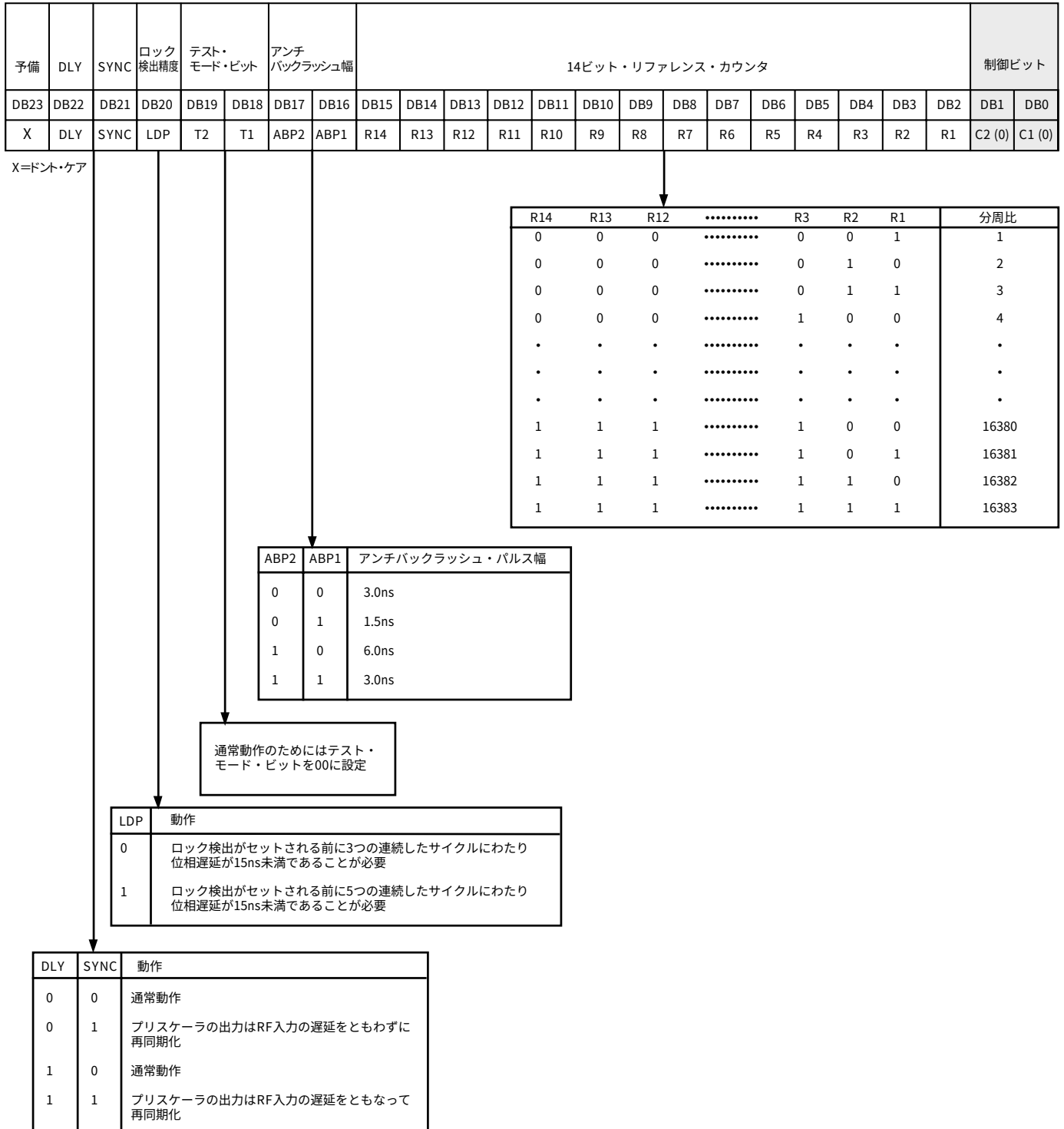
プリスケアラ値		パワー ダウン2	電流設定2			電流設定1			タイマ・カウンタ制御				高速 ロック・ モード	高速 ロック・ イネーブル	CP スリー ステート	PD極性	MUXOUT制御			パワー ダウン1	カウンタ・ リセット	制御ビット	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (0)

初期化ラッチ

プリスケアラ値		パワー ダウン2	電流設定2			電流設定1			タイマ・カウンタ制御				高速 ロック・ モード	高速 ロック・ イネーブル	CP スリー ステート	PD極性	MUXOUT制御			パワー ダウン1	カウンタ・ リセット	制御ビット	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (1)

ADF4110/ADF4111/ADF4112/ADF4113

表7. リファレンス・カウンタ・ラッチ・マップ



ADF4110/ADF4111/ADF4112/ADF4113

表8. ABカウンタ・ラッチ・マップ

予備		CP ゲイン	13ビットBカウンタ													6ビットAカウンタ						制御ビット	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	X	G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	A6	A5	A4	A3	A2	A1	C2 (0)	C1 (1)

X=ドント・ケア

A6	A5		A2	A1	Aカウンタ分周比
0	0		0	0	0
0	0		0	1	1
0	0		1	0	2
0	0		1	1	3
・	・		・	・	・
・	・		・	・	・
・	・		・	・	・
1	1		0	0	60
1	1		0	1	61
1	1		1	0	62
1	1		1	1	63

B13	B12	B11		B3	B2	B1	Bカウンタ分周比
0	0	0		0	0	0	不許可
0	0	0		0	0	1	不許可
0	0	0		0	1	0	不許可
0	0	0		0	1	1	3
0	0	0		1	0	0	4
・	・	・		・	・	・	・
・	・	・		・	・	・	・
・	・	・		・	・	・	・
1	1	1		1	0	0	8188
1	1	1		1	0	1	8189
1	1	1		1	1	0	8190
1	1	1		1	1	1	8191

FF4 (ファンクション・ラッチ) 高速ロック・イネーブル*	CPゲイン	動作
0	0	チャージ・ポンプ電流設定1を常時使用
0	1	チャージ・ポンプ電流設定2を常時使用
1	0	チャージ・ポンプ電流設定1を使用
1	1	チャージ・ポンプ電流を設定2に切替え。 設定2において経過する時間は、選択されている 高速ロック・モードに依存。 ファンクション・ラッチの解説参照。

N=BP+A、Pはファンクション・ラッチに設定されるプリスケアラ値であり、BはA以上である必要があります。
(Nx FREF) の値を連続的に設定すると、出力においてNMINは (P²-P)となります。

このデバイスでは使用されていないドント・ケア・ビット

*表9参照

16

REV.C

ADF4110/ADF4111/ADF4112/ADF4113

表9. ファンクション・ラッチ・マップ

プリスケアラ値		パワー ダウン 2	電流設定2			電流設定1			タイマ・カウンタ制御				高速 ロック・ モード	高速 ロック・ イネーブル	CP スリー プステート	PD極性	MUXOUT制御			パワー ダウン1	カウンタ・ リセット	制御ビット	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (0)

タイマ・カウンタ制御

TC4	TC3	TC2	TC1	タイムアウト (PFDサイクル)
0	0	0	0	3
0	0	0	1	7
0	0	1	0	11
0	0	1	1	15
0	1	0	0	19
0	1	0	1	23
0	1	1	0	27
0	1	1	1	31
1	0	0	0	35
1	0	0	1	39
1	0	1	0	43
1	0	1	1	47
1	1	0	0	51
1	1	0	1	55
1	1	1	0	59
1	1	1	1	63

「ファンクション・ラッチ」の
「タイマ・カウンタ制御」を参照

CPI6	CPI5	CPI4	I _{CP} (mA)		
			2.7kΩ	4.7kΩ	10kΩ
0	0	0	1.09	0.63	0.29
0	0	1	2.18	1.25	0.59
0	1	0	3.26	1.88	0.88
0	1	1	4.35	2.50	1.76
1	0	0	5.44	3.13	1.47
1	0	1	6.53	3.75	1.76
1	1	0	7.62	4.38	2.06
1	1	1	8.70	5.00	2.35

モード

CE PIN	PD2	PD1	モード
0	X	X	非同期パワーダウン
1	X	0	通常動作
1	0	1	非同期パワーダウン
1	1	1	同期パワーダウン

プリスケアラ値

P2	P1	プリスケアラ値
0	0	8/9
0	1	16/17
1	0	32/33
1	1	64/65

PD極性

F2	PD極性
0	負極性
1	正極性

チャージ・ポンプ出力

F3	チャージ・ポンプ出力
0	通常
1	スリーステート

高速ロック・モード

F5	F4	高速ロック・モード
X	0	高速ロック・ディスエーブル
0	1	高速ロック・モード1
1	1	高速ロック・モード2

カウンタ動作

F1	カウンタ動作
0	通常
1	R、A、Bカウンタ・リセット状態

出力

M3	M2	M1	出力
0	0	0	スリーステート出力
0	0	1	デジタル・ロック検出 (アクティブ・ハイ)
0	1	0	Nデバイダ出力
0	1	1	DV _{DD}
1	0	0	Rデバイダ出力
1	0	1	アナログ・ロック検出 (Nチャンネル・オープン・ドレイン)
1	1	0	シリアル・データ出力
1	1	1	DGND

ADF4110/ADF4111/ADF4112/ADF4113

表10. 初期化ラッチ・マップ

プリスケール値		パワー ダウン2	電流設定2				電流設定1			タイマ・カウンタ制御				高速 ロック ・モード	高速 ロック・ イネーブル	CP スリー プステート	PD極性	MUXOT制御			パワー ダウン1	カウンタ・ リセット	制御ビット	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (1)	

ADF4110/ADF4111/ADF4112/ADF4113

ファンクション・ラッチ

C2、C1を“10”に設定することによって、内蔵のファンクション・ラッチがプログラムされます。表9にファンクション・ラッチをプログラムするための入力データ・フォーマットを示します。

カウンタ・リセット

DB2 (F1)はカウンタ・リセット・ビットです。これが“1”のときには、RカウンタおよびA、Bカウンタがリセットされます。通常動作のためには、このビットを“0”に設定します。電源投入の時点でF1ビットはデイスエーブルにされている必要があり、NカウンタはRカウンタとほぼ同時にカウント動作を再開します(最大誤差は1プリスケラ・サイクル)。

パワーダウン

ADF411XのDB3 (PD1)、DB21 (PD2)は、プログラマブルなパワーダウン・モードを提供します。これらはCEピンによってイネーブルにされます。

CEピンがローのときには、デバイスはPD2とPD1の状態にかかわらず直ちにデイスエーブルにされます。

プログラムされた非同期パワーダウンでは、PD2に“0”がロードされている条件でビット“PD1”に“1”をラッチした後、直ちにパワーダウンします。

プログラムされた同期パワーダウンでは、好ましくない周波数のジャンプを防止するため、デバイスのパワーダウンはチャージ・ポンプによりゲートされます。PD1に“1”を書き込むことにより(PD2に“1”が書き込まれている条件で)、いったんパワーダウンがイネーブルになると、次のチャージ・ポンプのイベントの発生によりデバイスがパワーダウンとなります。

パワーダウンがアクティブのときには(CEピンによってアクティブにされた場合を含む同期／非同期のモード)、以下のイベントが発生します。

- すべてのアクティブなDC電流経路が除去されます。
- R、Nカウンタおよびタイムアウト・カウンタが強制的にロード・ステート状態となります。
- チャージ・ポンプが強制的にスリーステート・モードとなります。
- デジタル・クロック検出回路がリセットされます。
- RFIN入力がデバイアスされます。
- リファレンス入力バッファ回路がデイスエーブルになります。
- 入力レジスタはアクティブの状態を保持し、データのロードおよびラッチが可能です。

MUXOUT制御

内蔵マルチプレクサは、ADF4110ファミリーのM3、M2、M1によって制御されます。表9に真理値表を示します。

高速ロック・イネーブル・ビット

ファンクション・ラッチのDB9は高速ロック・イネーブル・ビットです。これが“1”のときだけ高速ロックがイネーブルになります。

高速ロック・モード・ビット

ファンクション・ラッチのDB10は高速ロック・モード・ビットです。高速ロックがイネーブルのときに、このビットによりどちらの高速ロック・モードが使用されるかが決定されます。高速ロック・モード・ビットが“0”の場合には高速ロック・モード1が選択され、高速ロック・モード・ビットが“1”の場合には高速ロック・モード2が選択されます。

高速ロック・モード1

チャージ・ポンプの電流が、電流設定2の内容に切り換えられます。

ABカウンタのラッチのCPゲイン・ビットに“1”を書き終えると、デバイスが高速ロックに入ります。ABカウンタ・ラッチのCPゲイン・ビットに“0”を書き終えると、デバイスは高速ロックを脱出します。

高速ロック・モード2

チャージ・ポンプの電流が電流設定2の内容に切り換えられます。ABカウンタのラッチのCPゲイン・ビットに“1”を書き終えると、デバイスが高速ロックに入ります。デバイスはタイマ・カウンタの制御により高速ロックを脱出します。TC4～TC1の値によって決定されるタイム・アウト期間の後、ABカウンタ・ラッチのCPゲイン・ビットは自動的に“0”にリセットされ、デバイスは高速ロックではなく通常モードに復帰します。表9のタイム・アウト期間を参照してください。

タイマ・カウンタ制御

ユーザはチャージ・ポンプの電流をプログラムする、2つのオプションが選択できます。電流設定1は、RF出力が安定してシステムがスタティックな状態にあるときに使用します。電流設定2は、システムがダイナミックに変化する状態(すなわち、新しい出力周波数がプログラムされている)のときに使用します。

イベントの通常の順序は以下のとおりです。

最初にユーザがチャージ・ポンプ電流の望ましい値を決定します。たとえば、電流設定1に2.5mAを、電流設定2に5mAを選択できます。

同時に、第2の電流が主電流に戻る前に、どのくらいの期間アクティブにする必要があるかも決定してください。これは、ファンクション・ラッチのタイマ・カウンタ制御ビットDB14からDB11 (TC4～TC1)により制御されます。表10に真理値表を示します。

新しい出力周波数を設定するには、ABカウンタ・ラッチにAおよびBに対する新しい値をプログラムするだけです。同時にCPゲイン・ビットを“1”に設定することによって、TC4～TC1によって決定される期間に対してCPI6～CPI4の値でチャージ・ポンプを設定することができます。この期間が終了すると、チャージ・ポンプ電流はCPI3～CPI1によって設定された値に戻ります。同時にA、Bカウンタ・ラッチのCPゲイン・ビットを0にリセットすることにより、次に再び周波数を変更するための準備が整います。

ADF4110/ADF4111/ADF4112/ADF4113

タイマ・カウンタにイネーブル機能があることに注意してください。これは、ファンクション・ラッチの高速ロック・モード・ビット(DB10)を“1”に設定して高速ロック・モード2を選択することによりイネーブルになります。

チャージ・ポンプ電流

CPI3、CPI2、CPI1はチャージ・ポンプの電流設定1をプログラムします。CPI6、CPI5、CPI4はチャージ・ポンプの電流設定2をプログラムします。表10に真理値表を示します。

プリスケアラ値

ファンクション・ラッチのP2およびP1はプリスケアラの値を設定します。プリスケアラの値はプリスケアラの出力周波数が常に200MHz以下となるように設定してください。このため、2GHzのRF周波数では、プリスケアラの値16/17は有効ですが、8/9は有効ではありません。

PD(位相検出器)極性

このビットはPD極性ビットを設定します。表10を参照してください。

CPスリーステート

このビットはCP出力ピンです。このビットがハイに設定されると、CP出力はスリーステート状態となります。このビットがローに設定されると、CP出力がイネーブルになります。

初期化ラッチ

C2=1、C1=1のときに初期化ラッチがプログラムされます。これは本質的にファンクション・ラッチと同じです(C2=1、C1=0のときにプログラムされる)。

しかし、初期化ラッチがプログラムされるときには、RおよびABカウンタに追加の内部リセット・パルスが加えられます。このパルスにより、ABカウンタ・データがラッチされたときにABカウンタがロード・ポイントにあり、デバイスが近い位相の差異でカウント動作を開始するように保証されます。

ラッチが同期パワーダウにプログラムされている場合(CEピンがハイ、PD1ビットがハイ、PD2ビットがロー)、内部パルスもこのパワーダウをトリガします。プリスケアラのリファレンスおよび発振器の入力バッファは内部リセット・パルスの影響を受けないため、カウント動作が再開されるときに近い位相の差異が保たれます。

初期化の後で最初のABカウンタ・データがラッチされたときに、内部のリセット・パルスは再びアクティブになりますが、この後に続くABカウンタのロードは内部リセット・パルスをトリガしません。

初期パワーアップ後のデバイスのプログラミング

デバイスを初期パワーアップした後にプログラミングする方法は3種類あります。

初期化ラッチ操作方法

V_{DD}に電源を供給します。初期化ラッチをプログラムします(入力ワードの2つのLSBに“11”)。F1ビットが“0”にプログラムされていることを確認します。次にRカウンタのロード(2つのLSBに“00”)を実行します。次にABカウンタのロード(2つのLSBに“01”)を実行します。

初期化ラッチがロードされると、以下の動作が発生します。

1. ファンクション・ラッチの内容がロードされます。
2. 内部パルスがR、A、Bおよびタイムアウト・カウンタをリセットして、ステート条件をロードしてチャージ・ポンプをスリーステートとします。プリスケアラのバンドギャップ・リファレンスおよび発振器の入力バッファは内部リセット・パルスの影響を受けず、カウント動作が再開されるときに近い位相の差異となります。
3. 初期化ワードの後で最初のABカウンタ・データをラッチすることにより、同じ内部リセット・パルスがアクティブになります。これに続くABロードは、他の初期化がない限り内部リセット・パルスをトリガしません。

CEピン操作方法

1. V_{DD}に電源を供給します。
2. CEをローにしてデバイスをパワーダウします。これは直ちにパワーダウとなるため非同期パワーダウです。
3. ファンクション・ラッチをプログラムします(10)。Rカウンタ・ラッチをプログラムします(00)。ABカウンタ・ラッチをプログラムします(01)。
4. CEをハイにしてデバイスのパワーダウ・モードを解除します。これで、RおよびABカウンタはほぼ同時にカウント動作を再開します。

CEがハイとなった後で、プリスケアラのバンドギャップ電圧および発振器の入力バッファ・バイアスが安定した状態となるまでに1 μs程度が必要となります。

CEを使って、チャンネルの動作を確認するためにデバイスの電源をオン／オフすることができます。入力レジスタは、電源投入後切断されなければ、一度プログラムされた内容はデバイスをディスエーブル／イネーブルするたびに再プログラムする必要はありません。

カウンタ・リセット操作方法

1. V_{DD}に電源を供給します。
2. ファンクション・ラッチのロードを行います(2つのLSBに“10”)。この作業とともに、F1ビットに“1”をロードします。これによりカウンタのリセットがイネーブルになります。
3. Rカウンタのロードを行います(2つのLSBに“00”)。ABカウンタのロードを行います(2つのLSBに“01”)。ファンクション・ラッチのロードを行います(2つのLSBに“10”)。この作業とともに、F1ビットに“0”をロードします。これによりカウンタのリセットがディスエーブルになります。

このシーケンスは、初期化の操作とほぼ同様となります。これは内部リセット全体の直接制御を可能にします。カウンタのリセットによりカウンタはロード・ポイントの状態に保たれ、チャージ・ポンプはスリーステートの状態となりますが、同期パワーダウはトリガされないことに注意してください。カウンタのリセット方法は初期化ラッチの方法に比べて、さらにファンクション・ラッチのロードが必要です。

プリスケアラ出力の再同期化

表7(リファレンス・カウンタ・ラッチ・マップ)に、それぞれレベルがDLYおよびSYNCにあたる2つのビットDB22およびDB21が示されています。これらのビットはプリスケアラの動作に影響を与えます。

SYNC="1"では、プリスケアラの出力はRF入力と再同期します。これはプリスケアラに起因するジッタを低減する効果があり、シンセサイザの位相ノイズ特性の全体的な向上に寄与できます。通常、ADF4113の場合1~2dBの向上がみられます。帯域幅の狭いデバイスでは、さらに大きな改善がみられます。たとえば、ADF4110では通常、SYNCがイネーブルのときに位相ノイズが3dB改善されます。

DLY="1"とすることにより、プリスケアラの出力はRF入力の遅延をともなって再同期化されます。

SYNC機能がシンセサイザで使用される場合には、いくつかの注意が必要です。いくつかの点において(特定の温度および出力周波数)、プリスケアラを通じた遅延がRF入力のアクティブなエッジと一致することにより、SYNC機能が変調をきたします。このため、SYNC機能を使う場合には、この点に注意が必要です。DLY="1"にプログラムすることによりRF信号に遅延を加え、動作周波数および温度を幾分広げることができます。SYNC機能を使用することにより、デバイスの AI_{DD} 値も増加します。SYNCがイネーブルのときには900MHz出力のADF4113の AI_{DD} は約1.3mA増加し、DLYがイネーブルの場合にはさらに0.3mA増加します。

図8を除くデータシートに記載されているすべての代表的な特性プロットは、DLYおよびSYNC="0"とした場合、つまり、再同期化や遅延がイネーブルになっていない状態でのものです。

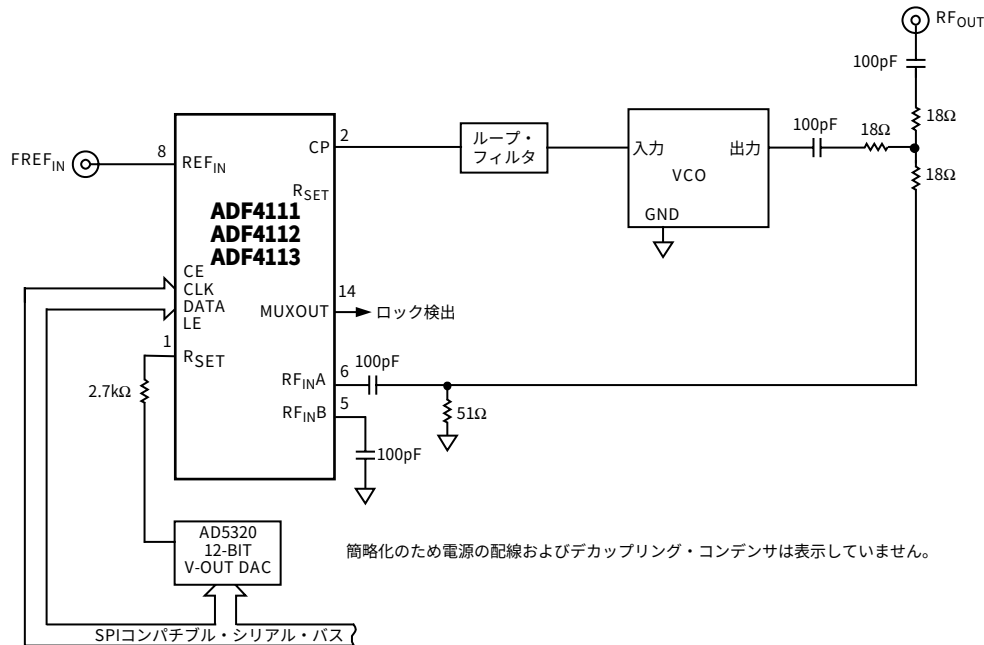


図34. D/Aコンバータによる R_{SET} ピンのドライブ

D/Aコンバータによる R_{SET} ピンの駆動

D/Aコンバータを使ってADF4110ファミリの R_{SET} ピンを駆動して、チャージ・ポンプ電流 I_{CP} に対する制御のレベルを高めることができます。これは、VCOの感度がチューニング範囲にわたって変化するような、広帯域のアプリケーションにおいて有利です。これを補償するために、 I_{CP} を変化させて良好な位相マージンを保ち、ループの安定性を確保することができます。図34を参照してください。

シャットダウン回路

図35の回路は、ADF4110ファミリと、ともに使われているVCOの両方をシャットダウンする方法を示します。ADG701は、ロジック1がIN入力に与えられるとスイッチが閉回路となります。ADG701は低コストのスイッチで、SOT-23およびMSOPパッケージで入手可能です。

広帯域PLL

PLLのシンセサイザおよびVCOについての無線アプリケーションのほとんどは、もともと狭帯域です。これらのアプリケーションにはGSM、DSC1800、CDMA、WCDMAなどのあらゆる無線規格が含まれます。これら規格のLOのチューニング範囲は、いずれも100MHzを下回ります。しかし、LOが最高1オクターブのチューニング範囲を持つような広

帯域のアプリケーションも存在します、たとえば、ケーブルTVのチューナは全体で約400MHzの範囲が必要です。図36にADF4113を用いてMicronetics M3500-2235を制御しプログラムするアプリケーションを示します。ループ・フィルタは2900MHzのRF出力、40kHzのループ帯域幅、1MHzのPFD周波数、10mAの I_{CP} （シンセサイザの I_{CP} 2.5mAにゲイン係数4を乗じたもの）、90MHz/VのVCO K_D （2900MHzの出力におけるM3500-2235の感度）および45°の位相マージン用に設計されています。

狭帯域のアプリケーションでは、一般的に出力周波数に小さな変動があり（一般的に10%未満）、また、範囲全体でVCOの感度に小さな変動（10~15% typ）があります。しかし広帯域のアプリケーションでは、これらのパラメータはより大きく変動します。図36の例では、RF出力は公称値2.9GHzの-25~+17%の範囲となります。VCOの感度は2750MHzにおける120MHz/Vから3400MHzにおける75MHz/Vまで変化します（+33%、-17%）。これらのパラメータにおける変動は、ループ帯域幅の変動をもたらします。その結果として、安定性およびロック時間に影響を与えます。プログラマブルな I_{CP} を変更することによって、これらの変動するループ条件を補償して、ループを常に最適に近い条件で動作させることができます。

ADF4110/ADF4111/ADF4112/ADF4113

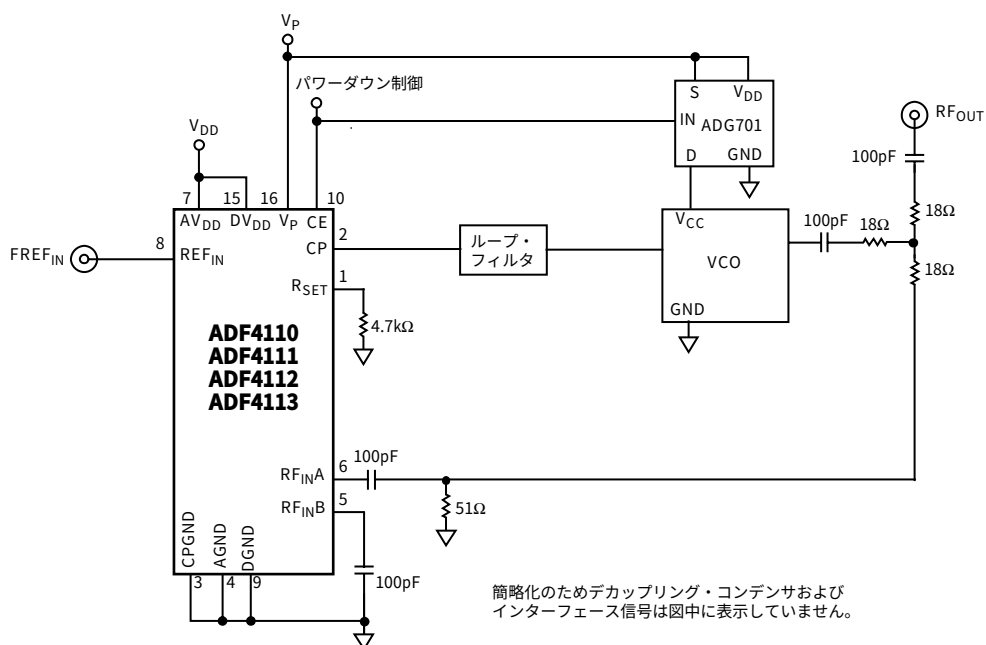


図35. LOシャットダウン回路

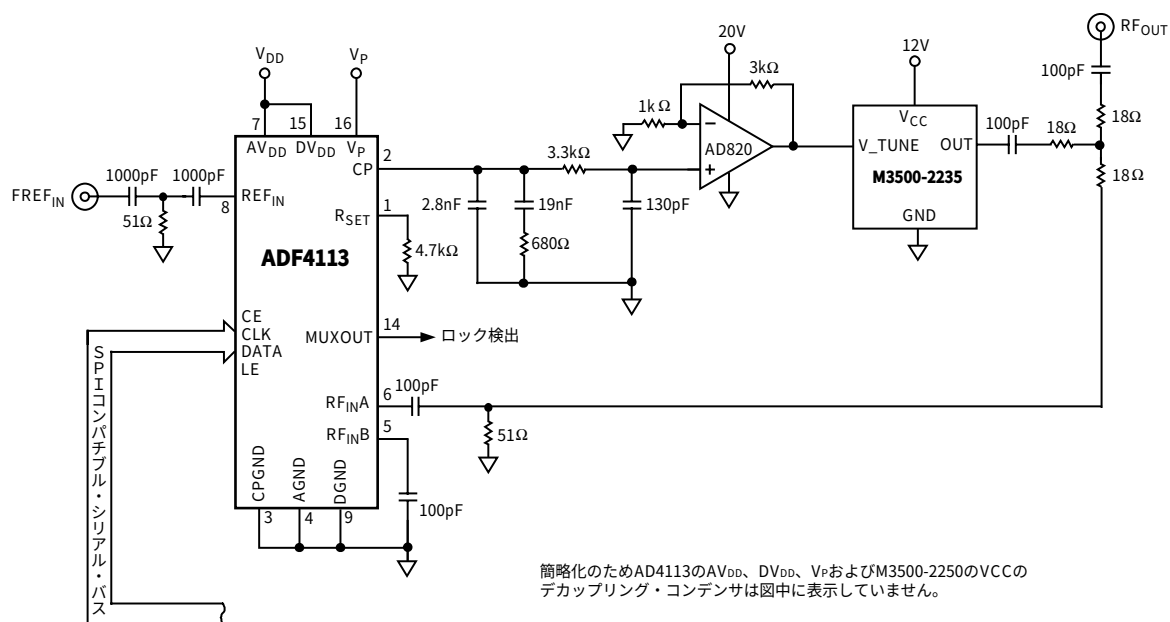


図36. 広帯域PLL

ADF4110/ADF4111/ADF4112/ADF4113

ダイレクト・コンバージョン変調器

一部のアプリケーションでは、基地局のトランスミッタでダイレクト・コンバージョンのアーキテクチャを採用できます。図37に、アナログ・デバイス製品を組み合わせ、このソリューションを実現する例を示します。

回路図ではAD9761がAD8346とともに使用されています。AD9761のような $\pm 0.02\text{dB}$ のゲインと $\pm 0.004\text{dB}$ のオフセットのマッチング特性を備えたデュアルDAC ICを使用することにより、シグナル・チェーンのこの部分での誤差（動作温度範囲）を最小化できます。

ローカル・オシレータ（LO）はADF4113を用いて実現されます。この場合には、OSC 3B1-13M0が安定した13MHzのリファレンス周波数を提供します。このシステムはチャンネル・スペース200kHzと出力中心周波数1960MHzで設計されています。

ターゲットとなるアプリケーションはWCDMA基地局のトランスミッタです。このLOからの代表的な位相ノイズ特性は、1kHzのオフセットにおいて -85dBc/Hz です。

AD8346のLOポートはシングル・エンド方式により駆動されます。LOINは100pFのコンデンサでグラウンドとACカップリングされ、LOIPは50 Ω の信号源からACカップリング・コンデンサを介して駆動されます。 $-6\sim -12\text{dBm}$ のLO駆動レベルが必要とされます。図37の回路により、通常 -8dBm のレベルが得られます。

RF出力は50 Ω の負荷を駆動するように設計されていますが、図37に示すようにACカップリングする必要があります。IおよびQの入力が2V_{p-p}の直交波の信号で駆動される場合には、出力パワーは -10dBm 程度となります。

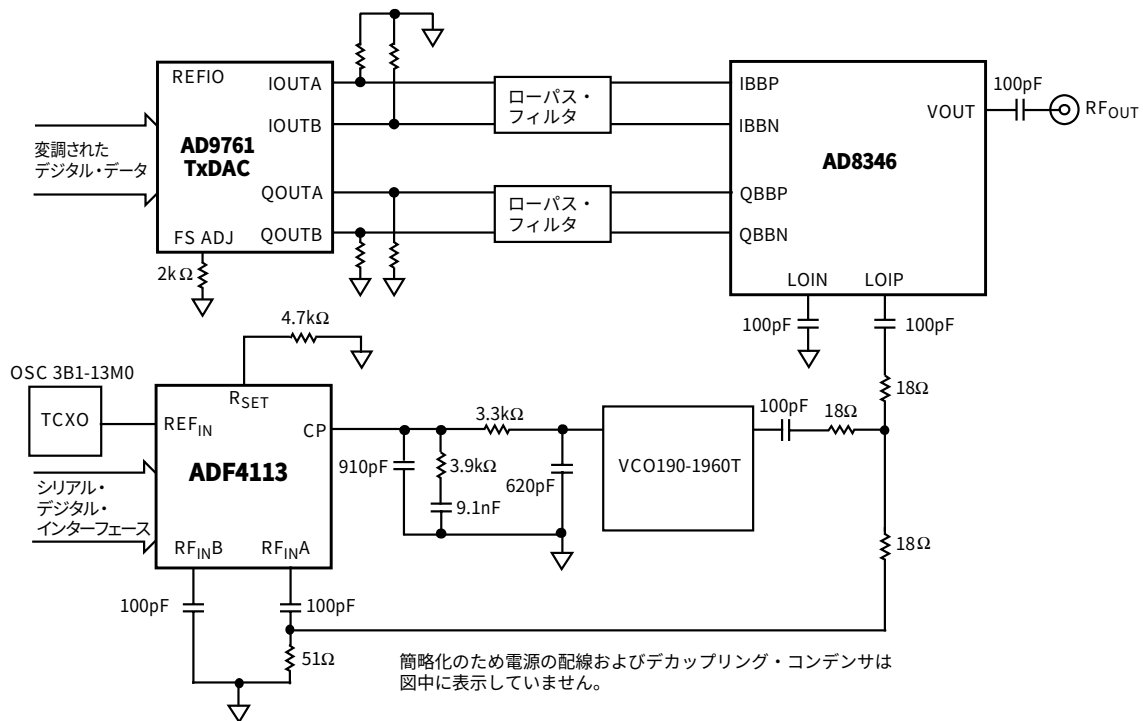


図37. ダイレクト・コンバージョン・トランスミッタのソリューション

ADF4110/ADF4111/ADF4112/ADF4113

インターフェース

ADF4110ファミリーは、デバイスへの書き込み用の簡素なSPIコンパチブルのシリアル・インターフェースを持っています。SCLK、SDATA、LEはデータ転送を制御します。LE（ラッチ・イネーブル）がハイとなったときに、SCLKの各立上がりエッジで入力レジスタにクロック入力された24ビットが適当なラッチに転送されます。図2のタイミング図および表5のラッチの真理値表を参照してください。

最大許容シリアル・クロック・レートは20MHzです。ということは、デバイスで実現可能な最大更新レートが833kHz、 $1.2\mu\text{s}$ に1回更新を実行することを意味します。これは、代表的なクロック時間が数百 μs のシステムには十分なものであるといえます。

ADuC812のインターフェース

図38にAD4110ファミリーとADu812N MicroConverter®とのインターフェースを示します。ADu812は8051コアをベースとしているため、このインターフェースは8051ベースのどのマイクロコントローラとも使用できます。MicroConverterは、CPHA=0のSPIマスター・モード用に設定されています。動作を開始するには、LEを駆動するI/Oポートをローにします。ADF4110ファミリーの各ラッチは24ビットのワードを必要とします。これは、3つの8ビット・バイトをMicroConverterからデバイスに書き込むことにより行えます。3番目のバイトが書き込まれたときにLE入力をハイにして、転送を完了してください。

ADF4110ファミリーに初めて電源を投入すると、出力をアクティブにするために3つの書き込み（Rカウンタ・ラッチ、Nカウンタ・ラッチ、初期化ラッチに各1回）が必要になります。

ADuC812のI/Oポート・ラインは、パワーダウン（CE入力）の制御およびロック検出（MUXOUTをロック検出に設定し、ポート入力によりポーリング）にも使用されます。

上述のモードで動作させるときには、ADuC812の最大SCLOCKレートは4MHzです。これは、出力周波数を変更できる最大レートが166kHzであることを意味します。

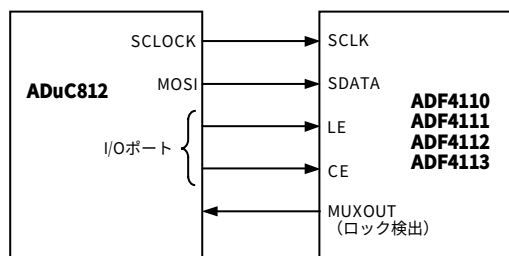


図38. ADuC812とADF4110ファミリーとのインターフェース

ADSP-2181のインターフェース

図39に、ADF4110ファミリーとADSP-21xxシリーズのDSPとのインターフェースを示します。ADF4110ファミリーは、各ラッチ書き込みについて24ビットのシリアル・ワードを必要とします。ADSP-21xxを用いてこれを行う最も簡単な方法は、自動バッファ送信モードをオルタネート・フレーミングで使用する事です。これにより、割込みが生成される前にシリアル・データのブロック全体を送信する手段が提供されます。

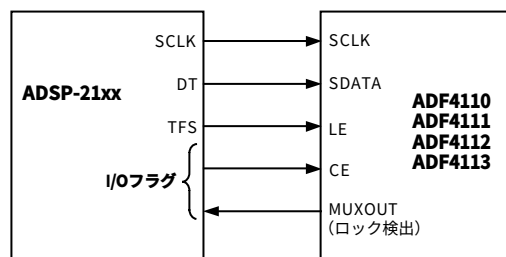


図39. ADSP-21xxとADF4110ファミリーとのインターフェース

ワード長を8ビットに設定し、各24ビットのワードに対して3つのメモリ位置を使用します。24ビット・ラッチのそれぞれをプログラムするには、3つの8ビット・バイトを格納し、自動バッファ・モードをイネーブルにし、次にDSPの送信レジスタに書き込みを行います。最後の操作により、自動バッファ転送が開始されます。

CSPパッケージのPCボード設計ガイドライン

チップ・スケール・パッケージ（CP-20）のランドの形は矩形です。ランド用のPCボードのパッドは、パッケージのランド長より0.1mm長くし、パッケージのランド幅より0.05mm広くします。ランドは、パッドの中央に配置します。こうすることで、ハンダ接合面を最大化できます。

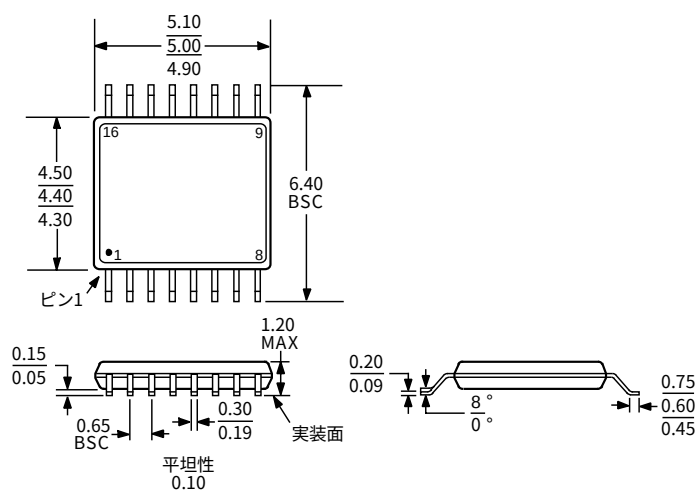
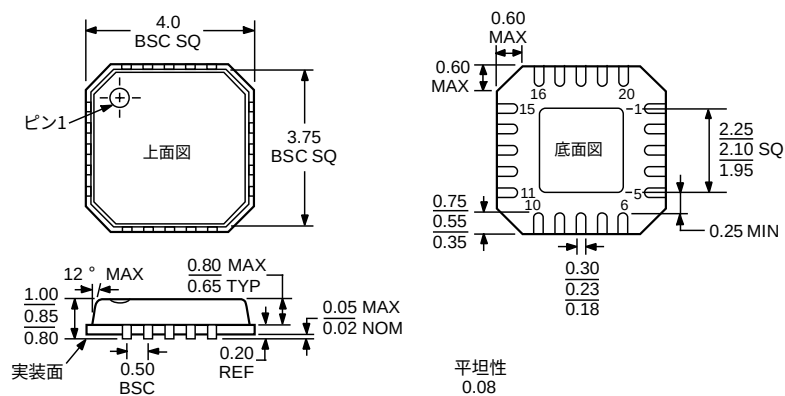
CSPパッケージの底面中央にはサーマル・パッドがあります。PCボードのサーマル・パッドは、少なくともこの露出パッドと同じ大きさにします。PCボードは、短絡を避けるために、パッドのパターンの内部エッジとサーマル・パッドの間に0.25mm以上の間隙を設ける必要があります。

PCボードのサーマル・パッドにサーマル・ビアをいくつか配置すれば、パッケージの熱性能を改善できます。ビアを配置する場合、1.2mmピッチのグリッドでサーマル・パッド内に組み込みます。ビア径は0.3~0.33mmの任意の値とし、ビア・バレルには1オンス（約28.35グラム）の銅をめっきしてビアを接続します。

PCボードのサーマル・パッドは、AGNDに接続する必要があります。

ADF4110/ADF4111/ADF4112/ADF4113

外形寸法



ADF4110/ADF4111/ADF4112/ADF4113

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
ADF4110BRU	−40〜+85°C	TSSOP	RU-16
ADF4110BRU-REEL	−40〜+85°C	TSSOP	RU-16
ADF4110BRU-REEL7	−40〜+85°C	TSSOP	RU-16
ADF4110BCP	−40〜+85°C	LFCSP	CP-20
ADF4110BCP-REEL	−40〜+85°C	LFCSP	CP-20
ADF4110BCP-REEL7	−40〜+85°C	LFCSP	CP-20
ADF4111BRU	−40〜+85°C	TSSOP	RU-16
ADF4111BRU-REEL	−40〜+85°C	TSSOP	RU-16
ADF4111BRU-REEL7	−40〜+85°C	TSSOP	RU-16
ADF4111BCP	−40〜+85°C	LFCSP	CP-20
ADF4111BCP-REEL	−40〜+85°C	LFCSP	CP-20
ADF4111BCP-REEL7	−40〜+85°C	LFCSP	CP-20
ADF4112BRU	−40〜+85°C	TSSOP	RU-16
ADF4112BRU-REEL	−40〜+85°C	TSSOP	RU-16
ADF4112BRU-REEL7	−40〜+85°C	TSSOP	RU-16
ADF4112BRUZ ¹	−40〜+85°C	TSSOP	RU-16
ADF4112BRUZ ¹ -REEL	−40〜+85°C	TSSOP	RU-16
ADF4112BRUZ ¹ -REEL7	−40〜+85°C	TSSOP	RU-16
ADF4112BCP	−40〜+85°C	LFCSP	CP-20
ADF4112BCP-REEL	−40〜+85°C	LFCSP	CP-20
ADF4112BCP-REEL7	−40〜+85°C	LFCSP	CP-20
ADF4113BRU	−40〜+85°C	TSSOP	RU-16
ADF4113BRU-REEL	−40〜+85°C	TSSOP	RU-16
ADF4113BRU-REEL7	−40〜+85°C	TSSOP	RU-16
ADF4113BRUZ ¹	−40〜+85°C	TSSOP	RU-16
ADF4113BRUZ ¹ -REEL	−40〜+85°C	TSSOP	RU-16
ADF4113BRUZ ¹ -REEL7	−40〜+85°C	TSSOP	RU-16
ADF4113BCP	−40〜+85°C	LFCSP	CP-20
ADF4113BCP-REEL	−40〜+85°C	LFCSP	CP-20
ADF4113BCP-REEL7	−40〜+85°C	LFCSP	CP-20
ADF4113BCHIPS	−40〜+85°C	ダイ	
EVAL-ADF4112EB1		評価用ボード	
EVAL-ADF4113EB1		評価用ボード	
EVAL-ADF4113EB2		評価用ボード	
EVAL-ADF411XEB1		評価用ボード	

¹ Z = 鉛フリー製品

C03496-0-3/04(C)