

### 特長

出力周波数範囲：1500～2500MHz  
 変調帯域幅：500MHz (3dB) 以上  
 1dB出力圧縮：14dBm@1900MHz  
 ノイズ・フロア：-158dBm/Hz  
 サイドバンド抑圧：-45dBc@1900MHz  
 キャリア混入：-45dBm@1900MHz  
 単電源動作：4.75～5.25V  
 24ピンLFCSP\_VQを採用

### アプリケーション

CDMA2000/GSM/WCDMAのセルラー通信システム  
 WiMAX/ブロードバンド・ワイヤレス・アクセス・システム  
 サテライト・モデム

### 概要

ADL5372は、1500～2500MHzでの使用に適した固定ゲイン直交変調器 (F-MOD) ファミリーの製品です。位相精度と振幅のバランスが優れているため、通信システム向けの中間周波数の変調や、無線周波数の直接変調を高性能で実現します。

500MHzを超える3dBベースバンド帯域幅性能を持っているため、広帯域幅のゼロIFまたは低IFからRFまでの周波数アプリケーションや広帯域幅のデジタル・プリディストーション・トランスミッタでの使用に最適です。

機能ブロック図

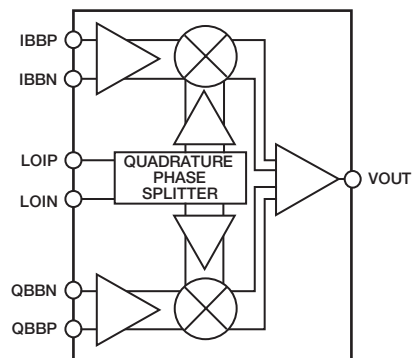


図1

2個の差動ベースバンド入力と1個のシングルエンドの局発振器 (LO) を入力して、シングルエンドの出力を発生します。

ADL5372は、アナログ・デバイセズの最新シリコンゲルマニウム・バイポーラ・プロセスを採用して製造しています。露出パッドつきの24ピン鉛フリーLFCSPパッケージを採用し、-40～+85℃の温度範囲で仕様規定しています。鉛フリーの評価用ボードをも提供しています。

## 目次

|                    |    |                                          |    |
|--------------------|----|------------------------------------------|----|
| 特長 .....           | 1  | DACと変調器間のインターフェース .....                  | 14 |
| アプリケーション .....     | 1  | AC振幅の制限 .....                            | 14 |
| 機能ブロック図 .....      | 1  | フィルタリング .....                            | 14 |
| 概要 .....           | 1  | AD9779補助DACをキャリア混入のゼロ調整に使用する<br>方法 ..... | 15 |
| 改訂履歴 .....         | 2  | GSM動作 .....                              | 15 |
| 仕様 .....           | 3  | WCDMA動作 .....                            | 16 |
| 絶対最大定格 .....       | 5  | WiMAX動作 .....                            | 16 |
| ESDに関する注意 .....    | 5  | PLLを使用したLOの発生 .....                      | 16 |
| ピン配置とピン機能の説明 ..... | 6  | 送信DACオプション .....                         | 17 |
| 代表的な性能特性 .....     | 7  | 変調器／復調器オプション .....                       | 17 |
| 動作原理 .....         | 11 | 評価用ボード .....                             | 18 |
| 回路説明 .....         | 11 | 特性評価のセットアップ .....                        | 19 |
| 基本接続 .....         | 12 | 外形寸法 .....                               | 21 |
| 最適化 .....          | 13 | オーダー・ガイド .....                           | 21 |
| アプリケーション情報 .....   | 14 |                                          |    |

## 改訂履歴

12/06—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_S=5V$ 、 $T_A=25^{\circ}C$ 、 $LO=0dBm$  シングルエンド、ベースバンド I/Q 振幅 = 500mV の DC バイアスと直交 1.4Vp-p 差動正弦波、ベースバンド I/Q 周波数 ( $f_{BB}$ ) = 1MHz。

表1

| Parameter                 | Conditions                                                                                         | Min | Typ    | Max | Unit    |
|---------------------------|----------------------------------------------------------------------------------------------------|-----|--------|-----|---------|
| OPERATING FREQUENCY RANGE | Low frequency                                                                                      |     | 1500   |     | MHz     |
|                           | High frequency                                                                                     |     | 2500   |     | MHz     |
| LO = 1900 MHz             |                                                                                                    |     |        |     |         |
| Output Power              | $V_{IQ} = 1.4 V$ p-p differential                                                                  |     | 7.1    |     | dBm     |
| Output P1dB               |                                                                                                    |     | 14.2   |     | dBm     |
| Carrier Feedthrough       |                                                                                                    |     | -45    |     | dBm     |
| Sideband Suppression      |                                                                                                    |     | -45    |     | dBc     |
| Quadrature Error          |                                                                                                    |     | 0.21   |     | Degrees |
| I/Q Amplitude Balance     |                                                                                                    |     | 0.09   |     | dB      |
| Second Harmonic           | $P_{OUT} - (f_{LO} + (2 \times f_{BB}))$ , $P_{OUT} = 6.2$ dBm                                     |     | -50    |     | dBc     |
| Third Harmonic            | $P_{OUT} - (f_{LO} + (3 \times f_{BB}))$ , $P_{OUT} = 6.2$ dBm                                     |     | -47    |     | dBc     |
| Output IP2                | $f_{1BB} = 3.5$ MHz, $f_{2BB} = 4.5$ MHz, $P_{OUT} = 1$ dBm per tone                               |     | 54     |     | dBm     |
| Output IP3                | $f_{1BB} = 3.5$ MHz, $f_{2BB} = 4.5$ MHz, $P_{OUT} = 1$ dBm per tone                               |     | 27     |     | dBm     |
| Noise Floor               | I/Q inputs = 0 V differential with a 500 mV common-mode bias, 20 MHz carrier offset; LO = 1960 MHz |     | -158   |     | dBm/Hz  |
| GSM                       | 6 MHz carrier offset, $P_{OUT} = 5$ dBm, $P_{LO} = 6$ dBm; LO = 1960 MHz                           |     | -158   |     | dBc/Hz  |
| WCDMA                     | Single carrier, 20 MHz carrier offset, $P_{OUT} = -10$ dBm, $P_{LO} = 0$ dBm; LO = 1966 MHz        |     | -157.6 |     | dBm/Hz  |
| LO = 2150 MHz             |                                                                                                    |     |        |     |         |
| Output Power              | $V_{IQ} = 1.4 V$ p-p differential                                                                  |     | 7.2    |     | dBm     |
| Output P1dB               |                                                                                                    |     | 14     |     | dBm     |
| Carrier Feedthrough       |                                                                                                    |     | -41    |     | dBm     |
| Sideband Suppression      |                                                                                                    |     | -44    |     | dBc     |
| Quadrature Error          |                                                                                                    |     | 0.27   |     | Degrees |
| I/Q Amplitude Balance     |                                                                                                    |     | 0.12   |     | dB      |
| Second Harmonic           | $P_{OUT} - (f_{LO} + (2 \times f_{BB}))$ , $P_{OUT} = 6.2$ dBm                                     |     | -59    |     | dBc     |
| Third Harmonic            | $P_{OUT} - (f_{LO} + (3 \times f_{BB}))$ , $P_{OUT} = 6.2$ dBm                                     |     | -48    |     | dBc     |
| Output IP2                | $f_{1BB} = 3.5$ MHz, $f_{2BB} = 4.5$ MHz, $P_{OUT} = 1$ dBm per tone                               |     | 65     |     | dBm     |
| Output IP3                | $f_{1BB} = 3.5$ MHz, $f_{2BB} = 4.5$ MHz, $P_{OUT} = 1$ dBm per tone                               |     | 26.5   |     | dBm     |
| Noise Floor               | I/Q inputs = 0 V differential with a 500 mV common-mode bias, 20 MHz carrier offset                |     | -158   |     | dBm/Hz  |
| WCDMA                     | Single carrier, 20 MHz carrier offset, $P_{OUT} = -10$ dBm, $P_{LO} = 0$ dBm; LO = 2140 MHz        |     | -157.5 |     | dBm/Hz  |
| LO = 2400 MHz             |                                                                                                    |     |        |     |         |
| Output Power              | $V_{IQ} = 1.4 V$ p-p differential                                                                  |     | 5.6    |     | dBm     |
| Output P1dB               |                                                                                                    |     | 12.4   |     | dBm     |
| Carrier Feedthrough       |                                                                                                    |     | -36    |     | dBm     |
| Sideband Suppression      |                                                                                                    |     | -40    |     | dBc     |
| Quadrature Error          |                                                                                                    |     | 0.6    |     | Degrees |
| I/Q Amplitude Balance     |                                                                                                    |     | 0.13   |     | dB      |
| Second Harmonic           | $P_{OUT} - (f_{LO} + (2 \times f_{BB}))$ , $P_{OUT} = 6.2$ dBm                                     |     | -54    |     | dBc     |
| Third Harmonic            | $P_{OUT} - (f_{LO} + (3 \times f_{BB}))$ , $P_{OUT} = 6.2$ dBm                                     |     | -48    |     | dBc     |

# ADL5372

| Parameter                    | Conditions                                                                                                                                                             | Min  | Typ    | Max  | Unit          |
|------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|--------|------|---------------|
| Output IP2                   | $f_{1\text{BB}} = 3.5 \text{ MHz}$ , $f_{2\text{BB}} = 4.5 \text{ MHz}$ , $P_{\text{OUT}} = 1 \text{ dBm}$ per tone                                                    |      | 57     |      | dBm           |
| Output IP3                   | $f_{1\text{BB}} = 3.5 \text{ MHz}$ , $f_{2\text{BB}} = 4.5 \text{ MHz}$ , $P_{\text{OUT}} = 1 \text{ dBm}$ per tone                                                    |      | 24.5   |      | dBm           |
| Noise Floor                  | I/Q inputs = 0 V differential with a 500 mV common-mode bias, 20 MHz carrier offset; LO = 2350 MHz                                                                     |      | -158.5 |      | dBm/Hz        |
| WiMAX                        | 10 MHz carrier bandwidth (256 subcarriers), 64 QAM signal, 70 MHz carrier offset, $P_{\text{OUT}} = -10 \text{ dBm}$ , $P_{\text{LO}} = 0 \text{ dBm}$ ; LO = 2350 MHz |      | -158   |      | dBm/Hz        |
| LO INPUTS                    |                                                                                                                                                                        |      |        |      |               |
| LO Drive Level <sup>1</sup>  | Characterization performed at typical level                                                                                                                            | -6   | 0      | +6   | dBm           |
| Input Return Loss            | See Figure 9 for a plot of return loss vs. frequency                                                                                                                   |      | -12    |      | dB            |
| BASEBAND INPUTS              |                                                                                                                                                                        |      |        |      |               |
| I and Q Input Bias Level     | Pin IBBP, Pin IBBN, Pin QBBP, Pin QBBN                                                                                                                                 |      | 500    |      | mV            |
| Input Bias Current           | Current sourcing from each baseband input with a bias of 500 mV dc <sup>2</sup>                                                                                        |      | 45     |      | $\mu\text{A}$ |
| Input Offset Current         |                                                                                                                                                                        |      | 0.1    |      | $\mu\text{A}$ |
| Differential Input Impedance |                                                                                                                                                                        |      | 2900   |      | k $\Omega$    |
| Bandwidth (0.1 dB)           | LO = 1900 MHz, baseband input = 700 mV p-p sine wave on 500 mV dc                                                                                                      |      | 70     |      | MHz           |
| Bandwidth (1 dB)             | LO = 1900 MHz, baseband input = 700 mV p-p sine wave on 500 mV dc                                                                                                      |      | 350    |      | MHz           |
| POWER SUPPLIES               |                                                                                                                                                                        |      |        |      |               |
| Voltage                      | Pin VPS1 and Pin VPS2                                                                                                                                                  | 4.75 |        | 5.25 | V             |
| Supply Current               |                                                                                                                                                                        |      | 165    |      | mA            |

<sup>1</sup> GSMアプリケーションでLO駆動レベルを高くすると、6MHzのキャリア・オフセット時にノイズが削減されます。

<sup>2</sup> アーキテクチャについては、「V/Iコンバータ」を参照。

## 絶対最大定格

表2

| Parameter                                    | Rating          |
|----------------------------------------------|-----------------|
| Supply Voltage VPOS                          | 5.5 V           |
| IBBP, IBBN, QBBP, QBBN                       | 0 V to 2 V      |
| LOIP and LOIN                                | 13 dBm          |
| Internal Power Dissipation                   | 1100 mW         |
| $\theta_{JA}$ (Exposed Paddle Soldered Down) | 54°C/W          |
| Maximum Junction Temperature                 | 150°C           |
| Operating Temperature Range                  | −40°C to +85°C  |
| Storage Temperature Range                    | −65°C to +150°C |

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。1つでもパラメータの絶対最大定格を超えると、デバイスに影響を与える可能性があります。

### ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置とピン機能の説明

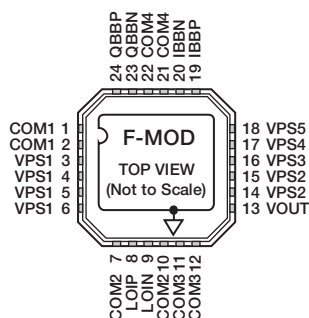


図2. ピン配置

表3. ピン機能の説明

| ピン番号                      | 記号                     | 説明                                                                                                                                                                                                                             |
|---------------------------|------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1, 2, 7, 10 to 12, 21, 22 | COM1 to COM4           | 入力コモン・ピン。低インピーダンス経路を介してグラウンド・プレーンに接続してください。                                                                                                                                                                                    |
| 3 to 6, 14 to 18          | VPS1 to VPS5           | 正の電源電圧ピン。すべてのピンを同じ電源 ( $V_S$ ) に接続する必要があります。十分な外部バイパス処理を確実にを行うために、各ピンとグラウンド間に0.1 $\mu$ Fのコンデンサを接続してください。同じ記号の隣接する電源ピンは、1本のコンデンサを共用できます (図25を参照)。                                                                               |
| 8, 9                      | LOIP, LOIN             | 50 $\Omega$ のシングルエンドの局部発振器入力。内部でDCバイアスされます。AC結合する必要があります。LOINをグラウンドにAC結合し、LOIPを通してLOを駆動してください。                                                                                                                                 |
| 13                        | VOUT                   | デバイス出力。シングルエンドのRF出力です。負荷に対してAC結合してください。この出力はグラウンドを基準としています。                                                                                                                                                                    |
| 19, 20, 23, 24            | IBBP, IBBN, QBBN, QBBP | 同相および直交ベースバンドの差動入力。これらの高インピーダンス入力には500mV DCにDCバイアスし、低インピーダンス・ソースで駆動する必要があります。特性評価を行ったAC信号振幅の公称値は、各ピン上で700mV <sub>p-p</sub> です。その結果として、500mVのDCバイアス時の差動駆動電圧レベルは1.4V <sub>p-p</sub> になります。これらの入力は自己バイアスされないため、外部からバイアスする必要があります。 |
|                           | 露出パッド                  | 低インピーダンス経路を介してグラウンド・プレーンに接続してください。                                                                                                                                                                                             |

## 代表的な性能特性

特に指定のない限り、 $V_S = 5V$ 、 $T_A = 25^\circ C$ 、 $LO = 0dBm$ のシングルエンド、ベースバンドI/Q振幅=500mVのDCバイアスと直交1.4Vp-p差動正弦波、ベースバンドI/Q周波数 ( $f_{BB}$ ) = 1MHz。

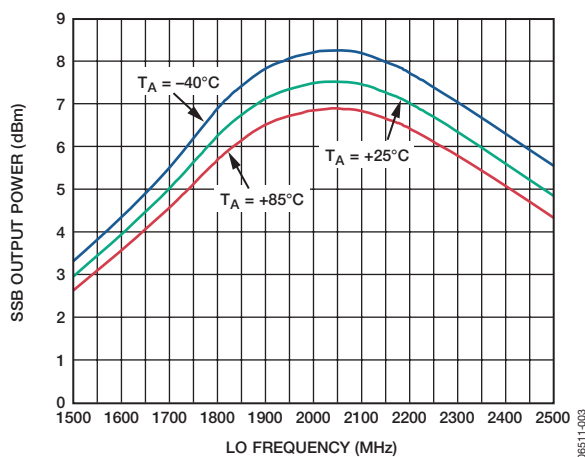


図3. LO周波数 ( $f_{LO}$ ) および温度 対 シングル・サイドバンド (SSB) 出力パワー ( $P_{OUT}$ )

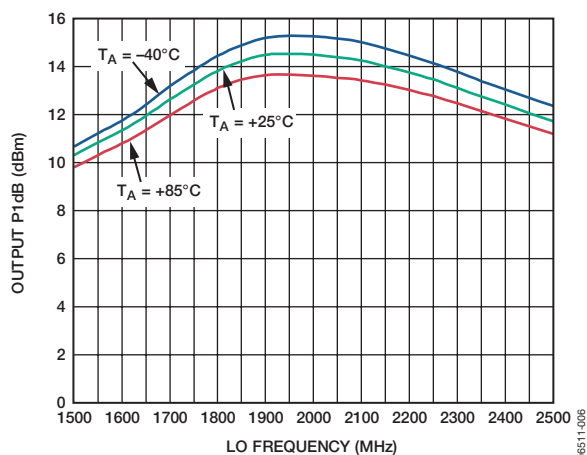


図6.  $f_{LO}$ および温度 対 SSB出力P 1dB圧縮ポイント (OP1dB)

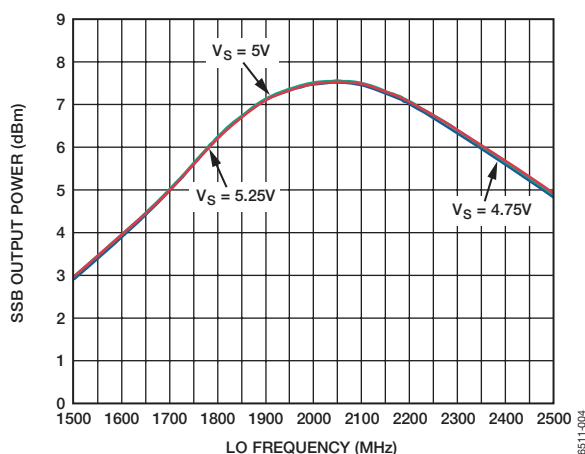


図4. LO周波数 ( $f_{LO}$ ) および電源 対 シングル・サイドバンド (SSB) 出力パワー ( $P_{OUT}$ )

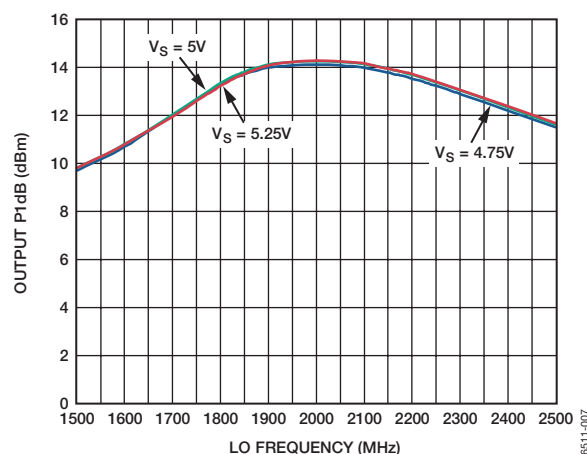


図7.  $f_{LO}$ および電源 対 SSB出力P 1dB圧縮ポイント (OP1dB)

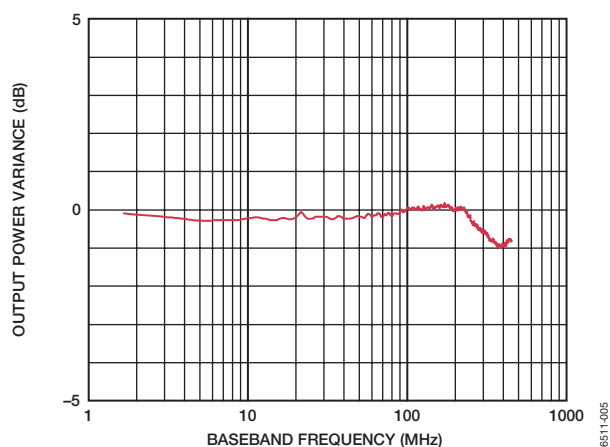


図5. 1MHzでのゲインに正規化されたIおよびQ 入力帯域幅 ( $f_{LO} = 1900MHz$ )

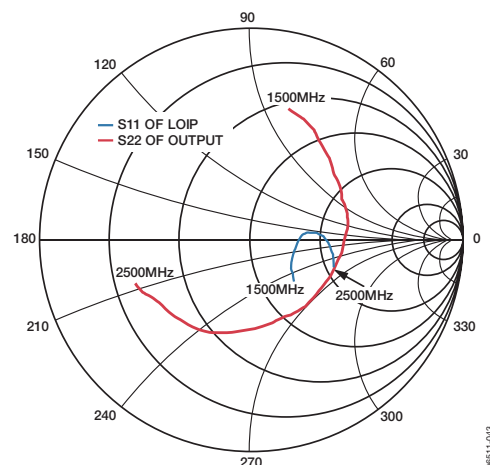


図8. LOIP S11およびVOUT S22のスミス・チャート ( $f_{LO} = 1600 \sim 2500MHz$ )

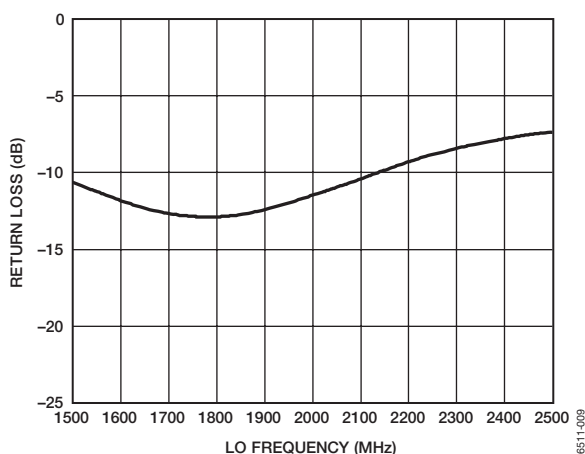


図9. LOIPのリターン・ロス (S11)

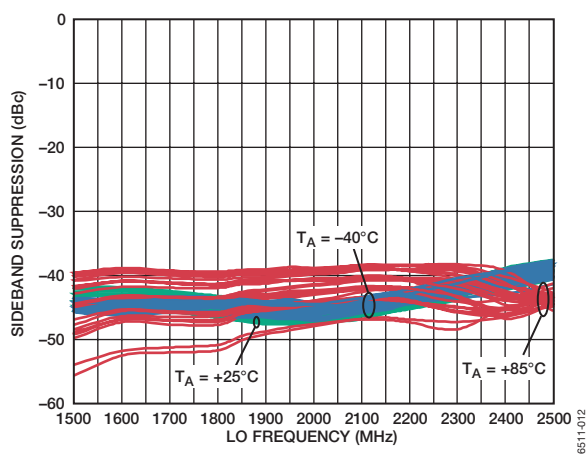


図12.  $f_{LO}$ および温度 対 サイドバンド抑圧 (複数のデバイスを表示)

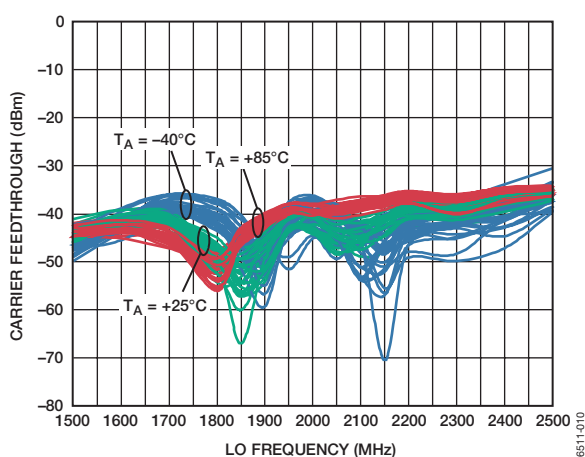


図10.  $f_{LO}$ および温度 対 キャリア混入 (複数のデバイスを表示)

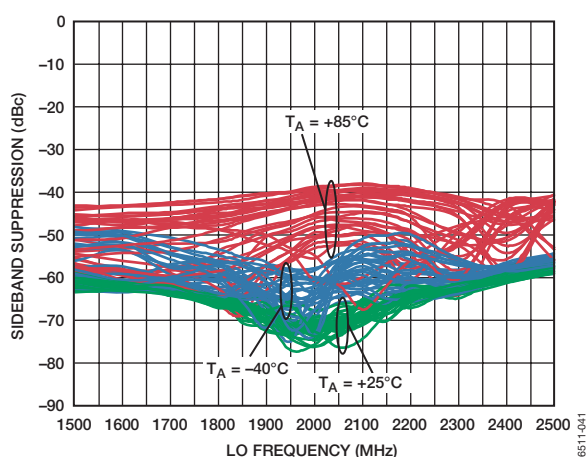


図13. ゼロ調整後の $f_{LO}$ および温度 対 サイドバンド抑圧、25°C時 (複数のデバイスを表示)

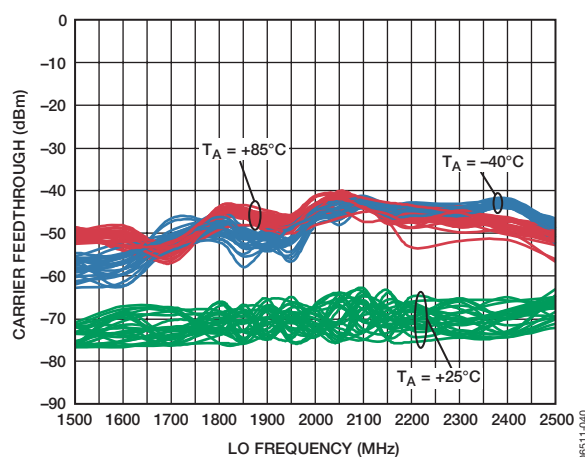


図11. ゼロ調整後の $f_{LO}$ および温度 対 キャリア混入、25°C時 (複数のデバイスを表示)

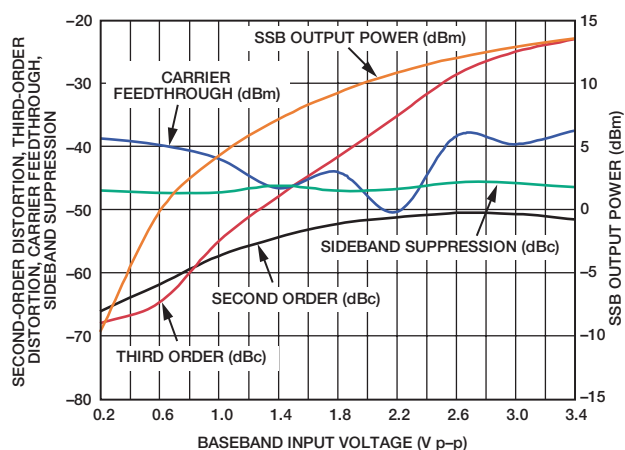


図14. ベースバンド差動入力レベル 対 2次歪みおよび3次歪み、キャリア混入、サイドバンド抑圧、SSB  $P_{OUT}$  ( $f_{LO}=1900\text{MHz}$ )

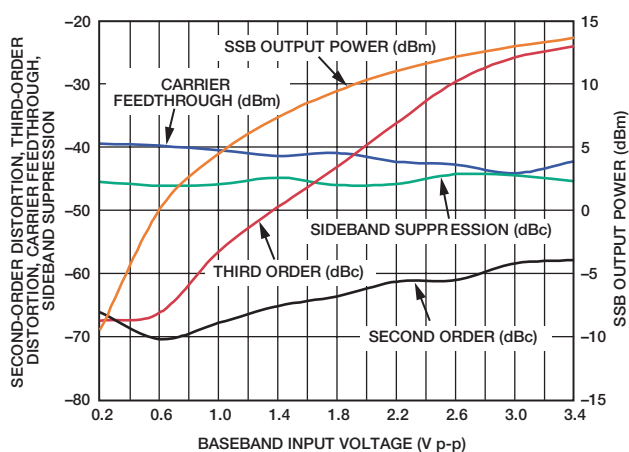


図15. ベースバンド差動入力レベル 対 2次歪みおよび3次歪み、キャリア混入、サイドバンド抑圧、SSB  $P_{OUT}$  ( $f_{LO}=2150\text{MHz}$ )

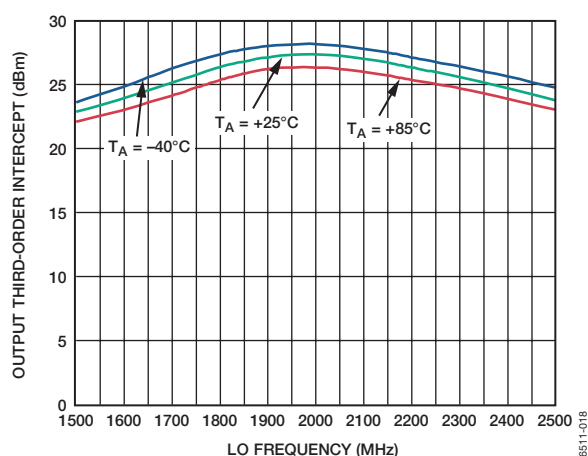


図18. OIP3の周波数および温度特性

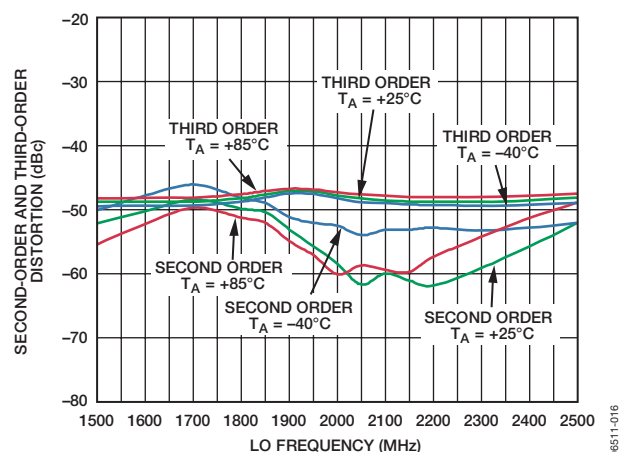


図16.  $f_{LO}$ および温度 対 2次歪みおよび3次歪み (ベースバンドI/Q振幅=1.4Vp-p差動)

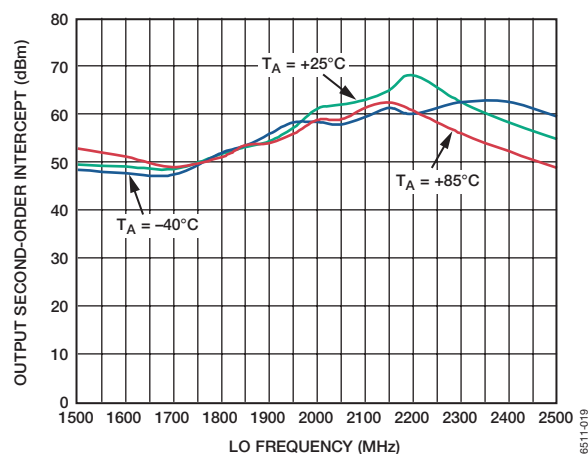


図19. OIP2の周波数および温度特性

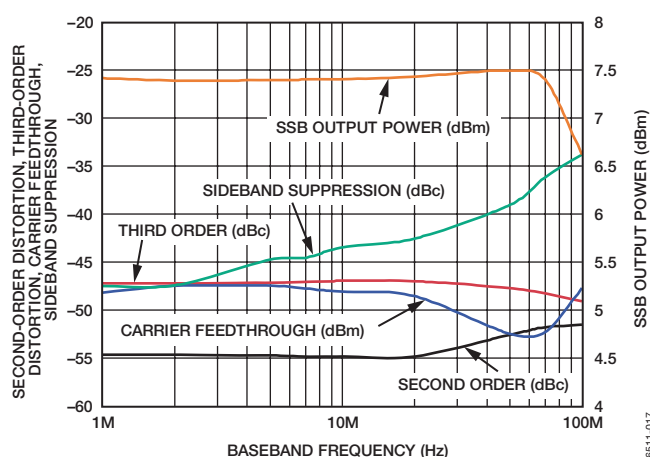


図17.  $f_{BB}$ および温度 対 2次および3次歪み、キャリア混入、サイドバンド抑圧、SSB  $P_{OUT}$  ( $f_{LO}=1900\text{MHz}$ )

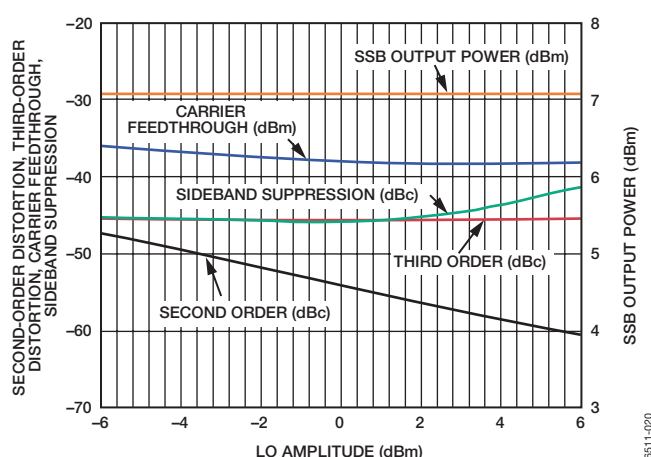


図20. LO振幅 対 2次および3次歪み、キャリア混入、サイドバンド抑圧、SSB  $P_{OUT}$  ( $f_{LO}=1900\text{MHz}$ )

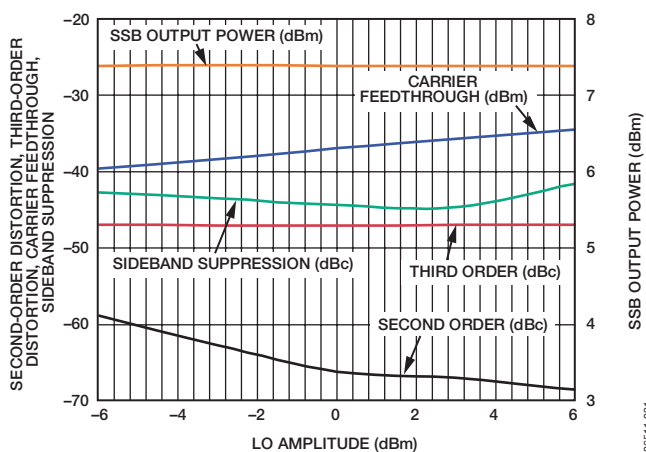


図21. LO振幅 対 2次および3次歪み、キャリア混入、サイドバンド抑圧、SSB  $P_{OUT}$  ( $f_{LO}=2150\text{MHz}$ )

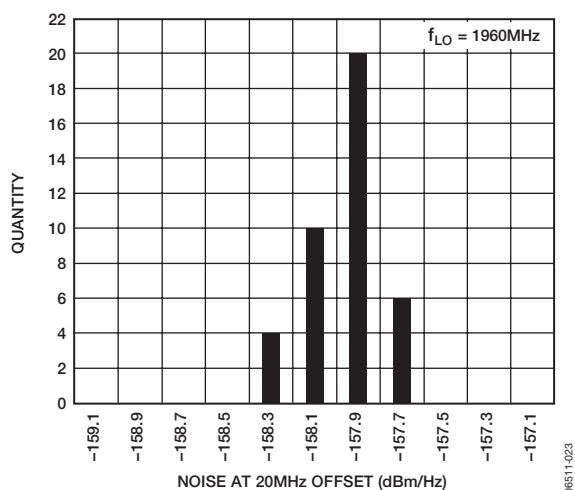


図23.  $f_{LO}=1960\text{MHz}$ 時の20MHzオフセット・ノイズ・フロア分布 ( $I/Q$ 振幅=0mVp-p、500mVのDCバイアス時)

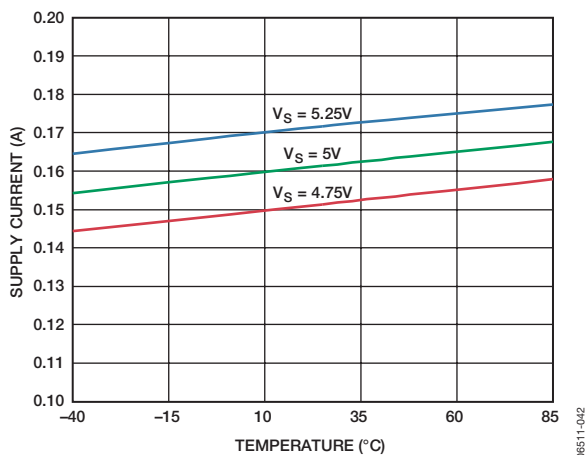


図22. 電源電流の温度特性

## 動作原理

### 回路説明

#### 概要

ADL5372は、LOインターフェース、ベースバンド電圧／電流（V/I）コンバータ、ミキサ、差動／シングルエンド（D/S）変換段、バイアス回路の5つの回路ブロックに分けられます。図24は、このデバイスの詳細なブロック図を示します。

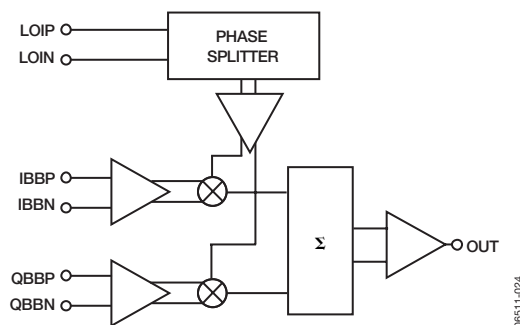


図24. ブロック図

LOインターフェースは、直交する2つのLO信号を発生します。これらの信号はミキサの駆動に使用されます。IおよびQのベースバンド入力信号はV/I変換段によって電流に変換され、この電流が2個のミキサを駆動します。これらのミキサの出力が結合されて、シングルエンドの出力を供給する出力バランに送られます。バイアス・セルは、V/I変換段に対してリファレンス電流を発生します。

#### LOインターフェース

LOインターフェースは、多相直交スプリッタとその後段のリミット・アンプで構成されます。LO入力インピーダンスは、多相によって設定されます。LOはシングルエンドまたは差動で駆動できます。シングルエンドで駆動するときは、LOINピンをACグラウンドに接続し、その間に1本のコンデンサを接続してください。直交する各LO信号はリミット・アンプを通過し、このアンプからミキサに制限された駆動信号が供給されます。

#### V/Iコンバータ

差動ベースバンド入力（QBBP、QBBN、IBBN、IBBP）は、インピーダンスの高いPNPトランジスタのベースで構成されています。これらのピンに入力される電圧によって、ベースバンド電圧を電流に変換するV/I変換段が駆動されます。V/I変換段の差動出力電流は、それぞれ該当するギルバートセル・ミキサに送り込まれます。ベースバンド入力のDC同相電圧により、2個のミキサ・コア内で電流が設定されます。ベースバンド同相電圧が変化すると、ミキサ電流が変動し、変調器全体の性能が低下します。ベースバンド同相電圧には500mV DCのDC電圧を推奨します。

#### ミキサ

ADL5372には、同相チャンネル（Iチャンネル）用と直交チャンネル（Qチャンネル）用の2個の二重平衡型ミキサがあります。いずれのミキサも、4個のクロス接続トランジスタを持つギルバートセルデザインを採用しています。2個のミキサからの出力電流は加算されて負荷に送られます。この負荷を経由して発生される信号がD/S変換段の駆動に使用されます。

#### D/S変換段

出力D/S変換段は、差動信号をシングルエンド信号に変換するオンチップのバランで構成されます。このバランは、出力（VOUT）に対して高いインピーダンスを提供します。したがって、パワー伝達を最適化するために、出力に整合回路が必要になることがあります。

#### バイアス回路

オンチップのバンドギャップ・リファレンス回路を使用することで、V/I変換段で必要な比例／絶対温度（PTAT）リファレンス電流が発生されます。

## 基本接続

図25、ADL5372の基本的な接続を示します。

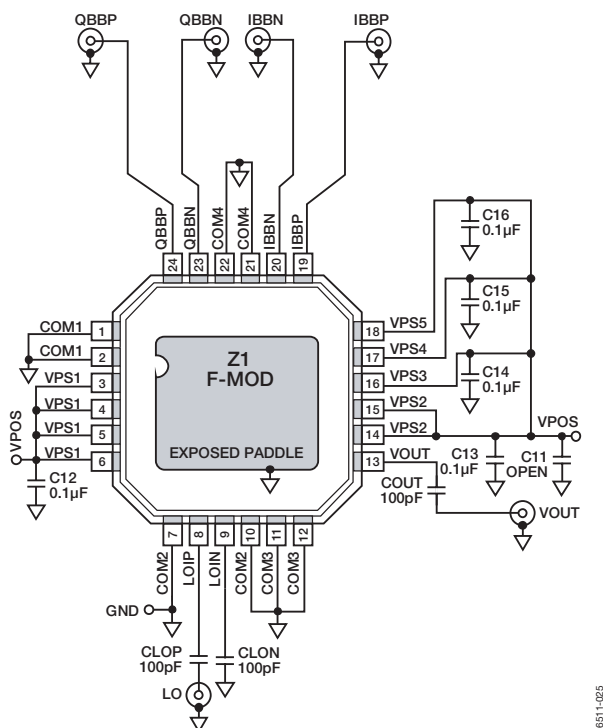


図25. ADL5372の基本的な接続

### 電源とグラウンディング

VPSピンはすべて、同じ5V電源に接続します。同じ記号の隣接するピンを一緒に接続し、0.1μFのコンデンサでデカップリングしてください。これらのコンデンサは、ADL5372のできるだけ近くに配置してください。電源の範囲は4.75~5.25Vとします。

COM1ピン、COM2ピン、COM3ピン、COM4ピンは、低インピーダンス経路を介して同じグラウンド・プレーンに接続してください。パッケージの下側に装着されている露出パッドも同様に、熱的および電氣的インピーダンスの低いグラウンド・プレーンにハンダ付けする必要があります。グラウンド・プレーンが回路ボード上の複数の層にまたがる場合は、露出パッド下側の9本のビアを使用して、これらの層を接続してください。アプリケーション・ノートAN-772では、LFCSPの熱的および電氣的グラウンディングについて詳細に説明しています。

### ベースバンド入力

QBBP、QBBN、IBBP、IBBNのベースバンド入力は、差動の信号源で駆動する必要があります。1.4V<sub>p-p</sub>差動（各ピン上で700mV<sub>p-p</sub>）の公称駆動レベルを500mV DCの同相レベルにバイアスさせてください。

ベースバンド入力のDC同相バイアス・レベルは、400~600mVの範囲です。そのため、使用可能な入力AC振幅範囲が狭くなります。DCバイアスの公称値が500mVであるため、最大限のAC振幅が可能ですが、下限はADL5372の入力範囲の下限に、また上限はアナログ・デバイセズの大半のD/Aコンバータ（DAC）に適用される出力コンプライアンス範囲の上限になります。

### LO入力

1本のAC結合コンデンサを経由して、シングルエンドのLO信号をLOIPピンに接続します。LO駆動パワーの推奨値は0dBmです。低インピーダンスの経路を経由して、LOリターン・ピンのLOINをグラウンドにAC結合してください。

公称値が0dBmのLO駆動レベルを最大6dBmまで増加させることで、変調器のノイズ性能を改善できます。この改善に伴ってサイドバンド抑圧性能が低下するため（図20を参照）、これを適用する際は慎重な配慮が必要です。LOソースから0dBmのレベルを供給できない場合は、パワーを0dBmよりも低く下げた動作が可能です。LO駆動レベルを低くすると、変調器ノイズがわずかに増加します。図20に、サイドバンド抑圧とキャリア混入に対してLOパワーが及ぼす影響を示します。図35に、GSMノイズに対してLOパワーが及ぼす影響を示します。

### RF出力

RF出力は、VOUTピン（13番ピン）から供給されます。このVOUTピンは、50Ω負荷の駆動能力を持つ内部バランに接続されます。アプリケーションで50Ωの出力インピーダンスが要求される場合は、整合回路の外付けが必要になります（S22の性能については図8を参照）。内部バランとグラウンド間には、低いDC経路が確保されます。ほとんどの場合は、VOUTピンを負荷にAC結合してください。

08511-025

## 最適化

最適化技術の活用によって、ADL5372のキャリア混入とサイドバンド抑圧性能を改善できます。

### キャリア混入のゼロ調整

キャリア混入は、差動ベースバンドの各入力間で発生する微少なDCオフセットが原因となって発生します。理想的な変調器では、 $(V_{IOPP}-V_{IOPN})$ と $(V_{QOPP}-V_{QOPN})$ の値がゼロであるため、キャリア混入は発生しません。しかし、実際の変調器では、これらの値がゼロにならないため、LOとのミックス時に有限のキャリア混入が発生します。ADL5372は、このキャリア混入を最小限に抑えるようにデザインされています。このキャリア混入をさらにもっと低く抑える必要がある場合は、 $(V_{IOPP}-V_{IOPN})$ と $(V_{QOPP}-V_{QOPN})$ のオフセットにわずかな調整を加えることができます。Iチャンネルのオフセット一定にして、Qチャンネルのオフセットを変化させ、キャリア混入が最小レベルになるようにします。次に、キャリア混入が最小になったときのQチャンネルのオフセットを保ったまま、さらにキャリア混入が最小になるようIチャンネルのオフセットを調整します。このプロセスを2回反復することで、キャリア混入を出力ノイズと同じレベルまで削減できます。このゼロ調整機能は、オフセット調整の分解能による制限を受ける場合があります。図26は、ゼロ調整を行う際のDCオフセット対キャリア混入の関係を示します。

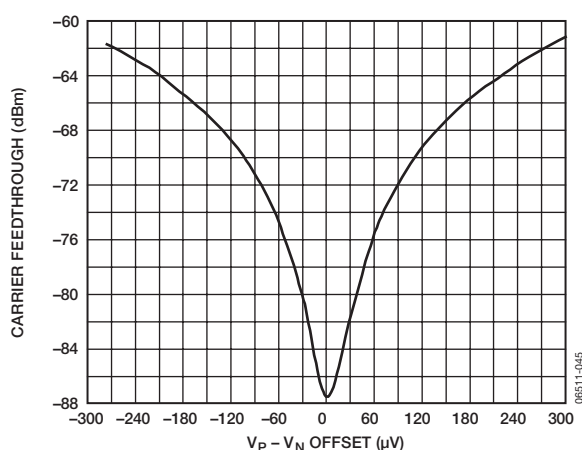


図26. DCオフセット電圧 対 キャリア混入 (1900MHz時)

このゼロ調整プロセスの実行中は、ベースバンド入力のDCバイアスが500mVに維持される点に注意が必要です。オフセットがまったく加えられない場合は、

$$V_{IOPP} = V_{IOPN} = 500\text{mV}, \text{すなわち} \\ V_{IOPP} - V_{IOPN} = V_{IOS} = 0\text{V} \text{となります。}$$

+ $V_{IOS}$ のオフセットがIチャンネルの入力に加えられる場合は、

$$V_{IOPP} = 500\text{mV} + V_{IOS}/2, \text{および} \\ V_{IOPN} = 500\text{mV} - V_{IOS}/2 \text{となり、} \\ V_{IOPP} - V_{IOPN} = V_{IOS} \text{になります。}$$

この関係は、Qチャンネルにも同様に適用されます。

キャリアのゼロ・キャリブレーションは一度で行う方が望ましいことが多いものです。これは通常、単一周波数で行います。図27に、1900MHz時にゼロ調整の両側でLO周波数が $\pm 50\text{MHz}$ の範囲で変化するとき、これに伴ってキャリア混入が変動する関係を示します。

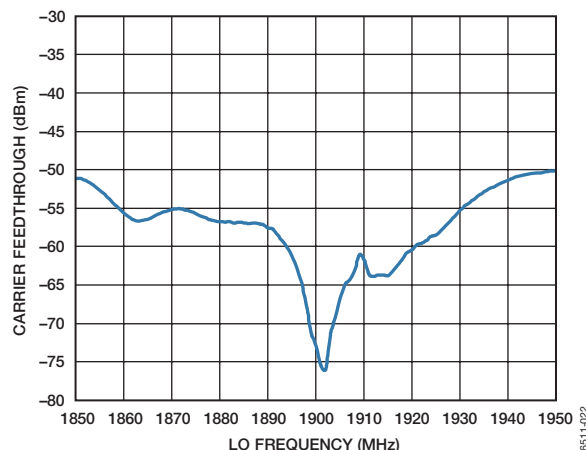


図27. ゼロ調整後のキャリア混入の周波数特性 (1900MHz時)

### サイドバンド抑圧の最適化

サイドバンド抑圧は、IチャンネルとQチャンネル間の相対的なゲインと相対的な位相オフセットにより生じ、この2つのパラメータを調整してサイドバンドを抑圧できます。図28に、ゲインと位相の不均衡がサイドバンド抑圧に対して及ぼす影響を示します。

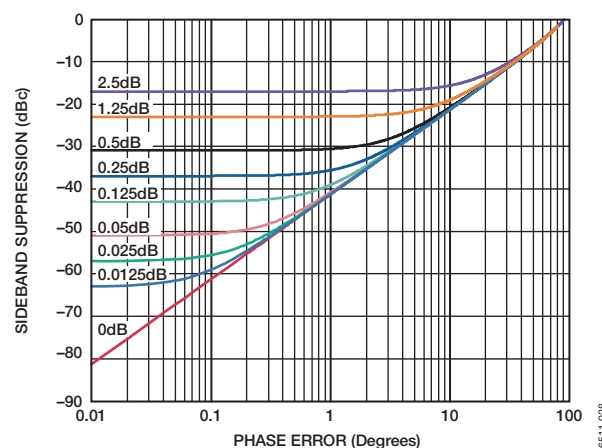


図28. 各種の直交振幅オフセット時の直交位相誤差 対 サイドバンド抑圧

図28からもわかるように、一方のパラメータだけを調整して、他方のパラメータを調整しない場合、サイドバンド抑圧の改善は限られたものになります。たとえば、振幅オフセットが0.25dBの場合、位相の不均衡を1°以下に改善しても、サイドバンド抑圧は改善されません。サイドバンド抑圧を最適化するには、位相と振幅間の調整を反復して行う必要があります。

各チャンネルのゲインを調整するか、またはデジタル・シグナル・プロセッサから送られるデジタル・データの位相とゲインを変更する方法で、サイドバンド抑圧をゼロ調整できます。

## アプリケーション情報

### DACと変調器間のインターフェース

ADL5372は、アナログ・デバイセズのDACファミリー製品と最小の部品数でインターフェースするようにデザインされています。これらのDACは0~20mAの出力電流振幅を持ち、同様の出力を持つすべてのDACに対して、この項で説明するインターフェースを使用できます。

#### TxDAC®を用いたADL5372の駆動

図29に、AD9779 TxDACを使用したインターフェースの例を示します。ADL5372のベースバンド入力には、500mVのDCバイアスが必要です。AD9779の各出力の平均出力電流は10mAです。したがって、各DAC出力とグラウンド間に1本の50Ω抵抗を接続すると、各抵抗を通過して流れる平均電流が10mAになるため、ADL5372の入力に必要なとされる500mVのDCバイアスが発生されます。

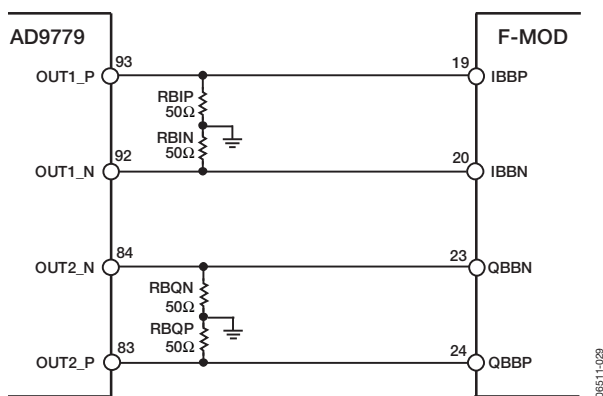


図29. AD9779とADL5372間のインターフェース。50Ω抵抗をグラウンド間に接続して、ADL5372のベースバンド入力に対して500mVのDCバイアスを発生

AD9779の出力電流振幅は、0~20mAの範囲です。50Ω抵抗を接続すると、ADL5372のベースバンド入力に入力されるAC電圧の振幅は0~1Vになります。AD9779から出力されるフルスケールの正弦波は、500mVのDCバイアス時に1Vp-pのシングルエンド（または2Vp-pの差動）正弦波として表されます。

### AC振幅の制限

特定のDAC出力電流に対してAC電圧振幅を小さくすることが望ましい場合があります。もう1本の抵抗をインターフェースに追加することにより、これを達成できます。この抵抗は各差動ペアの間にシャント接続します（図30を参照）。この抵抗には、50Ω抵抗によってすでに設定されているDCバイアスを変化させずにAC振幅を削減する効果があります。

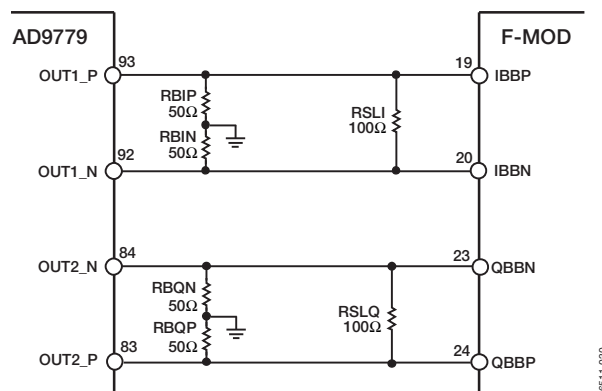


図30. 差動ペア間にシャント抵抗を接続する方法によるAC電圧振幅の削減

このAC電圧振幅制限抵抗の値は、所望のAC電圧振幅に基づいて選択します。図31は、50Ωのバイアス設定抵抗を使用する場合の振幅制限抵抗と、それを使用することにより発生するピークtoピークAC振幅との関係を示します。

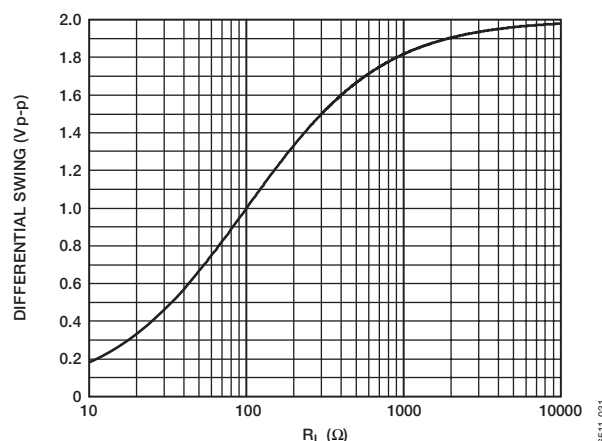


図31. 50Ωのバイアス設定抵抗を使用する場合のAC振幅制限抵抗とピークtoピーク電圧振幅との関係

### フィルタリング

変調器の駆動時に発生するイメージを除去するために、DAC出力でローパス・フィルタリングを行う必要があります。バイアシングおよび「AC振幅の制限」で説明したAC振幅を設定するためのインターフェースが、このようなフィルタの使用に非常に適しています。DCバイアス設定用の抵抗とAC振幅制限用の抵抗の間にフィルタを挿入してください。このような処置を行うと、フィルタの入力および出力インピーダンスが設定されます。

図32に、3dB周波数が3MHzの3次楕円ローパス・フィルタを使用する場合の例を示します。入力と出力のインピーダンスの整合がとれているため、フィルタデザインが容易になり、100Ωのシャント抵抗を選択して、1V<sub>p-p</sub>のAC振幅を発生しています。

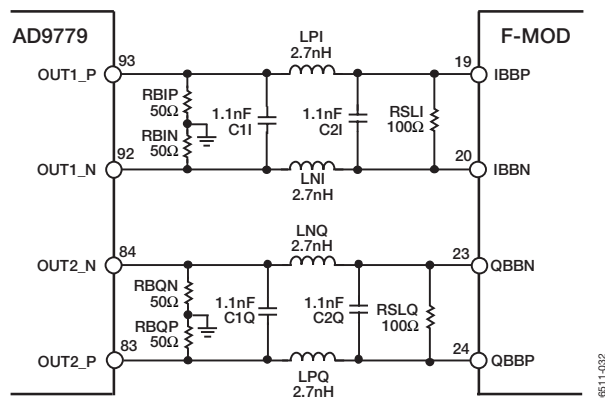


図32. 3MHzの3次楕円ローパス・フィルタを用いたDACと変調器のインターフェース

### AD9779補助DACをキャリア混入のゼロ調整に使用する方法

AD9779は補助DACを持っているため、各メインDACチャンネルの差動出力に微小な電流を注入できます。これを使用して、変調器から発生するキャリア混入のゼロ調整に必要な微小なオフセット電圧を発生できます。図33は、補助DACを使用するために必要なインターフェースを示します。この回路では、4本の抵抗をインターフェースに追加します。

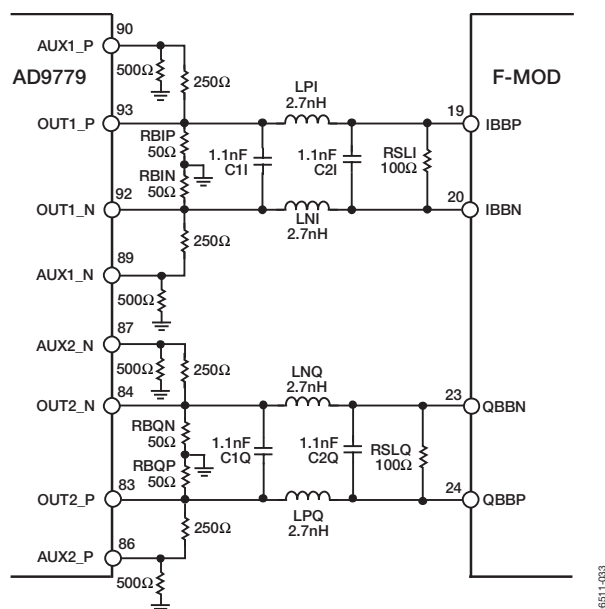


図33. 補助DAC抵抗を用いたDACと変調器のインターフェース

### GSM動作

図34に、1960MHz時のADL5372の出力パワー対GSM EVM、スペクトル・マスク、ノイズの特性を示します。LO振幅が所定の数値である場合、性能は出力パワーに依存しません。

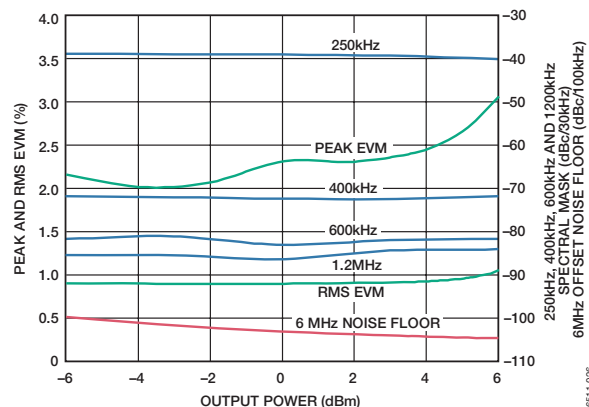


図34. GSM EVMおよびスペクトル性能、1960MHz時のチャンネル・パワー、出力パワーの関連特性 (LOパワー=0dBm)

図35に、出力パワーが5dBmのときの1960MHz時のLO振幅対GSM EVMおよびノイズ性能の特性を示します。LO駆動レベルを上げると、ノイズ性能が向上しますが、EVM性能は低下します。

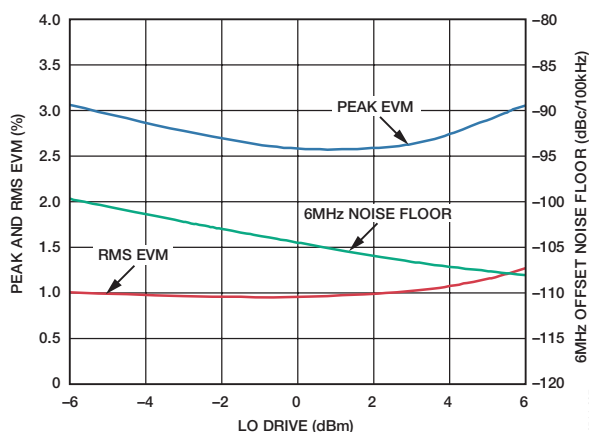


図35. 1960MHz時のLOパワー 対 GSM EVMおよび6MHzノイズ・フロア、出力パワー=5dBm

図35に、LO振幅が3dBmのときに、1960MHz時のGSM信号のノイズおよびEVMに最適な動作ポイントが得られることを示します。

# ADL5372

## WCDMA動作

ADL5372はWCDMA環境の動作に適しており、 $-10\text{dBm}$ の出力パワー時に $72.5\text{dB}$ 以下の隣接チャンネル・パワー比 (ACPR) を維持し、 $-157\text{dBm/Hz}$ の $20\text{MHz}$ ノイズ・フロア性能を持っています。図36と図37に、LO周波数が $1966\text{MHz}$ と $2140\text{MHz}$ のときの出力パワー対ADL5372のACPRおよび $20\text{MHz}$ オフセット・ノイズ・フロアの性能特性をそれぞれ示します。

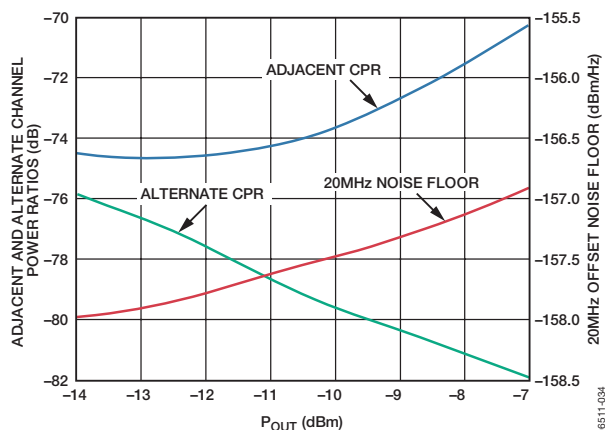


図36. 1966MHz時の出力パワー 対 WCDMA隣接およびオルタネート・チャンネル・パワー比、 $20\text{MHz}$ オフセット・ノイズ・フロア (LOパワー= $0\text{dBm}$ )

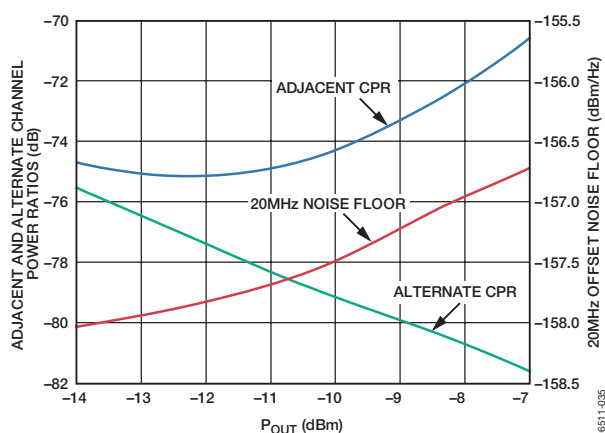


図37. 2140MHz時の出力パワー 対 WCDMA隣接およびオルタネート・チャンネル・パワー比、 $20\text{MHz}$ オフセット・ノイズ・フロア (LOパワー= $0\text{dBm}$ )

## WiMAX動作

図38に、 $2350\text{MHz}$ 時のADL5372の出力パワー対ACPRの性能特性を示します。 $10\text{MHz}$ 帯域の $64\text{-QAM OFDM}$ 信号と $256$ のサブキャリアを使用し、 $\alpha=2$ の二乗余弦フィルタを使用するテスト条件によります。

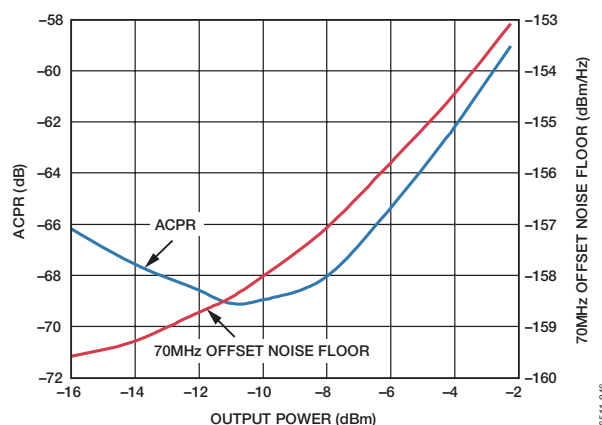


図38.  $2350\text{MHz}$ 時の出力パワー 対 WiMAXのACPRおよびノイズ・フロア (LOパワー= $0\text{dBm}$ )

## PLLを使用したLOの発生

アナログ・デバイセズは、LO信号発生に使用可能なPLL製品ラインを描いています。表4に、これらのPLLとその最大周波数、位相ノイズ性能を示します。

表4. アナログ・デバイセズのPLLセレクション・テーブル

| Part    | Frequency $f_{\text{IN}}$ (MHz) | Phase Noise @ 1 kHz Offset and 200 kHz PFD (dBc/Hz) |
|---------|---------------------------------|-----------------------------------------------------|
| ADF4110 | 550                             | $-91$ @ $540\text{ MHz}$                            |
| ADF4111 | 1200                            | $-87$ @ $900\text{ MHz}$                            |
| ADF4112 | 3000                            | $-90$ @ $900\text{ MHz}$                            |
| ADF4113 | 4000                            | $-91$ @ $900\text{ MHz}$                            |
| ADF4116 | 550                             | $-89$ @ $540\text{ MHz}$                            |
| ADF4117 | 1200                            | $-87$ @ $900\text{ MHz}$                            |
| ADF4118 | 3000                            | $-90$ @ $900\text{ MHz}$                            |

ADF4360は、9種類の動作周波数範囲を持つチップ・ファミリーです。要求される局部発振器周波数に応じて、このうち1つを選択します。集積化されたシンセサイザを使用する場合は、ADL5372のノイズ性能がわずかに低下しますが、別々のPLLとVCOを使用するソリューションより低価格の代替ソリューションとなります。表5に、使用可能なオプションを示します。

表5. ADF4360ファミリーの動作周波数

| Part      | Output Frequency Range (MHz) |
|-----------|------------------------------|
| ADF4360-0 | 2400 to 2725                 |
| ADF4360-1 | 2050 to 2450                 |
| ADF4360-2 | 1850 to 2150                 |
| ADF4360-3 | 1600 to 1950                 |
| ADF4360-4 | 1450 to 1750                 |
| ADF4360-5 | 1200 to 1400                 |
| ADF4360-6 | 1050 to 1250                 |
| ADF4360-7 | 350 to 1800                  |
| ADF4360-8 | 65 to 400                    |

## 送信DACオプション

ADL5372の駆動に使用できるDACは、前項で推奨したAD9779だけではなくありません。要求される性能のレベルに応じて他の適当なDACも使用できます。表6は、アナログ・デバイセズが提供するデュアルTxDACを示します。

表6. デュアルTxDACのセレクション・テーブル

| Part   | Resolution (Bits) | Update Rate (MSPS Minimum) |
|--------|-------------------|----------------------------|
| AD9709 | 8                 | 125                        |
| AD9761 | 10                | 40                         |
| AD9763 | 10                | 125                        |
| AD9765 | 12                | 125                        |
| AD9767 | 14                | 125                        |
| AD9773 | 12                | 160                        |
| AD9775 | 14                | 160                        |
| AD9777 | 16                | 160                        |
| AD9776 | 12                | 1000                       |
| AD9778 | 14                | 1000                       |
| AD9779 | 16                | 1000                       |

表に記載するDACはすべてバイアス・レベルの公称値が0.5Vであり、図32に示すものと同じ簡易なDAC変調器インターフェースを使用します。

## 変調器／復調器オプション

表7に、アナログ・デバイセズのその他の変調器と復調器を示します。

表7. 変調器／復調器オプション

| Part    | Modulator/Demodulator | Frequency Range (MHz) | Comments            |
|---------|-----------------------|-----------------------|---------------------|
| AD8345  | Modulator             | 140 to 1000           | External quadrature |
| AD8346  | Modulator             | 800 to 2500           |                     |
| AD8349  | Modulator             | 700 to 2700           |                     |
| ADL5390 | Modulator             | 20 to 2400            |                     |
| ADL5385 | Modulator             | 50 to 2200            |                     |
| ADL5370 | Modulator             | 300 to 1000           |                     |
| ADL5371 | Modulator             | 500 to 1500           |                     |
| ADL5373 | Modulator             | 2300 to 3000          |                     |
| ADL5374 | Modulator             | 3000 to 4000          |                     |
| AD8347  | Demodulator           | 800 to 2700           |                     |
| AD8348  | Demodulator           | 50 to 1000            |                     |
| AD8340  | Vector modulator      | 700 to 1000           |                     |
| AD8341  | Vector modulator      | 1500 to 2400          |                     |

# ADL5372

## 評価用ボード

ADL5372の評価には、部品実装済みのRoHS準拠の評価用ボードを使用できます。ADL5372のパッケージの下側には、露出パッドが装着されています。この露出パッドを評価用ボードにハンダ付けする必要があります（「電源とグラウンディング」を参照）。この評価用ボードは、下側に部品を実装していないため、下側に熱を加えてADL5372の取外しや交換を簡単に行えます。

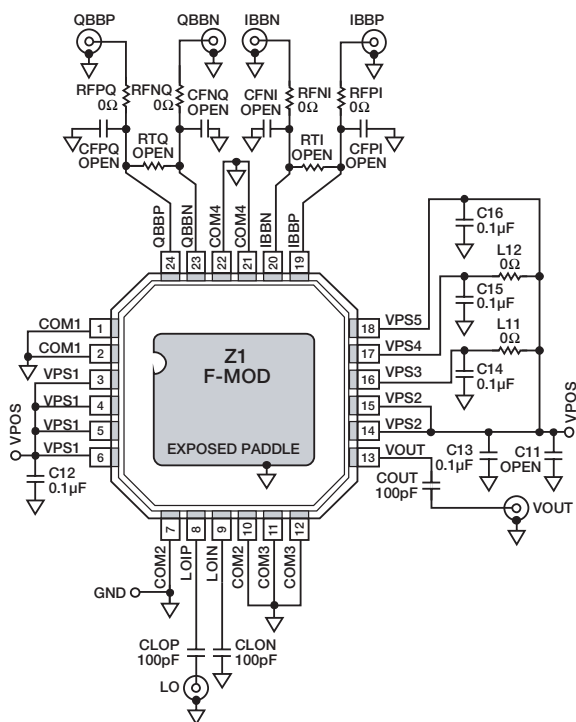


図39. ADL5372評価用ボードの回路図

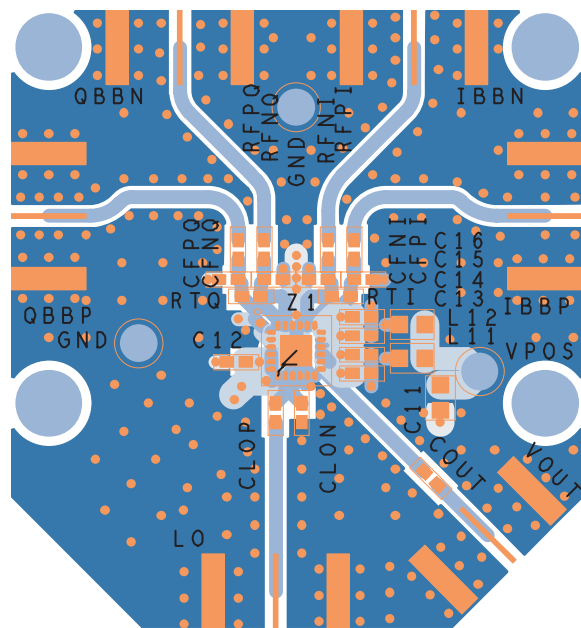


図40. 評価用ボードのレイアウト、上面層

表8. 評価用ボードの構成オプション

| Component                                                | Description                                                                                                                              | Default Condition                                                                                            |
|----------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------|
| VPOS, GND                                                | Power Supply and Ground Clip Leads.                                                                                                      | Not applicable                                                                                               |
| RFPI, RFNI, RFPQ, RFNQ, CFPI, CFNI, CFPQ, CFNQ, RTQ, RTI | Baseband Input Filters. These components can be used to implement a low-pass filter for the baseband signals. See the Filtering section. | RFNQ, RFPQ, RFNI, RFPI = 0 $\Omega$ (0402)<br>CFNQ, CFPQ, CFNI, CFPI = Open (0402)<br>RTQ, RTI = Open (0402) |

## 特性評価のセットアップ

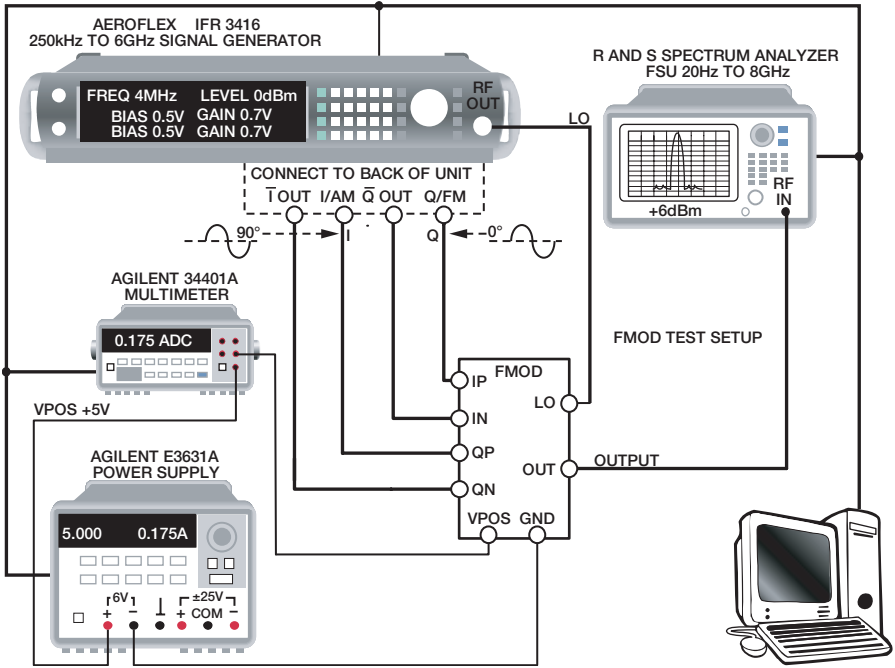


図41. 特性評価のベンチ・セットアップ

図41に、ADL5372の特性評価に使用する主要なセットアップを示します。このセットアップは、シングル・サイドバンド変調器としてこの製品を評価するときに使用したものです。Aeroflex信号発生器から被測定デバイスDUTにLO信号と差動のIおよびQベースバンド信号を入力しました。LO駆動レベルの代表値は0dBmでした。Iチャンネルを正弦波で、Qチャンネルを余弦波で駆動しました。下側のサイドバンドは、シングル・サイドバンド (SSB) 出力です。

1MHzの正弦波信号と500mVの同相電圧をDUTのベースバンド信号に入力する方法で、ADL5372の特性評価の大部分を実施しました。DUTの接続を行う前に、ベースバンド入力上の $V_{IOS}$ および $V_{QOS}$ オフセットが可能な限り0Vに近い最小値に抑えられるように、ベースバンド信号経路のキャリブレーションを実施しました。 $V_{IOS}$ と $V_{QOS}$ の定義については、「キャリア混入のゼロ調整」を参照してください。

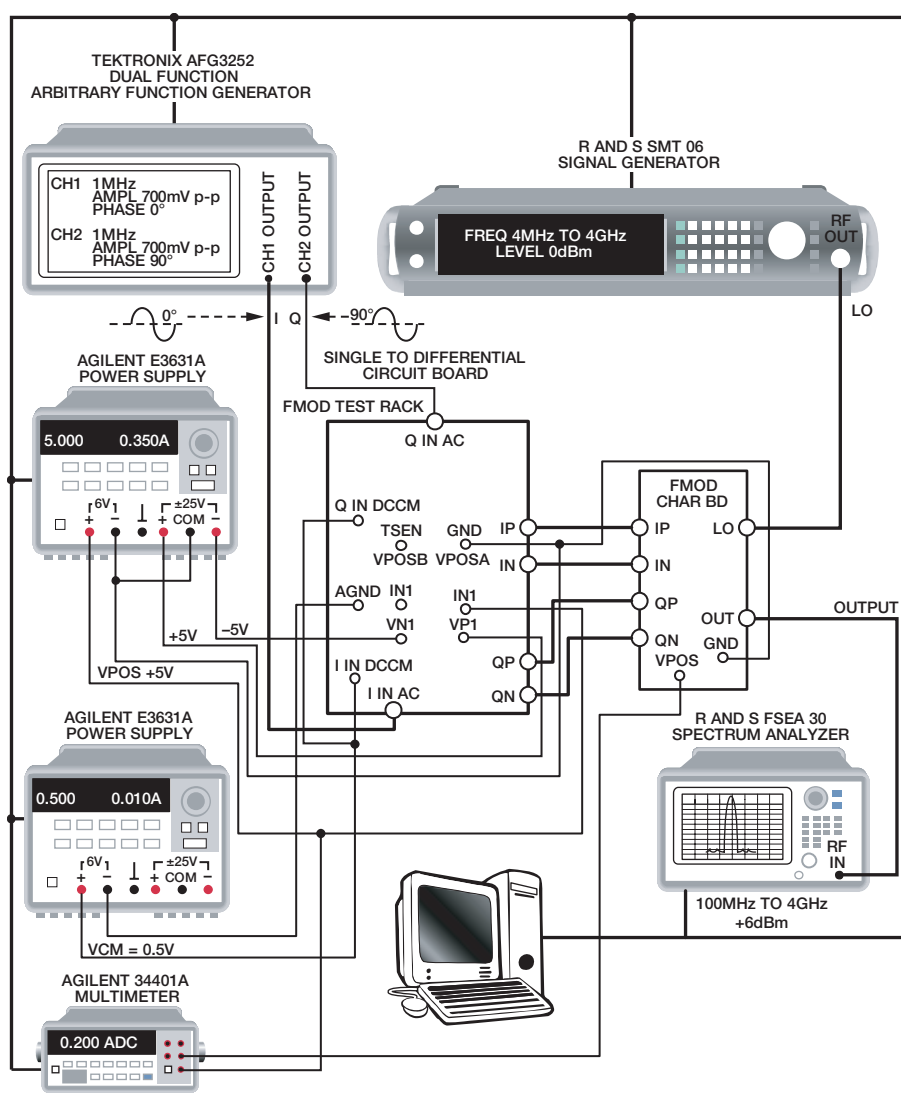
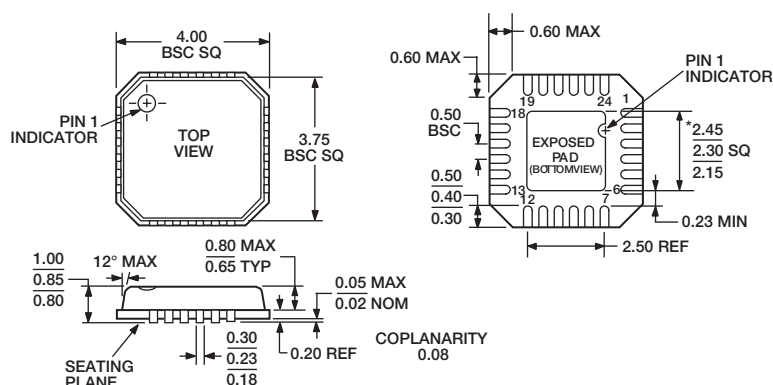


図42. ベースバンド周波数掃引および不要サイドバンドのゼロ調整用セットアップ

図42に、ADL5372のベースバンド周波数掃引および不要サイドバンドのゼロ調整を評価するために使用したセットアップを示します。インターフェース・ボードには、任意関数発生器からのシングルエンドの入力とQ入力をDCバイアスが500mVの差動のIおよびQベースバンド信号に変換する回路が実装されています。

不要サイドバンドのゼロ調整は、Qチャンネルの振幅と位相の調整を反復するプロセスを用いて実施しました。サイドバンドのゼロ調整に関する詳細な説明は、「サイドバンド抑圧の最適化」を参照してください。

## 外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-2  
EXCEPT FOR EXPOSED PAD DIMENSION

図43. 24ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP\_VQ]  
4mm×4mmボディ、極薄クワッド  
(CP-24-2)  
寸法単位：mm

## オーダー・ガイド

| Model                       | Temperature Range | Package Description                | Package Option | Ordering Quantity |
|-----------------------------|-------------------|------------------------------------|----------------|-------------------|
| ADL5372ACPZ-R2 <sup>1</sup> | −40°C to +85°C    | 24-Lead LFCSP_VQ, 7" Tape and Reel | CP-24-2        | 250               |
| ADL5372ACPZ-R7 <sup>1</sup> | −40°C to +85°C    | 24-Lead LFCSP_VQ, 7" Tape and Reel | CP-24-2        | 1,500             |
| ADL5372ACPZ-WP <sup>1</sup> | −40°C to +85°C    | 24-Lead LFCSP_VQ, Waffle Pack      | CP-24-2        | 64                |
| ADL5372-EVALZ <sup>1</sup>  |                   | Evaluation Board                   |                |                   |

<sup>1</sup> Z=鉛フリー製品