2300～3000MHzの直交変調器

ADL5373

特長

出力周波数範囲：2300～3000MHz
変調帯域幅： 500MHz（3dB）以上
1dB出力圧縮：14dBm@2500MHz
ノイズ・フロア：－157dBm/Hz@2500MHz
サイドバンド抑圧：－39dBc@2500MHz
キャリア混入：－39dBm@2500MHz
単電源動作：4.75～5.25V
24ピンLFCSP_VQを採用

アプリケーション

WiMAX／ブロードバンド・ワイヤレス・アクセス・システム
サテライト・モデム

機能ブロック図

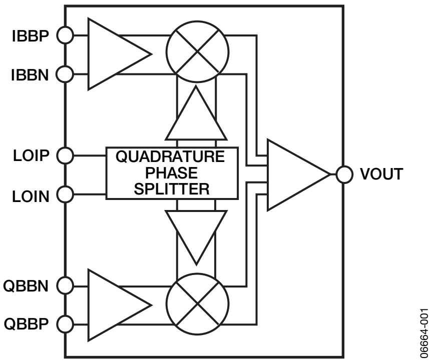

図1

概要

ADL5373は、2300～3000MHzでの使用に適した固定ゲイン直交変調器（F-MOD）ファミリーの製品です。位相精度と振幅のバランスが優れているため、通信システム向けの中間周波数の変調や、無線周波数の直接変調を高性能で実現します。

500MHzを超える3dBベースバンド帯域幅性能を持っているため、広帯域幅のゼロIFまたは低IFからRFまでの周波数アプリケーションや広帯域幅のデジタル・プリディストーション・トランスミッタでの使用に最適です。

2個の差動ベースバンド入力と1個のシングルエンドの局部発振器（LO）入力を使って、シングルエンドの出力を発生します。

ADL5373は、アナログ・デバイセズの最新シリコンゲルマニウム・バイポーラ・プロセスを採用して製造しています。露出パッドつきの24ピン鉛フリーLFCSPパッケージを採用し、－40～＋85℃の温度範囲で仕様規定しています。鉛フリーの評価用ボードも提供しています。

REV. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03（5402）8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06（6350）6868

目次

改訂履歴

6/07—Revision 0: Initial Version

仕様

特に指定のない限り、V_S＝5V、T_A＝25℃、LO＝0dBm[1]、ベースバンドI/Q振幅＝500mVのDCバイアスと直交1.4Vp-p差動正弦波、ベースバンドI/Q周波数（f_{BB}）＝1MHz。

表1

Parameter	Conditions	Min	Typ	Max	Unit
OPERATING FREQUENCY RANGE	Low frequency		2300		MHz
	High frequency		3000		MHz
LO = 2300 MHz					
Output Power	V_{IQ} = 1.4 V p-p differential		4.6		dBm
Output P1dB			11.6		dBm
Carrier Feedthrough			–48		dBm
Sideband Suppression			–40		dBc
Quadrature Error			1.1		Degrees
I/Q Amplitude Balance			–0.06		dB
Second Harmonic	P_{OUT} – (f_{LO} + (2 × f_{BB})), P_{OUT} = 4.6 dBm		–59		dBc
Third Harmonic	P_{OUT} – (f_{LO} + (3 × f_{BB})), P_{OUT} = 4.6 dBm		–49		dBc
Output IP2	$f1_{BB}$ = 3.5 MHz, $f2_{BB}$ = 4.5 MHz, P_{OUT} = –1.5 dBm per tone		58		dBm
Output IP3	$f1_{BB}$ = 3.5 MHz, $f2_{BB}$ = 4.5 MHz, P_{OUT} = –1.5 dBm per tone		25		dBm
WiMAX 802.16e	10 MHz carrier bandwidth (1024 subcarriers), 64 QAM signal, 30 MHz carrier offset, P_{OUT} = –10 dBm, P_{LO} = 0 dBm		–158.5		dBm/Hz
LO = 2500 MHz					
Output Power	V_{IQ} = 1.4 V p-p differential		7.1		dBm
Output P1dB			14		dBm
Carrier Feedthrough			–39		dBm
Sideband Suppression			–39		dBc
Quadrature Error			1.3		Degrees
I/Q Amplitude Balance			–0.1		dB
Second Harmonic	P_{OUT} – (f_{LO} + (2 × f_{BB})), P_{OUT} = 7.1 dBm		–60		dBc
Third Harmonic	P_{OUT} – (f_{LO} + (3 × f_{BB})), P_{OUT} = 7.1 dBm		–48		dBc
Output IP2	$f1_{BB}$ = 3.5 MHz, $f2_{BB}$ = 4.5 MHz, P_{OUT} = 1.1 dBm per tone		61		dBm
Output IP3	$f1_{BB}$ = 3.5 MHz, $f2_{BB}$ = 4.5 MHz, P_{OUT} = 1.1 dBm per tone		27		dBm
Noise Floor	I/Q inputs = 0 V differential with a 500 mV common-mode bias, 20 MHz carrier offset		–157		dBm/Hz
WiMAX 802.16e	10 MHz carrier bandwidth (1024 subcarriers), 64 QAM signal, 30 MHz carrier offset, P_{OUT} = –10 dBm, P_{LO} = 0 dBm		–156.3		dBm/Hz
LO = 2700 MHz					
Output Power	V_{IQ} = 1.4 V p-p differential		7.7		dBm
Output P1dB			14		dBm
Carrier Feedthrough			–32		dBm
Sideband Suppression			–38		dBc
Quadrature Error			1.2		Degrees
I/Q Amplitude Balance			–0.12		dB
Second Harmonic	P_{OUT} – (f_{LO} + (2 × f_{BB})), P_{OUT} = 7.7 dBm		–58		dBc

Parameter	Conditions	Min	Typ	Max	Unit
Third Harmonic	P_{OUT} – (f_{LO} + (3 × f_{BB})), P_{OUT} = 7.7 dBm		–48		dBc
Output IP2	$f1_{BB}$ = 3.5 MHz, $f2_{BB}$ = 4.5 MHz, P_{OUT} = 1.6 dBm per tone		60		dBm
Output IP3	$f1_{BB}$ = 3.5 MHz, $f2_{BB}$ = 4.5 MHz, P_{OUT} = 1.6 dBm per tone		26		dBm
WiMAX 802.16e	10 MHz carrier bandwidth (1024 subcarriers), 64 QAM signal, 30 MHz carrier offset, P_{OUT} = –10 dBm, P_{LO} = 0 dBm		–155.6		dBm/Hz
LO INPUTS					
LO Drive Level[1]	Characterization performed at typical level	–6	0	+6	dBm
Input Return Loss	See Figure 9 for a plot of return loss vs. frequency		–6		dB
BASEBAND INPUTS	Pin IBBP, Pin IBBN, Pin QBBP, Pin QBBN				
I and Q Input Bias Level			500		mV
Input Bias Current	Current sourcing from each baseband input with a bias of 500 mV dc[2]		45		μA
Input Offset Current			0.1		μA
Differential Input Impedance			2900		kΩ
Bandwidth	LO = 2500 MHz, baseband input = 700 mV p-p sine wave on 500 mV dc				
0.1 dB			70		MHz
1 dB			350		MHz
POWER SUPPLIES	Pin VPS1 and Pin VPS2				
Voltage		4.75		5.25	V
Supply Current			166		mA

[1] Johanson Technology社の提供のバラン（モデル2450BL15B050）で駆動。
[2] アーキテクチャについては、「V/Iコンバータ」を参照。

絶対最大定格

表2

Parameter	Rating
Supply Voltage VPOS	5.5 V
IBBP, IBBN, QBBP, and QBBN	0 V to 2 V
LOIP and LOIN	13 dBm
Internal Power Dissipation	1024 mW
θ_{JA} (Exposed Paddle Soldered Down)	54°C/W
Maximum Junction Temperature	150°C
Operating Temperature Range	–40°C to +85°C
Storage Temperature Range	–65°C to +150°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。1つでもパラメータの絶対最大定格を超えると、デバイスに影響を与える可能性があります。

ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置とピン機能の説明

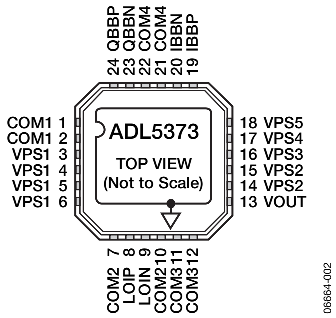

図2.　ピン配置

表3.　ピン機能の説明

ピン番号	記号	説明
1, 2, 7, 10 to 12, 21, 22	COM1 to COM4	入力コモン・ピン。低インピーダンス経路を介してグラウンド・プレーンに接続してください。
3 to 6, 14 to 18	VPS1 to VPS5	正の電源電圧ピン。すべてのピンを同じ電源（V_S）に接続する必要があります。十分な外部バイパス処理を確実に行うために、各ピンとグラウンド間に0.1μFのコンデンサを接続してください。同じ記号の隣接する電源ピンは、1本のコンデンサを共用できます（図25を参照）。
8, 9	LOIP, LOIN	50Ω差動LO入力。内部でACバイアスされます。ピンはAC結合する必要があります。LO入力インピーダンスについては、図8を参照してください。
13	VOUT	デバイス出力。シングルエンドのRF出力です。負荷に対してAC結合してください。この出力はグラウンドを基準としています。
19, 20, 23, 24	IBBP, IBBN, QBBN, QBBP	同相および直交ベースバンドの差動入力。これらの高インピーダンス入力は500mV DCにDCバイアスし、低インピーダンス・ソースで駆動する必要があります。特性評価を行ったAC信号振幅の公称値は、各ピン上で700mVp-pです。その結果として、500mVのDCバイアス時の差動駆動電圧レベルは1.4Vp-pになります。これらの入力は自己バイアスされないため、外部からバイアスする必要があります。
	露出パッド	低インピーダンス経路を介してグラウンド・プレーンに接続してください。

代表的な性能特性

特に指定のない限り、V_S＝5V、T_A＝25℃、LO＝0dBm、ベースバンドI/Q振幅＝500mVのDCバイアスと直交1.4Vp-p差動正弦波、ベースバンドI/Q周波数（f_{BB}）＝1MHz。

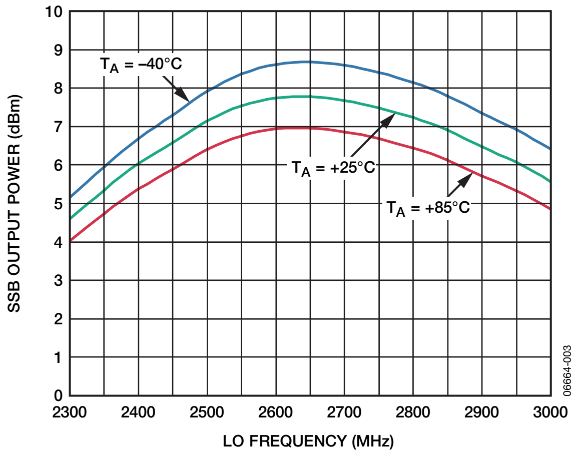

図3. LO周波数（f_{LO}）および温度 対 シングル・サイドバンド（SSB）出力パワー（P_{OUT}）

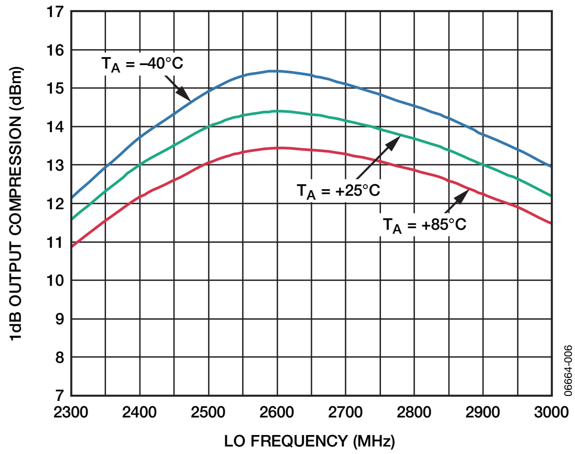

図6. f_{LO}および温度 対 SSB出力P 1dB圧縮ポイント（OP1dB）

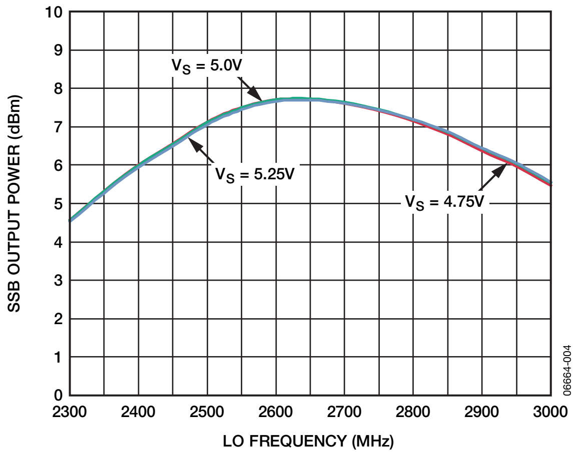

図4. LO周波数（f_{LO}）および電源 対 シングル・サイドバンド（SSB）出力パワー（P_{OUT}）

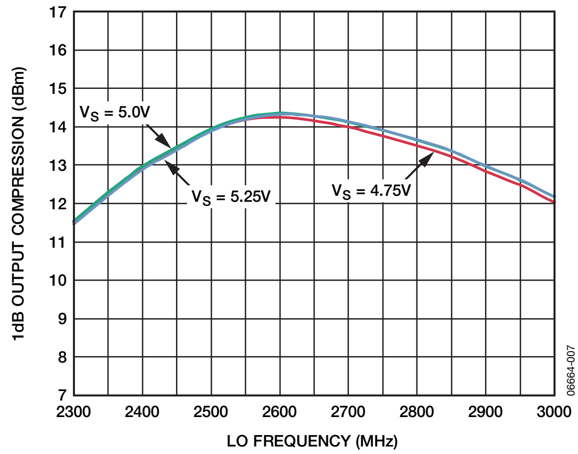

図7. f_{LO}および電源 対 SSB出力P 1dB圧縮ポイント（OP1dB）

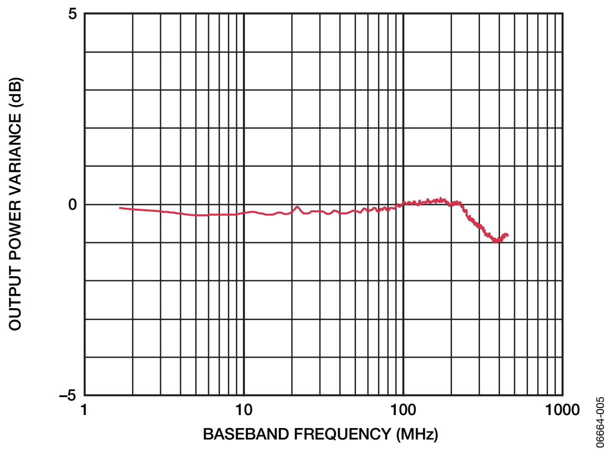

図5. 1MHzでのゲインに正規化されたIおよびQ入力帯域幅（f_{LO}=2500MHz）

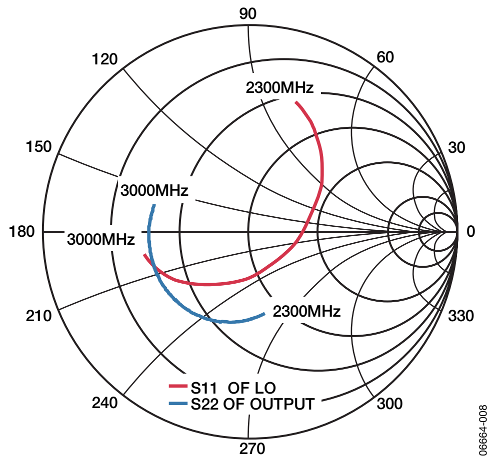

図8. LO S11およびVOUT S22のスミス・チャート（f_{LO}=2300～3000MHz）

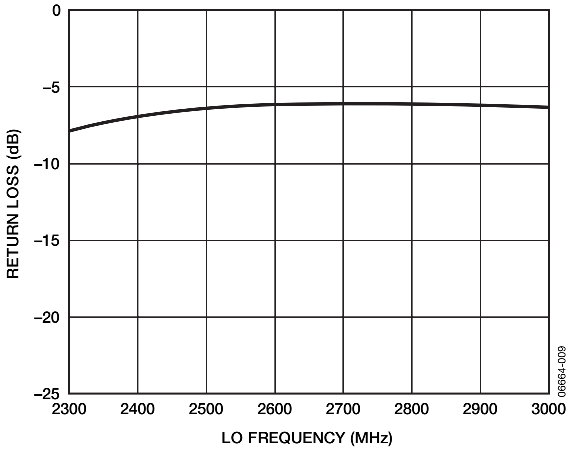

図9.　LOのリターン・ロス（S11）

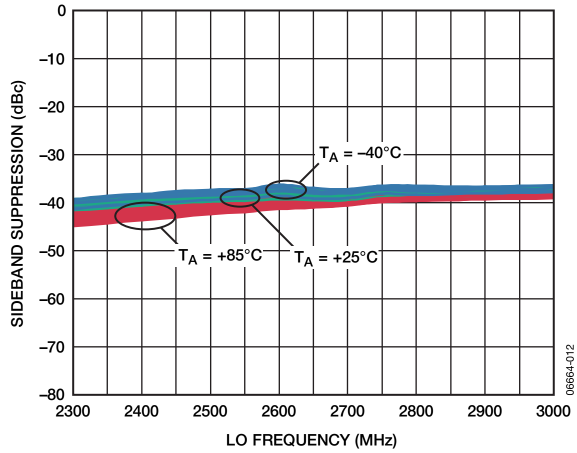

図12.　f_{LO}および温度 対 サイドバンド抑圧（複数のデバイスを表示）

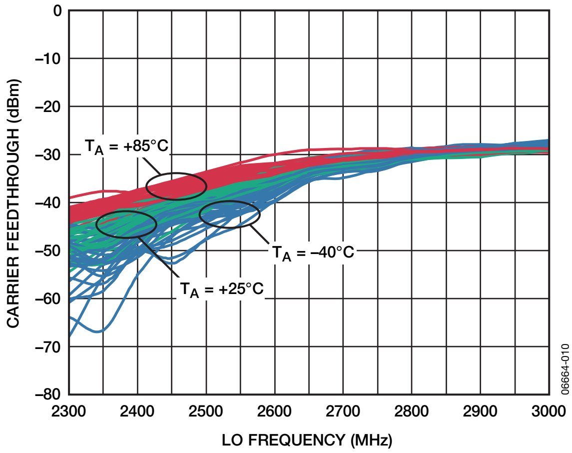

図10.　f_{LO}および温度 対 キャリア混入（複数のデバイスを表示）

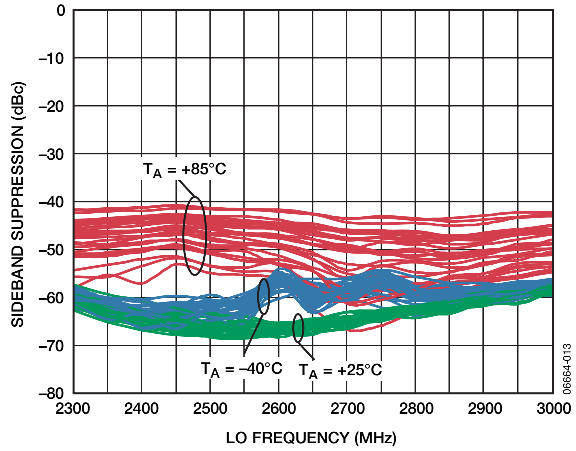

図13.　ゼロ調整後のf_{LO}および温度 対 サイドバンド抑圧、25℃時（複数のデバイスを表示）

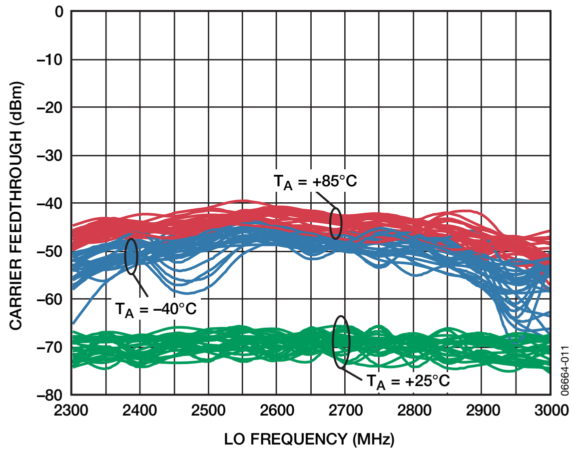

図11.　ゼロ調整後のf_{LO}および温度 対 キャリア混入、25℃時（複数のデバイスを表示）

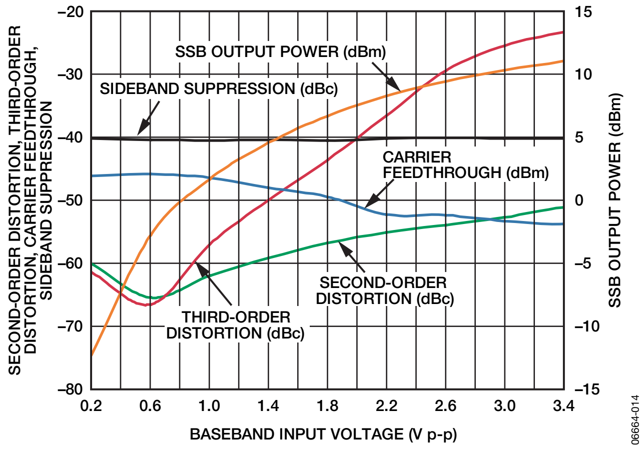

図14.　ベースバンド差動入力レベル 対 2次歪みおよび3次歪み、キャリア混入、サイドバンド抑圧、SSB P_{OUT}（f_{LO}=2300MHz）

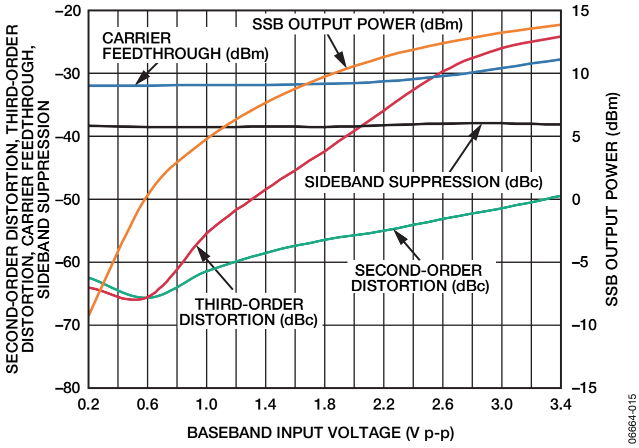

図15.　ベースバンド差動入力レベル 対 2次歪みおよび3次歪み、キャリア混入、サイドバンド抑圧、SSB P_{OUT}（f_{LO}＝2700MHz）

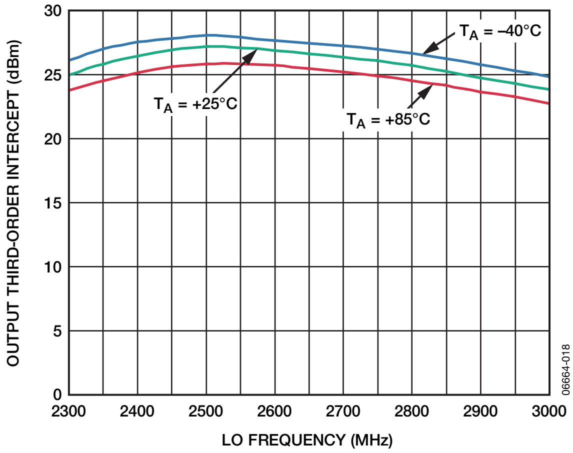

図18.　OIP3の周波数および温度特性

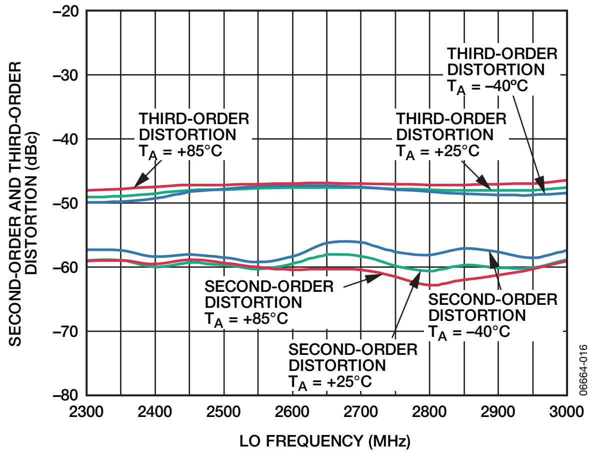

図16.　f_{LO}および温度 対 2次歪みおよび3次歪み（ベースバンドI/Q振幅＝1.4Vp-p差動）

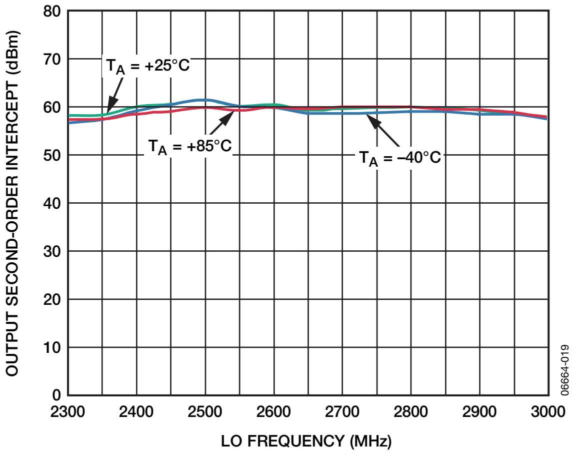

図19.　OIP2の周波数および温度特性

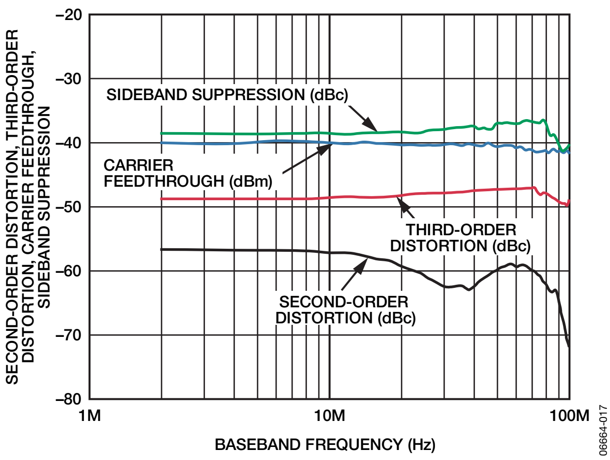

図17.　f_{BB}および温度 対 2次および3次歪み、キャリア混入、サイドバンド抑圧、SSB P_{OUT}（f_{LO}＝2500MHz）

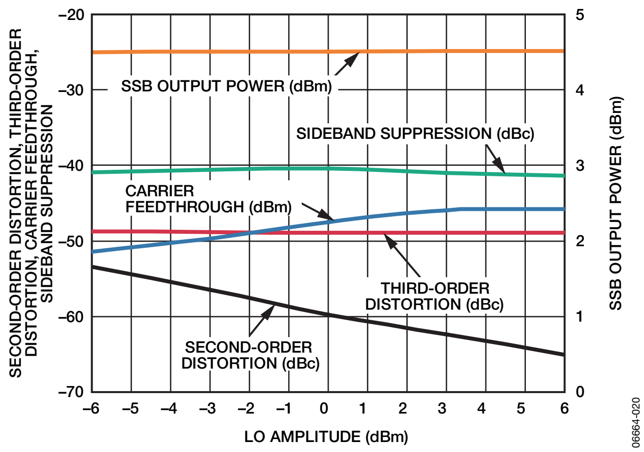

図20.　LO振幅 対 2次および3次歪み、キャリア混入、サイドバンド抑圧、SSB P_{OUT}（f_{LO}＝2300MHz）

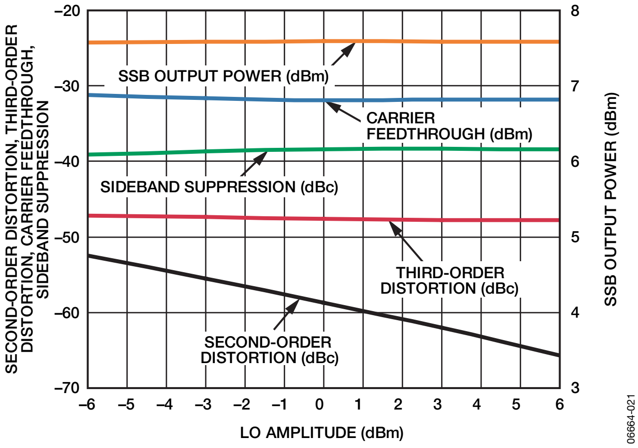

図21.　LO振幅 対 2次および3次歪み、キャリア混入、サイドバンド抑圧、SSB P_{OUT}（f_{LO}＝2700MHz）

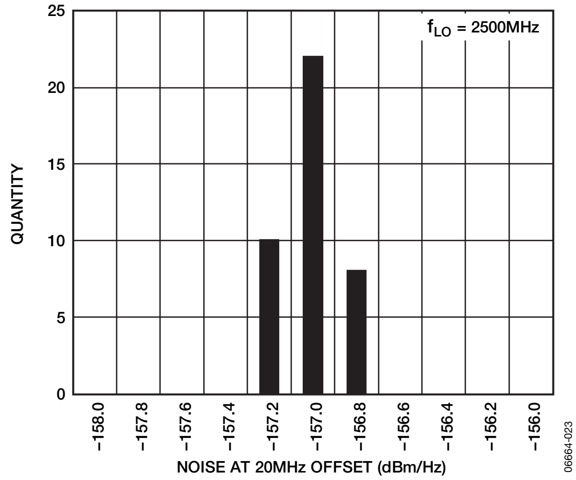

図23.　f_{LO}＝2500MHz時の20MHzオフセット・ノイズ・フロア分布（I/Q振幅＝0mVp-p、500mVのDCバイアス時）

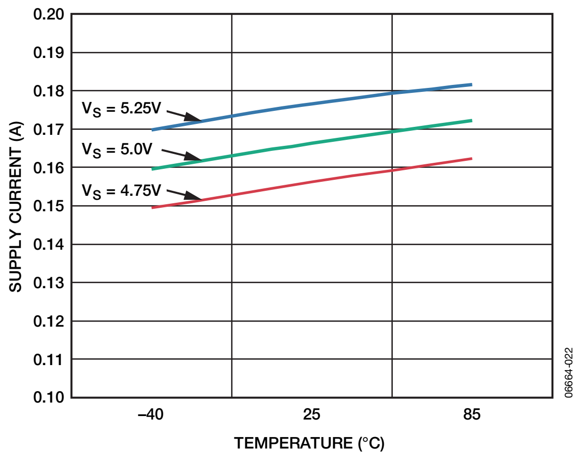

図22.　電源電流の温度特性

動作原理

回路説明

概要

ADL5373は、LOインターフェース、ベースバンド電圧／電流（V/I）コンバータ、ミキサ、差動／シングルエンド（D/S）変換段、バイアス回路の5つの回路ブロックに分けられます。図24は、このデバイスの詳細なブロック図を示します。

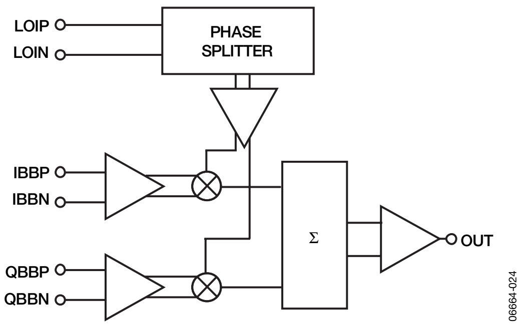

図24.　ブロック図

LOインターフェースは、直交する2つのLO信号を発生します。これらの信号はミキサの駆動に使用されます。IおよびQのベースバンド入力信号はV/I変換段によって電流に変換され、この電流が2個のミキサを駆動します。これらのミキサの出力が結合されて、シングルエンドの出力を供給する出力バランに送られます。バイアス・セルは、V/I変換段に対してリファレンス電流を発生します。

LOインターフェース

LOインターフェースは、多相直交スプリッタとその後段のリミット・アンプで構成されます。LO入力インピーダンスは、多相によって設定されます。最適性能を得るには、LOを差動で駆動する必要があります。直交する各LO信号はリミット・アンプを通過し、このアンプからミキサに制限された駆動信号が供給されます。

V/Iコンバータ

差動ベースバンド入力（QBBP、QBBN、IBBN、IBBP）は、インピーダンスの高いPNPトランジスタのベースで構成されています。これらのピンに入力される電圧によって、ベースバンド電圧を電流に変換するV/I変換段が駆動されます。V/I変換段の差動出力電流は、それぞれ該当するギルバートセル・ミキサに送り込まれます。ベースバンド入力のDC同相電圧により、2個のミキサ・コア内で電流が設定されます。ベースバンド同相電圧が変化すると、ミキサ電流が変動し、変調器全体の性能が低下します。ベースバンド同相電圧には500mV DCのDC電圧を推奨します。

ミキサ

ADL5373には、同相チャンネル（Iチャンネル）用と直交チャンネル（Qチャンネル）用の2個の二重平衡型ミキサがあります。いずれのミキサも、4個のクロス接続トランジスタを持つギルバートセルデザインを採用しています。2個のミキサからの出力電流は加算されて負荷に送られます。この負荷を経由して発生される信号がD/S変換段の駆動に使用されます。

D/S変換段

出力D/S変換段は、差動信号をシングルエンド信号に変換するオンチップのバランで構成されます。このバランは、出力（VOUT）に対して高いインピーダンスを提供します。したがって、パワー伝達を最適化するために、出力に整合回路が必要になることがあります。

バイアス回路

オンチップのバンドギャップ・リファレンス回路を使用することで、V/I変換段で必要な比例／絶対温度（PTAT）リファレンス電流が発生されます。

基本接続

図25に、ADL5373の基本的な接続を示します。

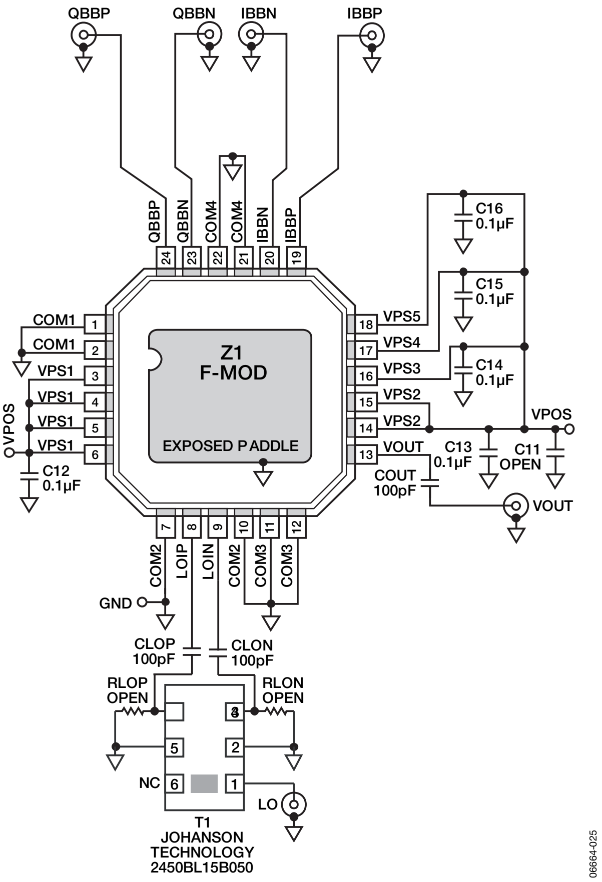

図25. ADL5373の基本的な接続

電源とグラウンディング

VPSピンはすべて、同じ5V電源に接続します。同じ記号の隣接するピンを一緒に接続し、0.1µFのコンデンサでデカップリングしてください。これらのコンデンサは、ADL5373のできるだけ近くに配置してください。電源の範囲は4.75～5.25Vとします。

COM1ピン、COM2ピン、COM3ピン、COM4ピンは、低インピーダンス経路を介して同じグラウンド・プレーンに接続してください。パッケージの下側に装着されている露出パッドも同様に、熱的および電気的インピーダンスの低いグラウンド・プレーンにハンダ付けする必要があります。グラウンド・プレーンが回路ボード上の複数の層にまたがる場合は、露出パッド下側の9本のビアを使用して、これらの層を接続してください。アプリケーション・ノートAN-772では、LFCSPの熱的および電気的グラウンディングについて詳細に説明しています。

ベースバンド入力

QBBP、QBBN、IBBP、IBBNのベースバンド入力は、差動の信号源で駆動する必要があります。1.4Vp-p差動（各ピン上で700mVp-p）の公称駆動レベルを500mV DCの同相レベルにバイアスさせてください。

ベースバンド入力のDC同相バイアス・レベルは、400～600mVの範囲です。そのため、使用可能な入力AC振幅範囲が狭くなります。DCバイアスの公称値が500mVであるため、最大限のAC振幅が可能ですが、下限はADL5373の入力範囲の下限に、また上限はアナログ・デバイセズの大半のD/Aコンバータ（DAC）に適用される出力コンプライアンス範囲の上限になります。

LO入力

LO入力は差動で駆動します。ADL5373用のバランは、Johanson Technology社のモデル2450BM15B050の使用を推奨します。LOピンはバランにAC結合してください。

公称値が0dBmのLO駆動レベルを最大6dBmまで増加させることで、変調器のノイズ性能を改善できます。LOソースから0dBmのレベルを供給できない場合は、パワーを0dBmよりも低く下げた動作が可能です。LO駆動レベルを低くすると、変調器ノイズがわずかに増加します。図20と図21に、サイドバンド抑圧とキャリア混入に対してLOパワーが及ぼす影響を示します。

RF出力

RF出力は、VOUTピン（13番ピン）から供給されます。このVOUTピンは、50Ω負荷の駆動能力を持つ内部バランに接続されます。アプリケーションで50Ωの出力インピーダンスが要求される場合は、整合回路の外付けが必要になります（S22の性能については図8を参照）。内部バランとグラウンド間には、低いDC経路が確保されます。ほとんどの場合は、VOUTピンを負荷にAC結合してください。

最適化

最適化技術の活用によって、ADL5373のキャリア混入とサイドバンド抑圧性能を改善できます。

キャリア混入のゼロ調整

キャリア混入は、差動ベースバンドの各入力間で発生する微小なDCオフセットが原因となって発生します。理論的な変調器では、（$V_{IOPP}-V_{IOPN}$）と（$V_{QOPP}-V_{QOPN}$）の値がゼロであるため、キャリア混入は発生しません。しかし、実際の変調器では、これらの値がゼロにならないため、LOとのミックス時に有限のキャリア混入が発生します。ADL5373は、このキャリア混入を最小限に抑えるようにデザインされています。このキャリア混入をさらにもっと低く抑える必要がある場合は、（$V_{IOPP}-V_{IOPN}$）と（$V_{QOPP}-V_{QOPN}$）のオフセットにわずかな調整を加えることができます。Iチャンネルのオフセット一定にして、Qチャンネルのオフセットを変化させ、キャリア混入が最小レベルになるようにします。次に、キャリア混入が最小になったときのQチャンネルのオフセットを保ったまま、さらにキャリア混入が最小になるようIチャンネルのオフセットを調整します。このプロセスを2回反復することで、キャリア混入を出力ノイズと同じレベルまで削減できます。このゼロ調整機能は、オフセット調整の分解能による制限を受ける場合があります。図26に、ゼロ調整を行う際のDCオフセット対キャリア混入の関係を示します。

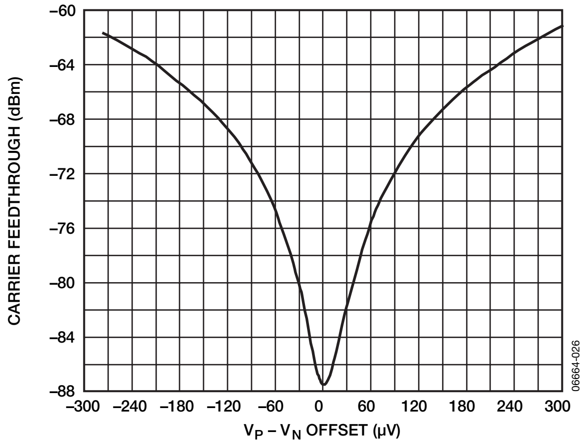

図26.　DCオフセット電圧 対 キャリア混入（2500MHz時）

このゼロ調整プロセスの実行中は、ベースバンド入力のDCバイアスが500mVに維持される点に注意が必要です。オフセットがまったく加えられない場合は、

$V_{IOPP} = V_{IOPN} = 500\text{mV}$、すなわち
$V_{IOPP} - V_{IOPN} = V_{IOS} = 0\text{V}$となります。

$+V_{IOS}$のオフセットがIチャンネルの入力に加えられる場合は、

$V_{IOPP} = 500\text{mV} + V_{IOS}/2$、および
$V_{IOPN} = 500\text{mV} - V_{IOS}/2$となり、
$V_{IOPP} - V_{IOPN} = V_{IOS} =$ になります。

この関係は、Qチャンネルにも同様に適用されます。

キャリアのゼロ・キャリブレーションは一度で行う方が望ましいことが多いものです。これは通常、単一周波数で行います。図27に、2500MHz時にゼロ調整の両側でLO周波数が±50MHzの範囲で変化するときに、これに伴ってキャリア混入が変動する関係を示します。

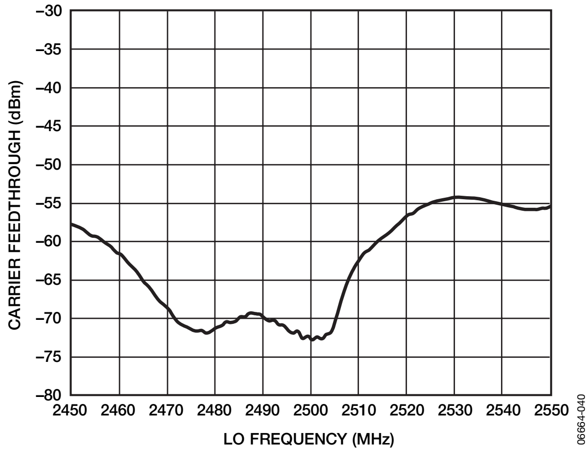

図27.　ゼロ調整後のキャリア混入の周波数特性（2500MHz時）

サイドバンド抑圧の最適化

サイドバンド抑圧は、IチャンネルとQチャンネル間の相対的なゲインと相対的な位相オフセットにより生じ、この2つのパラメータを調整してサイドバンドを抑圧できます。図28に、ゲインと位相の不平衡がサイドバンド抑圧に対して及ぼす影響を示します。

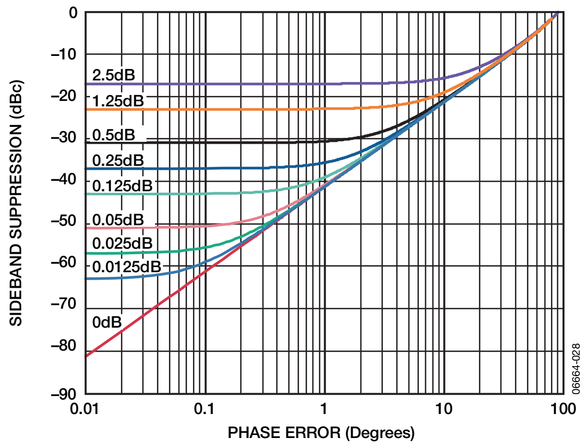

図28.　各種の直交振幅オフセット時の直交位相誤差 対 サイドバンド抑圧

図28からもわかるように、一方のパラメータだけを調整して、他方のパラメータを調整しない場合、サイドバンド抑圧の改善は限られたものになります。たとえば、振幅オフセットが0.25dBの場合、位相の不平衡を1°以下に改善しても、サイドバンド抑圧は改善されません。サイドバンド抑圧を最適化するには、位相と振幅間の調整を反復して行う必要があります。

各チャンネルのゲインを調整するか、またはデジタル・シグナル・プロセッサから送られるデジタル・データの位相とゲインを変更する方法で、サイドバンド抑圧をゼロ調整できます。

アプリケーション情報

DACと変調器間のインターフェース

ADL5373は、アナログ・デバイセズのDACファミリー製品と最小の部品数でインターフェースするようにデザインされています。これらのDACは0～20mAの出力電流振幅を持ち、同様の出力を持つすべてのDACに対して、この項で説明するインターフェースを使用できます。

TxDAC®を用いたADL5373の駆動

図29に、AD9779 TxDACを使用したインターフェースの例を示します。ADL5373のベースバンド入力には、500mVのDCバイアスが必要です。AD9779の各出力の平均出力電流は10mAです。したがって、各DAC出力とグラウンド間に1本の50Ω抵抗を接続すると、各抵抗を通過して流れる平均電流が10mAになるため、ADL5373の入力に必要とされる500mVのDCバイアスが発生されます。

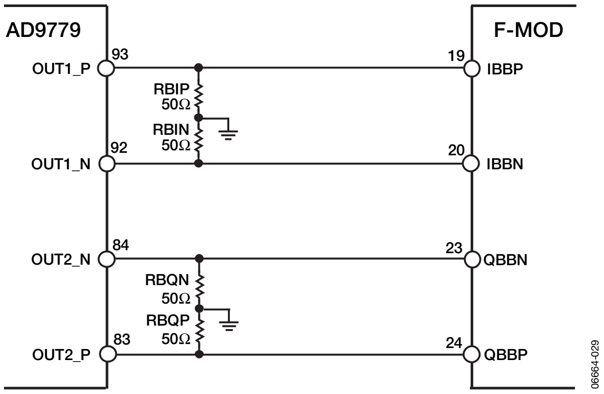

図29. AD9779とADL5373間のインターフェース。50Ω抵抗をグラウンド間に接続して、ADL5373のベースバンド入力に対して500mVのDCバイアスを発生

AD9779の出力電流振幅は、0～20mAの範囲です。50Ω抵抗を接続すると、ADL5373のベースバンド入力に入力されるAC電圧の振幅は0～1Vになります。AD9779から出力されるフルスケールの正弦波は、500mVのDCバイアス時に1Vp-pのシングルエンド（または2Vp-pの差動）正弦波として表されます。

AC振幅の制限

特定のDAC出力電流に対してAC電圧振幅を小さくすることが望ましい場合があります。もう1本の抵抗をインターフェースに追加することにより、これを実現できます。この抵抗は各差動ペアの間にシャント接続します（図30を参照）。この抵抗には、50Ω抵抗によってすでに設定されているDCバイアスを変化させずにAC振幅を削減する効果があります。

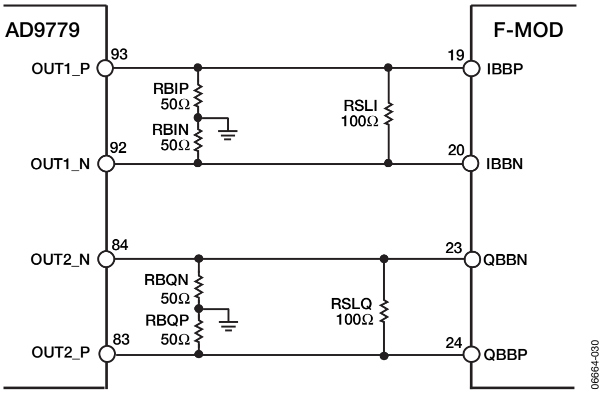

図30. 差動ペア間にシャント抵抗を接続する方法によるAC電圧振幅の削減

このAC電圧振幅制限抵抗の値は、所望のAC電圧振幅に基づいて選択します。図31に、50Ωのバイアス設定抵抗を使用する場合の振幅制限抵抗と、それを使用することにより発生するピークtoピークAC振幅との関係を示します。

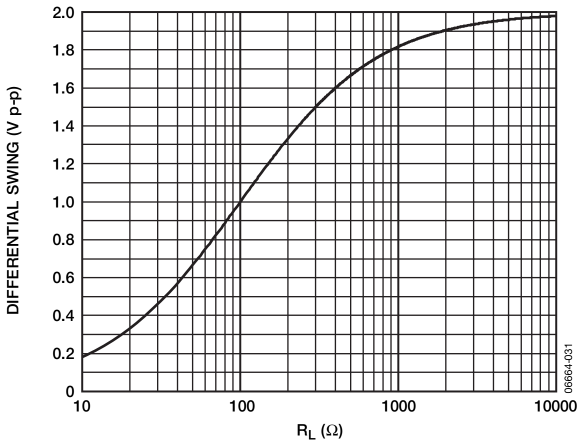

図31. 50Ωのバイアス設定抵抗を使用する場合のAC振幅制限抵抗とピークtoピーク電圧振幅との関係

フィルタリング

変調器の駆動時に発生するイメージを除去するために、DAC出力でローパス・フィルタリングを行う必要があります。バイアシングおよび「AC振幅の制限」で説明したAC振幅を設定するためのインターフェースが、このようなフィルタの使用に非常に適しています。DCバイアス設定用の抵抗とAC振幅制限用の抵抗の間にフィルタを挿入してください。このような処置を行うと、フィルタの入力および出力インピーダンスが設定されます。

図32に、3dB周波数が10MHzの3次ベッセル・ローパス・フィルタを使用する場合の例を示します。入力と出力のインピーダンスの整合がとれているため、フィルタデザインが容易になり、100Ωのシャント抵抗を選択して、1Vp-pのAC振幅を発生しています。図33に、このフィルタの周波数応答を示します。

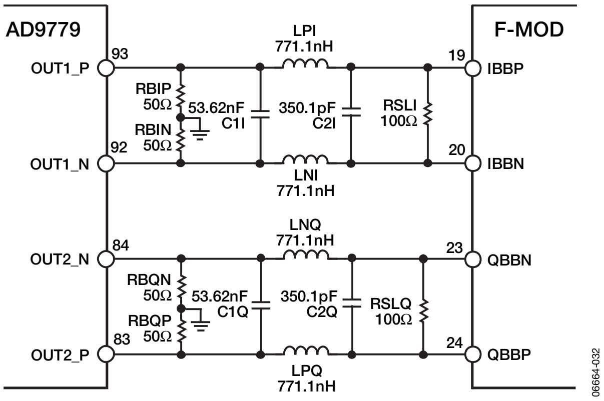

図32.　3MHzの3次ベッセル・フィルタを用いたDACと変調器のインターフェース

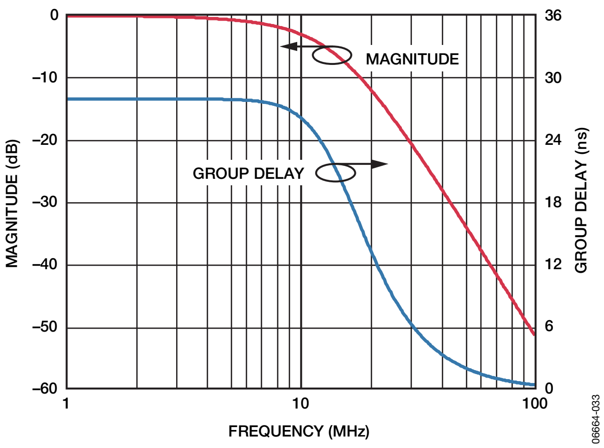

図33.　10MHzの3次ベッセル・フィルタを用いたDACと変調器のインターフェースの周波数応答

AD9779補助DACをキャリア混入のゼロ調整に使用する方法

AD9779は補助DACを持っているため、各メインDACチャンネルの差動出力に微小な電流を注入できます。これを使用して、変調器から発生するキャリア混入のゼロ調整に必要となる微小なオフセット電圧を発生できます。図34は、補助DACを使用するために必要なインターフェースを示します。この回路では、4本の抵抗をインターフェースに追加します。

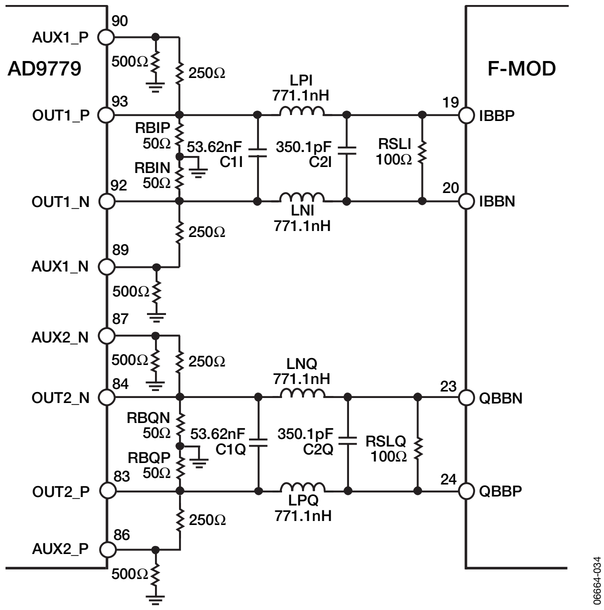

図34.　補助DAC抵抗を用いたDACと変調器のインターフェース

WiMAX動作

図35に、2つの隣接チャンネル・パワー比（10MHzと20MHzのオフセット）と、2600MHz時の10MHz 1024-OFDMA波形の出力パワーに対する30MHzオフセット・ノイズ・フロアの性能特性を示します。

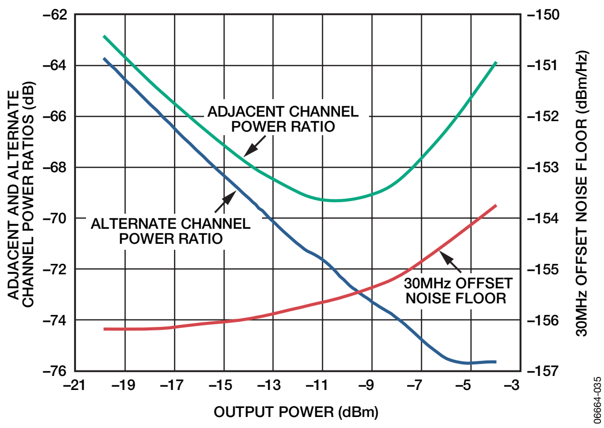

図35.　隣接および代替チャンネル・パワー比と、2600MHz時の10MHz 1024-OFDMA波形の出力パワー 対 30MHzオフセット・ノイズ・フロアの性能特性

図35に、変調器出力パワーが−10dBm以上のときに最適な性能が得られることを示します。ノイズ・フロアは出力パワーの増加に伴って上昇しますが、ACPRが低下するレートの半分以下です。したがって、−10dBmより大きなパワーで動作するとS/N比を改善することができます。

図36に、2600MHz時の10MHz 1024-OFDMA波形の出力パワーに対する補償前および補償後のエラー・ベクトル振幅（EVM）の性能特性を示します。

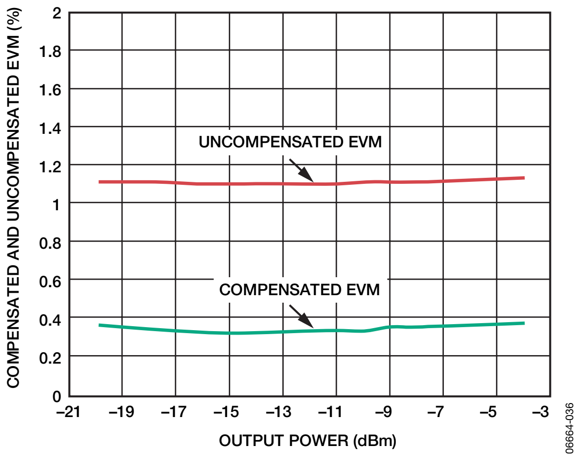

図36. 2600MHz時の10MHz 1024-OFDMA波形の出力パワー 対 補償前および補償後のエラー・ベクトル振幅（EVM）の性能特性（LOパワー＝0dBm）

PLLを使用したLOの発生

アナログ・デバイセズは、LO信号発生に使用可能なPLL製品ラインを揃えています。表4に、これらのPLLとその最大周波数、位相ノイズ性能を示します。

表4. アナログ・デバイセズのPLLセレクション・テーブル

Part	Frequency f_{IN} (MHz)	Phase Noise @ 1 kHz Offset and 200 kHz PFD (dBc/Hz)
ADF4110	550	–91 @ 540 MHz
ADF4111	1200	–87 @ 900 MHz
ADF4112	3000	–90 @ 900 MHz
ADF4113	4000	–91 @ 900 MHz
ADF4116	550	–89 @ 540 MHz
ADF4117	1200	–87 @ 900 MHz
ADF4118	3000	–90 @ 900 MHz

ADF4360は、9種類の動作周波数範囲を持つチップ・ファミリーです。要求される局部発振器周波数に応じて、このうち1つを選択します。集積化されたシンセサイザを使用する場合は、ADL5373のノイズ性能がわずかに低下しますが、別々のPLLとVCOを使用するソリューションより低価格の代替ソリューションとなります。表5に、使用可能なオプションを示します。

表5. ADF4360ファミリーの動作周波数

Part	Output Frequency Range (MHz)
ADF4360-0	2400 to 2725
ADF4360-1	2050 to 2450
ADF4360-2	1850 to 2150
ADF4360-3	1600 to 1950
ADF4360-4	1450 to 1750
ADF4360-5	1200 to 1400
ADF4360-6	1050 to 1250
ADF4360-7	350 to 1800
ADF4360-8	65 to 400

送信DACオプション

ADL5373の駆動に使用できるDACは、前項で推奨したAD9779だけではありません。要求される性能のレベルに応じて他の適当なDACも使用できます。表6は、アナログ・デバイセズが提供するデュアルTxDACを示します。

表6. デュアルTxDACのセレクション・テーブル

Part	Resolution (Bits)	Update Rate (MSPS Minimum)
AD9709	8	125
AD9761	10	40
AD9763	10	125
AD9765	12	125
AD9767	14	125
AD9773	12	160
AD9775	14	160
AD9777	16	160
AD9776	12	1000
AD9778	14	1000
AD9779	16	1000

表に記載するDACはすべてバイアス・レベルの公称値が0.5Vであり、図32に示すものと同じ簡易なDAC変調器インターフェースを使用します。

変調器／復調器オプション

表7に、アナログ・デバイセズのその他の変調器と復調器を示します。

表7. 変調器／復調器オプション

Part	Modulator/ Demodulator	Frequency Range (MHz)	Comments
AD8345	Modulator	140 to 1000	
AD8346	Modulator	800 to 2500	
AD8349	Modulator	700 to 2700	
ADL5390	Modulator	20 to 2400	External quadrature
ADL5385	Modulator	50 to 2200	
ADL5370	Modulator	300 to 1000	
ADL5371	Modulator	500 to 1500	
ADL5372	Modulator	1500 to 2500	
ADL5374	Modulator	3000 to 4000	
AD8347	Demodulator	800 to 2700	
AD8348	Demodulator	50 to 1000	
AD8340	Vector modulator	700 to 1000	
AD8341	Vector modulator	1500 to 2400	

評価用ボード

ADL5373の評価には、部品実装済みのRoHS準拠の評価用ボードを使用できます。ADL5373のパッケージの下側には、露出パッドが装着されています。この露出パッドを評価用ボードにハンダ付けする必要があります（「電源とグラウンディング」を参照）。この評価用ボードは、下側に部品を実装していないため、下側に熱を加えてADL5373の取外しや交換を簡単に行えます。

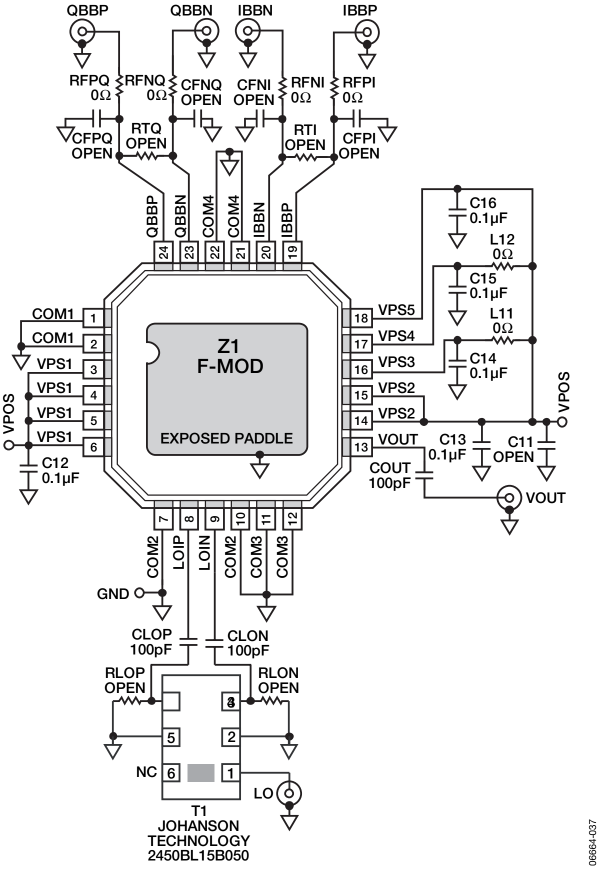

図37.　ADL5373評価用ボードの回路図

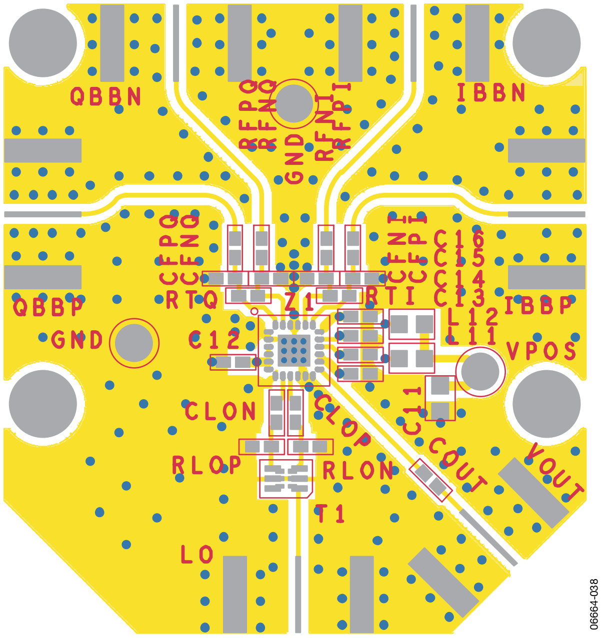

図38.　評価用ボードのレイアウト、上面層

表8.　評価用ボードの構成オプション

Component	Description	Default Condition
VPOS, GND	Power Supply and Ground Clip Leads.	Not applicable
RFPI, RFNI, RFPQ, RFNQ, CFPI, CFNI, CFPQ, CFNQ, RTQ, RTI	Baseband Input Filters. These components can be used to implement a low-pass filter for the baseband signals. See the Filtering section.	RFNQ, RFPQ, RFNI, RFPI = 0 Ω (0402) CFNQ, CFPQ, CFNI, CFPI = open (0402) RTQ, RTI = open (0402)

特性評価のセットアップ

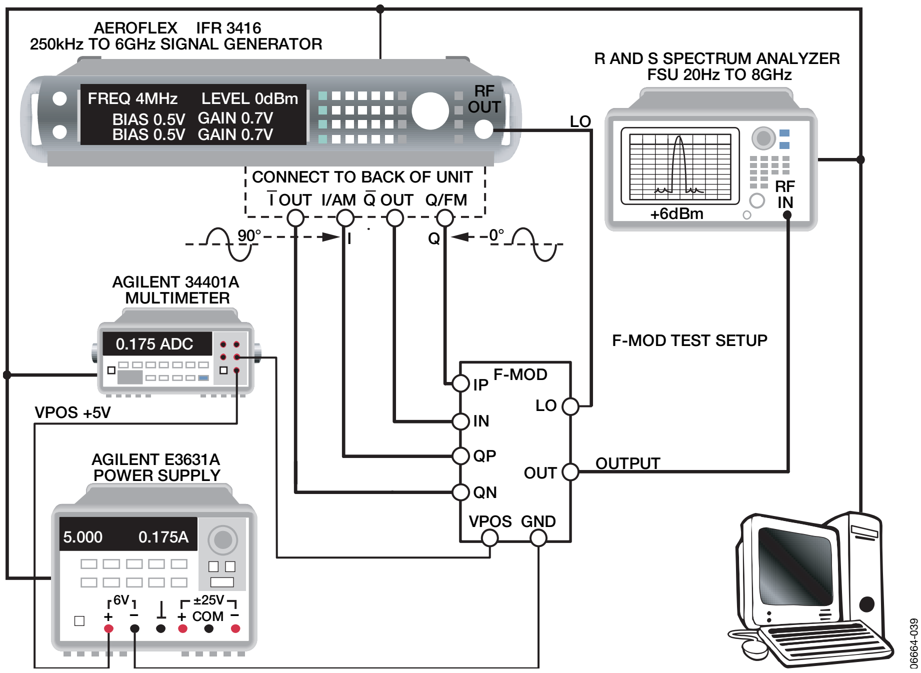

図39. 特性評価のベンチ・セットアップ

図39に、ADL5373の特性評価に使用する主要なセットアップを示します。このセットアップは、シングル・サイドバンド変調器としてこの製品を評価するときに使用したものです。Aeroflex信号発生器から被測定デバイスDUTにLO信号と差動のIおよびQベースバンド信号を入力しました。LO駆動レベルの代表値は0dBmでした。Iチャンネルを正弦波で、Qチャンネルを余弦波で駆動しました。下側のサイドバンドは、シングル・サイドバンド（SSB）出力です。

1MHzの正弦波信号と500mVの同相電圧をDUTのベースバンド信号に入力する方法で、ADL5373の特性評価の大部分を実施しました。DUTの接続を行う前に、ベースバンド入力上のV_{IOS}およびV_{QOS}オフセットが可能な限り0Vに近い最小値に抑えられるように、ベースバンド信号経路のキャリブレーションを実施しました。V_{IOS}とV_{QOS}の定義については、「キャリア混入のゼロ調整」を参照してください。

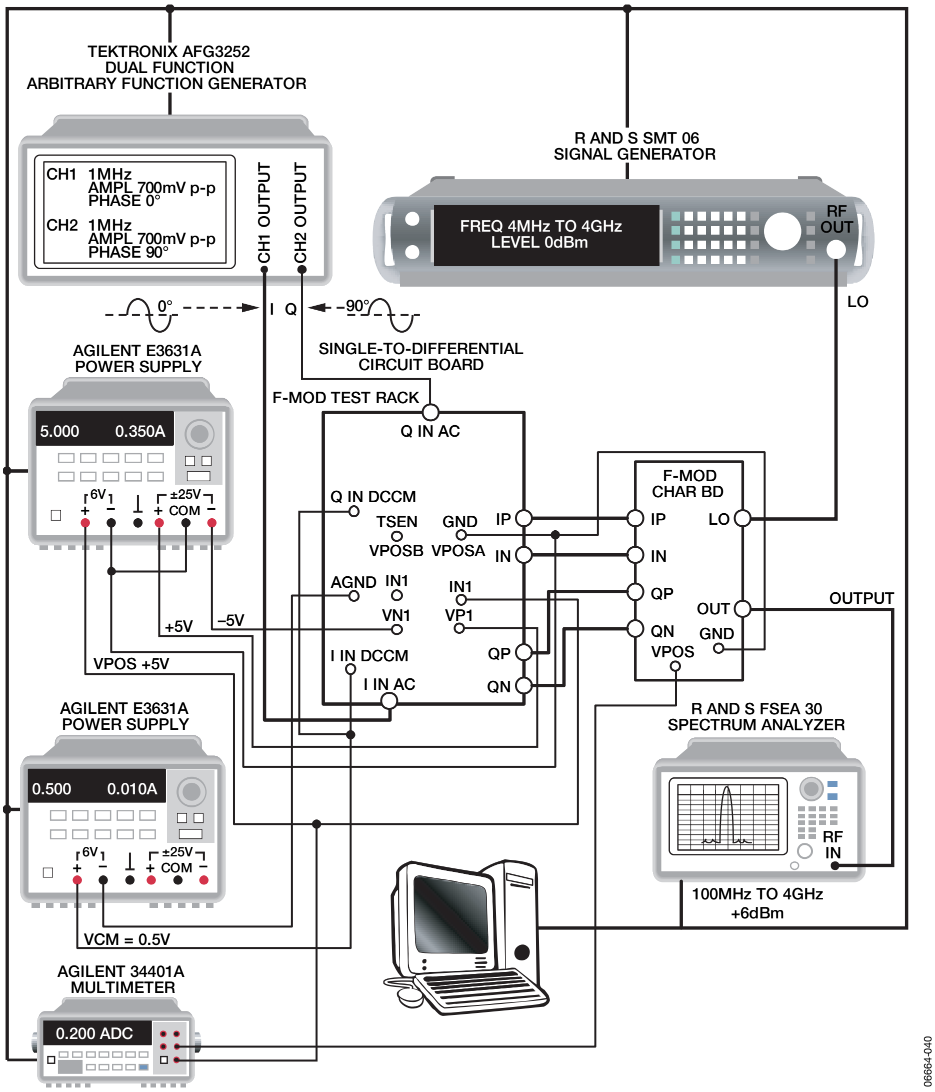

図40. ベースバンド周波数掃引および不要サイドバンドのゼロ調整用セットアップ

図40に、ADL5373のベースバンド周波数掃引および不要サイドバンドのゼロ調整を評価するために使用したセットアップを示します。インターフェース・ボードには、任意関数発生器からのシングルエンドのI入力とQ入力をDCバイアスが500mVの差動のIおよびQベースバンド信号に変換する回路が実装されています。

不要サイドバンドのゼロ調整は、Qチャンネルの振幅と位相の調整を反復するプロセスを用いて実施しました。サイドバンドのゼロ調整に関する詳細な説明は、「サイドバンド抑圧の最適化」を参照してください。

外形寸法

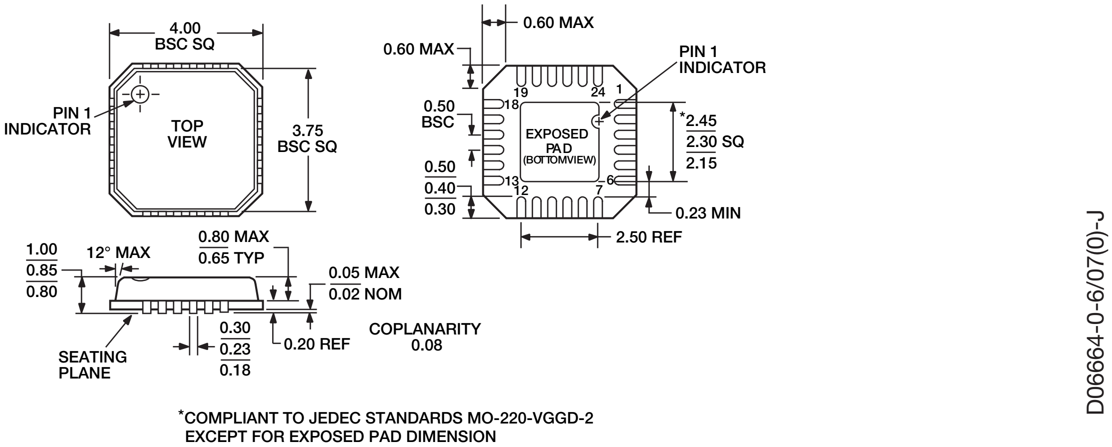

図41．24ピン・リード・フレーム・チップ・スケール・パッケージ［LFCSP_VQ］
4mm×4mmボディ、極薄クワッド
（CP-24-2）
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity
ADL5373ACPZ-R7[1]	–40°C to +85°C	24-Lead LFCSP_VQ, 7" Tape and Reel	CP-24-2	1,500
ADL5373ACPZ-WP[1]	–40°C to +85°C	24-Lead LFCSP_VQ, Waffle Pack	CP-24-2	64
ADL5373-EVALZ[1]		Evaluation Board		

[1] Z＝RoHS準拠製品