

特長

RF と LO の動作周波数: 700 MHz~2.7 GHz

入力 IP3

900 MHz で 33.5 dBm

1900 MHz で 30.5 dBm

入力 IP2: 900 MHz で 70 dBm 以上

入力 P1dB: 900 MHz で 14.7 dBm

ノイズ係数(NF)

900 MHz で 14.0 dB

1900 MHz で 15.6 dB

電圧変換ゲイン: 約 4 dB

直交復調精度

位相精度: 約 0.2°

振幅バランス: 約 0.05 dB

復調帯域幅: 約 370 MHz

ベースバンド I/Q 駆動: 200 Ω で 2 V p-p

5 V 単電源動作

機能ブロック図

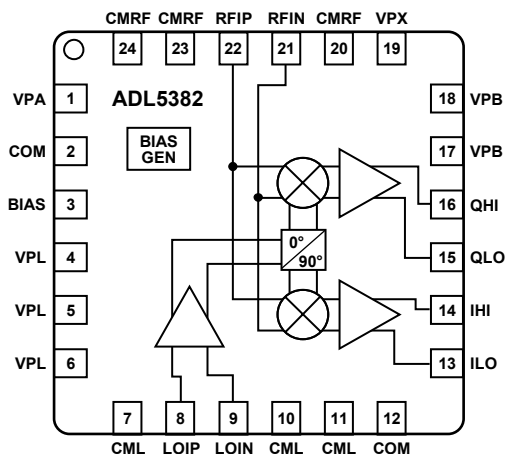


図 1.

アプリケーション

携帯電話 W-CDMA/CDMA/CDMA2000/GSM

マイクロエープのポイント-(複数)ポイント間無線

ブロードバンド・ワイヤレスおよび WiMAX

概要

ADL5382 は、700 MHz~2.7 GHz の RF 入力周波数レンジをカバーする広帯域直交 I/Q 復調器です。ADL5382 復調器は、900 MHz で NF = 14 dB、IP1dB = 14.7 dBm、IIP3 = 33.5 dBm の優れた性能を持つため、要求の厳しいインフラストラクチャでのダイレクト・コンバージョンの要求に適する優れたダイナミック・レンジを提供します。差動 RF 入力幅広い帯域で 50 Ω 入力インピーダンスを維持するので、最適性能を得るため 1:1 バランによる駆動が適しています。

優れた復調精度は、振幅と位相のバランスをそれぞれ約 0.05 dB と約 0.2° とすることにより実現しています。復調された同相(I)差動出力と直交(Q)差動出力は、バッファ付きで約 4 dB の電圧変換ゲインを提供します。バッファ付きベースバンド出力は、200 Ω で 2 V p-p の差動信号を駆動することができます。

フル・バランスのデザインにより、2 次歪みの影響を小さくしています。LO ポートから RF ポートへのリークは -65 dBc 以下です。I 出力と Q 出力での DC オフセット差は 10 mV (typ) 以下です。この両ファクタにより、60 dBm を超える優れた IIP2 仕様が可能になっています。

ADL5382 は、4.75 V~5.25 V の単電源で動作します。電源電流は、BIAS ピンとグラウンドとの間に接続する外付け抵抗を使って調整可能です。

ADL5382 は、アナログ・デバイセズの最新シリコン・ゲルマニウム・バイポーラ・プロセスで製造され、露出パドル付きの 24 ピン LFCSP を採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	エミッタ・フォロア・バッファ	13
アプリケーション	1	バイアス回路.....	13
機能ブロック図	1	アプリケーション情報	14
概要.....	1	基本接続	14
改訂履歴.....	2	電源	14
仕様.....	3	局部発振器(LO)入力.....	14
絶対最大定格	5	RF 入力.....	15
ESD の注意	5	ベースバンド出力.....	15
ピン配置およびピン機能説明	6	誤差ベクタ振幅(EVM)性能	16
代表的な性能特性.....	7	低 IF でのイメージ除去比.....	17
$f_{RF} = 900\text{ MHz}$ の分布	10	ベースバンド・インターフェースの例	17
$f_{RF} = 1900\text{ MHz}$ の分布	11	キャラクタライゼーションのセットアップ.....	21
$f_{RF} = 2700\text{ MHz}$ の分布	12	評価ボード.....	23
回路説明	13	外形寸法.....	27
LO インタフェース	13	オーダー・ガイド.....	27
V/I コンバータ	13		
ミキサー	13		

改訂履歴

3/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_S = 5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $f_{LO} = 900\text{ MHz}$ 、 $f_{IF} = 4.5\text{ MHz}$ 、 $P_{LO} = 0\text{ dBm}$ 、BIAS はオープン、 $Z_O = 50\ \Omega$ 。ベースバンド出力には $450\ \Omega$ の差動負荷を接続。RF ポートの駆動に使うバランの損失は、これらの測定値から除いてあります。

表 1.

Parameter	Condition	Min	Typ	Max	Unit
OPERATING CONDITIONS					
LO and RF Frequency Range		0.7		2.7	GHz
LO INPUT	LOIP, LOIN				
Input Return Loss	LO driven differentially through a balun at 900 MHz		−11		dB
LO Input Level		−6	0	+6	dBm
I/Q BASEBAND OUTPUTS					
I/Q BASEBAND OUTPUTS	QHI, QLO, IHI, ILO				
Voltage Conversion Gain	450 Ω differential load on I and Q outputs at 900 MHz		3.9		dB
	200 Ω differential load on I and Q outputs at 900 MHz		3.0		dB
Demodulation Bandwidth	1 V p-p signal, 3 dB bandwidth		370		MHz
Quadrature Phase Error	At 900 MHz		0.2		Degrees
I/Q Amplitude Imbalance			0.05		dB
Output DC Offset (Differential)	0 dBm LO input at 900 MHz		± 5		mV
Output Common Mode			VPOS − 2.8		V
0.1 dB Gain Flatness			50		MHz
Output Swing	Differential 200 Ω load		2		V p-p
Peak Output Current	Each pin		12		mA
POWER SUPPLIES					
Voltage	VPA, VPL, VPB, VPX	4.75		5.25	V
Current	BIAS pin open		220		mA
	$R_{BIAS} = 4\text{ k}\Omega$		196		mA
DYNAMIC PERFORMANCE at RF = 900 MHz					
Conversion Gain			3.9		dB
Input P1dB			14.7		dBm
Second-Order Input Intercept (IIP2)	−5 dBm each input tone		73		dBm
Third-Order Input Intercept (IIP3)	−5 dBm each input tone		33.5		dBm
LO to RF	RFIN, RFIP terminated in 50 Ω		−92		dBm
RF to LO	LOIN, LOIP terminated in 50 Ω		−89		dBc
IQ Magnitude Imbalance			0.05		dB
IQ Phase Imbalance			0.2		Degrees
LO to IQ	RFIN, RFIP terminated in 50 Ω		−43		dBm
Noise Figure			14.0		dB
Noise Figure under Blocking Conditions	With a −5 dBm interferer 5 MHz away		19.9		dB
DYNAMIC PERFORMANCE at RF = 1900 MHz					
Conversion Gain			3.9		dB
Input P1dB			14.4		dBm
Second-Order Input Intercept (IIP2)	−5 dBm each input tone		65		dBm
Third-Order Input Intercept (IIP3)	−5 dBm each input tone		30.5		dBm
LO to RF	RFIN, RFIP terminated in 50 Ω		−71		dBm
RF to LO	LOIN, LOIP terminated in 50 Ω		−78		dBc
IQ Magnitude Imbalance			0.05		dB
IQ Phase Imbalance			0.2		Degrees
LO to IQ	RFIN, RFIP terminated in 50 Ω		−41		dBm
Noise Figure			15.6		dB
Noise Figure under Blocking Conditions	With a −5 dBm interferer 5 MHz away		20.5		dB
DYNAMIC PERFORMANCE at RF = 2700 MHz					
Conversion Gain	RFIP, RFIN		3.3		dB
Input P1dB			14.5		dBm
Second-Order Input Intercept (IIP2)	−5 dBm each input tone		52		dBm
Third-Order Input Intercept (IIP3)	−5 dBm each input tone		28.3		dBm
LO to RF	RFIN, RFIP terminated in 50 Ω , 1xLO appearing at RF port		−70		dBm
RF to LO	LOIN, LOIP terminated in 50 Ω		−55		dBc

Parameter	Condition	Min	Typ	Max	Unit
IQ Magnitude Imbalance	RFIN, RFIP terminated in 50 Ω , 1xLO appearing at BB port		0.16		dB
IQ Phase Imbalance			0.1		Degrees
LO to IQ			−42		dBm
Noise Figure			17.6		dB

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage (VPA, VPL, VPB, VPX)	5.5 V
LO Input Power	13 dBm (re: 50 Ω)
RF Input Power	15 dBm (re: 50 Ω)
Internal Maximum Power Dissipation	1230 mW
θ_{JA}	54°C/W
Maximum Junction Temperature	150°C
Operating Temperature Range	–40°C to +85°C
Storage Temperature Range	–65°C to +125°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

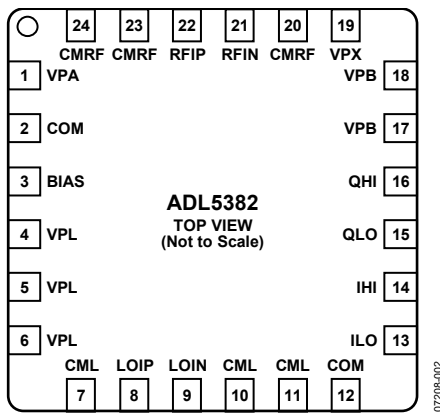


図 2. ピン配置

表 3. ピン機能の説明

ピン番号	記号	説明
1、4～6、17～19	VPA、VPL、VPB、VPX	電源。LO、IF、バイアス、ベースバンド・セクションの正電源。これらのピンは、適切なサイズのコンデンサでボード・グラウンドへデカップリングする必要があります。
2、7、10～12、20、23、24	COM、CML、CMRF	グラウンド。低インピーダンスのグラウンド・プレーンへ接続します。
3	バイアス	バイアス制御。BIAS と COM の間に抵抗(R_{BIAS})を接続して、ミキサー・コアの電流を削減することができます。このピンのデフォルト設定はオープン。
8、9	LOIP、LOIN	局部発振器入力。両ピンには AC 結合が必要。最適性能を得るためには、バランを使って差動で駆動することが必要です(推奨バラン M/A-COM ETC1-1-13)。
13～16	ILO、IHI、QLO、QHI	I チャンネルおよび Q チャンネルのミキサー・ベースバンド出力。これらの出力は、 $50\ \Omega$ の差動出力インピーダンスを持っています(ピンあたり $25\ \Omega$)。これらのピンのバイアス・レベルは $V_{POS} - 2.8\ V$ です。各出力対の振幅は $200\ \Omega$ 負荷で $2\ V\ p-p$ (差動)が可能です。出力の $3\ dB$ 帯域幅は $370\ MHz$ です。
21、22	RFIN、RFIP	RF 入力。RF 入力には 1:1 バラン(推奨バラン M/A-COM ETC1-1-13)を介してシングルエンドの $50\ \Omega$ 信号を入力することができます。グラウンド基準のインダクタも RFIP ピンと RFIN ピンに接続する必要があります(推奨値 = $33\ nH$)。
	EP	露出パドル。熱的および電気的低インピーダンスのグラウンド・プレーンへ接続します。

代表的な性能特性

特に指定のない限り、 $V_S = 5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、LO 駆動レベル = 0 dBm、 R_{BIAS} = オープン、RF 入力バラン損失を除外。

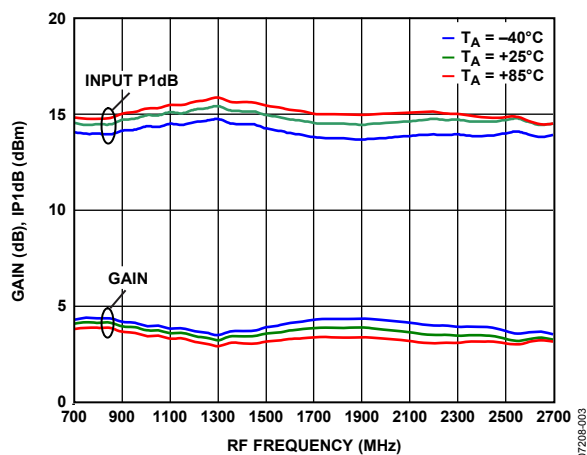


図 3. 変換ゲインおよび IP1 dB 圧縮ポイント (IP1dB) 対 RF 周波数

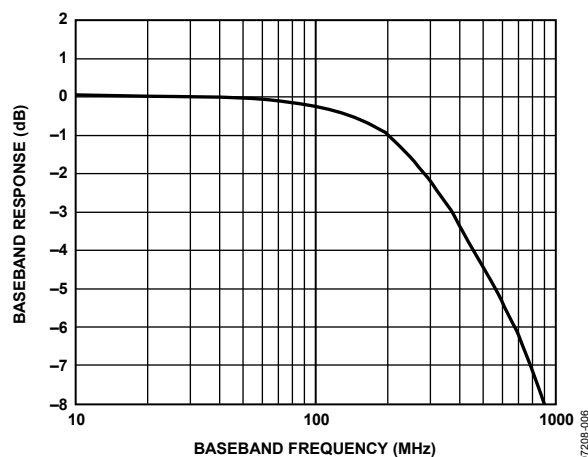


図 6. 正規化 IQ ベースバンドの周波数応答

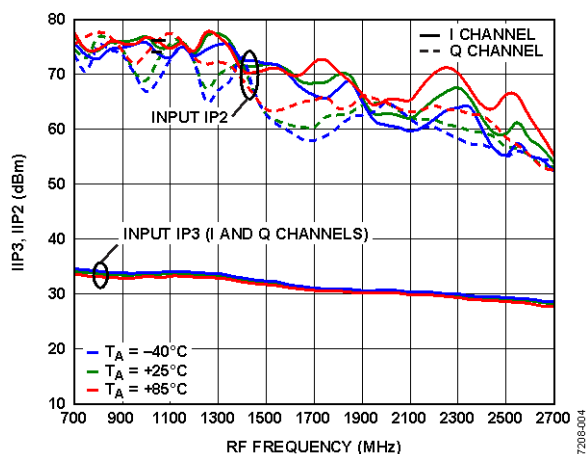


図 4. 入力 3 次インターセプト (IIP3) および 入力 2 次インターセプト・ポイント (IIP2) 対 RF 周波数

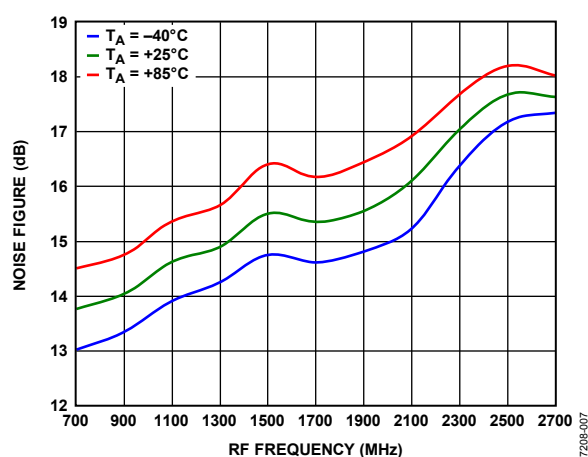


図 7. ノイズ係数対 RF 周波数

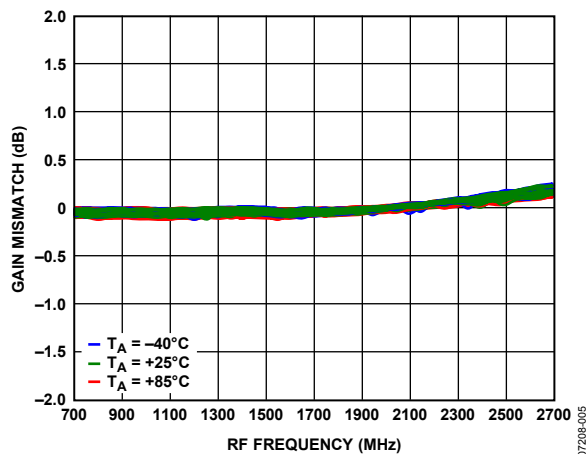


図 5. IQ ゲイン・ミスマッチ対 RF 周波数

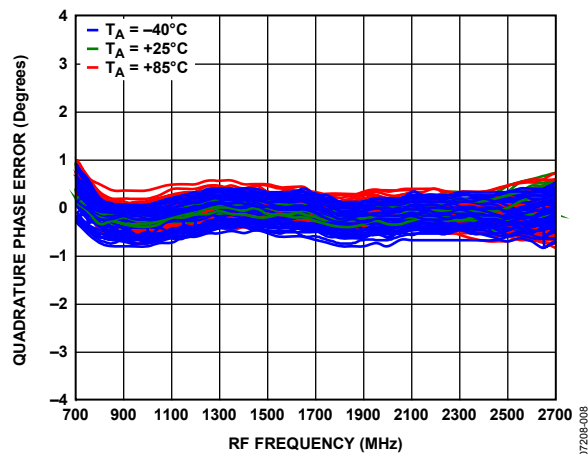


図 8. IQ 直交フェーズ誤差対 RF 周波数

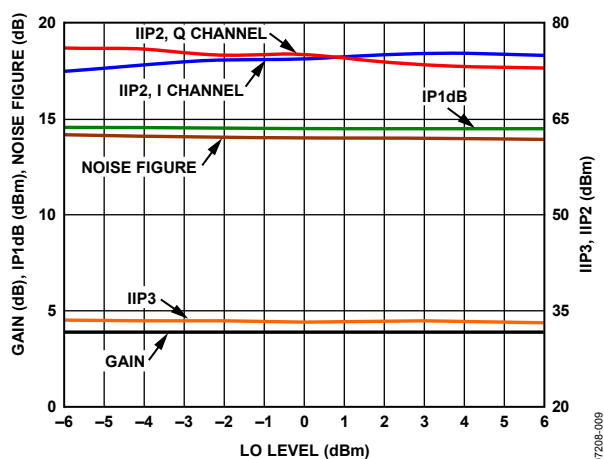


図 9. 変換ゲイン、IP1dB、ノイズ係数、IIP3、IIP2 対 LO レベル、 $f_{RF} = 900$ MHz

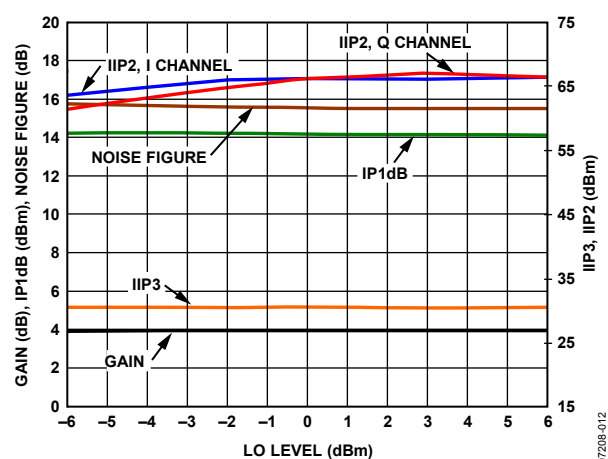


図 12. 変換ゲイン、IP1dB、ノイズ係数、IIP3、IIP2 対 LO レベル、 $f_{RF} = 1900$ MHz

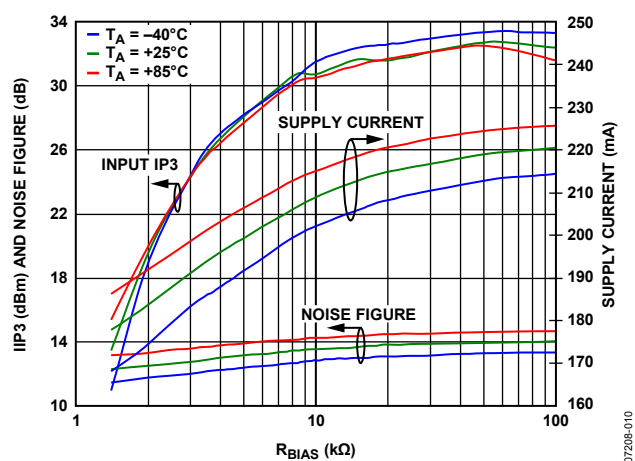


図 10. IIP3、ノイズ係数、電源電流 対 R_{BIAS} 、 $f_{RF} = 900$ MHz

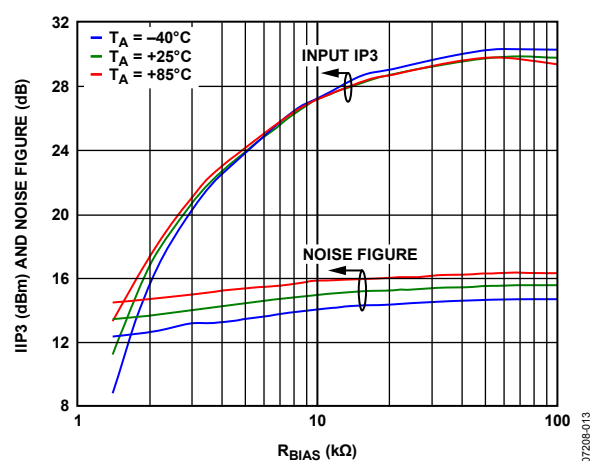


図 13. IIP3、ノイズ係数 対 R_{BIAS} 、 $f_{RF} = 1,900$ MHz

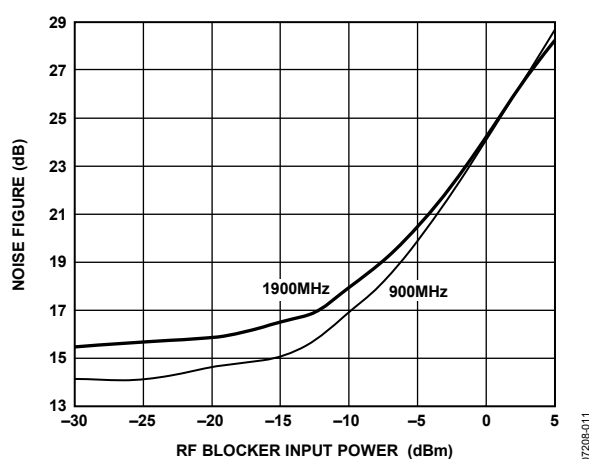


図 11. ノイズ係数 対 入力プロック・レベル、 $f_{RF} = 900$ MHz、 1900 MHz
(RF ブロッカ 5 MHz オフセット)

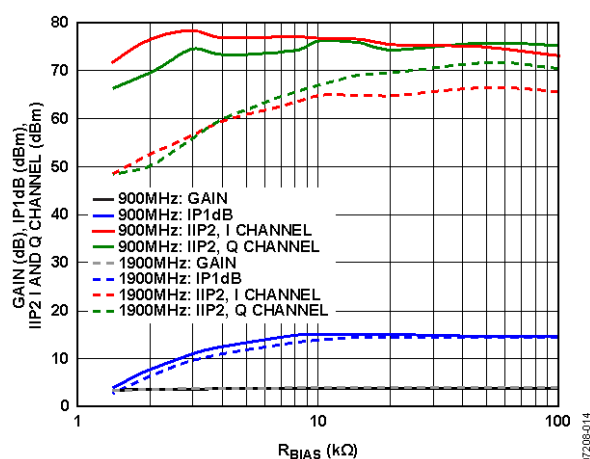


図 14. 変換ゲイン、IP1dB、IIP2_I、IIP2_Q 対 R_{BIAS} 、 $f_{RF} = 900$ MHz、 1900 MHz

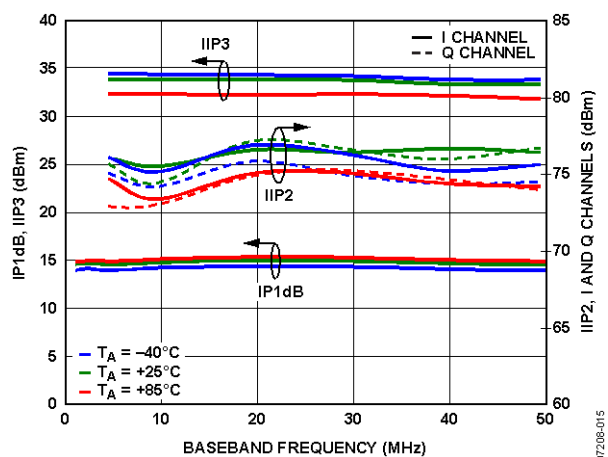


図 15. IP1dB、IIP3、IIP2 対ベースバンド周波数

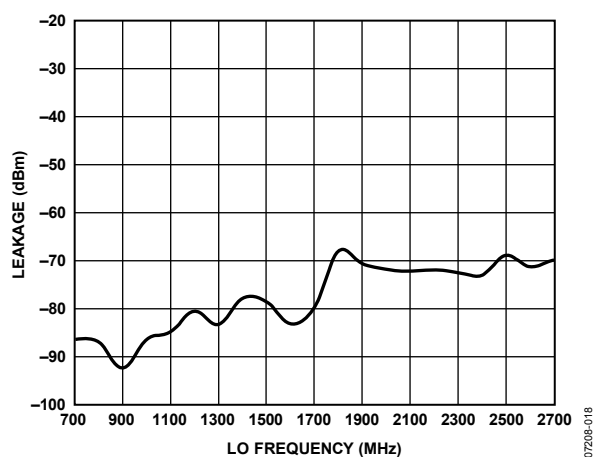


図 18. LO-RF 間リーク対 LO 周波数

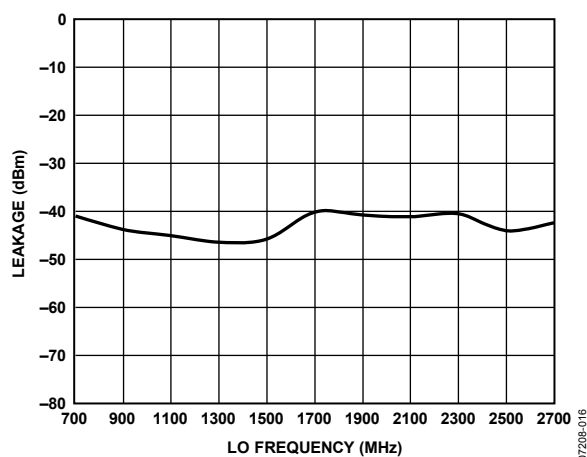


図 16. LO-BB 間リーク対 LO 周波数

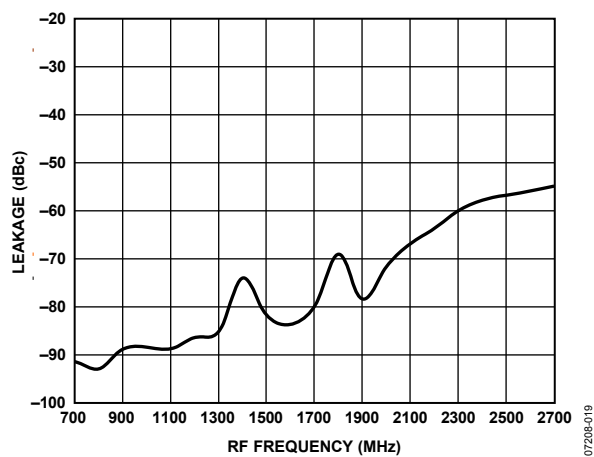
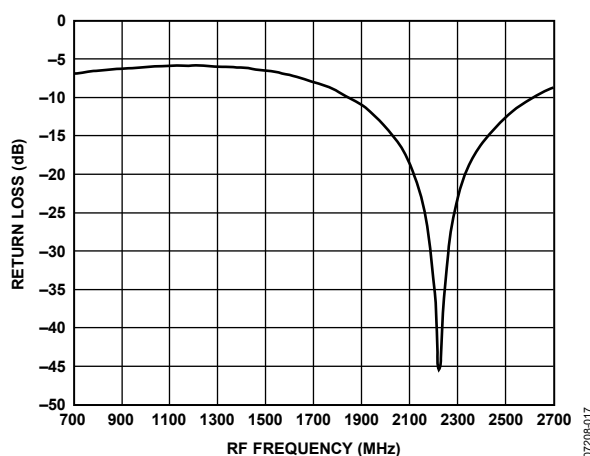
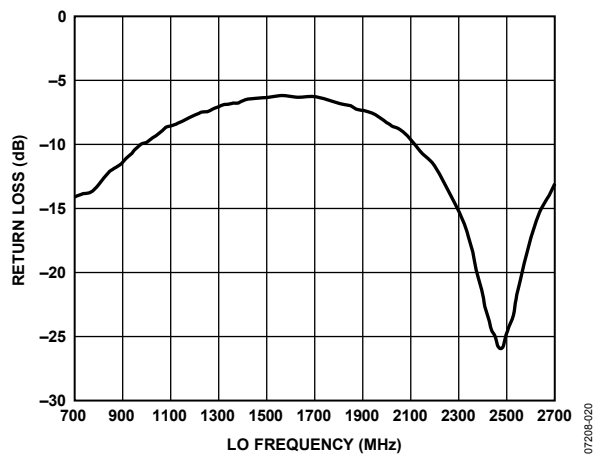
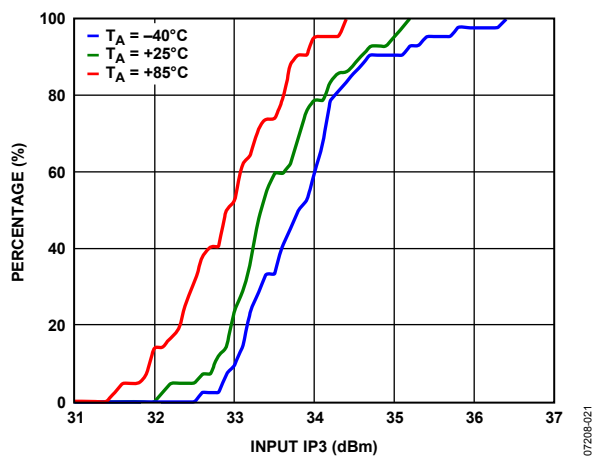
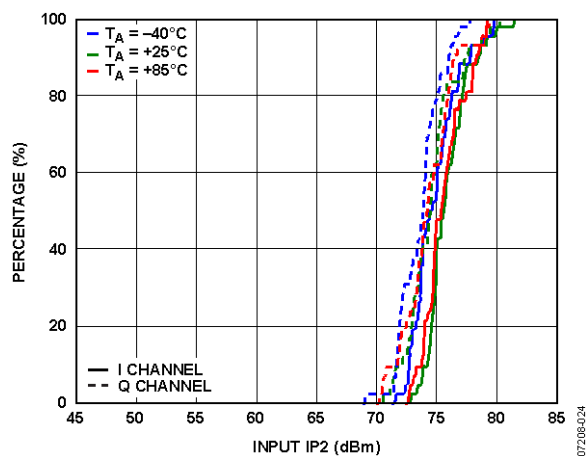
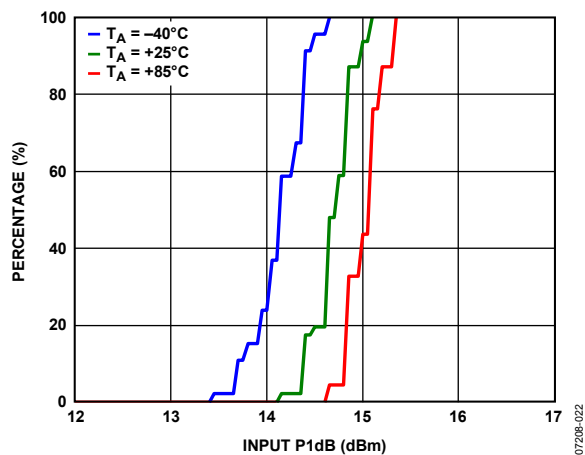
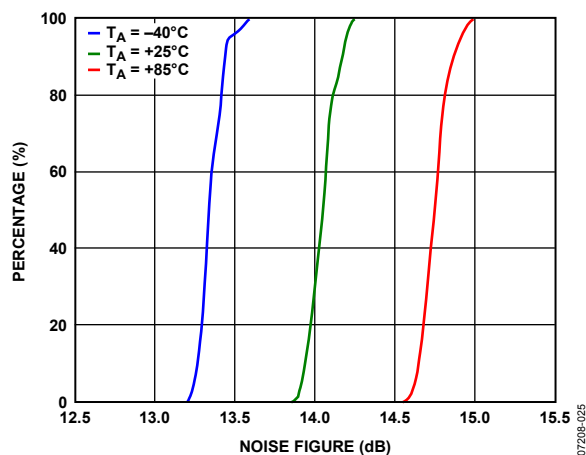
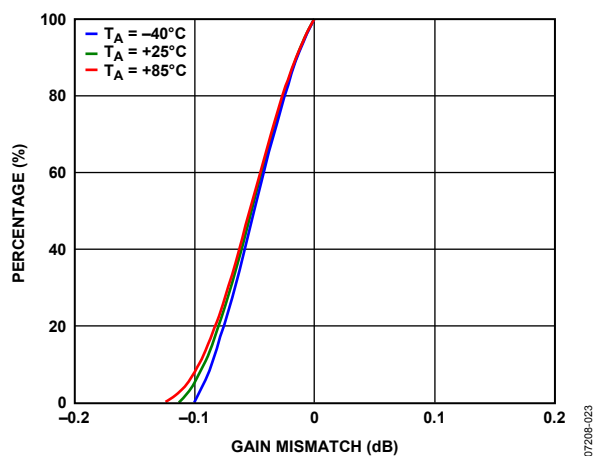
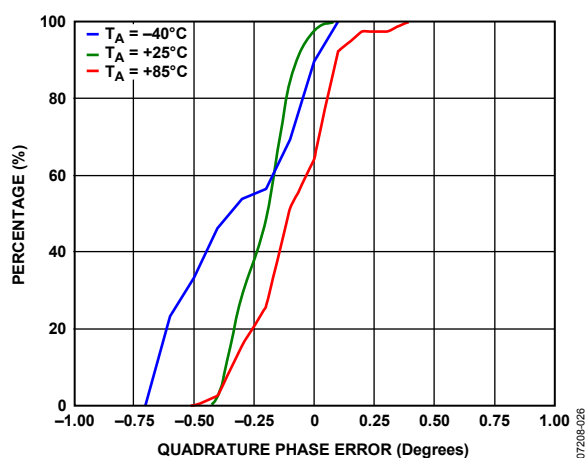
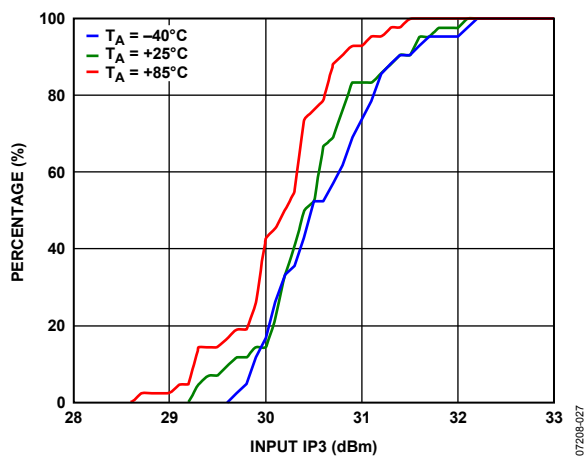
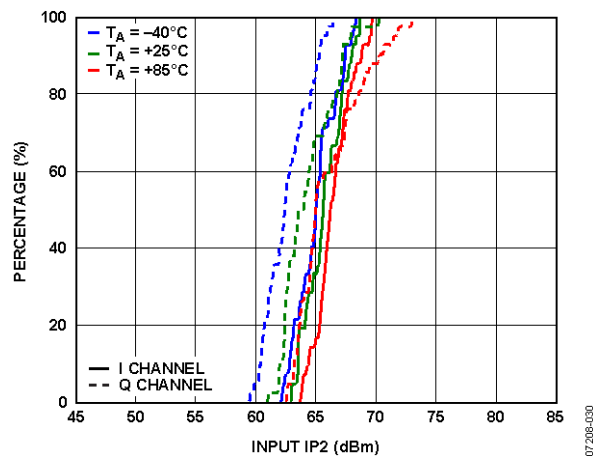
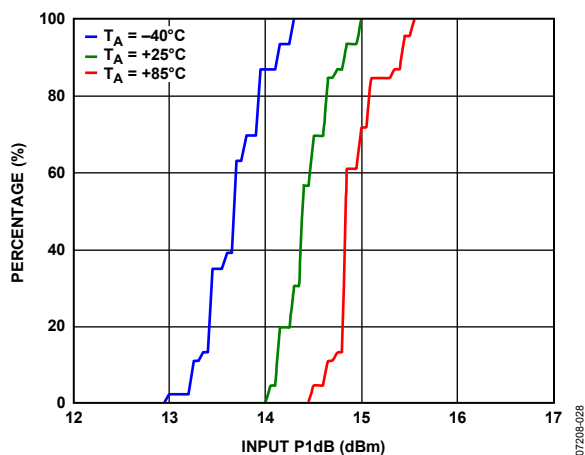
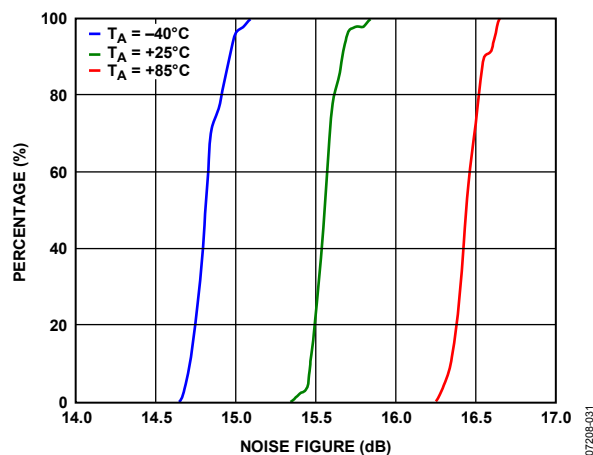
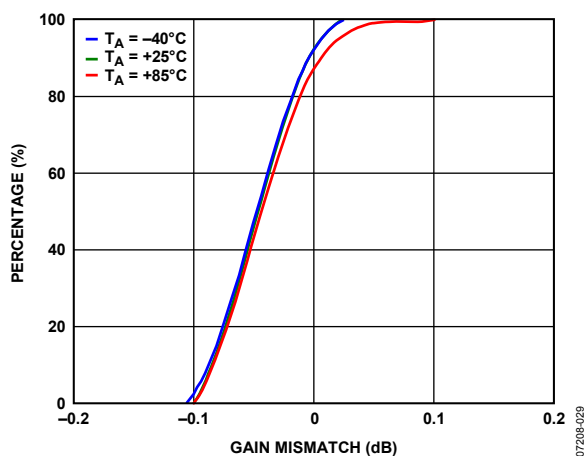
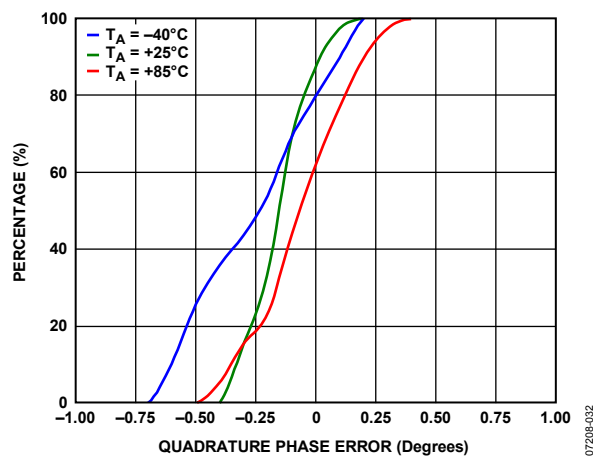
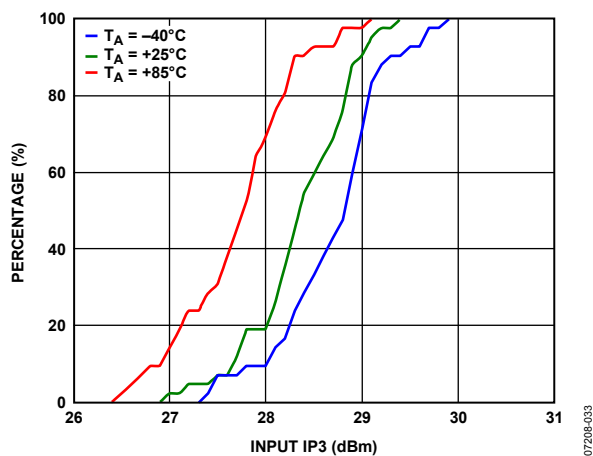
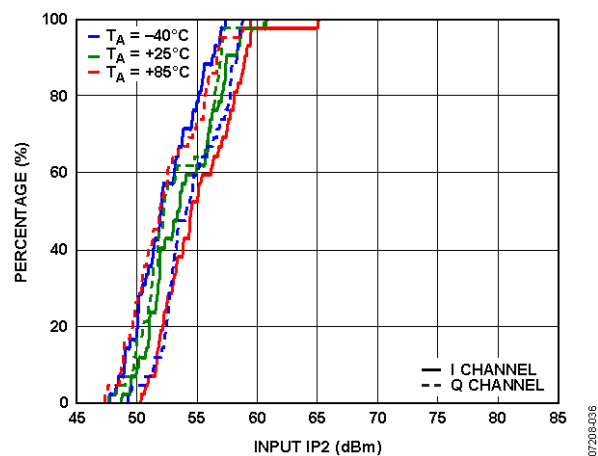
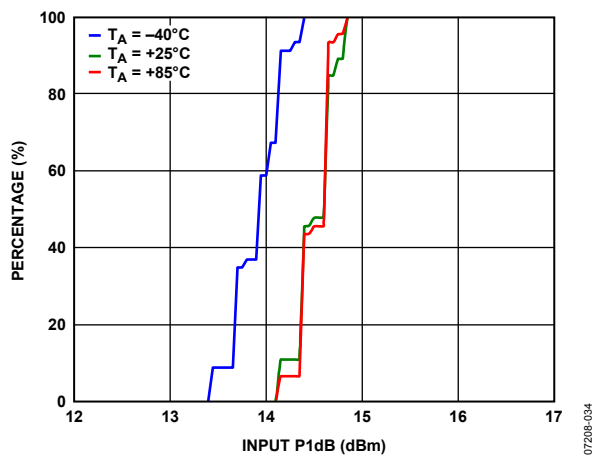
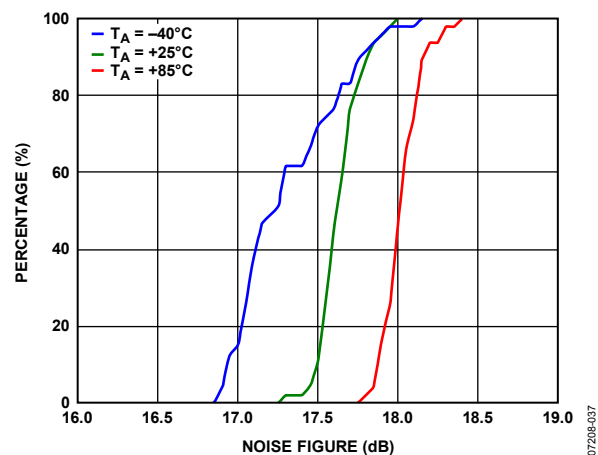
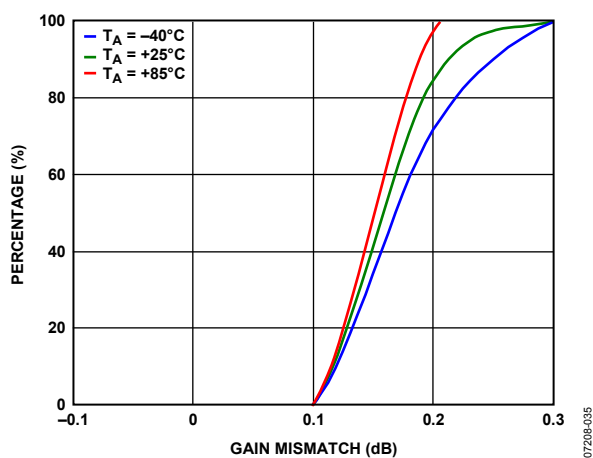
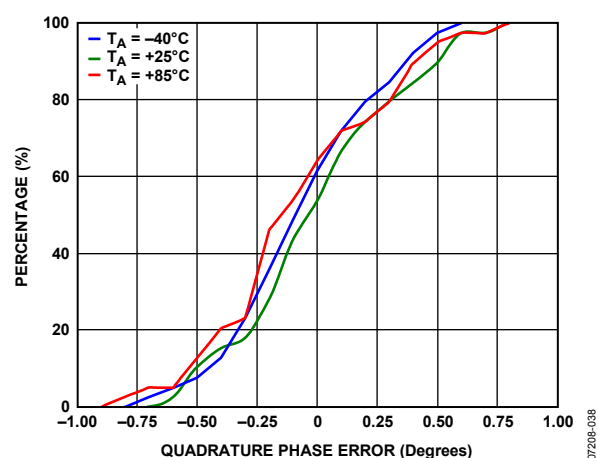


図 19. RF-LO 間リーク対 RF 周波数

図 17. RF ポートのリターン損失対 RF 周波数
ETC1-1-13 バランと 33 nH バイアス・インダクタを使用してキャ
リブレーション・ボード上で測定図 20. LO ポート・リターン損失対 LO 周波数 ETC1-1-13 バランを
使用してキャリブレーション・ボード上で測定

$f_{RF} = 900 \text{ MHz}$ の分布図 21. IIP3 の分布、 $f_{RF} = 900 \text{ MHz}$ 図 24. I チャンネルと Q チャンネルの IIP2 分布、 $f_{RF} = 900 \text{ MHz}$ 図 22. IP1dB の分布、 $f_{RF} = 900 \text{ MHz}$ 図 25. ノイズ係数の分布、 $f_{RF} = 900 \text{ MHz}$ 図 23. IQ ゲイン・ミスマッチの分布、 $f_{RF} = 900 \text{ MHz}$ 図 26. IQ 直交位相誤差の分布、 $f_{RF} = 900 \text{ MHz}$

$f_{RF} = 1900 \text{ MHz}$ の分布図 27. IIP3 の分布、 $f_{RF} = 1900 \text{ MHz}$ 図 30. I チャンネルと Q チャンネルの IIP2 分布、 $f_{RF} = 1900 \text{ MHz}$ 図 28. IP1dB の分布、 $f_{RF} = 1900 \text{ MHz}$ 図 31. ノイズ係数の分布、 $f_{RF} = 1900 \text{ MHz}$ 図 29. IQ ゲイン・ミスマッチの分布、 $f_{RF} = 1900 \text{ MHz}$ 図 32. IQ 直交位相誤差の分布、 $f_{RF} = 1900 \text{ MHz}$

$f_{RF} = 2700 \text{ MHz}$ の分布図 33. IIP3 の分布、 $f_{RF} = 2700 \text{ MHz}$ 図 36. I チャンネルと Q チャンネルの IIP2 分布、 $f_{RF} = 2700 \text{ MHz}$ 図 34. IP1dB の分布、 $f_{RF} = 2700 \text{ MHz}$ 図 37. ノイズ係数の分布、 $f_{RF} = 2700 \text{ MHz}$ 図 35. IQ ゲイン・ミスマッチの分布、 $f_{RF} = 2700 \text{ MHz}$ 図 38. IQ 直交位相誤差の分布、 $f_{RF} = 2700 \text{ MHz}$

回路説明

ADL5382 は、ローカル発振器(LO)インターフェース、RF 電圧/電流(V/I)コンバータ、ミキサー、差動エミッタ・フォロア出力、バイアス回路の 5 つのセクションに分けることができます。デバイスの詳しいブロック図を図 39 に示します。

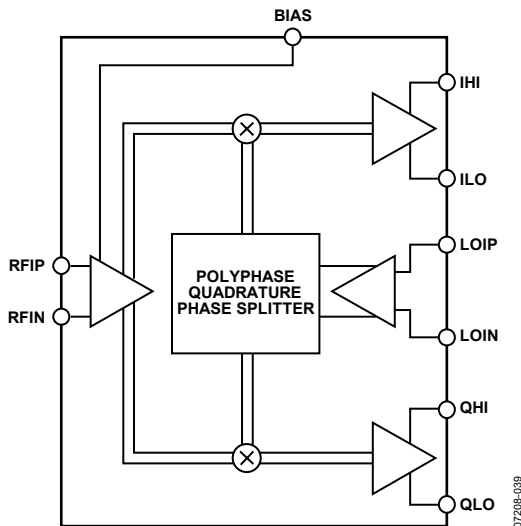


図 39. ブロック図

LO インタフェースは互いに 90 度ずれた 2 つの LO 信号を発生して、2 つのミキサーを直交駆動します。RF 信号は V/I コンバータで電流に変換されて 2 つのミキサーに入力されます。ミキサーの差動の I 出力と Q 出力は、エミッタ・フォロアでバッファされています。各セクションへのリファレンス電流は、バイアス回路により発生されます。以下に各セクションについて詳しく説明します。

LO インタフェース

LO インタフェースは、多相直交スプリッタとそれに続く制限アンプから構成されています。LO 入力インピーダンスは、LO 信号を直交する 2 つの差動信号に分ける多相スプリッタにより設定されます。各直交 LO 信号は制限アンプに入力され、ここで振幅が制限されて、駆動信号としてミキサーへ渡されます。最適性能を得るためには、LO 入力を差動で駆動する必要があります。

V/I コンバータ

差動 RF 入力信号は抵抗を使用する共通ベース・ステージに入力され、ここで差動入力電圧から出力電流へ変換されます。この出力電流が、ミキサー・ステージで 2 つの 1/2 周波数の LO キャリアの変調に使用されます。

ミキサー

ADL5382 は、同相チャンネル(I チャンネル)用と直交チャンネル(Q チャンネル)用に 2 つのダブル・バランスド・ミキサーを内蔵しています。これらのミキサーは、4 個のトランジスタを交差接続したギルバート・セル・デザインを採用しています。2 つのミキサーの出力電流は、2 本の負荷抵抗を使って加算され、後続のエミッタ・フォロア・バッファへ出力されます。

エミッタ・フォロア・バッファ

出力エミッタ・フォロアは、差動の I 入力信号と Q 入力信号をチップ外部に出力します。出力インピーダンスは内蔵の 25 Ω 直列抵抗で設定され、各ベースバンド・ポートに対して 50 Ω の差動出力インピーダンスになります。固定出力インピーダンスと負荷インピーダンスは、電圧分圧器を構成するため、実効ゲインが小さくなります。たとえば、500 Ω の差動負荷では、高い差動負荷インピーダンス(10 kΩ)より 1 dB 小さい実効ゲインになります。

バイアス回路

バンド・ギャップ・リファレンス回路は、他のセクションで使う絶対温度に比例(PTAT)し、かつ温度に依存しないリファレンス電流を発生します。ミキサー電流は、BIAS ピンとグラウンドとの間に接続した外付け抵抗で小さくすることができます。BIAS ピンをオープンにすると、ミキサーは最大電流で動作するため、最大のダイナミック・レンジになります。ミキサー電流は、グラウンドとの間に抵抗を接続することにより小さくできるので、全体の消費電力、ノイズ係数、IIP3 を小さくすることができます。これらの各パラメータの効果を図 10、図 13、図 14 に示します。

アプリケーション情報

基本接続

図 41 に ADL5382 の基本接続図を示します。

電源

ADL5382 の公称電源電圧は 5 V であり、VPA、VPB、VPL、VPX の各ピンに接続します。グラウンドは、COM、CML、CMRF の各ピンに接続します。パッケージ底面の露出パドルも、熱的/電気的な低インピーダンスのグラウンド・プレーンへハンダ付けする必要があります。グラウンド・プレーンが回路ボードの複数の層に跨る場合には、これらの層を露出パドルの下で 9 個のビアを使って接続する必要があります。LFCSP の熱的/電気的なグラウンド接続の詳細については、アプリケーション・ノート AN-772 を参照してください。各電源ピンは、2 個のコンデンサを使ってデカップリングする必要があります(推奨コンデンサ値は 100 pF と 0.1 μ F)。

局部発振器(LO)入力

最適性能を得るためには、LO ポートをバランを使って差動駆動する必要があります。推奨バランは M/A-COM ETC1-1-13 です。デバイスの RF 入力には 1000 pF のコンデンサで AC 結合する必要があります。LO ポートは、700 MHz~2.7 GHz の広帯域 50 Ω 整合用にデザインされています。LO リターン損失を図 20 に、LO 入力構成を図 40 に、それぞれ示します。

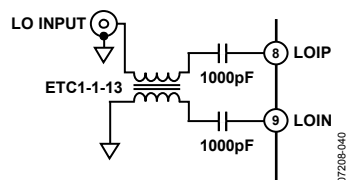


図 40. LO の差動駆動

推奨 LO 駆動レベルは、-6 dBm~+6 dBm です。入力 LO 周波数レンジは、700 MHz~2.7 GHz です。

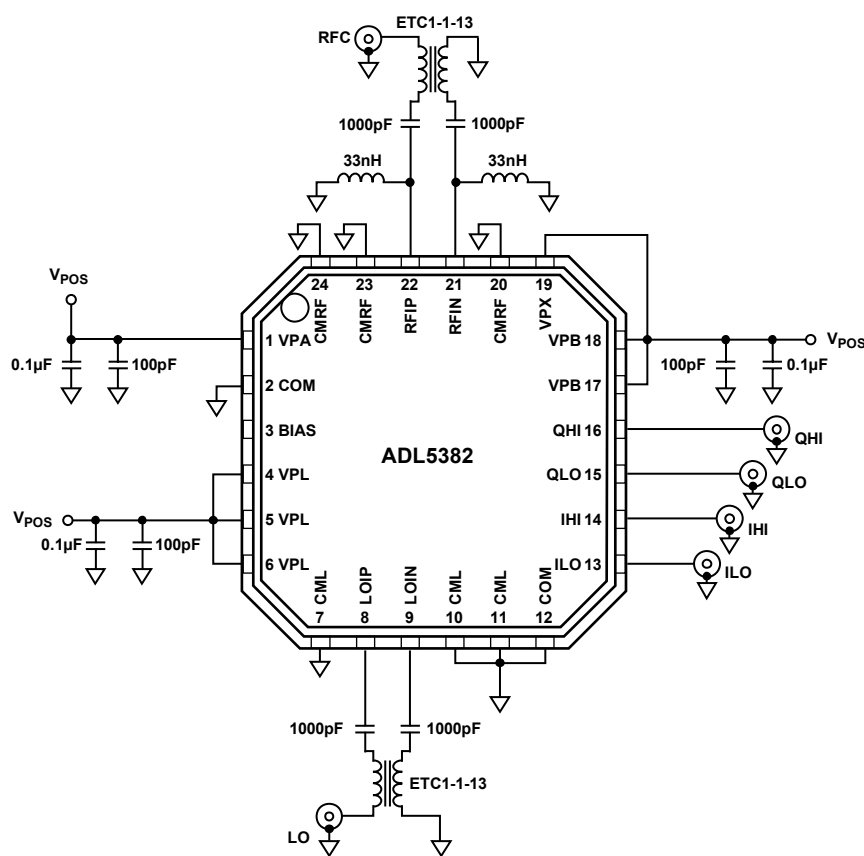


図 41. 基本接続図

RF 入力

RF 入力は約 $50\ \Omega$ の差動入力インピーダンスを持っています。最適性能を得るためには、RF ポートをバランを介して差動で駆動する必要があります。推奨バランは M/A-COM ETC1-1-13 です。デバイスの RF 入力は $1000\ \text{pF}$ のコンデンサで AC 結合する必要があります。グラウンド基準のチョーク・インダクタも、適切なバイアスを得るため RFIP ピンと RFIN ピンに接続する必要があります(推奨値 = $33\ \text{nH}$ 、Coilcraft 社製 0603CS-33NX)。このアプリケーション用に適切なチョーク・インダクタを選択するときは、幾つかの重要な点を考慮する必要があります。まず、インダクタは各 RF 入力ピン(RFIP、RFIN)からの約 $40\ \text{mA}$ の DC 電流を処理できる必要があります(推奨 0603 インダクタの定格電流は $600\ \text{mA}$)。チョーク・インダクタの目的は、グラウンドへの非常に小さい抵抗の DC パスと RF 周波数で高い AC インピーダンスを提供して、RF 入力インピーダンスに影響を与えないようにすることです。チョーク・インダクタは RF 入力周波数より大きい自己共振周波数を持つため、チョークは誘導性を維持するので RF 周波数での AC インピーダンス($j\omega L$)の予測が可能です。図 42 に RF 入力の構成を示します。

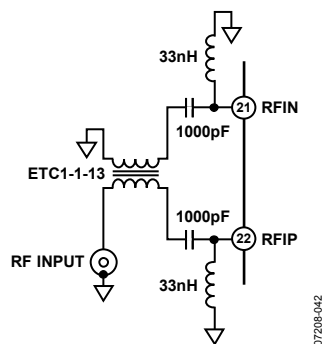


図 42. RF 入力

差動 RF ポートのリターン損失は、図 43 に示すようにキャラクターライズされています。

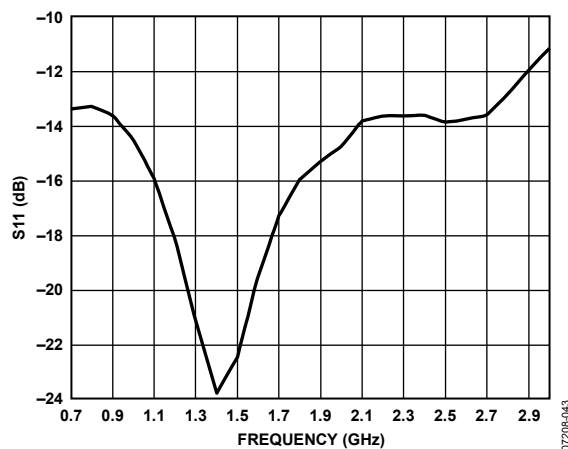


図 43. 差動 RF ポートのリターン損失

ベースバンド出力

ベースバンド出力の QHI、QLO、IHI、ILO は、固定インピーダンスを持つポートです。各ベースバンド対は、 $50\ \Omega$ の差動出力インピーダンスを持っています。出力は、 $200\ \Omega$ と低い差動負荷(リニアリティとゲインはある程度低下します)または ADC で一般的な高インピーダンス差動負荷($500\ \Omega$ 以上のインピーダンスでは優れた同じリニアリティが得られます)で取り出すことができます。TCM9-1 9:1 バランは、差動 IF 出力をシングルエンドへ変換します。 $50\ \Omega$ 負荷の場合、このバランはデバイスに対して $450\ \Omega$ 負荷になります。これら出力の最大リニア電圧振幅は差動 $2\ \text{V p-p (typ)}$ です。これらのピンのバイアス・レベルは $V_{POS} - 2.8\ \text{V}$ です。出力の 3 dB 帯域幅は $370\ \text{MHz}$ です。図 44 に、ベースバンド出力の構成を示します。

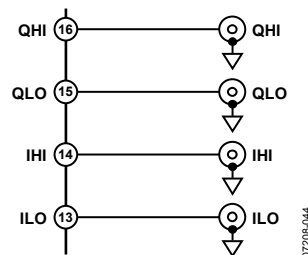


図 44. ベースバンド出力の構成

誤差ベクタ振幅(EVM)性能

EVM は、デジタル無線のトランスミッタまたはレシーバの性能を評価する測度です。レシーバが受信する信号は、理論位置ですべてのコンステレーション・ポイントを持ちますが、実装での種々の不完全性(たとえば、振幅不一致、ノイズ・フロア、位相不一致)により実際のコンステレーション・ポイントは理論位置からずれます。

ADL5382 は、種々の変調方式に対して優れた EVM 性能を持っています。図 45 に、16 QAM, 200 kHz 低 IF 信号を使って、ADL5382 の EVM 性能を示します。

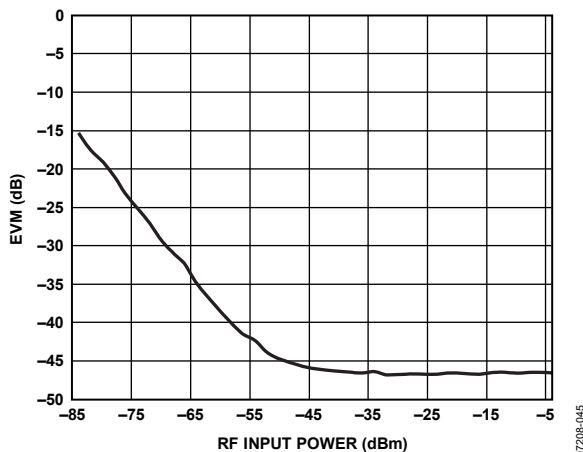


図 45. EVM、RF = 900 MHz、IF = 200 kHz 対 16 QAM 160 ksym/s 信号の RF 入力電力

図 46 に、ADL5382 による 10 MHz IEEE 802.16e WiMAX 信号のゼロ IF EVM 性能を示します。ADL5382 の差動 DC オフセットは、数 mV のオーダーです。ただし、ベースバンド出力を 10 μ F のコンデンサで AC 結合すると、DC オフセットがなくなり、EVM 性能を向上させることができます。10 MHz BW 信号、10 μ F の AC 結合コンデンサ、500 Ω の差動負荷では、約 64 Hz のハイパス・コーナー周波数になり、ベースバンド信号から吸収される変調信号エネルギーは微小になります。ベースバンド出力に AC 結合コンデンサを使用すると、低い入力電力レベルでダイナミック・レンジを狭くすることがある DC オフセット効果をなくすることができます。

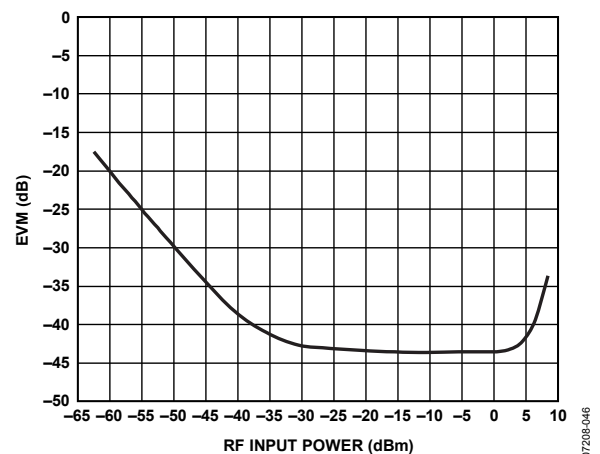


図 46. EVM、RF = 2.6 GHz、IF = 0 Hz 対 16 QAM 10 MHz 帯域幅モバイル WiMAX 信号の RF 入力電力(AC 結合ベースバンド出力)

図 47 に、ADL5382 の広い RF 入力電力レンジでの複数の WCDMA 信号の低 IF EVM 性能を示します。ゼロ IF の場合、ベクタ信号アナライザのノイズ成分が低電力レベルで支配的になるため、SNR の正確な測定が困難になります。

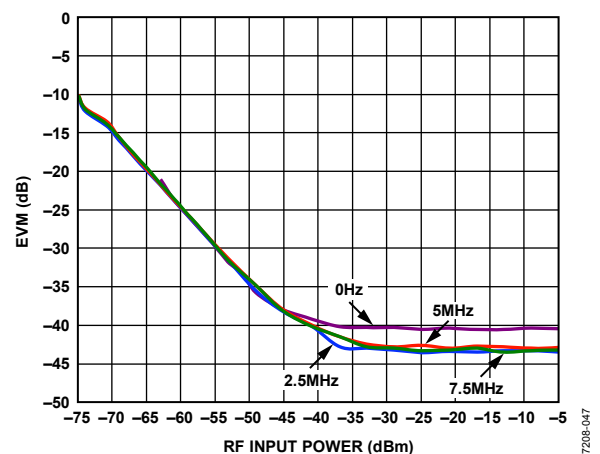


図 47. EVM、RF = 1900 MHz、IF = 0 Hz、2.5 MHz、5 MHz、7.5 MHz 対 W-CDMA 信号の RF 入力電力(AC 結合ベースバンド出力)

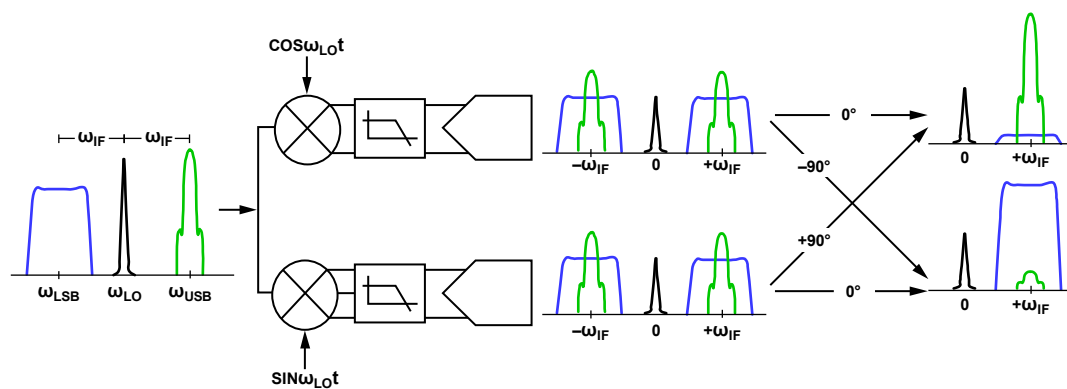


図 48. イメージ問題の説明

低 IF でのイメージ除去比

イメージ除去比とは、イメージ周波数から発生した中間周波数信号レベルに対する、所望の入力周波数から発生した中間周波数 (IF) 信号レベルの比を意味します。イメージ除去比はデシベルで表します。イメージ電力が所望信号の電力より大きくなってダウン・コンバージョン・プロセスを損なうことがあるため、適切なイメージ除去比は非常に重要です。図 48 に、イメージの問題を示します。上側サイドバンド(下側サイドバンド)が必要とするバンドである場合、Q チャンネル(I チャンネル)へ 90° シフトすると、下側サイドバンド(上側サイドバンド)のイメージが相殺されます。I チャンネルと Q チャンネルの間の位相とゲインの一致は、イメージ除去比を高くするために不可欠です。

図 49 に、W-CDMA のような低 IF アプリケーションに対する ADL5382 の優れたイメージ除去能力を示します。ADL5382 は、広い周波数レンジで 45 dB 以上のイメージ除去比を示します。

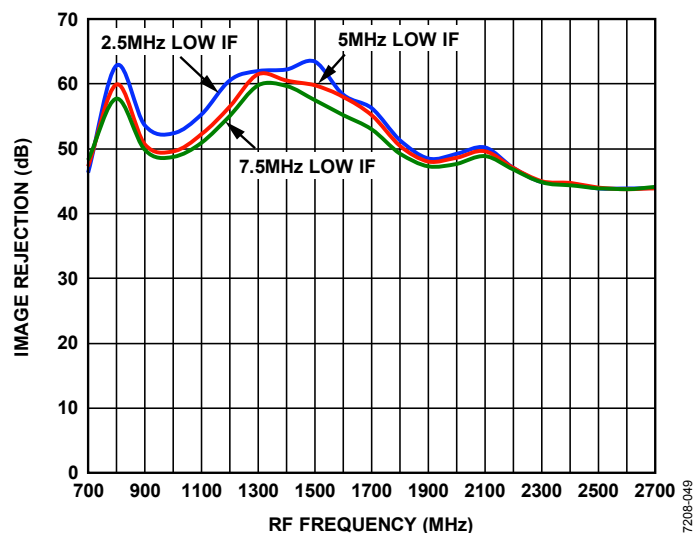


図 49. イメージ除去比対 W-CDMA 信号の RF 周波数、
IF = 2.5 MHz、5 MHz、7.5 MHz

ベースバンド・インターフェースの例

ダイレクト・コンバージョンの大部分のレシーバ・デザインでは、指定バンド内で必要とされるキャリアを選択することが望まれます。所望のチャンネルは、該当するキャリア周波数に LO をチューニングすることにより復調することができます。所望の RF バンドに注目する複数のキャリアが存在する場合、隣接キャリアも低い IF 周波数へ変換されます。これらの隣接キャリアが所望のキャリアに比べて大きい場合、ベースバンド信号検出回路を過駆動することがあるため問題が生じます。このため、隣接キャリアを十分除去するためにフィルタの挿入が必要になることがあります。

フィルタ回路をデザインするときは、ADL5382 と ADC 入力が見る全体のソース・インピーダンスと負荷インピーダンスを考慮する必要があります。ADL5382 の差動ベースバンド出力インピーダンスは 50Ω です。ADL5382 は、高インピーダンス ADC 入力を駆動するようにデザインされています。 500Ω のような終端抵抗を使って、ADC 入力を低いインピーダンスで終端することが望ましいこともあります。終端抵抗の使用は、ADC 入力の入力インピーダンスの決定に役立ちますが、少しゲインが低下する犠牲が生じます(エミッタ・フォロウ出力の負荷効果の詳細については、回路説明のセクションを参照してください)。フィルタ回路の次数とタイプは、所望の高周波除去比、パスバンドのリップル、群遅延に依存します。フィルタ・デザインを表に、種々のフィルタのタイプと次数、1 Hz のカットオフ周波数と 1Ω の負荷に対して正規化したインダクタとコンデンサの値を示します。正規化したプロトタイプ・エレメント値を実際の所望カットオフ周波数と負荷インピーダンスでスケールした後、直列リアクタンス・エレメントを $1/2$ 倍して平衡フィルタ回路部品値を得ます。

例として、2 次バタワース・ローパス・フィルタのデザインを図 50 に示します。ここでは、差動負荷インピーダンスが $500\ \Omega$ で、ADL5382 のソース・インピーダンスは $50\ \Omega$ です。負荷・ソース間インピーダンス比 10: 1 の正規化した直列インダクタ値は $0.074\ \text{H}$ で、正規化したシャント・コンデンサは $14.814\ \text{F}$ です。10.9 MHz のカットオフ周波数の場合、シングルエンド等価回路は、 $0.54\ \mu\text{H}$ の直列インダクタとそれに続く $433\ \text{pF}$ のシャント・コンデンサから構成されます。

$0.54\ \mu\text{H}$ のインダクタとして実現された平衡構成が 1/2 に分割されて、図 50 に示す回路が実現されます。

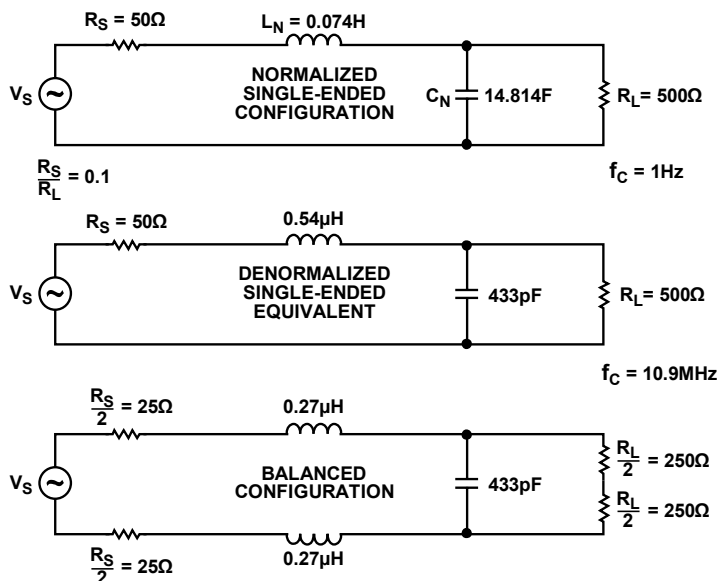


図 50.2 2 次バタワース・ローパス・フィルタ・デザインの例

デザイン例の全体を図 53 に示します。1.9 MHz のコーナー周波数を持つ 6 次のバタワース差動フィルタが、ADL5382 出力と ADC 入力をインターフェースします。 $500\ \Omega$ の負荷抵抗が ADC の入力インピーダンスを決定します。このフィルタは一般的なダイレクト・コンバージョン W-CDMA アプリケーション向けに適します。このアプリケーションでは、キャリア IF 周波数から 1.92 MHz 離れたところで 1 dB の除去比が必要とされ、2.7 MHz 離れたところで 10 dB の除去比が必要とされます。

図 51 と図 52 に、周波数応答とフィルタの群遅延の表示値を示します。

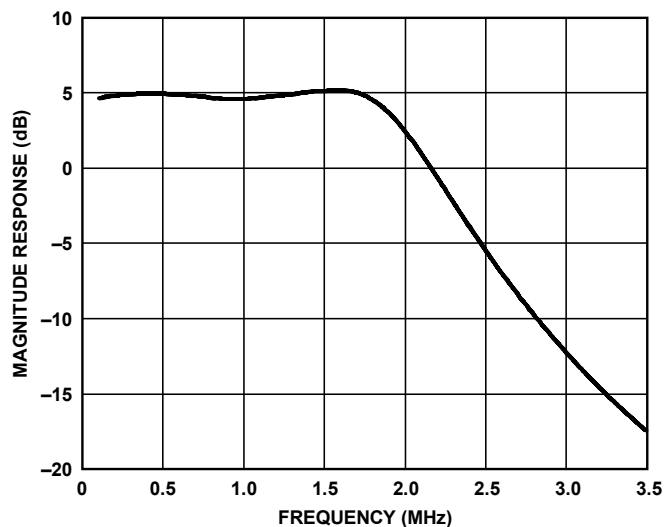


図 51.6 2 次ベースバンド・フィルタの応答

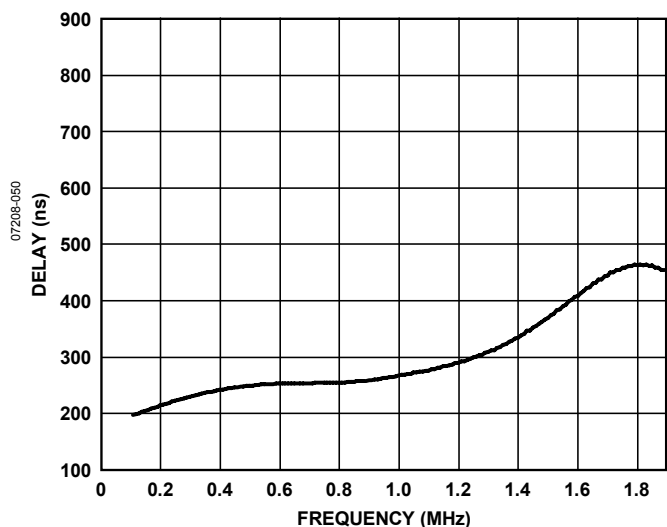
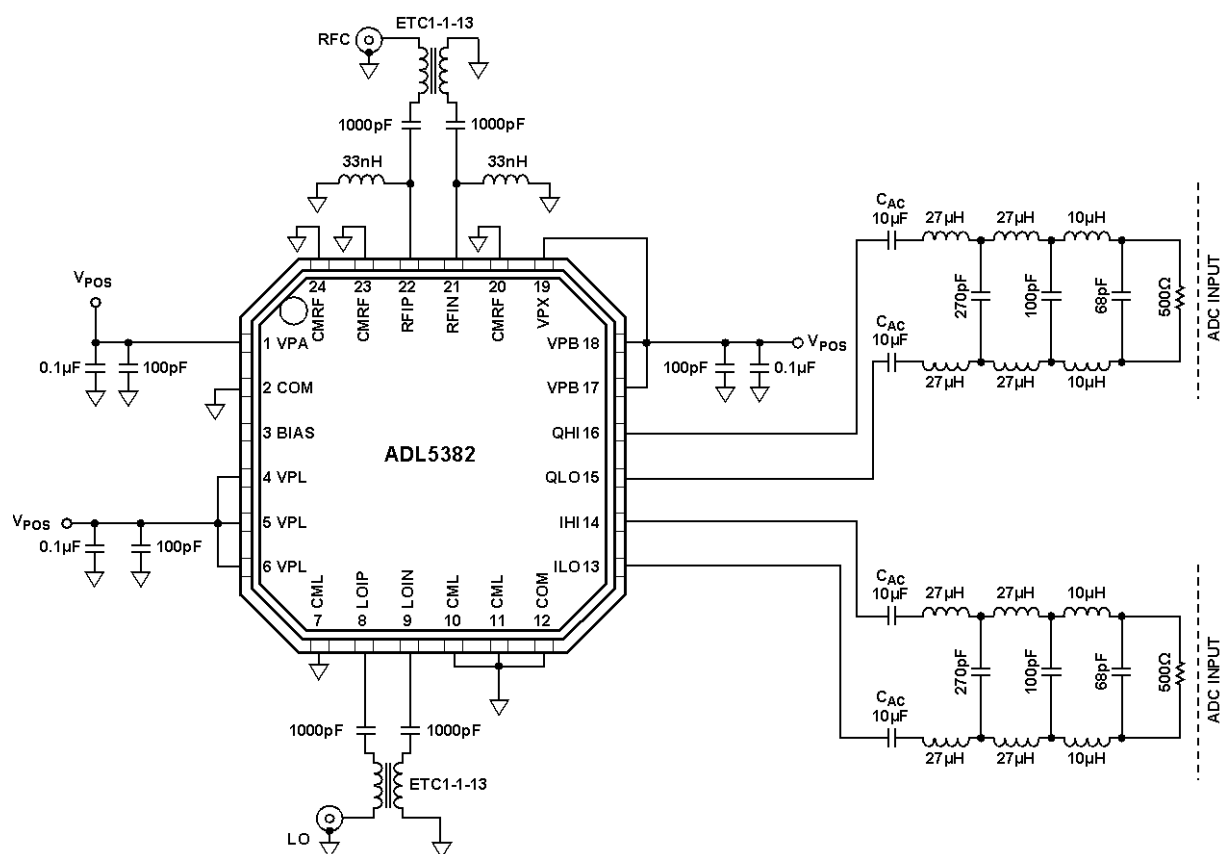


図 52.6 2 次ベースバンド・フィルタの群遅延



フィルタの負荷インピーダンスが大きくなると、除去比とパス・バンドの仕様を満たす点でフィルタのデザインが難しくなります。前の W-CDMA の例で、 $500\ \Omega$ の負荷インピーダンスから、比較的大きなインダクタ値と小さいコンデンサ値を使用する 6 次のフィルタのデザインが必要になります。負荷インピーダンスが $200\ \Omega$ の場合、フィルタのデザインはさらに難しくなります。図 54 に示すように、求めたインダクタ値とコンデンサ値はさらに現実的なものになりました。

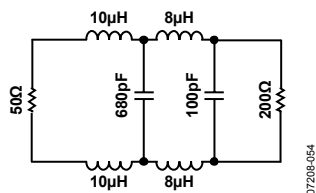


図 54.4 次ローパス W-CDMA フィルタの回路図

図 55 と図 56 に、それぞれ 4 次フィルタの振幅応答と群遅延応答を示します。

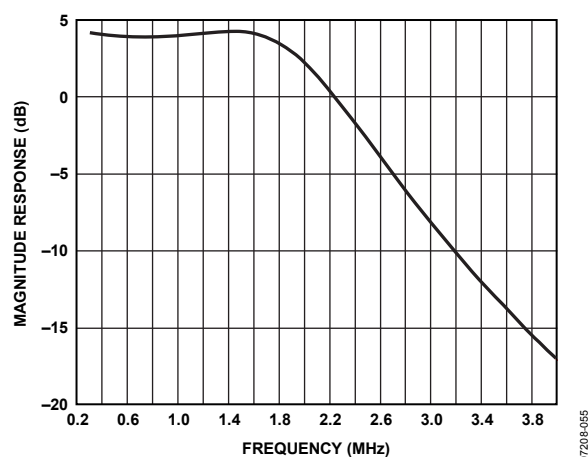


図 55.4 次ローパス W-CDMA フィルタの振幅応答

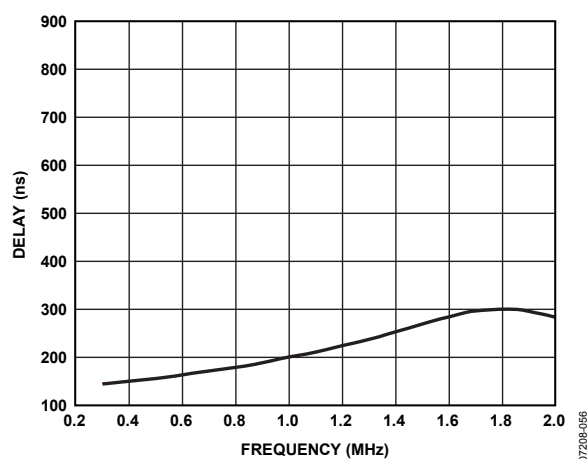


図 56.4 次ローパス W-CDMA フィルタの群遅延応答

キャラクタライゼーションのセットアップ

図 57 ～ 図 59 に、ADL5382 で使用された一般的なキャラクタライゼーションでのベンチ・セットアップを示します。図 59 に示すセットアップは、一連のテストに使用され、LO 入力と RF 入力に正弦波信号を使っています。自動化された Agilent-VEE プログラムを使って、IEEE バスに接続された装置を制御しました。このセットアップは、ゲイン、IP1dB、IIP2、IIP3、I/Q ゲイン・マッチ、直交誤差の測定に使いました。ADL5382 キャラクタライゼーション・ボードでは、差動/シングルエンド変換を行う 9:1 インピーダンス・トランスを各差動ベースバンド・ポートで使用しています。このトランスは、50Ω のテスト装置とインターフェースする場合、各ベースバンド・ポートで 450Ω の差動負荷になります。

ADL5382 のすべての測定で、RF 入力バラン(キャラクタライゼーションでは RF 入力に M/A-COM ETC1-1-13 を使用)の損失は除外しました。

図 57 と図 58 に示す 2 つのセットアップは、NF の測定に使用しました。図 57 には、ブロッカ信号を加えない NF の測定用セットアップを、図 58 にはブロッカ信号を加えた NF の測定用セットアップを、それぞれ示します。両セットアップでは、ベースバンド周波数 10 MHz でノイズを測定しました。ブロッカを入力したケースでは、出力ブロッカを 15 MHz のベースバンド周波数としました。ブロッカが存在する場合の NF の測定では十分な注意が必要です。RF ブロッカ・ジェネレータはフィルタを通して、これから発生するノイズ(ジェネレータ出力電力に比例して増えます)が ADL5382 の最大のノイズ成分にならないようにする必要があります。RF 周波数と画像周波数で少なくとも 30 dB の減衰が必要です。たとえば、ADL5382 の LO 入力に 915 MHz 信号を入力します。15 MHz の出力ブロッカ信号を得るためには、RF ブロッカ・ジェネレータを 930 MHz に設定して、所望の RF 周波数(925 MHz)とイメージ RF 周波数(905 MHz)でジェネレータに対して 30 dB の減衰になるようにフィルタを調整します。最後に、出力からブロッカを除去して(10 MHz のローパス・フィルタを使用)、ブロッカがアナライザを妨害することを防止する必要があります。

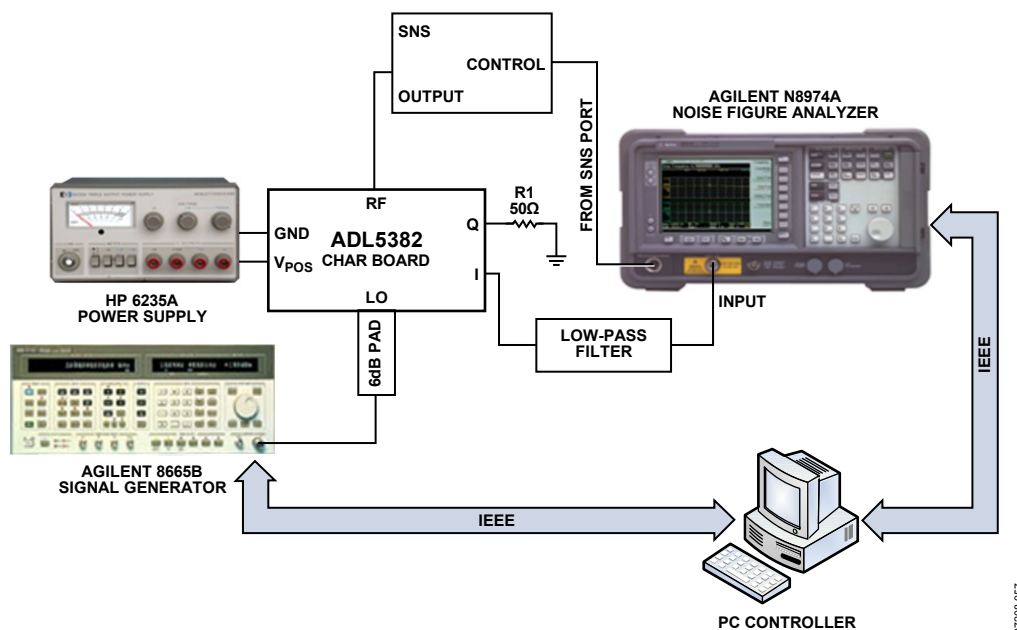


図 57. 一般的なノイズ係数測定のセットアップ

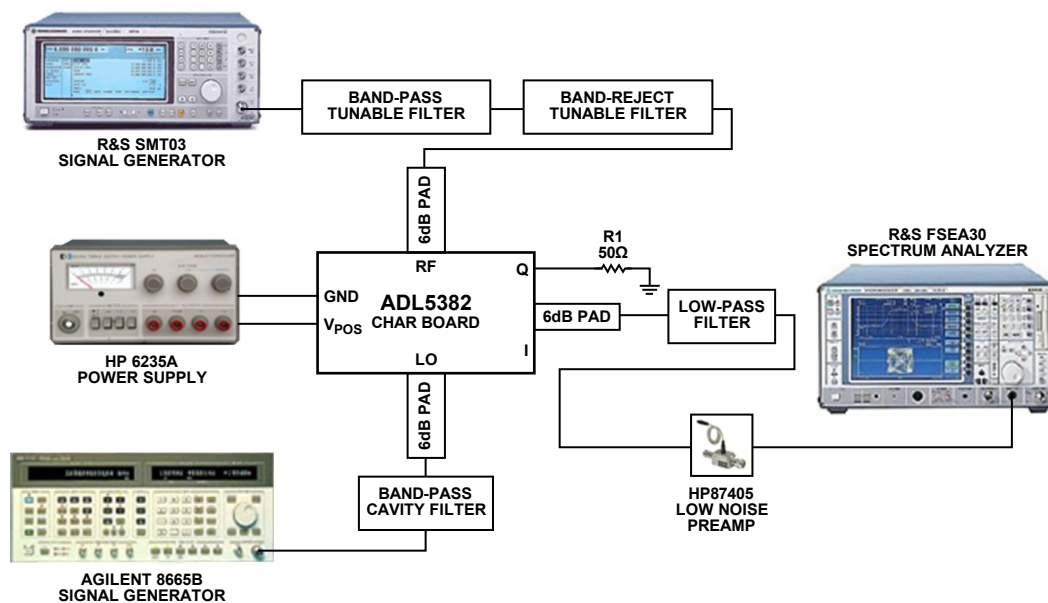


図 58. ブロック存在時のノイズ係数測定の設定アップ

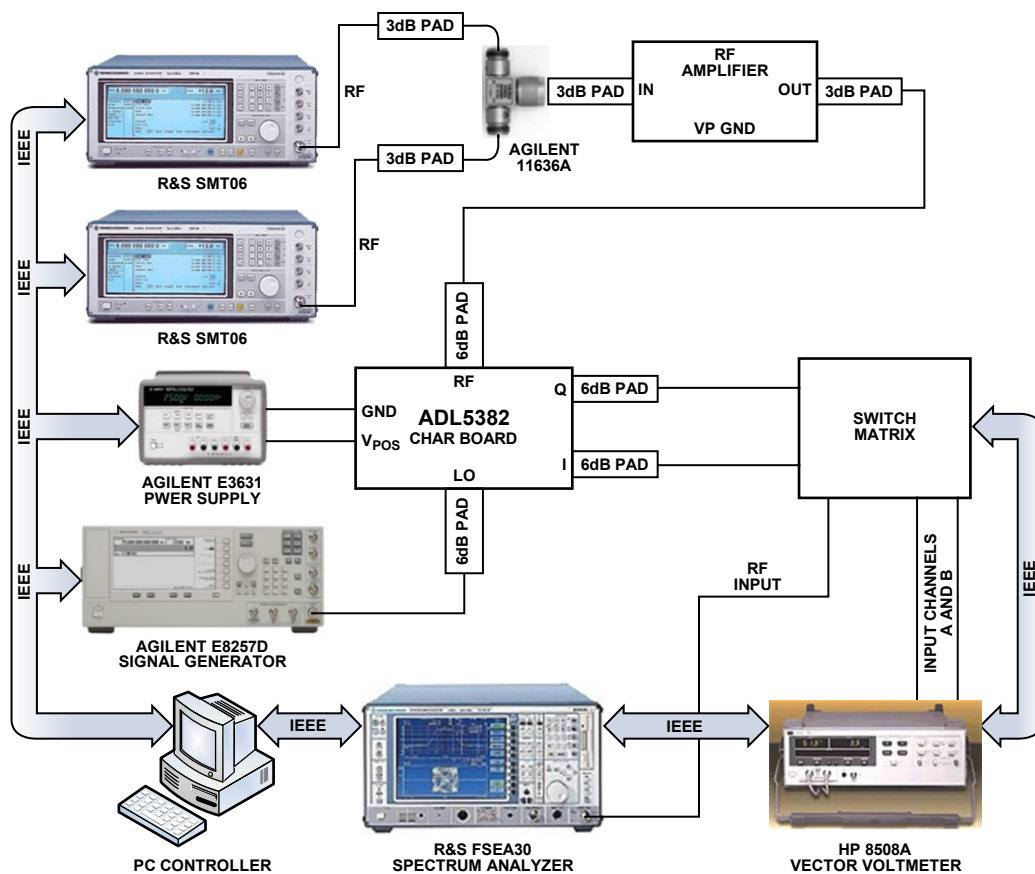


図 59. 全体的なキャラクタライゼーションの設定アップ

評価ボード

ADL5382 の評価ボードを提供しています。このボードは、シングルエンドまたは差動のベースバンド解析に使用することがで

きます。ボードのデフォルト設定は、シングルエンド・ベースバンド解析になっています。

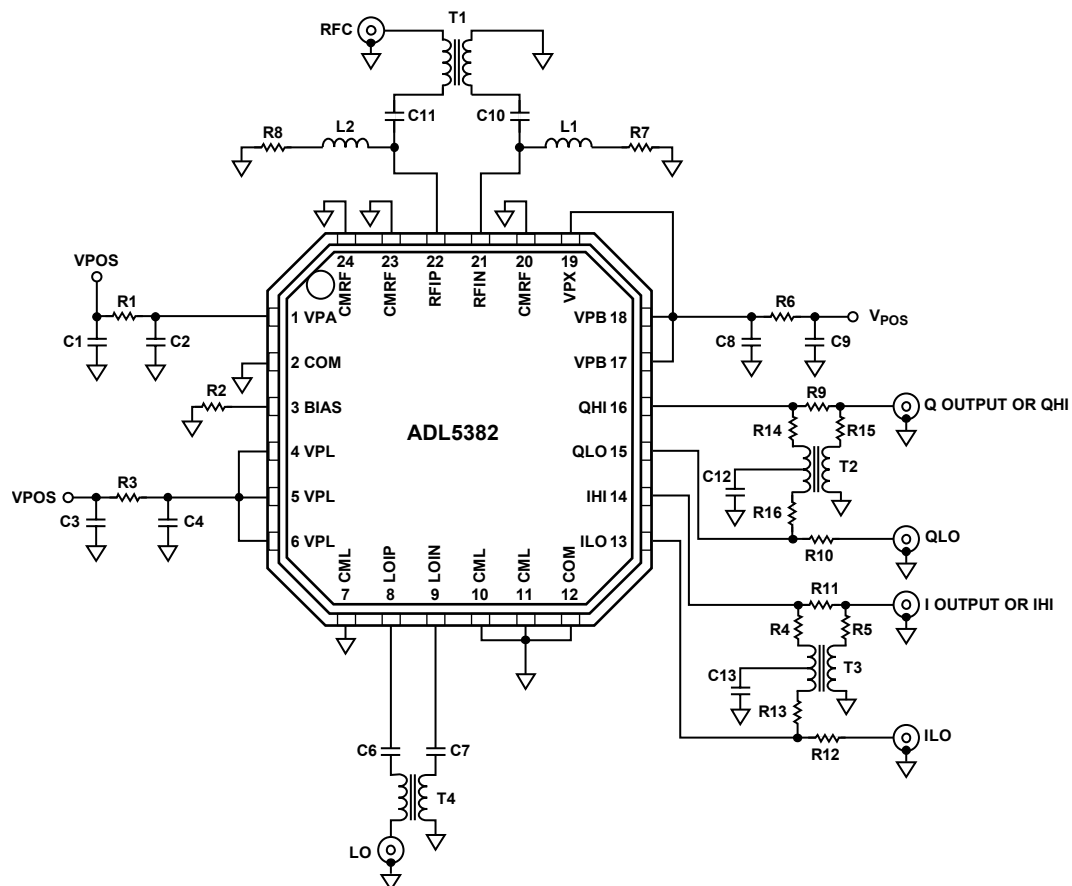
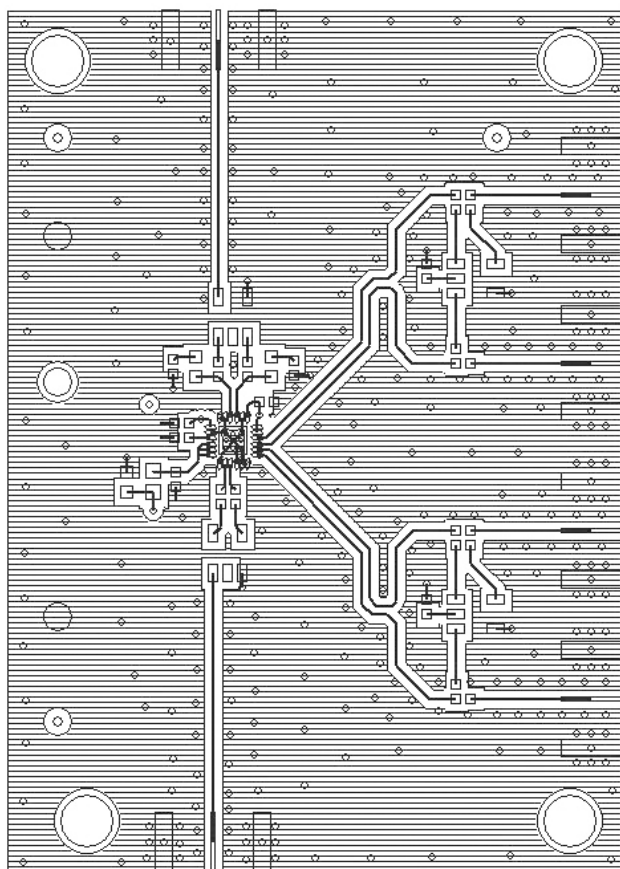


図 60. 評価ボードの回路図

07208-060

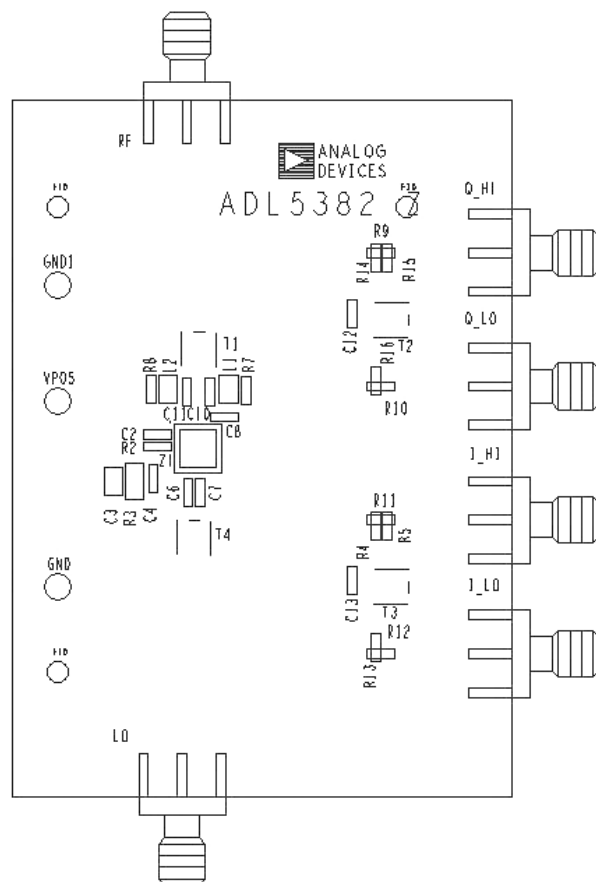
表 4. 評価ボードの設定オプション

Component	Function	Default Condition
VPOS, GND	Power Supply and Ground Vector Pins.	Not applicable
R1, R3, R6	Power Supply Decoupling. Shorts or power supply decoupling resistors.	R1, R3, R6 = 0 Ω (0603)
C1, C2, C3, C4, C8, C9	These capacitors provide the required decoupling up to 2.7 GHz.	C2, C4, C8 = 100 pF (0402) C1, C3, C9 = 0.1 μ F (0603)
C6, C7, C10, C11	AC Coupling Capacitors. These capacitors provide the required ac coupling from 700 MHz to 2.7 GHz.	C6, C10, C11 = 1000 pF (0402) C7 = open
R4, R5, R9 to R16	Single-Ended Baseband Output Path. This is the default configuration of the evaluation board. R14 to R16 and R4, R5, and R13 are populated for appropriate balun interface. R9, R10 and R11, R12 are not populated. Baseband outputs are taken from QHI and IHI. The user can reconfigure the board to use full differential baseband outputs. R9 to R12 provide a means to bypass the 9: 1 TCM9-1 transformer to allow for differential baseband outputs. Access the differential baseband signals by populating R9 to R12 with 0 Ω and not populating R4, R5, R13 to R16. This way the transformer does not need to be removed. The baseband outputs are taken from the SMAs of Q_HI, Q_LO, I_HI, and I_LO.	R4, R5, R13 to R16 = 0 Ω (0402) R9 to R12 = open
L1, L2, R7, R8	Input Biasing. Inductance and resistance sets the input biasing of the common base input stage. The default value is 33 nH.	L1, L2 = 33 nH (0603CS-33NX, Coilcraft) R7, R8 = 0 Ω (0402)
T2, T3	IF Output Interface. TCM9-1 converts a differential high impedance IF output to a single-ended output. When loaded with 50 Ω , this balun presents a 450 Ω load to the device. The center tap can be decoupled through a capacitor to ground.	T2, T3 = TCM9-1, 9: 1 (Mini-Circuits)
C12, C13	Decoupling Capacitors. C12 and C13 are the decoupling capacitors used to reject noise on the center tap of the TCM9-1.	C12, C13 = 0.1 μ F (0402)
T4	LO Input Interface. The LO is driven differentially. ETC1-1-13 is a 1: 1 RF balun that converts the single-ended RF input to differential signal.	T4 = ETC1-1-13, 1: 1 (M/A-COM)
T1	RF Input Interface. ETC1-1-13 is a 1: 1 RF balun that converts the single-ended RF input to differential signal.	T1 = ETC1-1-13, 1: 1 (M/A-COM)
R2	R _{BIAS} . Optional bias setting resistor. See the Bias Circuit section to see how to use this feature.	R2 = open



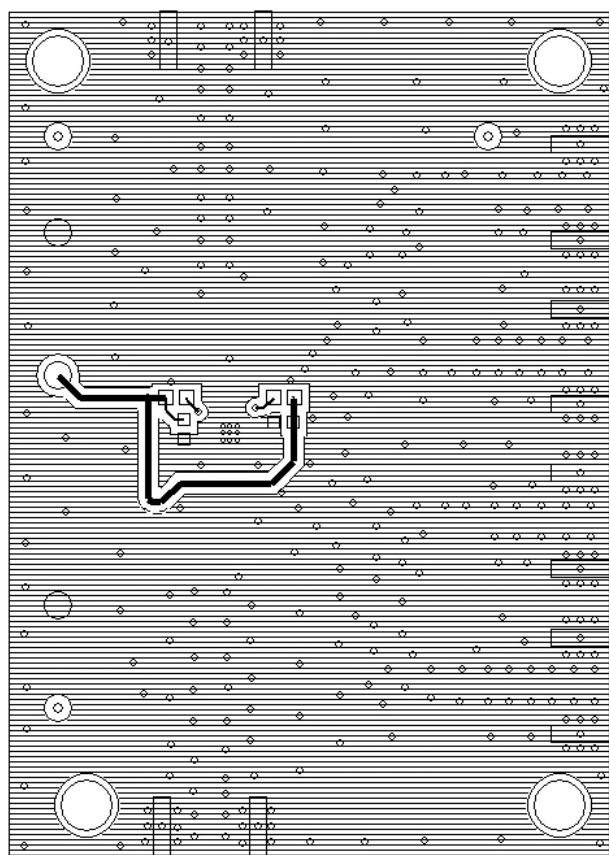
07208-061

図 61. 評価ボードの表面層



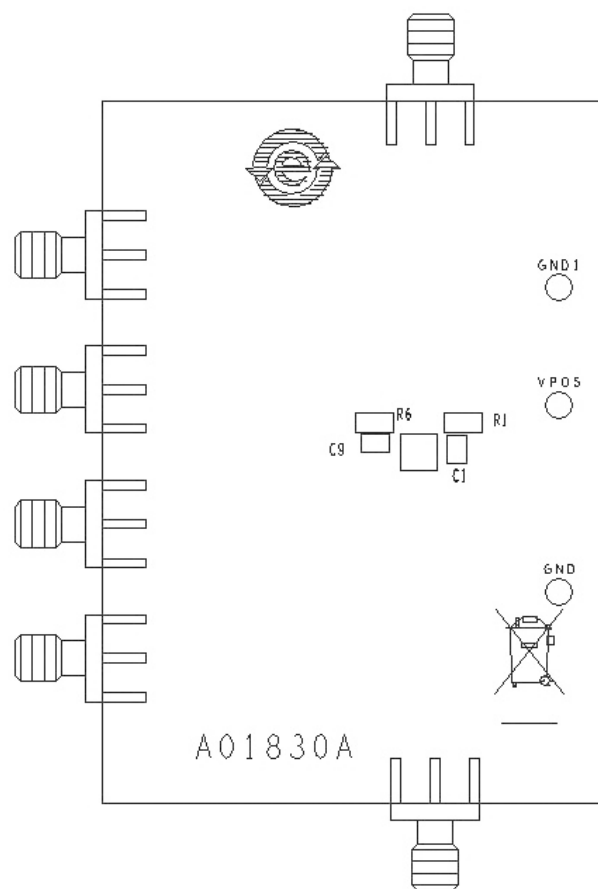
07208-062

図 62. 評価ボード表面のシルクスクリーン



07208-063

図 63.評価ボードの裏面層



07208-064

図 64.評価ボード裏面のシルクスクリーン

図 65.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
4 mm × 4 mm ボディ、極薄クワッド
(CP-24-2)
寸法: mm

Model	Temperature Range	Package Description	Package Option	Ordering Quantity
ADL5382ACPZ-R ¹	−40°C to +85°C	24-Lead LFCSP_VQ, 7" Tape and Reel	CP-24-2	1,500
ADL5382ACPZ-WP	−40°C to +85°C	24-Lead LFCSP_VQ, Waffle Pack	CP-24-2	64
ADL5382-EVALZ		Evaluation Board		

¹ Z = RoHS 準拠製品