

特長

-3dB 帯域幅：6.5 GHz（代表値）

外部抵抗の増設でプリセット 20dB 電圧ゲインを低減可能
差動信号またはシングルエンド信号を入力し、差動信号を出力
入力および出力を内部で DC カップリング

低ノイズ入力段：2GHz 時のノイズ指数：9.3dB

5V 電源で低歪み、100Ω 負荷で 2V p-p 出力

500MHz：-78dBc (HD2)、-71dBc (HD3)、-80dBc (IMD3)

2 GHz：-64dBc (HD2)、-52dBc (HD3)、-65dBc (IMD3)

入力電圧ノイズ (NSD、RTI)：100MHz で 1.0nV/√Hz

単電源動作：AC カップリング・アプリケーション

両電源動作：DC カップリング・アプリケーション

スルー・レート：2V p-p 出力で 24V/ns

DC の消費電力：5V でアンプあたり 86mA

アプリケーション

GSPS ADC 用の差動 ADC ドライバ

高速データ・アキュジション

シングルエンド/差動変換

DAC バッファリング

DC カップリングとレベル・シフト

RF/IF ゲイン・ブロック

DC から 4GHz までのバラン代替品

SAW フィルタ・インターフェース

概要

ADL5569 は、20dB の電圧ゲインを備えた高性能のデュアル差動アンプです。DC から 6.5GHz までのアプリケーション向けに最適化されています。このアンプは、デュアル形式で提供されています。広い周波数範囲にわたって、1.0nV/√Hz (100MHz 時) の低入力換算 (RTI) ノイズ・スペクトル密度 (NSD) を実現するため、高速 12 ビット～16 ビットの A/D コンバータ (ADC) には理想的なドライバとなっています。ADL5569 は、高性能、ゼロ中間周波数 (IF) /コンプレックス IF レシーバの設計に最適です。更に、このデバイスは、シングルエンドの入力ドライバ・アプリケーションに対して優れた低歪み性能を備えています。

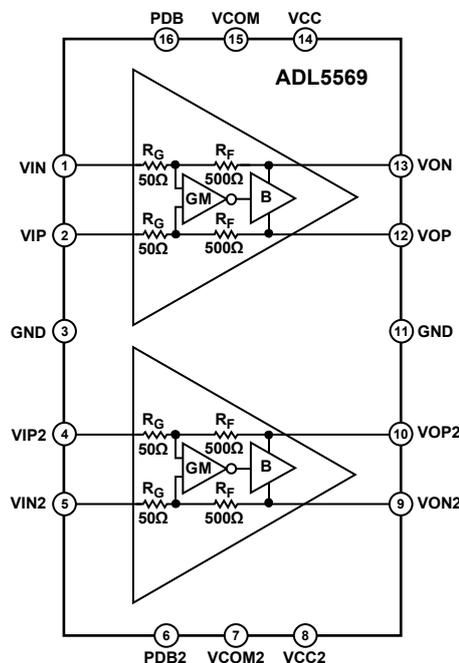
外部に各アンプ用として 2 つの直列抵抗を使用することで、アンプのゲインを柔軟に拡張でき、差動で 6dB～20dB 間のいかなるゲインにも設定することができます。シングルエンド入力の場合、いくつかの外部抵抗を増設することで、6dB～17dB にゲインを調整できます。このデバイスは、2.0V～3.0V の出力コモンモード電圧範囲で低歪みを維持すると同時に、最大 2Vp-p の AC レベルで ADC を駆動するための柔軟な機能を備えています。

5V の単電源で動作する場合、通常、ADL5569 の静止電流はアンプあたり 86mA です。ディスエーブルにすると、アンプあたりの消費電流はわずか 8mA になります。

このデバイスは、広帯域、低歪み、低ノイズ動作向けに最適化されており、DC から 4GHz までの前例のない 2 次高調波歪み (HD2) および 3 次高調波歪み (HD3) を実現します。これらの特性と調整可能なゲイン機能の組み合わせにより、この製品は、様々なデバイスの駆動に最適なアンプとなっています。駆動されるデバイスには、様々な ADC、ミキサー、ピン・ダイオードのアッテネータ、表面弾性波 (SAW) フィルタ、多くのデスクリート無線周波数 (RF) デバイスなどがあります。

アナログ・デバイセズの高速シリコンゲルマニウム (SiGe) プロセスで製造された ADL5569 は、小型の 2.5mm×3mm、16 ピン LFCSP パッケージに収納され、-40～85°C の温度範囲で動作します。

機能ブロック図



NOTES
1. R_G IS THE SERIES RESISTANCE OF THE AMPLIFIER,
AND R_F IS THE FEEDBACK RESISTANCE
OF THE AMPLIFIER.

18671-001

図 1.

目次

特長.....	1	アプリケーション情報.....	15
アプリケーション.....	1	基本的な接続方法.....	15
機能ブロック図.....	1	入力および出力のインターフェース.....	16
概要.....	1	ゲイン調整とインターフェース.....	17
改訂履歴.....	2	負荷容量の影響.....	18
仕様.....	3	GPS ADC インターフェース.....	18
絶対最大定格.....	6	ハンダ処理と推奨されるランド・パターン.....	20
熱抵抗.....	6	評価用ボード.....	20
ESD に関する注意.....	6	外形寸法.....	23
ピン配置およびピン機能の説明.....	7	オーダー・ガイド.....	23
代表的な性能特性.....	8		
動作原理.....	14		

改訂履歴

2018年7月 - 改訂 0 から改訂 A

図 4、図 7 を変更.....	8
図 10、図 11、図 12、図 13 を変更.....	9
図 19 および図 20 のキャプションを変更.....	10
図 23、図 24 を変更.....	11

5/2018-Revision 0: Initial Version

仕様

特に指定のない限り、電源電圧 (V_S) = 5V、最大ゲイン、出力コモンモード電圧 (V_{COM}) = $V_S/2$ 、ソース・インピーダンス (R_S) = 100 Ω 差動、負荷インピーダンス (R_L) = 100 Ω 差動、出力電圧 (V_{OUT}) = 2V p-p コンポジット、周波数 = 500MHz、 T_A = 25°C、差動入力および差動出力に指定されたパラメータ、ツー・トーン測定で信号間隔 = 2MHz。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth ¹	$V_{OUT} \leq 0.5$ V p-p		6.5		GHz
Bandwidth, 1.0 dB Flatness	$V_{OUT} \leq 1.0$ V p-p		4.8		GHz
Voltage Gain (A_V)					
Differential Input	$R_L = \text{open}$		20		dB
	$R_L = 100 \Omega$ differential	6	19		dB
Single-Ended Input	$R_L = 100 \Omega$ differential	6	17		dB
Gain Accuracy			± 0.15		dB
Gain Supply Sensitivity	$V_S \pm 5\%$		8.6		mdB/V
Gain Temperature Sensitivity	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		4		mdB/ $^\circ\text{C}$
Slew Rate	Rising, $V_{OUT} = 2$ V p-p step		24		V/ns
	Falling, $V_{OUT} = 2$ V p-p step		24		V/ns
Settling Time	2 V step to 1%		500		ps
Overdrive Recovery Time	Differential input voltage step from 2 V to 0 V for $V_{OUT} \leq \pm 20$ mV		6		ns
Reverse Isolation (SDD12)	PDB and PDB2 are high		-34		dB
When Amplifier Disabled	PDB and PDB2 are low		-17.5		dB
INPUT AND OUTPUT CHARACTERISTICS					
Input Common-Mode Range		1.3		3.5	V
Input Resistance					
Differential			100		Ω
Single-Ended			91.7		Ω
Common-Mode Rejection Ratio (CMRR)			47		dB
Output Common-Mode Range	V_{COM} and V_{COM2}	2.0		3.0	V
V_{COM} and V_{COM2} Input Impedance			2.5		k Ω
Output, Common Mode	Referenced to V_{COM} ($V_S/2$)				
Offset		-30	± 10	+30	mV
Drift	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		0.15		mV/ $^\circ\text{C}$
Output, Differential Offset					
Voltage		-10	± 1.5	+10	mV
Drift	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		± 6		$\mu\text{V}/^\circ\text{C}$
Output Resistance (Differential)			14.0		Ω
Maximum Output Voltage Swing	1 dB compression point		6.5		V p-p
POWER INTERFACE					
Supply Voltage		4.75	5	5.25	V
Digital Input Voltage	PDB, PDB2				
Logic High (V_{IH})		2.1		3.45	V
Logic Low (V_{IL})		0		1.0	V
PDB Input Current	PDB = 3 V		-7		μA
	PDB = 0 V		-70		μA
Supply Current (I_{SUPPLY})	Each amplifier				
Quiescent, Each Amplifier	PDB is high		86		mA
Disabled (Powered Down), Each Amplifier	PDB is low		8		mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE/HARMONIC PERFORMANCE					
100 MHz					
Second Harmonic Distortion (HD2)			-89		dBc
Third Harmonic Distortion (HD3)			-83		dBc
Output Third-Order Intercept (OIP3)			42		dBm
Third-Order Intermodulation Distortion (IMD3)			-82		dBc
Output Second-Order Intercept (OIP2)			74		dBm
Second-Order Intermodulation Distortion (IMD2)			-73		dBc
Output 1 dB Compression Point (OP1dB)			17.4		dBm
Noise Figure ²			5.4		dB
Noise Spectral Density (NSD), RTI ²			1.0		nV/ $\sqrt{\text{Hz}}$
500 MHz					
HD2			-78		dBc
HD3			-71		dBc
OIP3			41		dBm
IMD3			-80		dBc
OIP2			74		dBm
IMD2			-73		dBc
OP1dB			17.2		dBm
NF ²			6.3		dB
NSD, RTI ²			1.2		nV/ $\sqrt{\text{Hz}}$
1000 MHz					
HD2			-65		dBc
HD3			-58		dBc
OIP3			39		dBm
IMD3			-76		dBc
OIP2			71		dBm
IMD2			-70		dBc
OP1dB			17.7		dBm
NF ²			7.0		dB
NSD, RTI ²			1.3		nV/ $\sqrt{\text{Hz}}$
2000 MHz					
HD2			-64		dBc
HD3			-52		dBc
OIP3			34		dBm
IMD3			-65		dBc
OIP2			63		dBm
IMD2			-62		dBc
OP1dB			17.4		dBm
NF ²			9.3		dB
NSD, RTI ²			1.8		nV/ $\sqrt{\text{Hz}}$
3000 MHz					
HD2			-62		dBc
HD3			-46		dBc
OIP3			30		dBm
IMD3			-58		dBc
OIP2			57		dBm
IMD2			-56		dBc
OP1dB			16.2		dBm
NF ²			11.1		dB
NSD, RTI ²			2.2		nV/ $\sqrt{\text{Hz}}$

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
4000 MHz					
HD2			-58		dBc
HD3			-48		dBc
OIP3			25		dBm
IMD3			-48		dBc
OIP2			59		dBm
IMD2			-58		dBc
OP1dB			14.3		dBm
NF ²			12.1		dB
NSD, RTI ²			2.5		nV/ $\sqrt{\text{Hz}}$

¹ Sパラメータは、テスト対象デバイス（DUT）自体で取得されます。プリント回路基板（PCB）は測定に使用されません。

² NSD RTIは次のようにノイズ指数から計算されます。

$$NSD (RTI) = \frac{1}{2} \times \sqrt{4kT \times (10^{NF/10} - 1) \times R_{IN}}$$

ここで、

k はボルツマン定数です。1.381 × 10⁻²³J/Kに等しくなります。

T は、ノイズ指数を評価するための標準絶対温度で、290Kに相当します。

R_{IN} は、各アンプの差動入力インピーダンスで、100Ωに相当します。

絶対最大定格

表 2.

Parameter	Rating
Output Voltage Swing × Bandwidth Product	5 V-GHz
Supply Voltage (V _S) at VCC and VCC2	5.25 V
VIP, VIP2, VIN, and VIN2	V _S + 0.5 V
PDB, PDB2	3.6 V
Maximum Output Current, I _{OUT} (VIP, VIP2, VIN, and VIN2 Pins)	±30 mA
Internal Power Dissipation	1 W
Maximum Junction Temperature	125°C
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定される、周辺温度と接合部温度の間の熱抵抗です。 θ_{JC} は、接合部温度とケース温度の間の熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC} ²	Unit
CP-16-44	90.5	20.9	°C/W

¹アナログ・デバイセズの評価用ボードで測定。

²JEDEC 規格 JESD51 のシミュレーションに基づく。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

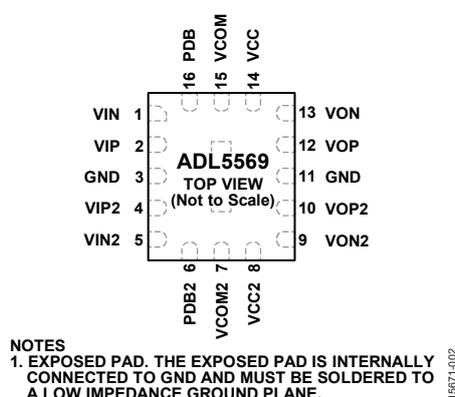


図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	VIN	アンプ 1 の平衡差動入力 の負側。このピンには V_{CC} 電圧 (V_{CC}) / 2 のバイアス電圧がかけられ、通常は AC カップリングされます。
2	VIP	アンプ 1 の平衡差動入力 の正側。このピンには $V_{CC}/2$ のバイアス電圧がかけられ、通常は AC カップリングされます。
3、11	GND	グラウンド。チップ全体のグラウンド・リファレンス。これらのピンは、低インピーダンスのグラウンド・プレーンでハンダ処理する必要があります。
4	VIP2	アンプ 2 の平衡差動入力 の正側。このピンには V_{CC2} 電圧 (V_{CC2}) / 2 のバイアス電圧がかけられ、通常は AC カップリングされます。
5	VIN2	アンプ 2 の平衡差動入力 の負側。このピンには $V_{CC2}/2$ のバイアス電圧がかけられ、通常は AC カップリングされます。
6	PDB2	アンプ 2 のパワーダウン制御 (アクティブ・ロー)。このピンは、内部で約 2.8V にプルアップされます。このピンをロジック・ハイにすると ($2.1V < PDB2$ 電圧 (V_{PDB2}) $< 3.3V$)、デバイスがイネーブルになります。
7	VCOM2	アンプ 2 のコモンモード電圧入力。このピンに印加される電圧によって、アンプの入出力のコモンモード電圧が設定されます。このピンをオープンのままにすると、 V_{COM2} 電圧 (V_{COM2}) = $V_{CC2}/2$ になります。このピンは、 $0.1\mu F$ のコンデンサでグラウンドにデカップリングします。
8	VCC2	アンプ 2 の正側 (供給) 電源。
9	VON2	アンプ 2 の平衡差動出力 の負側。このピンには V_{COM2} のバイアス電圧がかけられ、通常は AC カップリングされます。
10	VOP2	アンプ 2 の平衡差動出力 の正側。このピンには V_{COM2} のバイアス電圧がかけられ、通常は AC カップリングされます。
12	VOP	アンプ 1 の平衡差動出力 の正側。このピンには V_{COM} のバイアス電圧がかけられ、通常は AC カップリングされます。
13	VON	アンプ 1 の平衡差動出力 の負側。このピンには V_{COM} のバイアス電圧がかけられ、通常は AC カップリングされます。
14	VCC	アンプ 1 の正側 (供給) 電源。
15	VCOM	アンプ 1 のコモンモード電圧入力。このピンに印加される電圧によって、アンプの入出力のコモンモード電圧が設定されます。このピンをオープンのままにすると、 $V_{COM} = V_{CC}/2$ になります。このピンは、 $0.1\mu F$ のコンデンサでグラウンドにデカップリングします。
16	PDB	アンプ 1 のパワーダウン制御 (アクティブ・ロー)。このピンは、内部で約 2.8V にプルアップされます。このピンをロジック・ハイにすると ($2.1V < PDB$ 電圧 (V_{PDB}) $< 3.3V$)、デバイスがイネーブルになります。
	EPAD	露出パッド。露出パッドは内部で GND に接続されており、低インピーダンスのグラウンド・プレーンでハンダ処理する必要があります。

代表的な性能特性

特に指定のない限り、 $V_S=5V$ 、最大ゲイン、 $V_{COM}=V_S/2$ 、 $R_S=100\Omega$ 差動、 $R_L=100\Omega$ 差動、 $V_{OUT}=2V$ p-p、周波数 = 500MHz、 $T_A=25^\circ C$ 、差動入力および差動出力に指定されたパラメータ、ツー・トーン測定で信号間隔 = 2MHz。

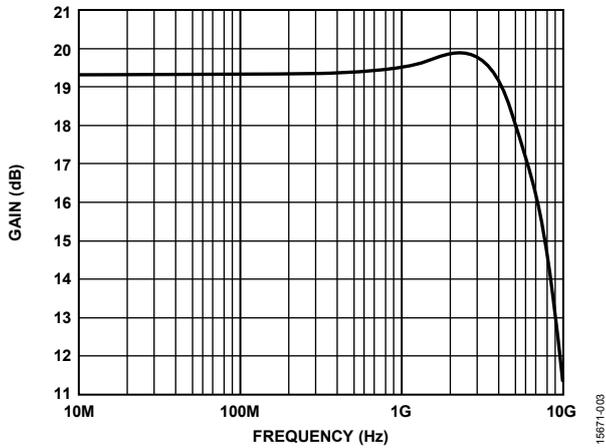


図 3. ゲインと周波数の関係 (DUT で取得した S パラメータ、測定に使用しない PCB)

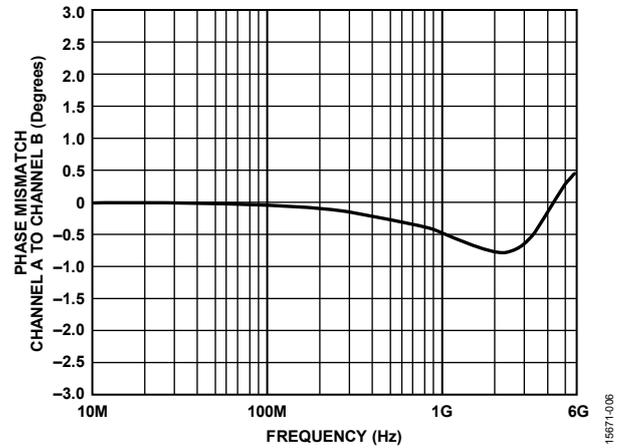


図 6. 位相のミスマッチ (チャンネル A~チャンネル B) と周波数の関係

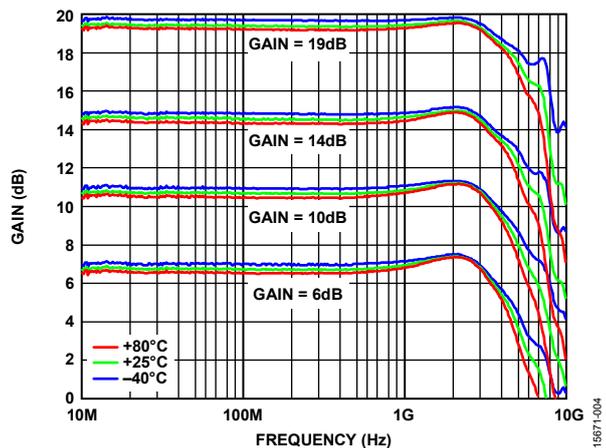


図 4. 異なる温度で評価した、ゲインと周波数の関係

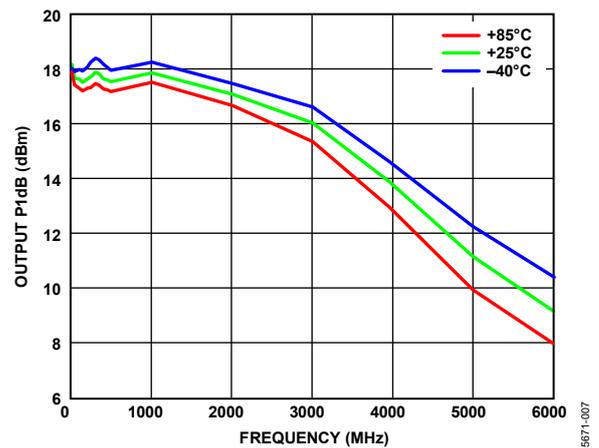


図 7. 異なる温度で評価した、出力 P1dB と周波数の関係

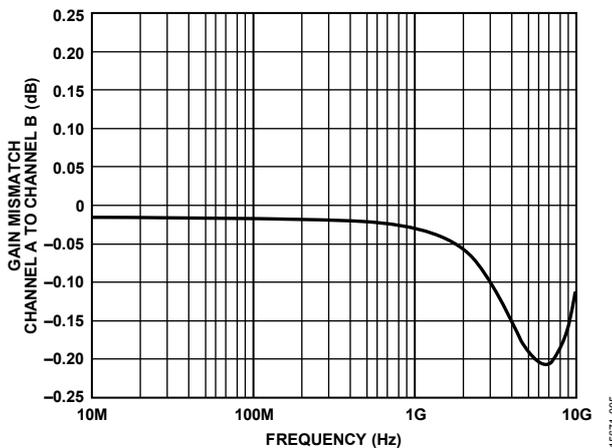


図 5. ゲイン・ミスマッチ (チャンネル A~チャンネル B) と周波数の関係

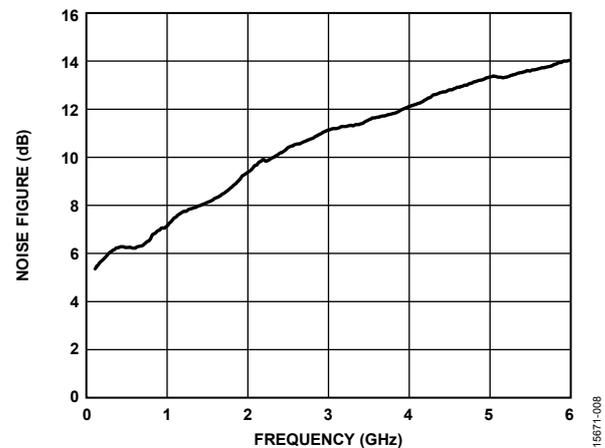


図 8. ノイズ指数と周波数の関係

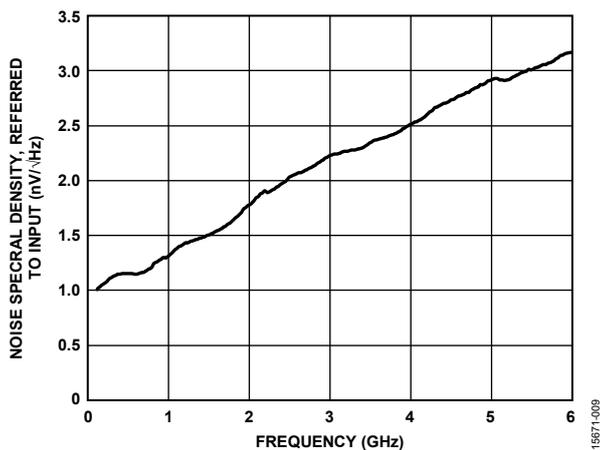


図 9. ノイズ・スペクトル密度、入力換算と周波数の関係

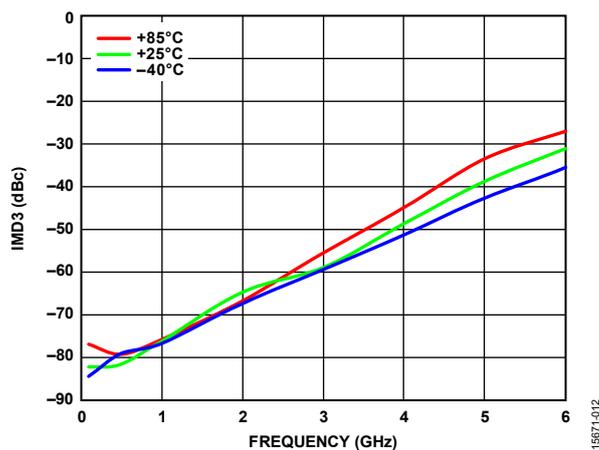


図 12. 異なる温度で評価した、IMD3 と周波数の関係

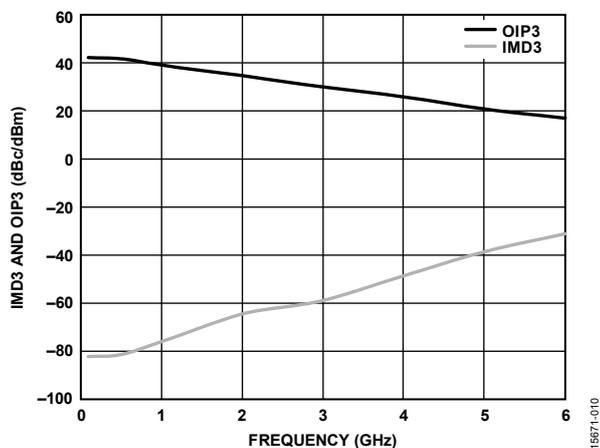


図 10. 3 次相互変調歪み (IMD3) と出力の関係
3 次インターセプト (OIP3) と周波数の関係

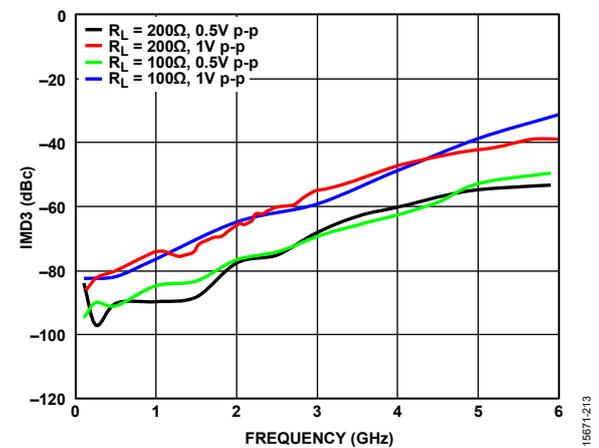


図 13. トーンあたりの R_{LOAD} 、 P_{OUT} で評価した、IMD3 と周波数の関係

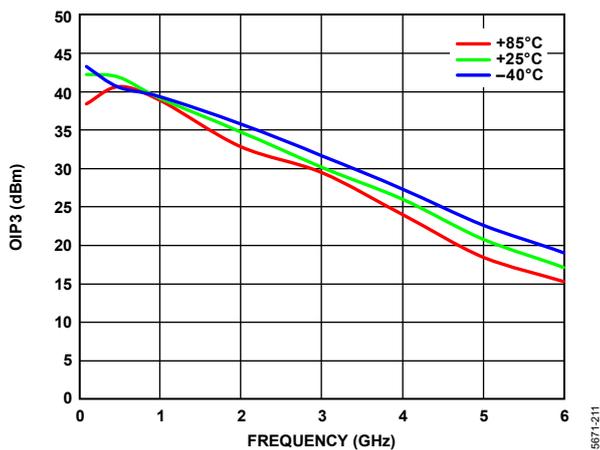


図 11. 異なる温度で評価した、OIP3 と周波数の関係

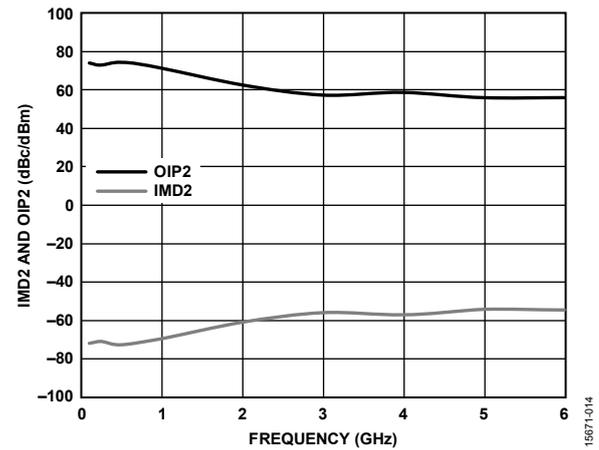


図 14. 2 次相互変調歪み (IMD2)、出力 2 次インターセプト (OIP2) と周波数の関係

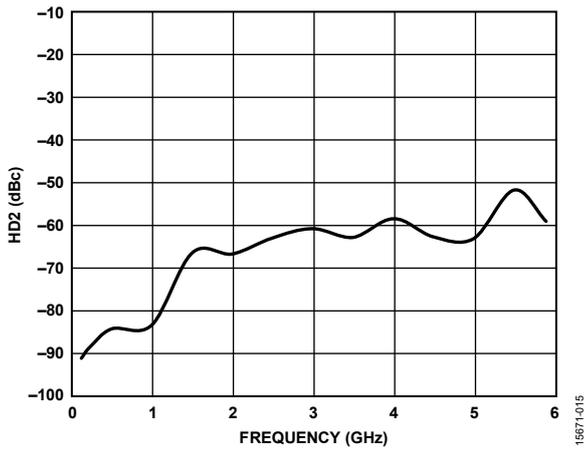


図 15. 2次高調波歪み (HD2) と周波数の関係

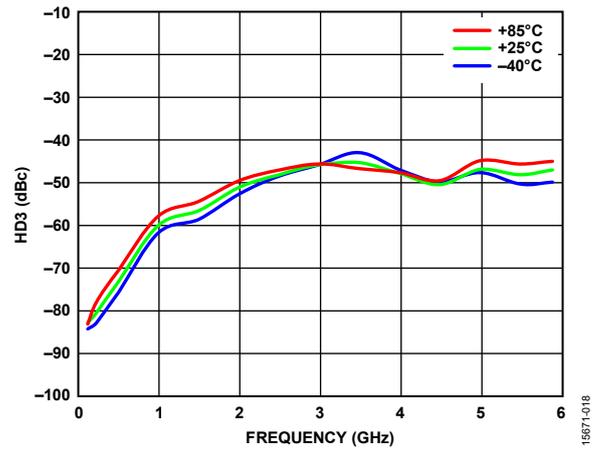


図 18. 異なる温度で評価した、HD3と周波数の関係

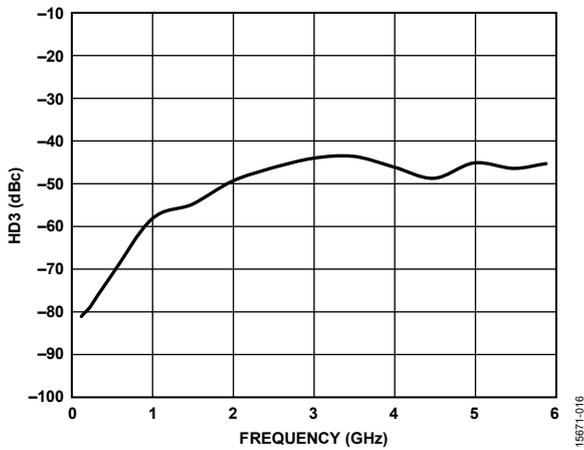


図 16. 3次高調波歪み (HD3) と周波数の関係

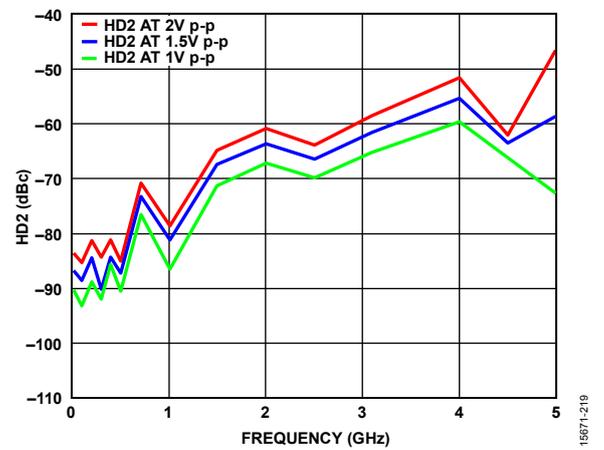


図 19. 様々な出力電圧振幅で評価した HD2 と周波数の関係

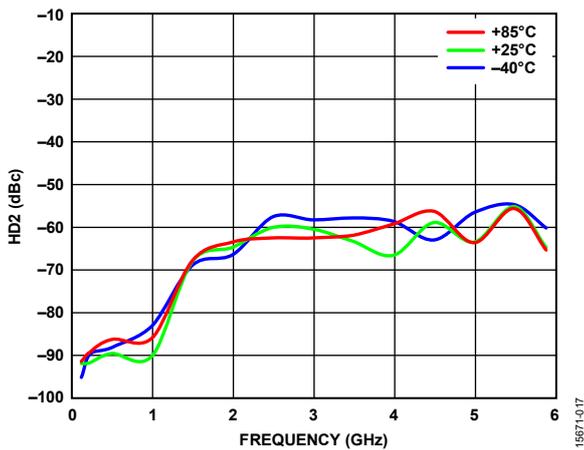


図 17. 異なる温度で評価した、HD2 と周波数の関係

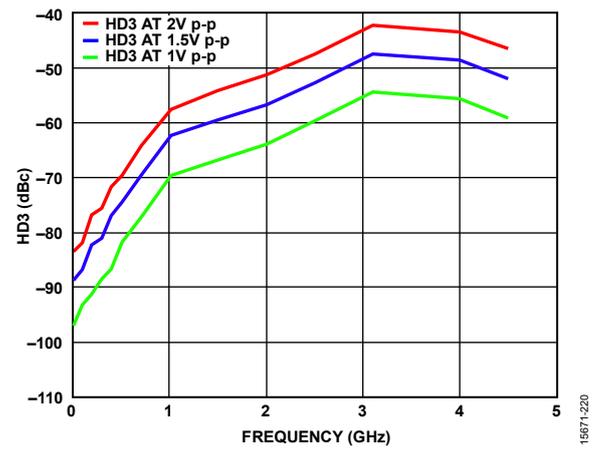


図 20. 様々な電圧振幅で評価した HD3 と周波数の関係

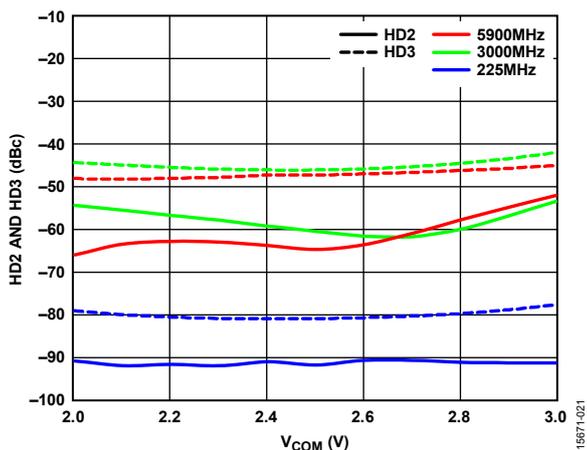


図 21. HD2、HD3 と出力共通モード電圧 (V_{COM}) の関係

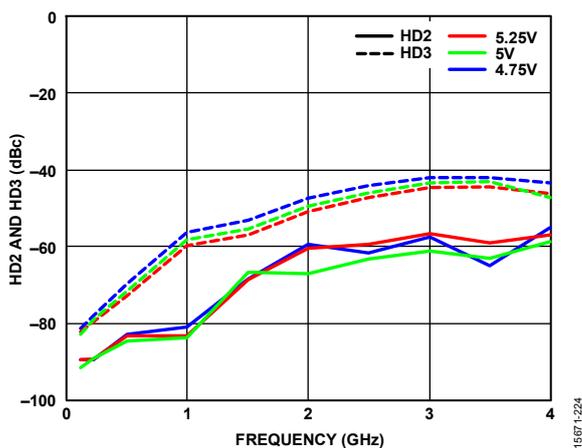


図 24. 様々な電源で評価した HD2、HD3 と周波数の関係

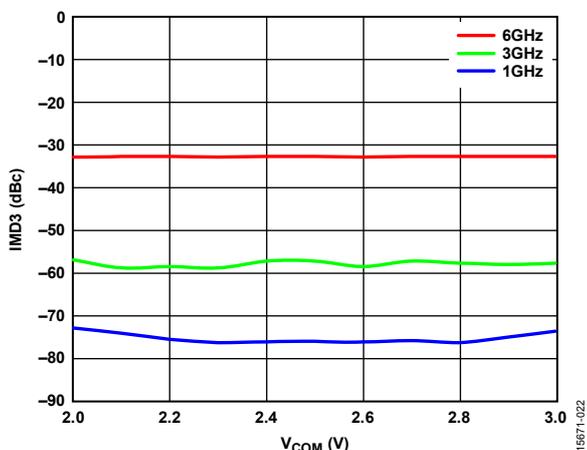


図 22. IMD3 と V_{COM} の関係

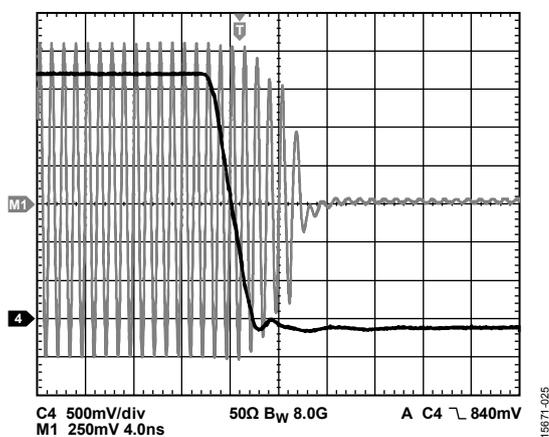


図 25. ディスエーブル時間応答

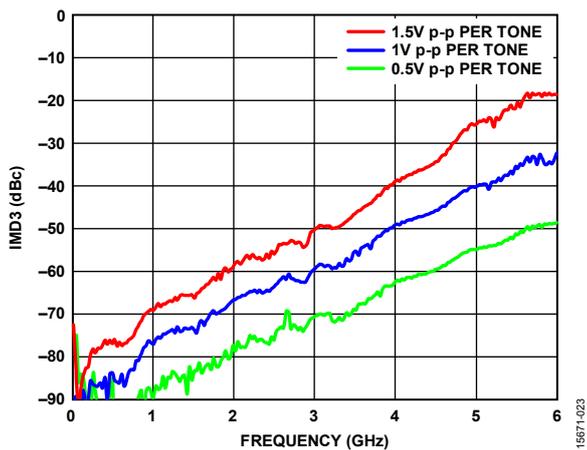


図 23. トーンあたりの様々な P_{OUT} で評価した IMD3 と周波数の関係

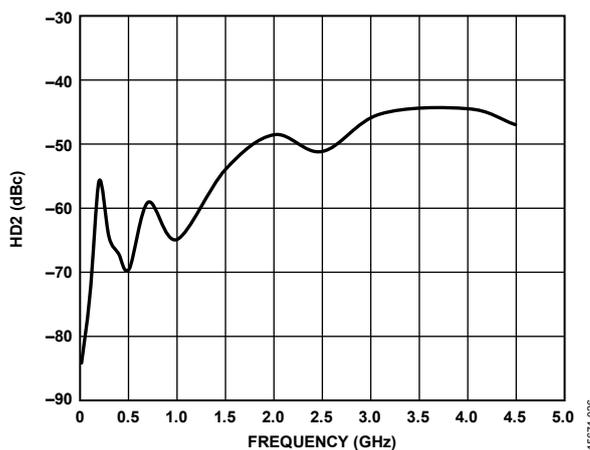


図 26. シングルエンド入力回路で評価した HD2 と周波数の関係

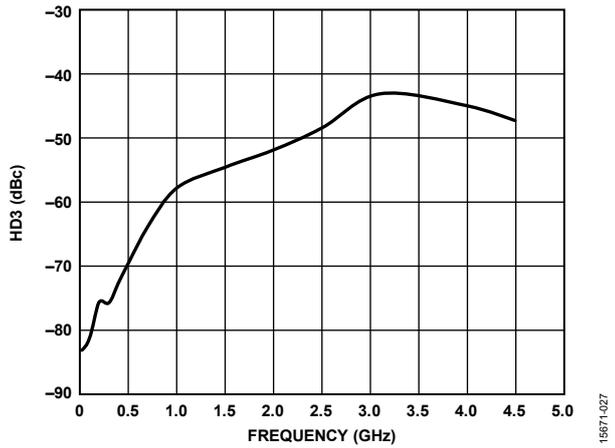


図 27. シングルエンド入力回路で評価した HD3 と周波数の関係

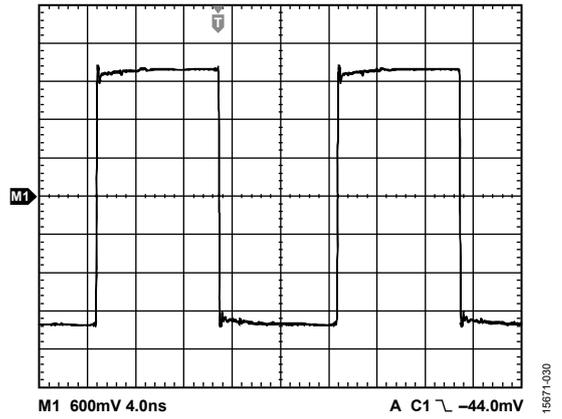


図 30. 大信号パルス応答、出力電圧 (V_{OUT}) = 4V p-p

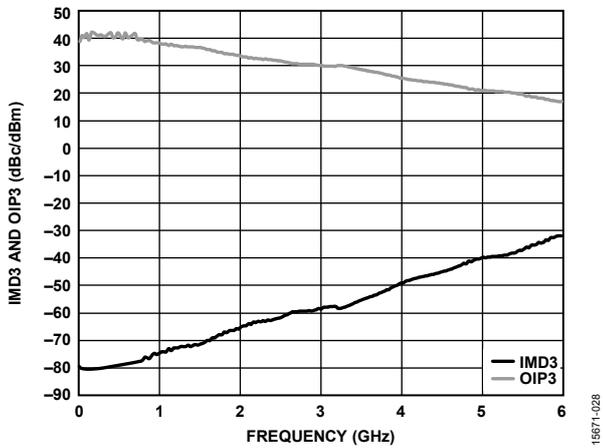


図 28. シングルエンド入力回路で評価した IMD3、OIP3 と周波数の関係

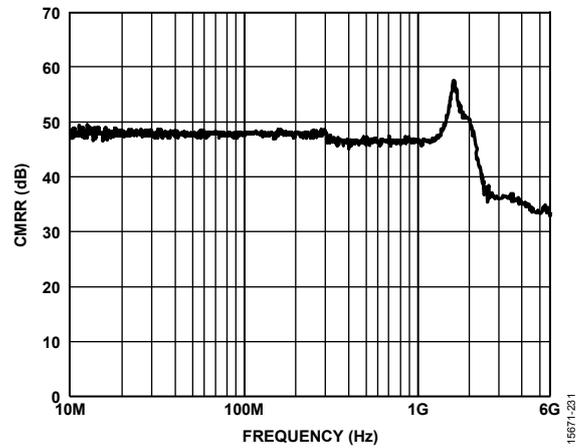


図 31. 同相ノイズ除去比 (CMRR) と周波数の関係

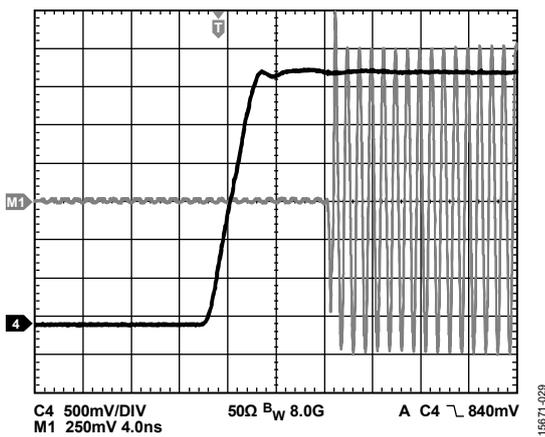


図 29. イネーブル時間応答

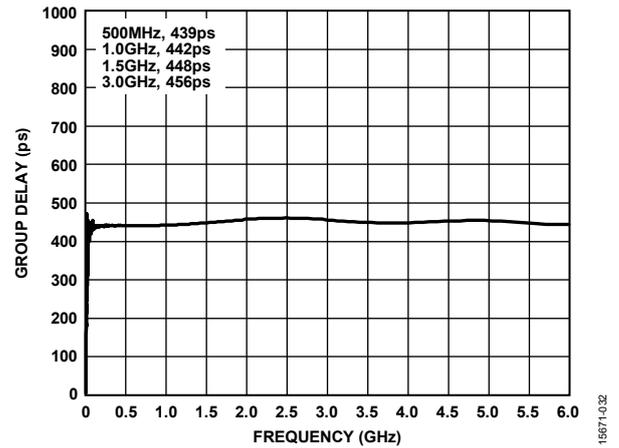


図 32. 群遅延と周波数の関係

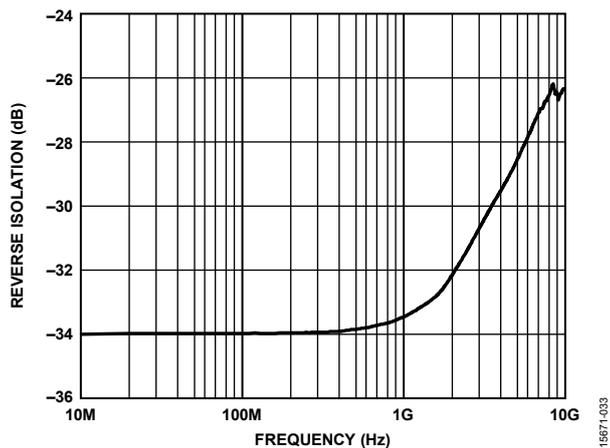


図 33. リバース・アイソレーション (SDD12) と周波数の関係

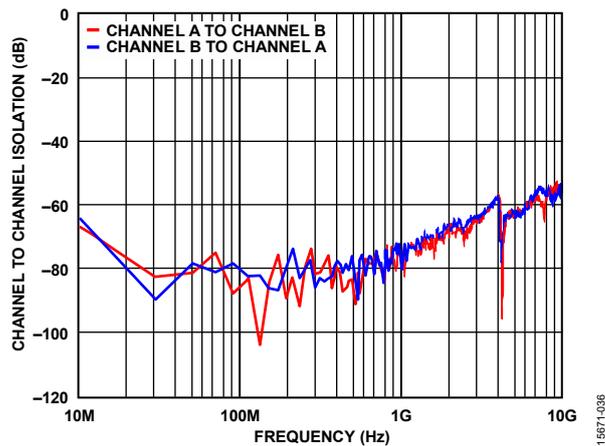


図 36. チャンネル間アイソレーションと周波数の関係

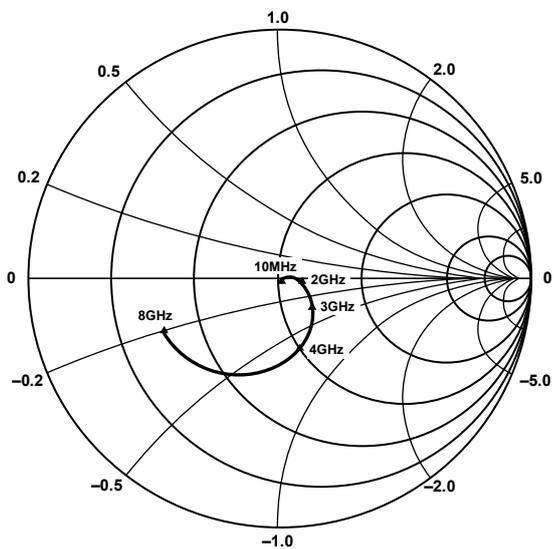


図 34. 差動入力反射係数 (SDD11)

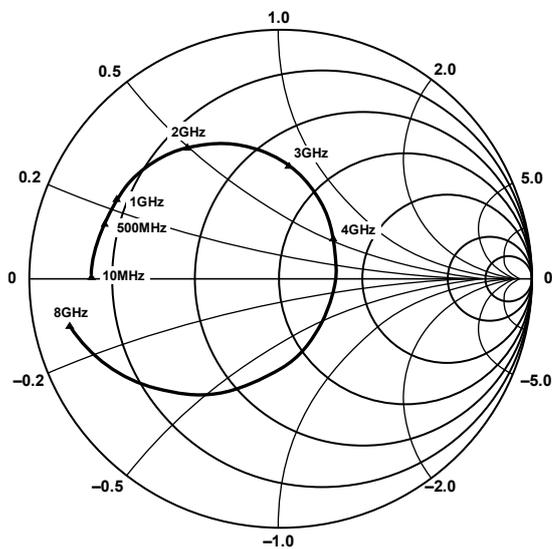


図 37. 差動出力反射係数 (SDD22)

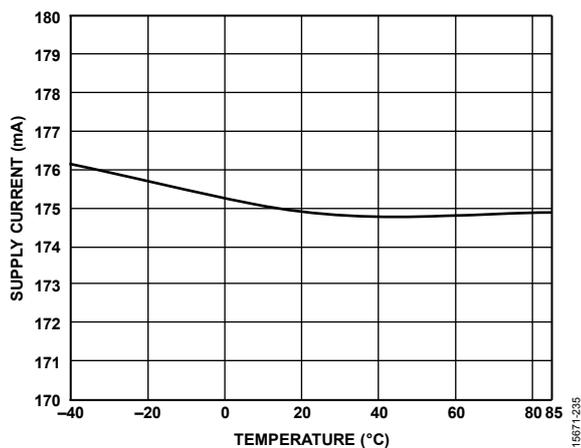


図 35. 電源電流の温度特性

動作原理

ADL5569 は、5V の単電源電圧 (V_S) で動作する高ゲイン、完全差動のデュアル・アンプ/ADC ドライバです。内部抵抗はゲインを 20dB にプリセットし、このゲインを低減するために外部抵抗を増設できます。-3dB の帯域幅は 6.5GHz で、デバイスの差動入力インピーダンスは 100 Ω です。ADL5569 の差動出力インピーダンスは 14 Ω 、動作出力コモンモード電圧範囲は 5V 電源で 2.0V~3.0V です。

ADL5569 は、オンチップの帰還抵抗とフィードフォワード抵抗を備えた、完全差動アンプのペアで構成されています。ゲインは 20dB に固定されていますが、2つの入力に 2つの抵抗を直列に接続すれば、ゲインを低減できます。このアンプは、高い差動オープンループ・ゲインを備えています。また、出力コモンモード回路を搭載しているので、VCOM ピンまたは VCOM2 ピンに電圧を印加することで、出力コモンモード電圧を変更できます。

各アンプは、低ノイズと低消費電力を特長としており、2000MHz を超える DC に近い周波数に対して、優れた低歪み特性を備えています。このアンプは 100MHz で -82dBc の IMD3 歪みを達成し、2V p-p 動作、500MHz では -80dBc の IMD3 歪みを実現します。更に、高負荷時でも、ADL5569 は 5V p-p の動作に対応できます。内部ゲインは 20dB に設定され、デバイスのノイズ指数は 2GHz で 9.3dB です。ノイズ指数と歪み性能を比較すると、このアンプはカテゴリ内で最高のスプリアスフリー・ダイナミック・レンジ (SFDR) を実現しています。

ADL5569 は、入出力の柔軟なカップリングが特長です。このデバイスは、AC カップリングまたは DC カップリングで接続できます。DC カップリングの場合、出力コモンモード電圧は、(VCOM ピンと VCOM2 ピンを使用して) 3.3V の V_S 、-2.0V のグラウンドで、2.5V~0.5V に調整できます。

に、出力コモンモード電圧の機能として歪み性能を示します。AC カップリング・アプリケーション向けに構成されている場合、VCOM ピンと VCOM2 ピンは、アンプ、VOP、VOP2、VON、および VON2 ピンの出力で、コモンモード電圧を設定することに注意してください。

に示すように、入力の直列コンデンサを AC カップリングする場合、入力コモンモード・レベルは VCOM または VCOM2 の電圧と一致するように設定されます。

入力コモンモード電圧の範囲が広いと、このデバイスは様々なタイプの変調器、復調器、アンプに容易に DC カップリングできます。出力を AC カップリングする場合、アンプの出力コモンモード・レベルは $V_S/2$ に設定されるため、外部の VCOM または VCOM2 の電圧調整は必要ありません。

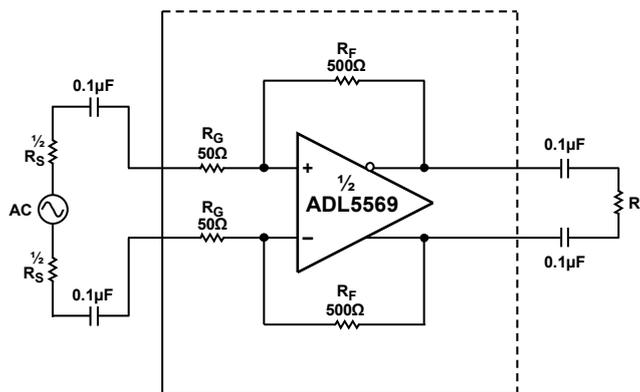


図 38. 基本構成

19671-103

アプリケーション情報

基本的な接続方法

ADL5569 を動作させるための基本的な接続方法をに示します。VCC ピンと VCC2 ピンに 5V を印加し、グラウンドに対して 0.1 μ F と 10 μ F の表面実装セラミック・コンデンサを並列にデカップリングします。

0.1 μ F のコンデンサを使用して、VCOM ピンと VCOM2 ピン (7 番ピンと 15 番ピン) をデカップリングします。PDB ピンと PDB2 ピン (6 番ピンと 16 番ピン) は、各アンプをイネーブルするため、それぞれロジック・ハイに接続されます。差動信号は、1 番ピン (VIN) と 2 番ピン (VIP) を介してアンプ 1 に印加され、4 番ピン (VIP2) と 5 番ピン (VIN2) を介してアンプ 2 に印加されます。各アンプのゲインは 20dB です。

アンプ 1 の入力ピン、1 番ピン (VIN) と 2 番ピン (VIP)、出力ピン、13 番ピン (VON) と 12 番ピン (VOP) は、15 番ピン (VCOM) に電圧を印加することでバイアスされます。VCOM をオープンにしておくと、VCOM は V_S の 1/2 になります。アンプ 2 の入力ピン、4 番ピン (VIP2) と 5 番ピン (VIN2)、出力ピン、9 番ピン (VON2) と 10 番ピン (VOP2) は、7 番ピン (VCOM2) に電圧を印加することでバイアスがかけられます。VCOM2 をオープンにしておくと、VCOM2 は V_S の 1/2 になります。

ADL5569 では、示すように AC カップリングが可能です。また、指定された入出力共通モード電圧の範囲内にある限り、DC カップリングも可能です。PDB ピンと PDB2 ピンをローにすると、ADL5569 はスリープ・モードになり、周辺温度での消費電流は 16mA に低減します。

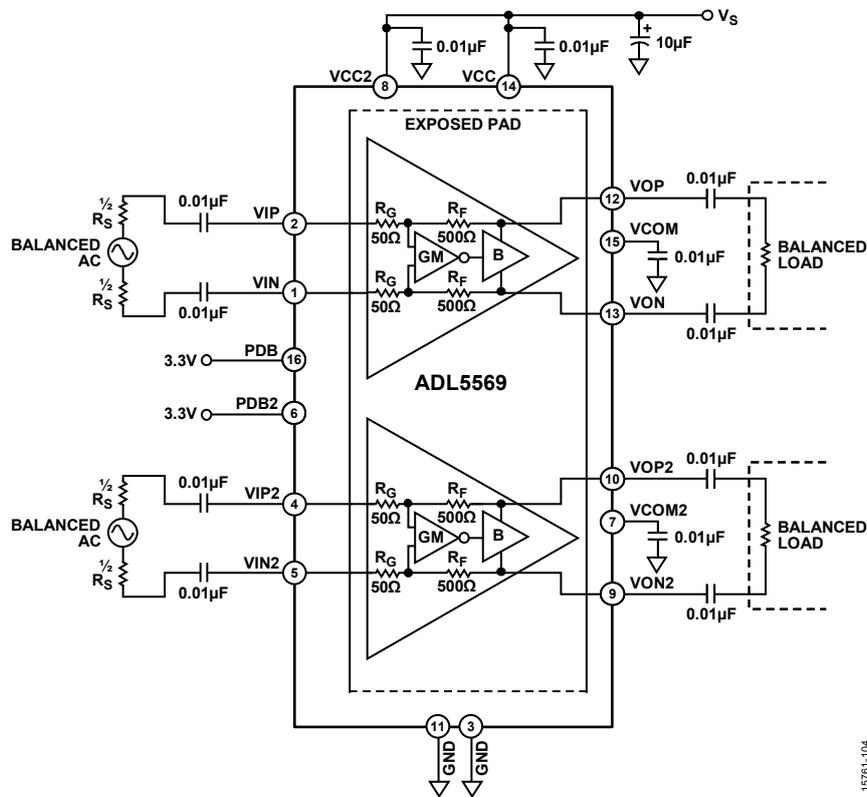


図 39.基本的な接続方法

15761-104

入力および出力のインターフェース

ADL5569 は、差動信号を入力して差動信号を出力するドライブとして構成できます (を参照)。50Ω の抵抗 R1 と R2 を入力バランと組み合わせることで、100Ω の入力インピーダンスに対して 50Ω の入力マッチが実現します。0.1μF の入出力コンデンサは、V_{VCC}/V_{VCC2} のバイアス電圧をソースと平衡負荷から分離します。期待どおりの AC 性能を引き出すには、負荷を 100Ω にします (仕様セクションを参照)。

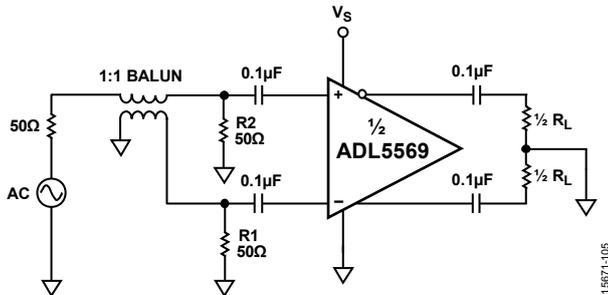


図 40. 差動入力から差動出力までの構成

ADL5569 の微分ゲインは、ソース・インピーダンスと負荷によって変化します (を参照)。微分ゲイン (A_V) は次の式で計算します。

$$A_V = 500/50 \tag{1}$$

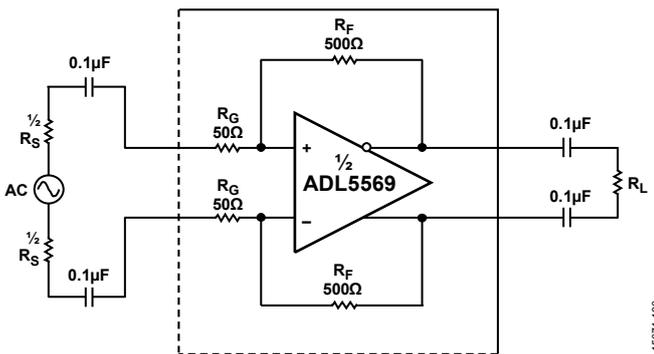


図 41. 差動入力負荷回路

シングルエンド入力から差動出力まで

ADL5569 では、シングルエンド信号を入力して、差動信号を出力するように構成することもできます (を参照)。この構成では、アンプの片側だけに信号が印加されるため、デバイスのゲインは減少します。0.1μF の入出力コンデンサは、V_{VCC}/V_{VCC2} のバイアスをソースと平衡負荷から分離します。

50Ω の R_S ソースを想定している場合、シングルエンドの回路構成は、3 ステップで実現できます (を参照)。最初に、次の式を使用してアンプの入力抵抗 (R_{IN}) を計算します。

$$R_{IN} = \frac{R_G}{1 - \left(\frac{R_F}{2 \times (R_G + R_F)} \right)} \tag{2}$$

ここで、
R_G はアンプ内部の直列抵抗です。
R_F はアンプ内部の帰還抵抗です。
したがって、R_{IN} = 91.7Ω になります。

次のステップでは、R₂ の終端抵抗を計算します (を参照)。ソース・インピーダンス (R_S) は、R₂ と R_{IN} の並列等価抵抗と等しくなる必要があります。

$$R_S = \frac{R_2 \times R_{IN}}{R_2 + R_{IN}}$$

したがって

$$R_2 = R_{IN} \times R_S / (R_{IN} - R_S) \tag{3}$$

R_S = 50Ω、R_{IN} = 91.7Ω の場合、R₂ = 109Ω になります。

最後のステップでは、次の式を使用して、ゲイン経路の再バランシング抵抗 R₁ (を参照) を計算します。

$$R_1 = \frac{R_S \times R_2}{R_S + R_2} \tag{4}$$

したがって、R₁ = 34.0Ω です。

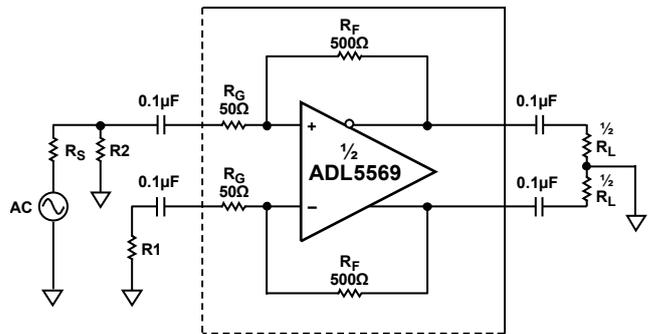


図 42. シングルエンド入力から差動出力までの構成

シングルエンド入力の終端について詳しくは、AN-0990 アプリケーション・ノート「Terminating a Differential Amplifier in Single-Ended Input Applications」を参照してください。ADL5569 では、シングルエンド・ゲインの設定は、ソース・インピーダンスと負荷によって変化します (を参照)。

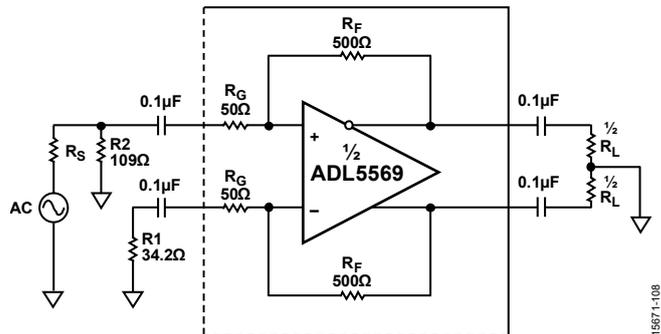


図 43. シングルエンド入力の負荷回路

次の2つの式を使用して、シングルエンド・ゲイン (A_{VI}) を計算します。

$$R_{MATCH} = \frac{R2 \times R_{IN}}{R2 + R_{IN}} \quad (5)$$

R_{MATCH} は、 R_S とマッチする入力抵抗値で、次のように計算します。

$$A_{VI} = \frac{500}{50 + \left(\frac{R_S \times R2}{R_S + R2} \right)} \times \frac{R2}{R_S + R2} \times \frac{R_{MATCH} + R_S}{R_{MATCH}} \times \frac{R_L}{10 + R_L} \quad (6)$$

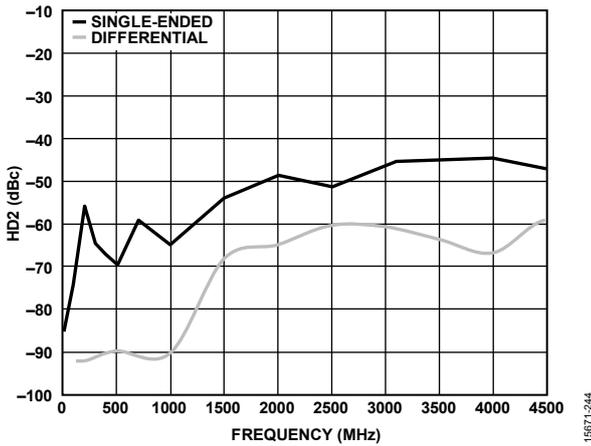


図 44. シングルエンド／差動構成のHD2と周波数の関係 ($V_{OUT} = 2V$ p-p)

ゲイン調整とインターフェース

ADL5569 の実効ゲインは、入力に2つの抵抗を直列に追加すれば低減できます。

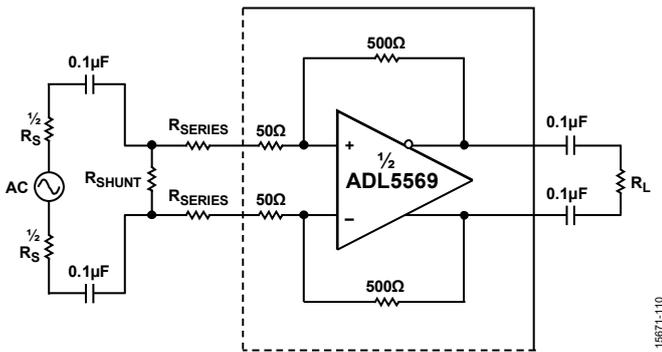


図 45. 直列抵抗によるゲイン調整

特定の A_V ゲインと R_L に対して直列抵抗 (R_{SERIES}) を指定するには、次の式を使用します。

$$R_{SERIES} = (500/A_V) - 50 \quad (7)$$

ソース・インピーダンス R_S とのマッチに必要なシャント成分 (R_{SHUNT}) は、次のように表現されます。

$$R_{SHUNT} = \frac{1}{\frac{1}{R_S} - \frac{1}{2 \times R_{SERIES} + 100}} \quad (8)$$

表5では、複数の目標電圧ゲインに対して、シャント抵抗値を一覧で示しています。式6を使用する場合、ソース抵抗と入力インピーダンスに注意する必要があります。コンデンサのインピーダンスとリアクタンスが無視できるほど小さいと仮定する前に、ADL5569の入力インピーダンスとACカップリング・コンデンサのリアクタンスを考慮してください。

特定の R_{SERIES} と R_L に対して A_V を計算するには、次の式を使用します。

$$A_V = \left(\frac{500}{R_{SERIES} + 50} \right) \quad (9)$$

表 5. 直列抵抗による作動ゲイン調整

R_S (Ω)	Target Voltage Gain (dB)	R_{SERIES} (Ω)	R_{SHUNT} (Ω)
50	6	169	56.2
50	7	147	57.6
50	8	124	59
50	9	105	59
50	10	88.7	60.4
50	11	73.2	63.4
50	12	60.4	64.9
50	13	48.7	66.5
50	14	37.4	69.8
50	15	28	73.2
50	16	19.6	78.7
50	17	12.1	84.5
50	18	5.23	90.9
100	6	169	130
100	7	147	133
100	8	124	140
100	9	105	147
100	10	88.7	158
100	11	73.2	169
100	12	60.4	182
100	13	48.7	205
100	14	37.4	232
100	15	28	280
100	16	19.6	357
100	17	12.1	511
100	18	5.23	1050

負荷容量の影響

負荷容量 (PCB パターンからの浮遊容量を含む) は、ADL5569 の周波数応答の帯域幅と平坦特性に影響し、過剰なピークを発生します。5Ω の外部直列抵抗を各出力に追加し、出力から負荷容量を分離して、効果的にピークを低減することをお勧めします。0.5pF~2.0pF までの差動負荷容量を追加した場合のそれぞれの周波数応答を示します。

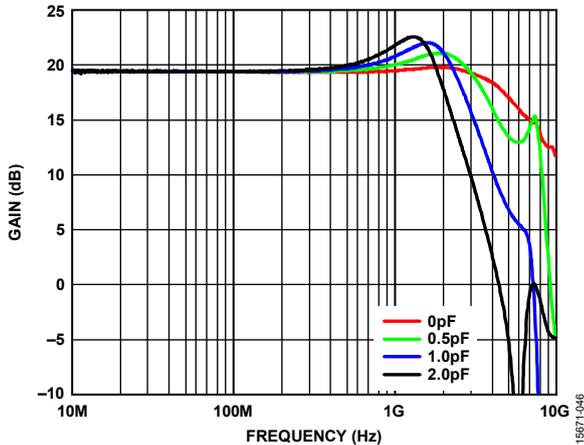


図 46. 様々な負荷容量で評価した周波数応答、 $R_L = 100\Omega$

GSPS ADC インターフェース

AD9689、デュアル 14 ビット ADC と共に、ADL5569 を使用した広帯域データ・アキュイジション・システムは、図 49 に示すように、AC カップリング・アプリケーション向けに開発され、テストされています。アンプの後段に接続する抵抗コンデンサ (RC) フィルタは、ADC の入力容量によって形成されるポールと連動して、アンプで発生する広帯域ノイズと帯域外の高調波を減衰させます。また、RC フィルタは、シャープなスイッチング・パルス (ADC 内部サンプリング回路から発生するチャージ・インジェクション) がアンプ出力に達して、非線形効果が生じることを防止しています。不要な信号がアンプを圧迫したり、ADC に到達したりしないように、ADL5569 アンプの前段には、システムの除去条件に対応した追加のバンド・パス・フィルタも必要になります。通常、このフィルタはベンチ・テストの実行時に追加されます。

テストの詳細情報とセットアップについては、AN-835 アプリケーション・ノート「Understanding High Speed ADC Testing and Evaluation」を参照してください。

フルスケール (FS) の ADC システムに関して、および 図 48 に S/N 比と SFDR を示しています。

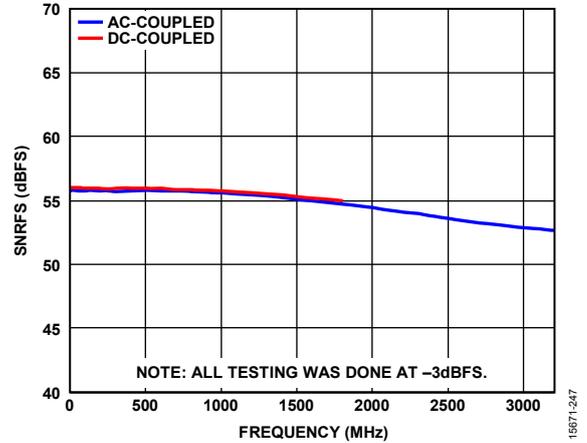


図 47. ADC システムの SNRFS (SNR (フルスケール基準)) と周波数の関係

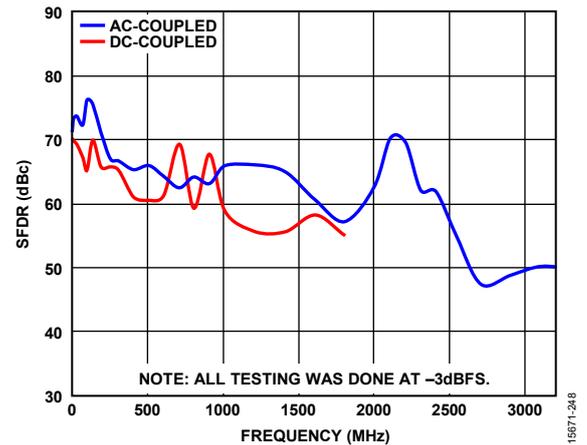


図 48. ADC システムの SFDR と周波数の関係

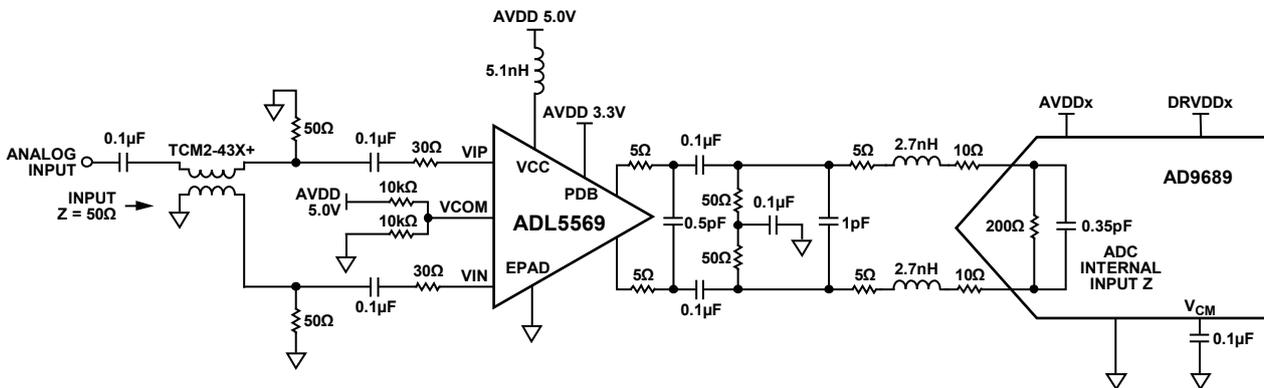


図 49. 広帯域 3.2GHz 帯域幅、AC カップリング ADC インターフェースの例：AD9689 を駆動する ADL5569

にツー・トーン相互変調歪み性能 (IMD2 および IMD3) を示します。広帯域アンチエイリアシング・フィルタを使用した、このシグナル・チェーンの相対的な通過帯域周波数応答を示します。

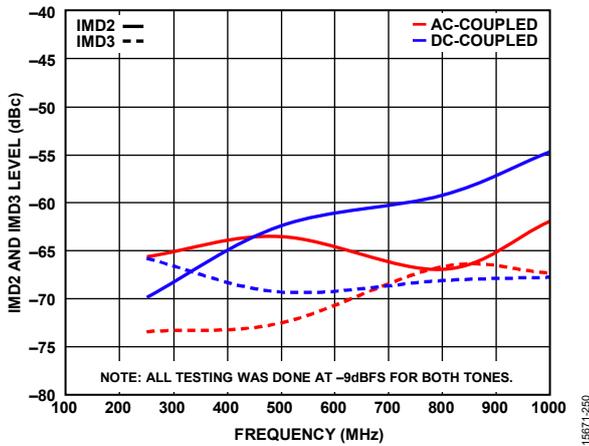


図 50. 測定されたツー・トーン IMD2/IMD3 性能

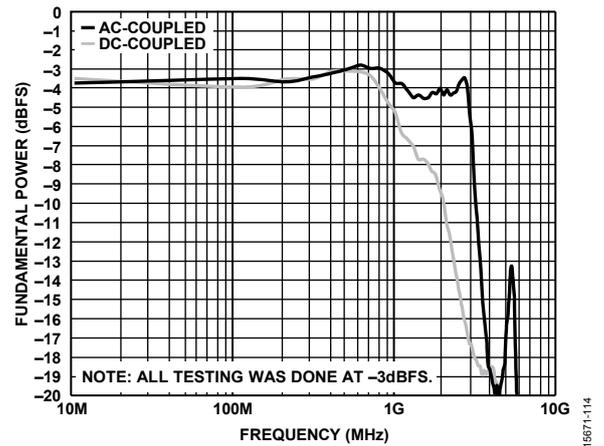


図 51. 測定された相対的周波数応答

DC 信号を受信するには、ADL5569 の特別な条件に適合し、連動するコンバータの共通モード電圧の条件に適合するようにアンプをレベル・シフトする必要があります。ADL5569 の設計例 (1.5GHz) を図 52 に示します。この設計では、VCC ピンと VCC2 ピンに +3.3V の両電源、グラウンド・ピンと露出パッド (EP) ピンに -2.0V の両電源を使用しています。これらの両電源を使用することで、デバイスのパワーダウン・ピン (PDB および PDB2) の内部ロジックも 1.0V にレベル変換され、デバイスがイネーブルになります。

図 52 に示す例では、入力共通モード電圧 0.0V でシングルエンド入力の設計を実現しています。出力共通モード電圧は、AD9689 アナログ入力とのインターフェースに 1.4V を印加するように設計されています。

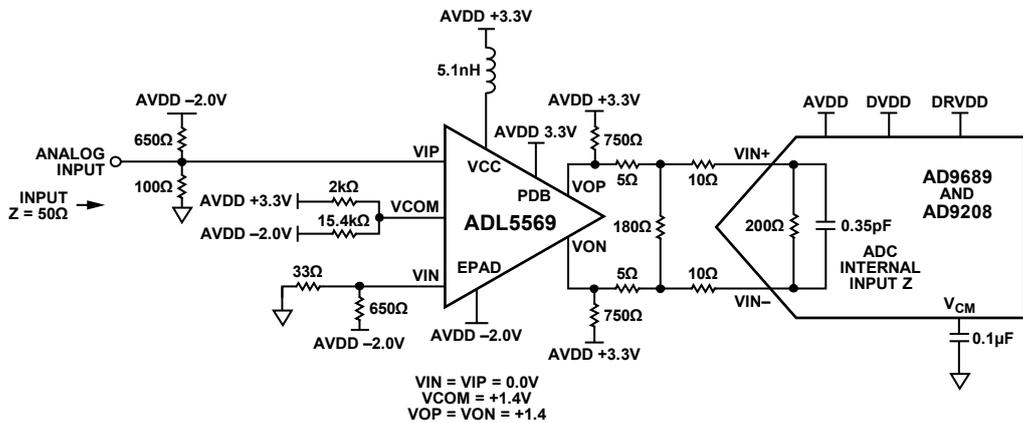


図 52. 1.5GHz 帯域幅、DC カップリング ADC インターフェースの例：AD9689 および AD9208 を駆動する ADL5569

ハンダ処理と推奨されるランド・パターン

に ADL5569 の推奨パターンを示します。ADL5569 は、2.5mm×3mm の LFCSP に収納され、露出グラウンド・パッド (EPAD) を備えています。このパッドは内部でチップのグラウンドに接続されています。熱抵抗を最小限に抑えて、電気的性能を維持するには、パッドを PCB の低インピーダンス・グラウンド・プレーンに接続し、ハンダ付けします。熱抵抗を更に低減するには、パッドの下にあるすべての層でグラウンド・プレーンをビアで接続することが推奨されます。

ランド・パターンの設計とレイアウトの詳細については、[AN-772 アプリケーション・ノート](#)「A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)」を参照してください。

ADL5569-EVALZ のランド・パターンは、90.5°C/W でシミュレーション用の熱抵抗 (θ_{JA}) を提供します。

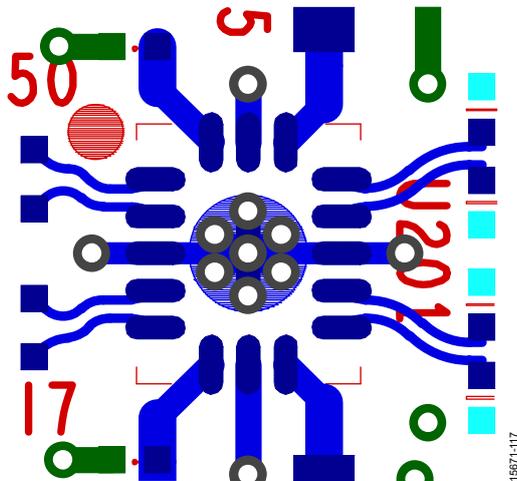


図 53. 推奨されるランド・パターン

評価用ボード

ADL5569-EVALZ 評価用ボードの全般的なブロック図をに示します。ADL5569-EVALZ の回路図がに示され、いくつかのオプションが提示されます。ADL5569-EVALZ では、5V の単電源を使用しています。この電源は 10 μ F と 0.1 μ F のコンデンサでデカップリングされます。オンボード・レギュレータは、2.5V のコモンモード電圧と 3V のロジック電源電圧を供給し、パワーダウン機能をイネーブル/ディスエーブルにします。

また、シングルエンド・アプリケーション用のアンプで、未使用の入力と出力を終端できるように、いくつかの終端オプションが用意されています。

ADL5569 の評価用ボード・オプションについては、アナログ・デバイスセールスにお問い合わせください。

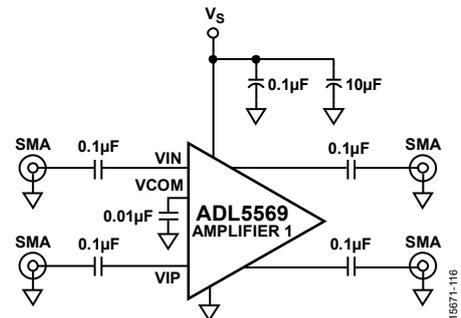
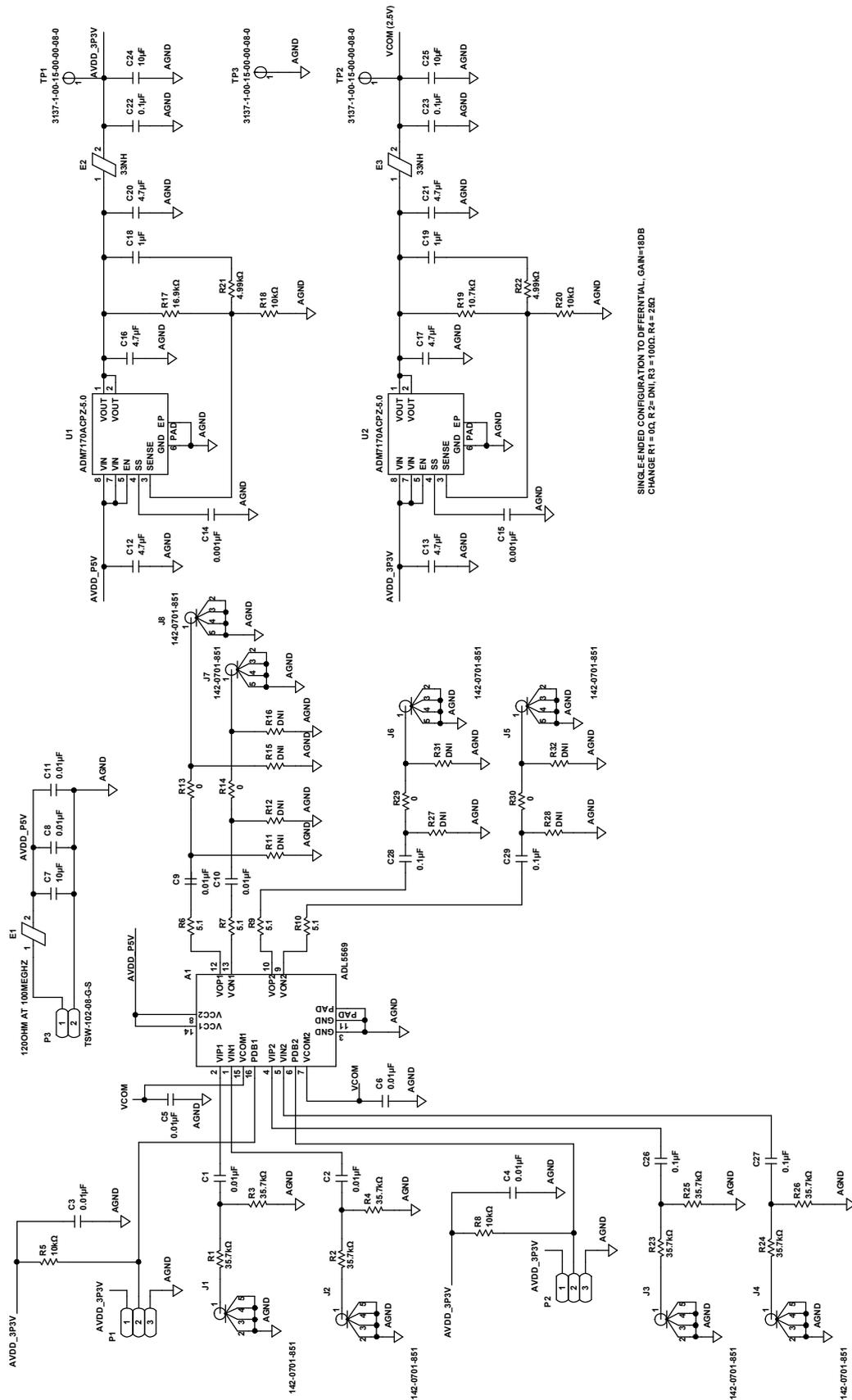


図 54. ADL5569-EVALZ 評価用ボードの全般的なブロック図



SINGLE-ENDED CONFIGURATION TO DIFFERENTIAL_GAIN=18DB
CHANGE R1 = 0Ω, R2 = DNI, R3 = 100Ω, R4 = 2Ω

図 55. ADL5569-EVALZ 評価用ボードの回路図

表 6. 部品表

Qty.	Reference Designator	Description	Manufacturer	Part Number
1	A1	IC, dual-channel amplifier	Analog Devices	ADL5569
10	C1 to C6, C8 to C11	0.01 μF capacitors, ceramic, X7R	Murata	GRM033R71A103KA01D
6	C12, C13, C16, C17, C20, C21	4.7 μF capacitors, ceramic, X5R	Murata	GRM155R60J475ME87D
2	C14, C15	0.001 μF capacitors, ceramic, X7R	Murata	GRM033R71E102KA01D
2	C18, C19	1 μF capacitors, ceramic, X5R	Taiyo Yuden	AMK063ABJ105MP-F
6	C22, C23, C26 to C29	0.1 μF capacitors, ceramic, X5R	Murata	GRM033R60J104KE19D
2	C24, C25	10 μF capacitors, ceramic X5R	Taiyo Yuden	AMK105CBJ106MV-F
1	C7	10 μF capacitor ceramic, X5R	Murata	GRM21BR61C106KE15L
1	E1	120 Ω at 100 MHz, ferrite bead, 0.07 Ω , 1.5 A	Murata	BLM18SG121TN1D
2	E2, E3	33 nH, chip inductors, 0.06 Ω , 1.3 A	Coilcraft, Inc.	0402AF-330XJL
8	J1 to J8	PCB SMA connectors, 50 Ω , end launch jack	Cinch Connectivity Solutions	142-0701-851
2	P1, P2	Connector headers, straight, three position	Samtec	TSW-103-08-G-S
1	P3	Connector PCB header, two position	Samtec	TSW-102-08-G-S
8	R1 to R4, R23 to R26	35.7 k Ω resistors, precision thick film chip	Panasonic	ERJ-1GEF3572C
4	R13, R14, R29, R30	0 Ω resistors, 0201	Panasonic	ERJ-1GE0R00C
1	R17	16.9 k Ω resistor, 0201	Panasonic	ERJ-1GEF1692C
1	R19	10.7 k Ω resistor, 0402	Vishay Precision Group	CRCW040210K7FKED
2	R21, R22	4.99 k Ω resistors, 0201	Samsung	RC0603F4991CS
4	R5, R8, R18, R20	10 k Ω resistors, 0201	Panasonic	ERJ-1GNF1002C
4	R6, R7, R9, R10	5.1 Ω resistors, 0201	Yageo	RC0201JR-075R1L
3	TP1, TP2, TP3	Connector PCB pin test points	Mill-Max	3137-1-00-15-00-00-08-0
2	U1, U2	IC ultralow noise, high PSRR, low dropout (LDO) regulators	Analog Devices	ADM7170ACPZ-5.0

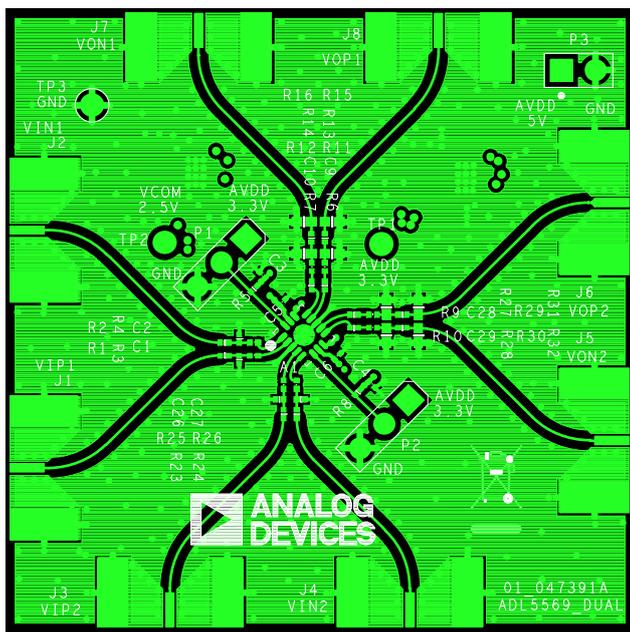


図 56. ADL5569-EVALZ 評価用ボードのレイアウト、最上層

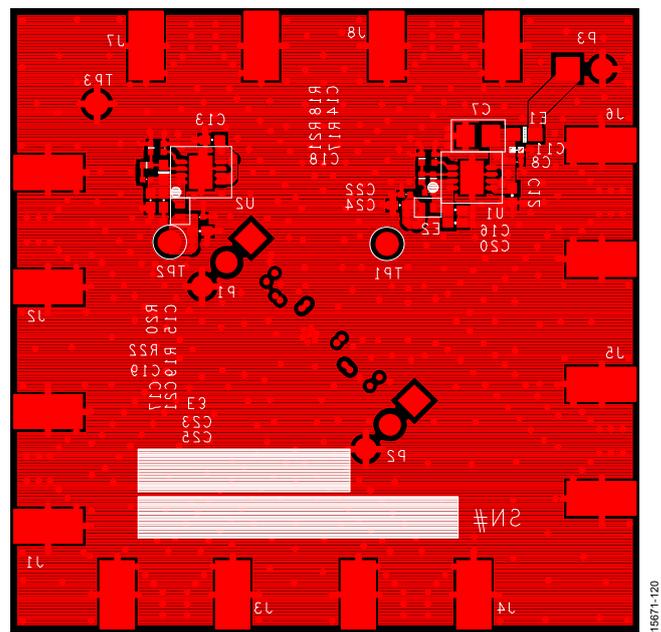


図 57. ADL5569-EVALZ 評価用ボードのレイアウト、最下層

外形寸法

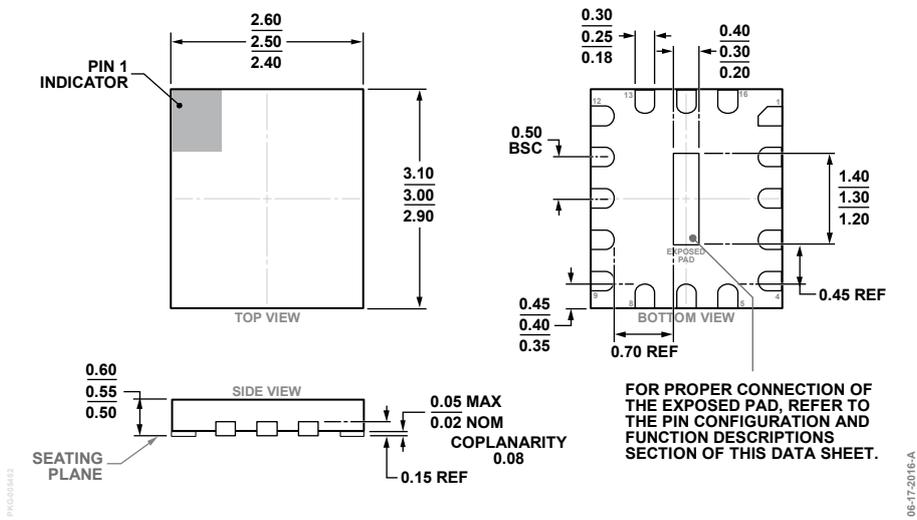


図 58. 16 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 2.5 mm × 3 mm ボディ、0.55 mm パッケージ高
 (CP-16-44)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Marking Code
ADL5569BCPZ	-40°C to +85°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-44	ET
ADL5569BCPZ-R7	-40°C to +85°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-44	ET
ADL5569-EVALZ		Evaluation Board		

¹ Z = RoHS 準拠製品