

特長

半二重または全二重に設定可能な絶縁型 RS-485/RS-422 トランシーバ

外付けトランス用の発振器ドライバを内蔵

RS-485 入力/出力ピンに ± 15 kV の ESD 保護機能を内蔵

TIA/EIA-485-A-98 および ISO 8482:1987(E)に準拠

データ・レート: 500 kbps/16 Mbps

5V または 3.3 V 動作(V_{DD1})

バス上のノード数: 256

フェイルセーフのレシーバ入力

2500 V rms で 1 分間の絶縁

560 V ピークに絶縁を強化

同相モード・トランジェント耐性: 25 kV/ μ s 以上

サーマル・シャットダウン保護機能を内蔵

動作温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

ワイド・ボディの 16 ピン SOIC パッケージを採用

アプリケーション

絶縁型 RS-485/RS-422 インタフェース

工業用回路

マルチポイント・データ伝送システム

概要

ADM2482E/ADM2487E は、 ± 15 kV の ESD 保護機能を持つ絶縁型データ・トランシーバであり、マルチポイント伝送線での高速な半二重通信または全二重通信に適しています。半二重動作では、トランスミッタ出力とレシーバ入力が同じ伝送線を共有します。トランスミッタ出力ピン Y はレシーバ入力ピン A に、トランスミッタ出力ピン Z はレシーバ入力ピン B に、それぞれ外部で接続されます。このデバイスは平衡伝送線向けにデザインされているため、TIA/EIA-485-A-98 と ISO 8482:1987(E)に準拠しています。

このデバイスはアナログ・デバイセズの iCoupler®技術を採用して、3 チャンネル・アイソレータ、スリー・ステート差動ライン・ドライバ、差動入力レシーバをシングル・パッケージに組込んだものです。内蔵の発振器は、絶縁型電源を与える外付けトランスを駆動する 1 対の方形波を出力します。このデバイス

機能ブロック図

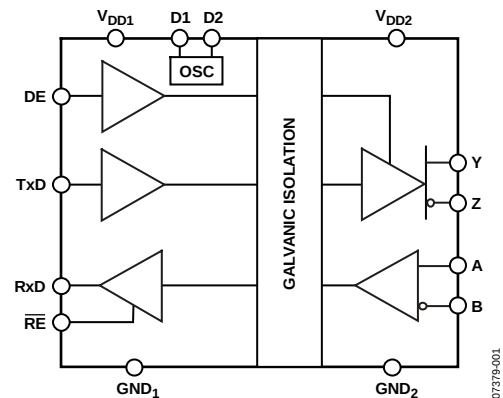


図 1.

のロジック側は 5V または 3.3 V 電源で動作しますが、バス側は絶縁型の 3.3 V 電源で動作します。

ADM2482E/ADM2487E ドライバはアクティブ・ハイ・イネーブルを、レシーバはアクティブ・ロー・イネーブルを、それぞれ持っています。ドライバ・イネーブル信号がロー・レベルのとき、ドライバ出力は高インピーダンス状態になります。レシーバ・イネーブル信号がハイ・レベルのとき、レシーバ出力は高インピーダンス状態になります。

このデバイスは、電流制限機能とサーマル・シャットダウン機能も持っているため、出力の短絡とバス輻輳時に消費電力が大きくならないように保護されています。このデバイスは $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の工業用温度範囲仕様であり、16 ピンのワイド・ボディ SOIC パッケージを採用しています。

目次

特長	1	ピン配置およびピン機能説明	9
アプリケーション	1	代表的な性能特性	10
機能ブロック図	1	回路説明	13
概要	1	電氣的絶縁性	13
改訂履歴	2	サーマル・シャットダウン	14
仕様	3	レシーバ・フェイルセーフ入力	14
タイミング仕様	4	磁界耐性	14
パッケージ特性	5	アプリケーション情報	15
絶縁および安全性関連の仕様	5	プリント回路ボードのレイアウト	15
テスト回路	6	代表的なアプリケーション	16
スイッチング特性	7	外形寸法	16
絶対最大定格	8	オーダー・ガイド	17
ESD の注意	8		

改訂履歴

5/08—Revision 0: Initial Version

仕様

特に指定のない限り、すべての電圧はグラウンド基準。 $3.0\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。特に指定のない限り、すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 3.3\text{ V}$ での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
SUPPLY CURRENT						
Power-Supply Current, Logic Side						
TxD/RxD Data Rate < 500 kbps	I_{DD1}			3.5	mA	Unloaded output
ADM2487E TxD/RxD Data Rate = 500 kbps	I_{DD1}			4	mA	Half-duplex configuration, $R_{\text{TERMINATION}} = 120\ \Omega$, see Figure 8
ADM2482E TxD/RxD Data Rate = 16 Mbps	I_{DD1}			6.0	mA	Half-duplex configuration, $R_{\text{TERMINATION}} = 120\ \Omega$, see Figure 8
Power-Supply Current, Bus Side						
TxD/RxD Data Rate < 500 kbps	I_{DD2}			17	mA	Unloaded output
ADM2487E TxD/RxD Data Rate = 500 kbps	I_{DD2}			40	mA	$V_{DD2} = 3.6\text{ V}$, half-duplex configuration, $R_{\text{TERMINATION}} = 120\ \Omega$, see Figure 8
ADM2482E TxD/RxD Data Rate = 16 Mbps	I_{DD2}			50	mA	$V_{DD2} = 3.6\text{ V}$, half-duplex configuration, $R_{\text{TERMINATION}} = 120\ \Omega$, see Figure 8
DRIVER						
Differential Outputs						
Differential Output Voltage, Loaded	$ V_{OD2} $	2.0		5.0	V	$R_L = 100\ \Omega$ (RS-422), see Figure 2
		1.5		5.0	V	$R_L = 54\ \Omega$ (RS-485), see Figure 2
	$ V_{OD3} $	1.5		5.0	V	$-7\text{ V} \leq V_{\text{TEST}} \leq +12\text{ V}$, see Figure 3
$\Delta V_{OD} $ for Complementary Output States	$\Delta V_{OD} $			0.2	V	$R_L = 54\ \Omega$ or $100\ \Omega$, see Figure 2
Common-Mode Output Voltage	V_{OC}			3.0	V	$R_L = 54\ \Omega$ or $100\ \Omega$, see Figure 2
$\Delta V_{OC} $ for Complementary Output States	$\Delta V_{OC} $			0.2	V	$R_L = 54\ \Omega$ or $100\ \Omega$, see Figure 2
Short-Circuit Output Current	I_{OS}			250	mA	
Output Leakage Current (Y, Z)	I_O			125	μA	$DE = 0\text{ V}$, $\overline{RE} = 0\text{ V}$, $V_{CC} = 0\text{ V}$ or 3.6 V , $V_{IN} = 12\text{ V}$
		-100			μA	$DE = 0\text{ V}$, $\overline{RE} = 0\text{ V}$, $V_{CC} = 0\text{ V}$ or 3.6 V , $V_{IN} = -7\text{ V}$
Logic Inputs						
Input Threshold Low	V_{IL}	$0.25 \times V_{DD1}$			V	DE , $\overline{RE}$, TxD
Input Threshold High	V_{IH}			$0.7 \times V_{DD1}$	V	DE , $\overline{RE}$, TxD
Input Current	I_I	-10	+0.01	+10	μA	DE , $\overline{RE}$, TxD
RECEIVER						
Differential Inputs						
Differential Input Threshold Voltage	V_{TH}	-200	-125	-30	mV	$-7\text{ V} < V_{CM} < +12\text{ V}$
Input Voltage Hysteresis	V_{HYS}		15		mV	$V_{OC} = 0\text{ V}$
Input Current (A, B)	I_I			125	μA	$DE = 0\text{ V}$, $V_{DD} = 0\text{ V}$ or 3.6 V , $V_{IN} = 12\text{ V}$
		-125			μA	$DE = 0\text{ V}$, $V_{DD} = 0\text{ V}$ or 3.6 V , $V_{IN} = -7\text{ V}$
Line Input Resistance	R_{IN}	96			k Ω	$-7\text{ V} < V_{CM} < +12\text{ V}$
Logic Outputs						
Output Voltage Low	V_{OLRxD}		0.2	0.4	V	$I_{ORxD} = 1.5\text{ mA}$, $V_A - V_B = -0.2\text{ V}$
Output Voltage High	V_{OHRxD}	$V_{DD1} - 0.3$	$V_{DD1} - 0.2$		V	$I_{ORxD} = -1.5\text{ mA}$, $V_A - V_B = 0.2\text{ V}$
Short Circuit Current	I_{OS}			100	mA	
Tristate Output Leakage Current	I_{OZR}			± 1	μA	$V_{DD1} = 5.0\text{ V}$, $0\text{ V} < V_O < V_{DD1}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
TRANSFORMER DRIVER						
Oscillator Frequency	f_{OSC}	400	500	600	kHz	$V_{\text{DD1}} = 5.0 \text{ V}$
		230	330	430	kHz	$V_{\text{DD1}} = 3.3 \text{ V}$
Switch-On Resistance	R_{ON}		0.5	1.5	Ω	
Start-Up Voltage	V_{START}		2.2	2.5	V	
COMMON-MODE TRANSIENT IMMUNITY ¹		25			kV/ μ s	$V_{\text{CM}} = 1 \text{ kV}$, transient magnitude = 800 V

¹ CM は、仕様に準拠した動作をしている間に維持できる同相モード電圧の最大スルーレートです。V_{CM}は、ロジック側とバス側との間の同相モード電位差です。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。同相モード電圧スルー・レートは、立ち上がりとしち下がりの両同相モード電圧エッジに適用されます。

タイミング仕様

T_A = -40°C ~ +85°C

表 2.ADM2482E

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DRIVER						
Propagation Delay	$t_{\text{DPLH}}, t_{\text{DPHL}}$		100		ns	$R_{\text{DIFF}} = 54 \Omega$, $C_{\text{L}} = 100 \text{ pF}$, see Figure 4 and Figure 9
Output Skew	t_{DSKEW}		8		ns	$R_{\text{DIFF}} = 54 \Omega$, $C_{\text{L}} = 100 \text{ pF}$, see Figure 4 and Figure 9
Rise Time/Fall Time	$t_{\text{DR}}, t_{\text{DF}}$		15		ns	$R_{\text{DIFF}} = 54 \Omega$, $C_{\text{L}} = 100 \text{ pF}$, see Figure 4 and Figure 9
Enable Time	$t_{\text{ZL}}, t_{\text{ZH}}$		120		ns	$R_{\text{L}} = 110 \Omega$, $C_{\text{L}} = 50 \text{ pF}$, see Figure 5 and Figure 11
Disable Time	$t_{\text{LZ}}, t_{\text{HZ}}$		150		ns	$R_{\text{L}} = 110 \Omega$, $C_{\text{L}} = 50 \text{ pF}$, see Figure 5 and Figure 11
RECEIVER						
Propagation Delay	$t_{\text{PLH}}, t_{\text{PHL}}$		110		ns	$C_{\text{L}} = 15 \text{ pF}$, see Figure 6 and Figure 10
Output Skew	t_{SKEW}		8		ns	$C_{\text{L}} = 15 \text{ pF}$, see Figure 6 and Figure 10
Enable Time	$t_{\text{ZL}}, t_{\text{ZH}}$		13		ns	$R_{\text{L}} = 1 \text{ k}\Omega$, $C_{\text{L}} = 15 \text{ pF}$, see Figure 7 and Figure 12
Disable Time	$t_{\text{LZ}}, t_{\text{HZ}}$		13		ns	$R_{\text{L}} = 1 \text{ k}\Omega$, $C_{\text{L}} = 15 \text{ pF}$, see Figure 7 and Figure 12

表 3.ADM2487E

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DRIVER						
Propagation Delay	$t_{\text{DPLH}}, t_{\text{DPHL}}$	250		700	ns	$R_{\text{DIFF}} = 54 \Omega$, $C_{\text{L}} = 100 \text{ pF}$, see Figure 4 and Figure 9
Output Skew	t_{DSKEW}			100	ns	$R_{\text{DIFF}} = 54 \Omega$, $C_{\text{L}} = 100 \text{ pF}$, see Figure 4 and Figure 9
Rise Time/Fall Time	$t_{\text{DR}}, t_{\text{DF}}$	200		1100	ns	$R_{\text{DIFF}} = 54 \Omega$, $C_{\text{L}} = 100 \text{ pF}$, see Figure 4 and Figure 9
Enable Time	$t_{\text{ZL}}, t_{\text{ZH}}$			2.5	μ s	$R_{\text{L}} = 110 \Omega$, $C_{\text{L}} = 50 \text{ pF}$, see Figure 5 and Figure 11
Disable Time	$t_{\text{LZ}}, t_{\text{HZ}}$			200	ns	$R_{\text{L}} = 110 \Omega$, $C_{\text{L}} = 50 \text{ pF}$, see Figure 5 and Figure 11
RECEIVER						
Propagation Delay	$t_{\text{PLH}}, t_{\text{PHL}}$			200	ns	$C_{\text{L}} = 15 \text{ pF}$, see Figure 6 and Figure 10
Output Skew	t_{SKEW}			30	ns	$C_{\text{L}} = 15 \text{ pF}$, see Figure 6 and Figure 10
Enable Time	$t_{\text{ZL}}, t_{\text{ZH}}$			13	ns	$R_{\text{L}} = 1 \text{ k}\Omega$, $C_{\text{L}} = 15 \text{ pF}$, see Figure 7 and Figure 12
Disable Time	$t_{\text{LZ}}, t_{\text{HZ}}$			13	ns	$R_{\text{L}} = 1 \text{ k}\Omega$, $C_{\text{L}} = 15 \text{ pF}$, see Figure 7 and Figure 12

パッケージ特性

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-Output) ¹	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input-Output) ¹	C _{I-O}		3		pF	
Input Capacitance ²	C _I		4		pF	
Input IC Junction-to-Case Thermal Resistance	θ _{JCI}		33		°C/W	Thermocouple located at center of package underside
Output IC Junction-to-Case Thermal Resistance	θ _{JCO}		28		°C/W	Thermocouple located at center of package underside

¹ デバイスは 2 端子デバイスと見なします。 すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間で測定。

絶縁および安全性関連の仕様

表 5.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Maximum Working Insulation Voltage		560	V peak	
Minimum External Air Gap (Clearance)	L(I01)	5.7 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	6.1 min	mm	Measured from input terminals to output terminals, shortest distance along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303-1

テスト回路

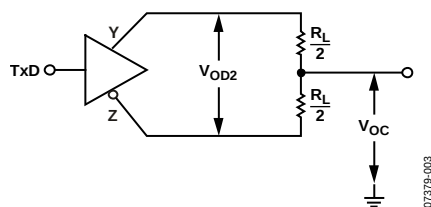


図 2. ドライバ電圧測定

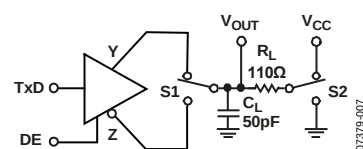


図 5. ドライバ・イネーブル/ディスエーブル

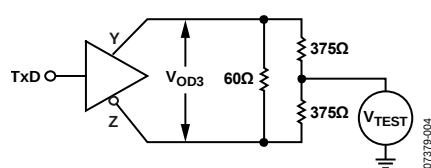


図 3. ドライバ電圧測定

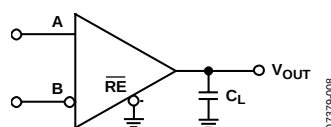


図 6. レシーバ伝搬遅延

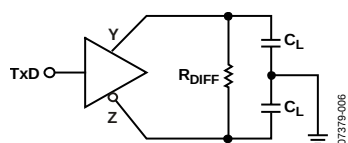


図 4. ドライバ伝搬遅延

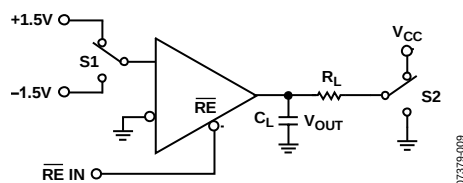


図 7. レシーバ・イネーブル/ディスエーブル

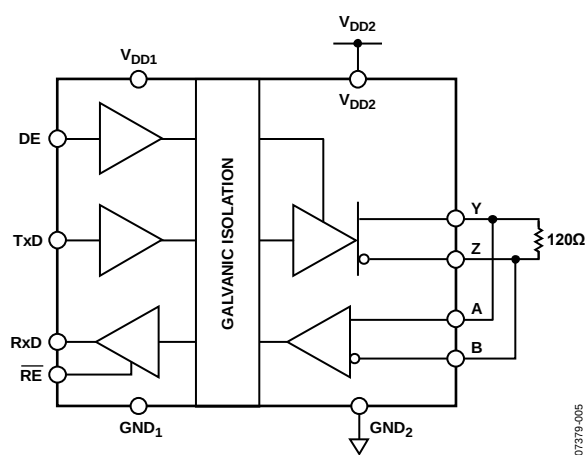


図 8. 電源電流測定テスト回路

スイッチング特性

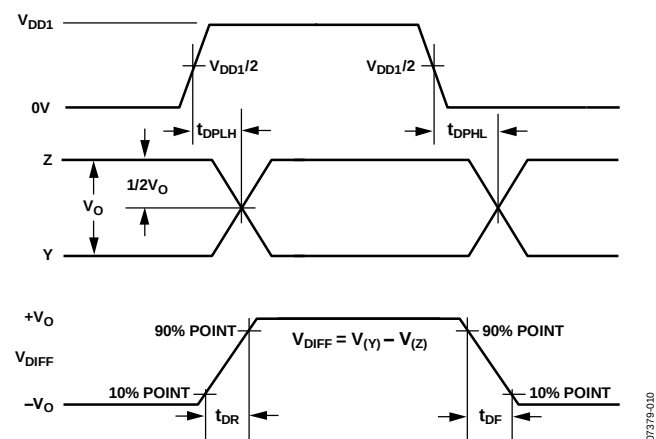


図 9. ドライバ伝搬遅延
立ち上がり/立ち下がりタイミング

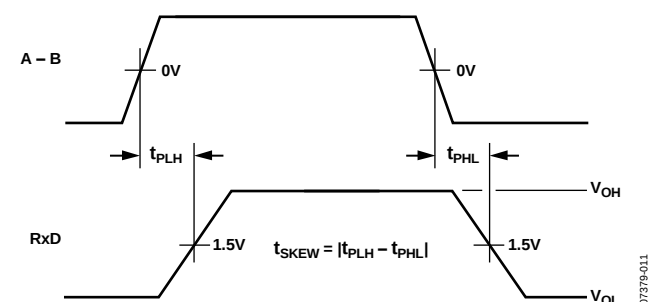


図 10. レシーバ伝搬遅延

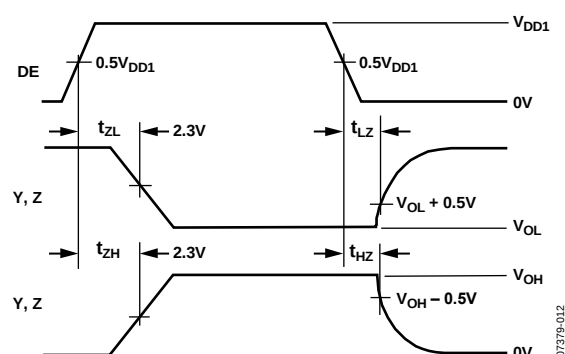


図 11. ドライバ・イネーブル/ディスエーブル・タイミング

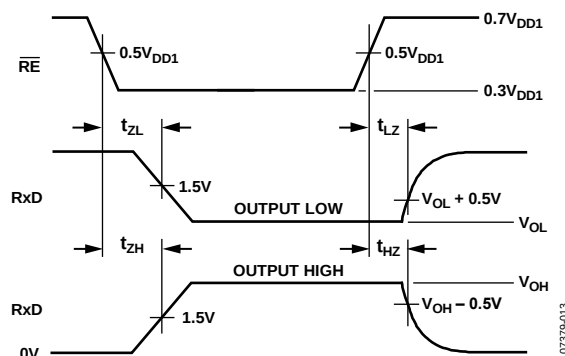


図 12. レシーバ・イネーブル/ディスエーブル・タイミング

絶対最大定格

特に注記がない限り、すべての電圧はそれぞれのグラウンドを基準とし、 $T_A = 25^\circ\text{C}$ とします。

表 6.

Parameter	Rating
V_{DD1}	−0.5 V to +6 V
V_{DD2}	−0.5 V to +6 V
Digital Input Voltages (DE, $\overline{\text{RE}}$, TxD)	−0.5 V to $V_{DD1} + 0.5$ V
Digital Output Voltages	
RxD	−0.5 V to $V_{DD1} + 0.5$ V
D1, D2	13 V
Driver Output/Receiver Input Voltage	−9 V to +14 V
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−55°C to +150°C
Average Output Current per Pin	−35 mA to +35 mA
ESD (Human Body Model) on A, B, Y and Z pins	±15 kV
Lead Temperature	
Soldering (10 sec)	300°C
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

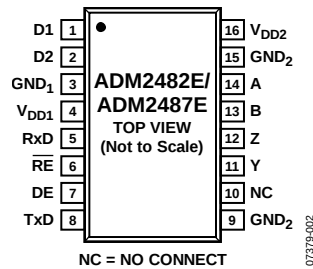


図 13.ピン配置

表 7.ピン機能の説明

ピン番号	記号	説明
1	D1	トランス・ドライバ端子 1。
2	D2	トランス・ドライバ端子 2。
3	GND ₁	グラウンド、ロジック側。
4	V _{DD1}	電源、ロジック側(3.3 V または 5 V)。GND ₁ へのデカップリング・コンデンサが必要。コンデンサ値は 0.01 μF～0.1 μF。
5	RxD	レシーバの出力データ。この出力は(A - B) > +200 mV のときハイ・レベルに、(A - B) < -200 mV のとき、ロー・レベルにそれぞれなります。この出力は、レシーバがディセーブルされたとき、すなわちREがハイ・レベルに駆動されたとき、スリー・ステート状態になります。
6	$\overline{\text{RE}}$	レシーバのイネーブル入力。アクティブ・ロー入力。この入力をロー・レベルにすると、レシーバがイネーブルされ、ハイ・レベルにすると、レシーバがディセーブルされます。
7	DE	ドライバのイネーブル入力。この入力をハイ・レベルにすると、ドライバがイネーブルされ、ロー・レベルにすると、ドライバがディセーブルされます。
8	TxD	送信データ。
9	GND ₂	グラウンド、バス側。
10	NC	未接続。このピンはフローティング状態のままにしておく必要があります。
11	Y	ドライバ非反転出力。
12	Z	ドライバ反転出力。
13	B	レシーバ反転入力。
14	A	レシーバ非反転入力。
15	GND ₂	グラウンド、バス側。
16	V _{DD2}	電源、バス側(絶縁型 3.3 V 電源)。GND ₂ へのデカップリング・コンデンサが必要。コンデンサ値は 0.01 μF～0.1 μF。

代表的な性能特性

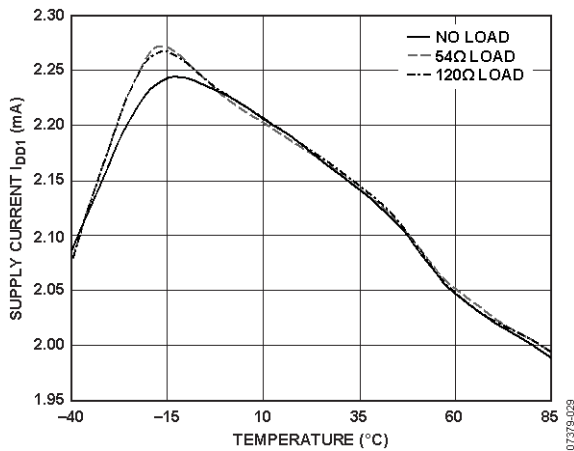


図 14.ADM2487E I_{DD1} 電源電流の温度特性
(データ・レート=500 kbps、 V_{DD1} = 5 V、 V_{DD2} = 3.3 V、
DE = 1 V、RE = 0 V)

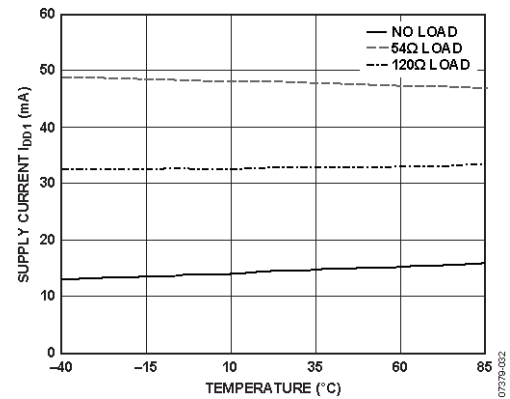


図 17.ADM2482E 電源電流の温度特性(図 8 参照)
(データ・レート=16 Mbps、 V_{DD1} = 5 V、 V_{DD2} = 3.3 V
DE = 1、RE = 0 V)

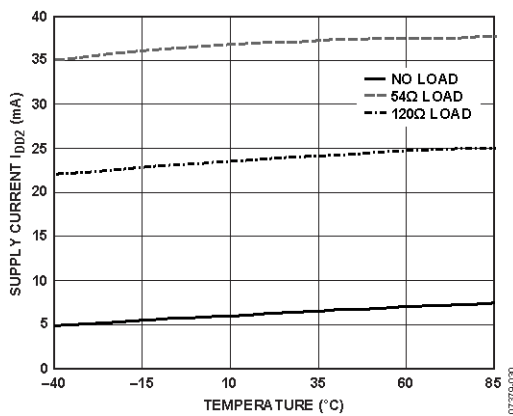


図 15.ADM2487E I_{DD2} 電源電流の温度特性(図 8 参照)
(データ・レート=500 kbps、 V_{DD1} = 5 V、 V_{DD2} = 3.3 V
DE = 1 V、RE = 0 V)

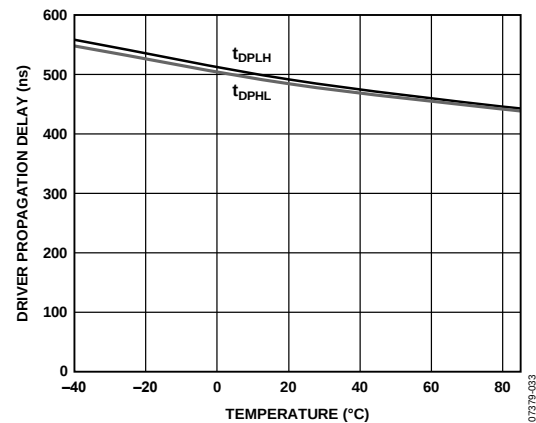


図 18.ADM2487E ドライバ伝搬遅延の温度特性

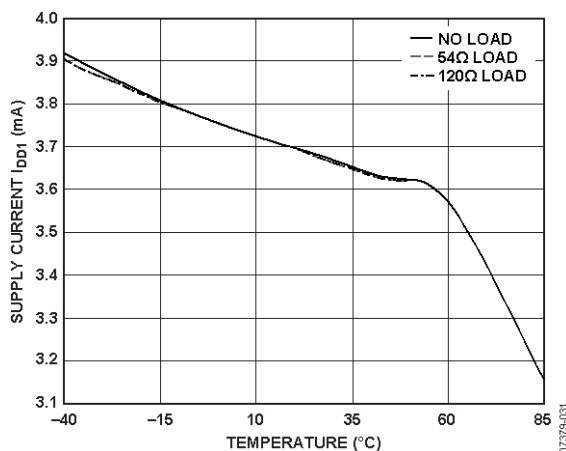


図 16.ADM2482E I_{DD1} 電源電流の温度特性
(データ・レート=16 Mbps、 V_{DD1} = 5 V、 V_{DD2} = 3.3 V
DE = 1 V、RE = 0 V)

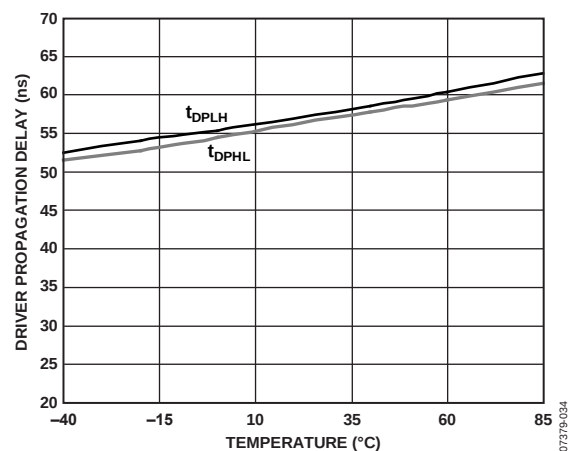


図 19.ADM2482E ドライバ伝搬遅延の温度特性

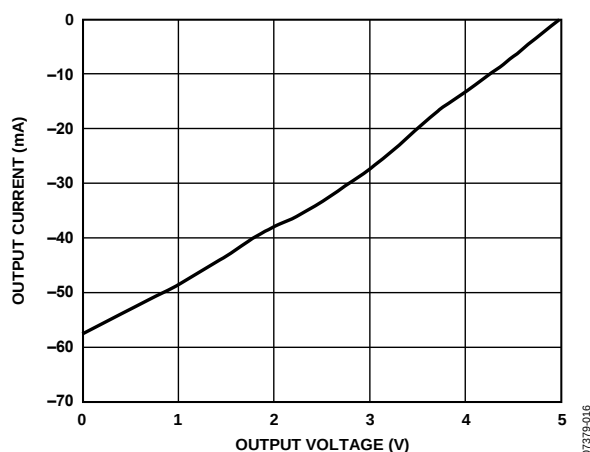


図 20. 出力電流対レシーバ出力のハイ・レベル電圧

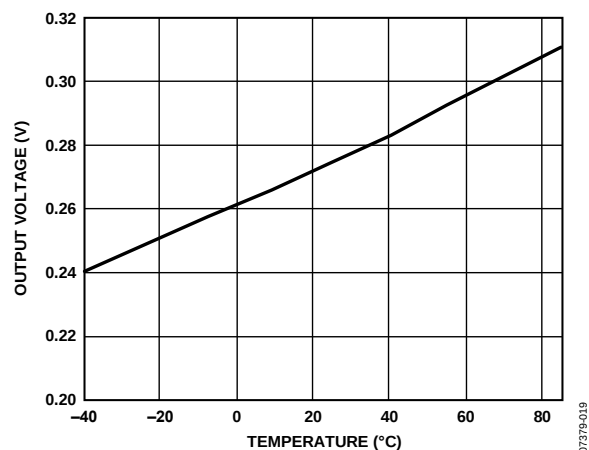


図 23. レシーバ出力ロー・レベル電圧の温度特性
($I_{DD2} = 4 \text{ mA}$)

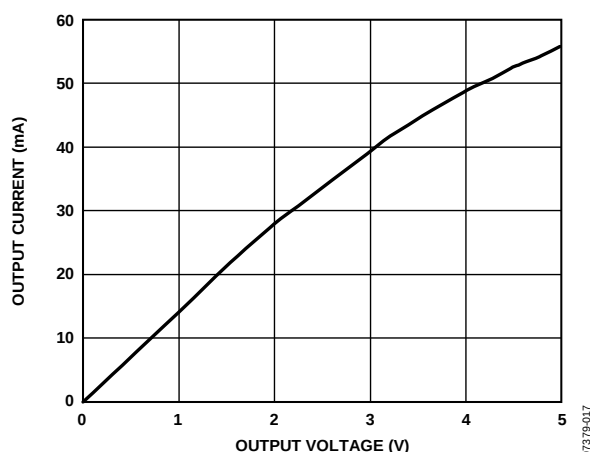


図 21. 出力電流対レシーバ出力のロー・レベル電圧

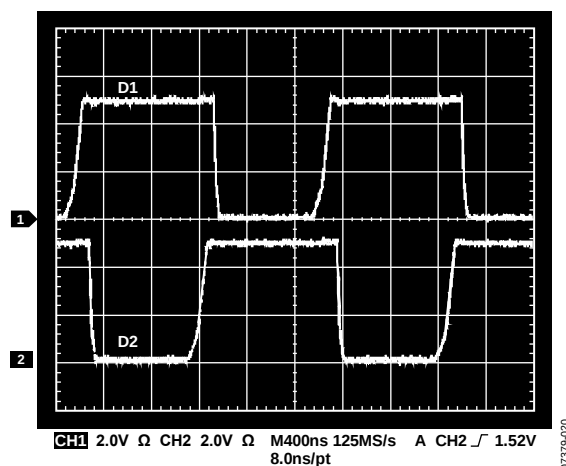


図 24. スイッチング波形
(D1 と D2 を 50 Ω で V_{DD1} ヘブルアップ)

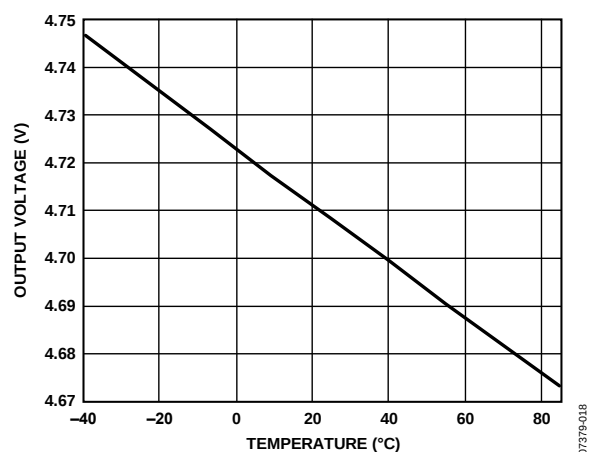


図 22. レシーバ出力ハイ・レベル電圧の温度特性
($I_{DD2} = -4 \text{ mA}$)

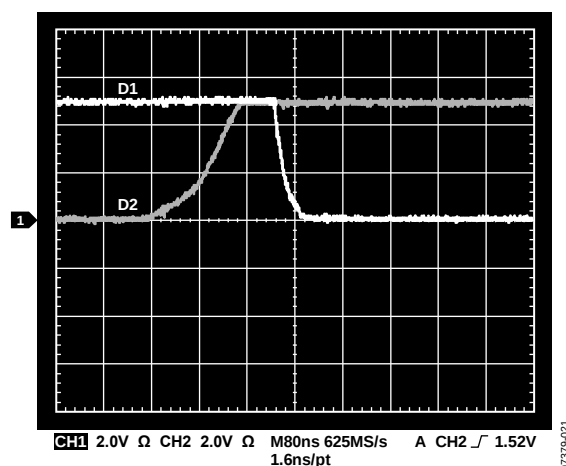


図 25. スイッチング波形
(ブレイク・ビフォ・メーク、D1 と D2 を 50 Ω で V_{DD1} ヘブルアップ)

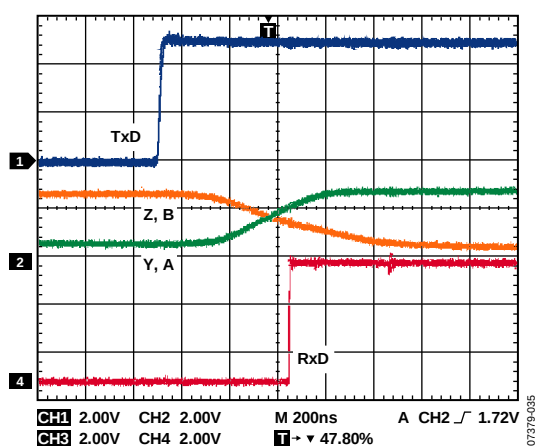


図 26.ADM2487E ドライバ/レシーバ伝搬遅延
ローからハイ・レベル変化
($R_{DIFF} = 54 \Omega$, $C_{L1} = C_{L2} = 100 \text{ pF}$)

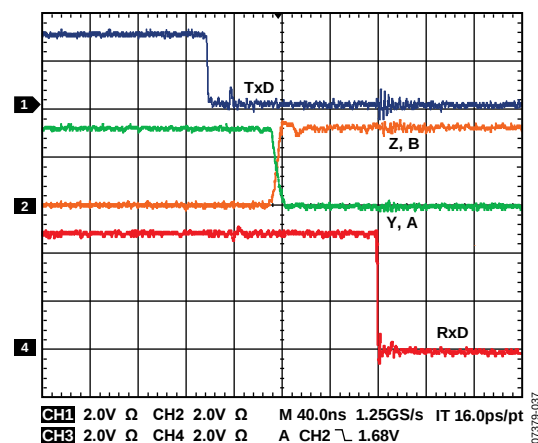


図 28.ADM2482E ドライバ/レシーバ伝搬遅延
ハイからロー・レベル変化
($R_{DIFF} = 54 \Omega$, $C_{L1} = C_{L2} = 100 \text{ pF}$)

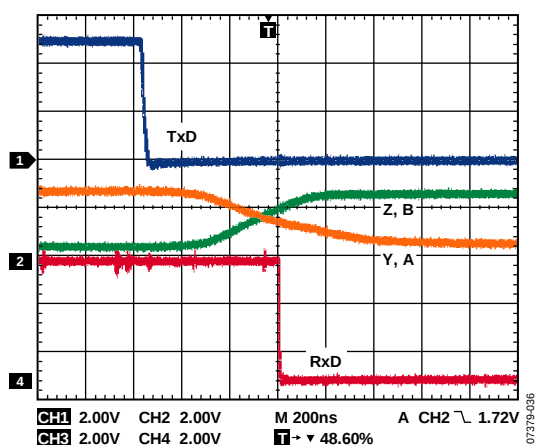


図 27.ADM2487E ドライバ/レシーバ伝搬遅延
ハイからロー・レベル変化
($R_{DIFF} = 54 \Omega$, $C_{L1} = C_{L2} = 100 \text{ pF}$)

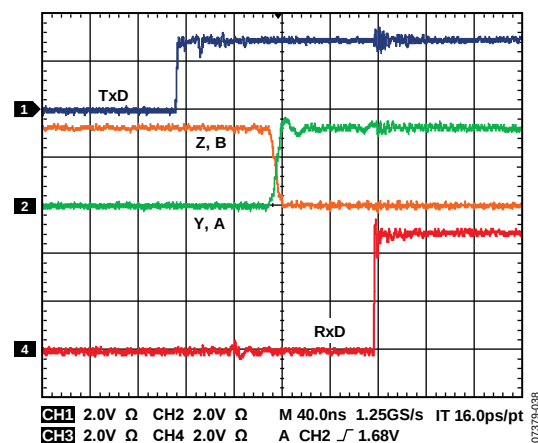


図 29.ADM2482E ドライバ/レシーバ伝搬遅延
ローからハイ・レベル変化
($R_{DIFF} = 54 \Omega$, $C_{L1} = C_{L2} = 100 \text{ pF}$)

回路説明

電氣的絶縁性

ADM2482E/ADM2487E では、電氣的絶縁性はインターフェースのロジック側で実現されています。したがって、デバイスはデジタル・アイソレーション部とトランシーバ部から構成されています(図 30 参照)。TxD ピンと DE ピンにそれぞれ入力されるドライバ入力信号とデータ・イネーブル信号はロジック・グラウンド(GND₁)を基準としており、絶縁障壁を超えて絶縁グラウンド(GND₂)を基準とするトランシーバ部に渡されます。同様に、トランシーバ部の絶縁グラウンドを基準とするレシーバ出力は、絶縁障壁を超えて渡され、ロジック・グラウンドを基準とする RxD ピンに出力されます。

iCoupler 技術

デジタル信号は iCoupler 技術を採用する絶縁障壁を超えて送信されます。この技術では、チップ・サイズのトランス巻線を使って、障壁の一方から他方へデジタル信号を磁氣的に結合します。デジタル入力は、トランスの一次巻線を励磁できる能力を持つ波形にエンコードされます。二次巻線では、誘導された波形が送信された元のバイナリ値にデコードされます。

アイソレータ入力での正および負のロジック変化により、狭いパルス(1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1 μ s 以上入力にロジック変化がない場合、該当する入力状態を表す周期的な更新パルスのセットが出力の DC 精度を確保するために送出されます。デコーダが約 5 μ s 間以上この入力パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、出力が強制的にデフォルト状態(表 8 参照)にされます。

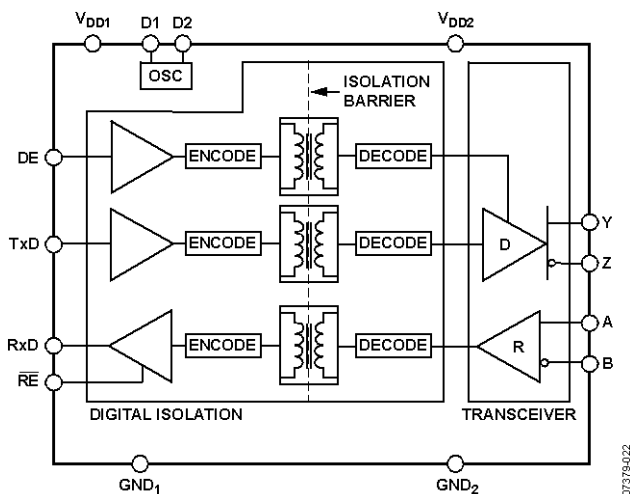


図 30.ADM2482E/ADM2487E デジタル・アイソレーション部とトランシーバ部

真理値表

この節の真理値表では表 8 の省略表示を使っています。

表 8.真理値表の省略表示

Letter	Description
H	High level
I	Indeterminate
L	Low level
X	Irrelevant
Z	High impedance (off)
NC	Disconnected

表 9.送信

Supply Status		Inputs		Outputs	
V _{DD1}	V _{DD2}	DE	TxD	Y	Z
On	On	H	H	H	L
On	On	H	L	L	H
On	On	L	X	Z	Z
On	Off	X	X	Z	Z
Off	On	L	X	Z	Z
Off	Off	X	X	Z	Z

表 10.受信

Supply Status		Inputs		Outputs
V _{DD1}	V _{DD2}	A – B	$\overline{\text{RE}}$	RxD
On	On	$>-0.03 \text{ V}$	L or NC	H
On	On	$<-0.2 \text{ V}$	L or NC	L
On	On	$-0.2 \text{ V} < \text{A} - \text{B} < -0.03 \text{ V}$	L or NC	I
On	On	Inputs open	L or NC	H
On	On	X	H	Z
On	Off	X	L or NC	H
Off	Off	X	L or NC	L

サーマル・シャットダウン

ADM2482E/ADM2487E はサーマル・シャットダウン回路を内蔵しており、故障時に消費電力が大きくなり過ぎないように保護しています。ドライバ出力を低インピーダンス電源にショートすると、大きなドライバ電流が流れます。温度検出回路がこの状態でのチップ温度上昇を検出して、ドライバ出力をディセーブルします。この回路は、チップ温度が 150℃に到達したとき、ドライバ出力をディセーブルするようにデザインされています。デバイスが冷えて温度 140℃になると、ドライバは再イネーブルされます。

レシーバ・フェイルセーフ入力

レシーバ入力は真のフェイル・セーフ機能を持っているため、入力のオープンまたは短絡時にロジック・ハイのレシーバ出力レベルが保証されます。ライン・アイドル状態時、バス上でイネーブルされているドライバがないとき、レシーバ入力終端抵抗の両端の電圧は 0 V に向かって減少します。従来型のトランシーバでは、-200~+200 mV の間にレシーバ入力スレッショルドを指定することは、レシーバ出力を既知状態にするために、A ピンと B ピンに外付けバイアス抵抗が必要であることを意味していました。真のフェイル・セーフ・レシーバ入力機能の採用により、-30~-200 mV の間にレシーバ入力スレッショルドを指定すると、バイアス抵抗が不要になります。負のスレッショルドを保証するということは、A と B の間の電圧が 0 V に減少したとき、レシーバ出力がハイ・レベルになることが保証されることを意味します。

磁界耐性

磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。ADM2482E/ADM2487E の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッショルドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。

受信側コイルへの誘導電圧は次式で与えられます。

$$V = \left(\frac{-d\beta}{dt} \right) \sum \pi r_n^2; n=1, 2, \dots, N$$

ここで

β = 磁束密度 (Gauss) N = 受信側コイルの巻数 r_n = 受信側コイルの n 回目の半径 (cm)

受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大でも 50%であるとする、最大許容磁界は図 31 のように計算されます。

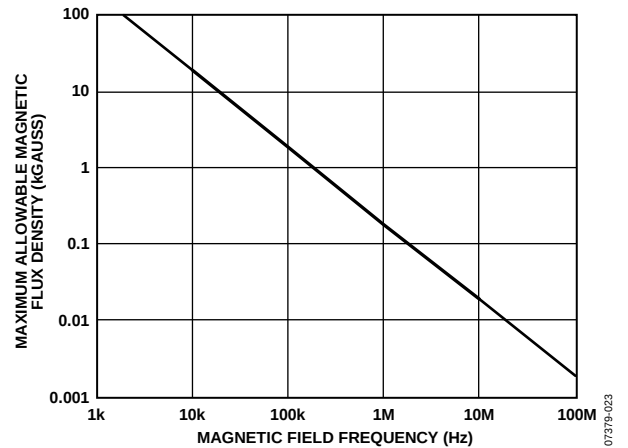


図 31. 最大許容外付け磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 kGauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッショルドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75 V へ減少されるため、デコーダの検出スレッショルド 0.5 V に対してなお余裕を持っています。

図 32 にユーザの便利のために磁束密度値を示します。この図では ADM2482E/ADM2487E のトランスから与えられた距離のところでの最大許容電流で磁束密度値を表しています。

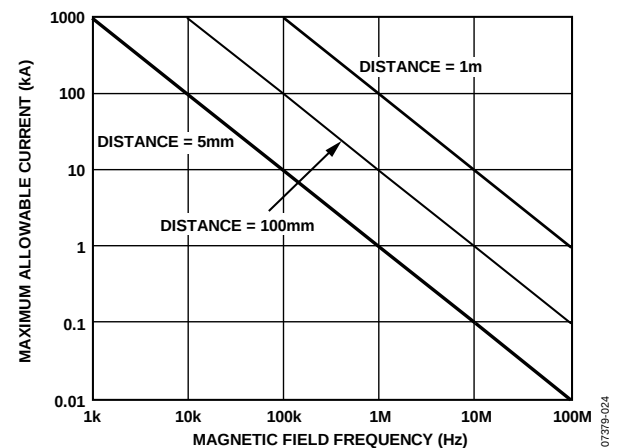


図 32. 電流—ADM2482E/ADM2487E 間距離に対する最大許容電流

強い磁界と高周波が組合わされると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッショルドがトリガーされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

アプリケーション情報

プリント回路ボードのレイアウト

ADM2482E/ADM2487E の絶縁型 RS-485 トランシーバには、ロジック・インタフェース用の外付けインタフェース回路は不要です。入力ピンと出力電源ピンには電源バイパスが必要です(図 33 参照)。

バイパス・コンデンサは V_{DD1} についてはピン 3 とピン 4 の間に、 V_{DD2} についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。コンデンサの値は、 $0.01\mu\text{F} \sim 0.1\mu\text{F}$ にします。コンデンサの両端と入力電源ピンとの間のパターン長は 20 mm 以下にする必要があります。

パッケージ両側のグラウンド対がパッケージの近くで接続されていない限り、ピン 9 とピン 16 をバイパスすることも推奨されます。

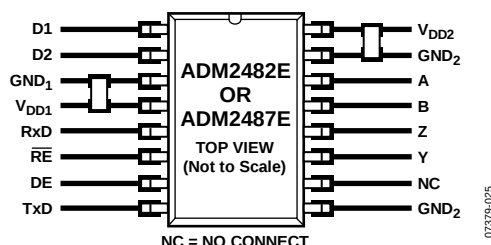


図 33. プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。

この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

絶縁型電源回路

ADM2482E/ADM2487E はトランス・ドライバを内蔵しています。これを外付けトランスおよびリニア電圧レギュレータ (LDO) と組み合わせて使うと、 V_{DD2} と GND_2 から絶縁型 3.3 V 電源を供給することができます (図 34 参照)。

ADM2482E/ADM2487E の D1 ピンと D2 ピンから、センター・タップのトランス T1 を駆動します。1 対のショットキ・ダイオードと平滑化コンデンサを使って、二次巻線から整流した信号を生成します。**ADP1710** LDO は安定化した 3.3V 電源を ADM2482E/ADM2487E のバス側回路(V_{DD})に供給します。

ADM2482E/ADM2487E のロジック側に 3.3 V を供給するときは、ショットキ・ダイオードの順方向電圧降下とレギュレータの電圧降下を補償するために昇圧トランスが必要です。すべての動作条件で安定化した 3.3 V 出力を ADP1710 LDO から出力するためには、十分なヘッドルームを許容するようにトランス巻数比を選択する必要があります。

ADM2482E/ADM2487E のロジック側に 5 V を供給するときは、降圧トランスを使う必要があります。すべての動作条件で安定化した 3.3 V 出力を ADP1710 LDO から最適効率で出力するためには、十分なヘッドルームを許容するようにトランス巻数比を選択する必要があります。

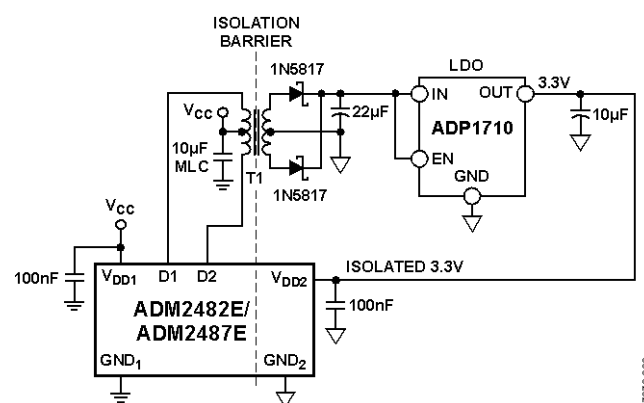


図 34. アプリケーション図

代表的なアプリケーション

図 35 と図 36 に、半二重および全二重 RS-485 回路構成の ADM2482E/ADM2487E の代表的なアプリケーションを示します。最大 256 個のトランシーバを RS-485 バスに接続することができます。反射を抑えるためには、伝送線の受信端を特性インピー

ダンスで終端し、メイン・ラインから分かれる部分の長さをできるだけ短くする必要があります。半二重動作の場合は両端が受信端になるので、これは伝送線の両端を終端することを意味します。

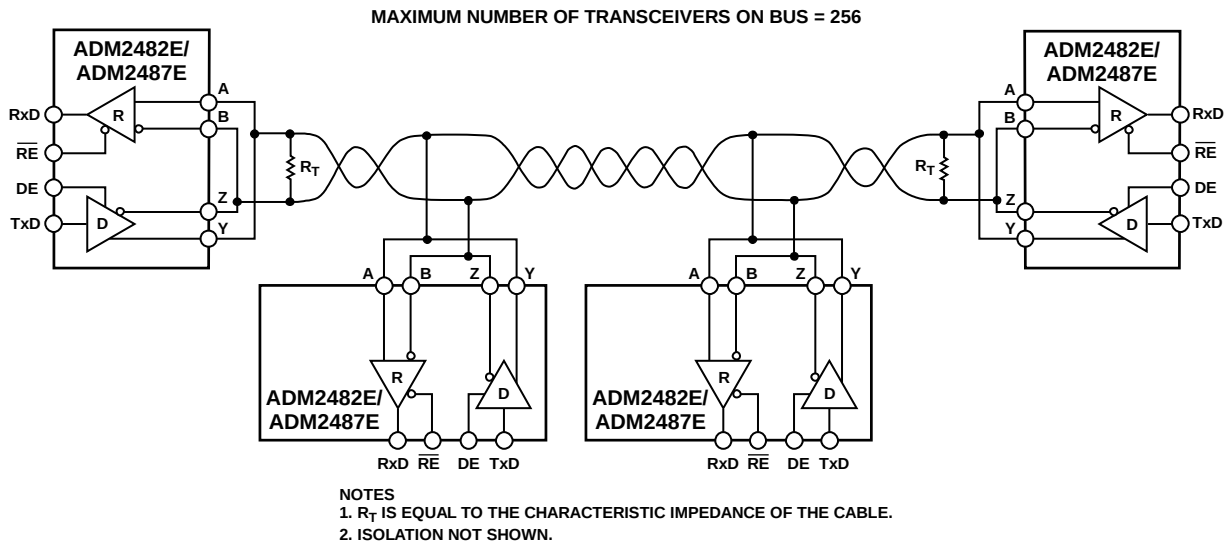


図 35.ADM2482E/ADM2487E の代表的な半二重 RS-485 回路

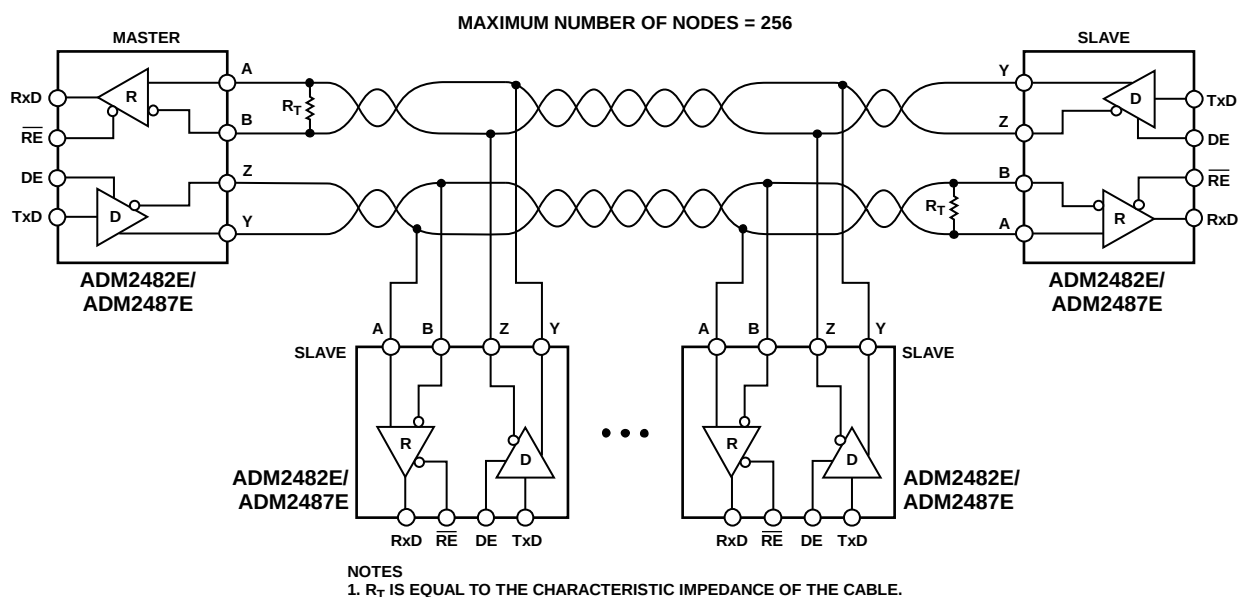
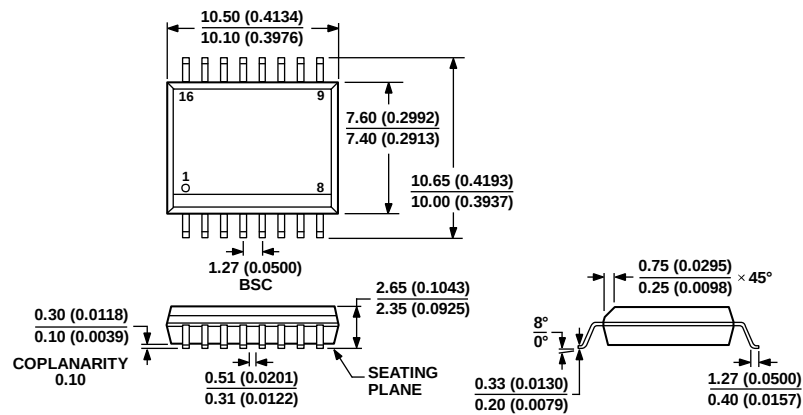


図 36.ADM2482E/ADM2487E の代表的な全二重 RS-485 回路外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

D07379-0-5/08(0)-J

図 37.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
ワイドボディ(RW-16)
寸法: mm (インチ)

オーダー・ガイド

Model	Data Rate (Mbps)	Temperature Range	Package Description	Package Option
ADM2482EBRWZ ¹	16	−40°C to +85°C	16-Lead SOIC_W	RW-16
ADM2482EBRWZ-REEL7 ¹	16	−40°C to +85°C	16-Lead SOIC_W	RW-16
ADM2487EBRWZ ¹	0.5	−40°C to +85°C	16-Lead SOIC_W	RW-16
ADM2487EBRWZ-REEL7 ¹	0.5	−40°C to +85°C	16-Lead SOIC_W	RW-16

¹ Z = RoHS 準拠製品