

特長

EIA RS-485-/RS-422 規格に準拠

データ・レート・オプション

ADM4850/ADM4854—115 kbps

ADM4851/ADM4855—500 kbps

ADM4852/ADM4856—2.5 Mbps

ADM4853/ADM4857—10 Mbps

半二重オプションと全二重オプション

EMI を軽減するためにスルーレートを制限

フェールセーフのレシーバ入力

シャットダウン・モードでの最大電源電流: 5 μ A

バス上の最大トランシーバ数: 256

ディスエーブル時またはパワーオフ時に出力が高インピーダンス

バス同相モード範囲: -7 V~+12 V

サーマル・シャットダウン機能と短絡保護機能を内蔵

MAX308x とピン互換

仕様温度範囲: -40°C~+85°C

8 ピンの SOIC パッケージまたは LFCSP パッケージを採用

アプリケーション

低消費電力 RS-485 アプリケーション

EMI に敏感なシステム

DTE-DCE 間インターフェース

工業用制御

パケット・スイッチング

LAN

レベル変換

概要

ADM4850~ADM4857 は、マルチポイント・バス伝送線を使った高速な半二重および全二重のデータ通信に適する差動ライン・トランシーバです。平衡データ伝送向けにデザインされ、EIA 規格の RS-485 と RS-422 に準拠しています。ADM4850~ADM4853 は半二重トランシーバであるため差動ラインを共用し、ドライバとレシーバに対して別々のイネーブル入力を持っています。ADM4854~ADM4857 のトランシーバは専用の差動ライン・ドライバ出力とレシーバ入力を持っています。

これらのデバイスは 1/8 ユニット・ロードのレシーバ入力インピーダンスを持っているため、最大 256 個のトランシーバをバスに接続することができます。ドライバは同時に 1 個だけしかイネーブルされないため、ディスエーブルまたはパワー・ダウンされたドライバの出力はスリーステートになり、バスの過負荷を防止します。

レシーバ入力は真のフェール・セーフ機能を持っているため、入力の断線時または短絡時にロジック・ハイの出力レベルが保証されます。このために、通信が開始される前および通信が終了した時点で、レシーバ出力が既知状態にあることが保証されます。

ドライバ出力のスルーレートは、EMI を軽減し、さらに不適切に終端されたバスからの反射により発生するデータ誤りを少なくす

機能ブロック図

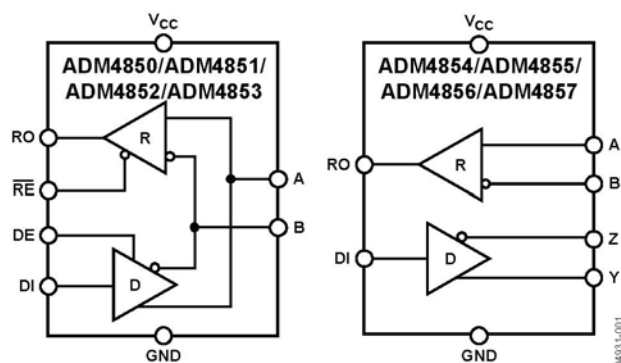


図 1.

るために制限されています。バスの輻輳または出力の短絡により発生する消費電力の増加をサーマル・シャットダウン回路により防止します。

デバイスの仕様は商用温度範囲と工業用温度範囲で規定され、8 ピンの SOIC パッケージまたは LFCSP パッケージを採用しています。

表 1. セレクション・テーブル

Part No	Half-/Full-Duplex	Data Rate
ADM4850	Half	115 kbps
ADM4851	Half	500 kbps
ADM4852	Half	2.5 Mbps
ADM4853	Half	10 Mbps
ADM4854	Full	115 kbp
ADM4855	Full	500 kbps
ADM4856	Full	2.5 Mbps
ADM4857	Full	10 Mbps

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2004-2009 Analog Devices, Inc. All rights reserved.

Rev. A

目次

仕様.....	3	回路説明.....	12
ADM4850/ADM4854 のタイミング仕様.....	4	スルーレート制御.....	12
ADM4851/ADM4855 のタイミング仕様.....	4	レシーバ入力フィルタ.....	12
ADM4852/ADM4856 のタイミング仕様.....	5	半二重/全二重動作.....	12
ADM4853/ADM4857 のタイミング仕様.....	5	レシーバの高入力インピーダンス.....	13
絶対最大定格.....	6	スリーステート・バス接続.....	13
ESDの注意.....	6	シャットダウン・モード.....	13
ピン配置および機能説明.....	7	フェイルセーフ動作.....	13
テスト回路.....	8	電流制限機能とサーマル・シャットダウン.....	13
スイッチング特性.....	9	外形寸法.....	14
代表的な性能特性.....	10	オーダー・ガイド.....	15

改訂履歴

4/09—Rev. 0 to Rev. A

Edits to Ordering Guide.....15

10/04—Revision 0: Initial Version

仕様

特に指定がない限り、 $V = 5\text{ V} \pm 5\%$ 、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DRIVER					
Differential Output Voltage, V_{OD}			V_{CC}	V	$R = \infty$, Figure 4 ¹
	2.0		5	V	$R = 50\ \Omega$ (RS-422), Figure 4
	1.5		5	V	$R = 27\ \Omega$ (RS-485), Figure 4
	1.5		5	V	$V_{\text{TST}} = -7\text{ V}$ to 12 V , Figure 5
$\Delta V_{\text{OD}} $ for Complementary Output States			0.2	V	$R = 27\ \Omega$ or $50\ \Omega$, Figure 4
Common-Mode Output Voltage, V_{O}			3	V	$R = 27\ \Omega$ or $50\ \Omega$, Figure 4
$\Delta V_{\text{O}} $ for Complementary Output States			0.2	V	$R = 27\ \Omega$ or $50\ \Omega$, Figure 4
Output Short-Circuit Current, $V_{\text{OUT}} = \text{High}$	-200		+200	mA	$-7\text{ V} < V_{\text{OUT}} < +12\text{ V}$
Output Short-Circuit Current, $V_{\text{OUT}} = \text{Low}$	-200		+200	mA	$-7\text{ V} < V_{\text{OUT}} < +12\text{ V}$
DRIVER INPUT LOGIC					
CMOS Input Logic Threshold Low		1.4	0.8	V	
CMOS Input Logic Threshold High	2.0	1.4		V	
CMOS Logic Input Current (DI)			± 1	μA	
DE Input Resistance to GND		220		k Ω	
RECEIVER					
Differential Input Threshold Voltage, V_{TH}	-200	-125	-30	mV	$-7\text{ V} < V_{\text{M}} < +12\text{ V}$
Input Hysteresis		20		mV	$-7\text{ V} < V_{\text{M}} < +12\text{ V}$
Input Resistance (A, B)	96	150		k Ω	$-7\text{ V} < V_{\text{M}} < +12\text{ V}$
Input Current (A, B)			0.125	mA	$V_{\text{IN}} = +12\text{ V}$
			-0.1	mA	$V_{\text{IN}} = -7\text{ V}$
CMOS Logic Input Current ($\overline{\text{RE}}$)			± 1	μA	
CMOS Output Voltage Low			0.4	V	$I_{\text{OUT}} = +4\text{ mA}$
CMOS Output Voltage High	4.0			V	$I_{\text{OUT}} = -4\text{ mA}$
Output Short Circuit Current	7		85	mA	$V_{\text{OUT}} = \text{GND}$ or V_{CC}
Three-State Output Leakage Current			± 2	μA	$0.4\text{ V} \leq V_{\text{OUT}} \leq 2.4\text{ V}$
POWER SUPPLY CURRENT					
I _{CC} (115 kbps Options)			5	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = V_{\text{CC}}$ (shutdown)
		36	60	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = 0\text{ V}$
		100	160	μA	$\text{DE} = V_{\text{CC}}$
I _{CC} (500 kbps Options)			5	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = V_{\text{CC}}$ (shutdown)
		80	120	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = 0\text{ V}$
		120	200	μA	$\text{DE} = V_{\text{CC}}$
I _{CC} (2.5 Mbps Options)			5	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = V_{\text{CC}}$ (shutdown)
		250	400	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = 0\text{ V}$
		320	500	μA	$\text{DE} = V_{\text{CC}}$
I _{CC} (10 Mbps Options)			5	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = V_{\text{CC}}$ (shutdown)
		250	400	μA	$\text{DE} = 0\text{ V}$, $\overline{\text{RE}} = 0\text{ V}$
		320	500	μA	$\text{DE} = V_{\text{CC}}$

¹ デザインにより保証します。

ADM4850/ADM4854 のタイミング仕様特に指定がない限り、 $V = 5\text{ V} \pm 5\%$ 、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ 。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DRIVER					
Maximum Data Rate	115			kbps	
Propagation Delay t_{PLH} , t_{PHL}	600		2500	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Skew t_{SKEW}			70	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Rise/Fall Time t_{R} , t_{F}	600		2400	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Enable Time			2000	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4850
Disable Time			2000	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 7, ADM4850
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4850
RECEIVER					
Propagation Delay t_{PLH} , t_{PHL}	400		1000	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Differential Skew t_{SKEW}			255	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Enable Time		5	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4850
Disable Time		20	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4850
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4850
Time to Shut Down	50	330	3000	ns	ADM4850 ¹

¹ $\overline{\text{RE}}$ をハイ・レベルにし、DEをロー・レベルにすると、半二重デバイスはシャットダウン・モードになります。これらの入力を50 nsより短い間この状態にしても、デバイスがシャットダウン・モードにならないことを保証しています。イネーブル入力を最小3000 ns間この状態にすると、デバイスがシャットダウン・モードになることが保証されています。

ADM4851/ADM4855 のタイミング仕様特に指定がない限り、 $V = 5\text{ V} \pm 5\%$ 、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ 。

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DRIVER					
Maximum Data Rate	500			kbps	
Propagation Delay t_{PLH} , t_{PHL}	250		600	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Skew t_{SKEW}			40	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Rise/Fall Time t_{R} , t_{F}	200		600	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Enable Time			1000	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4851
Disable Time			1000	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 7, ADM4851
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4851
RECEIVER					
Propagation Delay t_{PLH} , t_{PHL}	400		1000	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Differential Skew t_{SKEW}			250	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Enable Time		5	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4851
Disable Time		20	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4851
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4851
Time to Shut Down	50	330	3000	ns	ADM4851 ¹

¹ $\overline{\text{RE}}$ をハイ・レベルにし、DEをロー・レベルにすると、半二重デバイスはシャットダウン・モードになります。これらの入力を50 nsより短い間この状態にしても、デバイスがシャットダウン・モードにならないことを保証しています。イネーブル入力を最小3000 ns間この状態にすると、デバイスがシャットダウン・モードになることが保証されています。

ADM4852/ADM4856 のタイミング仕様

特に指定がない限り、 $V = 5\text{ V} \pm 5\%$ 、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ 。

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DRIVER					
Maximum Data Rate	2.5			Mbps	
Propagation Delay t_{PLH} , t_{PHL}	50		180	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Skew t_{SKEW}			50	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Rise/Fall Time t_{R} , t_{F}			140	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Enable Time			180	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4852
Disable Time			180	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 7, ADM4852
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4852
RECEIVER					
Propagation Delay t_{PLH} , t_{PHL}	55		190	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Differential Skew t_{SKEW}			50	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Enable Time		5	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4852
Disable Time		20	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4852
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4852
Time to Shut Down	50	330	3000	ns	ADM4852 ¹

¹ $\overline{\text{RE}}$ をハイ・レベルにし、DEをロー・レベルにすると、半二重デバイスはシャットダウン・モードになります。これらの入力を50 nsより短い間この状態にしても、デバイスがシャットダウン・モードにならないことを保証しています。イネーブル入力を最小3000 ns間この状態にすると、デバイスがシャットダウン・モードになることが保証されています。

ADM4853/ADM4857 のタイミング仕様

特に指定がない限り、 $V = 5\text{ V} \pm 5\%$ 、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ 。

表 6.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DRIVER					
Maximum Data Rate	10			Mbps	
Propagation Delay t_{PLH} , t_{PHL}	0		30	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Skew t_{SKEW}			10	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Rise/Fall Time t_{R} , t_{F}			30	ns	$R_{\text{LDIFF}} = 54\ \Omega$, $C_{\text{L1}} = C_{\text{L2}} = 100\text{ pF}$, Figure 6
Enable Time			35	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4853
Disable Time			35	ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 7, ADM4853
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 500\ \Omega$, $C_{\text{L}} = 100\text{ pF}$, Figure 7, ADM4853
RECEIVER					
Propagation Delay t_{PLH} , t_{PHL}	55		190	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Differential Skew t_{SKEW}			30	ns	$C_{\text{L}} = 15\text{ pF}$, Figure 8
Enable Time		5	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4853
Disable Time		20	50	ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4853
Enable Time from Shutdown		4000		ns	$R_{\text{L}} = 1\text{ k}\Omega$, $C_{\text{L}} = 15\text{ pF}$, Figure 9, ADM4853
Time to Shut Down	50	330	3000	ns	ADM4853 ¹

¹ $\overline{\text{RE}}$ をハイ・レベルにし、DEをロー・レベルにすると、半二重デバイスはシャットダウン・モードになります。これらの入力を50 nsより短い間この状態にしても、デバイスがシャットダウン・モードにならないことを保証しています。イネーブル入力を最小3000 ns間この状態にすると、デバイスがシャットダウン・モードになることが保証されています。

絶対最大定格

表 7.

Parameter	Rating
V_{CC} to GND	6 V
Digital I/O Voltage (DE, RE, DI, ROUT)	$-0.3\text{ V to }V_{CC} + 0.3\text{ V}$
Driver Output/Receiver Input Voltage	$-9\text{ V to }+14\text{ V}$
Operating Temperature Range	$-40^{\circ}\text{C to }+85^{\circ}\text{C}$
Storage Temperature Range	$-65^{\circ}\text{C to }+125^{\circ}\text{C}$
θ_{JA} Thermal Impedance	
SOIC	110°C/W
LFCSP	62°C/W
Lead Temperature	
Soldering (10 s)	300°C
Vapour Phase (60 s)	215°C
Infrared (15 s)	220°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意

ESD (electrostatic discharge)に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。この製品は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



ピン配置および機能説明

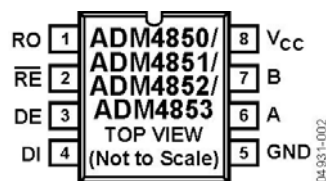


図 2. ADM4850～ADM4853 のピン配置

表 8. ADM4850～ADM4853 のピン説明

ピン番号	記号	説明
1	RO	レシーバ出力。イネーブルされると、 $(A-B) \geq -30 \text{ mV}$ の場合、RO = ハイ・レベルになります。 $(A-B) \leq -200 \text{ mV}$ の場合、RO = ロー・レベルになります。
2	$\overline{\text{RE}}$	レシーバ出力イネーブル。ロー・レベルにすると、レシーバ出力 RO がイネーブルされます。ハイ・レベルにすると、高インピーダンス状態になります。
3	DE	ドライバ出力イネーブル。ハイ・レベルにすると、ドライバ差動入力 A と B がイネーブルされます。ロー・レベルにすると、高インピーダンス状態になります。
4	DI	ドライバ入力。ドライバがイネーブルされた場合、DI にロー・レベルを入力すると、A はロー・レベルに、B はハイ・レベルに、それぞれなります。DI にハイ・レベルを入力すると、A はハイ・レベルに、B はロー・レベルに、それぞれなります。
5	GND	グラウンド。
6	A	非反転レシーバ入力 A/ドライバ出力 A。
7	B	反転レシーバ入力 B/ドライバ出力 B。
8	V _{CC}	5 V 電源。

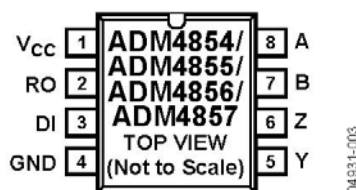


図 3. ADM4854～ADM4857 のピン配置

表 9. ADM4854～ADM4857 のピン説明

ピン番号	記号	説明
1	V _{CC}	5 V 電源。
2	RO	レシーバ出力。イネーブルされると、 $(A-B) \geq -30 \text{ mV}$ の場合、RO = ハイ・レベルになります。 $(A-B) \leq -200 \text{ mV}$ の場合、RO = ロー・レベルになります。
3	DI	ドライバ入力。ドライバがイネーブルされた場合、DI にロー・レベルを入力すると、Y はロー・レベルに、Z はハイ・レベルに、それぞれなります。DI にハイ・レベルを入力すると、Y はハイ・レベルに、Z はロー・レベルに、それぞれなります。
4	GND	グラウンド。
5	Y	ドライバ非反転出力。
6	Z	ドライバ反転出力。
7	B	レシーバ反転入力。
8	A	レシーバ非反転入力。

テスト回路

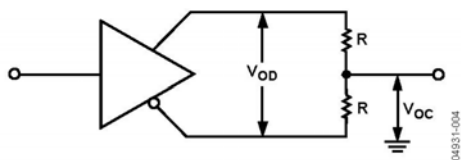


図 4. ドライバ電圧測定

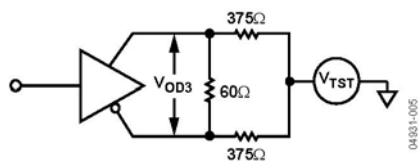


図 5. 同相モード電圧範囲でのドライバ電圧測定

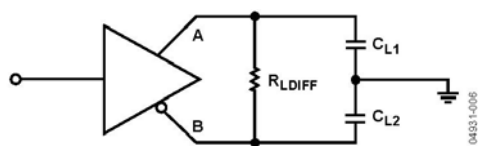


図 6. ドライバ伝搬遅延

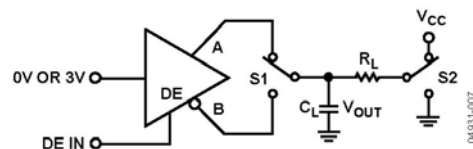


図 7. ドライバ・イネーブル/ディスエーブル

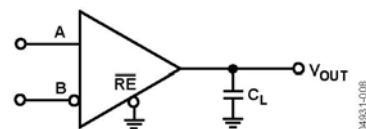


図 8. レシーバ伝搬遅延

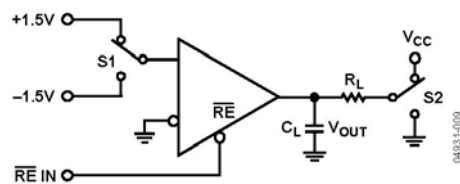


図 9. レシーバ・イネーブル/ディスエーブル

スイッチング特性

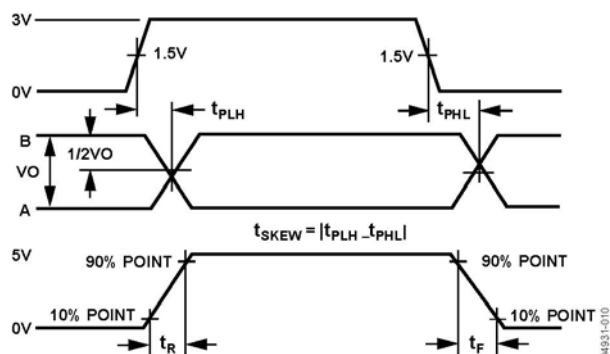


図 10. ドライバ伝搬遅延、立ち上がり/立ち下がりタイミング

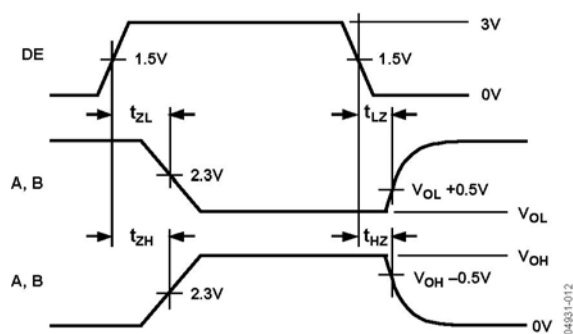


図 12. ドライバ・イネーブル/ディスエーブル・タイミング

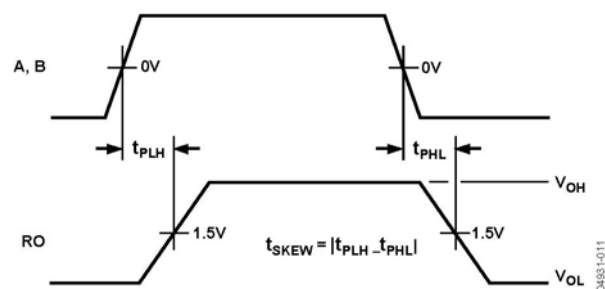


図 11. レシーバ伝搬遅延

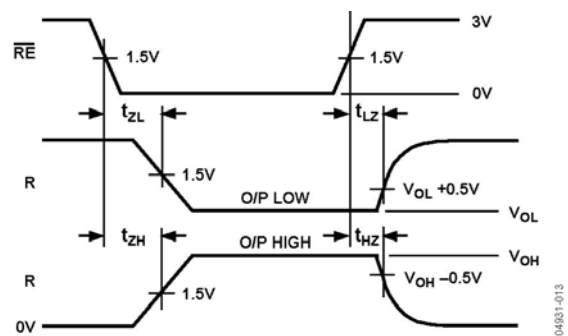


図 13. レシーバ・イネーブル/ディスエーブル・タイミング

代表的な性能特性

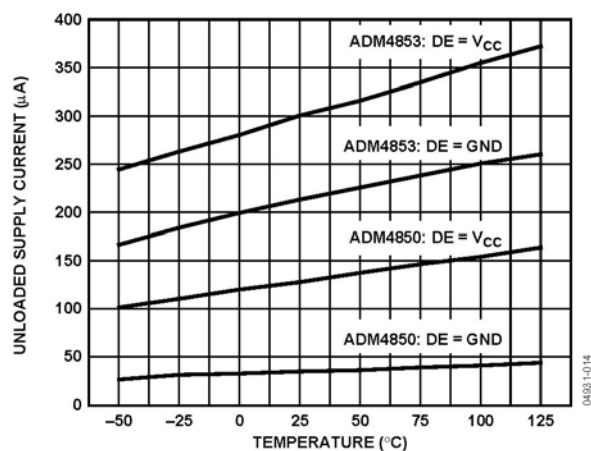


図 14. 無負荷時電源電流の温度特性

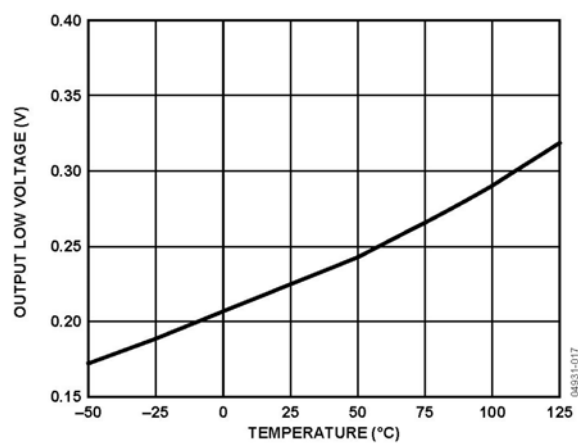


図 17. レシーバ出力ロー・レベル電圧の温度特性

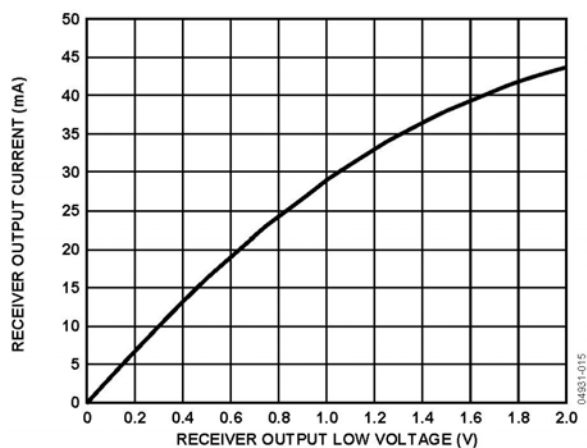


図 15. 出力電流対レシーバ出力ロー・レベル電圧

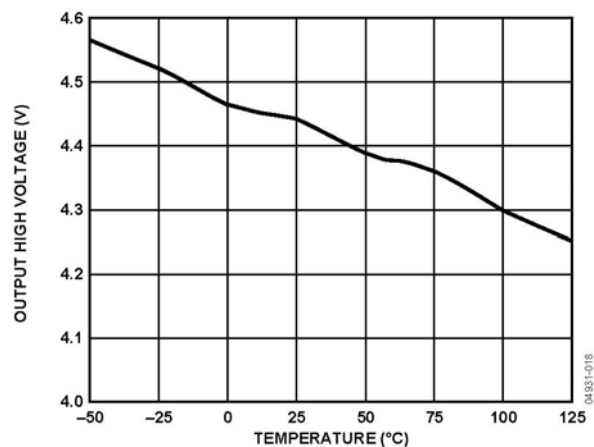


図 18. レシーバ出力ハイ・レベル電圧の温度特性

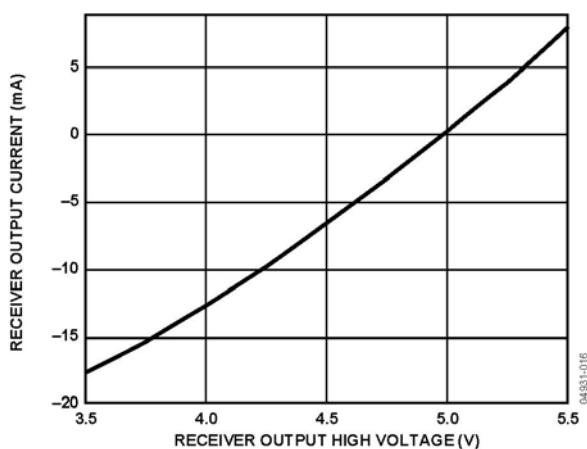


図 16. 出力電流対レシーバ出力ハイ・レベル電圧

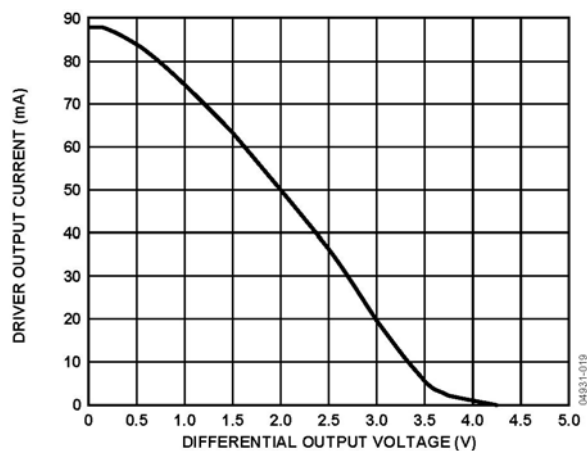


図 19. ドライバ出力電流対差動出力電圧

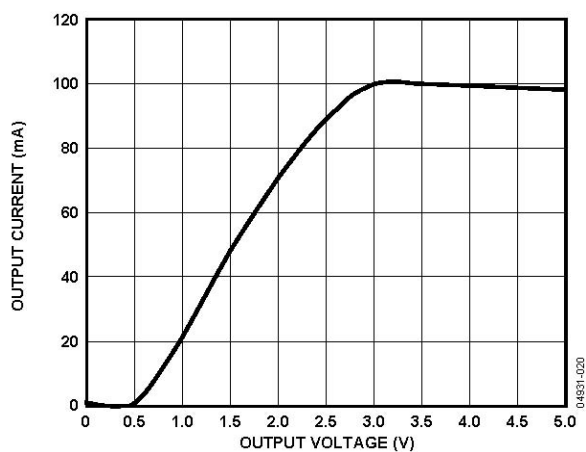


図 20.出力電流対ドライバ・ロー・レベル電圧

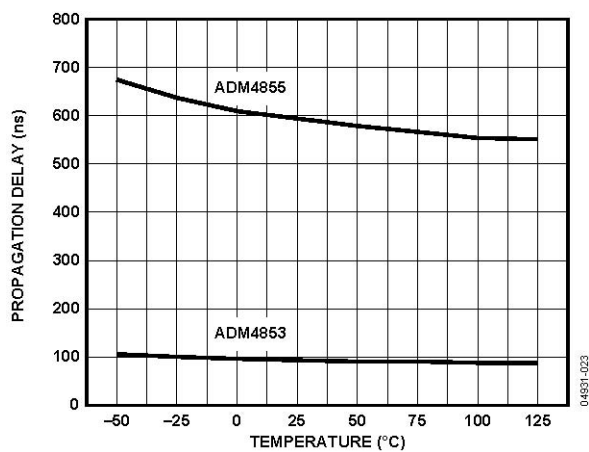


図 23.レシーバの伝搬遅延の温度特性

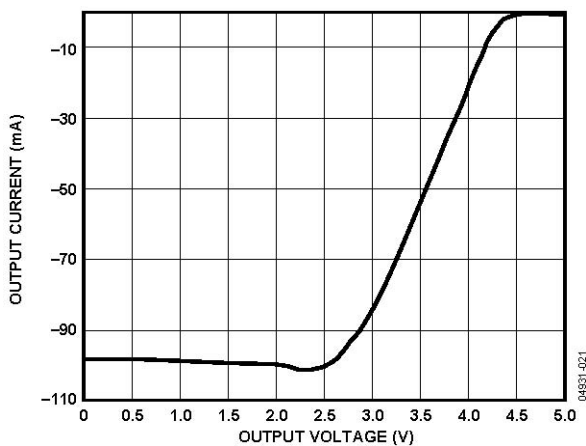


図 21.出力電流対ドライバ出力ハイ・レベル電圧

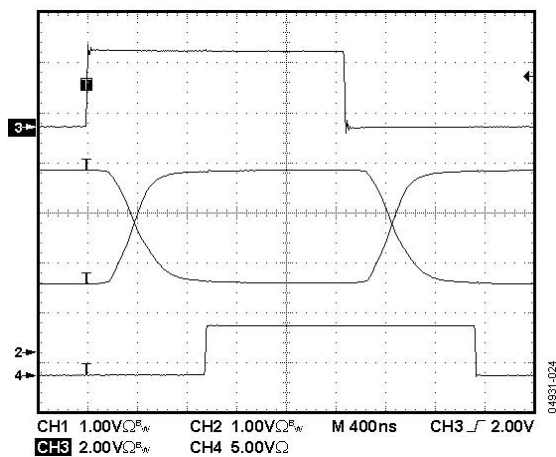


図 24.ドライバ/レシーバ伝搬遅延(ADM4855、500 kbps)

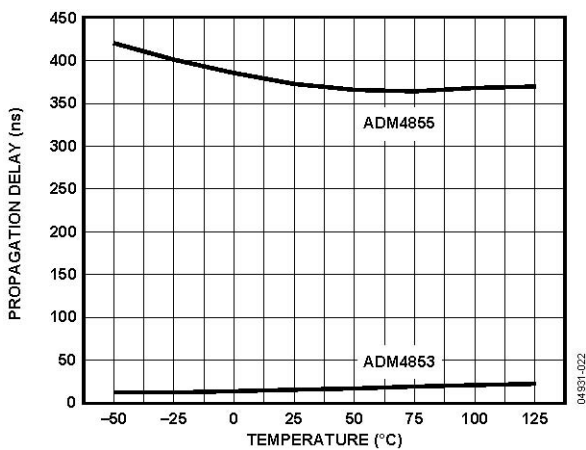


図 22.ドライバの伝搬遅延の温度特性

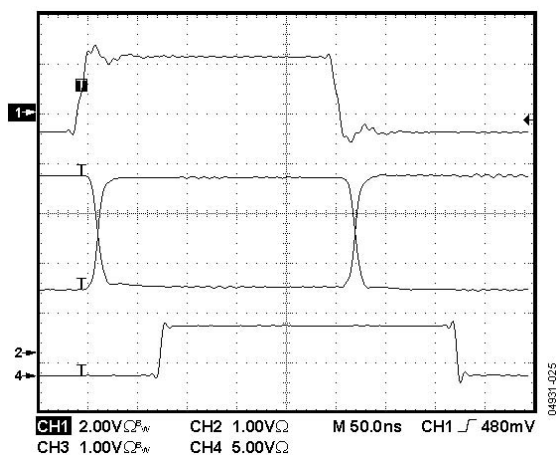


図 25.ドライバ/レシーバ伝搬遅延(ADM4855、4 Mbps)

回路説明

ADM4850～ADM4857 は、業界標準デバイスより性能を強化した高速 RS-485/RS-422 トランシーバです。すべてのデバイス・ファミリーは、ドライバとレシーバを各 1 個内蔵していますが、異なる性能オプションを提供します。デバイスは真のフェイルセーフ動作を行います。これは、レシーバ入力が断線または短絡したとき、またはすべてのドライバがディスエーブルされて終端された伝送線に接続されているとき、レシーバ出力がハイ・レベルになることが保証されることを意味します(フェイルセーフ動作のセクション参照)。

スルーレート制御

ADM4850/ADM4854 はスルーレートを制御したドライバを内蔵しています。これにより、電磁干渉(EMI)が軽減され、不適切に終端されたケーブルから発生する反射が小さくなるため、最大 115 kbps の誤りなしのデータ伝送レートが可能になります。ADM4851/ADM4855 ではドライバ出力のスルーレート上限を設定するため、最大 500 kbps のデータ伝送レートが可能です。ADM4852/ADM4856 と ADM4853/ADM4857 のドライバ・スルーレートは制限しないため、それぞれ最大 2.5 Mbps と最大 10 Mbps のデータ伝送レートを提供します。

レシーバ入力フィルタ

すべてのデバイスのレシーバは入力ヒステリシスを持っています。さらに、115 kbps の ADM4850/ADM485 と 500 kbps の ADM4851/ADM4855 は、レシーバに入力フィルタを持っています。これにより、非常に低速な立ち上がり時間と立ち下がり時間を持つ差動信号ではノイズ耐性が強化されていますが、伝搬遅延は 20%増加します。

半二重/全二重動作

半二重動作とは、トランシーバは送信と受信を行うことができますが、同時に一方しかできないことを意味します。全二重動作では、トランシーバは送信と受信を同時に行うことができます。ADM4850～ADM4853 は半二重デバイスであり、ドライバとレシーバが差動バスのピンを共用します。ADM4854～ADM4857 は全二重デバイスであるため、専用のドライバ出力ピンとレシーバ入力ピンを持っています。図 26 と図 27 に、一般的な半二重と全二重の回路を示します。

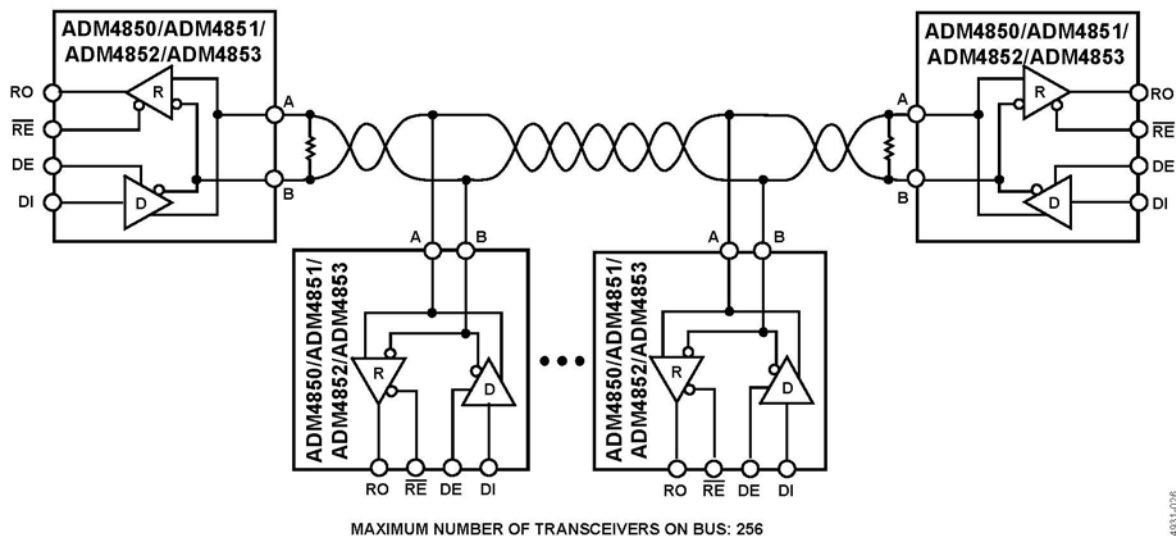


図 26. 一般的な半二重 RS-485 回路

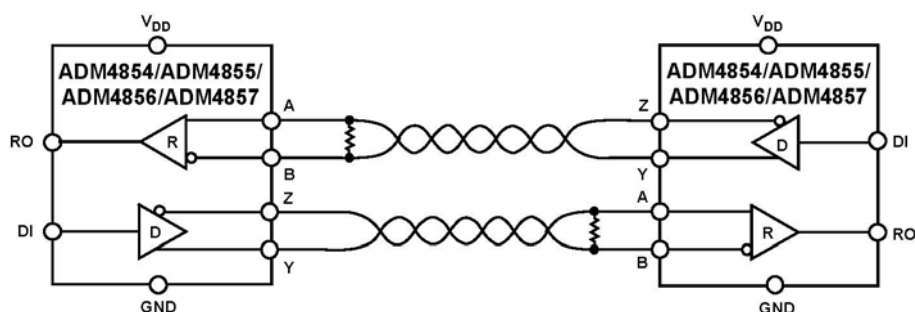


図 27. 一般的な全二重 1 対 1 RS-485 回路

レシーバの高入力インピーダンス

ADM485x レシーバの入力インピーダンスは $96\text{ k}\Omega$ で、 $12\text{ k}\Omega$ の標準 RS-485 ユニット・ロードの 8 倍です。この $96\text{ k}\Omega$ のインピーダンスにより、標準ドライバが 32 ユニット・ロードを駆動できるようになります。あるいは、256 個の ADM485x レシーバを接続することができます。1 個の標準ドライバで駆動される RS-485 バスに、ADM485x と標準ユニット・ロード・レシーバとの組み合わせを接続することができます(最大 32 個の標準ユニット・ロードと等価)。

スリーステート・バス接続

半二重デバイスはドライバ・イネーブル(DE)ピンを持っています。このピンをハイ・レベルにすると、ドライバ出力がイネーブルされ、ロー・レベルにすると、ドライバ出力が高インピーダンス状態になります。同様に、半二重デバイスはアクティブ・ローのレシーバ・イネーブル(RE)ピンを持っています。このピンをロー・レベルにすると、レシーバがイネーブルされ、ハイ・レベルにすると、レシーバ出力が高インピーダンス状態になります。この機能を使うと、複数のドライバ出力を 1 本の RS-485 バスに接続することが可能になります。同時にイネーブルできるのは 1 個のドライバだけであることに注意してください。これに対してレシーバは同時に複数をイネーブルすることができます。

シャットダウン・モード

ADM4850～ADM4853 には低消費電力シャットダウン・モードがあります。RE をハイ・レベルにし、DE をロー・レベルにするとこのモードがイネーブルされます。DE がアクティブ・ハイであり、RE がアクティブ・ローであるということを利用すると、シャットダウン・モードを使わない場合は、DE と RE を接続することにより、デバイスを送信と受信の間で切り替える便利な方法が得られます。

DE と RE をこの方法で駆動する場合は、デバイスがシャットダウン・モードにならないことが保証されます。50 ns より短い時間、DE がロー・レベルで、かつ RE がハイ・レベルになっても、デバイスはシャットダウン・モードになりません。3000 ns より短い時間、DE がロー・レベルで、かつ RE がハイ・レベルになった場合には、デバイスは確実にシャットダウン・モードになります。

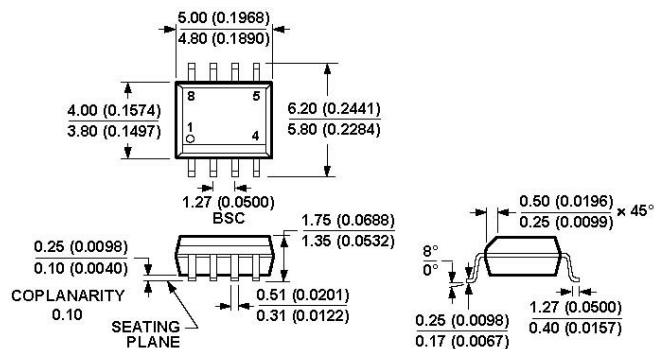
フェイルセーフ動作

ADM4850～ADM4857 は真のフェイルセーフ動作を提供しますが、残りのデバイスは完全に $\pm 200\text{ mV}$ の EIA/TIA-485 規格に準拠しています。レシーバ入力相互に短絡した場合または断線した場合、あるいは終端された伝送線にすべてのドライバをディスエーブルして接続した場合、レシーバ出力はハイ・レベルになります。これは、レシーバス・レッシュョールドを -30 mV ～ -200 mV に設定すると実行されます。差動レシーバ入力電圧(A-B)が -30 mV 以上の場合、RO がハイ・レベルになります。A-B が -200 mV より低い場合、RO はロー・レベルになります。終端されたバスに接続されているトランスミッタがすべてディスエーブルされている場合、レシーバの差動入力電圧は ADM485x の内部回路により 0 V にプルダウンされます。このため、ハイ・レベルの最小ノイズ・マージンは 30 mV になります。

電流制限機能とサーマル・シャットダウン

ADM485x には、短絡、バスの輻輳、またはその他の故障状態からドライバを保護する 2 つの保護メカニズムが内蔵されています。1 つ目は出力ステージの電流制限機能で、出力電流を約 70 mA に制限することにより、全同相モード電圧範囲で短絡からドライバを保護します。電流制限機能が効かない極端な故障状態では、チップ温度が 150°C を超えて、かつ温度が 130°C まで下がらない場合に、サーマル・シャットダウン回路がドライバ出力を高インピーダンス状態にします。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA

CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 28. 8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ (R-8)
寸法: mm (インチ)

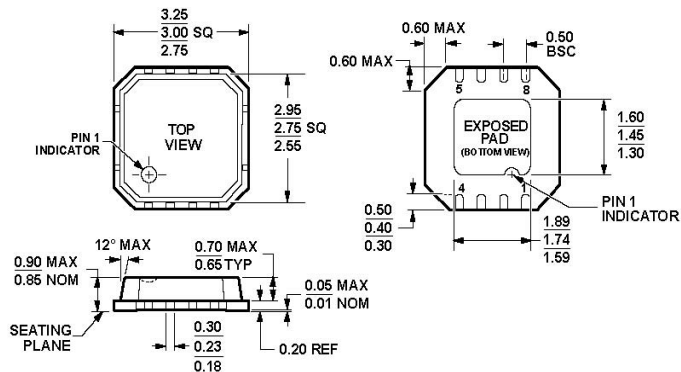


図 29. 8 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VD]
3mm×3mm ボディ極薄デュアル・リード
(CP-8-2)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADM4850ACP-REEL7	−40°C to +85°C	8-Lead LFCSP_VD	CP-8-2	M0R
ADM4850ACPZ-REEL7 ¹	−40°C to +85°C	8-Lead LFCSP_VD	CP-8-2	M8Q
ADM4850AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4850AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4850AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4850ARZ ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4850ARZ-REEL7 ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4851ACP-REEL7	−40°C to +85°C	8-Lead LFCSP_VD	CP-8-2	M0S
ADM4851AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4851AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4851AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4851ARZ ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4851ARZ-REEL7 ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4852ACP-REEL7	−40°C to +85°C	8-Lead LFCSP_VD	CP-8-2	M0T
ADM4852ACPZ-REEL7 ¹	−40°C to +85°C	8-Lead LFCSP_VD	CP-8-2	M9M
ADM4852AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4852AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4852AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4852ARZ ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4853ACP-REEL7	−40°C to +85°C	8-Lead LFCSP_VD	CP-8-2	M0U
ADM4853ACPZ-REEL7 ¹	−40°C to +85°C	8-Lead LFCSP_VD	CP-8-2	FOB
ADM4853AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4853AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4853AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4853AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4853ARZ-REEL7 ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4854AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4854AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4854AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4854ARZ ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4855AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4855AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4855AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4855ARZ ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4856AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4856AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4856AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4856ARZ ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4856ARZ-REEL7 ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4857AR	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4857AR-REEL	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4857AR-REEL7	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4857ARZ ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	
ADM4857ARZ-REEL7 ¹	−40°C to +85°C	8-Lead SOIC_N	R-8	

¹ Z = RoHS 準拠製品