

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2019 年 4 月 3 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2019 年 4 月 3 日

製品名：ADMV1013

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：1 ページ

左の段、特長の欄 2 行目

【誤】

「広帯域 RF 入力周波数範囲：24GHz～44GHz」

【正】

「広帯域 RF 出力周波数範囲：24GHz～44GHz」

アナログ・デバイセズ株式会社

本 社／〒105-6891	東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F 電話 03 (5402) 8200
大 阪営業所／〒532-0003	大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F 電話 06 (6350) 6868
名古屋営業所／〒451-6038	愛知県名古屋市中区牛島 6-1 名古屋ルーセントタワー 40F 電話 052 (569) 6300



24GHz~44GHz、広帯域 マイクロ波アップコンバータ

データシート

ADMV1013

特長

広帯域 RF 入力周波数範囲：24GHz~44GHz

2つのアップコンバージョン・モード

ベースバンド I/Q から RF へのダイレクト・
コンバージョン

実 IF からの単測波アップコンバージョン

LO 入力周波数範囲：5.4GHz~10.25GHz

最大 41GHz の LO 4 通倍器

50Ω のシングルエンド RF 出力および IF 入力に整合

100Ω に整合したバランス LO 入力または

50Ω シングルエンド LO 入力のどちらかを選択可能

100Ω のバランス・ベースバンド入力

サイドバンド抑圧特性と搬送波フィードスルーの最適化

トランシーバー電力制御用の可変減衰器

4 線式 SPI インターフェースを介してプログラム可能

40 端子ランド・グリッド・アレイ・パッケージ (LGA)

アプリケーション

ポイント to ポイント・マイクロ波無線

レーダー、電子戦システム

計測器、ATE (自動試験装置)

機能ブロック図

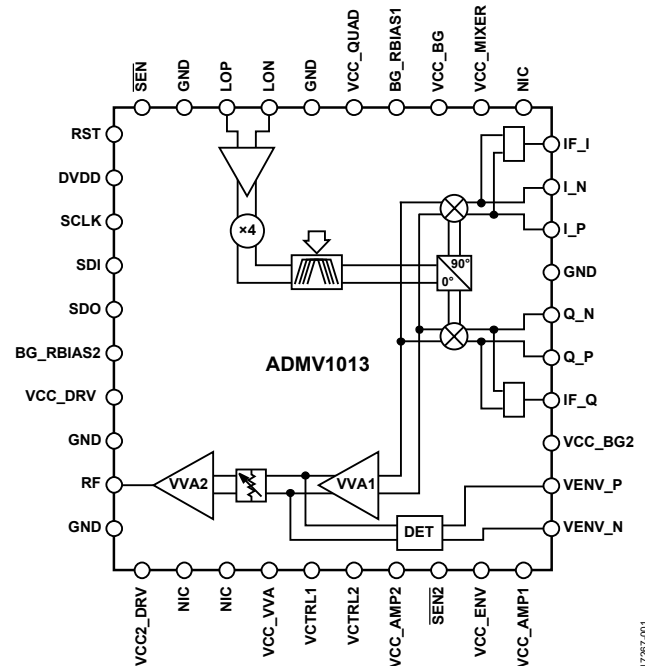


図 1.

概要

ADMV1013 は、広帯域のマイクロ波アップコンバータです。ポイント to ポイント・マイクロ波無線設計に最適化され、24GHz~44GHz の無線周波数 (RF) 範囲で動作します。

このアップコンバータには 2 つの周波数変換モードがあり、ベースバンド同相直交 (I/Q) 入力信号から RF へのダイレクト・コンバージョンと、複素中間周波数 (IF) 入力からの単測波 (SSB) アップコンバージョンが可能です。ベースバンド I/Q 入力パスはディスイーブルにすることが可能で、0.8GHz~6.0GHz の任意の変調複素 IF 信号を IF パスに挿入して、不要な側波帯を通常 26dBc 以上抑えながら 24GHz~44GHz にアップコンバート

することができます。シリアル・ポート・インターフェース (SPI) によって直交位相およびミキサのゲート電圧の調整が可能となり、最適な側波帯抑圧特性と局部発振器 (LO) のスル化が実現します。更に、SPI インターフェースを使用することで、出力エンベロープ・ディテクタをパワー・ダウンして消費電力を削減することができます。

ADMV1013 アップコンバータは、40 端子ランド・グリッド・アレイ・パッケージ (LGA) に収容されており、-40°C~+85°C のケース温度範囲で動作します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2019 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	側波帯抑圧特性の最適化	25
アプリケーション	1	搬送波フィードスルーのヌル化	26
機能ブロック図	1	エンベロープ・ディテクタ	26
概要	1	パワー・ダウンとリセット	26
改訂履歴	2	シリアル・ポート・インターフェース (SPI)	26
仕様	3	アプリケーション情報	28
シリアル・ポート・レジスタのタイミング	5	低周波数からのベースバンド直交変調	28
絶対最大定格	6	様々なクワッド・フィルタ設定での性能	28
熱抵抗	6	VVA の温度補償	28
ESD に関する注意	6	差動 LO 入力とシングルエンド LO 入力との性能比較	29
ピン配置およびピン機能の説明	7	固定入力周波数時の RF 周波数特性	30
代表的な性能特性	9	I/Q モードにおけるコモンモード電圧での性能	31
I/Q モード	9	VCTRL1 と VCTRL2 の個別処理	31
IF モード	14	推奨されるランド・パターン	33
エンベロープ・ディテクタの性能	19	評価用ボードの情報	33
リターン損失	21	レジスタの一覧	34
M × N スプリアス性能	24	レジスタの詳細	35
動作原理	25	外形寸法	39
スタートアップ・シーケンス	25	オーダー・ガイド	39
ベースバンド直交変調 (I/Q モード)	25		
単側波帯アップコンバージョン (IF モード)	25		
LO 入力パス	25		

改訂履歴

12/2018—Revision 0: Initial Version

仕様

特に指定のない限り、IF および I/Q 振幅 = -20dBm、VCC_DRV = VCC2_DRV = VCC_AMP2 = VCC_ENV = VCC_AMP1 = VCC_BG2 = VCC_MIXER = VCC_BG = VCC_QUAD = 3.3V、DVDD = VCC_VVA = 1.8V、T_A = 25°C、レジスタ 0x0A を 0xE700 に設定。

IF モードでの測定は、90°ハイブリッド、レジスタ 0x03 のビット 7 = 1、IF 入力周波数 (f_{IF}) = 3.5GHz で実行。

特に指定のない限り、I/Q モードでの測定は、I チャンネルと Q チャンネルの性能を複合、コモンモード電圧 (V_{CM}) = 0V、レジスタ 0x03 のビット 7 = 0、レジスタ 0x05 のビット [6:0] = 0x051 で実行。I/Q ベースバンド周波数 (f_{BB}) = 100MHz。

VCTRL1 = VCTRL2。V_{CTRL}は VCTRL1 ピンと VCTRL2 ピンの減衰電圧。特に指定のない限り、V_{CTRL} = 1800mV。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGES					
RF Input		24		44	GHz
LO Input		5.4		10.25	GHz
LO Quadrupler		21.6		41	GHz
IF Output		0.8		6.0	GHz
Baseband (BB) I/Q Output		DC		6.0	GHz
LO AMPLITUDE RANGE		-6	0	+6	dBm
I/Q MODULATOR PERFORMANCE					
Conversion Gain	At maximum gain				
24 GHz to 40 GHz	f _{BB} ≤ 3.5 GHz	18	23		dB
40 GHz to 44 GHz	6 GHz > f _{BB} > 3.5 GHz		21		
			19		dB
Voltage Variable Attenuator (VVA) Control Range			35		dB
Single-Sideband (SSB) Noise Figure	At maximum gain				
24 GHz to 40 GHz			18		dB
40 GHz to 44 GHz			19		dB
Output Third-Order Intercept (IP3)	At maximum gain				
24 GHz to 40 GHz		20	23		dBm
40 GHz to 44 GHz			22		dBm
Output 1 dB Compression Point (P1dB)	At maximum gain				
24 GHz to 40 GHz		10	13		dBm
40 GHz to 44 GHz			12		dBm
Sideband Rejection (SBR)	24 GHz to 44 GHz, at maximum gain				
Uncalibrated			32		dBc
IF SINGLE-SIDEBAND UPCONVERSION PERFORMANCE					
Conversion Gain	At maximum gain				
24 GHz to 40 GHz	f _{IF} ≤ 3.5 GHz	13	18		dB
40 GHz to 44 GHz	6 GHz > f _{IF} > 3.5 GHz		12		
			14		dB
VVA Control Range			35		dB
SSB Noise Figure	At maximum gain				
24 GHz to 40 GHz			25		dB
40 GHz to 44 GHz			28		dB
Output IP3	At maximum gain				
24 GHz to 40 GHz		20	23		dBm
40 GHz to 44 GHz			22		dBm
Output P1dB	At maximum gain				
24 GHz to 40 GHz		10	13		dBm
40 GHz to 44 GHz			12		dBm
SBR	24 GHz to 44 GHz, at maximum gain				
Uncalibrated			26		dBc
Calibrated	Calibrated using LOAMP_PH_ADJ_Q_FINE and LOAMP_PH_ADJ_I_FINE bits		36		dBc

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ENVELOPE DETECTOR PERFORMANCE					
Output Level	For optimum performance				
Minimum			−45		dBm
Maximum			−20		dBm
Envelope Bandwidth	Measured with two tones with total power output (P_{OUT}) at RF = 10 dBm				
3 dB	RF frequency (f_{RF}) = 28 GHz		350		MHz
10 dB	f_{RF} = 28 GHz		1		GHz
RETURN LOSS					
RF Output	50 Ω single-ended		−8		dB
LO Input	100 Ω differential		−12		dB
IF Input	50 Ω single-ended		−12		dB
BB Input	100 Ω differential		−10		dB
BB I/Q Input Impedance			100		Ω
LEAKAGE					
Fundamental LO to RF	At maximum gain		−80		dBm
4 × LO to RF					
5.4 GHz to 6.8 GHz LO	Uncalibrated		−12		dBm
6.8 GHz to 10.25 GHz LO	Uncalibrated		−20		dBm
5.4 GHz to 10.25 GHz LO	Calibrated using MXER_OFF_ADJ_I_N, MXER_OFF_ADJ_I_P, MXER_OFF_ADJ_Q_N, MXER_OFF_ADJ_Q_P bits at V_{CTRL} = 1800 mV, IF mode		−45		dBm
5 × LO to RF			−55		dBm
Fundamental LO to IF			−70		dBm
Fundamental LO to I/Q			−75		dBm
LOGIC INPUTS					
Input Voltage Range					
High, V_{INH}		DVDD − 0.4		1.8	V
Low, V_{INL}		0		0.4	V
Input Current, I_{INH}/I_{INL}			100		μ A
Input Capacitance, C_{IN}			3		pF
LOGIC OUTPUTS					
Output Voltage Range					
High, V_{OH}		DVDD − 0.4		1.8	V
Low, V_{OL}		0		0.4	V
Output High Current, I_{OH}				500	μ A
POWER INTERFACE					
VCC_DRV, VCC2_DRV, VCC_AMP2, VCC_ENV, VCC_AMP1, VCC_BG2, VCC_MIXER, VCC_BG, VCC_QUAD		3.15	3.3	3.45	V
3.3 V Supply Current	V_{CTRL} = 1.8 V, no IF and I/Q or LO input signal		550		mA
DVDD, VCC_VVA		1.7	1.8	1.9	V
1.8 V Supply Current	V_{CTRL} = 1.8 V, no IF and I/Q or LO input signal		3		mA
Total Power Consumption			1.9		W
Power-Down			77	136	mW

シリアル・ポート・レジスタのタイミング

表 2.

Parameter	Description	Min	Typ	Max	Unit
$t_{SDI, SETUP}$	Data to clock setup time	10			ns
$t_{SDI, HOLD}$	Data to clock hold time	10			ns
$t_{SCLK, HIGH}$	Clock high duration	40 to 60			%
$t_{SCLK, LOW}$	Clock low duration	40 to 60			%
$t_{SCLK, \overline{SEN/SEN2_SETUP}}$	Clock to $\overline{SEN/SEN2}$ setup time	30			ns
$t_{SCLK, DOT}$	Clock to data out transition time			10	ns
$t_{SCLK, DOV}$	Clock to data out valid time			10	ns
$t_{SCLK, \overline{SEN/SEN2_INACTIVE}}$	Clock to $\overline{SEN/SEN2}$ inactive	20			ns
$t_{\overline{SEN/SEN2_INACTIVE}}$	Inactive $\overline{SEN/SEN2}$ (between two operations)	80			ns

タイミング図

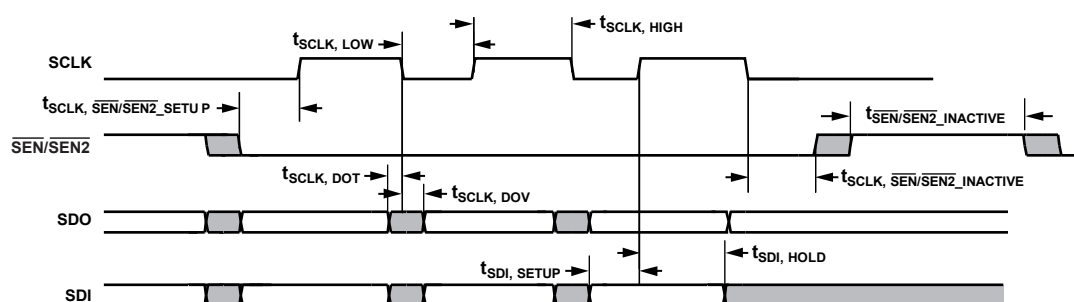


図 2. シリアル・ポート・レジスタのタイミング図

17287-106

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	
VCC_DRV, VCC2_DRV, VCC_AMP2, VCC_ENV, VCC_AMP1, VCC_BG2, VCC_BG, VCC_MIXER	4.3 V
DVDD, VCC_VVA	2.3 V
IF Input Power	5 dBm
I/Q Input Power	5 dBm
LO Input Power	9 dBm
Maximum Junction Temperature	125°C
Maximum Power Dissipation ¹	2.9 W
Lifetime at Maximum Junction Temperature (T _J)	1 × 10 ⁶ hours
Operating Case Temperature Range	−40°C to +85°C
Storage Temperature Range	−55°C to +125°C
Lead Temperature (Soldering 60 sec)	260°C
Moisture Sensitivity Level (MSL) Rating ²	MSL3
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	1250 V
Field Induced Charged Device Model (FICDM)	750 V

¹ 最大消費電力は、(T_J − 85°C) / θ_{JC_TOP} から計算した理論値です。

² IPC/JEDEC J-STD-20 MSL の分類に基づいています。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流でのジャンクションと周辺のための熱抵抗です。θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type ¹	θ _{JA} ²	θ _{JC_TOP} ³	θ _{JB} ⁴	Ψ _{JT} ⁵	Ψ _{JB} ⁶	Unit
CC-40-5	28	13.8	11.1	6.4	13.8	°C/W

¹ 特に指定のない限り、表 4 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に準拠して使用します。

² θ_{JA} は、自然対流（JEDEC 環境）でのジャンクションから周辺への熱抵抗です。

³ θ_{JC_TOP} は、ジャンクションからケース（上面）への JEDEC 熱抵抗です。

⁴ θ_{JB} は、ジャンクションからボードへの JEDEC 熱抵抗です。

⁵ Ψ_{JT} は、ジャンクションから上面への JEDEC 熱特性評価パラメータです。

⁶ Ψ_{JB} は、ジャンクションからボードへの JEDEC 熱特性評価パラメータです。

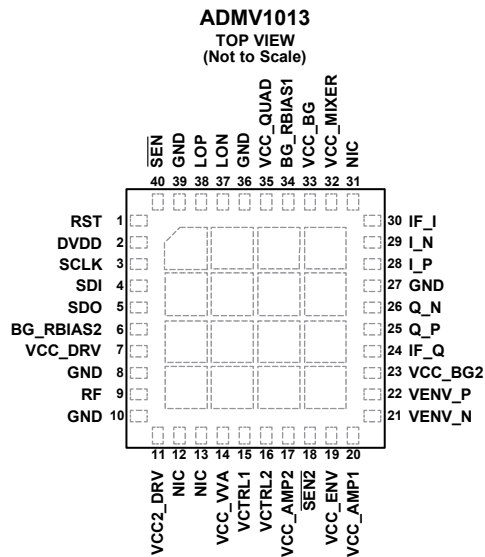
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. NIC = NOT INTERNALLY CONNECTED. THIS PIN IS NOT CONNECTED INTERNALLY.
2. EXPOSED PAD. SOLDER THE EXPOSED PAD TO A LOW IMPEDANCE GROUND PLANE.

17267-002

図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	RST	SPI リセット。通常動作ではこのピンをロジック・ハイに接続します。SPI ロジックは 1.8V です。
2	DVDD	1.8V SPI デジタル電源。
3	SCLK	SPI クロック・デジタル入力。
4	SDI	SPI シリアル・データ入力。
5	SDO	SPI シリアル・データ出力。
6	BG_RBIAS2	電圧ゲイン・アンプ (VGA) チップのバンド・ギャップ回路用外付け高精度抵抗。このピンの近くに 1.1k Ω の高精度抵抗を配置し、グラウンドにシャントします。
7	VCC_DRV	RF ドライバ用 3.3V 電源。このピンの近くに 100pF、0.01 μ F、10 μ F のコンデンサを配置します。
8, 10, 27, 36, 39	GND	グラウンド。
9	RF	RF 出力。このピンは内部で GND に DC カップリングされ、50 Ω のシングルエンドに整合されています。
11	VCC2_DRV	RF ブレドライバ用 3.3V 電源。このピンの近くに 100pF、0.01 μ F、10 μ F のコンデンサを配置します。
12, 13, 31	NIC	内部では未接続。このピンは内部接続されていません。
14	VCC_VVA	VVA 制御回路用 1.8V 電源。このピンの近くに 100pF、0.01 μ F、10 μ F のコンデンサを配置します。
15	VCTRL1	RF 電圧可変減衰器 1 (VVA1) 用制御電圧。このピンに 1k Ω の直列抵抗を接続します。
16	VCTRL2	RF 電圧可変減衰器 2 (VVA2) 用制御電圧。このピンに 1k Ω の直列抵抗を接続します。
17	VCC_AMP2	RF アンプ 2 (AMP2) 用の 3.3V 電源。このピンの近くに 100pF、0.01 μ F、10 μ F のコンデンサを配置します。
18	SEN2	VGA チップ用 SPI シリアル・イネーブル。このピンをピン 40 (SEN) に接続します。
19	VCC_ENV	エンベロープ・ディテクタ用 3.3V 電源。このピンの近くに 100pF、0.01 μ F、10 μ F のコンデンサを配置します。
20	VCC_AMP1	RF アンプ 1 (AMP1) 用の 3.3V 電源。このピンの近くに 100pF、0.01 μ F、10 μ F のコンデンサを配置します。
21	VENV_N	負側差動エンベロープ・ディテクタ出力。
22	VENV_P	正側差動エンベロープ・ディテクタ出力。
23	VCC_BG2	VGA チップのバンド・ギャップ回路用 3.3V 電源。このピンの近くに 100pF、0.01 μ F、10 μ F のコンデンサを配置します。
24, 30	IF_Q, IF_I	IF シングルエンド複素入力。これらのピンは内部で AC カップリングされています。IF モードの場合、ピン 25 (Q_P)、ピン 26 (Q_N)、ピン 28 (I_P)、ピン 29 (I_N) はフロート状態にしておく必要があります。
25, 26	Q_P, Q_N	差動ベースバンド Q 入力。これらのピンは DC カップリングされています。IF モードの場合、これらのピンは接続しません。
28, 29	I_P, I_N	差動ベースバンド I 入力。これらのピンは DC カップリングされています。IF モードの場合、これらのピンは接続しません。

ピン番号	記号	説明
32	VCC_MIXER	ミキサー用 3.3V 電源。このピンの近くに 100pF、0.01μF、10μF のコンデンサを配置します。
33	VCC_BG	ミキサー・チップのバンド・ギャップ回路用 3.3V 電源。このピンの近くに 100pF、0.01μF、10μF のコンデンサを配置します。
34	BG_RBIAS1	ミキサー・チップのバンド・ギャップ回路用外付け高精度抵抗。このピンの近くに 1.1kΩ の高精度抵抗を配置し、グラウンドにシャントします。
35	VCC_QUAD	4 通倍器用 3.3V 電源。このピンの近くに 100pF、0.01μF、10μF のコンデンサを配置します。
37, 38	LON, LOP	負側および正側差動局部発振器入力。このピンは内部でグラウンドに DC カップリングされ、100Ω の差動または 50Ω のシングルエンドに整合されています。
40	$\overline{\text{SEN}}$ EPAD	ミキサー・チップ用 SPI シリアル・イネーブル。このピンをピン 18 ($\overline{\text{SEN2}}$) に接続します。 露出パッド。露出パッドは低インピーダンスのグラウンド・プレーンにハンダ付けします。

代表的な性能特性

I/Q モード

特に指定のない限り、I/Q 振幅 = -20dBm、VCC_DRV = VCC2_DRV = VCC_AMP2 = VCC_ENV = VCC_AMP1 = VCC_BG2 = VCC_MIXER = VCC_BG = VCC_QUAD = 3.3V、DVDD = VCC_VVA = 1.8V、T_A = 25°C、レジスタ 0x0A を 0xE700 に設定。VCTRL1 = VCTRL2。VCTRL は VCTRL1 ピンと VCTRL2 ピンの減衰電圧。特に指定のない限り、VCTRL = 1800mV。特に指定のない限り、I/Q モードでの測定は、I チャンネルと Q チャンネルの性能を複合、V_{CM} = 0V、レジスタ 0x03 のビット 7 = 0、レジスタ 0x05 のビット [6:0] = 0x051 で実行。I/Q f_{BB} = 100MHz。

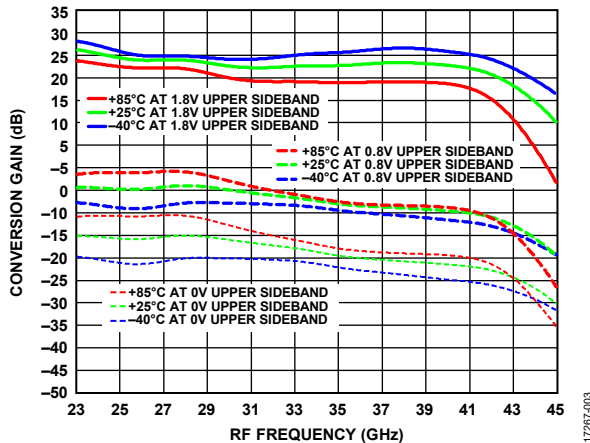


図 4. 様々な温度での 3 種類のゲイン設定の変換ゲインと RF 周波数 (f_{RF}) の関係 (f_{BB} = 100MHz、上側波帯)

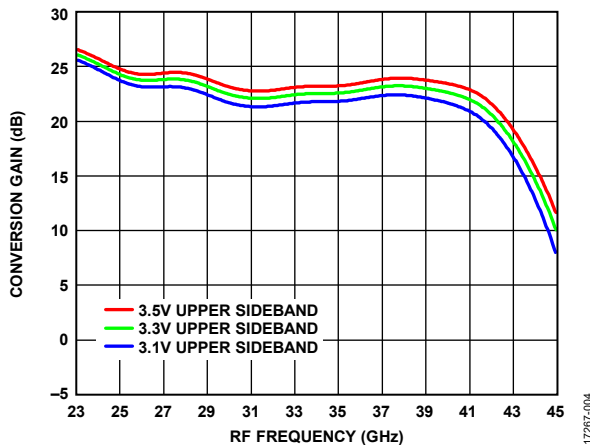


図 5. 様々な電源電圧での変換ゲインと RF 周波数の関係 (f_{BB} = 100MHz、上側波帯)

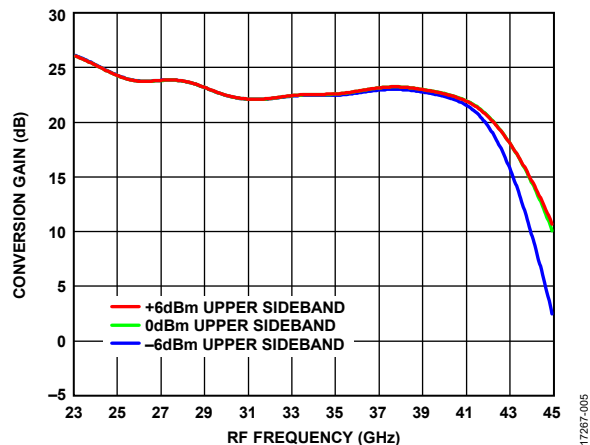


図 6. 様々な LO 入力での変換ゲインと RF 周波数の関係 (f_{BB} = 100MHz、上側波帯)

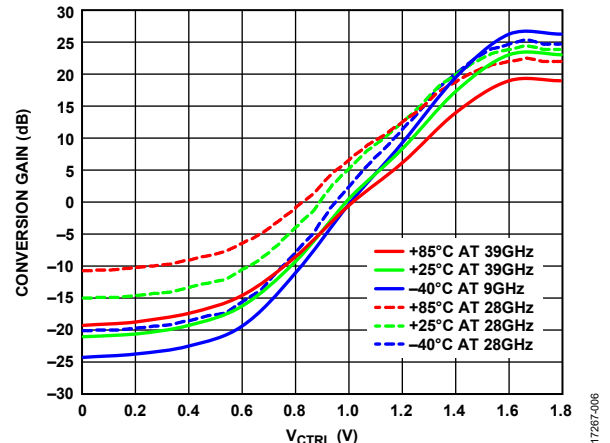


図 7. 様々な温度での f_{RF} = 28GHz および 39GHz における変換ゲインと V_{CTRL} の関係 (f_{BB} = 100MHz)

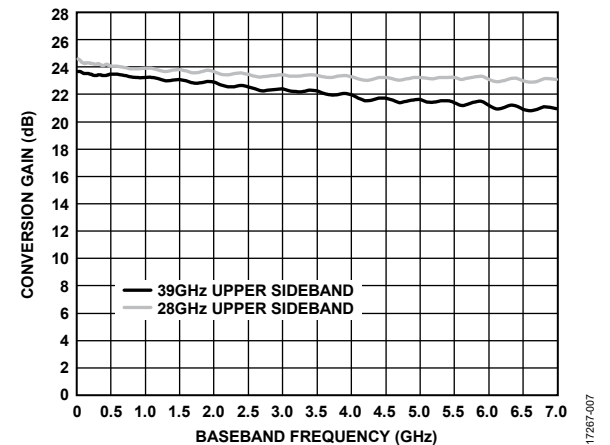


図 8. f_{RF} = 28GHz および 39GHz における変換ゲインとベースバンド周波数の関係 (上側波帯)

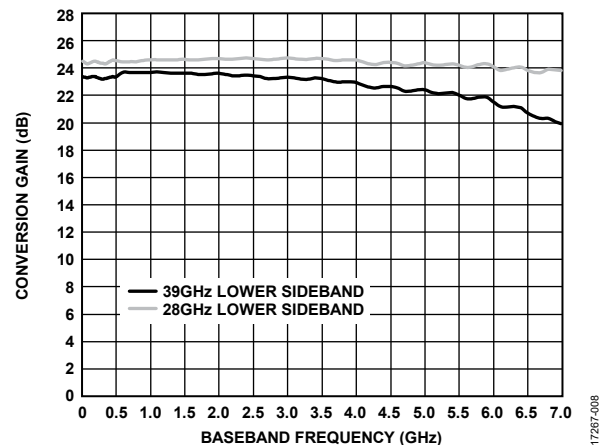


図 9. f_{RF} = 28GHz および 39GHz における変換ゲインとベースバンド周波数の関係 (下側波帯)

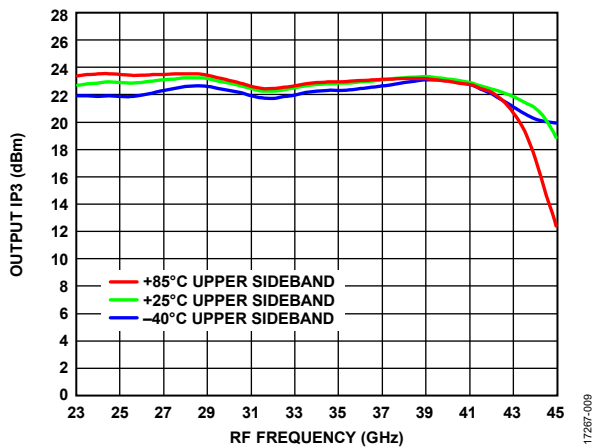


図 10. 様々な温度での最大ゲイン時の出力 IP3 と RF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{BB} = 100\text{MHz}$ 、上側波帯)

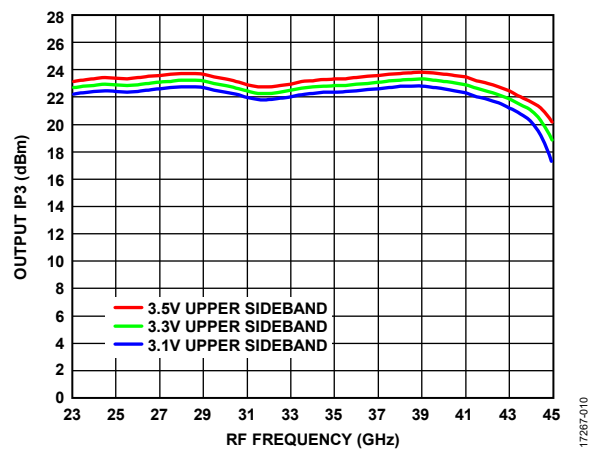


図 11. 様々な電源電圧での最大ゲイン時の出力 IP3 と RF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{BB} = 100\text{MHz}$ 、上側波帯)

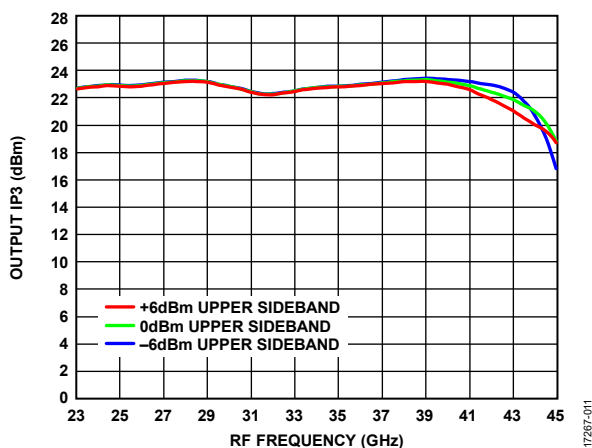


図 12. 様々な LO 入力での最大ゲイン時の出力 IP3 と RF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{BB} = 100\text{MHz}$ 、上側波帯)

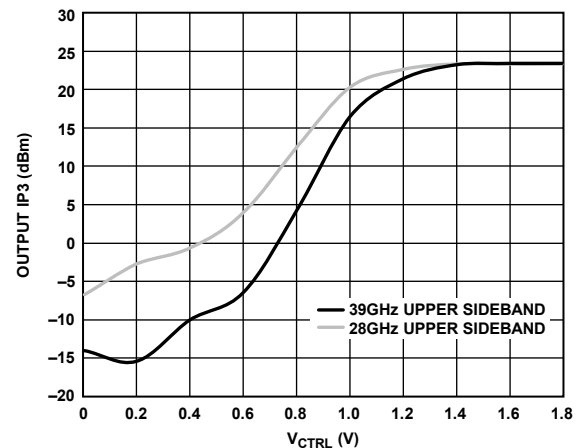


図 13. 出力 IP3 と V_{CTRL} の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{BB} = 100\text{MHz}$ 、 $f_{RF} = 28\text{GHz}$ および 39GHz、上側波帯)

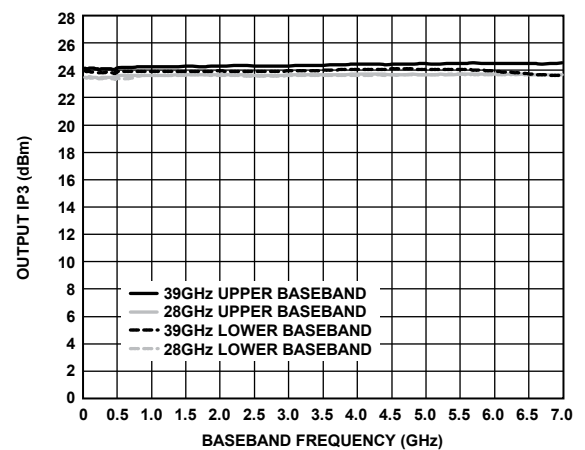


図 14. 最大ゲイン時の $f_{RF} = 28\text{GHz}$ および 39GHz における出力 IP3 とベースバンド周波数の関係、(RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、上側波帯および下側波帯)

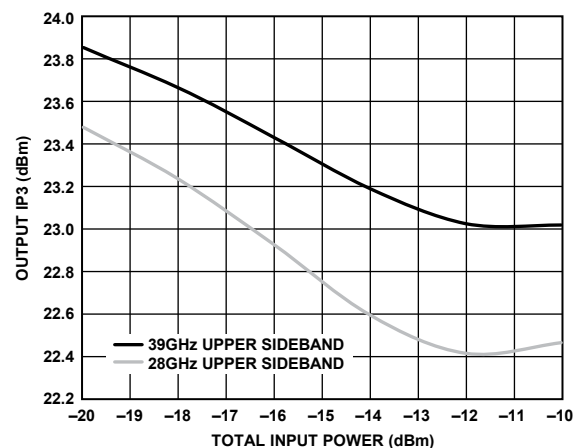


図 15. 20MHz 間隔時の出力 IP3 と合計入力電力の関係 ($f_{BB} = 100\text{MHz}$ 、 $f_{RF} = 28\text{GHz}$ および 39GHz、上側波帯)

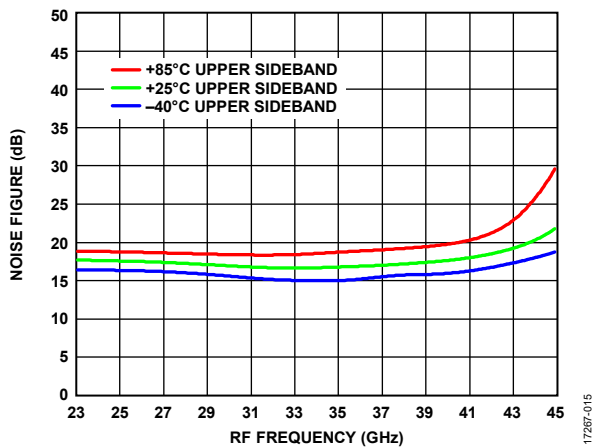


図 16. 様々な温度での最大ゲイン時のノイズ指数と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

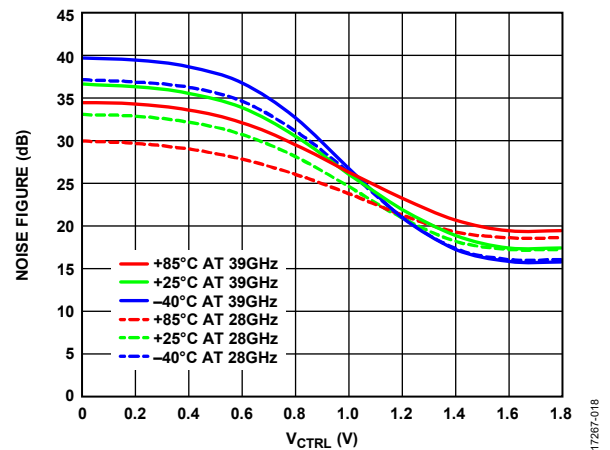


図 19. 様々な温度での $f_{RF} = 28\text{GHz}$ および 39GHz におけるノイズ指数と V_{CTRL} の関係 ($f_{BB} = 100\text{MHz}$)

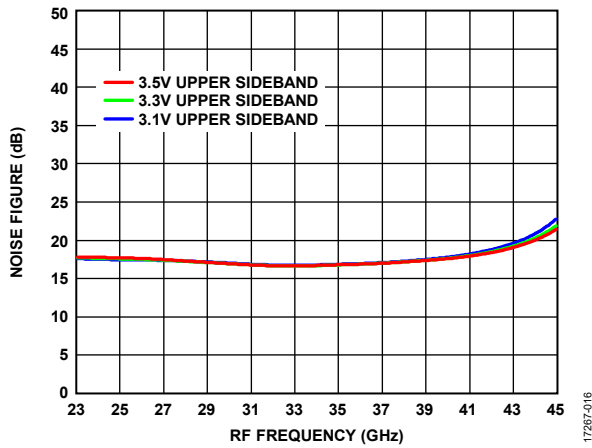


図 17. 様々な電源電圧でのノイズ指数と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

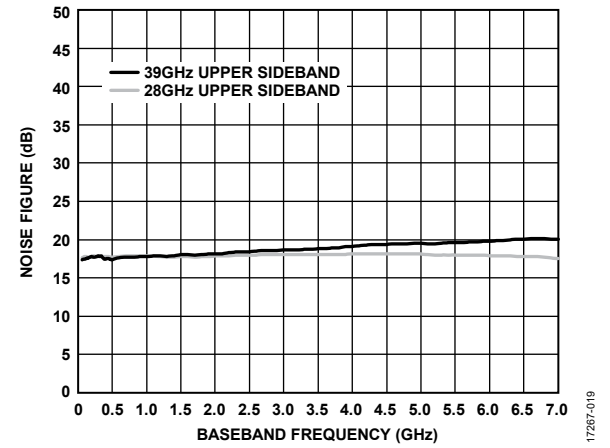


図 20. $f_{RF} = 28\text{GHz}$ および 39GHz におけるノイズ指数とベースバンド周波数の関係 (上側波帯)

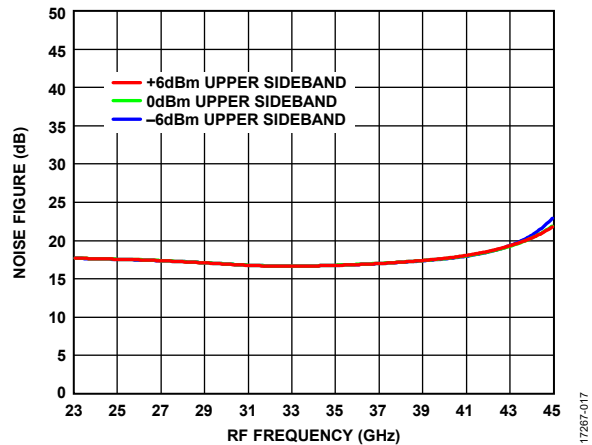


図 18. 様々な LO 入力でのノイズ指数と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

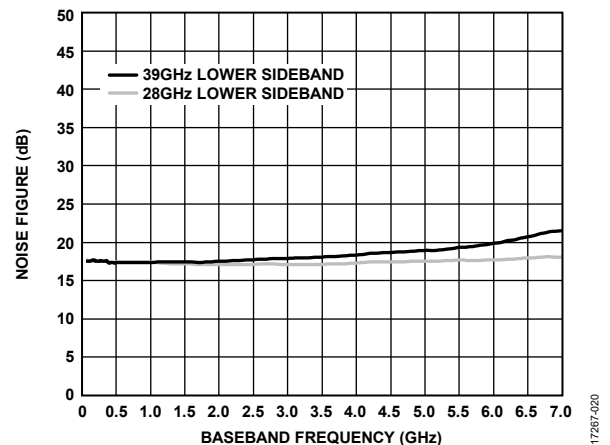


図 21. $f_{RF} = 28\text{GHz}$ および 39GHz におけるノイズ指数とベースバンド周波数の関係 (下側波帯)

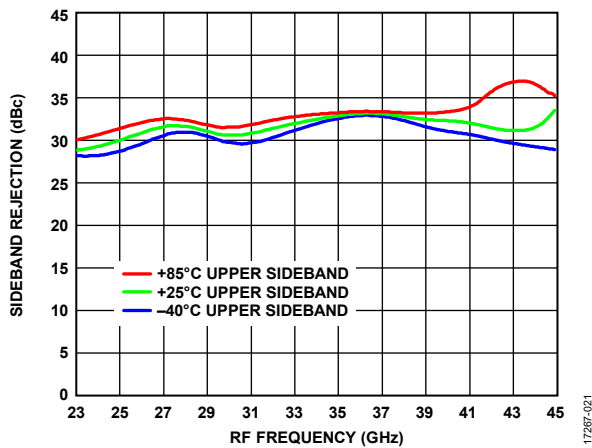


図 22. 様々な温度での最大ゲイン時のサイドバンド除去比と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

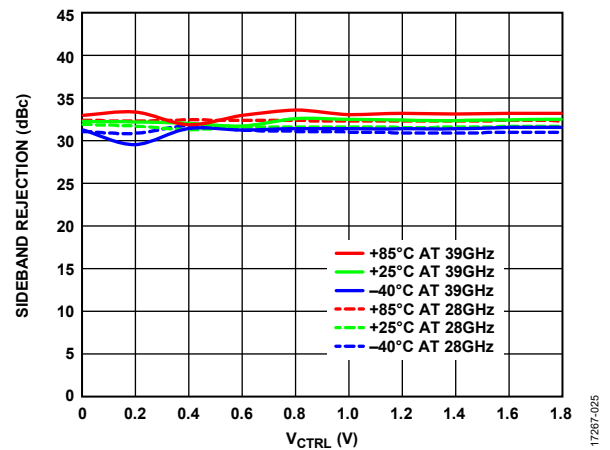


図 25. 様々な温度での $f_{RF} = 28\text{GHz}$ および 39GHz におけるサイドバンド除去比と V_{CTRL} の関係 ($f_{BB} = 100\text{MHz}$)

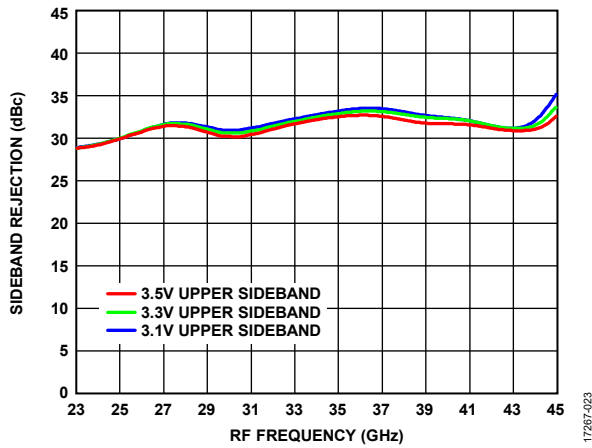


図 23. 様々な電源電圧でのサイドバンド除去比と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

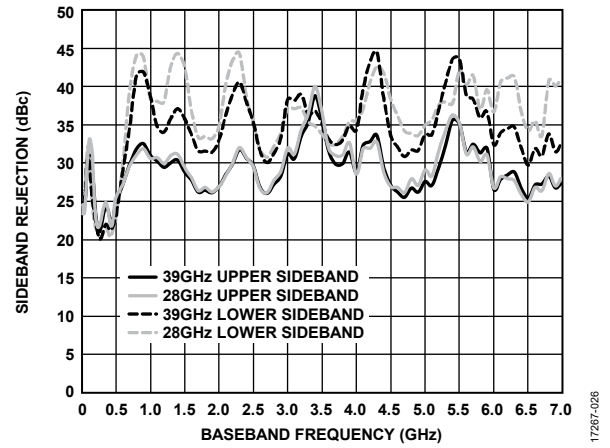


図 26. $f_{RF} = 28\text{GHz}$ および 39GHz におけるサイドバンド除去比とベースバンド周波数の関係 (上側波帯および下側波帯)

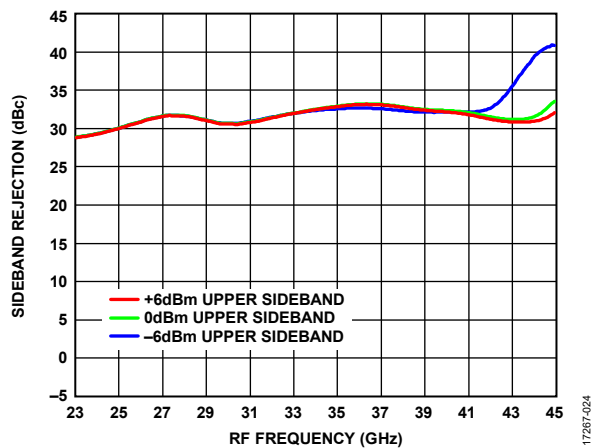


図 24. 様々な LO 入力でのサイドバンド除去比と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

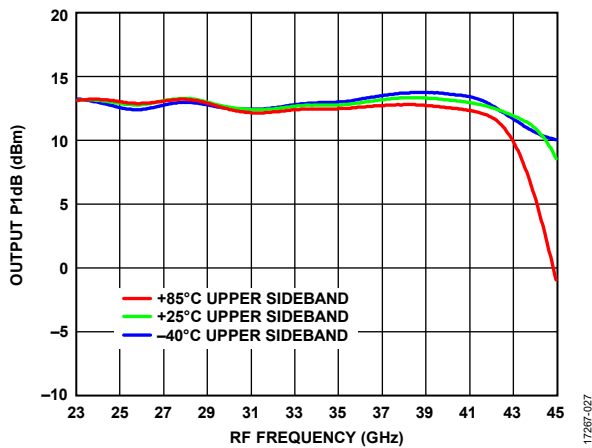


図 27. 様々な温度での最大ゲイン時の出力 P1dB と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

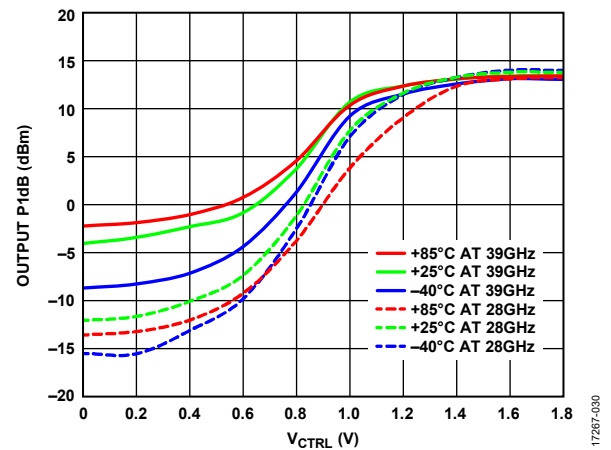


図 30. 様々な温度での $f_{RF} = 28\text{GHz}$ および 39GHz における出力 P1dB と V_{CTRL} の関係 ($f_{BB} = 100\text{MHz}$)

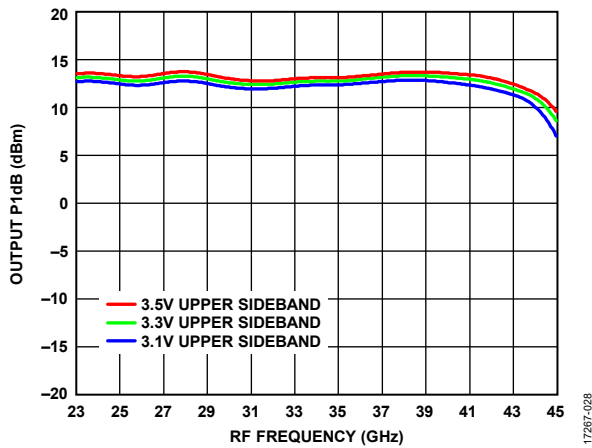


図 28. 様々な電源電圧での出力 P1dB と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

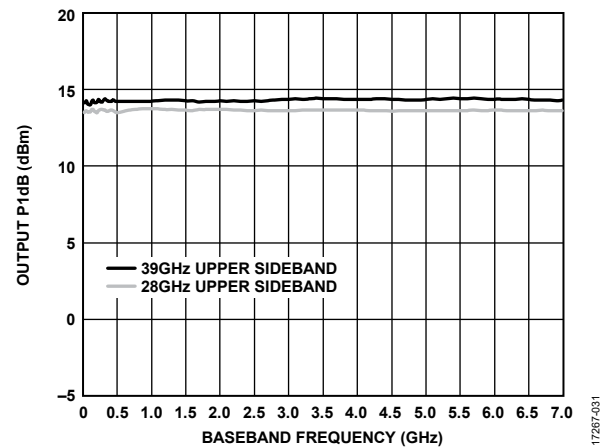


図 31. $f_{RF} = 28\text{GHz}$ および 39GHz における出力 P1dB とベースバンド周波数の関係 (上側波帯)

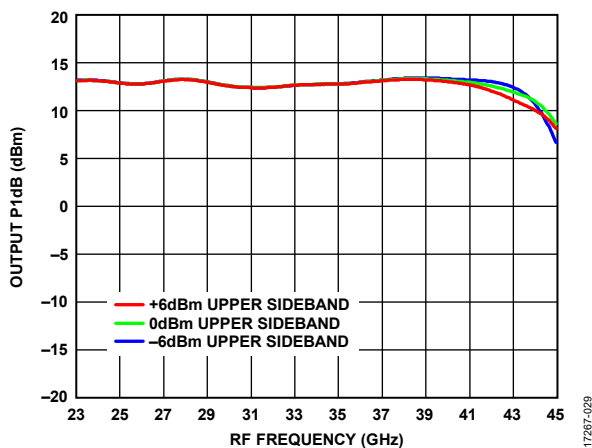


図 29. 様々な LO 入力での出力 P1dB と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$ 、上側波帯)

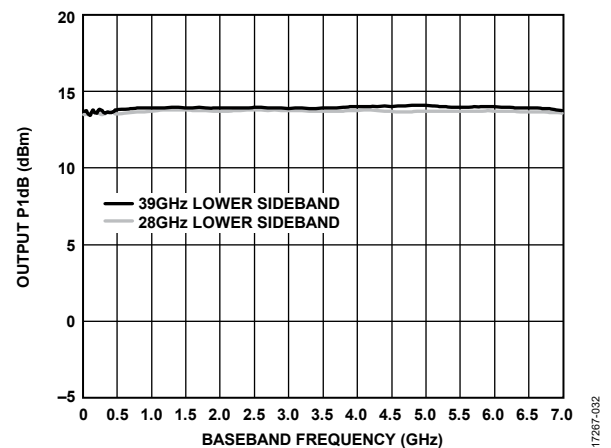


図 32. $f_{RF} = 28\text{GHz}$ および 39GHz における出力 P1dB とベースバンド周波数の関係 (下側波帯)

IF モード

特に指定のない限り、IF 振幅 = -20dBm、VCC_DRV = VCC2_DRV = VCC_AMP2 = VCC_ENV = VCC_AMP1 = VCC_BG2 = VCC_MIXER = VCC_BG = VCC_QUAD = 3.3V、DVDD = VCC_VVA = 1.8V、T_A = 25°C、レジスタ 0x0A を 0xE700 に設定。VCTRL1 = VCTRL2。VCTRL は VCTRL1 ピンと VCTRL2 ピンの減衰電圧。特に指定のない限り、VCTRL = 1800mV。

IF モードでの測定は、90°ハイブリッド、レジスタ 0x03 のビット 7 = 1、f_{IF} = 3.5GHz で実行。

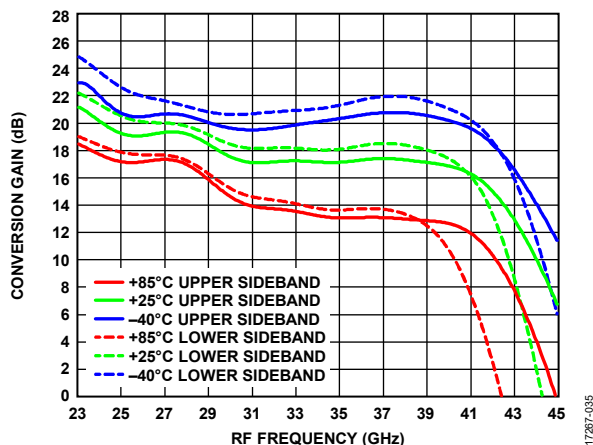


図 33. 様々な温度での最大ゲイン時の変換ゲインと RF 周波数の関係 (f_{IF} = 3.5GHz、上側波帯および下側波帯)

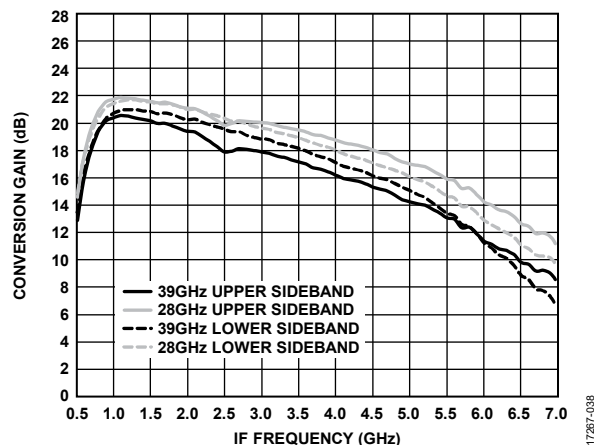


図 36. f_{RF} = 28GHz および 39GHz における変換ゲインと IF 周波数の関係 (上側波帯および下側波帯)

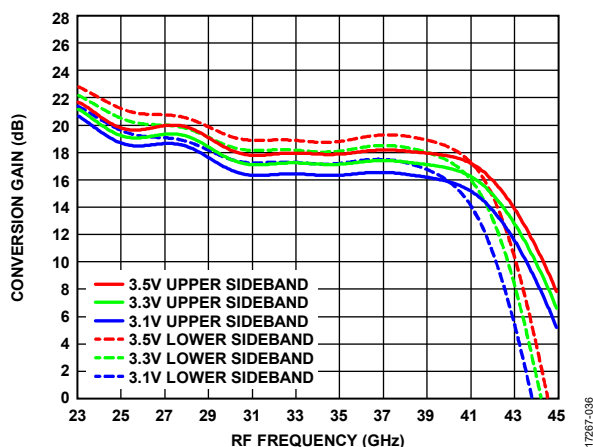


図 34. 様々な電源電圧での変換ゲインと RF 周波数の関係 (f_{IF} = 3.5GHz、上側波帯および下側波帯)

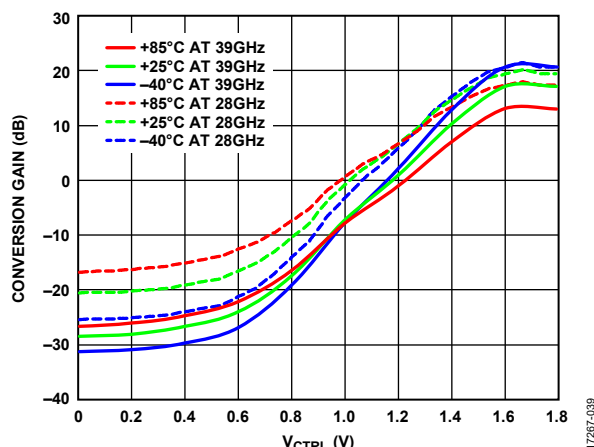


図 37. 様々な温度での f_{RF} = 28GHz および 39GHz における変換ゲインと VCTRL の関係 (f_{IF} = 3.5GHz、上側波帯)

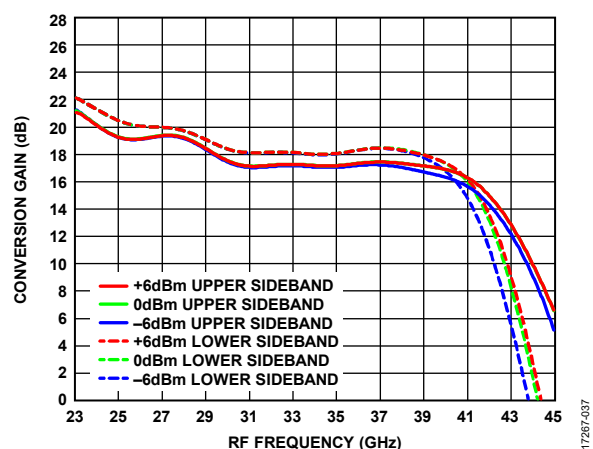


図 35. 様々な LO 入力での変換ゲインと RF 周波数の関係 (f_{IF} = 3.5GHz、上側波帯および下側波帯)

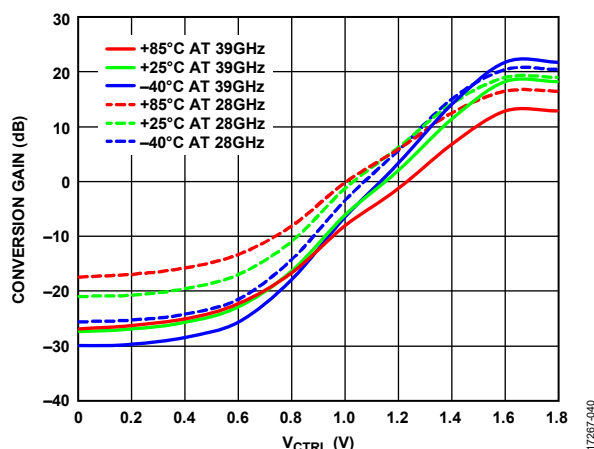


図 38. 様々な温度での f_{RF} = 28GHz および 39GHz における変換ゲインと VCTRL の関係 (f_{IF} = 3.5GHz、下側波帯)

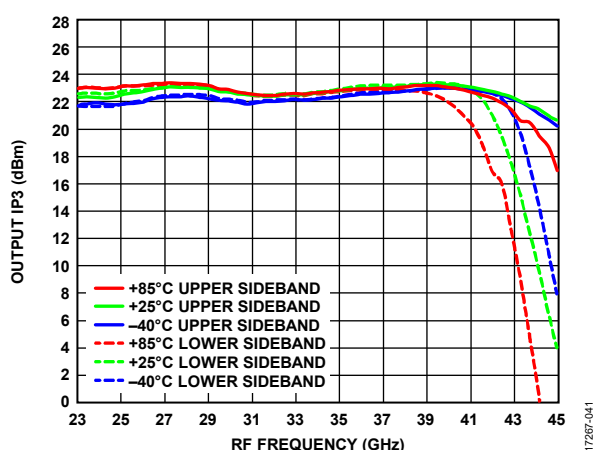


図 39. 様々な温度での最大ゲイン時の出力 IP3 と RF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

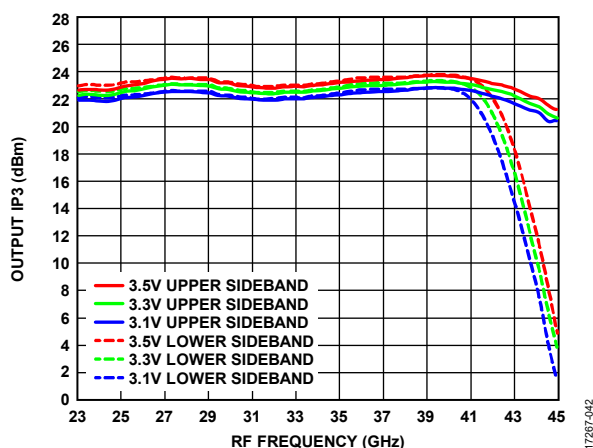


図 40. 様々な電源電圧での最大ゲイン時の出力 IP3 と RF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

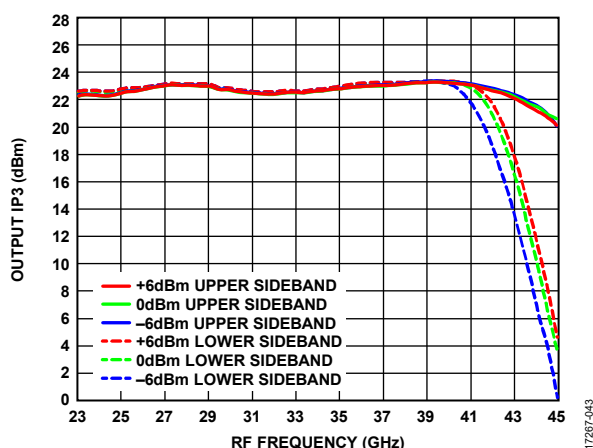


図 41. 様々な LO 入力での最大ゲイン時の出力 IP3 と RF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

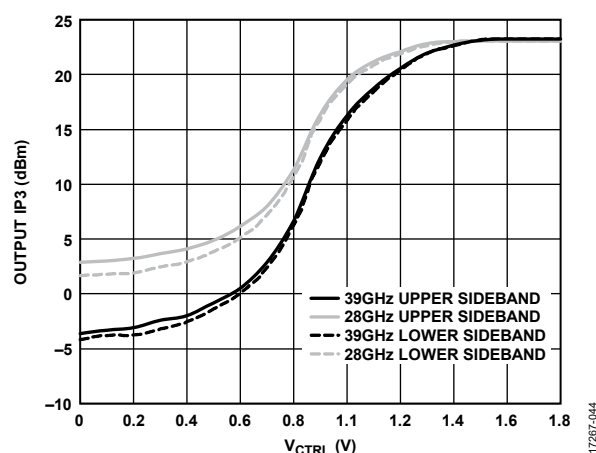


図 42. $f_{RF} = 28\text{GHz}$ および 39GHz における出力 IP3 と V_{CTRL} の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

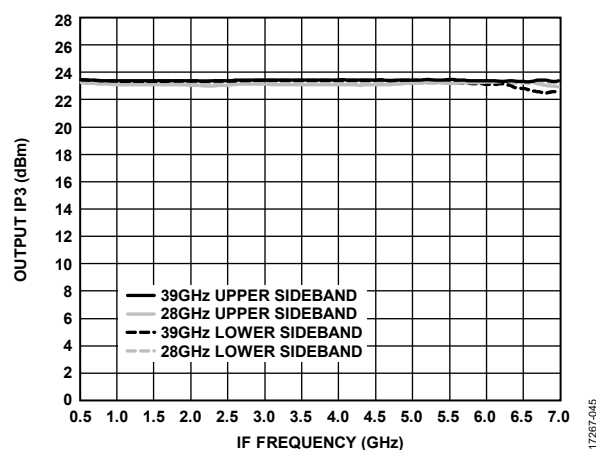


図 43. 最大ゲイン時の $f_{RF} = 28\text{GHz}$ および 39GHz における出力 IP3 と IF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、上側波帯および下側波帯)

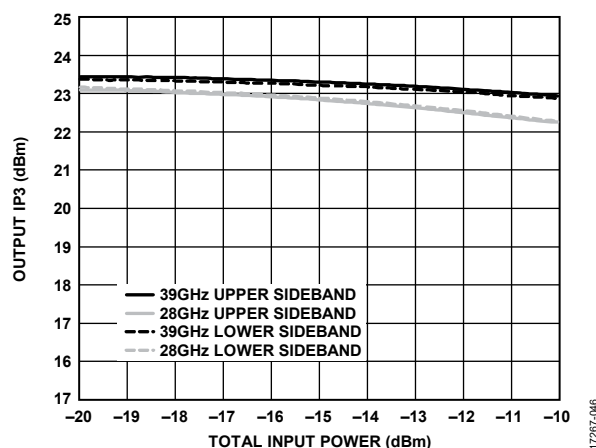


図 44. $f_{RF} = 28\text{GHz}$ および 39GHz における 20MHz 間隔時の出力 IP3 と合計入力電力の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

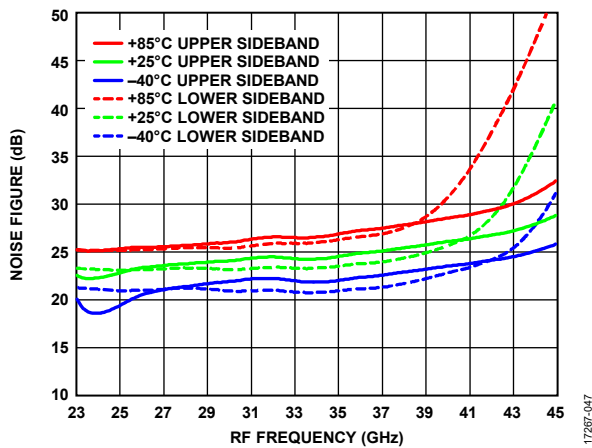


図 45. 様々な温度での最大ゲイン時のノイズ指数と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下測波帯)

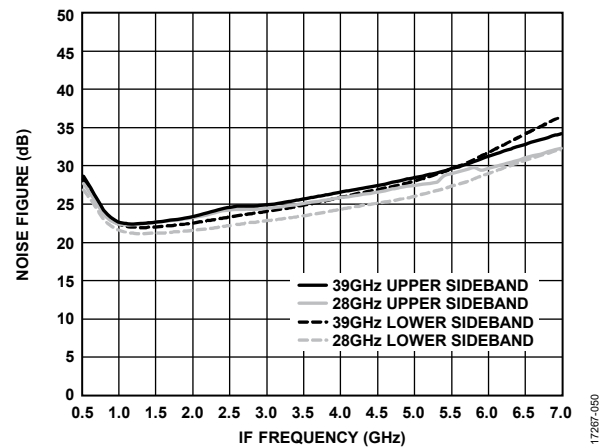


図 48. 最大ゲイン時の $f_{RF} = 28\text{GHz}$ および 39GHz におけるノイズ指数と IF 周波数の関係 (上側波帯および下測波帯)

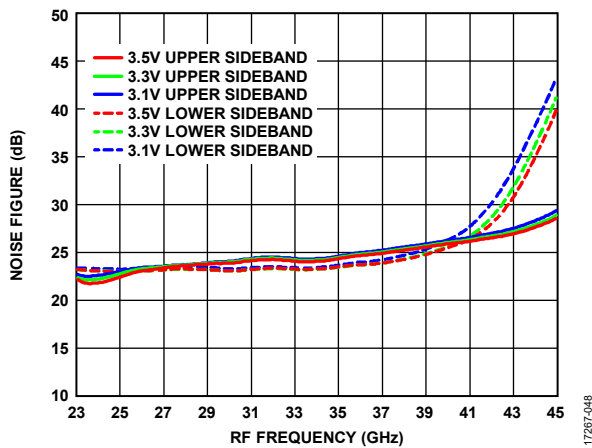


図 46. 様々な電源電圧での最大ゲイン時のノイズ指数と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下測波帯)

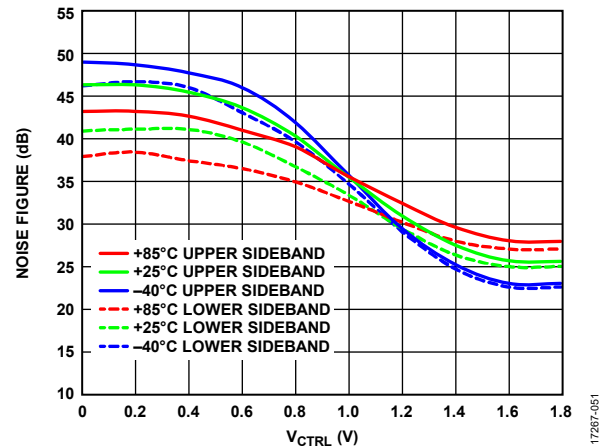


図 49. 様々な温度でのノイズ指数と V_{CTRL} の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下測波帯)

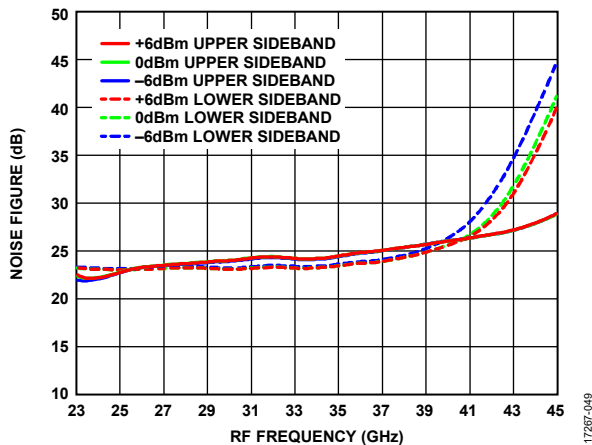


図 47. 様々な LO 入力での最大ゲイン時のノイズ指数と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下測波帯)

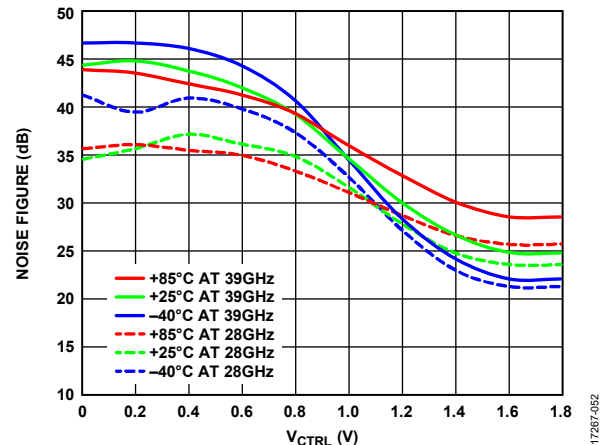


図 50. 様々な温度での $f_{RF} = 28\text{GHz}$ および 39GHz におけるノイズ指数と V_{CTRL} の関係 ($f_{IF} = 3.5\text{GHz}$ 、下測波帯)

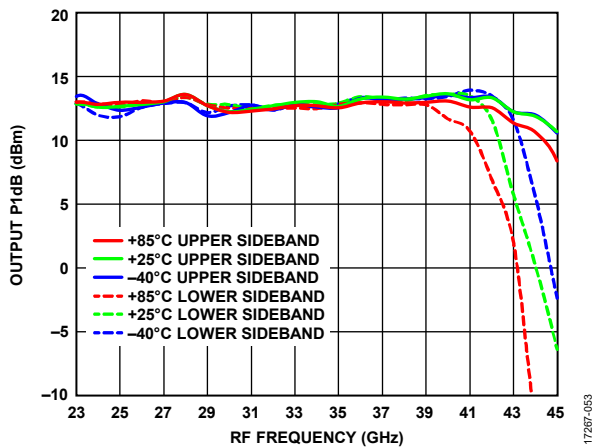


図 51. 様々な温度での最大ゲイン時の出力 P1dB と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$, 上側波帯および下側波帯)

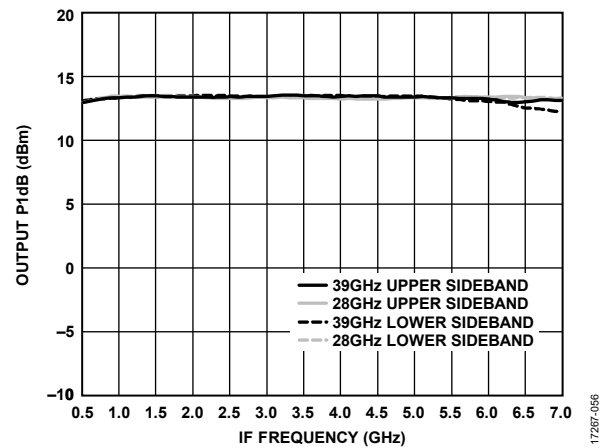


図 54. 最大ゲイン時の $f_{RF} = 28\text{GHz}$ および 39GHz における出力 P1dB と IF 周波数の関係 (上側波帯および下側波帯)

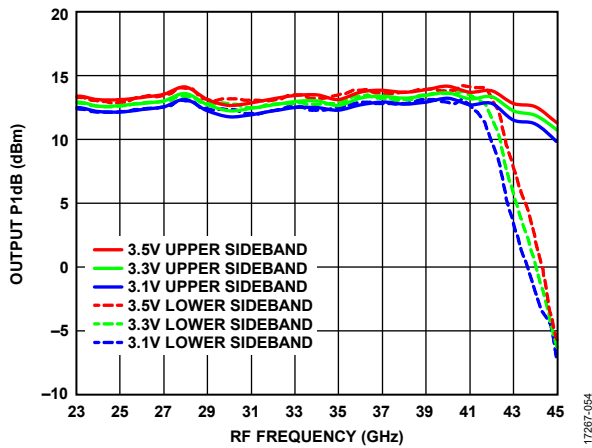


図 52. 様々な電源電圧での出力 P1dB と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$, 上側波帯および下側波帯)

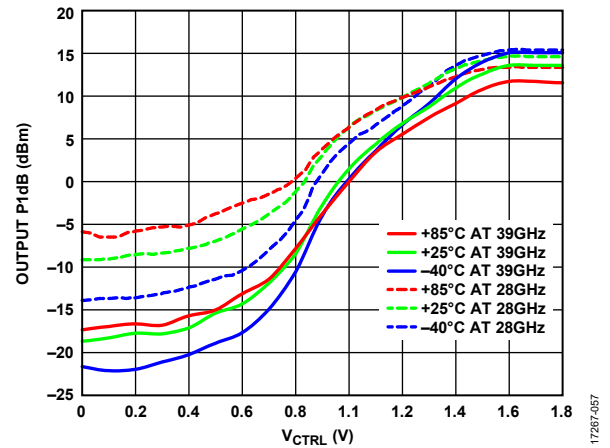


図 55. 様々な温度での $f_{RF} = 28\text{GHz}$ および 39GHz における出力 P1dB と V_{CTRL} の関係 ($f_{IF} = 3.5\text{GHz}$, 上側波帯)

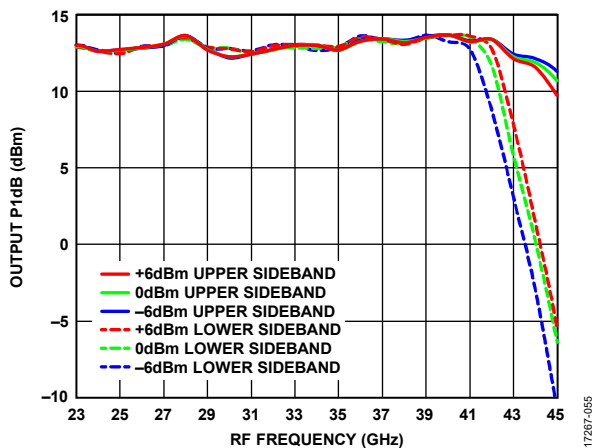


図 53. 様々な LO 入力での最大ゲイン時の出力 P1dB と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$, 上側波帯および下側波帯)

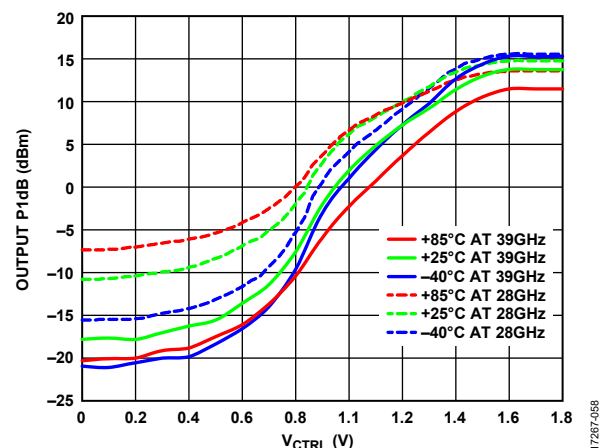


図 56. 様々な温度での $f_{RF} = 28\text{GHz}$ および 39GHz における出力 P1dB と V_{CTRL} の関係 ($f_{IF} = 3.5\text{GHz}$, 下側波帯)

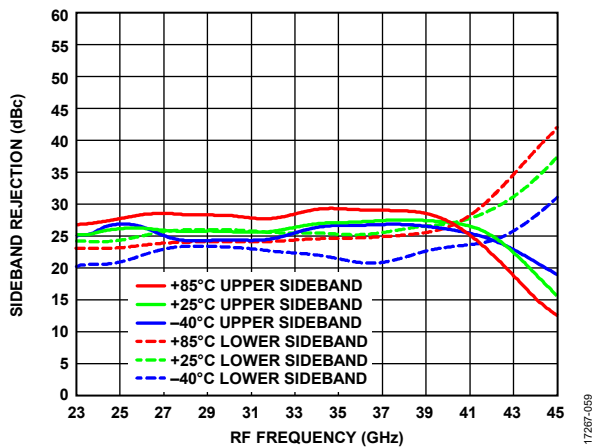


図 57. 様々な温度での最大ゲイン時のサイドバンド除去比と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、未補正、上側波帯および下側波帯)

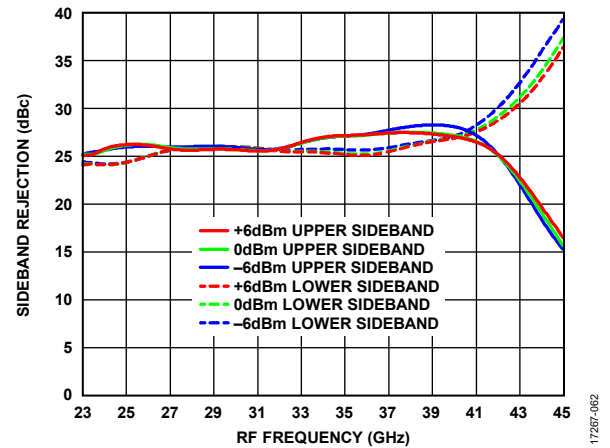


図 60. 様々な LO 入力での最大ゲイン時のサイドバンド除去比と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

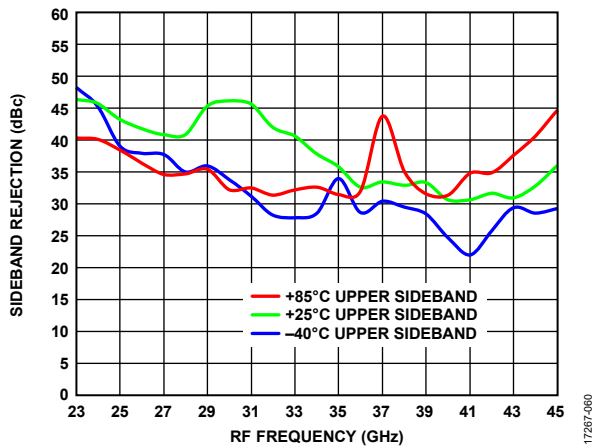


図 58. 様々な温度での最大ゲイン時のサイドバンド除去比と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、25°C で補正、上側波帯)

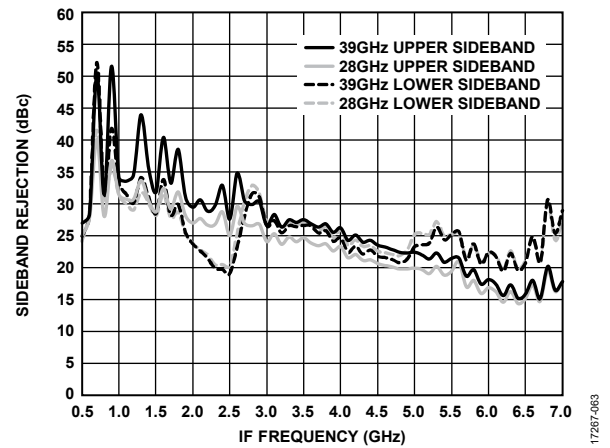


図 61. 最大ゲイン時の $f_{RF} = 28\text{GHz}$ および 39GHz における サイドバンド除去比と IF 周波数の関係 (上側波帯および下側波帯)

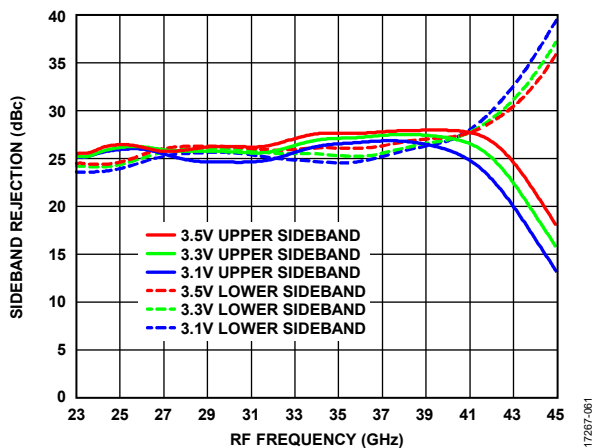


図 59. 様々な電源電圧での最大ゲイン時のサイドバンド除去比と RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

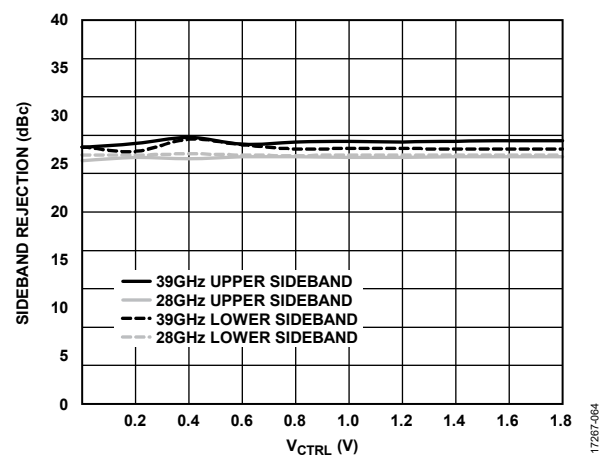


図 62. $f_{RF} = 28\text{GHz}$ および 39GHz におけるサイドバンド除去比と V_{CTRL} の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯および下側波帯)

エンベロープ・ディテクタの性能

特に指定のない限り、IF および I/Q 振幅 = -20dBm、VCC_DRV = VCC2_DRV = VCC_AMP2 = VCC_ENV = VCC_AMP1 = VCC_BG2 = VCC_MIXER = VCC_BG = VCC_QUAD = 3.3V、DVDD = VCC_VVA = 1.8V、T_A = 25°C、レジスタ 0x0A を 0xE700 に設定。

IF モードでの測定は、90°ハイブリッド、レジスタ 0x03 のビット 7 = 1、f_{IF} = 3.5GHz で実行。

特に指定のない限り、I/Q モードでの測定は、I チャンネルと Q チャンネルの性能を複合、V_{CM} = 0V、レジスタ 0x03 のビット 7 = 0、レジスタ 0x05 のビット [6:0] = 0x051 で実行。I/Q f_{BB} = 100MHz。

VCTRL1 = VCTRL2。VCTRL は VCTRL1 ピンと VCTRL2 ピンの減衰電圧。特に指定のない限り、VCTRL = 1800mV。

エンベロープ・ディテクタ測定はレジスタ 0x03 のビット 5 = 1 の設定で実行しています。

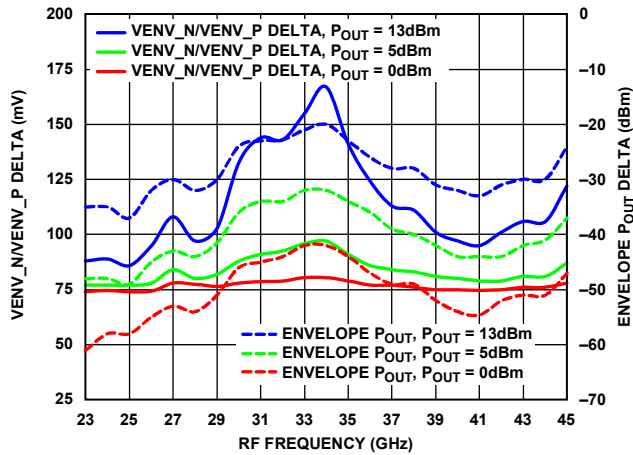


図 63. 様々な出力電力レベルでの VENV_N/ENV_P Delta と RF 周波数の関係 (エンベロープ周波数 = 100MHz、VCTRL = 1800mV、T_A = 25°C、LO = 0dBm、IF = 2GHz、上側波帯)

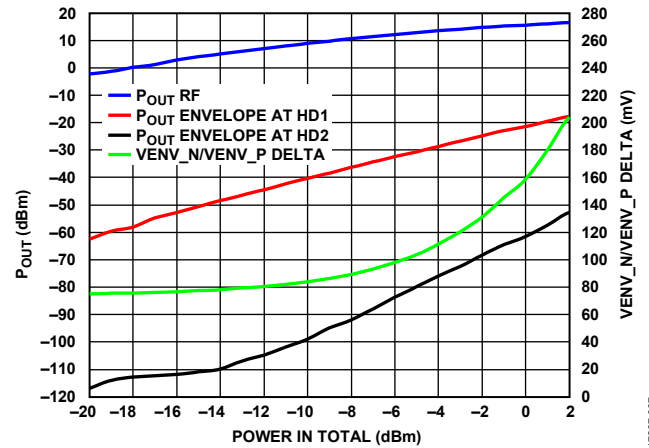


図 65. POUT RF、POUT エンベロープ HD1、POUT エンベロープ HD2、VENV_N/ENV_P Delta に対する POUT および VENV_N/ENV_P Delta と合計入力電力の関係 (100MHz 間隔のツー・トーンで測定、f_{RF} = 28GHz、VCTRL = 1800mV)

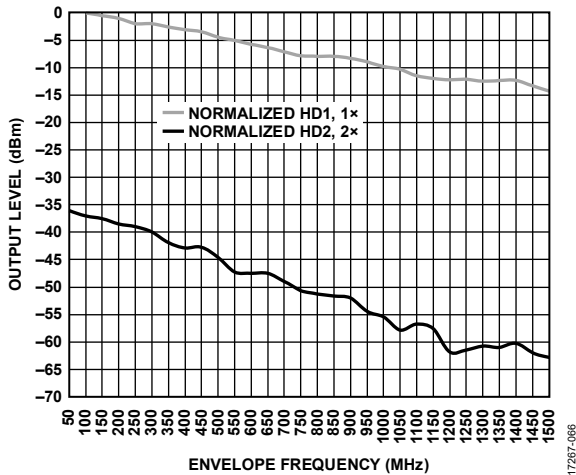


図 64. 正規化高調波歪み 1x (HD1) と正規化高調波歪み 2x (HD2) に対する出力レベルとエンベロープ周波数の関係 (f_{RF} = 28GHz、LO = 0dBm (25°C)、HD1 および HD2 の測定はエンベロープ周波数に等しい間隔のツー・トーンで実行、HD2 は 50MHz の HD1 レベルに対して正規化)

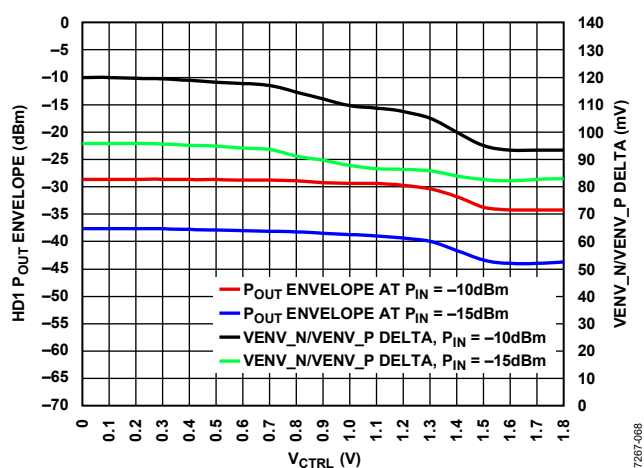


図 66. 様々な合計入力電力 (P_{IN}) レベルでの HD1 P_{OUT} エンベロープおよび $VENV_N/VENV_P$ Delta と V_{CTRL} の関係 (100MHz 間隔のツー・トーンで測定、周波数は 28GHz)

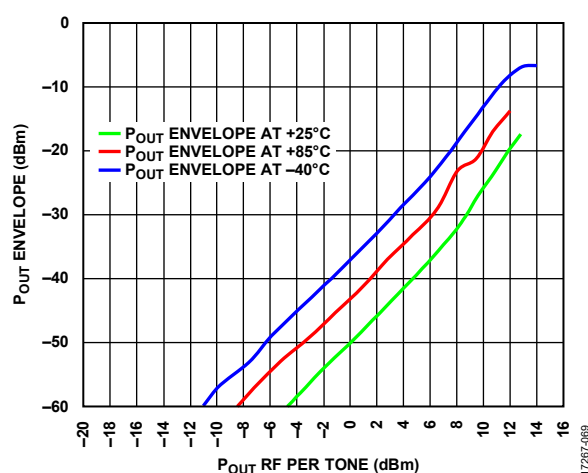


図 67. 様々な温度での $f_{RF} = 33\text{GHz}$ における P_{OUT} エンベロープとトーンあたり P_{OUT} RF の関係 (測定は $IF = 3.5\text{GHz}$ とし、100MHz 間隔のツー・トーンで測定、 $V_{CTRL} = 1800\text{mV}$)

リターン損失

特に指定のない限り、IF および I/Q 振幅 = -20dBm、VCC_DRV = VCC2_DRV = VCC_AMP2 = VCC_ENV = VCC_AMP1 = VCC_BG2 = VCC_MIXER = VCC_BG = VCC_QUAD = 3.3V、DVDD = VCC_VVA = 1.8V、T_A = 25°C、レジスタ 0x0A を 0xE700 に設定。

IF モードでの測定は、90°ハイブリッド、レジスタ 0x03 のビット 7 = 1、f_{IF} = 3.5GHz で実行。

特に指定のない限り、I/Q モードでの測定は、I チャンネルと Q チャンネルの性能を複合、V_{CM} = 0V、レジスタ 0x03 のビット 7 = 0、レジスタ 0x05 のビット [6:0] = 0x051 で実行。I/Q f_{BB} = 100MHz。

VCTRL1 = VCTRL2。VCTRL は VCTRL1 ピンと VCTRL2 ピンの減衰電圧。特に指定のない限り、VCTRL = 1800mV。

エンベロープ・ディテクタ測定はレジスタ 0x03 のビット 5 = 1 の設定で実行しています。

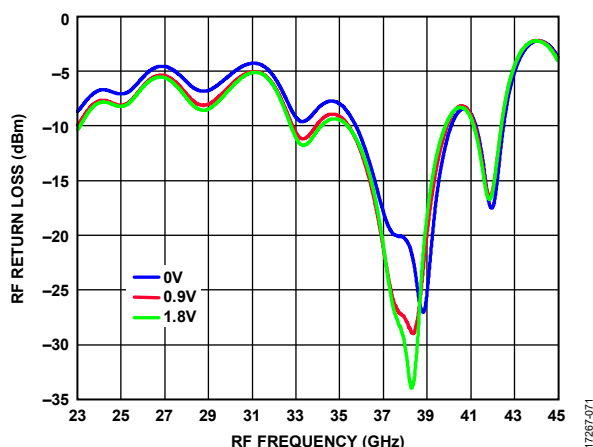


図 68. 様々な V_{CTRL} 電圧における RF リターン損失と RF 周波数の関係

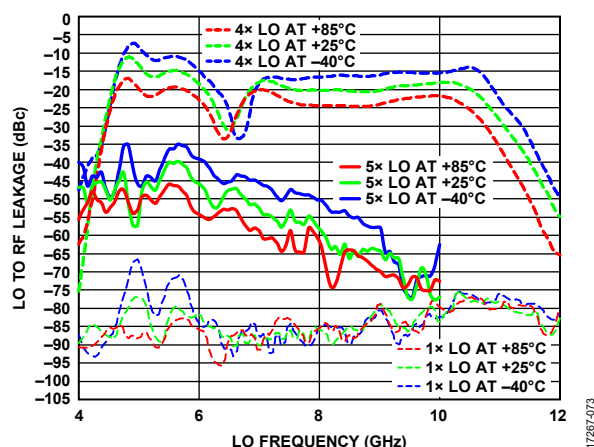


図 70. 様々な温度での 4x LO、5x LO、1x LO に対する LO/RF リークと LO 周波数の関係 (未補正)

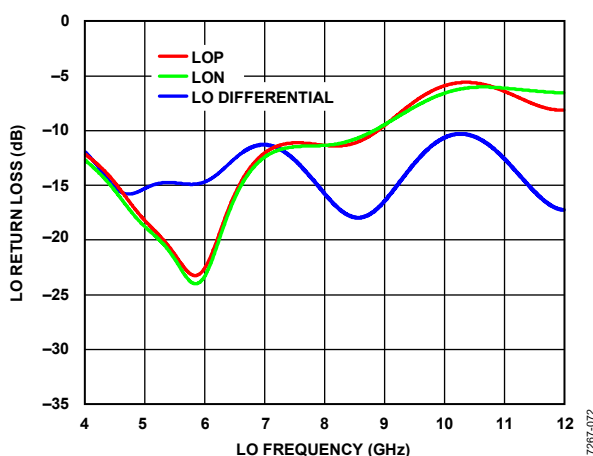


図 69. LO リターン損失と LO 周波数の関係

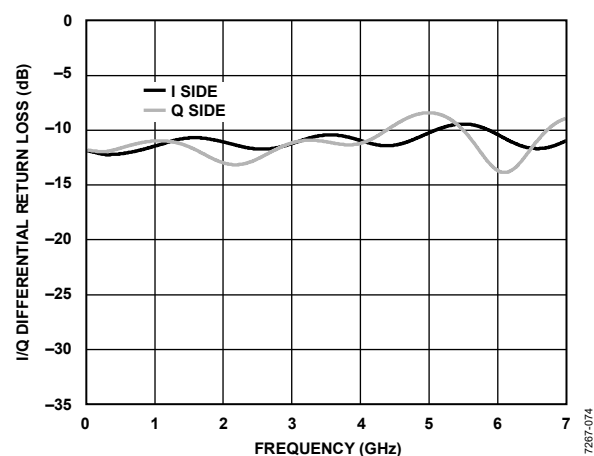


図 71. I/Q 差動リターン損失と周波数の関係 (ハイブリッドやバランを使用せずに測定)

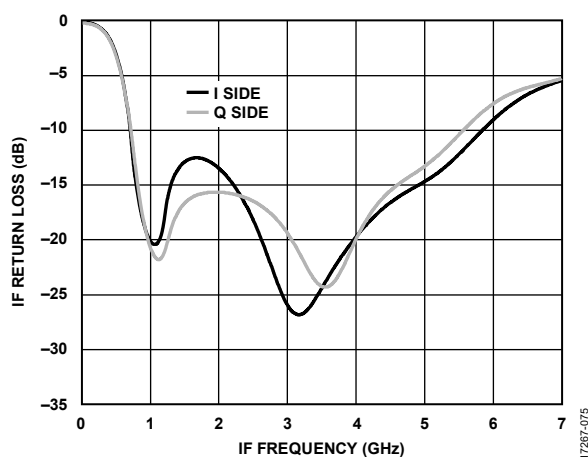


図 72. IF リターン損失と IF 周波数の関係
(ハイブリッドを使用せずに測定)

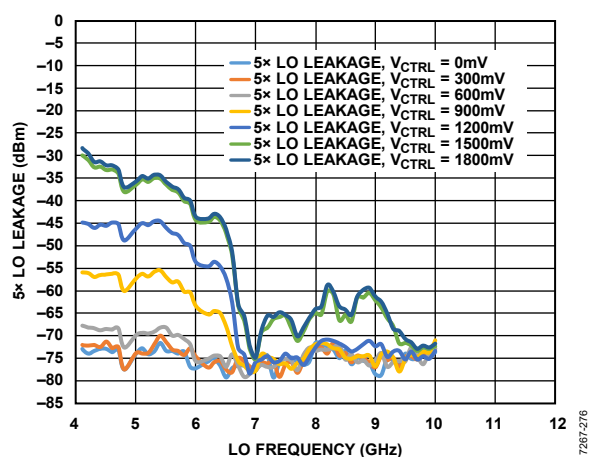


図 75. 様々な V_{CTRL} 設定での 5x LO リークと LO 周波数の関係
(未補正)

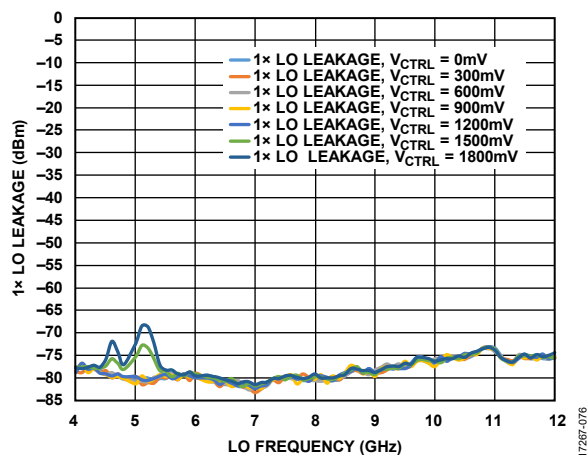


図 73. 様々な V_{CTRL} 設定での 1x LO リークと LO 周波数の関係
(未補正)

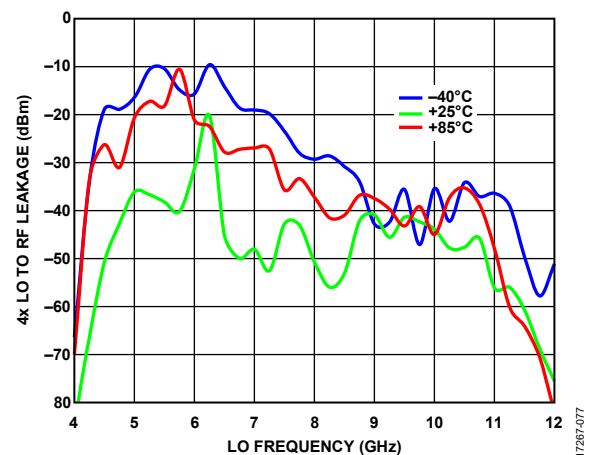


図 76. 様々な温度での 4x LO/RF リークと LO 周波数の関係
(補正済み)

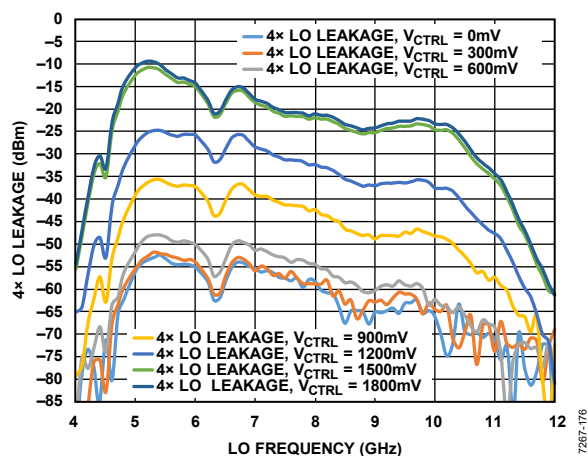


図 74. 様々な V_{CTRL} 設定での 4x LO リークと LO 周波数の関係
(未補正)

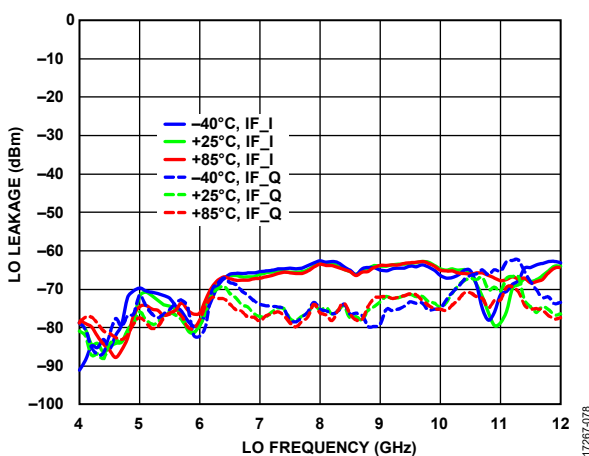


図 77. 様々な温度での IF_I および IF_Q に対する LO リークと LO 周波数の関係 (ハイブリッドを使用せずに測定)

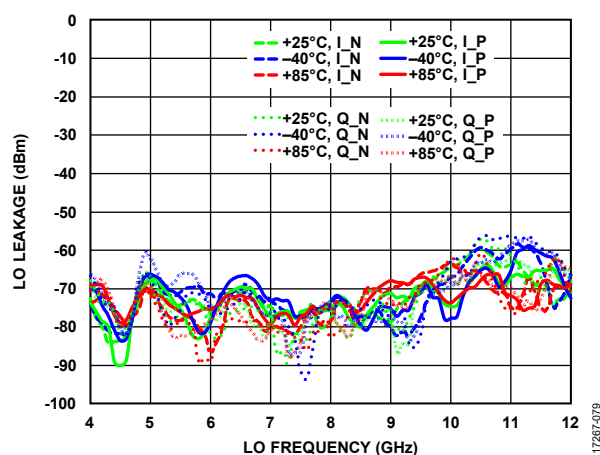


図 78. 様々な温度での I_N、I_P、Q_N、Q_P に対する LO リークと LO 周波数の関係
(ハイブリッドを使用せずに測定)

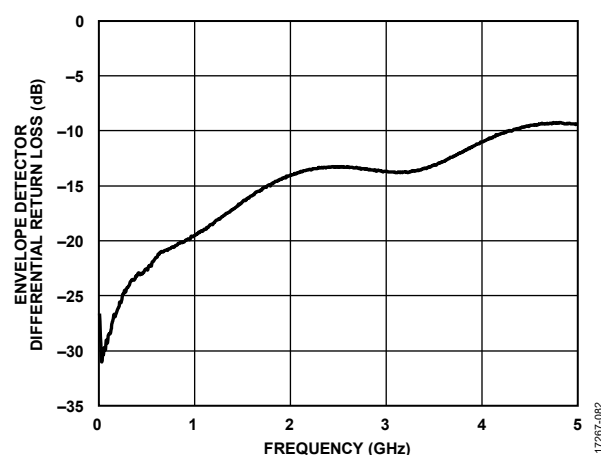


図 80. エンベロープ・ディテクタ差動リターン損失と周波数の関係

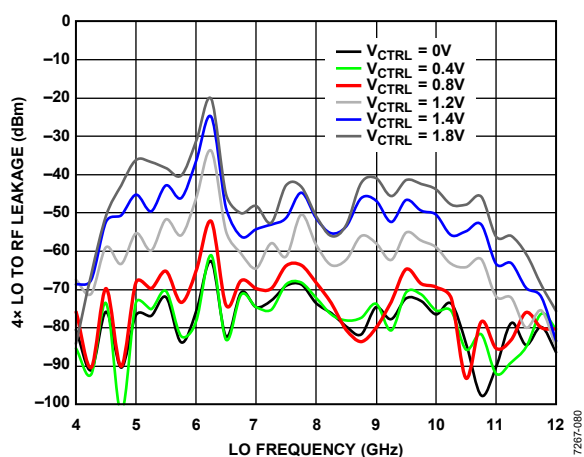


図 79. 様々な V_{CTRL} での 4x LO/RF リークと LO 周波数の関係
(補正済み)

M × N スプリアス性能

ミキサのスプリアス積は、RF 出力パワー・レベルをどれだけ下回るかを dBc 単位で測定しています。スプリアス周波数は次式で計算されます。

$$|(M \times IF) + (N \times LO)|$$

N/A は、該当なしを表します。スプリアス性能の表中、空欄は周波数が 50GHz を上回り測定されないことを示します。REF はリファレンスの RF 出力信号を意味します。

LO 周波数は ADMV1013 に印加された周波数に起因するものです。IF 振幅および IQ 振幅は -20dBm です。

特に指定のない限り、VCC_DRV = VCC2_DRV = VCC_AMP2 = VCC_ENV = VCC_AMP1 = VCC_BG2 = VCC_MIXER = VCC_BG = VCC_QUAD = 3.3V、DVDD = VCC_VVA = 1.8V、T_A = 25°C で、レジスタ 0x0A を 0xE700 に設定しています。

IF モードでの測定は、90°ハイブリッド、レジスタ 0x03 のビット 7 = 1、f_{IF} = 3.5GHz で実行しています。

特に指定のない限り、I/Q モードでの測定は、I チャンネルと Q チャンネルの性能を複合し、V_{CM} = 0V、レジスタ 0x03 のビット 7 = 0、レジスタ 0x05 のビット [6:0] = 0x051 で実行しています。I/Q f_{BB} は 100MHz です。

VCTRL1 = VCTRL2 で、V_{CTRL} は VCTRL1 ピンと VCTRL2 ピンの減衰電圧です。特に指定のない限り、V_{CTRL} は 1800mV です。

I/Q モード

f_{BB} = 100MHz (−20dBm)、LO = 6.975GHz (+6dBm)。

		N × LO							
		0	1	2	3	4	5	6	7
M × RF	−2	93	105	103	122	79	109	89	108
	−1	93	95	85	57	26	65	53	110
	0	N/A	80	72	53	20	61	35	73
	+1	93	96	74	32	REF	41	37	84
	+2	93	107	86	91	57	89	91	83

f_{BB} = 100MHz (−20dBm)、LO = 9.725GHz (+6dBm)、f_{RF} = 39GHz。

		N × LO					
		0	1	2	3	4	5
M × RF	−2	97	116	95	116	89	113
	−1	101	100	37	62	26	90
	0	N/A	77	40	63	20	77
	+1	97	91	18	36	REF	68
	+2	101	118	80	99	64	103

IF モード

f_{IF} = 3.5GHz (−20dBm)、LO = 6.125GHz (+6dBm)、f_{RF} = 28GHz。

		N × LO							
		0	1	2	3	4	5	6	7
M × RF	−2	76	117	120	109	77	92	90	84
	−1	68	90	80	77	23	46	56	53
	0	N/A	71	71	26	9	34	24	20
	+1	76	92	58	18	REF	24	32	61
	+2	68	84	75	70	58	80	82	75

f_{IF} = 3.5GHz (−20dBm)、LO = 8.875GHz (+6dBm)、f_{RF} = 39GHz。

		N × LO						
		0	1	2	3	4	5	6
M × RF	−2	83	132	109	96	68	99	107
	−1	69	95	76	54	25	57	83
	0	N/A	69	44	53	16	52	
	+1	83	89	24	33	REF	58	
	+2	69	114	93	98	75		

f_{IF} = 3.5GHz (−20dBm)、LO = 7.875GHz (+6dBm)、f_{RF} = 28GHz。

		N × LO							
		0	1	2	3	4	5	6	7
M × RF	−2	82	140	115	107	69	99	97	95
	−1	65	120	91	41	REF	47	46	
	0	N/A	82	75	52	23	49	56	
	+1	82	94	60	70	26	75		
	+2	65	120	107	111	93	115		

f_{IF} = 3.5GHz (−20dBm)、LO = 10.5GHz (+6dBm)、f_{RF} = 39GHz。

		N × LO					
		0	1	2	3	4	5
M × RF	−2	96	122	99	91	70	94
	−1	80	85	28	26	REF	64
	0	N/A	83	34	43	16	
	+1	97	95	45	49	41	
	+2	79	113	88	103	102	

動作原理

ADMV1013 は、マイクロ波無線設計に最適化された広帯域のマイクロ波アップコンバータで、24GHz~44GHz の RF 周波数範囲で動作します。このデバイスの機能ブロック図は図 1 を参照してください。ADMV1013 のデジタル設定は SPI を介して制御されます。ADMV1013 には、次の 2 つの動作モードがあります。

- ベースバンド直交変調 (I/Q モード)
- 単側波帯アップコンバージョン (IF モード)

スタートアップ・シーケンス

電圧制御 RF VVA1 および RF VVA2 (VCTRL1 および VCTRL2) を使用するには、VCC_VVA (1.8V) 電源をオンにする必要があります。同様に、SPI 制御を使用するには、SPI 制御ピンの使用前に DVDD をオンにする必要があります。

ADMV1013 の SPI 設定では、最適動作のため、スタートアップ時にデフォルト設定を変更する必要があります。

パワーアップまたはリセットごとにレジスタ 0x0A を 0xE700 に設定してください。

ベースバンド直交変調 (I/Q モード)

I/Q モードでは、ベースバンド・ピン (I_P、I_N、Q_P、Q_N) の入力インピーダンスは 100Ω 差動です。これらの入力には DC カップリングした 100Ω の差動負荷による負荷が加わっています。I_P と I_N は差動ベースバンドの I 入力、Q_P と Q_N は差動ベースバンドの Q 入力です。これらの入力は、V_{CM} が 0V~2.6V の範囲で動作できます。ベースバンド I/Q ポートは、I および Q チャンネルごとに DC~6.0GHz の範囲で動作できます。

ADMV1013 を I/Q モードに設定するには、MIXER_IF_EN ビット (レジスタ 0x03、ビット 7) を 0 に設定します。

外部 V_{CM} を変更する場合、内蔵ミキサのゲート電圧も変更する必要があります。この変更を行うには、MIXER_VGATE (レジスタ 0x05、ビット [6:0]) をセットします。MIXER_VGATE の値は次のように V_{CM} に従います。すなわち、V_{CM} が 0V~1.8V の場合は MIXER_VGATE = 23.89 V_{CM} + 81、V_{CM} が 1.8V~2.6V の場合は MIXER_VGATE = 23.75 V_{CM} + 1.25 です。

単側波帯アップコンバージョン (IF モード)

ADMV1013 は、不要な側波帯を通常 26dBc 以上抑えながら、0.8GHz~6.0GHz の任意の実 IF 入力をアップコンバートする機能を備えています。IF 入力は互いに直交しており、50Ω にシングルエンド整合し、内部で DC カップリングしています。IF I と IF Q は直交 IF 入力です。適切な側波帯を選択するには外付けの 90°ハイブリッドが必要です。ADMV1013 を IF モードに設定するには、MIXER_IF_EN ビット (レジスタ 0x03、ビット 7) を 1 に設定します。MIXER_IF_EN ビットは、SPI の起動時とリセット時に、デフォルトで IF モードに設定されます。

また、IF モードで最適動作するためには、ベースバンド・ピン (I_P、I_N、Q_P、Q_N) の負荷がオープンである必要があります。

LO 入力パス

LO 入力パスは、周波数が 5.4GHz~10.25GHz、LO 振幅が -6dBm ~ +6dBm の範囲で動作します。LO には 4 通倍器とプログラマブル・バンドパス・フィルタが内蔵されています。LO のバンドパス・フィルタは、QUAD_FILTERS ビット (レジスタ 0x09、ビット [3:0]) を使用して設定できます。QUAD_FILTERS の設定については、様々なクワッド・フィルタ設定での性能のセクションを参照してください。

LO パスは差動でもシングルエンドでも動作できます。LOP と LON は LO パスへの入力です。QUAD_SE_MODE ビット (レジスタ 0x09、ビット [9:6]) の設定によって、LO パスの差動とシングルエンドの切替えができます。詳細は、差動 LO 入力とシングルエンド LO 入力との性能比較のセクションを参照してください。LO をシングルエンドで使用する場合、使用しない LO 入力ピンは 50Ω 負荷で終端する必要があります。

LO パスのブロック図を図 81 に示します。

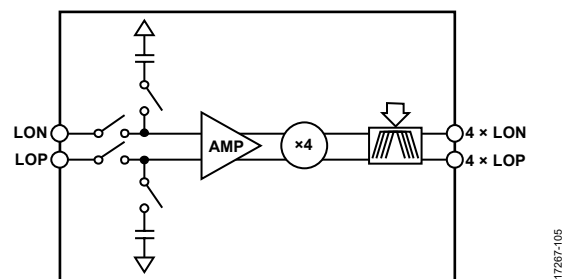


図 81. LO パスのブロック図

4 通倍器をイネーブルするには、QUAD_PD ビット (レジスタ 0x03、ビット [13:11]) を 0x0 に設定します。4 通倍器をパワー・ダウンスするには、これらのビットを 0x7 に設定します。

側波帯抑圧特性の最適化

直交 LO 信号と外部直交入力を生成することで、不要な側波帯を直交誤差からアップコンバートできます。これらの信号が理想的な直交状態 (すなわち、サイドバンド除去が徹底され、サイドバンド・トーンのアップコンバートがない状態) からどれだけずれているかによって、サイドバンドを除去できる量が制限されます。

ADMV1013 では、サイドバンドを抑制するために、LO パスの直交信号に約 25° の直交位相調整幅があります。これらの調整は、LOAMP_PH_ADJ_I_FINE ビット (レジスタ 0x05、ビット [13:7]) と LOAMP_PH_ADJ_Q_FINE ビット (レジスタ 0x06、ビット [13:7]) で行います。これらのビットによって、不要なサイドバンド信号が除去されます。必要なサイドバンド抑圧特性を実現するには、直交入力間の振幅の差を外部からも調整することが必要となる場合があります。

I/Q モードの場合、外部トランシーバーの D/A コンバータ (DAC) によってサイドバンド抑圧特性を調整することを推奨します。

搬送波フィードスルーのヌル化

搬送波フィードスルーは、内蔵ミキサーで発生するわずかな DC オフセットが原因です。I/Q 変調器の場合、非ゼロの差動オフセットが LO と混合し、RF 出力で搬送波フィードスルーを生じます。この効果に加え、LO 入力の信号の一部が、直接 RF 出力と結合します（これは、ボンディング・ワイヤ同士のカップリングやシリコン基板を通じたカップリングが原因である可能性があります）。これら 2 つの効果のため、RF 出力の正味の搬送波フィードスルーは、出力に発生する信号のベクトル和となります。

IF モードの場合、ADMV1013 には、LO パスに LO フィードスルー・オフセットのキャリブレーション調整機能を備えています。これらの調整は、MXER_OFF_ADJ_I_N ビット（レジスタ 0x07、ビット [8:2]）、MXER_OFF_ADJ_I_P ビット（レジスタ 0x07、ビット [15:9]）、MXER_OFF_ADJ_Q_N ビット（レジスタ 0x08、ビット [8:2]）、MXER_OFF_ADJ_Q_P ビット（レジスタ 0x08、ビット [15:9]）を通じて行い、不要な LO 信号を除去します。

I/Q モードの場合、LO フィードスルー・オフセットの振幅と位相のキャリブレーションは、トランシーバーDAC を使用して外部から調整することで最適化できます。

エンベロープ・ディテクタ

ADMV1013 には、擬似差動電圧出力を備えたエンベロープ・ディテクタ機能があります。このエンベロープ・ディテクタ出力ピンは VENV_P および VENV_N です。エンベロープ・ディテクタがオフのときに ADMV1013 はオンになります。エンベロープ・ディテクタをオンにするには、DET_EN ビット（レジスタ 0x03、ビット 5）をセットします。エンベロープ・ディテクタの差動電圧出力は、ディテクタの入力エンベロープ電圧の 2 乗に比例します。入力のある・トーンの電力範囲が -20dBm ~ 0dBm の場合、ディテクタの出力範囲は -45dBm ~ -20dBm です。エンベロープ・ディテクタには、350MHz、3dB のエンベロープ帯域幅と、1GHz、10dB のエンベロープ帯域幅があります。エンベロープ・ディテクタは、ADMV1013 の VVA および出力ドライバの前段に配置されています。

パワー・ダウンとリセット

ADMV1013 の SPI を使用して、デバイス回路をパワー・ダウンし、消費電力を 77mW（代表値）に低減することができます。チップ全体をオフにするには、BG_PD ビット（レジスタ 0x03、ビット 10）を 1 に設定します。また、回路の個々のブロックを個別にパワー・ダウンすることもできます。4 通倍器をパワー・ダウンするには、QUAD_PD ビット（レジスタ 0x03、ビット [13:11]）を 0x7 に設定します。VGA をパワー・ダウンするには、VGA_PD ビット（レジスタ 0x03、ビット 15）を 1 に設定します。ミキサーをパワー・ダウンするには、MIXER_PD ビット（レジスタ 0x03、ビット 14）を 1 に設定します。ディテクタをパワー・ダウンするには、DET_EN ビット（レジスタ 0x03、ビット 5）を 0 に設定します。

シリアル・ポート・インターフェース (SPI)

ADMV1013 の SPI を使用すると、4 線式 SPI ポートを介して、特定の機能や動作を実行するようデバイスを設定できます。このインターフェースにより、柔軟性とカスタマイズ化が向上します。SPI を構成する制御ラインは、SCLK、SDI、SDO、アクティブ・ローのチップ・セレクト・ラインである SEN/SEN2 の 4 本です。SEN および SEN2 は、互いに結合している必要があります。

ADMV1013 のプロトコルは、書込み／読出しビットに続き、6 ビットのレジスタ・アドレス・ビット、16 のデータ・ビット、1 つのパリティ・ビットからなります。アドレス・フィールドとデータ・フィールドは、MSB ファーストで構成され、LSB で終了します。書込みの場合は、最初のビットを 0 にセットします。読出しの場合は、最初のビットを 1 にセットします。

書込みサイクルは立上がりエッジでサンプリングされます。16 ビットのシリアル書込みデータは、MSB から下側波帯へとシフト・インします。ADMV1013 の書込みサイクル用入力ロジック・レベルは、1.8V インターフェースをサポートしています。

読出しサイクルでは、最大 16 ビットのシリアル読出しデータが MSB ファーストでシフト・アウトします。16 ビットのデータのシフト・アウト後、パリティ・ビットがシフト・アウトします。読出しサイクルの出力ロジック・レベルは、1.8V です。

パリティ・ビットは常にデータの方向に従います。パリティを使用しない場合、伝送の末尾にはパリティではなく、ゼロが伝送されます。パリティは奇数です。すなわち、読出し／書込みビット、アドレス・ビット、データ・ビット、パリティ・ビットを含め、コマンドの間に伝送される 1 の合計数は奇数でなくてはなりません。

SPI の書込みプロトコルを図 82 に、読出しプロトコルを図 83 に示します。

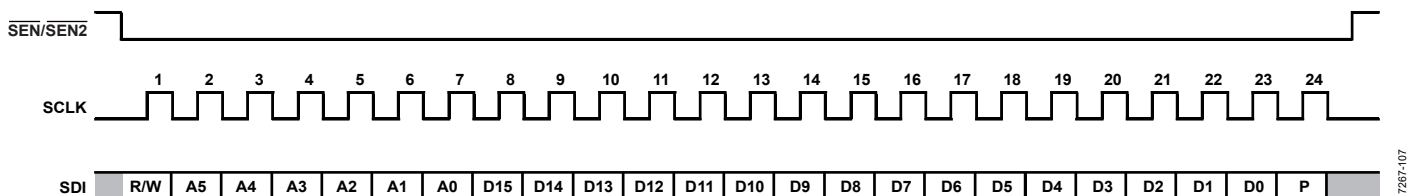


図 82. SPI 書込みのタイミング図

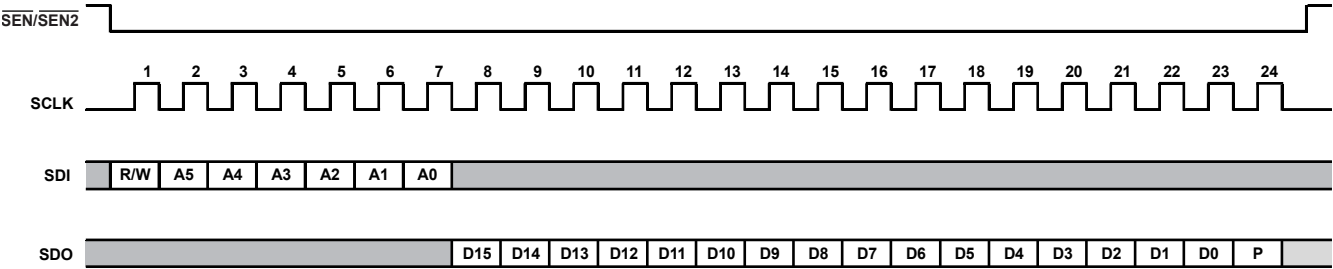


図 83. SPI 読出しのタイミング図

17207-108

アプリケーション情報

低周波数からのベースバンド直交変調

低ベースバンド入力周波数時の I/Q モード性能を図 84 に示します。測定条件は、28GHz、入力パワー = -10dBm、 $V_{CM} = 0V$ 、レジスタ 0x03 のビット 7 = 0、LO 入力パワー = 0dBm、 $T_A = 25^\circ C$ です。

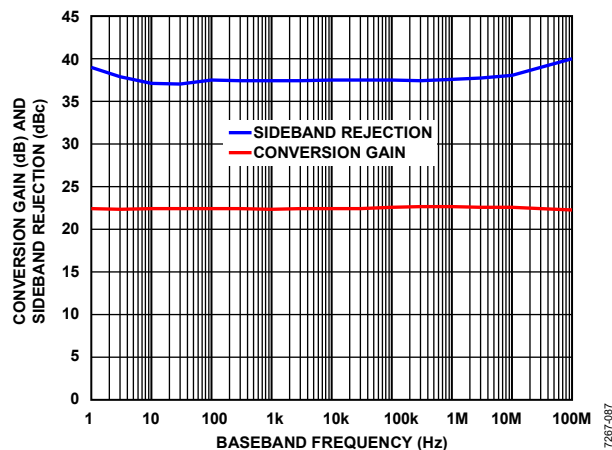


図 84. 変換ゲインおよびサイドバンド除去比とベースバンド周波数の関係

様々なクワッド・フィルタ設定での性能

IF モード時の変換ゲインと RF 周波数の関係を図 85 に示します。様々な QUAD_FILTERS 設定に対し、 $T_A = 25^\circ C$ 、LO 入力パワー = 0dBm で測定しました。

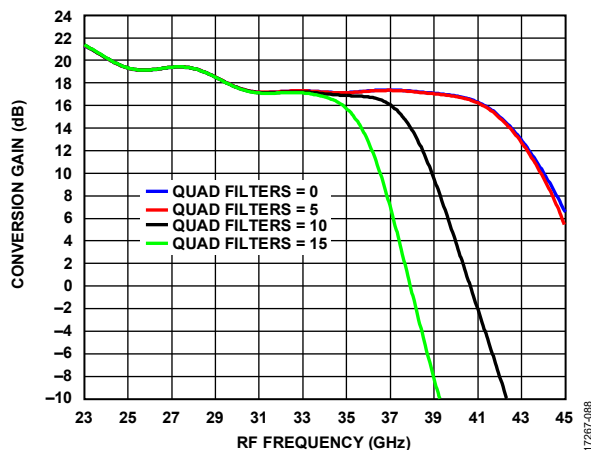


図 85. 4 通りの QUAD_FILTERS 設定での変換ゲインと RF 周波数の関係 ($f_{IF} = 3.5GHz$ 、上側波帯)

様々なクワッド・フィルタ設定での 4x LO/RF リークと 4x LO 周波数の関係を、図 86 に示します。

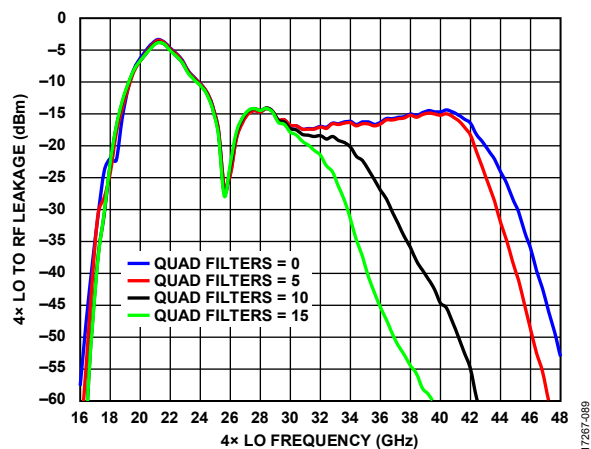


図 86. 4 通りの QUAD_FILTERS 設定での 4x LO/RF リークと 4x LO 周波数の関係

VVA の温度補償

レジスタ 0x0A の 2 通りの設定（推奨設定 (0xE700) と高ゲイン設定）および 3 通りの温度での IF モードの変換ゲインと RF 周波数の関係を、図 87 に示します。スタートアップ・シーケンスのセクションで示した推奨値を使用した場合、温度に対する変換ゲインの変動は最小となっています。変換ゲインを増加することを優先する場合は、レジスタ 0x0A を 0xFA00 に設定することができます。ただし、この値の場合、温度に対する変換ゲインの変動は 2dB 分増大するおそれがあります。

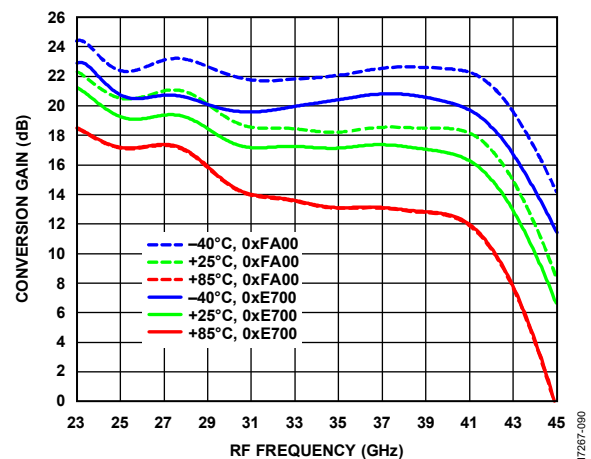


図 87. 様々な温度およびレジスタ 0x0A 設定（推奨設定および高ゲイン設定）での最大ゲイン時の変換ゲインと RF 周波数の関係 ($f_{IF} = 3.5GHz$)

レジスタ 0x0A の 2 通りの設定（推奨設定とデフォルト設定）および 3 通りの温度での IF モードの変換ゲインと RF 周波数の関係を、図 88 に示します。推奨設定に比べ、デフォルト設定の場合、ゲインがわずかに低下し、温度に対するゲイン変動が大きくなっています。

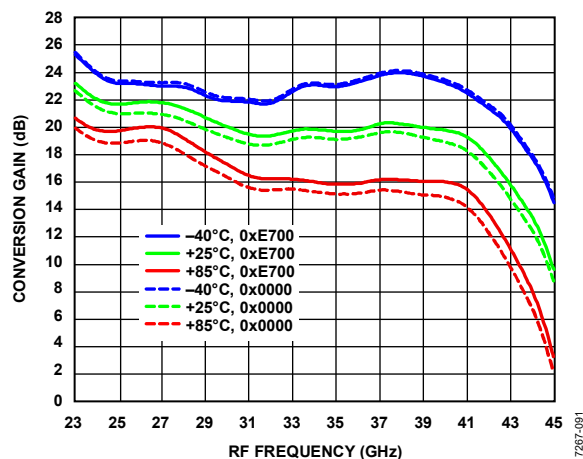


図 88. 様々な温度およびレジスタ 0x0A 設定（デフォルトおよび推奨のレジスタ 0x0A 設定）での最大ゲイン時の変換ゲインと RF 周波数の関係 ($f_{IF} = 2\text{GHz}$)

差動 LO 入力とシングルエンド LO 入力との性能比較

ADMV1013 の LO 入力が差動の場合とシングルエンドの場合について、変換ゲイン、出力 IP3、サイドバンド除去性能を、図 89～図 91 に示します。測定条件は、LO 入力パワー = 0dBm、IF モード、IF 周波数 = 3.5GHz、上側波帯、 $T_A = 25^\circ\text{C}$ です。

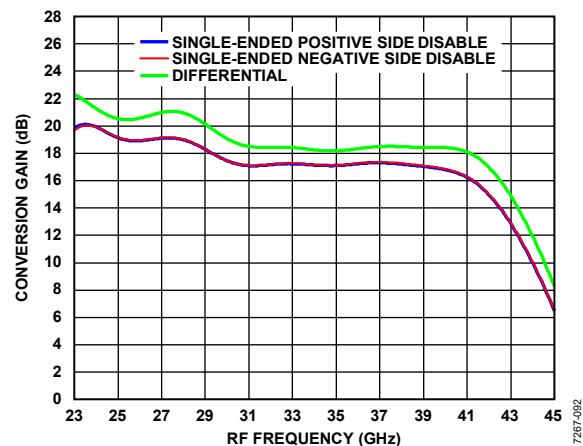


図 89. 3 通りの LO モード設定での変換ゲインと RF 周波数の関係 ($f_{IF} = 3.5\text{GHz}$ 、上側波帯)

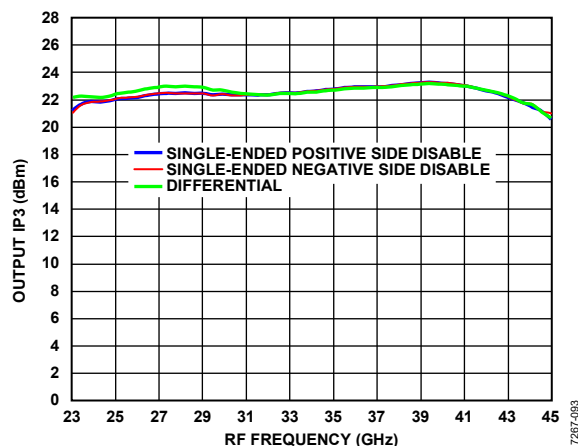


図 90. 3 通りの LO モード設定での出力 IP3 と RF 周波数の関係 (RF 振幅 = トーンあたり -20dBm (20MHz 間隔)、 $f_{IF} = 3.5\text{GHz}$ 、上側波帯)

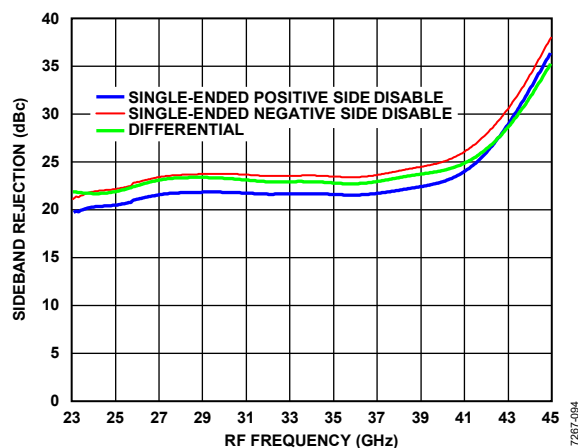


図 91. 3 通りの LO モード設定でのサイドバンド除去比と RF 周波数の関係 (RF 振幅 = トーンあたり -30dBm (20MHz 間隔)、 $f_{IF} = 3.5\text{GHz}$ 、上側波帯)

固定入力周波数時の RF 周波数特性

ADMV1013 の 4 通倍器は、21.6GHz~41GHz で動作します。下側波帯を使用している場合、4 通倍器の周波数が 41GHz に達すると、変換ゲインが徐々にロール・オフを始めます。上側波帯を使用している場合、4 通倍器の周波数が 21.6GHz になると、変換ゲインがロール・オフを始めます。

固定 IF 周波数での IF モードにおける変換ゲインと RF 周波数の関係 ($T_A = 25^\circ\text{C}$ 、 $\text{LO} = 0\text{ dBm}$) を、上側波帯の場合について図 92 に、下側波帯の場合について図 93 に示します。

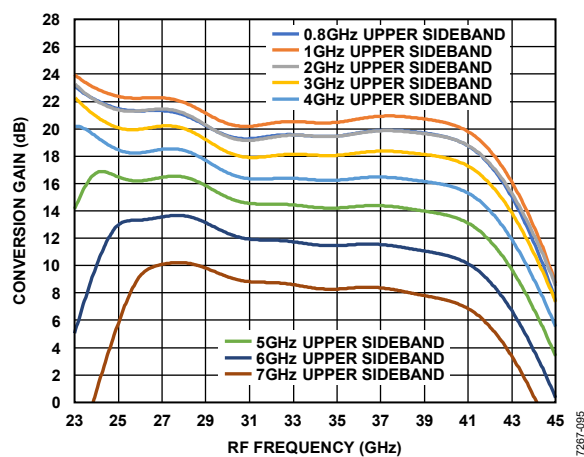


図 92. 様々な IF 周波数設定での変換ゲインと RF 周波数の関係 (上側波帯)

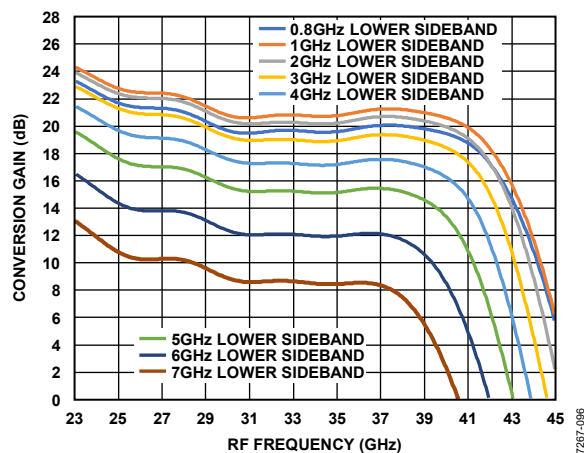


図 93. 様々な IF 周波数設定での変換ゲインと RF 周波数の関係 (下側波帯)

様々なベースバンド (BB) 周波数での I/Q モードにおける変換ゲインと RF 周波数の関係 ($T_A = 25^\circ\text{C}$ 、 $\text{LO} = 0\text{ dBm}$) を、上側波帯の場合について図 94 に、下側波帯の場合について図 95 に示します。

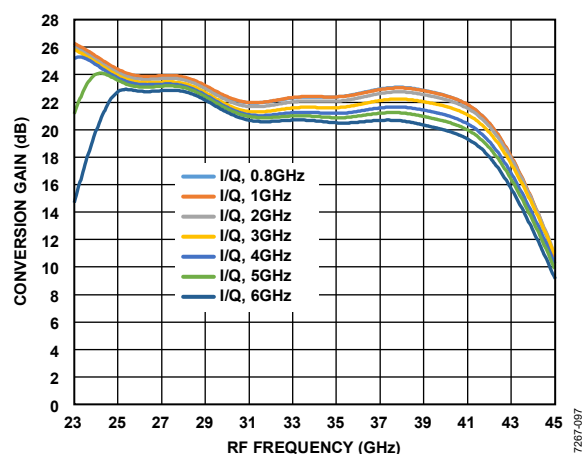


図 94. 様々なベースバンド周波数設定での変換ゲインと RF 周波数の関係 (上側波帯)

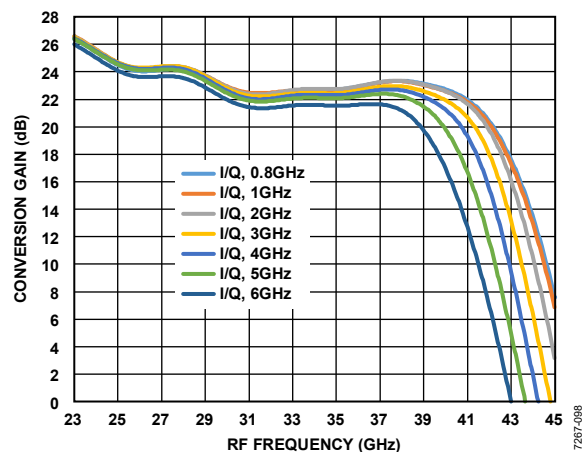


図 95. 様々なベースバンド周波数設定での変換ゲインと RF 周波数の関係 (下側波帯)

I/Q モードにおけるコモンモード電圧での性能

図 96～図 98 に、I/Q モードにおける様々なコモンモード電圧での性能を示します。それぞれのコモンモード電圧に対し、ベースバンド直交変調 (I/Q モード) のセクションで説明した式に基づいて、ミキサ電圧を変更しています。

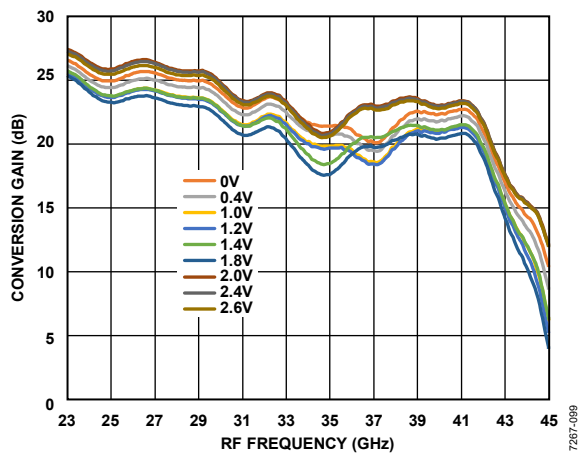


図 96. I/Q モードにおける様々なコモンモード電圧での変換ゲインと RF 周波数の関係 ($f_{BB} = 100\text{MHz}$, $LO = 0\text{dBm}$, $T_A = 25^\circ\text{C}$)

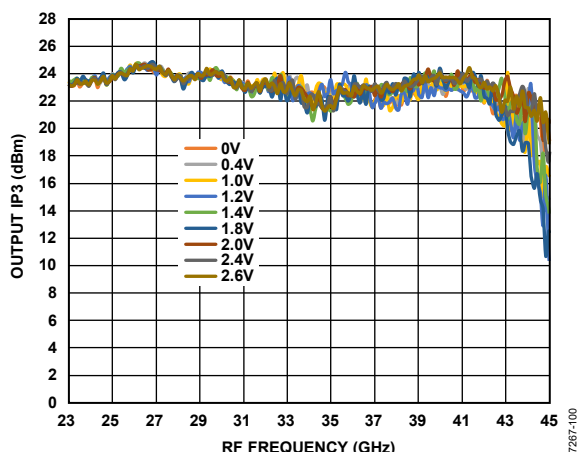


図 97. I/Q モードにおける様々なコモンモード電圧での出力 IP3 と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$, $LO = 0\text{dBm}$, $T_A = 25^\circ\text{C}$)

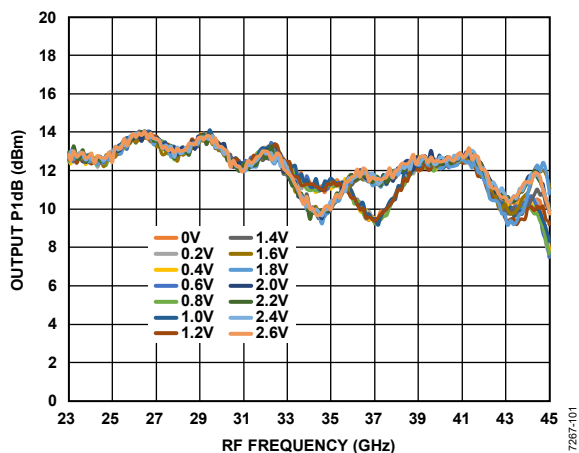


図 98. I/Q モードにおける様々なコモンモード電圧での出力 P1dB と RF 周波数の関係 ($f_{BB} = 100\text{MHz}$, $LO = 0\text{dBm}$, $T_A = 25^\circ\text{C}$)

VCTRL1 と VCTRL2 の個別処理

仕様のセクションと代表的な性能特性のセクションで示したデータは、VCTRL1 と VCTRL2 の電圧が等しい場合のものです。VCTRL1 と VCTRL2 を個別に使用できれば、細かいゲイン調整が可能となります。VCTRL1 と VCTRL2 を個別に処理することで、RF 出力を減衰しながら、IP3 性能やノイズ指数性能を維持することもできます。

図 99、図 102、図 105 は、VCTRL1 が VCTRL2 に等しい場合の、変換ゲイン、入力 IP3、ノイズ指数と RF 周波数の関係をそれぞれ示したものです ($IF = 2\text{GHz}$, 上側波帯, $LO = 0\text{dBm}$, $T_A = 25^\circ\text{C}$)。

図 100、図 103、図 106 は、VCTRL2 が最小減衰量に維持され、VCTRL1 を変化した場合の、変換ゲイン、入力 IP3、ノイズ指数と RF 周波数の関係をそれぞれ示したものです ($IF = 2\text{GHz}$, 上側波帯, $LO = 0\text{dBm}$, $T_A = 25^\circ\text{C}$)。

図 101、図 104、図 107 は、VCTRL1 が最小減衰量に維持され、VCTRL2 を変化した場合の、変換ゲイン、入力 IP3、ノイズ指数と RF 周波数の関係をそれぞれ示したものです ($IF = 2\text{GHz}$, 上側波帯, $LO = 0\text{dBm}$, $T_A = 25^\circ\text{C}$)。

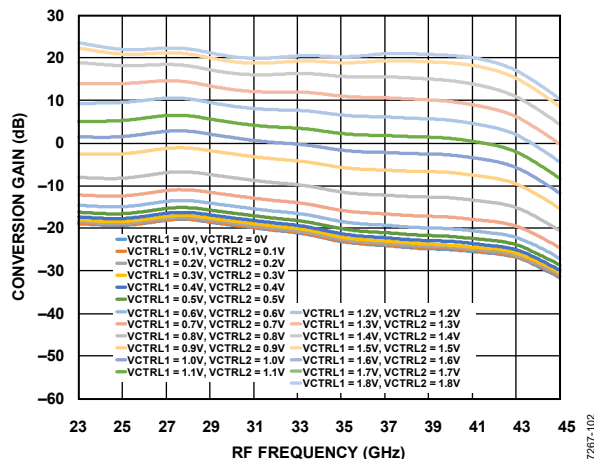


図 99. 様々な V_{CTRL} 電圧 ($V_{CTRL1} = V_{CTRL2}$) での変換ゲインと RF 周波数の関係 (IF モード, IF 周波数 = 2GHz , 上側波帯)

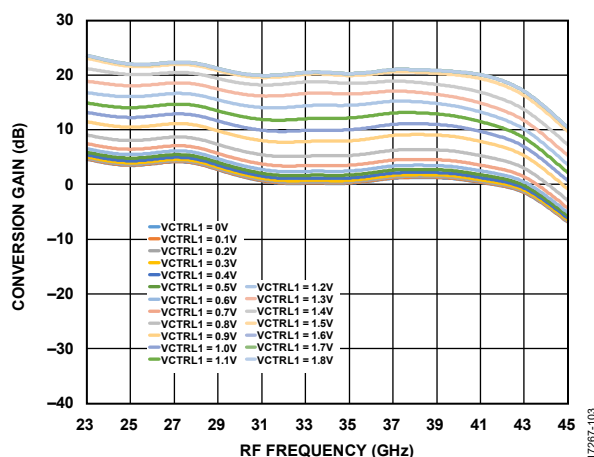


図 100. 様々な VCTRL1 電圧 ($V_{CTRL2} = 1.8\text{V}$) での変換ゲインと RF 周波数の関係 (IF モード, IF 周波数 = 2GHz , 上側波帯)

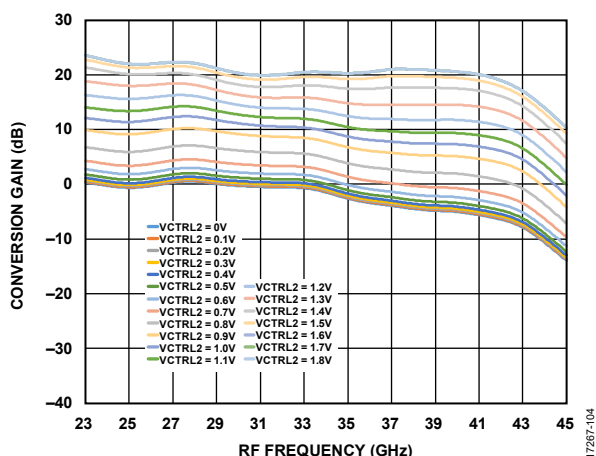


図 101. 様々な VCTRL2 電圧 (VCTRL1 = 1.8V) での変換ゲインと RF 周波数の関係 (IF モード、IF 周波数 = 2GHz、上側波帯)

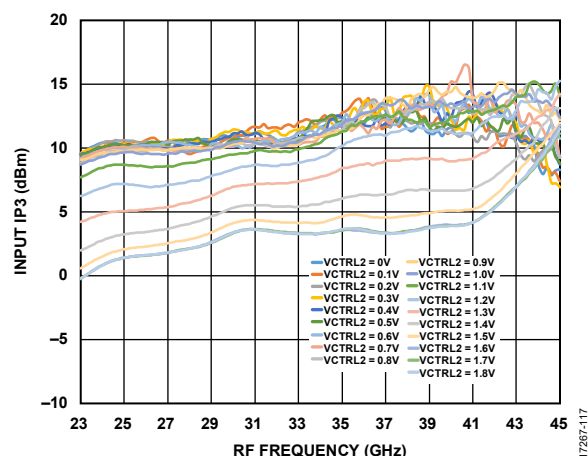


図 104. 様々な VCTRL2 電圧 (VCTRL1 = 1.8V) での入力 IP3 と RF 周波数の関係 (IF モード、IF 周波数 = 2GHz、上側波帯)

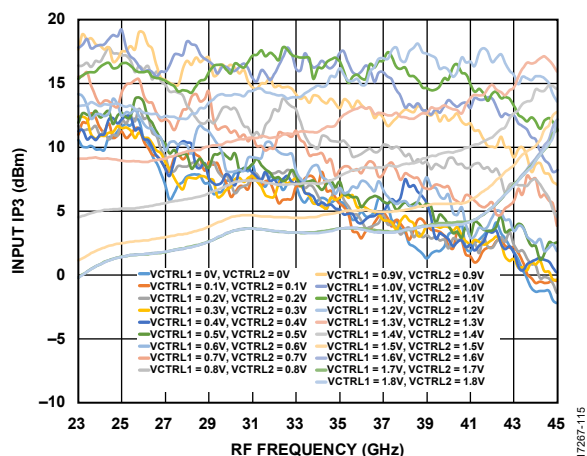


図 102. 様々な VCTRL 電圧 (VCTRL1 = VCTRL2) での入力 IP3 と RF 周波数の関係 (IF モード、IF 周波数 = 2GHz、上側波帯)

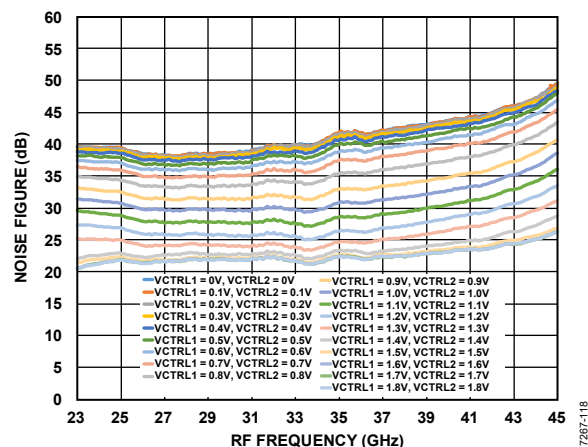


図 105. 様々な VCTRL 電圧 (VCTRL1 = VCTRL2) でのノイズ指数と RF 周波数の関係 (IF モード、IF 周波数 = 2GHz、上側波帯)

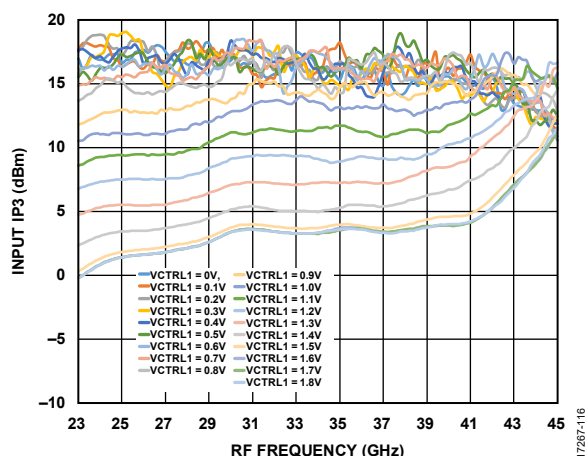


図 103. 様々な VCTRL1 電圧 (VCTRL2 = 1.8V) での入力 IP3 と RF 周波数の関係 (IF モード、IF 周波数 = 2GHz、上側波帯)

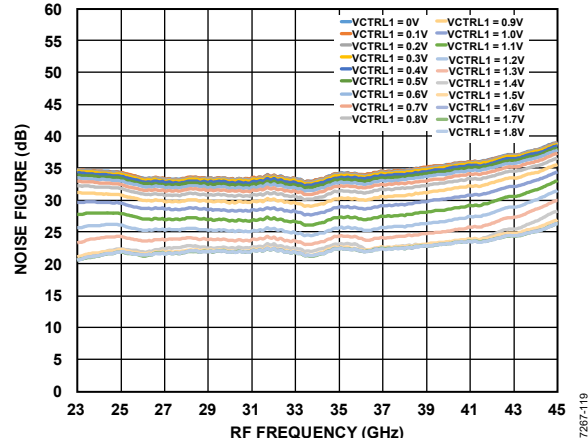


図 106. 様々な VCTRL1 電圧 (VCTRL2 = 1.8V) でのノイズ指数と RF 周波数の関係 (IF モード、IF 周波数 = 2GHz、上側波帯)

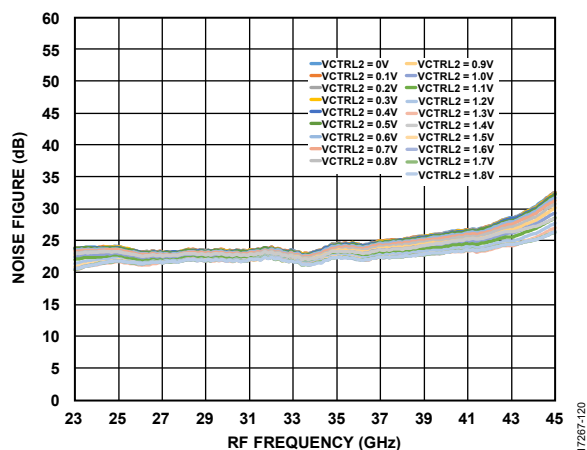


図 107. 様々な VCTRL2 電圧 (VCTRL1 = 1.8V) でのノイズ指数と RF 周波数の関係 (IF モード、IF 周波数 = 2GHz、上側波帯)

推奨されるランド・パターン

ADMV1013 の底面にある露出パッドを、熱抵抗および電気抵抗の低いグラウンド・プレーンにハンダ付けします。通常、このパッドを評価用ボードのハンダ・マスクで覆われていない開口部にハンダ付けします。これらのグラウンド・ビアを評価用ボードの他のすべてのグラウンド層に接続し、デバイス・パッケージの放熱を最大化します。

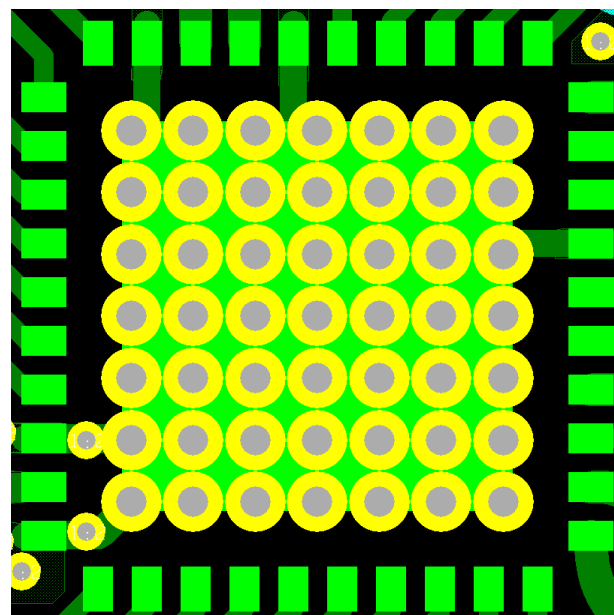


図 108. LGA パッケージの評価用ボードのレイアウト

評価用ボードの情報

ADMV1013 評価用ボードの詳細については、[ADMV1013-EVALZ ユーザ・ガイド](#)を参照してください。

レジスタの一覧

表 6.

Reg. (Hex)	Register Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
00	SPI_CONTROL	[15:8]	PARITY_EN	SPI_SOFT_RESET	RESERVED			CHIP_ID			0x00A4	R/W	
		[7:0]	CHIP_ID						REVISION				
01	ALARM	[15:8]	PARITY_ERROR	TOO_FEW_ERRORS	TOO_MANY_ERRORS	ADDRESS_RANGE_ERROR	RESERVED					0x0000	R
		[7:0]	RESERVED										
02	ALARM_MASKS	[15:8]	PARITY_ERROR_MASK	TOO_FEW_ERRORS_MASK	TOO_MANY_ERRORS_MASK	ADDRESS_RANGE_ERROR_MASK	RESERVED					0xFFFF	R/W
		[7:0]	RESERVED										
03	ENABLE	[15:8]	VGA_PD	MIXER_PD	QUAD_PD			BG_PD	RESERVED		0x01D7	R/W	
		[7:0]	MIXER_IF_EN	RESERVED	DET_EN	RESERVED							
05	LO_AMP_I	[15:8]	RESERVED			LOAMP_PH_ADJ_I_FINE						0x5051	R/W
		[7:0]	LOAMP_PH_ADJ_I_FINE	MIXER_VGATE									
06	LO_AMP_Q	[15:8]	RESERVED			LOAMP_PH_ADJ_Q_FINE						0x5000	R/W
		[7:0]	LOAMP_PH_ADJ_Q_FINE	RESERVED									
07	OFFSET_ADJUST_I	[15:8]	MXER_OFF_ADJ_I_P							MXER_OFF_ADJ_I_N	0xFFFC	R/W	
		[7:0]	MXER_OFF_ADJ_I_N						RESERVED				
08	OFFSET_ADJUST_Q	[15:8]	MXER_OFF_ADJ_Q_P							MXER_OFF_ADJ_Q_N	0xFFFC	R/W	
		[7:0]	MXER_OFF_ADJ_Q_N[5:0]						RESERVED				
09	QUAD	[15:8]	RESERVED						QUAD_SE_MODE		0x5700	R/W	
		[7:0]	QUAD_SE_MODE			RESERVED			QUAD_FILTERS				
0A	VVA_TEMPERATURE_COMPENSATION	[15:8]	VVA_TEMPERATURE_COMPENSATION									0x0000	R/W
		[7:0]	VVA_TEMPERATURE_COMPENSATION										

レジスタの詳細

アドレス：0x00、リセット：0x00A4、レジスタ名：SPI_CONTROL

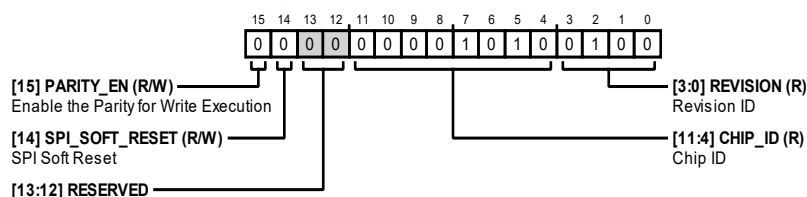


表 7. SPI_CONTROL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	PARITY_EN		書き込み実行のためパリティを有効化	0x0	R/W
14	SPI_SOFT_RESET		SPI ソフト・リセット	0x0	R/W
[13:12]	RESERVED		予備	0x0	R
[11:4]	CHIP_ID		チップ ID	0xA	R
[3:0]	REVISION		リビジョン ID	0x4	R

アドレス：0x01、リセット：0x0000、レジスタ名：ALARM

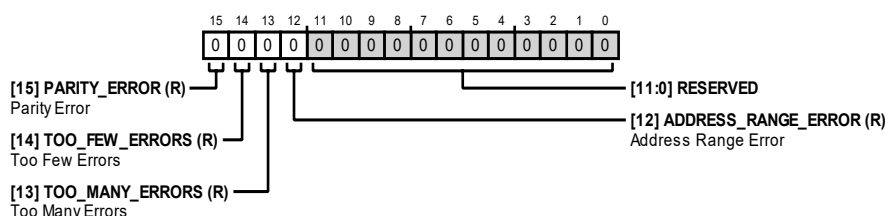


表 8. ALARM のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	PARITY_ERROR		パリティ・エラー	0x0	R
14	TOO_FEW_ERRORS		エラー過少	0x0	R
13	TOO_MANY_ERRORS		エラー過多	0x0	R
12	ADDRESS_RANGE_ERROR		アドレス範囲エラー	0x0	R
[11:0]	RESERVED		予備	0x0	R

アドレス：0x02、リセット：0xFFFF、レジスタ名：ALARM_MASKS

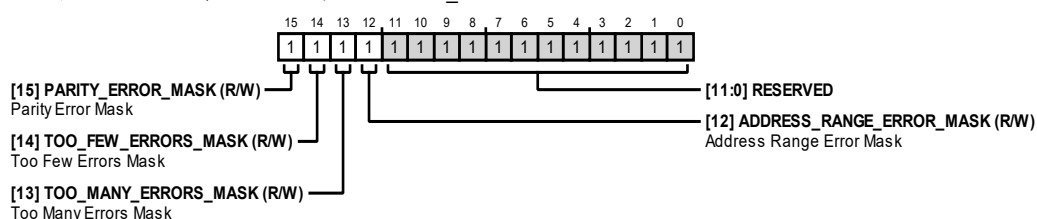


表 9. ALARM MASKS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	PARITY_ERROR_MASK		パリティ・エラー・マスク	0x1	R/W
14	TOO_FEW_ERRORS_MASK		エラー過少マスク	0x1	R/W
13	TOO_MANY_ERRORS_MASK		エラー過多マスク	0x1	R/W
12	ADDRESS_RANGE_ERROR_MASK		アドレス範囲エラー・マスク	0x1	R/W
[11:0]	RESERVED		予備	0xFFFF	R

アドレス : 0x03、リセット : 0x01D7、レジスタ名 : ENABLE

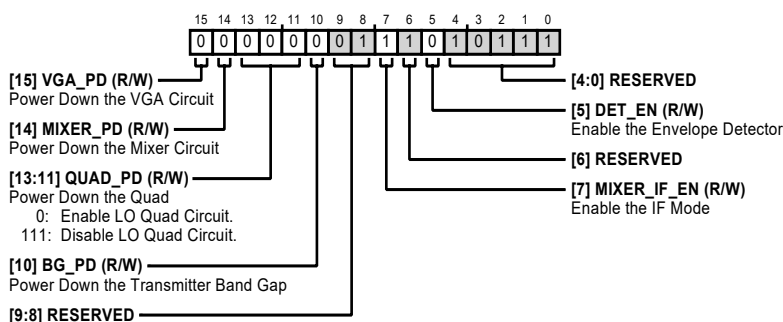


表 10. ENABLE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	VGA_PD		VGA 回路をパワー・ダウン	0x0	R/W
14	MIXER_PD		ミキサー回路をパワー・ダウン	0x0	R/W
[13:11]	QUAD_PD	000 111	クワッドをパワー・ダウン LO クワッド回路をイネーブル LO クワッド回路をディスエーブル	0x0	R/W
10	BG_PD		トランスミッタ・バンドギャップをパワー・ダウン	0x0	R/W
[9:8]	RESERVED		予備	0x0	R
7	MIXER_IF_EN		IF モードを有効化	0x1	R/W
6	RESERVED		予備	0x1	R
5	DET_EN		エンベロープ・ディテクタをイネーブル	0x0	R/W
[4:0]	RESERVED		予備	0x17	R

アドレス : 0x05、リセット : 0x5051、レジスタ名 : LO_AMP_I

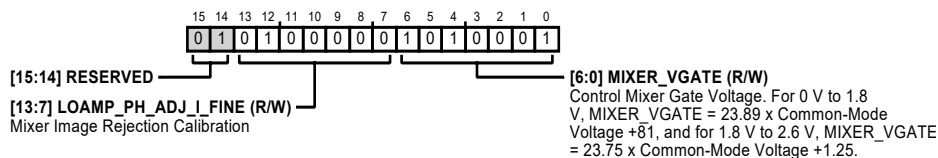


表 11. LO_AMP_I のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	RESERVED		予備	0x1	R
[13:7]	LOAMP_PH_ADJ_I_FINE		ミキサーのイメージ除去キャリブレーション	0x20	R/W
[6:0]	MIXER_VGATE		制御ミキサーのゲート電圧 0V~1.8V の場合、 MIXER_VGATE = 23.89 × コモンモード電圧 + 81、1.8V~ 2.6V の場合、MIXER_VGATE = 23.75 × コモンモード電圧 + 1.25	0x51	R/W

アドレス : 0x06、リセット : 0x5000、レジスタ名 : LO_AMP_Q

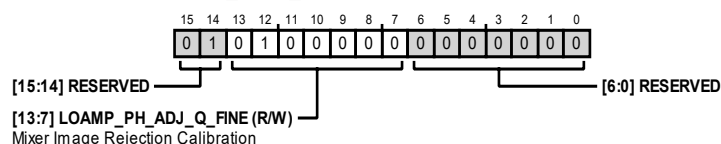


表 12. LO_AMP_Q のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	RESERVED		予備	0x1	R
[13:7]	LOAMP_PH_ADJ_Q_FINE		ミキサーのイメージ除去キャリブレーション	0x20	R/W
[6:0]	RESERVED		予備	0x0	R

アドレス：0x07、リセット：0xFFFC、レジスタ名：OFFSET_ADJUST_I

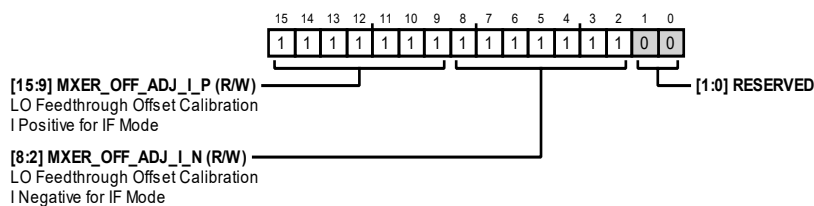


表 13. OFFSET_ADJUST_I のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	MXER_OFF_ADJ_I_P		LO フィードスルー・オフセットのキャリブレーション (IF モードの I ポジティブ)	0x7F	R/W
[8:2]	MXER_OFF_ADJ_I_N		LO フィードスルー・オフセットのキャリブレーション (IF モードの I ネガティブ)	0x7F	R/W
[1:0]	RESERVED		予備	0x0	R

アドレス：0x08、リセット：0xFFFC、レジスタ名：OFFSET_ADJUST_Q

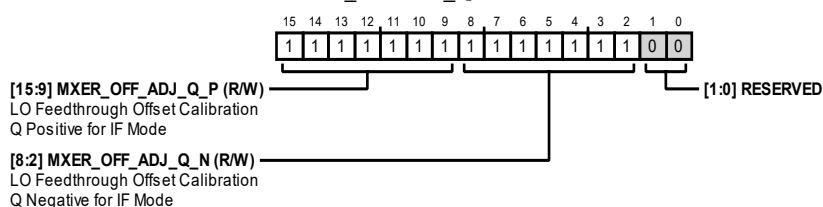


表 14. OFFSET_ADJUST_Q のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	MXER_OFF_ADJ_Q_P		LO フィードスルー・オフセットのキャリブレーション (IF モードの Q ポジティブ)	0x7F	R/W
[8:2]	MXER_OFF_ADJ_Q_N		LO フィードスルー・オフセットのキャリブレーション (IF モードの Q ネガティブ)	0x7F	R/W
[1:0]	RESERVED		予備	0x0	R

アドレス：0x09、リセット：0x5700、レジスタ名：QUAD

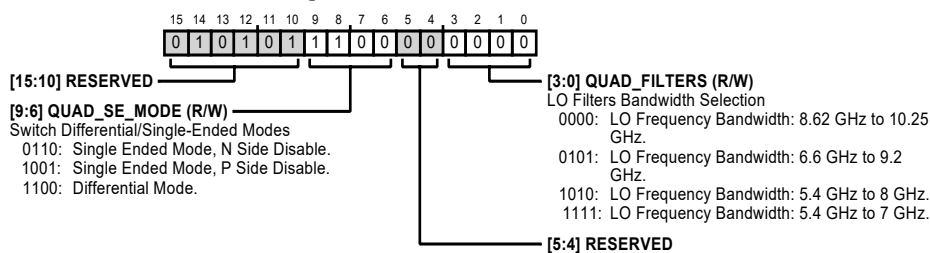


表 15. QUAD のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:10]	RESERVED		予備	0x15	R
[9:6]	QUAD_SE_MODE	0110 1001 1100	差動モード／シングルエンド・モードの切替え シングルエンド・モード、負側ディスエーブル シングルエンド・モード、正側ディスエーブル 差動モード	0xC	R/W
[5:4]	RESERVED		予備	0x0	R
[3:0]	QUAD_FILTERS	0000 0101 1010 1111	LO フィルタ帯域幅の選択 LO フィルタ帯域幅：8.62GHz～10.25GHz LO フィルタ帯域幅：6.6GHz～9.2GHz LO フィルタ帯域幅：5.4GHz～8GHz LO フィルタ帯域幅：5.4GHz～7GHz	0x0	R/W

アドレス：0x0A、リセット：0x0000、レジスタ名：VVA_TEMPERATURE_COMPENSATION

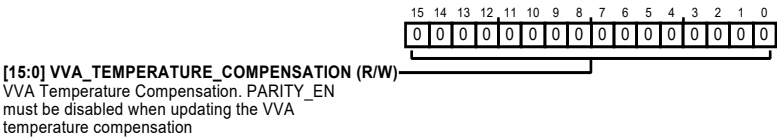


表 16. VVA_TEMPERATURE_COMPENSATION のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	VVA_TEMPERATURE_COMPENSATION		VVA の温度補償。VVA の温度補償を更新する場合、PARITY_EN を無効化する必要があります。起動時には 0xE700 に設定されます。	0x0	R/W

外形寸法

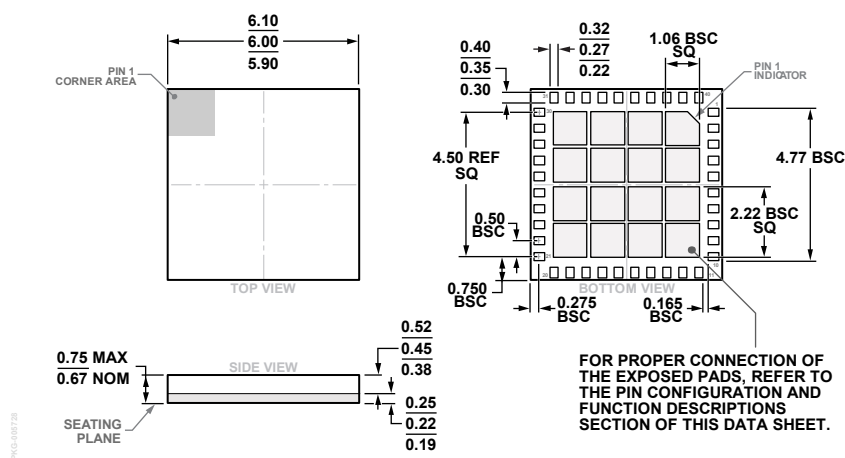


図 109. 40 端子ランド・グリッド・アレイ・パッケージ [LGA]
6mm × 6mm ボディ、0.67mm パッケージ高
(CC-40-5)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADMV1013ACCZ	−40°C to +85°C	40-Terminal Land Grid Array Package [LGA]	CC-40-5
ADMV1013ACCZ-R7	−40°C to +85°C	40-Terminal Land Grid Array Package [LGA]	CC-40-5
ADMV1013-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品。