3.3V、50Mbps～4.25Gbpsのシングル・ループ・レーザ・ダイオード・ドライバ

ADN2871

特長

SFP/SFFおよびSFF-8472 MSA規格準拠
SFP参考デザインを提供
動作周波数レンジ：50Mbps～4.25Gbps
平均パワー自動制御
立上がり／立下がり時間：60ps（typ）
VCSEL、DFB、FPレーザをサポート
バイアス電流範囲：2～100mA
変調電流範囲：5～90mA
レーザ故障アラームおよび自動レーザ・シャットダウン（ALS）
バイアス／変調電流モニタリング
3.3V電源動作
4mm×4mmサイズのLFCSPパッケージ
電圧セットポイント制御
抵抗セットポイント制御
ADN2870とピン互換

アプリケーション

1x/2x/4xの光ファイバ・チャンネルSFP/SFFモジュール
マルチレートOC3～OC48-FEC SFP/SFFモジュール
LX-4モジュール
DWDM/CWDM SFPモジュール
1GE SFP/SFFトランシーバ・モジュール
VCSEL、DFB、FPトランスミッタ

概要

ADN2871レーザ・ダイオード・ドライバは、SFF-8472デジタル診断機能を備えた高性能SFP/SFFモジュール向けにデザインされており、50Mbps～4.25Gbpsの動作をサポートします。

平均パワーと消光比は、マイクロコントローラのD/Aコンバータ（DAC）が供給する電圧や、トリム可能な抵抗器またはデジタル・ポテンショメータを使用して設定できます。モニタ用フォトダイオードからのフィードバックによる平均パワー制御ループを構成しています。この製品は、バイアス／変調電流のモニタリング機能のほか、レーザ故障アラームおよび自動レーザ・シャットダウン機能を持っています。アナログ・デバイセズのマイクロコンバータADuC70xxファミリーやリミット・アンプADN289xファミリーとの接続が容易で、これらのデバイスと組み合わせると完全なSFP/SFFトランシーバ・ソリューションが実現できます。SFP参考デザインも提供しています。ADN2870デュアル・ループLDDとのピン互換性を持っているため、同じPCボード・レイアウトをいずれのデバイスにも使用できます。デュアル・ループのアプリケーションに関しては、ADN2870のデータシートを参照してください。

ADN2871は、省スペースの4×4mm LFCSPパッケージを採用しており、−40～＋85℃で仕様規定されています。

図1に、シングルエンドのレーザ・インターフェースを持つ電圧セットポイント制御のアプリケーション回路図を示します。図36に、差動レーザ・インターフェース回路を示します。

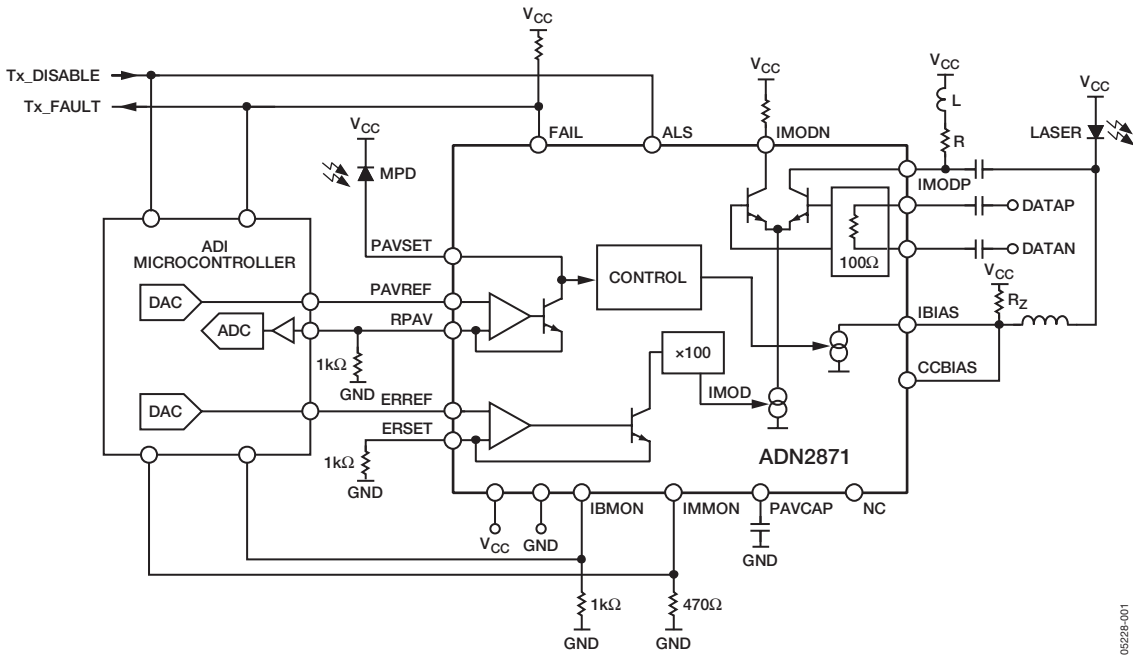

図1. シングルエンドのレーザ・インターフェースを持つ電圧セットポイント制御のアプリケーション回路図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸1-16-1　ニューピア竹芝サウスタワービル
電話03（5402）8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36　新大阪MTビル2号
電話06（6350）6868

目次

特長 1
アプリケーション 1
概要 1
改訂履歴 2
仕様 3
SFPタイミング仕様 5
絶対最大定格 6
ESDに関する注意 6
ピン配置とピン機能の説明 7
光信号波形 8
低価格のFabry Perot Tosa NEC NX7315UA使用時のマルチレート性能 8
DFB TOSA SUMITOMO SLT2486使用時の温度性能 8
代表的な性能特性 9
シングルエンド出力 9
差動出力 10
性能特性 11
動作原理 13
レーザの制御 13
制御方法 13
電圧セットポイントのキャリブレーション 13
抵抗セットポイント・キャリブレーション 15
I_{MPD}モニタリング 15
ループ帯域幅の選択 16
消費電力 16
自動レーザ・シャットダウン（Tx_DISABLE） 16
バイアス／変調モニタ電流 16
データ入力 17
レーザ・ダイオードとのインターフェース 17
アラーム 18
外形寸法 19
オーダー・ガイド 19

改訂履歴

2/07—Rev. 0 to Rev. A

Changes to Figure 1 1
Changes to Table 3 6
Changes to Table 4 7
Changes to Figure 29 and Figure 30 14
Changes to Resistor Setpoint Calibration Section, Figure 32, and Figure 33 15
Inserted Power-On Sequence in Resistor Setpoint Mode Section . . . 15
Changes to Loop Bandwidth Selection Section 16
Changes to Laser Diode Interfacing Section, Figure 35, and Figure 36 17
Changes to Table 6 18

6/05—Revision 0: Initial Version

仕様

V_{CC}＝3.0～3.6V。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}[1]で規定。Typ値は25℃で規定。

表1

Parameter	Min	Typ	Max	Unit	Conditions/Comments
LASER BIAS CURRENT (IBIAS)					
Output Current (IBIAS)	2		100	mA	
Compliance Voltage	1.2		V_{CC}	V	
IBIAS when ALS is High			0.1	mA	
MODULATION CURRENT (IMODP, IMODN)[2]					
Output Current (IMOD)	5		90	mA	
Compliance Voltage	1.5		V_{CC}	V	
IMOD when ALS is High			0.1	mA	5 mA < IMOD < 90 mA
Rise Time, Single-Ended Output[2, 3]		60	104	ps	5 mA < IMOD < 90 mA
Fall Time, Single-Ended Output[2, 3]		60	96	ps	5 mA < IMOD < 90 mA
Random Jitter, Single-Ended Output[2, 3]		0.8	1.1	ps (rms)	5 mA < IMOD < 90 mA
Deterministic Jitter, Single-Ended Output[3, 4]		19	35	ps	20 mA < IMOD < 90 mA
Pulse-Width Distortion, Single-Ended Output[2, 3]		21	30	ps	20 mA < IMOD < 90 mA
Rise Time, Differential Output[3, 5]		47.1		ps	5 mA < IMOD < 30 mA
Fall Time, Differential Output[3, 5]		46		ps	5 mA < IMOD < 30 mA
Random Jitter, Differential Output[3, 5]		0.64		ps (rms)	5 mA < IMOD < 30 mA
Deterministic Jitter, Differential Output[3, 6]		12		ps	5 mA < IMOD < 30 mA
Pulse-Width Distortion, Differential Output[3, 5]		2.1		ps	5 mA < IMOD < 30 mA
Rise Time, Differential Output[3, 5]		56		ps	5 mA < IMOD < 90 mA
Fall Time, Differential Output[3, 5]		55		ps	5 mA < IMOD < 90 mA
Random Jitter, Differential Output[3, 5]		0.61		ps (rms)	5 mA < IMOD < 90 mA
Deterministic Jitter, Differential Output[3, 7]		17		ps	5 mA < IMOD < 90 mA
Pulse-Width Distortion, Differential Output[3, 5]		1.6		ps	5 mA < IMOD < 90 mA
AVERAGE POWER SET (PAVSET)					
Pin Capacitance			80	pF	
Voltage	1.1	1.2	1.3	V	
Photodiode Monitor Current (Average Current)	50		1200	µA	Resistor setpoint mode
EXTINCTION RATIO SET INPUT (ERSET)					
Resistance Range	1.5		25	kΩ	Resistor setpoint mode
Resistance Range	0.99	1	1.01	kΩ	Voltage setpoint mode
AVERAGE POWER REFERENCE VOLTAGE INPUT (PAVREF)					
Voltage Range	0.07		1	V	Voltage setpoint mode (RPAV fixed at 1 kΩ)
Photodiode Monitor Current (Average Current)	70		1000	µA	Voltage setpoint mode (RPAV fixed at 1 kΩ)
EXTINCTION RATIO REFERENCE VOLTAGE INPUT (ERREF)					
Voltage Range	0.05		0.9	V	Voltage setpoint mode (RERSET fixed at 1 kΩ)
ERREF Voltage to IMOD Gain		100		mA/V	
DATA INPUTS (DATAP, DATAN)[8]					
V p-p (Differential)	0.4		2.4	V	AC-coupled
Input Impedance (Single-Ended)		50		Ω	

Parameter	Min	Typ	Max	Unit	Conditions/Comments
LOGIC INPUTS (ALS)					
V_{IH}	2			V	
V_{IL}			0.8	V	
ALARM OUTPUT (FAIL)[9]					
V_{OFF}		>1.8		V	Voltage required at FAIL for IBIAS and IMOD to turn off when FAIL asserted
V_{ON}		<1.3		V	Voltage required at FAIL for IBIAS and IMOD to stay on when FAIL asserted
IBMON/IMMON DIVISION RATIO					
IBIAS/IBMON[3]	76	94	112	A/A	2 mA < IBIAS < 11 mA
IBIAS/IBMON[3]	85	100	115	A/A	11 mA < IBIAS < 50 mA
IBIAS/IBMON[3]	92	100	108	A/A	50 mA < IBIAS < 100 mA
IBIAS/IBMON Stability[3, 10]			±5	%	10 mA < IBIAS < 100 mA
IMOD/IMMON		42		A/A	
IBMON Compliance Voltage	0		1.3	V	
SUPPLY					
I_{CC}[11]		32		mA	When IBIAS = IMOD = 0
V_{CC} (with respect to GND)[12]	3.0	3.3	3.6	V	

[1] 温度範囲：−40～＋85℃
[2] 図2に示すように、2.5Gbps時に1111111100000000のパターンを使用し、シングルエンドの15Ω負荷（デジタル・オシロスコープの50Ω入力と並列に22Ω抵抗を接続）に対して測定しています。
[3] これらの仕様については出荷テストを行っていませんが、デザインおよび特性評価により保証しています。
[4] 図2に示すように、2.5Gbps時にK28.5のパターンを使用し、シングルエンドの15Ω負荷に対して測定しています。
[5] 図3に示すように、4.25Gbps時に1111111100000000のパターンを使用し、差動の30Ω負荷（デジタル・オシロスコープの50Ω入力と並列に43Ωの差動抵抗を接続）に対して測定しています。
[6] 図3に示すように、4.25Gbps時にK28.5のパターンを使用し、差動の30Ω負荷に対して測定しています。
[7] 図3に示すように、2.7Gbps時にK28.5のパターンを使用し、差動の30Ω負荷に対して測定しています。
[8] DATAPの電圧がDATANの電圧よりも大きいときに、変調電流がIMODPピンに流れます。
[9] これらの仕様については出荷テストを行っていませんが、デザインにより保証しています。
[10] IBIAS/IBMON比の安定性は、SFF-8472規格リビジョン9で温度および電源変動に対して定義されています。
[11]「消費電力」に示した電力計算のI_{CC}最小値を参照してください。
[12] V_{CC}ピンはすべて短絡してください。

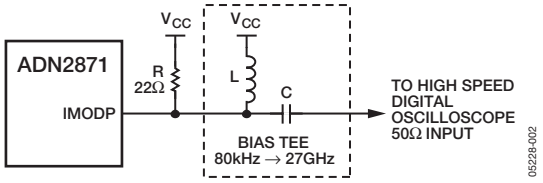

図2. 高速電気テスト用のシングルエンド出力回路

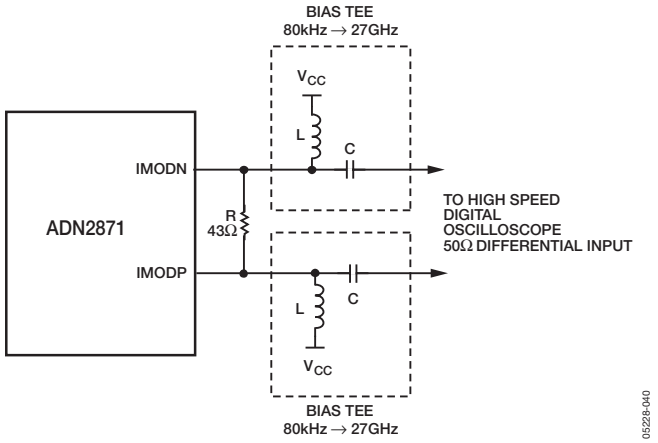

図3. 高速電気テスト用の差動出力回路

SFPタイミング仕様

表2

Parameter	Symbol	Min	Typ	Max	Unit	Conditions/Comments
ALS Assert Time	t_off		1	5	µs	Time for the rising edge of ALS (Tx_DISABLE) to when the bias current falls below 10% of nominal
ALS Negate Time[1]	t_on		0.15	0.4	ms	Time for the falling edge of ALS to when the modulation current rises above 90% of nominal
Time to Initialize, Including Reset of FAIL[1]	t_init		25	275	ms	From power-on or negation of FAIL using ALS
FAIL Assert Time	t_fault			100	µs	Time to fault to FAIL on
ALS to Reset Time	t_reset			5	µs	Time Tx_DISABLE must be held high to reset Tx_FAULT.

[1] これらの仕様については出荷テストを行っていませんが、デザインおよび特性評価により保証しています。

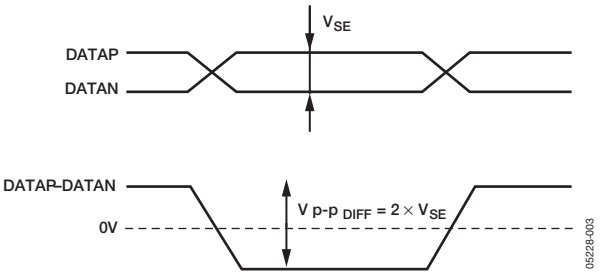

図4. 信号レベルの定義

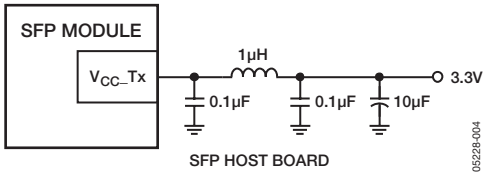

図5. 推奨SFP電源

絶対最大定格

表3

Parameter	Rating
V_{CC} to GND	4.2 V
IMODN, IMODP	–0.3 V to +4.8 V
All Other Pins	–0.3 V to +3.9 V
Junction Temperature	150°C
Operating Temperature Range	
Industrial	–40°C to +85°C
Storage Temperature Range	–65°C to +150°C
Junction Temperature (T_J max)	125°C
LFCSP	
Power Dissipation[1]	$(T_J \text{ max} – T_A)/\theta_{JA}$ W
θ_{JA} Thermal Impedance[2]	30°C/W
θ_{JC} Thermal Impedance	29.5°C/W
Lead Temperature (Soldering 10 sec)	300°C

[1] 消費電力の計算式は、「消費電力」に記載しています。
[2] θ_{JA}は、デバイスを4層ボードにハンダ付けした状態で規定しています。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置とピン機能の説明

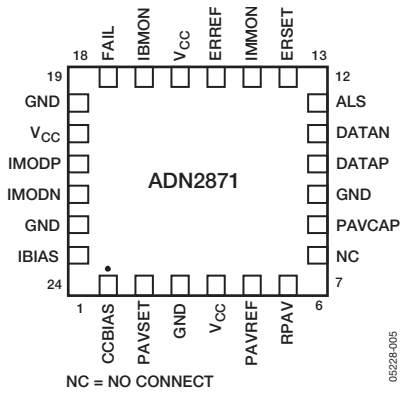

図6. ピン配置 — 上面図

注：LFCSPには露出パドルがあり、グラウンドへの接続が必要です。

表4. ピン機能の説明

ピン番号	記号	機能
1	CCBIAS	AC結合モードで、CCBIASはIBIASまたはV_{CC}に接続できます。DC結合モードでは、CCBIAS はV_{CC}に接続できません。
2	PAVSET	平均光パワー設定ピン
3	GND	電源グラウンド
4	V_{CC}	電源電圧
5	PAVREF	平均光パワー制御用のリファレンス電圧入力
6	RPAV	PAVREFを使用するときの平均パワー抵抗
7	NC	接続なし
8	PAVCAP	平均パワー・ループ用コンデンサ
9	GND	電源グラウンド
10	DATAP	データ、正の差動入力
11	DATAN	データ、負の差動入力
12	ALS	自動レーザ・シャットダウン
13	ERSET	消光比設定ピン
14	IMMON	変調電流モニタ電流源
15	ERREF	消光比制御用のリファレンス電圧入力
16	V_{CC}	電源電圧
17	IBMON	バイアス電流モニタ電流源
18	FAIL	故障アラーム出力
19	GND	電源グラウンド
20	V_{CC}	電源電圧
21	IMODP	変調電流の正出力（電流シンク）。レーザ・ダイオードに接続します。
22	IMODN	変調電流の負出力（電流シンク）
23	GND	電源グラウンド
24	IBIAS	レーザ・ダイオード・バイアス（グラウンドへの電流シンク）

光信号波形

特に指定のない限り、V_{CC}＝3.3V、T_A＝25℃で仕様規定。**注：PAVCAPとERCAPの値は変更なし。**

低価格のFabry Perot Tosa NEC NX7315UA使用時のマルチレート性能

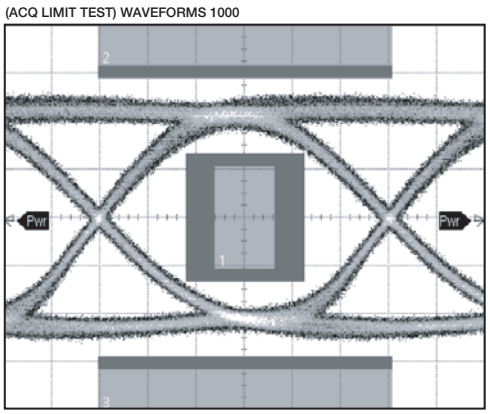

図7. 光アイ・パターン、2.488Gbps、65ps/div、PRBS 2^{31-1}、P_{AV}＝−4.5dBm、ER＝9dB、マスク・マージン25%

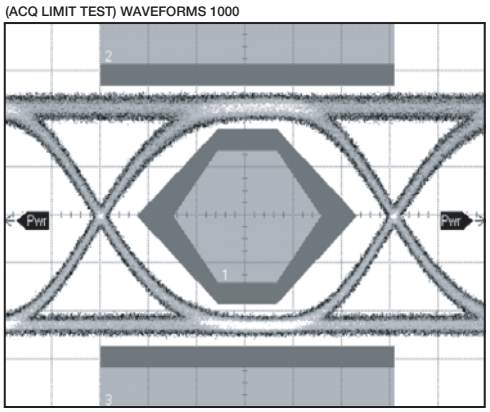

図8. 光アイ・パターン、622Mbps、264ps/div、PRBS 2^{31-1}、P_{AV}＝−4.5dBm、ER＝9dB、マスク・マージン50%

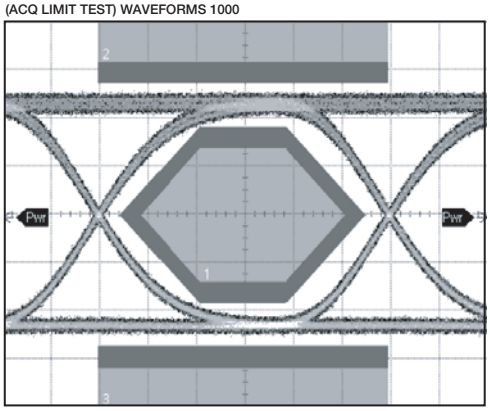

図9. 光アイ・パターン、155Mbps、1.078ns/div、PRBS 2^{31-1}、P_{AV}＝−4.5dBm、ER＝9dB、マスク・マージン50%

DFB TOSA SUMITOMO SLT2486使用時の温度性能

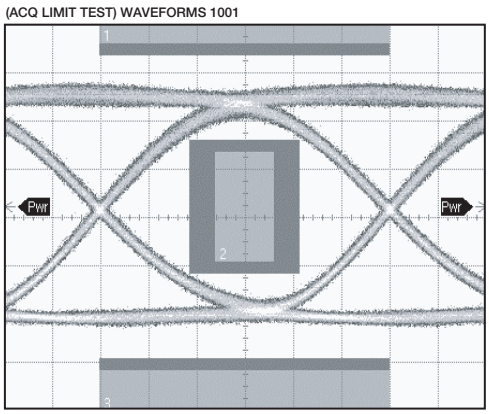

図10. 光アイ・パターン、2.488Gbps、65ps/div、PRBS 2^{31-1}、P_{AV}＝0dBm、ER＝9dB、マスク・マージン22%、T_A＝25℃

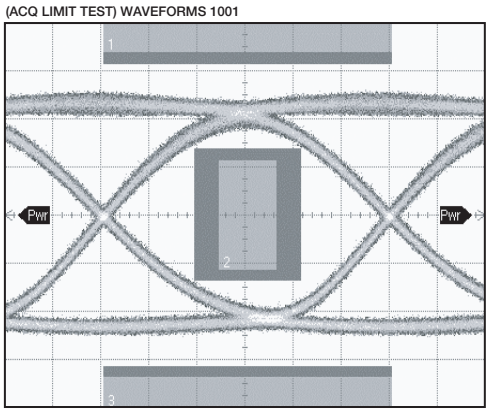

図11. 光アイ・パターン、2.488Gbps、65ps/div、PRBS 2^{31-1}、P_{AV}＝−0.2dBm、ER＝8.96dB、マスク・マージン21%、T_A＝85℃

代表的な性能特性

シングルエンド出力

次の性能特性は、図2に示す高速電気テスト用のシングルエンド出力回路を使用して測定。

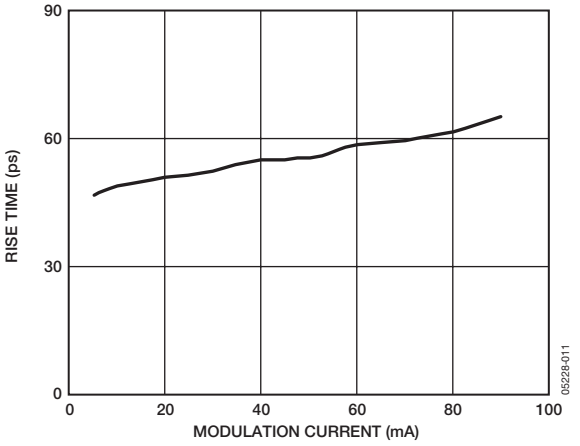

図12. 変調電流 対 立上がり時間、I_{BIAS}=20mA

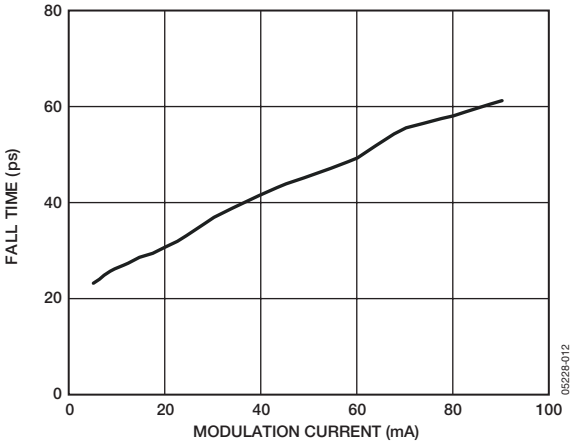

図13. 変調電流 対 立下がり時間、I_{BIAS}=20mA

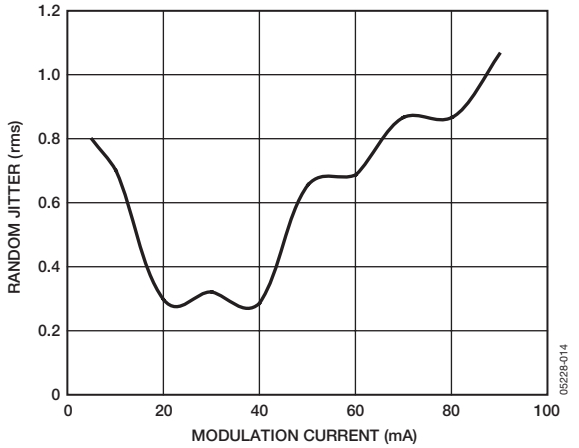

図14. 変調電流 対 ランダム・ジッタ、I_{BIAS}=20mA

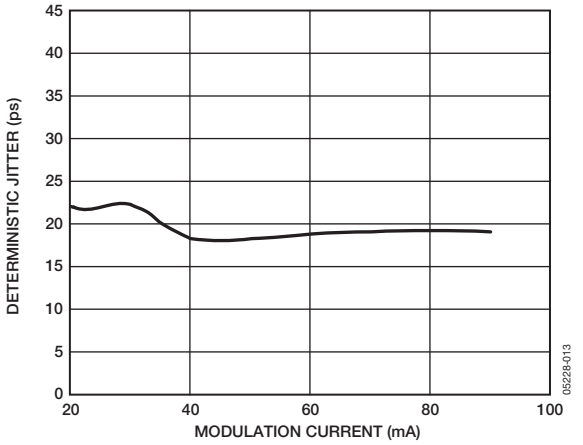

図15. 変調電流 対 2.488Gbps時の確定ジッタ、I_{BIAS}=20mA

差動出力

次の性能特性は、図3に示す高速電気テスト用の差動出力回路を使用して測定。

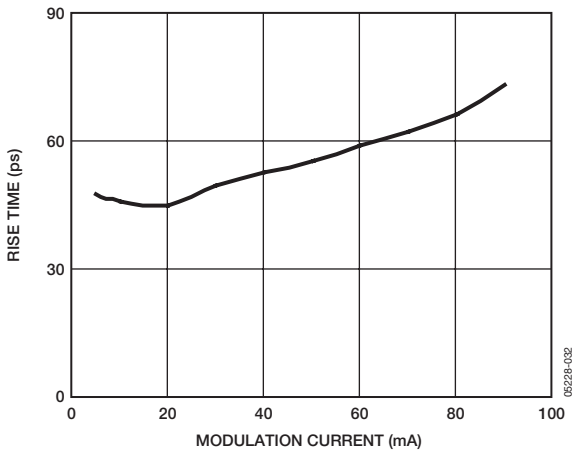

図16. 変調電流 対 立上がり時間、I_{BIAS}=20mA

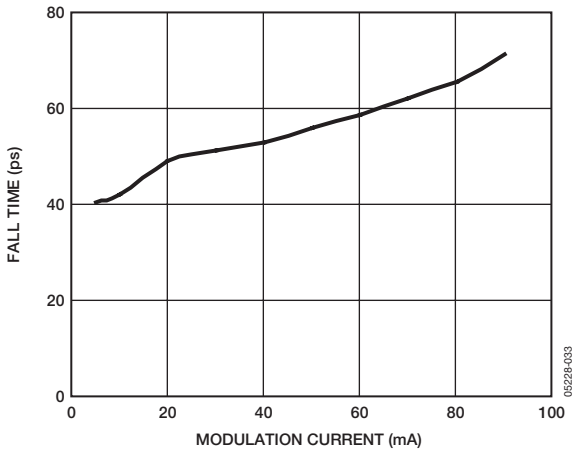

図17. 変調電流 対 立下がり時間、I_{BIAS}=20mA

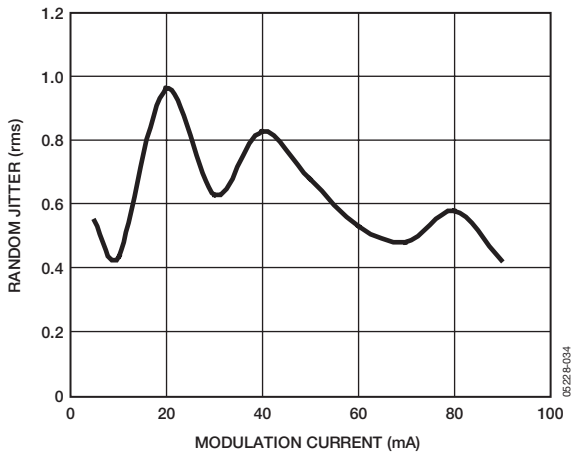

図18. 変調電流 対 ランダム・ジッタ、I_{BIAS}=20mA

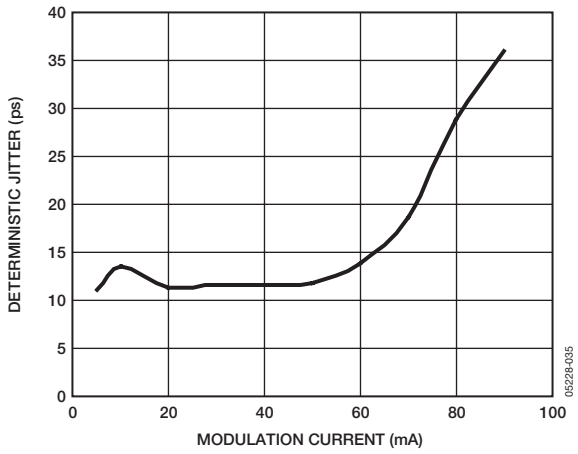

図19. 変調電流 対 4.25Gbps時の確定ジッタ、I_{BIAS}=20mA

性能特性

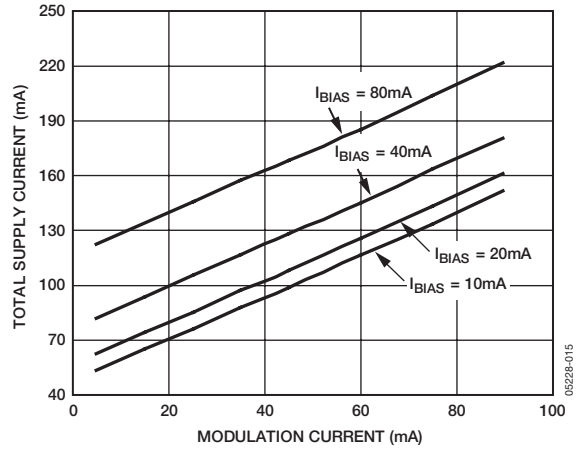

図20. 変調電流 対 総電源電流、
総電源電流＝I_{CC}＋I_{BIAS}＋I_{MOD}

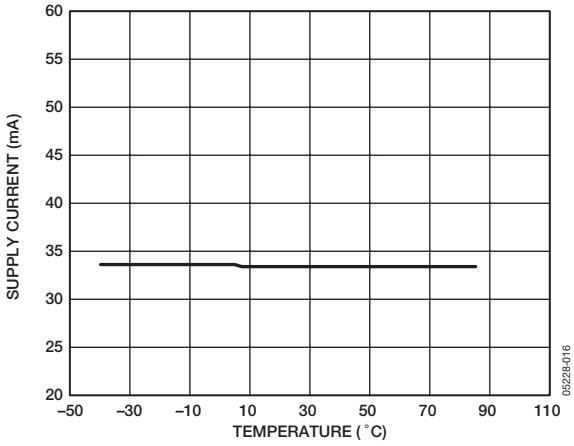

図23. ALSアサート時の電源電流（I_{CC}）の温度特性、I_{BIAS}＝20mA

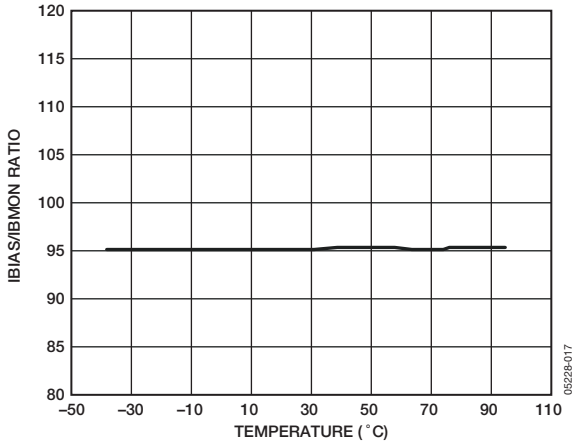

図21. IBIAS/IBMONゲインの温度特性、
I_{BIAS}＝20mA

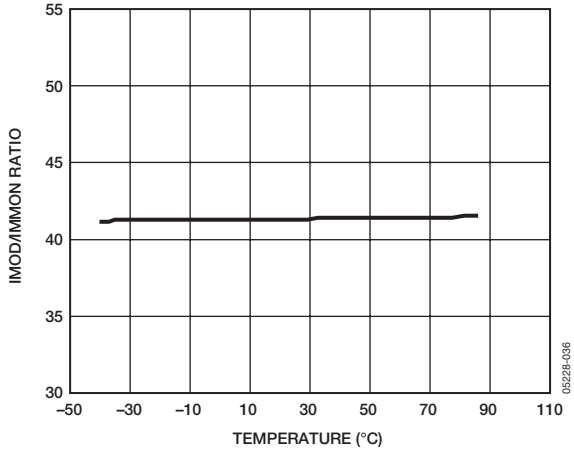

図24. IMOD/IMMONゲインの温度特性、
I_{MOD}＝30mA

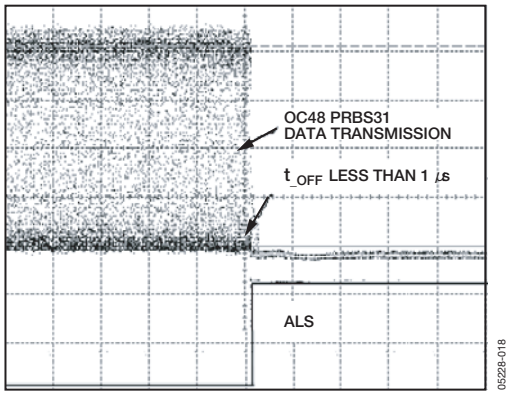

図22. ALSアサート時間、5µs/div

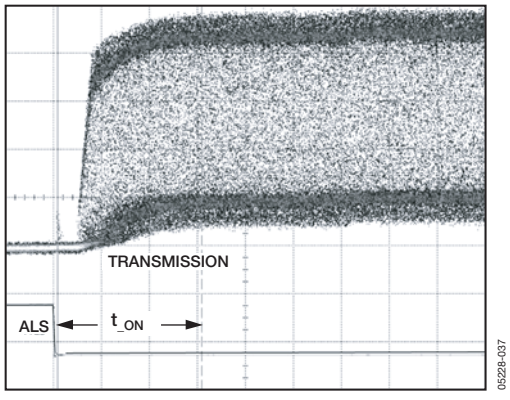

図25. ALSニゲート時間、50µs/div

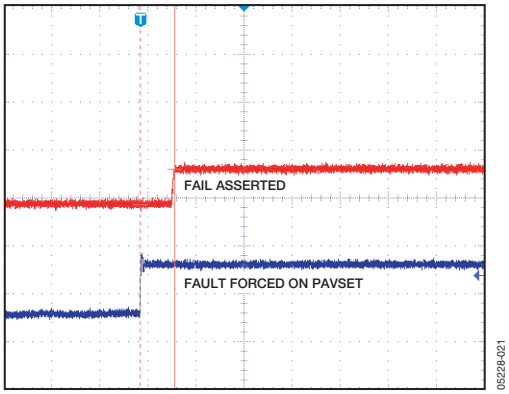

図26. FAILアサート時間、1µs/div

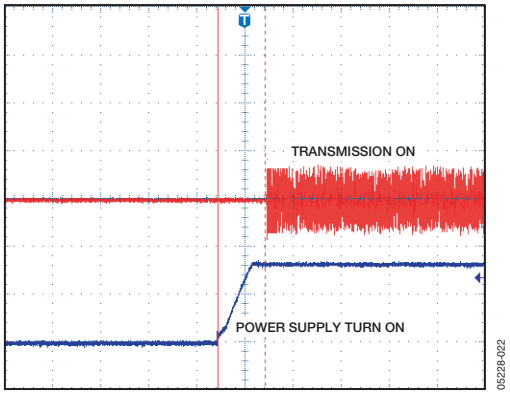

図27. リセットを含む初期化時間、40ms/div

動作原理

図28に示すように、レーザ・ダイオードは電流入力対光出力の伝達関数を持っています。この伝達関数の2つの重要な特性は、スレッショールド電流Ithと、スレッショールド電流を超えた直線領域におけるスロープ（スロープ効率LI）です。

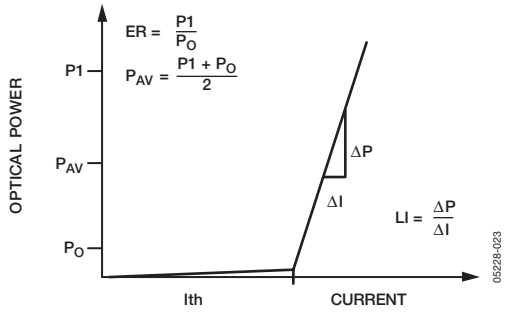

図28. レーザ伝達関数

レーザの制御

一般的に、レーザのスレッショールド電流とスロープ効率は、ともに温度の関数として変化します。FPおよびDFBタイプのレーザでは、温度の上昇にともなってスレッショールド電流は増加しスロープ効率は低下します。さらに、これらのパラメータはレーザの経年劣化によっても変動します。温度変化に対して、またレーザの耐用期間にわたって光平均パワーと消光比を一定に保つには、電気的なバイアス電流と変調電流を調整して、変化するレーザのLI特性を補償する必要があります。

平均パワー制御ループ（APCL）

APCLは、IBIASを変化させてIthとLIの変化を補償します。平均パワーを制御するときは、MPD電流I_{MPD}を測定します。この電流の帯域幅はMPDによって制限されますが、APCLが必要となるのは平均MPD電流に応答する場合であるため、問題ありません。

消光比（ER）の制御

ERを制御するときは、変調電流を調整します。変調電流を調整して温度の変化にともなうレーザ特性の変動を補償するときは、温度のキャリブレーションが必要です。

制御方法

ADN2871では、平均パワー（P_{AV}）と消光比（ER）の設定方法が2つあります。マイクロコントローラの電圧DACの出力を使用し、制御されたリファレンス電圧のPAVREFとERREFを供給して電圧で設定する方法と、PAVSETピンとERSETピンにポテンショメータを接続して抵抗で設定する方法です。

電圧セットポイントのキャリブレーション

ADN2871では、マイクロコントローラと接続して制御とモニタリングの両方を行うことが可能です（図29を参照）。マイクロコントローラのDACを使用して、制御されたリファレンス電圧のPAVREFとERREFを供給することによって、平均パワーと消光比を設定できます。

$$PAVREF = P_{AV} \times R_{SP} \times R_{PAV} \quad (V)$$

$$ERREF = \frac{I_{MOD} \times R_{ERSET}}{100} \quad (V)$$

上の式で、

R_{SP}＝光の応答性（A/Wの単位）

P_{AV}＝平均パワー

$R_{PAV} = R_{ERSET}$＝1kΩ

I_{MOD}＝変調電流

電圧セットポイント・モードでは、R_{PAV}とR_{ERSET}に、誤差1%、温度係数50ppm/℃の1kΩ抵抗を使用してください。

電圧セットポイント・モードでのパワーオン・シーケンス

パワーアップ時には、25msの内部シーケンスの後、アラームがイネーブルされます。したがって、電源のランプアップ後20ms以内に、PAVREFとERREFの電圧がアクティブになるようにしてください。PAVREFとERREFの電圧供給が25ms経過後になると、アラームが発生しFAILがアクティブになります。

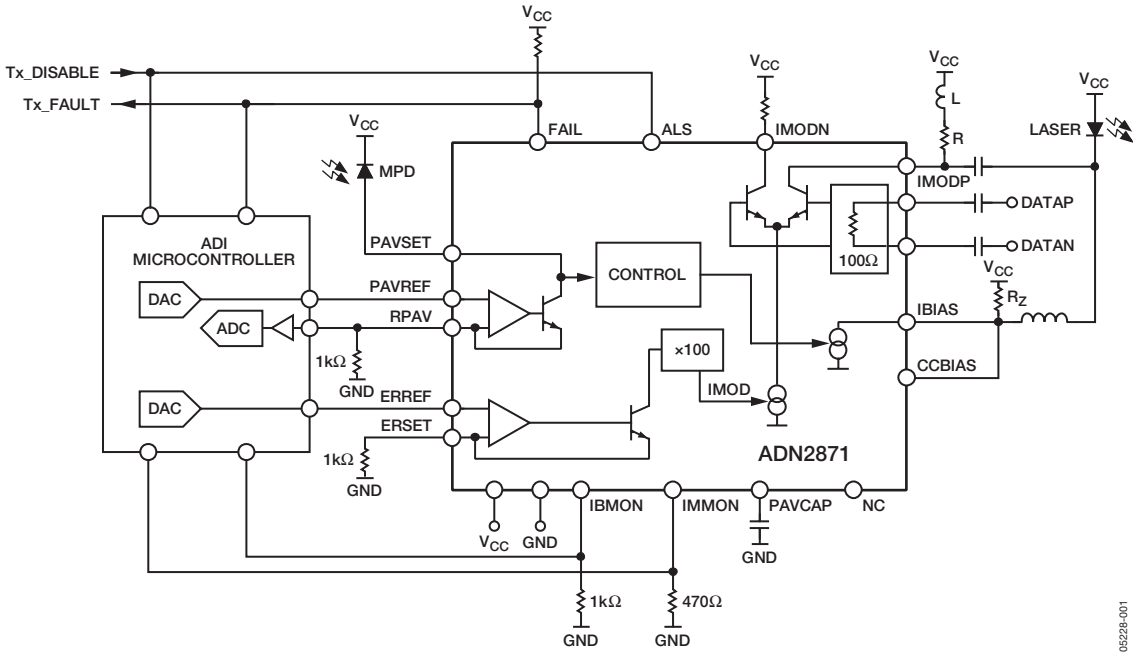

図29. マイクロコンバータの電圧セットポイント・キャリブレーションとモニタリングを使用するADN2871回路

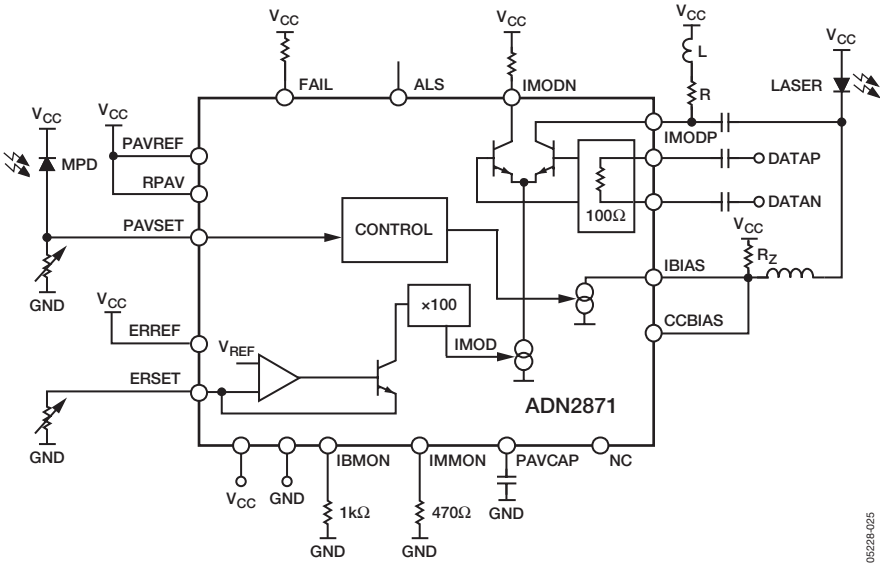

図30. 平均パワーと消光比の抵抗セットポイント・キャリブレーションを使用するADN2871回路

抵抗セットポイント・キャリブレーション

抵抗セットポイント・キャリブレーションでは、PAVREF、ERREF、RPAVをすべてV_{CC}に接続します。平均パワーと消光比は、それぞれPAVSETピンとERSETピンを使用して設定できます。図30に示すように、これらのピンとGNDの間に抵抗を外付けして、各ピンに流れる電流を設定します。PAVSETとERSETの電圧は両方とも、GNDより1.23V高いレベルに維持されます。PAVSETとERSETに使用する抵抗値は、次式から求めます。

$$R_{PAVSET} = \frac{1.2V}{P_{AV} \times R_{SP}} \quad (\Omega)$$

$$R_{ERSET} = \frac{1.2V \times 100}{I_{MOD}} \quad (\Omega)$$

上の式で、

R_{SP}＝光の応答性（A/Wの単位）

I_{MOD}＝変調電流

P_{AV}＝平均パワー

抵抗セットポイント・モードでのパワーオン

パワーオン後、ADN2871は初期プロセス・シーケンスを開始し、25ms後にアラームをイネーブルします。したがって、PAVSETピンとERSETピンに接続されている抵抗は、パワーオン後20ms以内に安定する必要があります。電源がパワーオンしてから20ms後に、PAVSETの抵抗とERSETの抵抗がADN2871に接続されると、ADN2871がアラームを発生して、FAILがアサートされます。

I_{MPD}モニタリング

次のように、電圧セットポイントと抵抗セットポイントについてI_{MPD}モニタリングを実行できます。

電圧セットポイント

電圧セットポイントのキャリブレーションでは、I_{MPD}のモニタリング方法が2つあります。

方法1：RPAVの電圧を測定する

レーザのオン状態で、制御ループによって制御されている限り、I_{MPD}電流はRPAVの電圧をRPAV値で除算して得られる値に等しくなります（図31を参照）。この方法では、レーザがシャットダウンしていたり障害モードにあるときは、有効なI_{MPD}読取り値が得られません。この場合測定を行うには、RPAVにマイクロコンバータのバッファされたADC入力を接続します。デカップリング・コンデンサやフィルタ・コンデンサをRPAVノードに接続しないでください。制御ループが妨害されるおそれがあります。

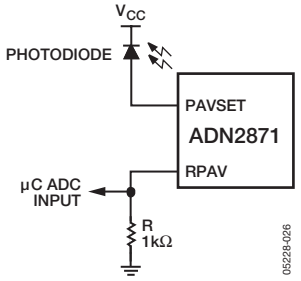

図31. 電圧セットポイント・モードでのI_{MPD} RPAVのシングルエンド測定

方法2：センス抵抗を用いてI_{MPD}を測定する

この方法では、有効なI_{MPD}読取り値が常に得られるという利点がありますが、I_{MPD}と直列に直接接続したセンス抵抗から差動測定を行わなければならない点が不便です。図32に示すように、値の小さい抵抗RxをI_{MPD}と直列に接続します。回路デザインで使用するレーザ・ダイオードが、モニタ用フォトダイオードの陰極とレーザ陽極を接続していないピン配置になっている場合は、図33に示すように、センス抵抗をフォトダイオードの陰極とV_{CC}に直列に接続してください。抵抗の値を選択するときは、通常の動作時に見込まれるI_{MPD}値を考慮してください。抵抗は、バッファされたADCが有効な信号を読み出せるくらい大きい値にしますが、I_{MPD}を通過した後大きな電圧降下が発生しないレベルにとどめる必要があります。レーザの通常の動作時に、センス抵抗の電圧が250mVを超えないようにしてください。10pFのコンデンサをセンス抵抗と並列接続することを推奨します。

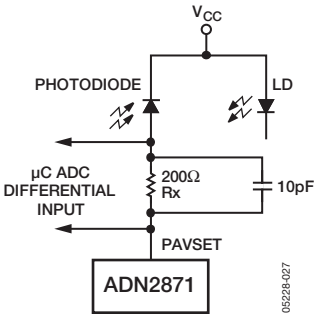

図32. センス抵抗を用いたI_{MPD}の差動測定

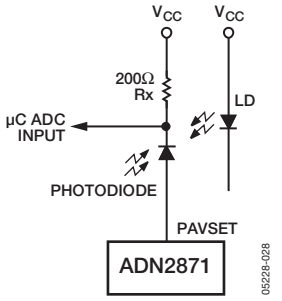

図33. センス抵抗を用いたI_{MPD}のシングルエンド測定

抵抗セットポイント

抵抗セットポイントのキャリブレーションでは、PAVSETとグラウンド間に接続した抵抗を通過する電流がI_{MPD}電流になります。I_{MPD}電流を測定するときは、図34に示すように、小さな値の抵抗をPAVSET抵抗（またはポテンショメータ）と直列に接続し、この抵抗の電圧を測定します。I_{MPD}電流は、使用する抵抗の値でこの電圧を除算して得られる値に等しくなります。抵抗セットポイントのキャリブレーションでは、PAVSETが1.2Vの公称値に維持されます。センス抵抗の電圧が250mVを超えることのないように、センス抵抗の値を選択することを推奨します。

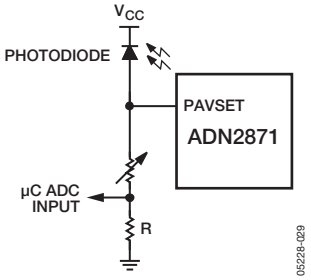

図34. 抵抗セットポイントのI_{MPD}モニタリングでセンス抵抗を用いたI_{MPD}のシングルエンド測定

ループ帯域幅の選択

ADN2871の制御ループが十分な帯域幅を持っていることを確認するために、レーザのスロープ効率（W/Aの単位）および必要な平均パワーを使用して、平均パワー・ループ・コンデンサ（PAVCAP）の容量を計算します。

抵抗セットポイント制御の場合：

$$PAVCAP = 3.2\times10^{-6}\times\frac{LI}{P_{AV}} \quad \text{(Farad)}$$

電圧セットポイント制御の場合：

$$PAVCAP = 1.28\times10^{-6}\times\frac{LI}{P_{AV}} \quad \text{(Farad)}$$

上の式で、P_{AV}は必要な平均パワー、LI（mW/mAの単位）は回路デザインで使用するレーザの25℃におけるスロープ効率の代表値です。

LIは次式から求めます。

$$LI = \frac{P1-P0}{I_{MOD}} \quad \text{(mW/mA)}$$

上の式で、$P1$は1レベルでの光パワー（mW）、$P0$はゼロ・レベルでの光パワー（mW）です。

コンデンサの容量を計算する式を用いて、回路デザインおよび平均パワー設定で使用する特定タイプのレーザの中心値を求めます。レーザのLIは、同じタイプの異なる物理レーザによって温度条件により7倍の開きがありますが、PAVCAPの容量を再計算する必要はありません。

このコンデンサをPAVCAPピンとグラウンドとの間に接続します。コンデンサは、絶縁抵抗100GΩ超または時定数1000秒のいずれか小さい方を満たす、低リーク多層セラミック・コンデンサにすることが重要です。コンデンサ自体の誤差を考慮に入れた後で、実際の容量が計算値の±30%以内になるように、標準の規格品コンデンサの中から容量を選択してください。

消費電力

ADN2871のダイ温度は125℃未満に維持する必要があります。LFCSPには露出パドルがあり、ADN2871のグラウンド・ピンと同じ電位になるように接続する必要があります。消費電力は、次のように計算できます。

$$I_{CC} = I_{CC}\ min + 0.3\ I_{MOD}$$

$$P = V_{CC}\times I_{CC} + (I_{BIAS}\times V_{BIAS_PIN}) + I_{MOD}\ (V_{MODP_PIN} + V_{MODN_PIN})/2$$

$$T_{DIE} = T_{AMBIENT} + \theta_{JA}\times P$$

したがって、I_{BIAS}とI_{MOD}の合計最大値を計算する必要があります。

上の式で、

$I_{CC}\ min$＝30mA、I_{BIAS}＝I_{MOD}＝0の場合の表1に示したI_{CC}の値（typ）。

T_{DIE}はチップ温度です。

$T_{AMBIENT}$は周囲温度です。

V_{BIAS_PIN}はIBIASピンの電圧です。

V_{MODP_PIN}はIMODPピンの電圧です。

V_{MODN_PIN}はIMODNピンの電圧です。

自動レーザ・シャットダウン（Tx_DISABLE）

ALS（Tx_DISABLE）は、トランスミッタの光出力をシャットダウンするために使用する入力です。ALSピンは6kΩの抵抗によって内部でプルアップされ、SFP MSA仕様に適合しています。ALSがロジック・ハイレベル、またはオープンのときに、バイアス電流と変調電流の両方がオフになります。アラームがトリガされ、バイアス電流と変調電流がオフになる場合、ALSをハイレベルに設定し、その後ローレベルに設定して、アラームをクリアします。

バイアス／変調モニタ電流

IBMONとIMMONは、バイアス電流と変調電流の比をミラーする電流制御の電流源です。バイアス電流と変調電流にそれぞれ比例する電圧を供給するときは、モニタ・バイアス電流（IBMON）とモニタ変調電流（IMMON）の両方を、抵抗を経由してグラウンドに接続します。マイクロコントローラを使用するときは、これらの抵抗で発生する電圧を2つのADCチャンネルに接続して、バイアス電流と変調電流をデジタル信号に変換できます。

データ入力

データ入力はAC結合し（10nFのコンデンサを推奨）、DATAPピンとDATANピン間に接続する100Ωの内部抵抗を経由して終端してください。インピーダンスの高い回路によって同相電圧を設定し、温度変化に対して最大の入力電圧ヘッドルームを得られるデザインになっています。同相電圧間のマッチングを不要にするときは、AC結合を行う必要があります。

レーザ・ダイオードとのインターフェース

図35に、ADN2871と大部分のTOキャンまたは同軸レーザとのインターフェースに推奨する回路を示します。DFBおよびFPレーザには一般に、5～7Ωのインピーダンスと軸方向リードがあります。図の回路はマルチレート動作を含めて、155Mbps～3.3Gbpsの幅広いデータレートで動作します（PAVCAPとERCAPの容量は変更する必要がありません）。マルチレート性能の例については、「低価格のFabry Perot Tosa NEC NX7315UA使用時のマルチレート性能」を参照してください。同軸レーザには、接続を困難にする固有の特性があります。この種のレーザはインダクタンスが高くなる傾向があり、インピーダンスをうまく制御することができません。図35に示す回路は、レーザ側の伝送ラインを故意に誤った方法で終端しながら、ドライバ側で非常に高品質の整合回路を構成することによって動作しています。ドライバ側の整合回路のインピーダンスは、周波数と比較して非常に平坦に保たれ、これによってマルチレート動作が可能になっています。直列のダンピング抵抗は使用しないでください。

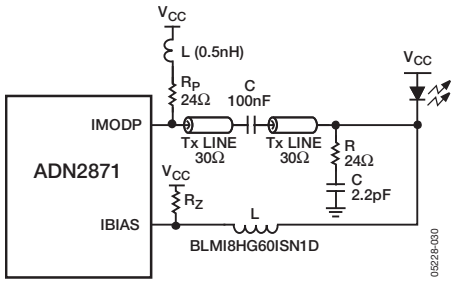

図35. ADN2871のAC結合を行うための推奨インターフェース

30Ωの伝送ラインは、必要な駆動電流と総消費電力をバランスさせるために使用します。部品の値を変更すると、これ以外の伝送ライン抵抗値も使用できます。図35では、最初の値としてRおよびCのスナバ値にそれぞれ24Ωと2.2pFを選択していますが、使用するレーザのモデルに合わせて調整する必要があります。プルアップ抵抗R_Pは、非常に値の小さい（0.5nH）インダクタと直列に接続されています。場合によっては、インダクタを使用する必要がないか、またはPCボード上で意図的な寄生インダクタンスを用いて（細いパターン配線やビアなど）対処できることがあります。

PCボードに可能な限り近接させてレーザを実装し、レーザの缶とボードのエッジとの間に露出するリードの長さを最小限にしてください。同軸レーザの軸方向リードは非常に誘導性が高くなっています（1mmあたり約1nH）。露出リードが長いと、エッジ・レートが低速になり、アイ・マージンが低下します。

推奨の部品レイアウトおよびゲルバー・ファイルが必要な場合は、弊社にお問合わせください。図35に示す回路は、最大56mAの変調電流をレーザに供給でき、現在販売されている大部分のレーザに対応できます。伝送ラインの抵抗値と逆マッチング値を変更すると、さらに高い電流にも対応できます。推奨事項については弊社までお問い合わせください。このインターフェース回路は、バタフライ型のレーザや特性インピーダンスが25Ωのレーザには適しません。25Ωの伝送ラインと誘導性（抵抗性ではない）のプルアップを推奨します。図35に示すADN2871のシングルエンド・アプリケーションは、2.7Gbpsまでのデータレートに適しています。2.7～4.25Gbpsのデータレートでは、VCSELまたは立下がり時間が低速のレーザの駆動に差動ドライバを使用することを推奨します。部品を数点追加するだけで差動駆動が可能です。この回路の一例を図36に示します。レーザのAC結合インターフェースのため、また変調電流の一部がプルアップ抵抗R1、R2に流れるため、ADN2871で設定するバイアス電流と変調電流は、レーザで必要なバイアス電流と変調電流よりも大きくしてください。

図35と図36では、最適なアイ品質を実現するために抵抗R_Zが必要です。R_Zの推奨値は200～500Ωです。

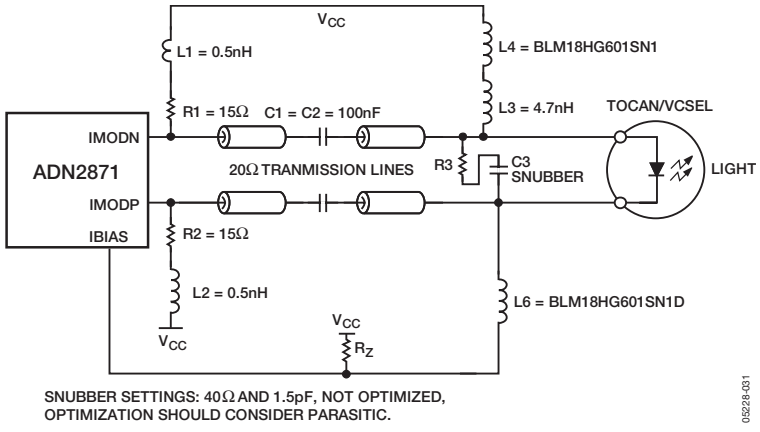

図36. 推奨の差動駆動回路

アラーム

ADN2871は、ラッチされたアクティブ・ハイレベルのモニタリング・アラーム（FAIL）出力を持っています。このFAILアラーム出力は、SFP MSA仕様の要求条件に適合するオープン・ドレインです。

ADN2871には、次の場合に機能する3重のアラーム・システムがあります。

- レーザの経年劣化などにより予測以上のバイアス電流が流れた場合
- モニタ用フォトダイオード（MPD）入力における平均電圧が限界を超えた場合。これは、過大なレーザ・パワーかループの切断があることを示しています。
- IBIASノード（レーザ・ダイオードの陰極）の過小電圧によってレーザ・パワーが増加した場合

バイアス電流のアラーム・トリップ・ポイントは、IBMONピンとグラウンドとの間に接続する抵抗の値によって設定します。IBMONピンの電圧が1.2Vよりも高くなると、アラームがトリガされます。表5に記載するシングル・ポイント障害が発生すると、FAILがアクティブになります。図37に示す回路は、バイアス電流と変調電流をオンの状態に維持しながら、FAILがアクティブになっていることを示します。トランジスタのV_{BE}がFAIL電圧を1.3Vよりも低いレベルにクランプし、これによってバイアス電流と変調電流の自動シャットダウンをディスエーブルします。アラームがトリガされ、FAILがアクティブになった場合、ALSをハイレベルに設定し、その後ローレベルに設定して、アラームをクリアします。

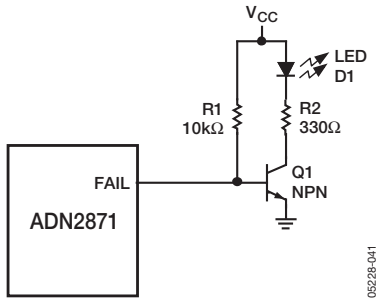

図37. FAIL表示回路

表5. ADN2871のシングル・ポイント・アラーム

Alarm Type	Mnemonic	Overvoltage or Short to V_{CC} Condition	Undervoltage or Short to GND Condition
Bias Current	IBMON	Alarm if > 1.2 V typical (±10% tolerance)	Ignore
MPD Current	PAVSET	Alarm if > threshold (typical threshold: 1.5 V to 2.1 V)	Alarm if < threshold (typical threshold: 0.6 V to 1.1 V)
Crucial Nodes	ERREF (the ERRREF designed tied to V_{CC} in resistor setting mode)	Alarm if shorted to V_{CC} (the alarm is valid for voltage setting mode only)	Ignore
	IBIAS	Ignore	Alarm if shorted to GND

表6. AC結合構成（図35に示す）時の各種のシングル・ポイント障害に対するADN2871の応答性

Pin	Short to V_{CC}	Short to GND	Open
CCBIAS	Fault state occurs	Fault state occurs	Does not increase laser average power
PAVSET	Fault state occurs	Fault state occurs	Fault state occurs
PAVREF	Voltage mode: Fault state occurs	Fault state occurs	Fault state occurs
	Resistor mode: Tied to V_{CC}		Circuit designed to tie to V_{CC} in resistorsetting mode, so no open case
RPAV	Voltage mode: Fault state occurs	Fault state occurs	Voltage mode: Fault state occurs
	Resistor mode: Tied to V_{CC}		Resistor mode: Does not increase average power
PAVCAP	Fault state occurs	Fault state occurs	Fault state occurs
DATAP	Does not increase laser average power	Does not increase laser average power	Does not increase laser average power
DATAN	Does not increase laser average power	Does not increase laser average power	Does not increase laser average power
ALS	Output currents shut off	Normal currents	Output currents shut off
ERSET	Does not increase laser average power	Does not increase laser average power	Does not increase laser average power
IMMON	Does not affect laser power	Does not increase laser average power	Does not increase laser average power
ERREF	Voltage mode: Fault state occurs	Voltage mode: Does not increase average power	Does not increase laser average power
	Resistor mode: Tied to V_{CC}	Resistor mode: Fault state occurs	
IBMON	Fault state occurs	Does not increase laser average power	Does not increase laser average power
FAIL	Fault state occurs	Does not increase laser average power	Does not increase laser average power
IMODP	Does not increase laser average power	Does not increase laser average power	Does not increase laser average power
IMODN	Does not increase laser average power	Does not increase laser average power	Does not increase laser power
IBIAS	Fault state occurs	Fault state occurs	Fault state occurs

外形寸法

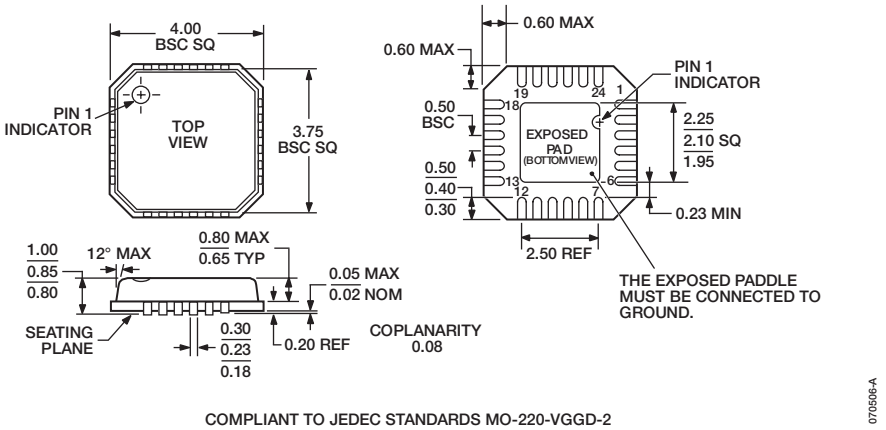

図38. 24ピン・リードフレーム・チップ・スケール・パッケージ［LFCSP_VQ］
4mm×4mm、超薄型クワッド
（CP-24-1）
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADN2871ACPZ[1]	–40°C to +85°C	24-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-24-1
ADN2871ACPZ-RL[1]	–40°C to +85°C	24-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-24-1
ADN2871ACPZ-RL7[1]	–40°C to +85°C	24-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-24-1

[1]Z＝鉛フリー製品

D05228-0-2/07(A)-J