



5kV RMS、デュアルチャンネル LVDS ギガビット・アイソレータ

データシート

ADN4654

特長

5kV rms LVDS アイソレータ
TIA/EIA-644-A LVDS 規格に準拠
複数のデュアルチャンネル構成
最大 1.1Gbps までの任意のデータ・レートで低ジッタの
スイッチング
4ns（代表値）の伝搬遅延
2.6ps rms（代表値）のランダム・ジッタ
1.1Gbps で 90ps（代表値）のピーク to ピーク合計ジッタ
電源：2.5V/3.3V
電源リップル除去：-75dBc
グリッチ耐性
絶縁バリアをまたぐ IEC 61000-4-2 ESD 保護：±8kV
高いコモンモード過渡耐圧：>25kV/μs
1.1Gbps PRBS で EN 55022 クラス B の放射エミッション制限
をクリア（申請中）
安全性と規制に対する認定（20 ピン SOIC_W パッケージ）
UL（申請中）：1 分間で 5000V rms、UL 1577 規格に準拠
CSA Component Acceptance Notice 5A（申請中）
VDE 適合性認定（申請中）
DIN V VDE V 0884-10（VDE V 0884-10）：2006-12
VIORM = 424V_{PEAK}
動作温度範囲：-40°C ~ +125°C
7.8mm の沿面およびクリアランス

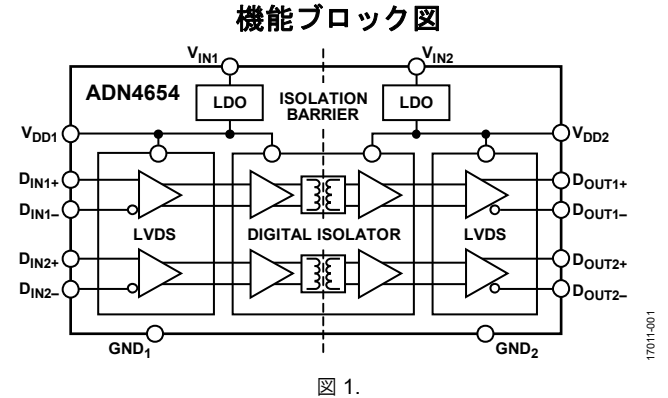
アプリケーション

隔離されたビデオおよびイメージング・データ
アナログ・フロントエンドの絶縁
データ・プレーンの絶縁
絶縁型高速クロックとデータ・リンク

概要

ADN4654¹ は、最大 1.1Gbps、低ジッタで動作する、信号絶縁型の低電圧差動伝送（LVDS）バッファです。

このデバイスには、アナログ・デバイセズの高速動作に強化された iCoupler[®] 技術が採用されており、TIA/EIA-644-A 準拠の LVDS ドライバとレシーバーに対応した電氣的絶縁を実現します。iCoupler 技術により、LVDS シグナル・チェーンのドロップイン絶縁が可能になります。



低いジッタで高速動作を実現できるように、LVDS 回路と絶縁回路は 2.5V 電源を使用します。内蔵の低ドロップアウト（LDO）レギュレータは、必要な 2.5V を外部の 3.3V 電源から供給できます。このデバイスは、広範な工業用温度範囲にわたって完全に仕様規定されており、5kV rms 絶縁の 20 ピン、ワイド・ボディ SOIC_W パッケージを採用しています。

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	ESD に関する注意	7
アプリケーション	1	ピン配置およびピン機能の説明	8
機能ブロック図	1	代表的な性能特性	9
概要	1	テスト回路とスイッチング特性	14
改訂履歴	2	動作原理	15
仕様	3	真理値表	15
レシーバー入力スレッショルド試験電圧	4	絶縁	15
タイミング仕様	4	アプリケーション情報	16
絶縁および安全性関連の仕様	5	アプリケーション例	16
パッケージ特性	5	PCB レイアウト	17
適用規格	5	磁界耐性	18
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性 (申請中)	6	絶縁寿命	19
推奨動作条件	6	外形寸法	20
絶対最大定格	7	オーダー・ガイド	20
熱抵抗	7		

改訂履歴

11/2018—Revision 0: Initial Version

仕様

特に指定のない限り、すべての最小／最大仕様は、 $V_{DD1} = V_{DD2} = 2.375\text{V} \sim 2.625\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。特に指定のない限り、すべての代表仕様は、 $V_{DD1} = V_{DD2} = 2.5\text{V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUTS (RECEIVERS)						
Input Threshold						See Figure 33 and Table 2
High	V_{TH}			100	mV	
Low	V_{TL}	-100			mV	
Differential Input Voltage	$ V_{ID} $	100			mV	See Figure 33 and Table 2
Input Common-Mode Voltage	V_{IC}	$0.5 V_{ID} $		$2.4 - 0.5 V_{ID} $	V	See Figure 33 and Table 2
Input Current	I_{IH}, I_{IL}	-5		+5	μA	$D_{INx\pm} = V_{DDx}$ or 0 V, other input = 1.2 V, $V_{DDx} = 2.5\text{ V}$ or 0 V
Differential Input Capacitance ¹	$C_{INx\pm}$		2		pF	$D_{INx\pm} = 0.4 \sin(30 \times 10^6 \pi t)\text{ V} + 0.5\text{ V}$, other input = 1.2 V ²
OUTPUTS (DRIVERS)						
Differential Output Voltage	$ V_{OD} $	250	310	450	mV	See Figure 31 and Figure 32, load resistance (R_L) = 100 Ω
V_{OD} Magnitude Change	$ \Delta V_{OD} $			50	mV	See Figure 31 and Figure 32, $R_L = 100\text{ }\Omega$
Offset Voltage	V_{OS}	1.125	1.17	1.375	V	See Figure 31, $R_L = 100\text{ }\Omega$
V_{OS} Magnitude Change	ΔV_{OS}			50	mV	See Figure 31, $R_L = 100\text{ }\Omega$
V_{OS} Peak-to-Peak ¹	$V_{OS(PP)}$			150	mV	See Figure 31, $R_L = 100\text{ }\Omega$
Output Short-Circuit Current	I_{OS}			-20	mA	$D_{OUTx\pm} = 0\text{ V}$
				12	mA	$ V_{OD} = 0\text{ V}$
Differential Output Capacitance ¹	$C_{OUTx\pm}$		5		pF	$D_{OUTx\pm} = 0.4 \sin(30 \times 10^6 \pi t)\text{ V} + 0.5\text{ V}$, other input = 1.2 V, V_{DD1} or $V_{DD2} = 0\text{ V}$
POWER SUPPLY						
Supply Current	$I_{DD1}, I_{IN1}, I_{DD2}, \text{ or } I_{IN2}$		50	65	mA	No output load, inputs with 100 Ω , $ V_{ID} = 200\text{ mV}$
			60	80	mA	All outputs loaded, $R_L = 100\text{ }\Omega$, frequency = 0.55 GHz
LDO Input Range	V_{IN1} or V_{IN2}	3.0	3.3	3.6	V	No external supply on V_{DD1} or V_{DD2}
LDO Output Range	V_{DD1} or V_{DD2}	2.375	2.5	2.625	V	
Power Supply Ripple Rejection, Phase Spur Level	PSRR		-75		dBc	Phase spur level on $D_{OUTx\pm}$ with 0.55 GHz clock on $D_{INx\pm}$ and applied ripple of 100 kHz, 100 mV p-p on a 2.5 V supply to V_{DD1} or V_{DD2}
COMMON-MODE TRANSIENT IMMUNITY ³	$ CM $	25	50		kV/ μs	Common-mode voltage (V_{CM}) = 1000 V, transient magnitude = 800 V

¹ これらの仕様は、設計および特性評価により確保されています。

² t は時間を表します。

³ $|CM|$ は、 D_{OUTx+}/D_{OUTx-} ピンを対応する D_{INx+}/D_{INx-} ピンと同じ状態に維持しながら（出力に変化なし）、または適用したコモンモード過渡エッジが対応する D_{INx+}/D_{INx-} ピン上のデータ遷移と一致する場合に D_{OUTx+}/D_{OUTx-} ピン上に期待される遷移を生成しながら持続できる、コモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立上がりと立下がりの両方のコモンモード電圧エッジに適用されます。

レシーバ入カスレッシュョールド試験電圧

表 2. レシーバ動作の試験電圧

Applied Voltages		Input Voltage, Differential (V_{ID}) (V)	Input Voltage, Common-Mode (V_{IC}) (V)	Driver Output (V_{OD}) (mV)
D_{INx+} (V)	D_{INx-} (V)			
1.25	1.15	0.1	1.2	>250
1.15	1.25	-0.1	+1.2	<-250
2.4	2.3	0.1	2.35	>250
2.3	2.4	-0.1	+2.35	<-250
0.1	0	0.1	0.05	>250
0	0.1	-0.1	+0.05	<-250
1.5	0.9	0.6	1.2	>250
0.9	1.5	-0.6	+1.2	<-250
2.4	1.8	0.6	2.1	>250
1.8	2.4	-0.6	+2.1	<-250
0.6	0	0.6	0.3	>250
0	0.6	-0.6	+0.3	<-250

タイミング仕様

特に指定のない限り、すべての最小／最大仕様は、 $V_{DD1} = V_{DD2} = 2.375V \sim 2.625V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、すべての代表仕様は、 $V_{DD1} = V_{DD2} = 2.5V$ 、 $T_A = 25^\circ C$ 。

表 3.

Parameter	Symbol	Min	Typ	Max ¹	Unit	Test Conditions/Comments
PROPAGATION DELAY	t_{PLH}, t_{PHL}	4	4.5		ns	See Figure 34, from any D_{INx+}/D_{INx-} to D_{OUTx+}/D_{OUTx-}
SKEW						See Figure 34, across all D_{OUTx+}/D_{OUTx-}
Duty Cycle ²	$t_{SK(D)}$			100	ps	
Channel to Channel ³	$t_{SK(CH)}$		150	300	ps	
Part to Part ⁴	$t_{SK(PP)}$			500	ps	
JITTER ⁵						See Figure 34, for any D_{OUTx+}/D_{OUTx-}
Random Jitter, RMS ⁶ (1σ)	$t_{RJ(RMS)}$	2.6	4.8		ps rms	0.55 GHz clock input
Deterministic Jitter ^{7, 8}	$t_{DJ(PP)}$	50	116		ps	1.1 Gbps, $2^{23} - 1$ pseudorandom bit stream (PRBS)
With Crosstalk	$t_{DJ(CP)}$	50			ps	1.1 Gbps, $2^{23} - 1$ PRBS
Total Jitter at Bit Error Rate (BER) 1×10^{-12}	$t_{TJ(PP)}$	90	171		ps	0.55 GHz/1.1 Gbps, $2^{23} - 1$ PRBS ⁹
Additive Phase Jitter	t_{ADDJ}	387			fs rms	100 Hz to 100 kHz, output frequency (f_{OUT}) = 10 MHz ¹⁰
		288			fs rms	12 kHz to 20 MHz, $f_{OUT} = 0.55$ GHz ¹¹
RISE AND FALL TIME	t_R, t_F		350		ps	See Figure 34, any D_{OUTx+}/D_{OUTx-} , 20% to 80%, $R_L = 100 \Omega$, load capacitance (C_L) = 5 pF
MAXIMUM DATA RATE		1.1	1.25		Gbps	

¹ これらの仕様は、設計および特性評価により確保されています。

² デューティ・サイクルまたはパルス・スキューは、デバイスのあらゆるチャンネルの t_{PLH} と t_{PHL} の最大差の大きさです（つまり、 $|t_{PLHx} - t_{PHLx}|$ ）。ここで、x はチャンネル 1 またはチャンネル 2 の伝搬遅延を表します。

³ チャンネル間スキューまたは出力スキューは、デバイス内の t_{PLHx} の最大値と最小値の差、またはデバイス内の t_{PHLx} の最大値と最小値の差のいずれか大きいほうです。

⁴ 部品間出力スキューは、複数のデバイスの t_{PLHx} の最大値と最小値の差、または複数のデバイスの t_{PHLx} の最大値と最小値の差のいずれか大きいほうです。

⁵ ジッタ・パラメータは、設計および特性評価により確認されています。これらの値に刺激ジッタは含まれません。 $V_{ID} = 400mV$ p-p、 $t_R = t_F = 0.3ns$ （20%～80%）。

⁶ この仕様は、最大 7,000,000 エッジの母集団にわたって測定しました。

⁷ ピーク to ピーク・ジッタの仕様には、パルス・スキュー（ $t_{SK(D)}$ ）によるジッタが含まれます。

⁸ この仕様は、最大 3,000,000 エッジの母集団にわたって測定しました。

⁹ 式 $t_{TJ(PP)} = 14 \times t_{RJ(RMS)} + t_{DJ(PP)}$ を使用。

¹⁰ 250fs rms の入力位相ジッタを減算。

¹¹ 100fs rms の入力位相ジッタを減算。

絶縁および安全性関連の仕様

詳細については www.analog.com/jp/icouplersafety を参照してください。

表 4.

パラメータ	記号	値	単位	テスト条件／コメント
Rated Dielectric Insulation Voltage		5000	V rms	1 分間隔
Minimum External Air Gap (Clearance)	L (I01)	7.8	mm min	入力端子と出力端子の間の、空中での最短距離を測定
Minimum External Tracking (Creepage)	L (I02)	7.8	mm min	入力端子と出力端子の間の、パッケージに沿った最短距離を測定
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	8.1	mm min	PCB 実装面の空中で、入力端子と出力端子の間の直線距離を測定
Minimum Internal Gap (Internal Clearance)		22	μm min	絶縁材の絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

パッケージ特性

表 5.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹³		Ω	Frequency = 1 MHz
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	
Input Capacitance ²	C _I		3.7		pF	

¹ このデバイスは 2 端子デバイスとみなされます。すなわち、ピン 1～ピン 10 を相互に接続し、ピン 11～ピン 20 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンドの間の値です。

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 11 および絶縁寿命のセクションを参照してください。

表 6.

UL (Pending)	CSA (Pending)	VDE (Pending)
To Be Recognized Under UL 1577 Component Recognition Program ¹	To be approved under CSA Component Acceptance Notice 5A	To be certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Single Protection, Isolation Voltage		Reinforced insulation, V _{IORM} = 424 V _{PEAK} , V _{IOSM} = 8000 V _{PEAK}
20-Lead SOIC, 5000 V rms		
File E214100	File 205078	File 2471900-4880-0001

¹ UL 1577 に従い、それぞれの ADN4654 には 6000V rms 以上 (20 ピン SOIC_W) の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています。

² DIN V VDE V 0884-10 に従い、それぞれの ADN4654 には 795V_{PEAK} 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています (部分放電検出限界= 5pC)。

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性 (申請中)

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。保護回路を使用すれば、安全データを維持しやすくなります。

表 7.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110			I to IV	
For Rated Mains Voltage ≤ 150 V rms			I to IV	
For Rated Mains Voltage ≤ 300 V rms			I to III	
For Rated Mains Voltage ≤ 600 V rms			40/125/21	
Climatic Classification			2	
Pollution Degree per DIN VDE 0110, Table 1				
Maximum Working Insulation Voltage		V_{IORM}	424	V_{PEAK}
Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PD(M)}$, 100% production test, $t_{INI} = t_M = 1$ sec, partial discharge < 5 pC	$V_{PD(M)}$	795	V_{PEAK}
Input to Output Test Voltage, Method A		$V_{PD(M)}$		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{PD(M)}$, $t_{INI} = 60$ sec, $t_M = 10$ sec, partial discharge < 5 pC		636	V_{PEAK}
After Input or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PD(M)}$, $t_{INI} = 60$ sec, $t_M = 10$ sec, partial discharge < 5 pC		509	V_{PEAK}
Highest Allowable Overvoltage		V_{IOTM}	7000	V_{PEAK}
Surge Isolation Voltage				
Basic	$V_{PEAK} = 12.8$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	10,000	V_{PEAK}
Reinforced	$V_{PEAK} = 12.8$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	8000	V_{PEAK}
Safety Limiting Values	Maximum value allowed in the event of a failure (see 図 2.)			
Maximum Junction Temperature		T_S	150	$^{\circ}\text{C}$
Total Power Dissipation at 25°C		P_S	2.78	W
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

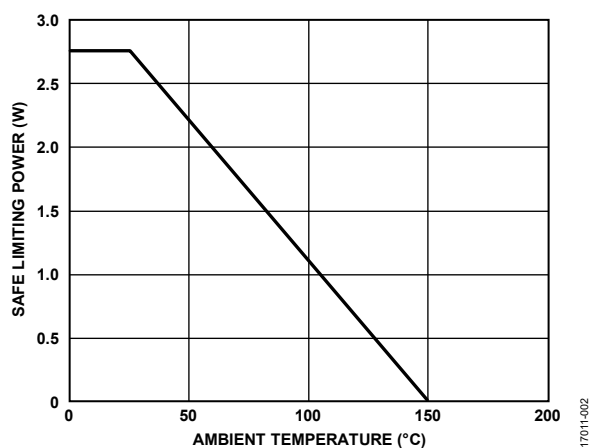


図 2. 熱デレレーティング曲線、DIN V VDE V 0884-10 による安全限界電力の周囲温度への依存性

推奨動作条件

表 8.

Parameter	Symbol	Rating
Operating Temperature	T_A	-40°C to $+125^{\circ}\text{C}$
Supply Voltages		
Supply to LDO	V_{IN1} , V_{IN2}	3.0 V to 3.6 V
LDO Bypass, V_{INx} Shorted to V_{DDx}	V_{DD1} , V_{DD2}	2.375 V to 2.625 V

絶対最大定格

表 9.

Parameter	Rating
V_{IN1} to GND_1/V_{IN2} to GND_2	-0.3 V to +6.5 V
V_{DD1} to GND_1/V_{DD2} to GND_2	-0.3 V to +2.8 V
Input Voltage (D_{INx+} , D_{INx-}) to GND_x on the Same Side	-0.3 V to $V_{DD} + 0.3$ V
Output Voltage (D_{OUTx+} , D_{OUTx-}) to GND_x on the Same Side	-0.3 V to $V_{DD} + 0.3$ V
Short-Circuit Duration (D_{OUTx+} , D_{OUTx-}) to GND_x on the Same Side	Continuous
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J Maximum)	150°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$
Electrostatic Discharge (ESD)	
Human Body Model (All Pins to Respective GND_x , 1.5 k Ω , 100 pF)	± 4 kV
IEC 61000-4-2 (LVDS Pins to Isolated GND_x Across Isolation Barrier)	± 8 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には細心の注意が必要です。

表 10. 熱抵抗

Package Type ¹	θ_{JA}	Unit
RW-20	45.7	°C/W

¹テスト条件 1：熱抵抗のシミュレーション値は、JEDEC 規格の 4 層基板に基づいています。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 11. 最大の連続動作電圧¹

Parameter	Rating	Constraint
AC Voltage		
Bipolar Waveform		
Basic Insulation	424 V _{PEAK}	50-year minimum insulation lifetime for 1% failure
Reinforced Insulation	424 V _{PEAK}	50-year minimum insulation lifetime for 1% failure
Unipolar Waveform		
Basic Insulation	848 V _{PEAK}	50-year minimum insulation lifetime for 1% failure
Reinforced Insulation	875 V _{PEAK}	Lifetime limited by package creepage, maximum approved working voltage
DC Voltage		
Basic Insulation	1079 V _{PEAK}	Lifetime limited by package creepage, maximum approved working voltage
Reinforced Insulation	536 V _{PEAK}	Lifetime limited by package creepage, maximum approved working voltage

¹最大の連続動作電圧は、絶縁バリアの両端にかかる連続電圧の大きさを指します。詳細については、絶縁寿命のセクションを参照してください。

ピン配置およびピン機能の説明

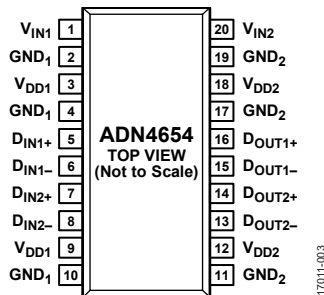


図 3. ピン配置

表 12. ピン機能の説明

ピン番号	記号	説明
1	V _{IN1}	サイド 1 用のオプションの 3.3V 電源／LDO 入力。1μF のコンデンサを使用して V _{IN1} を GND ₁ にバイパスします。2.5V 電源を使用する場合は、代わりに V _{IN1} を直接 V _{DD1} に接続します。
2, 4, 10	GND ₁	グラウンド、サイド 1。
3, 9	V _{DD1}	サイド 1 用の 2.5V 電源。両方のピンを外部で接続し、0.1μF のコンデンサで GND ₁ にバイパスします。V _{IN1} に 3.3V を供給する場合は、内蔵 LDO の 2.5V 出力を適切に調整できるようにピン 3 と GND ₁ の間に 1μF のコンデンサを接続します。
5	D _{IN1+}	非反転差動入力 1。
6	D _{IN1-}	反転差動入力 1。
7	D _{IN2+}	非反転差動入力 2。
8	D _{IN2-}	反転差動入力 2。
11, 17, 19	GND ₂	グラウンド、サイド 2。
12, 18	V _{DD2}	サイド 2 用の 2.5V 電源。両方のピンを外部で接続し、0.1μF のコンデンサで GND ₂ にバイパスします。V _{IN2} に 3.3V を供給する場合は、内蔵 LDO の 2.5V 出力を適切に調整できるようにピン 18 と GND ₂ の間に 1μF のコンデンサを接続します。
13	D _{OUT2-}	反転差動出力 2。
14	D _{OUT2+}	非反転差動出力 2。
15	D _{OUT1-}	反転差動出力 1。
16	D _{OUT1+}	非反転差動出力 1。
20	V _{IN2}	サイド 2 用のオプションの 3.3V 電源／LDO 入力。1μF のコンデンサを使用して V _{IN2} を GND ₂ にバイパスします。2.5V 電源を使用する場合は、代わりに V _{IN2} を直接 V _{DD2} に接続します。

代表的な性能特性

特に指定のない限り、 $V_{DD1} = V_{DD2} = 2.5V$ 、 $T_A = 25^\circ C$ 、 $R_L = 100\Omega$ 、 $|V_{ID}| = 200mV$ で 0.55GHz 入力、 $V_{IC} = 1.1V$ 。

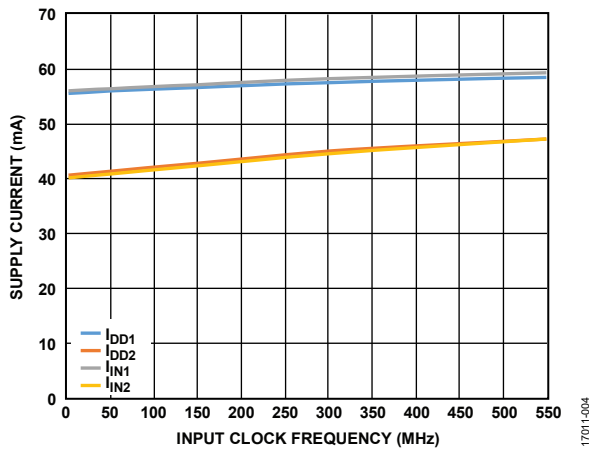


図 4. 電源電流と入力クロック周波数の関係
($D_{IN1\pm}$ スイッチング、 $D_{IN2\pm}$ スイッチングせず)

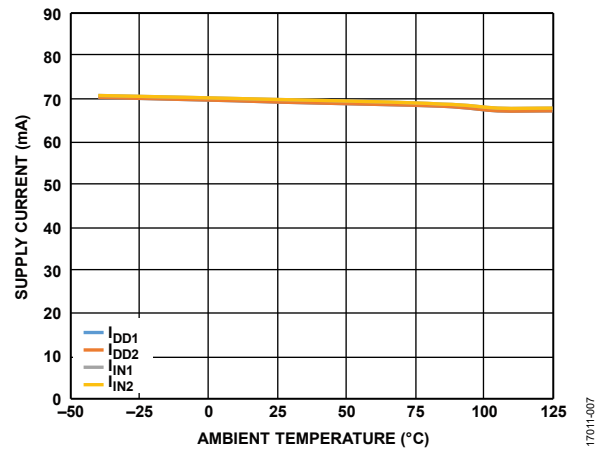


図 7. 電源電流と周囲温度の関係
($D_{IN1\pm}$ および $D_{IN2\pm}$ に 550MHz クロック入力)

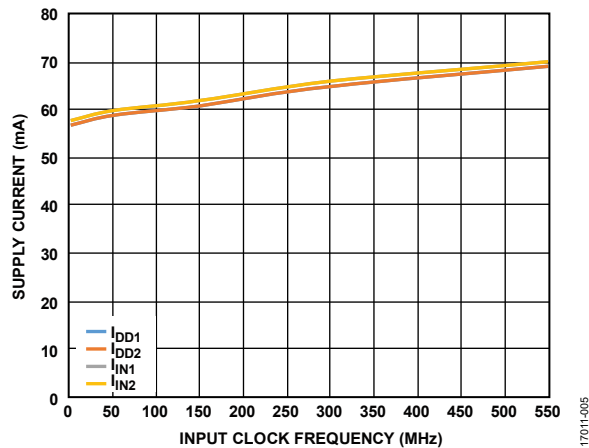


図 5. 電源電流と入力クロック周波数の関係
($D_{IN1\pm}$ および $D_{IN2\pm}$ スイッチング)

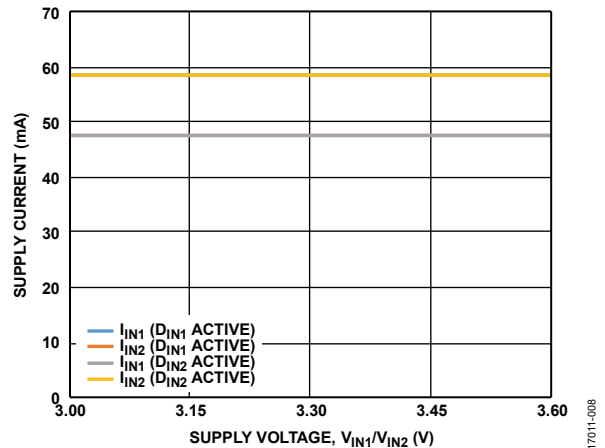


図 8. 電源電流と電源電圧 V_{IN1}/V_{IN2} の関係

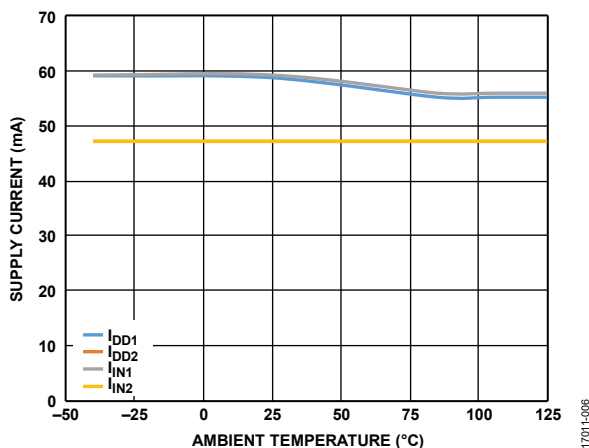


図 6. 電源電流と周囲温度の関係
($D_{IN1\pm}$ に 550MHz クロック入力、 $D_{IN2\pm}$ スイッチングせず)

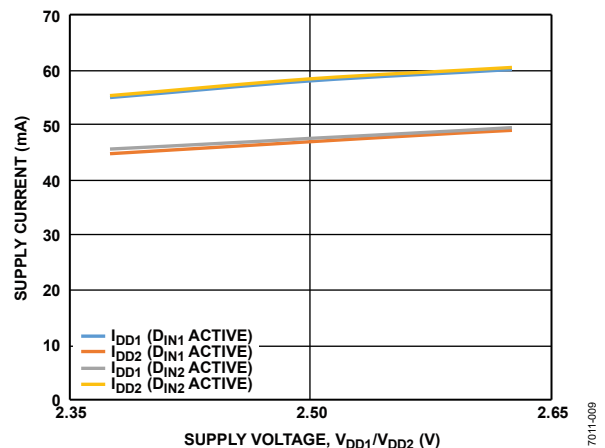


図 9. 電源電流と電源電圧 V_{DD1}/V_{DD2} の関係

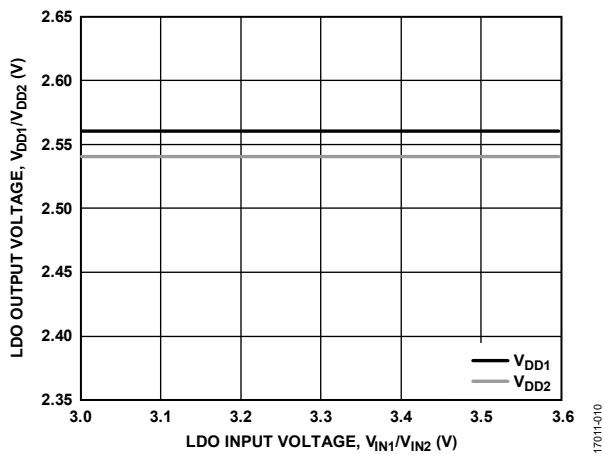


図 10. LDO 出力電圧 V_{DD1}/V_{DD2} と LDO 入力電圧 V_{IN1}/V_{IN2} の関係

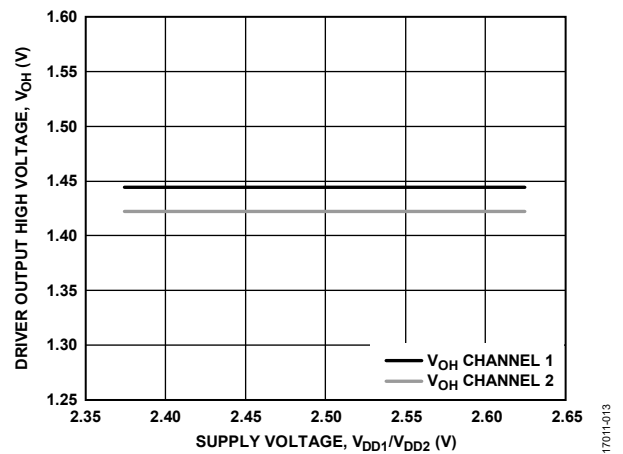


図 13. ドライバ出力ハイ・レベル電圧 V_{OH} と電源電圧 V_{DD1}/V_{DD2} の関係

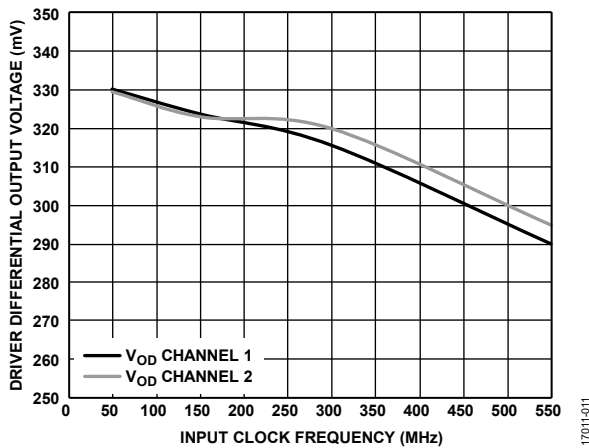


図 11. ドライバ差動出力電圧と入力クロック周波数の関係

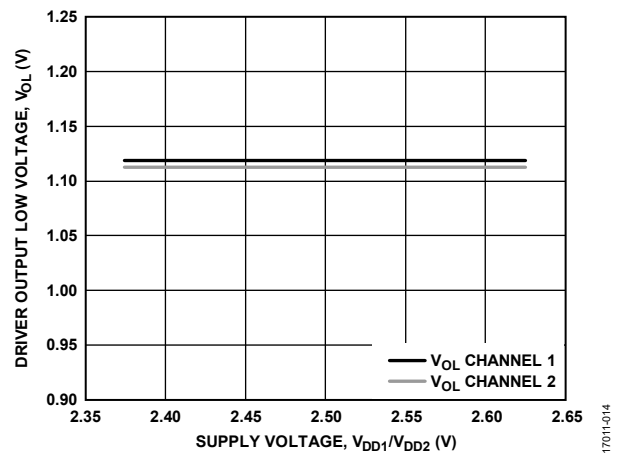


図 14. ドライバ出力ロー・レベル電圧 V_{OL} と電源電圧 V_{DD1}/V_{DD2} の関係

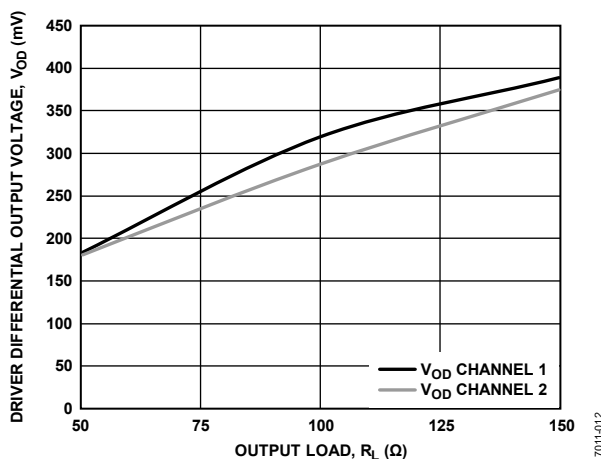


図 12. ドライバ差動出力電圧 V_{OD} と出力負荷 R_L の関係

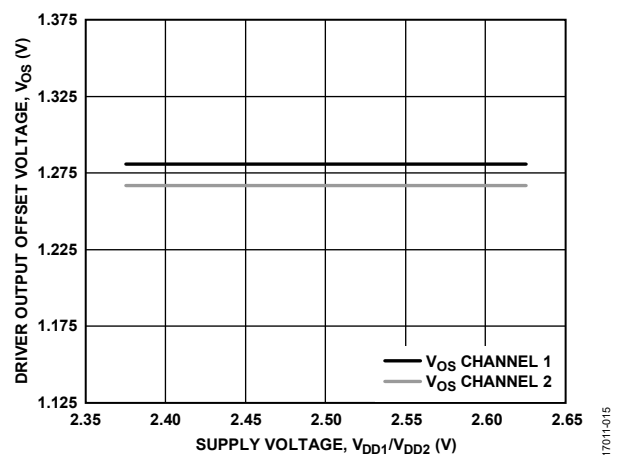


図 15. ドライバ出力オフセット電圧 V_{OS} と電源電圧 V_{DD1}/V_{DD2} の関係

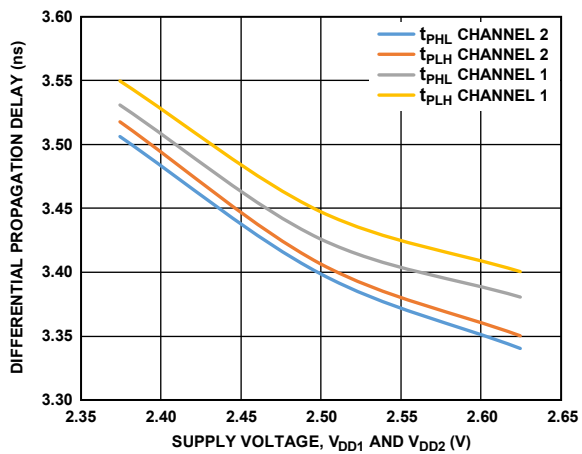


図 16. 差動伝搬遅延と電源電圧 V_{DD1} および V_{DD2} の関係

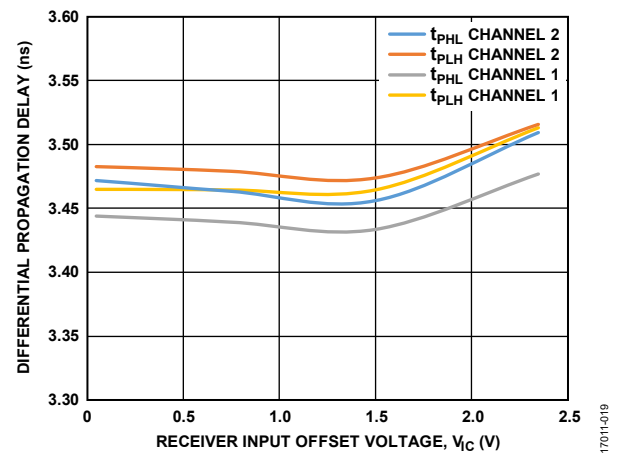


図 19. 差動伝搬遅延とレシーバー入力オフセット電圧 V_{IC} の関係

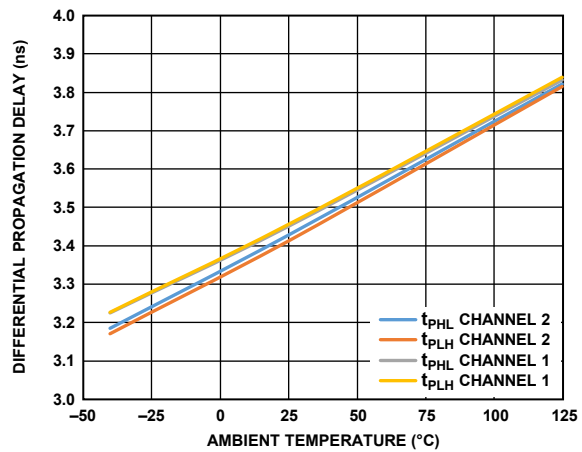


図 17. 差動伝搬遅延と周囲温度の関係

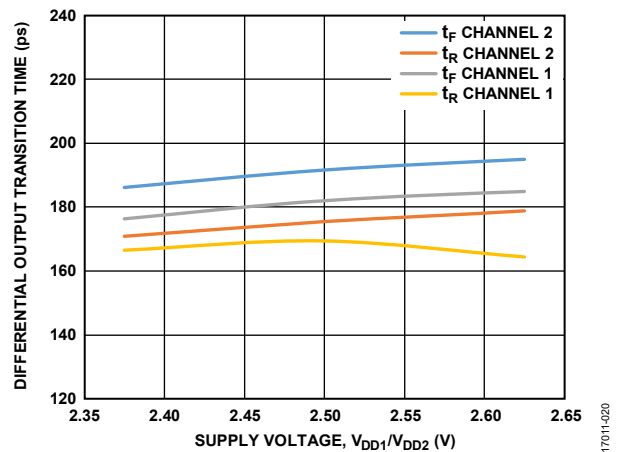


図 20. 差動出力遷移時間と電源電圧 V_{DD1}/V_{DD2} の関係

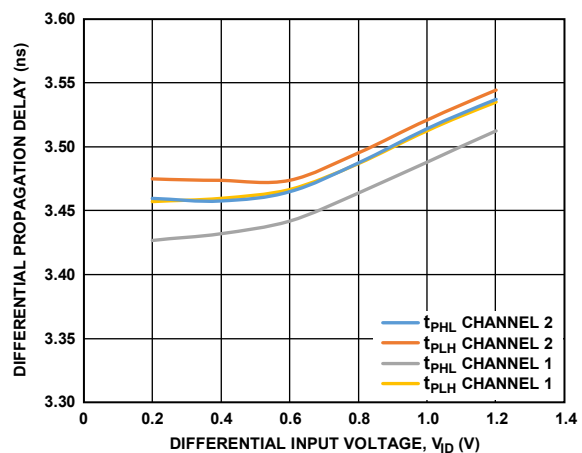


図 18. 差動伝搬遅延と差動入力電圧 V_{ID} の関係

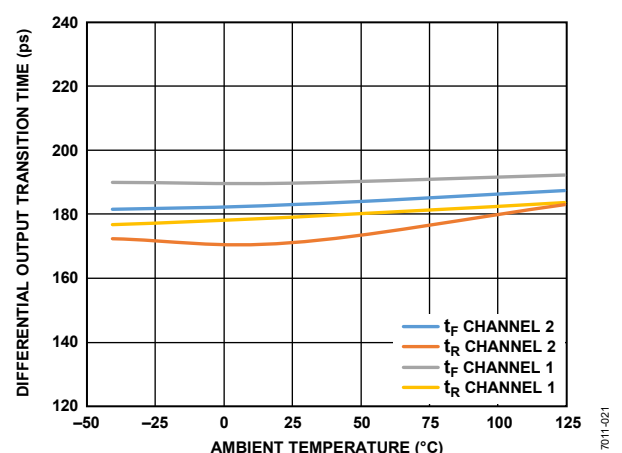


図 21. 差動出力遷移時間と周囲温度の関係

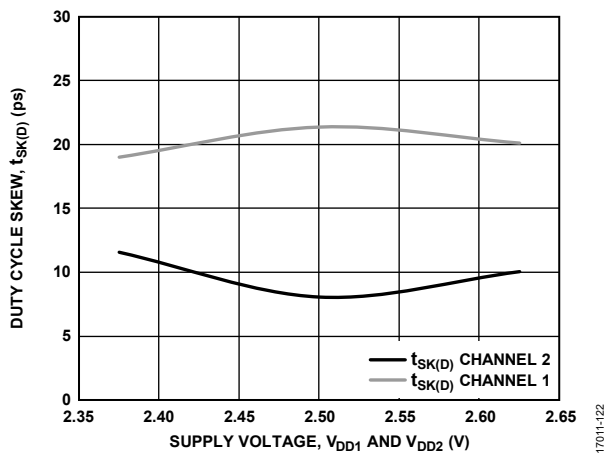


図 22. デューティ・サイクル・スキュー $t_{SK(D)}$ と電源電圧 V_{DD1} および V_{DD2} の関係

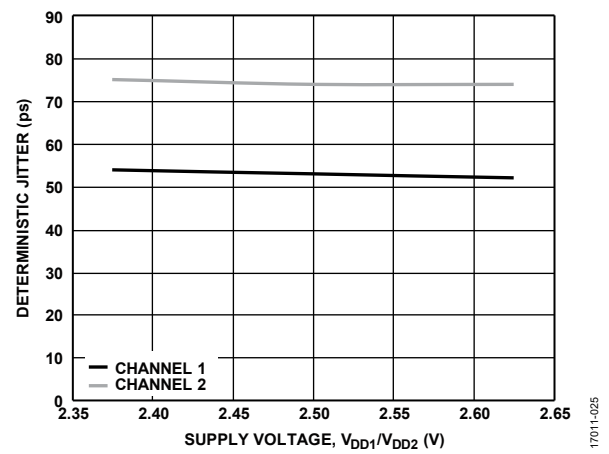


図 25. 確定的ジッタと電源電圧 V_{DD1}/V_{DD2} の関係

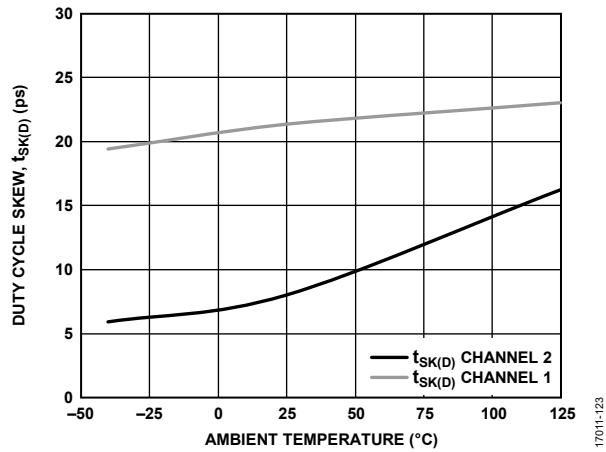


図 23. デューティ・サイクル・スキュー $t_{SK(D)}$ と周囲温度の関係

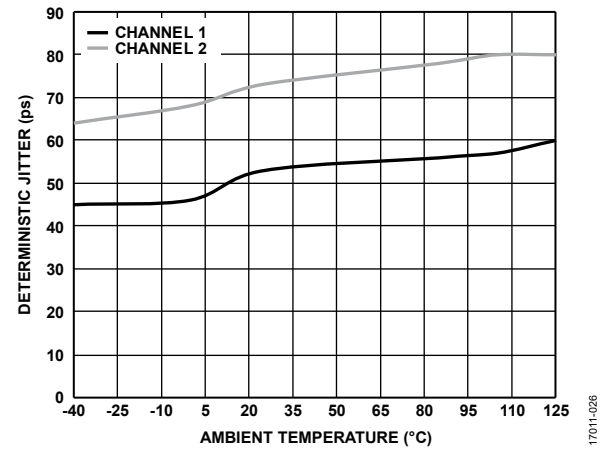


図 26. 確定的ジッタと周囲温度の関係

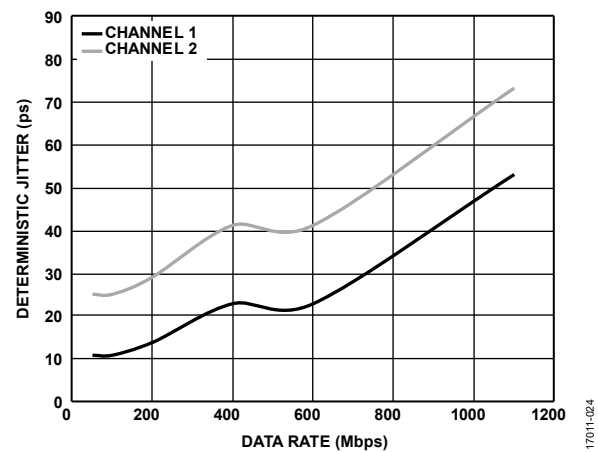


図 24. 確定的ジッタとデータ・レートの関係

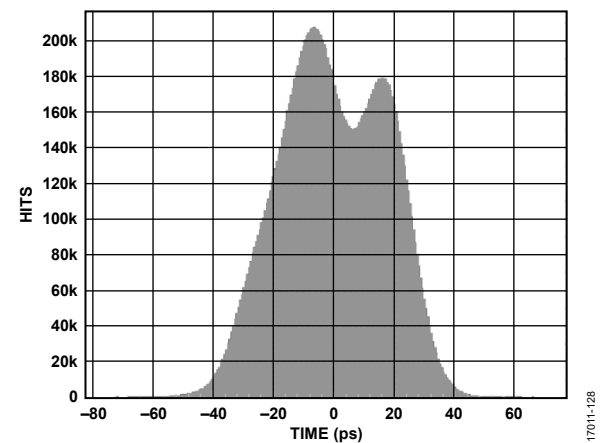
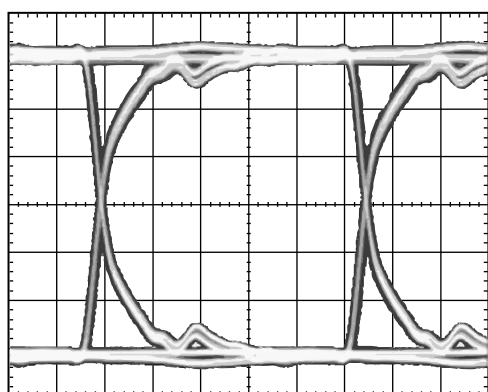


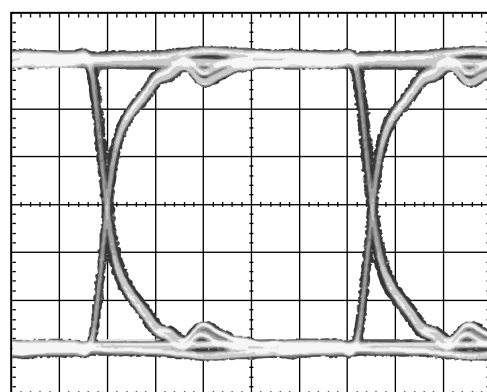
図 27. D_{OUT1s} の時間間隔誤差 (TIE) のヒストグラム、550MHz



CH1 50mV CH2 50mV 300ps/DIV
DELAY 61.0828ns

1701-127

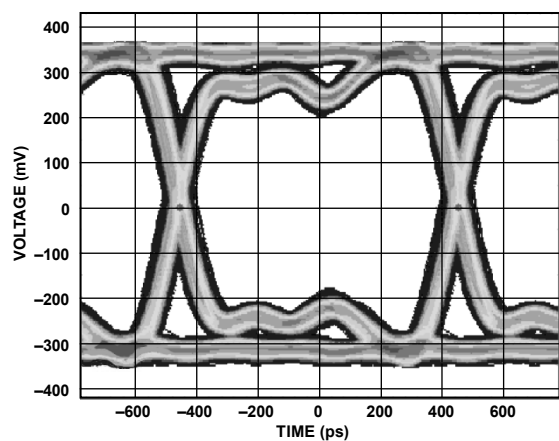
図 28. $D_{OUT1\pm}$ のアイ・ダイアグラム、300MHz



CH1 50mV CH2 50mV 300ps/DIV
DELAY 61.0828ns

1701-129

図 30. $D_{OUT2\pm}$ のアイ・ダイアグラム、300MHz



1701-130

図 29. $D_{OUT1\pm}$ のアイ・ダイアグラム、550MHz

テスト回路とスイッチング特性

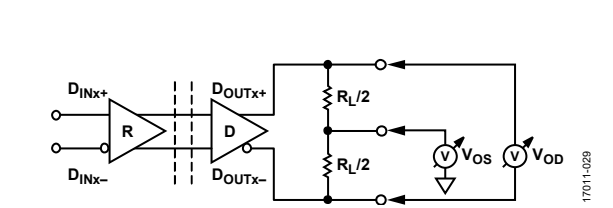


図 31. ドライバ・テスト回路

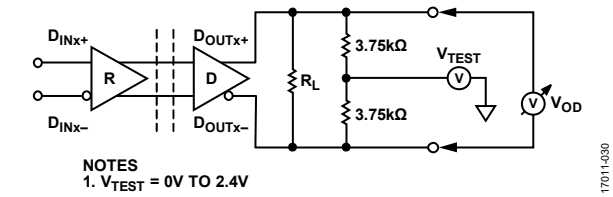


図 32. ドライバ・テスト回路
(コモンモード範囲にわたって最大負荷)

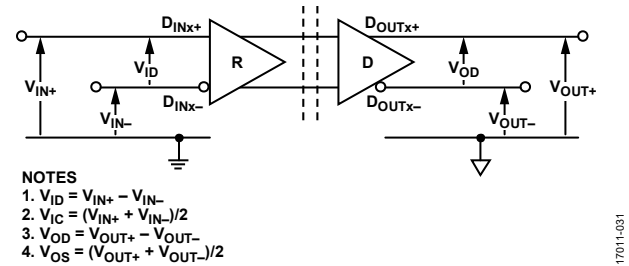


図 33. 電圧の定義

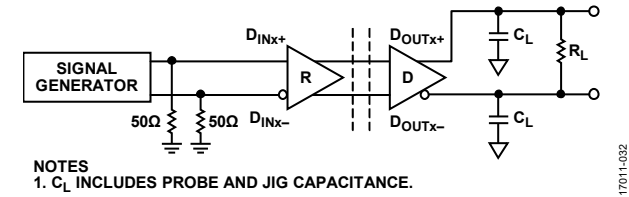


図 34. タイミング・テスト回路

動作原理

ADN4654 は、TIA/EIA-644-A LVDS 準拠の絶縁型バッファです。入力に印加された LVDS 信号はバッファの出力に伝送され、デバイスの両サイドの間に電氣的絶縁が実装されています。これにより、LVDS シグナル・チェーンのドロップイン絶縁が可能になります。

LVDS レシーバーは、LVDS 入力の終端抵抗の両端に存在する差動電圧を検出します。内蔵デジタル・アイソレータは分離バリアの両端に入力状態を伝送し、LVDS ドライバは入力と同じ状態を出力します。

D_{INx±} ピン両端の正の差動電圧が 100mV 以上の場合、対応する D_{OUTx+} ピンは電流を供給します。この電流は、接続されている伝送ラインとバス遠端のレシーバーに流れ、D_{OUTx-} はリターン電流をシンクします。D_{INx±} ピン両端の負の差動電圧が -100mV 以下の場合、対応する D_{OUTx+} ピンが電流をシンクし、D_{OUTx-} が電流を供給します。表 13 に入出力の組み合わせを示します。

出力駆動電流は ±2.5mA ~ ±4.5mA (代表値 ±3.1mA) で、100Ω の終端抵抗 (R_T) の両端に ±250mV ~ ±450mV の電圧が発生します。受信電圧は 1.2V を中心とする電圧になります。差動電圧 (V_{ID}) は極性が逆になるので、R_T 両端のピーク to ピーク電圧振幅は差動電圧の大きさ (|V_{ID}|) の 2 倍になります。

真理値表

LVDS 規格 TIA/EIA-644-A では、入力差動電圧が +100mV 以上のロジック状態、および電圧が -100mV 以下のロジック状態の 2 つの条件下において、通常のレシーバー動作を仕様規定しています。ADN4654 では、表 13 に示すように、これらの閾値の間で標準の LVDS レシーバー動作は不定です (LVDS レシーバーはいずれかの状態を検出します)。

絶縁

内蔵 LVDS レシーバーによって検出された入力状態の変化に対して、エンコーダ回路は内蔵トランスのコイルを使用して、狭いパルス (約 1ns) をデコーダ回路に送信します。デコーダは双安定であるため、入力がロジック遷移を示すパルスによりセットまたはリセットされます。デコーダの状態は通常動作での LVDS ドライバの出力状態を決定するので、結果として絶縁型 LVDS バッファの入力状態も反映されます。

約 1μs 以上にわたり入力に遷移がない場合、出力 (該当する場合は、フェイルセーフ出力状態を含む) の DC 精度を確保するため、適切な入力状態を示す一連の周期的なリフレッシュ・パルスが送られます。

パワーアップ時に入力の遷移がない場合、出力の初期状態は正しくない DC 状態になっていることがあります。リフレッシュ・パルスにより、出力状態は 1μs 以内に補正されます。

デコーダが約 1μs 以上にわたり内部パルスを受け取らない場合、デバイスは入力側が通電されていないか、機能していないとみなし、出力を正の差動電圧 (ロジック・ハイ) に設定します。

表 13. 入出力動作

Input (D _{INx±})			Output (D _{OUTx±})		
Powered On	V _{ID} (mV)	Logic	Powered On	V _{OD} (mV)	Logic
Yes	≥100	High	Yes	≥250	High
Yes	≤-100	Low	Yes	≤-250	Low
Yes	-100 < V _{ID} < +100	Indeterminate	Yes	Indeterminate	Indeterminate
No	Don't care	Don't care	Yes	≥250	High

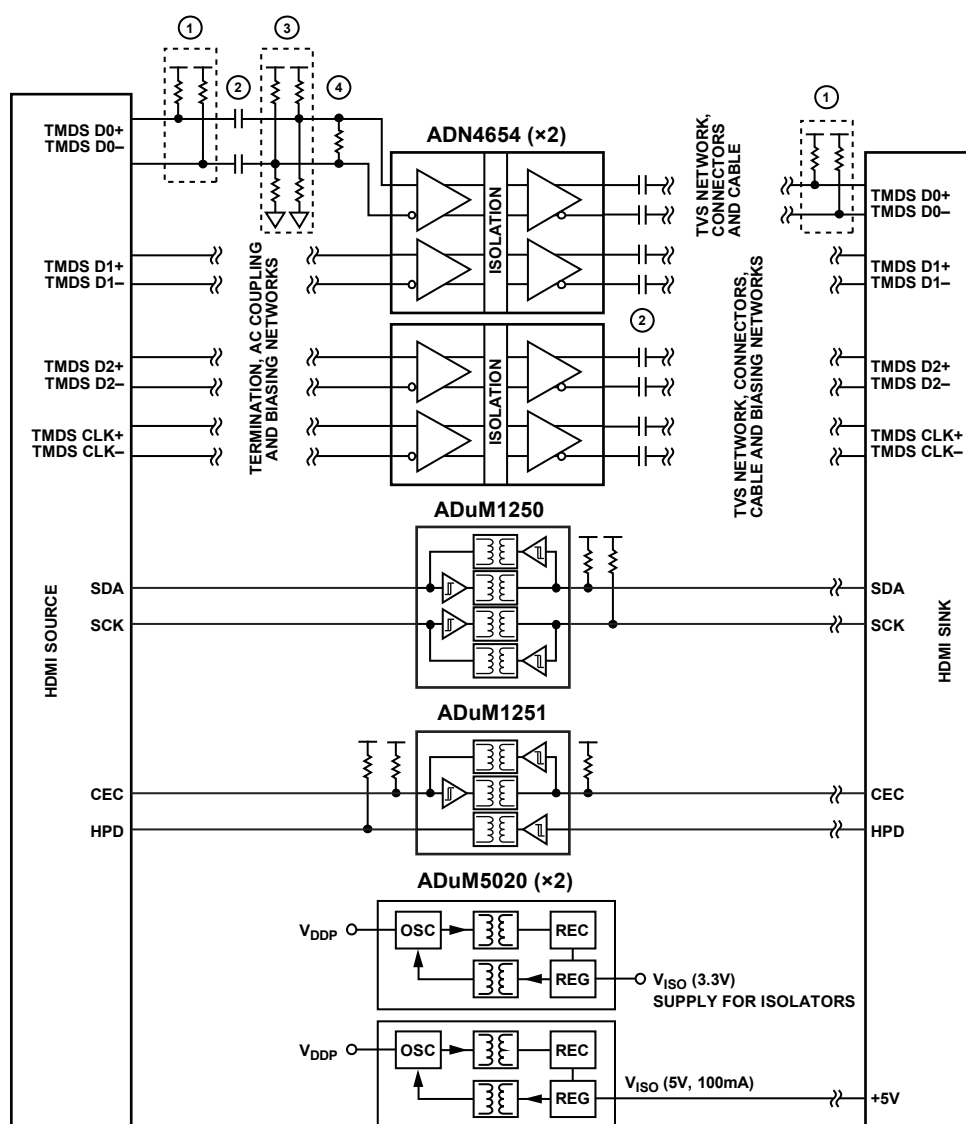
アプリケーション情報

アプリケーション例

アナログ・フロントエンド（AFE）、プロセッサとプロセッサの通信、またはビデオおよびイメージング・データの高速度 LVDS インターフェースは、部品間やボード間、またはケーブル・インターフェースに ADN4654 を使用して絶縁できます。ADN4654 は、外部ポートの信頼性を高めるために必要な電氣的絶縁を実現します。またこのデバイスは低いジッタと高い駆動能力を備えており、数メートルの短いケーブルで通信できます。高いコモンモード耐圧により、ノイズの多い過酷な環境でも通信の完全性を確保できます。また、絶縁により、静電放電（ESD）、電氣的ファスト・トランジェント（EFT）、サージなど、最大±8kV ピークの電磁両立性（EMC）トランジェントから保護できます。ADN4654 は、物理層に LVDS ではなく電流モード・ロジック（CML）を使用するプロトコルなど、ビデオとイメージングで使用する様々なプロトコルの絶縁が可能です。その一例が高精細度マルチメディア・インターフェース

（HDMI）です。ここでは、図 35 に示すように AC カップリング、AC バイアスおよび終端抵抗による回路を使用して、CML（遷移時間最短差動信号伝送方式（TMDS）のデータおよびクロック・レーンで使用）と、ADN4654 で必要な LVDS レベルとの変換を実行します。[ADuM1250/ADuM1251](#) I²C アイソレータなどのアナログ・デバイセズの製品を追加して、制御信号と電源の絶縁に使用できます（[ADuM5020](#) は *isoPower* 内蔵の絶縁型 DC/DC コンバータ）。この回路は最大 720p の解像度に対応しています。

MIPI CSI-2 や DisplayPort の他、FPD-Link といった LVDS ベースのプロトコルなどの絶縁回路にも ADN4654 を使用できます。フィールド・プログラマブル・ゲート・アレイ（FPGA）や特定用途向け集積回路（ASIC）によるシリアルライザ／デシリアルライザ（SERDES）を使用して、複数の ADN4654 を介して帯域幅を拡張し、1080p や 4K ビデオの解像度に対応できるため、ショート・リーチのファイバ・リンクを代替できます。



NOTES:
 1. SUPPLY-BIASED TERMINATION
 2. AC COUPLING
 3. COMMON-MODE BIASING
 4. DIFFERENTIAL TERMINATION

17011-038

図 35. ADN4654 を使用した絶縁型ビデオ・インターフェース (HDMI) の例

PCB レイアウト

ADN4654 は、最大 0.55GHz クロックの高速 LVDS 信号、または 1.1Gbps のノンリターン・ゼロ (NRZ) データで動作できます。このような高い周波数で動作させるには、LVDS パターン・レイアウトおよび終端にベスト・プラクティスを採用してください。D_{INx+}ピンと D_{INx-}ピン間で、できるだけレシーバーの近くに 100Ω の終端抵抗を配置します。

信号の完全な整合性を実現し、システムのジッタを低減して、PCB からの電磁干渉 (EMI) を最小限に抑えるには、LVDS 信号ラインに制御された 50Ω インピーダンス・パターンが必要です。パターンの幅、各ペアの側方距離、下のグラウンド・プレーンへの距離も適切に選択する必要があります。ペア間の PCB グラウンドへのピア・シールドも、隣接するペア間のクロストークを最小限に抑えるためのベスト・プラクティスです。

ADN4654 は、最大 1.1Gbps の PRBS データで動作しているときに、アイソレータに関する追加要件なしで EN 55022 クラス B 放射制限に適合します。高速クロック (例: 0.55GHz) を絶縁する場合、20 ピン SOIC_W モデルでダイポール・アンテナ効果を低減し、クラス B 放射制限を十分に下回るようにするには、PCB 間隙 (絶縁ギャップ) を小さくする必要があります。

高速 PCB 設計のベスト・プラクティスを採用することで、ADN4654 を使用したアプリケーションにおいて PCB からのその他のあらゆる放射を回避できます。ボード外部との接続には特に注意を払ってください。この場合、高速 LVDS 信号 (特にクロック) からのスイッチング・トランジェントがケーブルに流れて放射が発生することがあります。LVDS コネクタの位置でコモンモード・チョーク、フェライト、またはその他の適切なフィルタを使用すると共に、ケーブル・シールドやアースまたはシャーシへの PCB グラウンド接続を使用してください。

ADN4654 は、100nF のコンデンサで V_{DDx} ピンを適切にデカップリングする必要があります。内蔵 LDO を使用せずに 2.5V 電源を直接接続する場合は、適切な V_{INx} ピンも電源に接続します（図 36 を参照）。

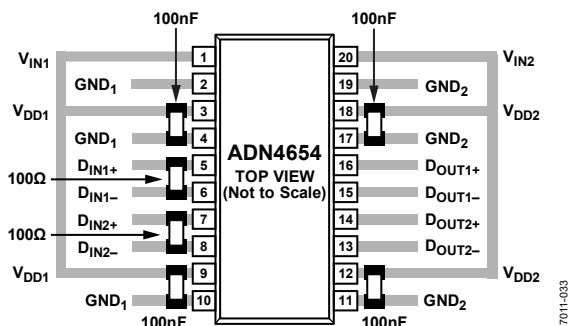


図 36. LDO を使用しない場合に必要の PCB レイアウト (2.5V 電源)

内蔵 LDO を使用する場合は、 V_{INx} ピンおよび最も近い V_{DDx} ピン (LDO 出力) に 1μF のバイパス・コンデンサが必要です（図 37 を参照）。

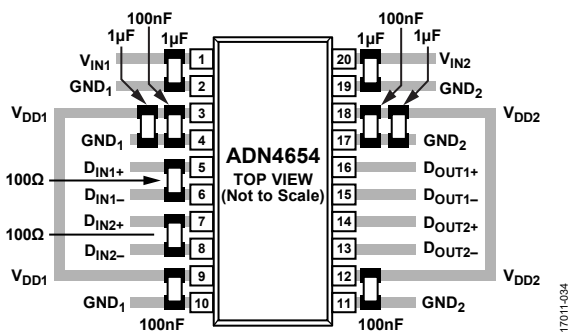


図 37. LDO を使用する場合に必要の PCB レイアウト (3.3V 電源)

磁界耐性

デバイスの磁界耐性に関する限界は、トランスの受信側コイルに発生する誘導電圧がデコーダを誤ってセットまたはリセットする値まで大きくなる、という条件によって設定されます。このような条件を以下の解析により求めます。ADN4654 の 2.375V 動作状態が最も感度の高い動作モードであるため、この条件を調べます。

トランス出力におけるパルスの振幅は 0.5V を超えます。デコーダの検出スレッシュホールドは約 0.25V なので、誘導電圧を許容する 0.25V のマージンが形成されます。受信側コイルの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β = 磁束密度。

r_n = 受信側コイル巻き数 n 回目の半径。

N = 受信側コイルの巻き数。

ADN4654 の受信側コイルの形状が与えられ、誘導電圧がデコーダのマージン 0.25V の最大 50% であるという条件が与えられると、最大許容外部磁束密度を計算できます（図 38 を参照）。

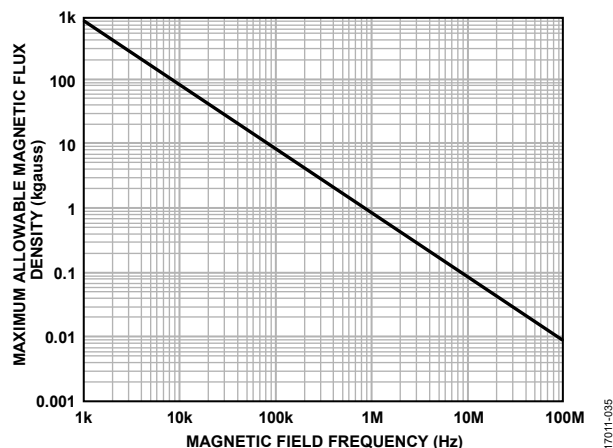


図 38. 最大許容外部磁束密度

例えば、磁界周波数 = 1MHz で、最大許容磁界 = 0.92kgauss の場合、受信側コイルでの誘導電圧は 0.125V になります。この電圧は検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。最も厳しい条件の極性で、送信パルスの途中でこのような状況が発生すると、磁界によって受信パルスが 0.5V を超える値から 0.375V に低減します。この電圧は、デコーダの検出閾値である 0.25V よりも依然として高い値です。

前述の磁束密度値は、ADN4654 のトランスから所定の距離だけ離れた特定の電流値に対応します。図 39 に、与えられた距離に対する周波数の関数としての許容電流値を示します。ADN4654 は、外部磁界の影響をほとんど受けません。部品の近くの非常に大きい高周波電流のみが問題となる可能性があります。この例の 1MHz の場合、部品の動作に影響を与えるには 2.29kA の電流を ADN4654 から 5mm 離れた場所に配置する必要があります。

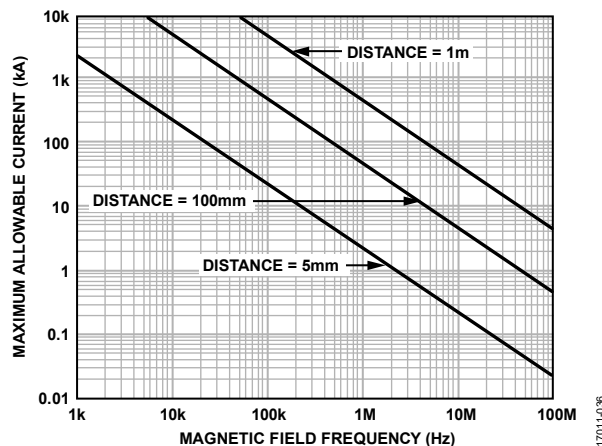


図 39. 電流 / ADN4654 の間隔と最大許容電流

強い磁界と高周波を組み合わせると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路の閾値を超えてトリガが発生する可能性があります。ループが形成される PCB 構造にならないようにしてください。

絶縁寿命

すべての絶縁構造は、十分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁体に加える電圧波形の特性だけでなく、材料自体や材料の境界面にも依存します。

注目すべき 2 つのタイプの絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労があります。表面破壊は、表面トラッキング現象で、システム・レベル規格で定められた沿面距離の条件で主に決定されます。絶縁疲労は、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間絶縁低下が生じる現象です。

表面トラッキング

表面トラッキングは、電気安全規格で規定されていて、動作電圧、環境条件、絶縁材料特性に基づいて最小沿面距離が定められています。安全性規制当局は、部品の表面絶縁について特性評価試験を行い、部品を異なる材料グループに分類します。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格に定められていて、絶縁バリアの両端にまたがる合計実効値電圧、汚染度、材料グループに基づいています。表 4 に ADN4654 の材料グループと沿面距離を示します。

絶縁疲労

疲労による絶縁寿命は、絶縁材の厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。大部分の規格で規定されているのは、トラッキングに適用される動作電圧です。

試験とモデリングにより、長期間の性能低下の主な要因は、増分型損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスと、AC 成分の時間と共に変化する電圧ストレスに大別でき、前者は変位電流が存在しないためわずかな疲労しか発生させず、後者は疲労を発生させます。

認定ドキュメントに記載する定格は、通常 60Hz の正弦波ストレスに基づいています。これは、正弦波にライン電圧からのアイソレーションが反映されるためです。ただし、多くの実用的なアプリケーションでは、60Hz の AC と絶縁バリアをまたぐ DC が組み合わせられています（式 1 を参照）。ストレスの AC 部分のみが疲労を発生させるため、AC の実効値電圧を求めるように式を組み替えることができます（式 2 を参照）。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC の実効値電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

V_{RMS} は合計実効値動作電圧

$V_{AC\ RMS}$ は、動作電圧の時間と共に変化する部分。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

一般的な電力変換アプリケーションの例を以下に示します。絶縁バリアの一方に AC 実効値が 240V のライン電圧が存在し、他方に 400V dc のバス電圧が存在するとします。絶縁材料はポリイミドです。デバイスの沿面距離、クリアランス、および寿命を求める際のクリティカル電圧を決めるには、図 40 と以下の式を参照してください。

式 1 のバリアの両端にかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466V$$

この V_{RMS} 値は、システムの規格で要求される沿面距離を求める際に、材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分かどうかを判断するには、動作電圧の時間と共に変化する部分を求めます。AC の実効値電圧を求めるには、式 2 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240V\ rms$$

この場合、AC の実効値電圧は 240V rms のライン電圧です。この計算は、波形が正弦波でない場合は更に精度が向上します。表 11 は、この値と動作電圧の制限値を比較したときの期待寿命を示しています。表 11 に示す DC 動作電圧の制限値は、IEC 60664-1 の規定に準拠したパッケージの沿面距離によって設定されています。この値は、特定のシステム・レベル規格と異なる場合があります。

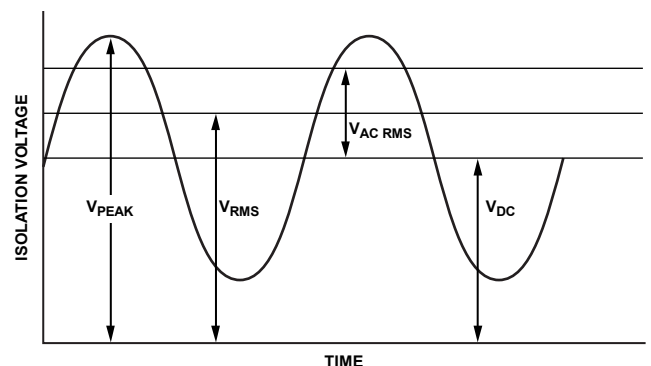
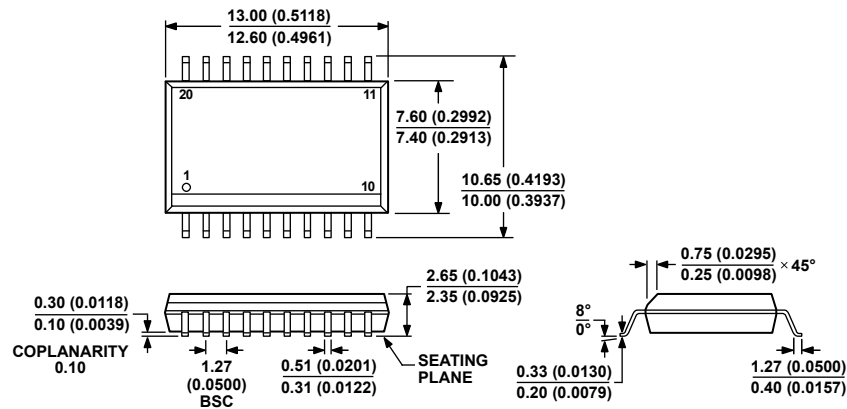


図 40. 臨界電圧の例

17011-037

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AC
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 41. 20 ピン、標準 SOP (スモール・アウトライン・パッケージ) [SOIC_W]
ワイド・ボディ
(RW-20)
寸法:mm (括弧内はインチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADN4654BRWZ	−40°C to +125°C	20-Lead, Wide Body, Standard Small Outline Package [SOIC_W]	RW-20
ADN4654BRWZ-RL7	−40°C to +125°C	20-Lead, Wide Body, Standard Small Outline Package [SOIC_W]	RW-20
EVAL-ADN4654EB1Z		Evaluation Board	

¹ Z = RoHS 準拠製品。