

特長

最大出力電流: 350 mA

入力電源電圧範囲

$$V_{BIAS} = 2.3 \text{ V} \sim 5.5 \text{ V}$$

$$V_{IN} = 1.2 \text{ V} \sim 3.6 \text{ V}$$

$2.3 \text{ V} < V_{IN} < 3.6 \text{ V}$ 、 V_{IN} と V_{BIAS} の接続が可能

非常に小さいドロップアウト電圧: 100 mA 負荷で 17 mV

小さい静止電流: 無負荷時 25 μA

低いシャットダウン電流: 1 μA 以下

25°C で $\pm 1\%$ 精度

優れた PSRR 性能: 10 kHz で 70 dB

優れた負荷/ライン過渡応答

小型の 1 μF セラミック・コンデンサ向けに最適化

電流制限保護とサーマル過負荷保護

ロジック制御によるイネーブル

5 ピンの TSOT パッケージを採用

アプリケーション

携帯電話

デジタル・カメラとオーディオ機器

ポータブル機器とバッテリー駆動装置

ポスト DC/DC レギュレーション

代表的なアプリケーション回路

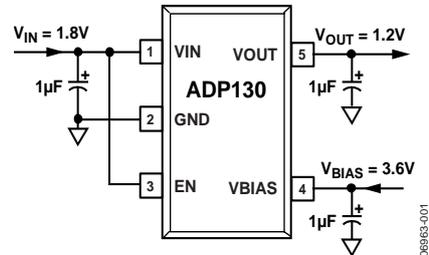


図 1.

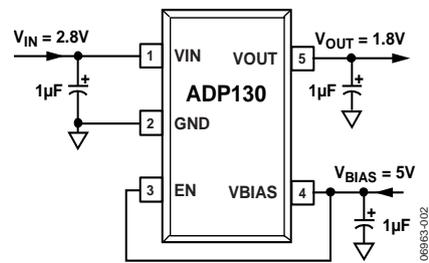


図 2.

概要

ADP130 は、低静止電流で低ドロップアウトのリニア・レギュレータです。高い効率で最大 350 mA の出力電流を提供するため、1.2 V の低い入力電圧の両電源モードで動作するようにデザインされています。100 mA 負荷で 17 mV の低ドロップアウト電圧により、効率の向上と広い入力電圧範囲での動作が可能です。

両電源ソリューションは、一般に単電源ソリューションより変換効率が優れています。これは、 V_{BIAS} 電源が高いほど、低い V_{IN} 電源で負荷電流を供給できるためです。このため、デバイスの消費電力が小さくなります。

ADP130 は、小型の 1 μF セラミック出力コンデンサで安定動作を行うように最適化されています。ADP130 は、最小のボード面積で優れた過渡性能を提供します。

ADP130 には、次の 31 種類の固定出力電圧オプションがあります。

- 50 mV ステップで 0.80 V ~ 2.00 V
- 1.875 V、2.25 V、2.50 V、2.775 V、2.80 V、3.0 V

ADP130 は、200 μs (typ) のソフト・スタート・タイムを持っています。短絡保護とサーマル過負荷保護の回路により、損傷を防止します。ADP130 は小型の 5 ピン TSOT パッケージを採用し、多様なポータブル・パワー・アプリケーションを満足する最小のフットプリント・ソリューションを提供します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長	1	代表的な性能特性.....	7
アプリケーション.....	1	動作原理	12
代表的なアプリケーション回路	1	アプリケーション情報.....	13
概要	1	コンデンサの選択.....	13
改訂履歴.....	2	低電圧ロックアウト機能.....	14
仕様	3	イネーブル機能	14
入力および出力コンデンサの推奨仕様	4	電流制限保護とサーマル過負荷保護.....	15
絶対最大定格.....	5	熱に対する考慮事項.....	15
サーマル・データ.....	5	ジャンクション温度の計算.....	16
熱抵抗	5	プリント回路ボード・レイアウトの考慮事項	17
ESD の注意.....	5	外形寸法	18
ピン配置およびピン機能説明	6	オーダー・ガイド.....	18

改訂履歴

7/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{IN} = V_{OUT} + 0.4\text{ V}$ 、 $V_{BIAS} = 5\text{ V}$ 、 $I_{OUT} = 10\text{ mA}$ 、 $C_{IN} = 1\text{ }\mu\text{F}$ 、 $C_{OUT} = 1\text{ }\mu\text{F}$ 、 $C_{BIAS} = 1\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit	
INPUT VOLTAGE RANGE	V_{IN}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.2		3.6	V	
BIAS VOLTAGE RANGE	V_{BIAS}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	2.3		5.5	V	
OPERATING SUPPLY CURRENT	I_{VIN}^1	$I_{OUT} = 0\text{ }\mu\text{A}$		25		μA	
		$I_{OUT} = 0\text{ }\mu\text{A}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			44	μA	
		$I_{OUT} = 1\text{ mA}$		40		μA	
		$I_{OUT} = 1\text{ mA}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			58	μA	
		$I_{OUT} = 100\text{ mA}$		100		μA	
		$I_{OUT} = 100\text{ mA}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			130	μA	
BIAS OPERATING CURRENT	I_{BIAS}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		16		μA	
					28	μA	
SHUTDOWN CURRENT	I_{SD-VIN}	EN = GND		0.1		μA	
		EN = GND, $T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$			1.0	μA	
	$I_{SD-VBIAS}$	EN = GND, $T_J = +85^\circ\text{C}$ to $+125^\circ\text{C}$			20	μA	
		EN = GND		0.1		μA	
		EN = GND, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			1.0	μA	
FIXED OUTPUT VOLTAGE ACCURACY	V_{OUT}	$I_{OUT} = 10\text{ mA}$	-1		+1	%	
		$1\text{ mA} < I_{OUT} < 350\text{ mA}$, $V_{IN} = (V_{OUT} + 0.4\text{ V})$ to 3.6 V	-2		+2	%	
		$1\text{ mA} < I_{OUT} < 350\text{ mA}$, $V_{IN} = (V_{OUT} + 0.4\text{ V})$ to 3.6 V , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-3		+3	%	
LINE REGULATION	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.4\text{ V})$ to 3.6 V , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-0.10		+0.10	%/V	
LOAD REGULATION ²	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 10\text{ mA}$ to 350 mA		0.001		%/A	
		$I_{OUT} = 10\text{ mA}$ to 350 mA , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			0.005	%/A	
DROPOUT VOLTAGE ³	$V_{DROPOUT}$	$I_{OUT} = 10\text{ mA}$, $V_{BIAS} = 2.3\text{ V}$, $V_{OUT} = 3\text{ V}$		2		mV	
		$I_{OUT} = 10\text{ mA}$, $V_{BIAS} = 2.3\text{ V}$, $V_{OUT} = 3\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			3.5	mV	
		$I_{OUT} = 100\text{ mA}$, $V_{BIAS} = 2.3\text{ V}$, $V_{OUT} = 3\text{ V}$		17		mV	
		$I_{OUT} = 100\text{ mA}$, $V_{BIAS} = 2.3\text{ V}$, $V_{OUT} = 3\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			28	mV	
		$I_{OUT} = 350\text{ mA}$, $V_{BIAS} = 2.3\text{ V}$, $V_{OUT} = 3\text{ V}$		70		mV	
		$I_{OUT} = 350\text{ mA}$, $V_{BIAS} = 2.3\text{ V}$, $V_{OUT} = 3\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			100	mV	
START-UP TIME ⁴	$T_{START-UP}$	$V_{OUT} = 1.2\text{ V}$		200		μs	
CURRENT LIMIT THRESHOLD ⁵	I_{LIMIT}		400	550	1000	mA	
THERMAL SHUTDOWN	T_{SD}	T_J rising		150		$^\circ\text{C}$	
				15		$^\circ\text{C}$	
EN INPUT	V_{IH}	$2.3\text{ V} \leq V_{BIAS} \leq 5.5\text{ V}$	EN Input Logic High	1.2		V	
			EN Input Logic Low			0.4	V
			EN Input Leakage Current		0.1		μA
	$V_{I-LEAKAGE}$	EN = BIAS or GND			1	μA	
		EN = BIAS or GND, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$					
UNDERVOLTAGE LOCKOUT	UVLO	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	Input Voltage Rising			2.1	V
			Input Voltage Falling	1.5			V
			Hysteresis		180		mV
OUTPUT NOISE	OUT_{NOISE}	10 Hz to 100 kHz, $V_{IN} = 3.6\text{ V}$, $V_{OUT} = 0.8\text{ V}$		29		$\mu\text{V rms}$	
		10 Hz to 100 kHz, $V_{IN} = 3.6\text{ V}$, $V_{OUT} = 1.2\text{ V}$		38		$\mu\text{V rms}$	
		10 Hz to 100 kHz, $V_{IN} = 3.6\text{ V}$, $V_{OUT} = 1.5\text{ V}$		43		$\mu\text{V rms}$	
		10 Hz to 100 kHz, $V_{IN} = 3.6\text{ V}$, $V_{OUT} = 2.5\text{ V}$		61		$\mu\text{V rms}$	

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
		10 Hz to 100 kHz, $V_{IN} = 3.6\text{ V}$, $V_{OUT} = 3.0\text{ V}$		77		$\mu\text{V rms}$
POWER SUPPLY REJECTION RATIO	PSRR	Modulated bias, 10 kHz, $V_{OUT} = 3.0\text{ V}$, $V_{IN} = 3.6\text{ V}$, $V_{BIAS} = 5\text{ V}$		70		dB
		Modulated bias, 100 kHz, $V_{OUT} = 3.0\text{ V}$, $V_{IN} = 3.6\text{ V}$, $V_{BIAS} = 5\text{ V}$		53		dB
		Modulated V_{IN} , 10 kHz, $V_{OUT} = 1.2\text{ V}$, $V_{IN} = V_{OUT} + 1\text{ V}$, $V_{BIAS} = 5\text{ V}$		70		dB
		Modulated V_{IN} , 100 kHz, $V_{OUT} = 1.2\text{ V}$, $V_{IN} = V_{OUT} + 1\text{ V}$, $V_{BIAS} = 5\text{ V}$		54		dB
		Modulated V_{IN} , 10 kHz, $V_{OUT} = 0.8\text{ V}$, $V_{IN} = V_{OUT} + 1\text{ V}$, $V_{BIAS} = 5\text{ V}$		70		dB
		Modulated V_{IN} , 100 kHz, $V_{OUT} = 0.8\text{ V}$, $V_{IN} = V_{OUT} + 1\text{ V}$, $V_{BIAS} = 5\text{ V}$		55		dB

¹ $I_{VIN} = I_{GND} - I_{BIAS}$ 。ここで、 I_{GND} はGNDピンを流れる電流。

² 1 mA と 350 mA の負荷を使用した端点計算を使用。

³ ドロップアウト電圧は、入力電圧が公称出力電圧に設定されたときの入力ー出力間の電位差として定義されます。これは、1.3 V を超える出力電圧に対してのみ適用されます。

⁴ スタートアップ・タイムは、EN の立ち上がりエッジから V_{OUT} が公称値の 90% になるまでの時間として定義されます。

⁵ 電流制限スレッシュホールドは、出力電圧が typ 規定値の 90% に低下する電流値として定義されます。例えば、2.0 V の出力電圧に対する電流制限値は、出力電圧が 2.0 V の 90% すなわち 1.8 V に低下する電流値として定義されます。

入力および出力コンデンサの推奨仕様

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
MINIMUM INPUT AND OUTPUT CAPACITANCE ¹	C_{MIN}	$T_J = -40^\circ\text{C to } +125^\circ\text{C}$	0.70	1		μF
CAPACITOR ESR	R_{ESR}	$T_J = -40^\circ\text{C to } +125^\circ\text{C}$.001		1	Ω

¹ は、全動作範囲で 0.70 μF 以上である必要があります。アプリケーションでの全動作範囲は、最小容量規定値を満たすように、デバイス選択時に考慮する必要があります。X7R と X5R タイプのコンデンサの使用をお勧めします。Y5V 誘電体と Z5U キャパシタは、LDO との使用を推奨できません。

絶対最大定格

表 3.

Parameter	Rating
V _{IN} to GND	-0.3 V to +3.6 V
V _{BIAS} to GND	-0.3 V to +6 V
EN to GND	-0.3 V to +6 V
V _{OUT} to GND	-0.3 V to V _{IN}
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Operating Junction Temperature	125°C
Lead Temperature (Soldering, 10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

サーマル・データ

絶対最大定格は、組合わせではなく個別に適用されます。ジャンクション温度を超えると ADP130 は損傷を受けることがあります。周囲温度をモニターしても、ジャンクション温度が規定温度範囲内にあることを保証できません。大きな消費電力と大きな熱抵抗を持つアプリケーションでは、最大周囲温度を低くする必要があります場合があります。中程度の消費電力と低い PCB 熱抵抗を持つアプリケーションでは、ジャンクション温度が規定値内にあるかぎり、最大周囲温度は最大値を超えることができます。デバイスのジャンクション温度 (T_J) は、周囲温度 (T_A)、デバイス消費電力 (P_D)、パッケージのジャンクション-周囲間熱抵抗 (θ_{JA}) に依存します。T_J は、次式を使って計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション-周囲間熱抵抗 θ_{JA} は、4 層ボードを使ったモデルと計算に基づいています。ジャンクション-周囲間熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力の生ずるアプリケーションでは、ボードの熱設計に注意する必要があります。θ_{JA} の値は、PCB 材料、レイアウト、環境条件に依存して変わります。θ_{JA} の規定値は、4 インチ×3 インチの 4 層回路ボードに基づいています。ボード構成の詳細については、JEDEC JESD51-7 を参照してください。

パッケージの Ψ_{JB} はジャンクション-ボード間のサーマル・キャリブレーション・パラメータであり単位は °C/W です。Ψ_{JB} は 4 層ボードを使ったモデルと計算に基づいています。JEDEC JESD51-12 ドキュメント「*Guidelines for Reporting and Using Package Thermal Information*」には、サーマル・キャリブレーション・パラメータは熱抵抗と同じでないことが記載されています。Ψ_{JB} では、熱抵抗 θ_{JB} の 1 つのパスとは異なり、複数のサーマル・パスを通過する電力成分を測定しています。したがって、Ψ_{JB} のサーマル・パスにはパッケージ上面からの対流冷却やパッケージからの放射が含まれ、Ψ_{JB} を実際のアプリケーションに近づけるファクタが含まれます。最大ジャンクション温度 (T_J) は、次式を使ってボード温度 (T_B) と P_D から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

Ψ_{JB} の詳細については、JEDEC JESD51-8 と JESD51-12 ドキュメントを参照してください。

熱抵抗

θ_{JA} と Ψ_{JB} は、ワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4. 熱抵抗

Package Type	θ _{JA}	Ψ _{JB}	Unit
5-Lead TSOT	170	43	°C/W

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

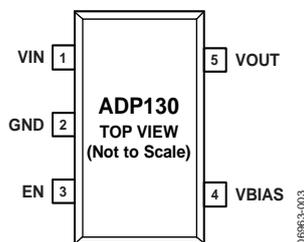


図 3.ピン配置

表 5.ピン機能の説明

ピン番号	記号	説明
1	VIN	レギュレータ入力電源。VIN と GND との間に 1 μ F 以上のコンデンサを接続してバイパスしてください。
2	GND	グラウンド。
3	EN	イネーブル入力。EN をハイ・レベルにするとレギュレータはターンオンし、EN をロー・レベルにするとレギュレータはターンオフします。自動スタートアップの場合は、EN と VBIAS を接続します。
4	VBIAS	バイアス入力電源。VBIAS と GND の間に 1 μ F 以上のコンデンサを接続してください。
5	VOUT	安定化した出力電圧。VOUT と GND との間に 1 μ F 以上のコンデンサを接続してバイパスしてください。

代表的な性能特性

特に指定のない限り、 $V_{BIAS} = 5\text{ V}$ 、 $V_{IN} = 2.2\text{ V}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $I_{OUT} = 10\text{ mA}$ 、 $C_{IN} = C_{OUT} = C_{BIAS} = 1\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

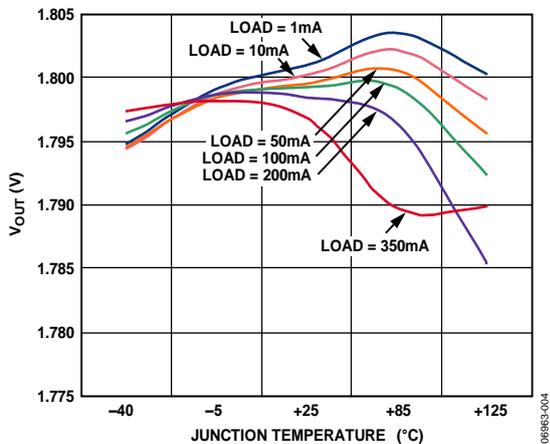


図 4. 出力電圧対ジャンクション温度

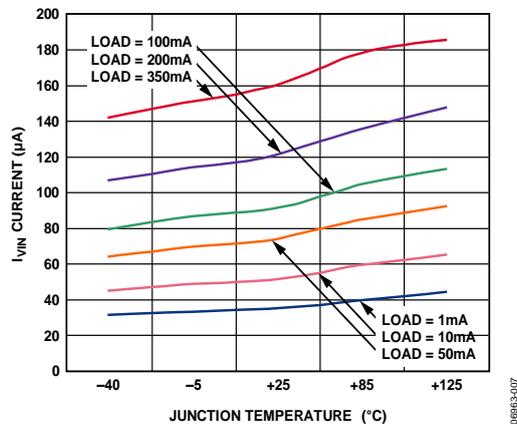


図 7. I_{VIN} 電流対ジャンクション温度

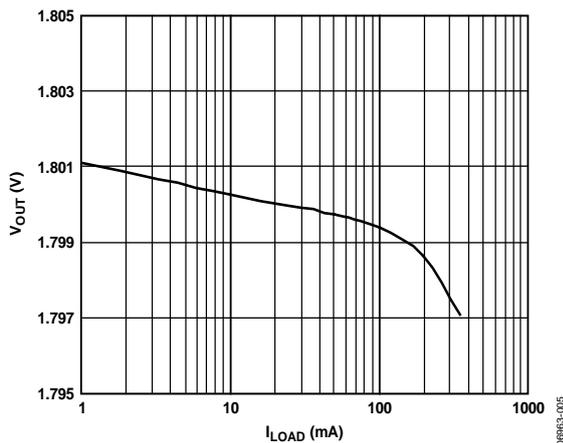


図 5. 出力電圧対負荷電流

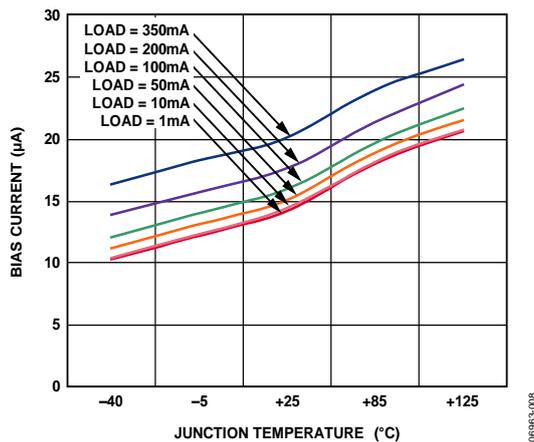


図 8. バイアス電流対ジャンクション温度

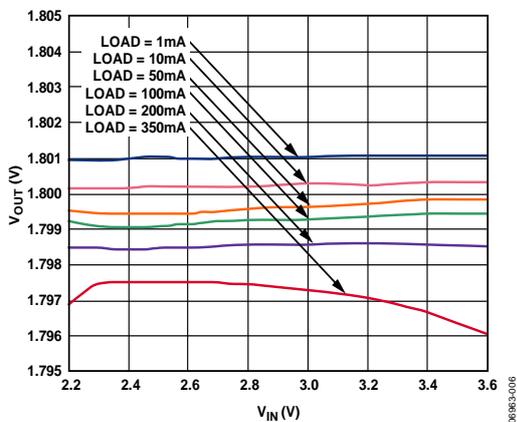


図 6. 出力電圧対入力電圧

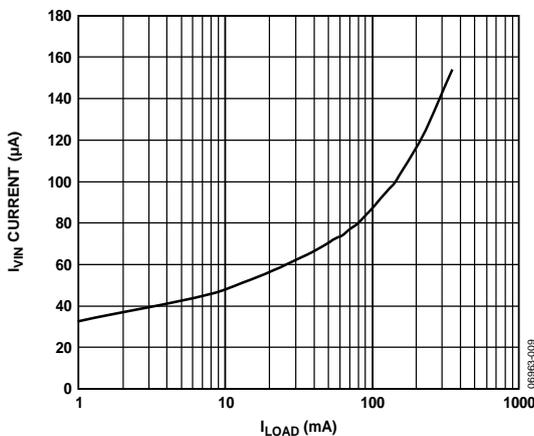


図 9. I_{VIN} 電流対負荷電流

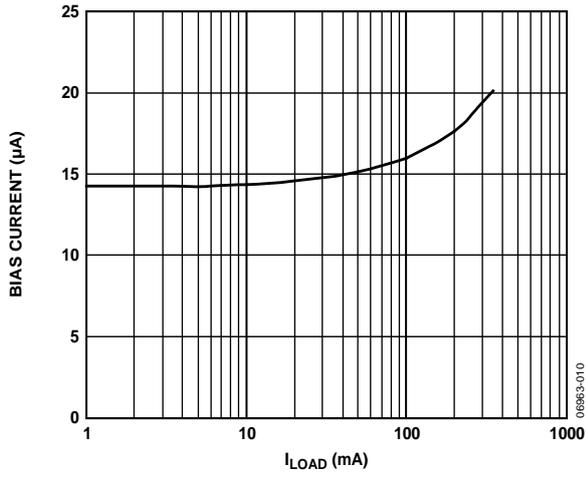


図 10. バイアス電流対負荷電流

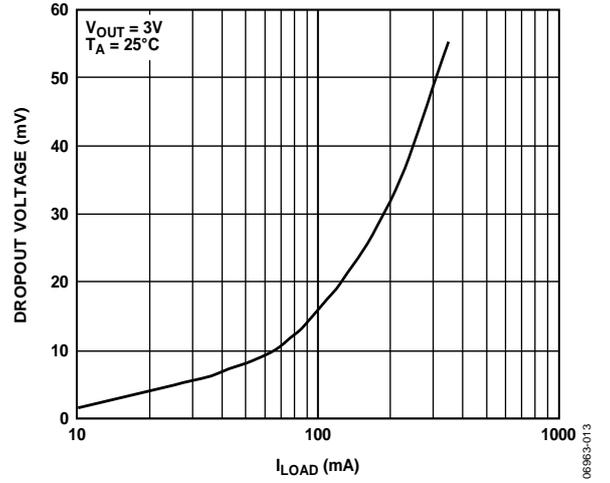


図 13. ドロップアウト電圧対負荷電流、V_{OUT} = 3 V

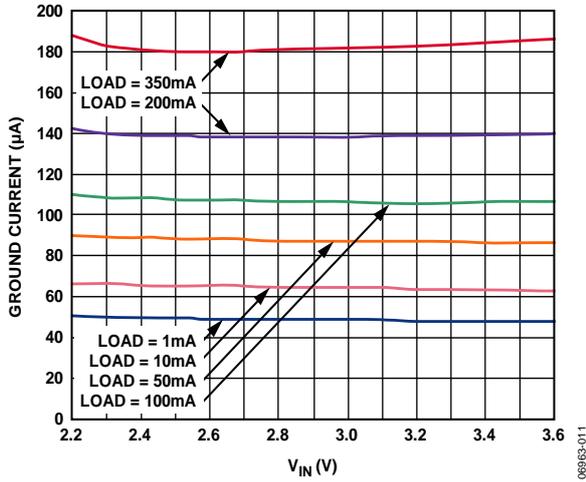


図 11. グラウンド電流対入力電圧

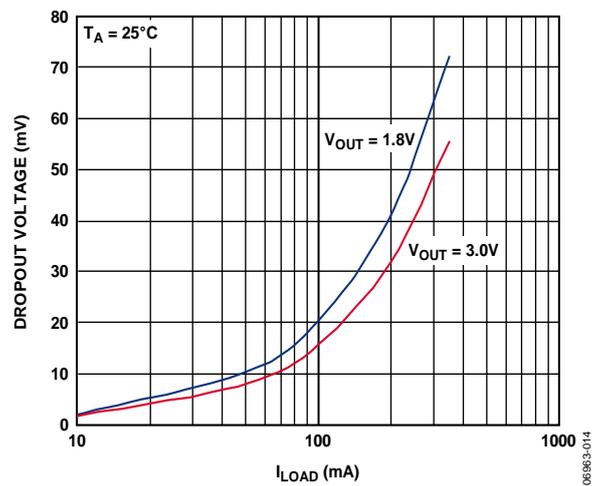


図 14. ドロップアウト電圧対出力電圧および負荷電流

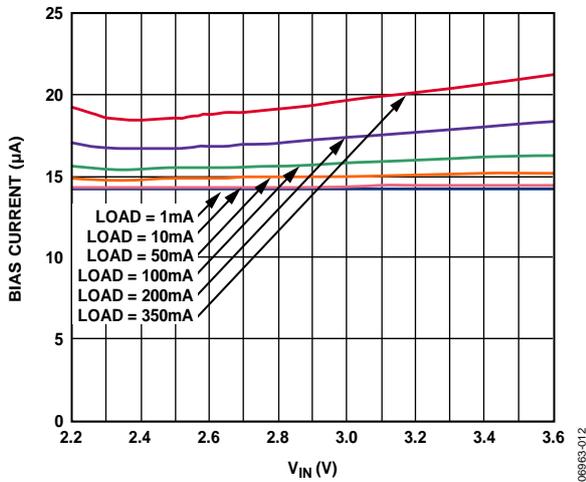


図 12. バイアス電流対入力電圧

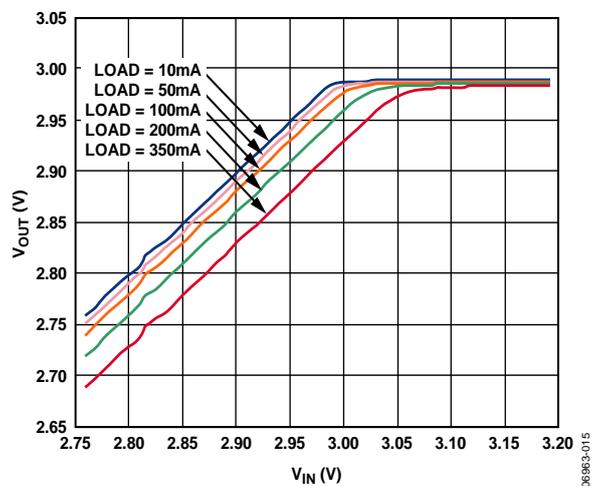


図 15. 出力電圧対入力電圧 (ドロップアウト時)、V_{OUT} = 3 V

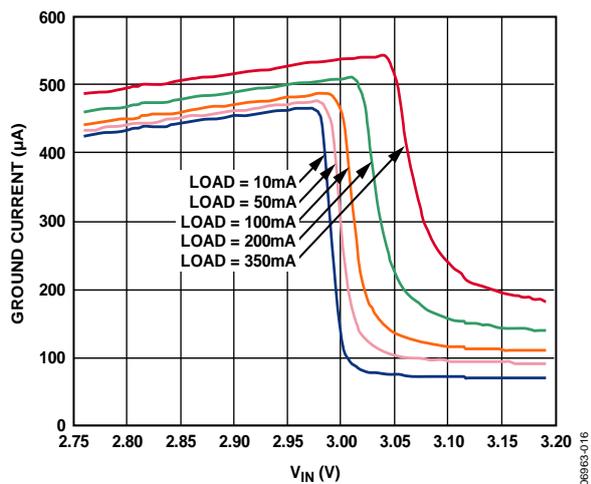


図 16. グラウンド電流対入力電圧 (ドロップアウト時)、 $V_{\text{OUT}} = 3\text{V}$

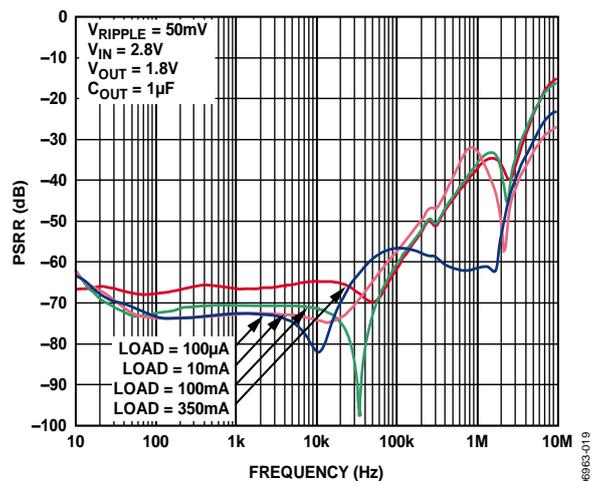


図 19. 電源除去比の周波数特性、 V_{IN} 入力

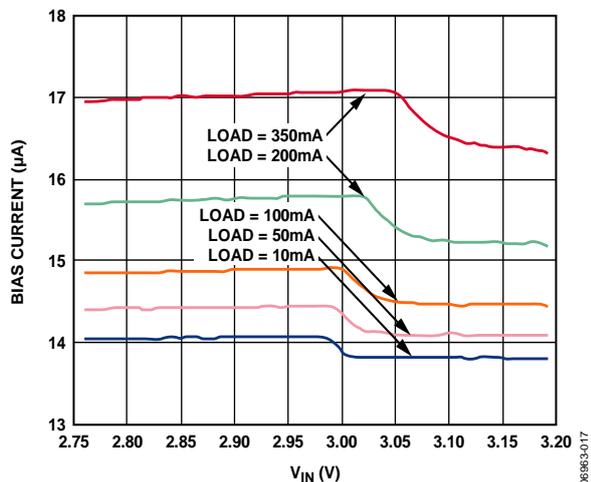


図 17. バイアス電流対入力電圧 (ドロップアウト時)、 $V_{\text{OUT}} = 3\text{V}$

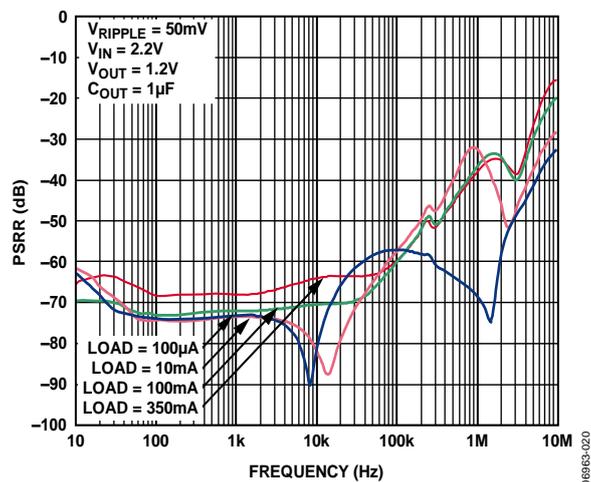


図 20. 電源除去比の周波数特性、 V_{IN} 入力

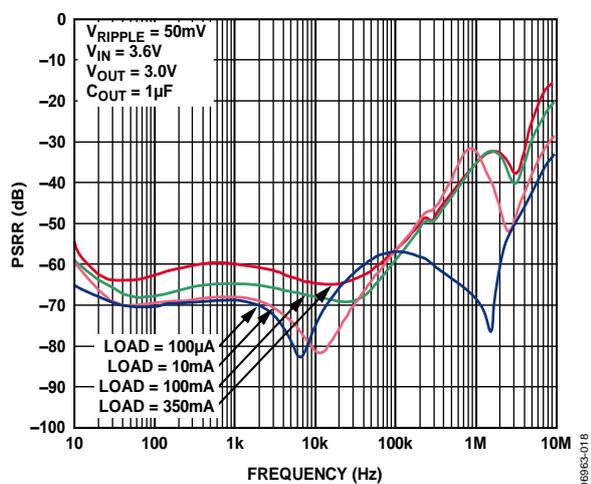


図 18. 電源除去比の周波数特性、 V_{IN} 入力

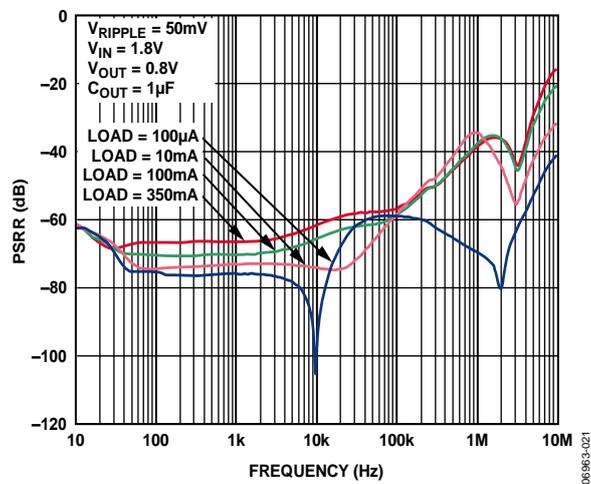


図 21. 電源除去比の周波数特性、 V_{IN} 入力

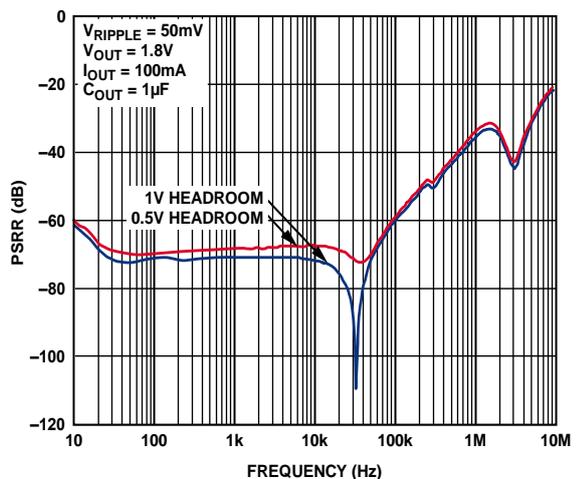


図 22.電源除去比ヘッドルーム、 V_{IN} 入力

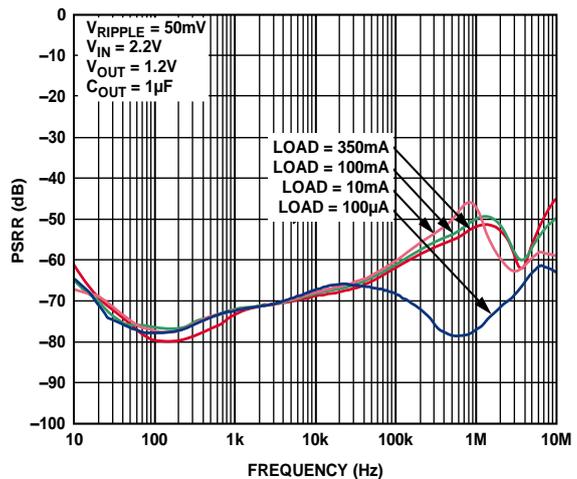


図 25.電源除去比の周波数特性、 V_{BIAS} 入力

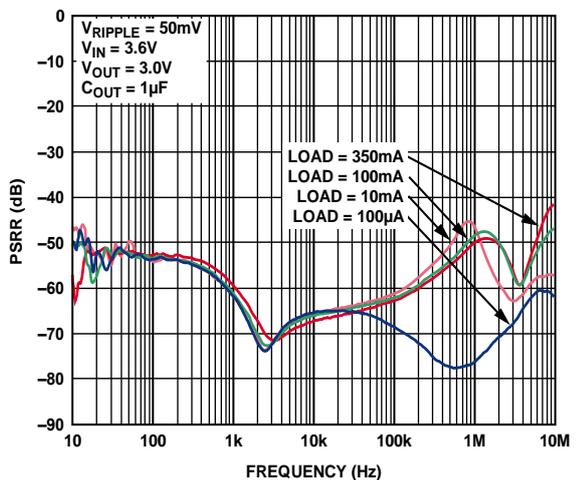


図 23.電源除去比の周波数特性、 V_{BIAS} 入力

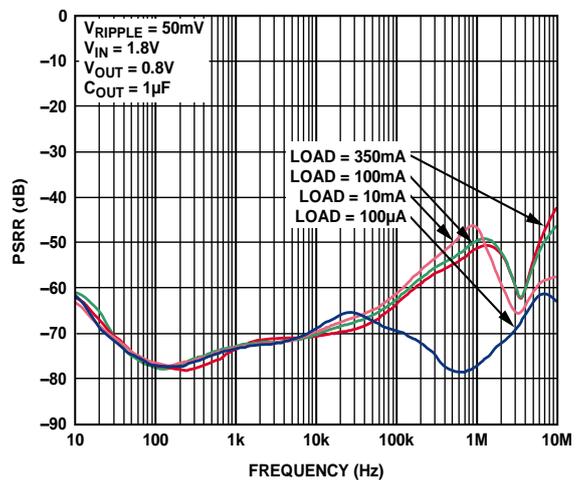


図 26.電源除去比の周波数特性、 V_{BIAS} 入力

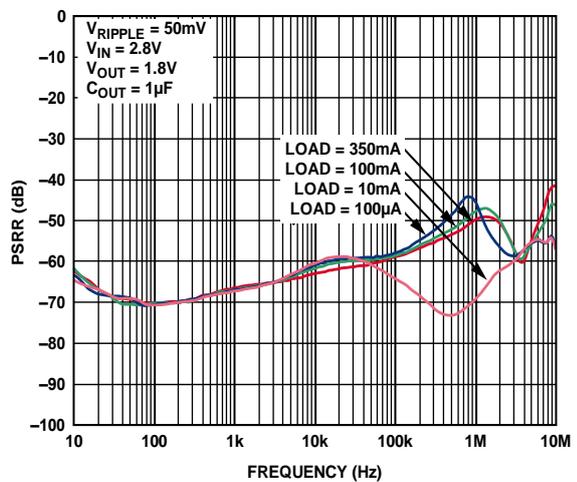


図 24.電源除去比の周波数特性、 V_{BIAS} 入力

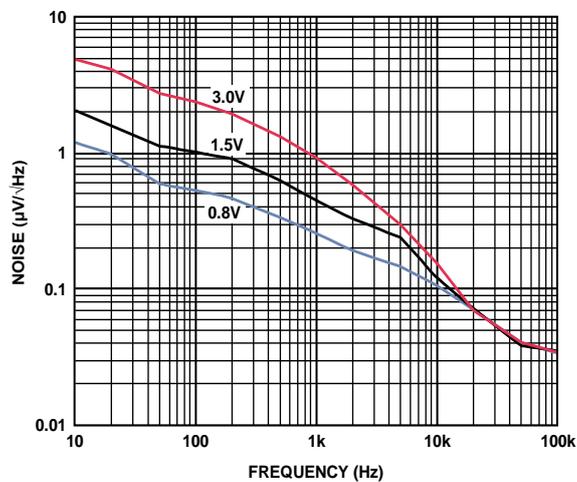


図 27.ノイズ・スペクトル対 V_{OUT}

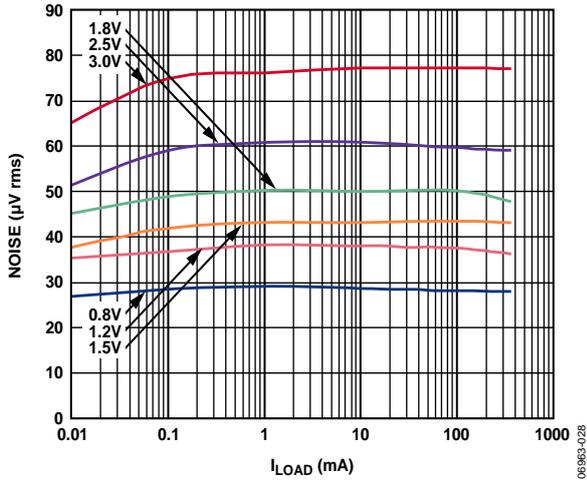


図 28.出力ノイズ対負荷電流および出力電圧

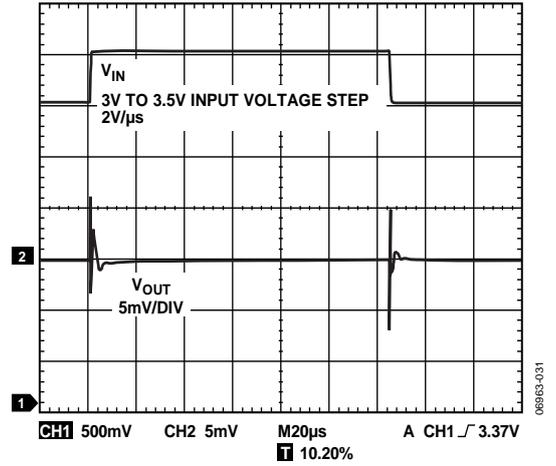


図 31. V_{IN} ライン過渡応答、 $V_{\text{BIAS}} = 5\text{ V}$ 、 $I_{\text{OUT}} = 1\text{ mA}$

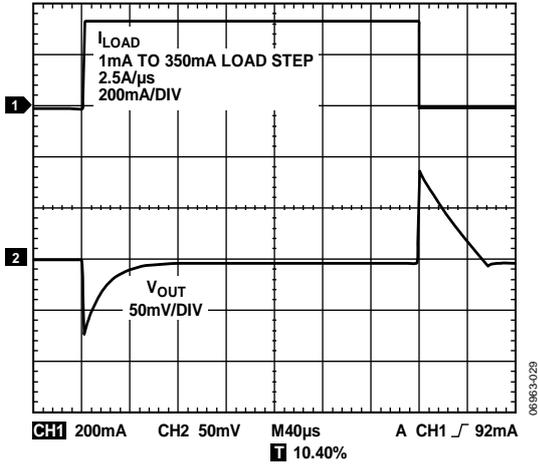


図 29.負荷過渡応答

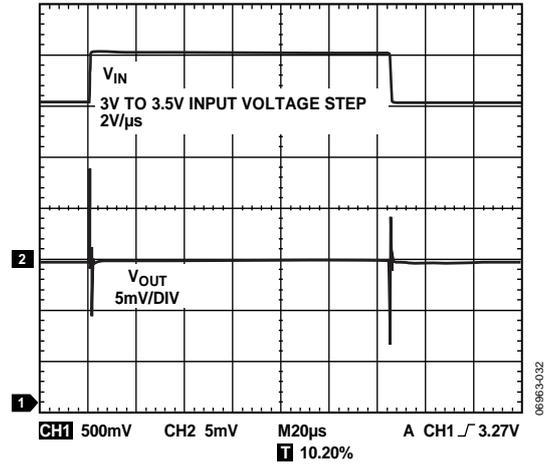


図 32. V_{IN} ライン過渡応答、 $V_{\text{BIAS}} = 5\text{ V}$ 、 $I_{\text{OUT}} = 350\text{ mA}$

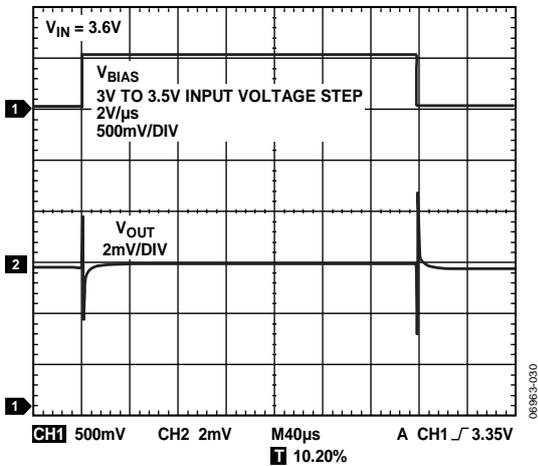


図 30. V_{BIAS} ライン過渡応答、 $V_{\text{IN}} = 3.6\text{ V}$ 、 $I_{\text{OUT}} = 350\text{ mA}$

動作原理

ADP130 は、当社独自の高度なアーキテクチャを採用して、小さい静止電流と高効率のレギュレーションを実現する低ドロップアウトのリニア・レギュレータです。また、高い電源除去比 (PSRR)、さらに小型の $1\ \mu\text{F}$ セラミック出力コンデンサを使って優れたライン応答と負荷過渡応答も提供します。このデバイスは、 $2.3\ \text{V}\sim 5.5\ \text{V}$ のバイアス・レールと $1.2\ \text{V}\sim 3.6\ \text{V}$ の入力レールで動作し、最大 $350\ \text{mA}$ の出力電流を提供します。シャットダウン・モードでの電源電流 (typ) は $1\ \mu\text{A}$ 以下です。

ADP130 内部は、リファレンス電圧、誤差アンプ、帰還電圧分圧器、パス・デバイスから構成されています。出力電流は、誤差アンプから制御されるパス・デバイスを経由して出力されます。この構成では、リファレンス電圧を一致させる負帰還システム帰還電圧が構成されています。帰還電圧がリファレンス電圧より低い場合、負帰還により電流が大きくなるため、出力電圧が大きくなります。帰還電圧がリファレンス電圧より高い場合、負帰還により電流が小さくなるため、出力電圧が小さくなります。VBIAS ピンは、パス・デバイスを除くすべての回路の正電源になります。

ADP130 は、出力電圧ランプ時間を約 $200\ \mu\text{s}$ に制限するソフト・スタート機能を内蔵しています。すべての内部デバイスは、イネーブル・ピン EN により制御されます。EN がハイ・レベルになると出力がターンオンし、EN がロー・レベルになると出力がターンオフします。

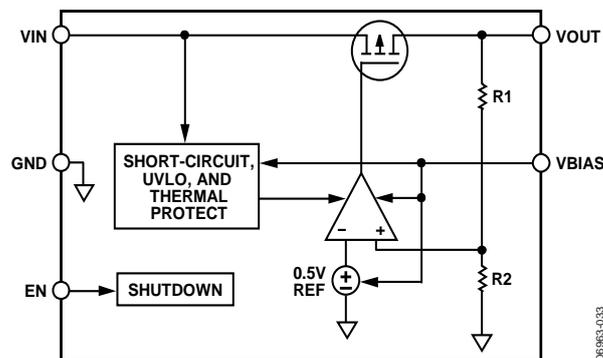


図 33.内部ブロック図

ADP130 には、 $0.8\ \text{V}\sim 3.0\ \text{V}$ の 31 種類の出力電圧オプションがあります。ADP130 は通常の動作状態では、EN ピンを使って VOUT ピンをイネーブル/ディスエーブルします。EN がハイ・レベルになると VOUT がターンオンします。EN がロー・レベルになると VOUT がターンオフします。自動スタートアップの場合は、EN と VBIAS を接続することができます。

アプリケーション情報

コンデンサの選択

出力コンデンサ

ADP130 は、省スペースの小型セラミック・コンデンサで動作するようにデザインされていますが、実効直列抵抗(ESR)値に注意する限り、一般的なコンデンサでも動作します。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。ADP130 の安定性のためには、 $ESR = 1 \Omega$ 以下で最小 $0.70 \mu\text{F}$ の容量の使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな出力容量値を使うと、負荷電流の大きな変化に対する ADP130 の過渡応答が改善されます。図 34 と図 35 に、それぞれ出力容量 $1 \mu\text{F}$ と $10 \mu\text{F}$ に対する過渡応答を示します。

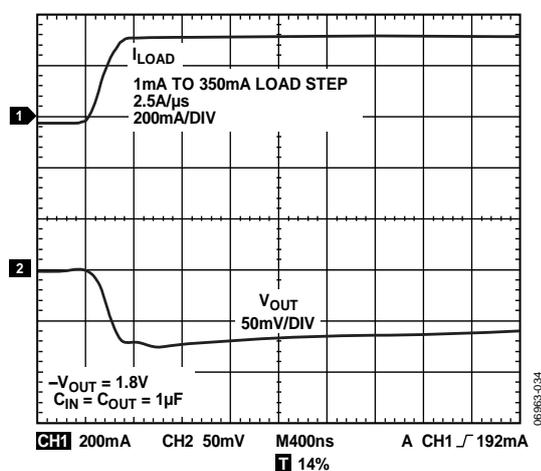


図 34. 出力過渡応答、 $C_{OUT} = 1 \mu\text{F}$

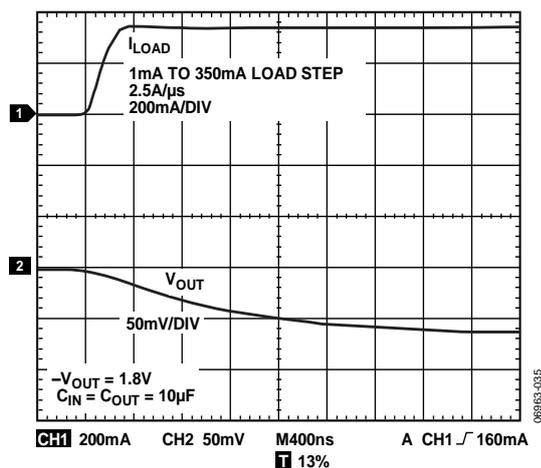


図 35. 出力過渡応答、 $C_{OUT} = 10 \mu\text{F}$

入力バイパス・コンデンサ

$1 \mu\text{F}$ のコンデンサを V_{IN} と GND の間に接続すると、プリント回路ボード(PCB)のレイアウトによる回路への影響を軽減することができます(特に入力パターンが長い場合またはソース・インピーダンスが高い場合)。 $1 \mu\text{F}$ より大きい出力容量が必要な場合は、入力コンデンサもそれに合わせて大きくする必要があります。

バイアス・コンデンサ

$1 \mu\text{F}$ のコンデンサを V_{BIAS} と GND の間に接続すると、プリント回路ボード(PCB)のレイアウトによる回路への影響を軽減することができます(特に入力パターンが長い場合またはソース・インピーダンスが高い場合)。

入力、バイアス、出力の各コンデンサの特性

ADP130 には、最小容量条件と最大 ESR 条件を満たすかぎり、どんな高品質セラミック・コンデンサでも使うことができます。セラミック・コンデンサは多様な誘電体で製造されていて、温度と電圧に対して異なる動作をします。コンデンサは、必要な温度範囲と DC バイアスの条件に対して最小容量を保証するため、十分な誘電体を持つ必要があります。電圧定格 6.3 V または 10 V の X5R 誘電体または X7R 誘電体の使用が推奨されます。Y5V 誘電体と Z5U 誘電体は、温度と DC バイアスの特性が十分でないため、LDO との使用は推奨できません。

図 36 に、 $0402 1 \mu\text{F}$ 、 10 V 、X5R コンデンサの容量対電圧バイアス特性を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格から大きな影響を受けます。一般に、コンデンサのパッケージが大きいか、または電圧定格が高いほど安定性が良くなります。X5R 誘電体の温度変動は、 -40°C ~ $+85^\circ\text{C}$ の温度範囲で約 $\pm 15\%$ であるため、パッケージまたは電圧定格の関数になっていません。

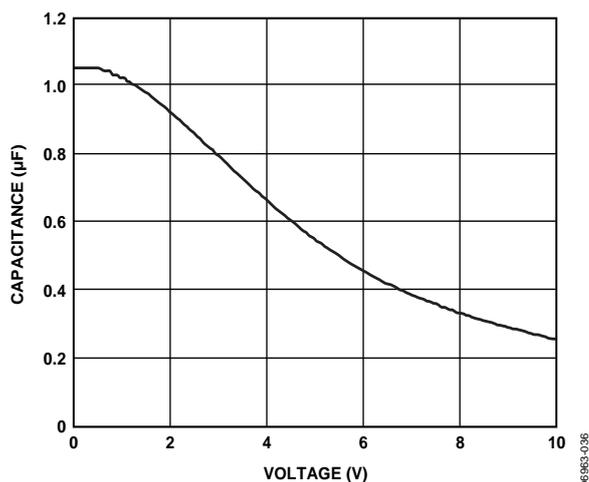


図 36. 容量対電圧特性

コンデンサの温度変動、部品偏差、電圧を考慮したワーストケース容量を求めるときは、式 1 を使うことができます。

$$C_{EFF} = C_{OUT} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

ここで、 C_{EFF} は動作電圧での実効容量。 $TEMPCO$ は、ワーストケースのコンデンサ温度係数。 TOL は、ワーストケースの部品偏差。

この例では、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ でのワースト・ケース温度係数 ($TEMPCO$) は、X5R 誘電体に対して 15% としています。図 36 のグラフから、キャパシタの偏差 (TOL) は 10%、さらに C_{OUT} は 1.8 V で $0.94 \mu\text{F}$ としています。

これらの値を式 1 に代入すると、

$$C_{EFF} = 0.94 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 0.719 \mu\text{F}$$

したがって、この例で選択されたコンデンサは、選択した出力電圧での温度と偏差に対する LDO の最小容量条件を満たします。

ADP130 の性能を保証するためには、DC バイアス、温度、偏差のコンデンサ動作に対する影響を各アプリケーションについて評価することが不可欠です。

低電圧ロックアウト機能

ADP130 は、入力電圧が約 2.1 V 以下のときに、すべての入力と出力をディスエーブルする低電圧ロックアウト回路を内蔵しています。この機能は、パワーアップ時に ADP130 の入力と出力が予測可能な動作を行うことを保証します。

イネーブル機能

ADP130 は通常の動作状態では、EN ピンを使って V_{OUT} ピンをイネーブル/ディスエーブルします。図 37 に示すように、EN の電圧がアクティブ・スレッショールドより上がると、 V_{OUT} がターンオンします。EN の電圧が非アクティブ・スレッショールドより下がると、 V_{OUT} がターンオフします。

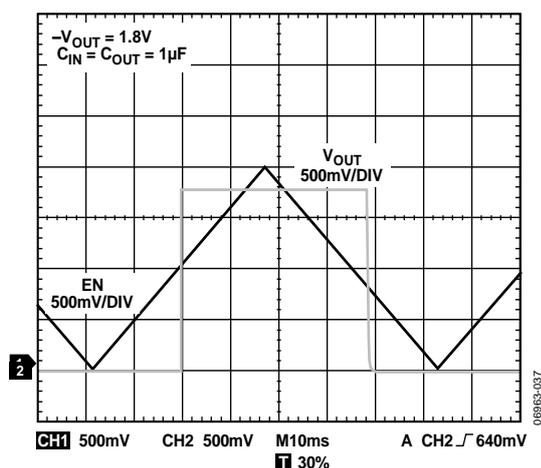


図 37. EN ピンの動作

図 37 に示すように、EN ピンにはヒステリシスがあります。これにより、スレッショールド・ポイントを通過する際に EN ピンにノイズがあると発生するオン/オフ発振が防止されます。

EN ピンのアクティブ/非アクティブ・スレッショールドは、 V_{IN} 電圧から発生されます。したがって、これらのスレッショールドは入力電圧が変化すると変わります。図 38 に、 V_{BIAS} 電圧が 2.3 V から 5.5 V へ変化するときの代表的な EN アクティブ/非アクティブ・スレッショールドを示します。

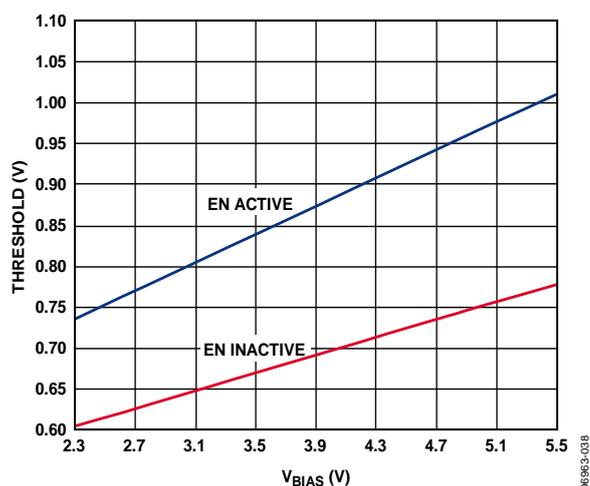


図 38. EN ピンのスレッショールド対入力

ADP130 は、内部ソフト・スタート機能を使って、出力がイネーブルされたときの突入電流を制限します。0.8 V オプションのスタートアップ・タイムは、出力が最終値の 90% に到達したときに EN アクティブ・スレッショールドを横切った時から約 180 μs になります。スタートアップ・タイムは、出力電圧の設定にある程度依存するため、出力電圧が高くなると少し大きくなります。

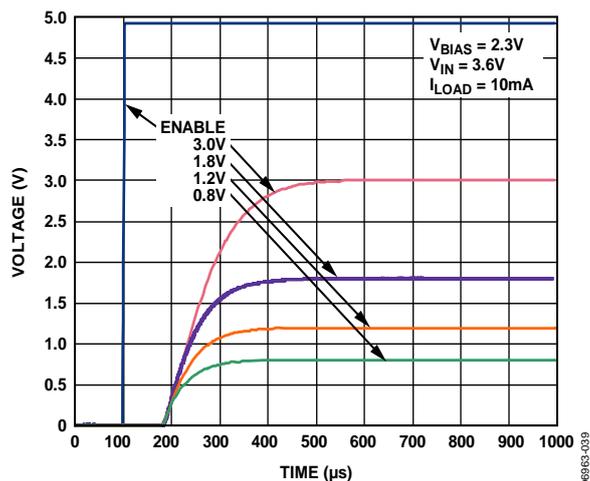


図 39. スタートアップ・タイム

電流制限保護とサーマル過負荷保護

ADP130 は、電流制限保護とサーマル過負荷保護の回路により、大きな消費電力による損傷から保護されています。

ADP130 は、出力負荷が 550 mA (typ) に到達すると、電流制限するようにデザインされています。出力負荷が 550 mA を超えると、出力電圧が一定の電流制限値になるように抑えられます。

サーマル過負荷保護機能がジャンクション温度を最大 150°C (typ) に制限します。極限状態(周囲温度と消費電力が大)で、ジャンクション温度が 150°C を超えて上昇し始めると、出力がターンオフされて、出力電流がゼロへ減少します。ジャンクション温度が 135°C を下回ると、出力が再びターンオンして、出力電流が公称値に戻ります。

V_{OUT} が GND に短絡した場合を考えます。まず、ADP130 の電流が制限されて、短絡電流が 550 mA になります。ジャンクションの自己発熱が大きいため温度が 150°C を超えると、サーマル・シャットダウン機能が起動されて、出力がターンオフされるため出力電流がゼロに減少します。ジャンクション温度が 135°C を下回ると、出力がターンオンするので、短絡電流が 550 mA に戻るため、ジャンクション温度は 150°C を超えます。135°C と 150°C の間でのこの熱的な発振により、550 mA と 0 mA の間の電流発振が生じて、出力に短絡がある間続きます。

電流と熱的な制限保護機能は、偶発的な過負荷状態からデバイスを保護します。信頼度の高い動作を実現するためには、デバイスの消費電力を外部から制限して、ジャンクション温度が 125°C を超えないようにする必要があります。

熱に対する考慮事項

信頼度の高い動作を保証するためには、ADP130 のジャンクション温度が 125°C を超えないようにする必要があります。ジャンクション温度をこの最大値より低く維持するためには、ジャンクション温度の変化に影響するパラメータを知っておく必要があります。これらのパラメータとしては、周囲温度、パワー・デバイスの消費電力、ジャンクションー周囲間の熱抵抗(θ_{JA})などがあります。

θ_{JA} の値は、パッケージ材料とパッケージの GND ピンが PCB 上でハンダ付けされる場所の銅量に依存します。表 6 には PCB 銅サイズに対する 5 ピン TSOT パッケージの θ_{JA} 値 (typ) を示します。

表 6. 規定の PCB 銅サイズに対する θ_{JA} の Typ 値

Copper Size (mm ²)	θ_{JA} (°C/W)
0 ¹	170
50	152
100	146
300	134
500	131

¹ デバイスは最小サイズのピン・パターンにハンダ付け。

ADP130 のジャンクション温度は次式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

ここで、 T_A は周囲温度。 P_D はチップ内の消費電力で、次式で与えられます。

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (3)$$

ここで、 V_{IN} と V_{OUT} はそれぞれ入力電圧と出力電圧。 I_{LOAD} は負荷電流。 I_{GND} はグラウンド電流。

グラウンド電流による消費電力は小さいので無視できます。したがって、ジャンクション温度の式は次のように簡素化されます。

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (4)$$

式 4 に示すように、周囲温度、入力/出力電位差、連続負荷電流が与えられると、ジャンクション温度が 125°C を超えないようにする、PCB に対する最小銅サイズ条件が存在します。図 40～図 46 に、さまざまな周囲温度、負荷電流、 V_{IN} — V_{OUT} 間の電位差、PCB 銅の面積に対するジャンクション温度の計算を示します。

ジャンクション温度の計算

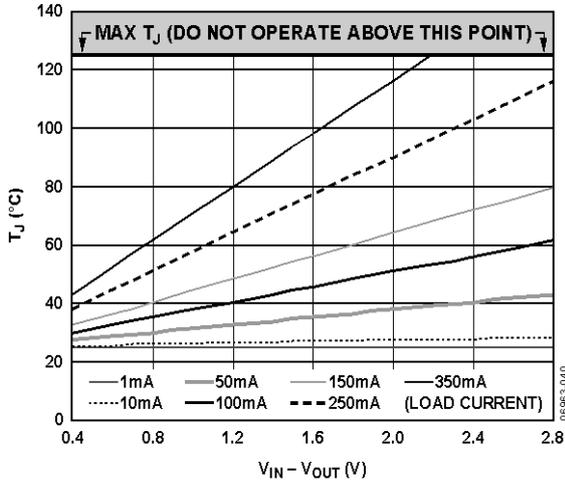


図 40.500 mm² の PCB 銅、T_A = 25°C、TSOT

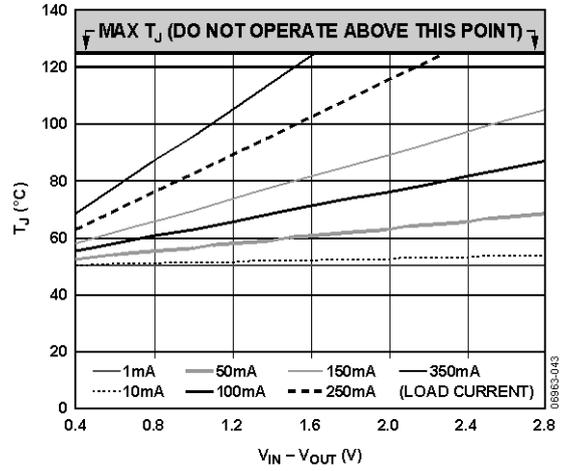


図 43.500 mm² の PCB 銅、T_A = 50°C、TSOT

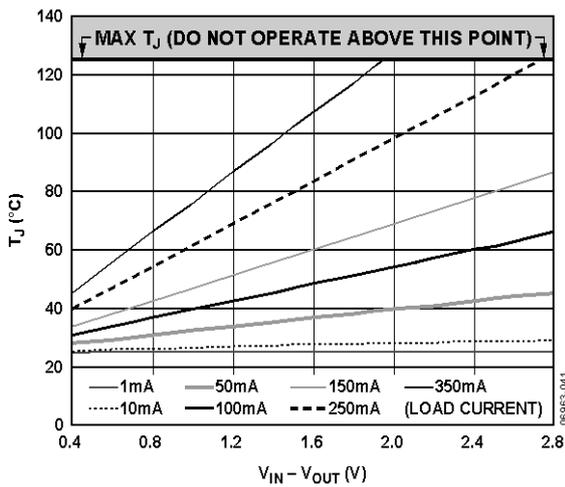


図 41.100 mm² の PCB 銅、T_A = 25°C、TSOT

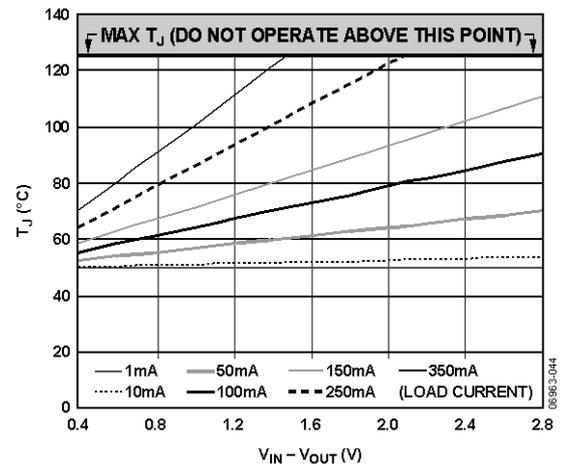


図 44.100 mm² の PCB 銅、T_A = 50°C、TSOT

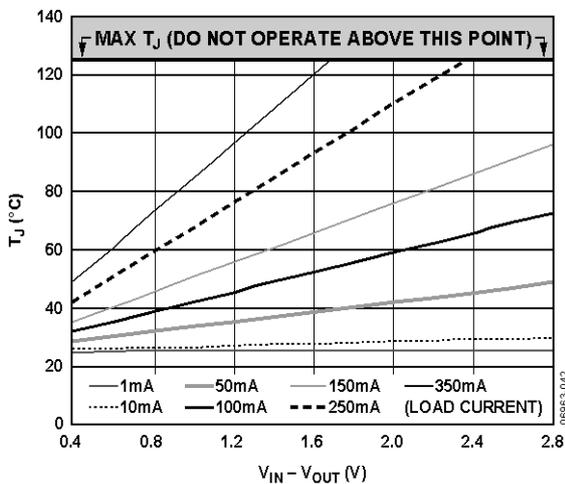


図 42.0 mm² の PCB 銅、T_A = 25°C、TSOT

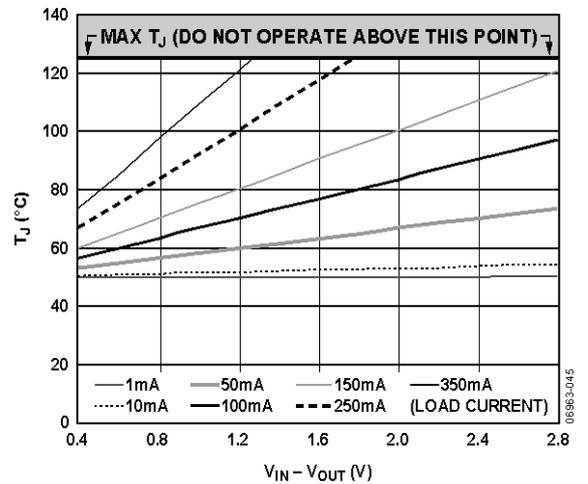


図 45.0 mm² の PCB 銅、T_A = 50°C、TSOT

ボード温度が既知の場合、サーマル・キャラクタライゼーション・パラメータ Ψ_{JB} を使って、ジャンクション温度の上昇を計算することができます。最大ジャンクション温度 (T_J) は、次式を使ってボード温度 (T_B) と P_D から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (5)$$

Ψ_{JB} の typ 値は、5 ピンの TSOT パッケージに対して 42.8°C/W になります。

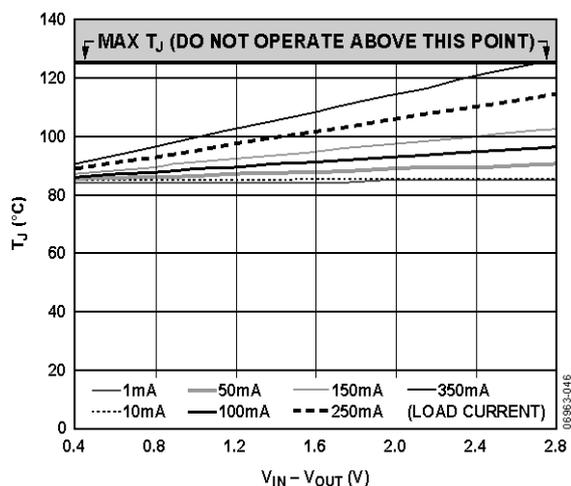


図 46. TSOT、 $T_A = 85^\circ\text{C}$

プリント回路ボード・レイアウトの考慮事項

パッケージの放熱は、ADP130 のピンを接続する銅量を増やすことにより向上させることができますが、表 6 から分かるように、限界点があります。この点を超えると、銅サイズを増やしても大きな放熱効果の改善が見られなくなります。

入力コンデンサを VIN ピンと GND ピンのできるだけ近くに配置する必要があります。出力コンデンサを VOUT ピンと GND ピンのできるだけ近くに配置する必要があります。面積の制約がある場合には、0402 または 0603 サイズのコンデンサと抵抗を使って、ボード上で最小のフットプリント・ソリューションを実現してください。

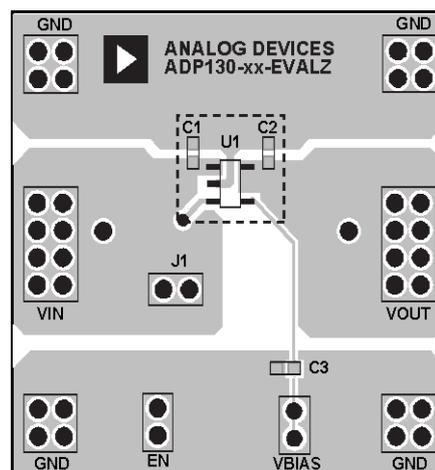
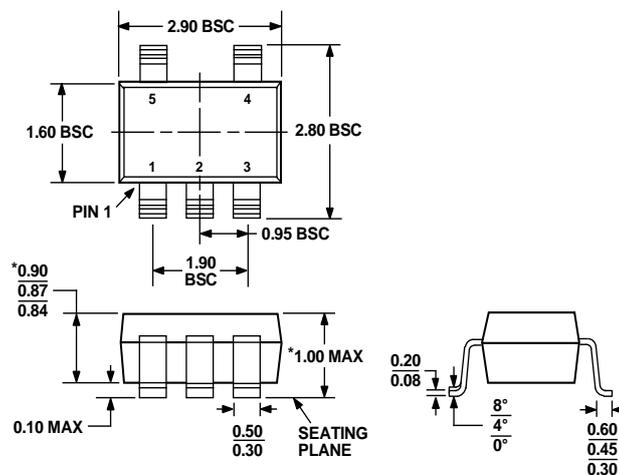


図 47. TSOT PCB レイアウトの例

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

図 48.5 ピン薄型スモール・アウトライン・トランジスタ・パッケージ[TSOT]
(UJ-5)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Output Voltage (V)	Package Description	Package Option	Branding
ADP130AUJZ-0.8-R7 ¹	-40°C to +125°C	0.8	5-Lead TSOT	UJ-5	LCH
ADP130AUJZ-1.2-R7 ¹	-40°C to +125°C	1.2	5-Lead TSOT	UJ-5	LCJ
ADP130AUJZ-1.5-R7 ¹	-40°C to +125°C	1.5	5-Lead TSOT	UJ-5	LCK
ADP130AUJZ-1.8-R7 ¹	-40°C to +125°C	1.8	5-Lead TSOT	UJ-5	LCL
ADP130AUJZ-2.5-R7 ¹	-40°C to +125°C	2.5	5-Lead TSOT	UJ-5	LCM
ADP130-0.8-EVALZ ¹	-40°C to +125°C	0.8	Evaluation Board		
ADP130-1.2-EVALZ ¹	-40°C to +125°C	1.2	Evaluation Board		
ADP130-1.5-EVALZ ¹	-40°C to +125°C	1.5	Evaluation Board		
ADP130-1.8-EVALZ ¹	-40°C to +125°C	1.8	Evaluation Board		
ADP130-2.5-EVALZ ¹	-40°C to +125°C	2.5	Evaluation Board		

¹ Z = RoHS 準拠製品