広い入力範囲のデュアル/2相同期整流降圧DC/DCコントローラ

ADP1850

特長

広い入力範囲: 2.75 V～20 V
パワー・ステージ入力電圧: 1 V～20 V
出力電圧範囲: 0.6 V から V_{IN} の 0.9 倍まで
チャンネルあたりの出力電流: 25 A 以上
インターリーブしたチャンネル間の精確な電流シェアリング
プログラマブルな周波数: 200 kHz～1.5 MHz
チャンネル間の 180° 位相シフトにより入力容量を低減
リファレンス電圧精度: −40°C～+85°C で±0.85%
ブースト・ダイオードを内蔵
軽負荷時に効率改善するパワーセーブモード (PSM)
プルアップ抵抗を内蔵した精確なパワーグッド
シーケンス制御を容易にする電圧トラッキング機能
独立した各チャンネル制御可能な高精度スレショルド・イネーブル
過電圧および過電流制限保護機能
ソフトスタート、位相補償、電流検出ゲインを外部から設定可能
外部周波数同期入力
熱過保護機能
低入力電圧ロックアウト (UVLO)
32 ピン 5 mm × 5 mm LFCSP パッケージを採用

アプリケーション

シーケンシング機能とトラッキング機能を必要とする高電流の単相/2 相出力中間バスおよび負荷点コンバータ、例えば次のようなコンバータ

- ポイントオブロード
- 通信基地局
- 民生機器
- 工業用および計装機器
- 医用機器

概要

ADP1850 は、デュアル出力または 2 相シングル出力に設定可能な DC/DC 同期整流降圧コントローラであり、広く採用されている 3.3 V～12 V (最大 20 V) 入力電圧で動作することができます。このデバイスは、過渡応答に優れた電流モードで動作し、ノイズ耐性を強化するためバレー電流検出を採用しています。

このアーキテクチャにより、インターリーブした場合、精確な電流分担が可能になり、高電流出力が得られます。

ADP1850 は、スイッチング・デバイス間のビート周波数(差周波数)を解消する同期機能を内蔵し、複数の電源間の精確なトラッキング機能を提供し、シンプルで強固なシーケンシング用に高精度なイネーブルを内蔵しています。このため、ADP1850 は複数の出力電圧を必要とするシステム・アプリケーションに最適です。

ADP1850 は、デッドタイムの最適化によりエネルギー効率の高い電力変換を可能にし、高速で高ピークの電流駆動能力を提供します。軽負荷動作の場合、このデバイスをパワーセーブ・モード (PSM)で動作するように設定することができます。パルスをスキップし、スイッチング損失を小さくすることにより、軽負荷時とスタンバイ状態でエネルギー効率を改善します。

精確な電流制限機能 (±6%)により、狭い範囲の許容誤差でのデザインが可能になり、コンバータ全体のサイズとコストを削減することができます。

ADP1850 は広い入力電圧範囲での動作を可能にし、フレキシブルなアーキテクチャを採用して、再利用しやすいを提供し、開発時間を短縮させます。外部からの設定機能により柔軟性も強化されています。ループ補償、ソフトスタート、周波数設定値、パワーセーブ・モード、電流制限値、電流検出ゲインは、すべて外付け部品を使って設定することができます。

ADP1850 は、小型パッケージを採用して高集積度の回路を内蔵しています。スタートアップ・リニア・レギュレータとハイサイド駆動用のブートストラップ・ダイオードを内蔵しています。保護機能としては、低電圧ロックアウト、過電圧、過電流/短絡、温度上昇の保護機能などを内蔵しています。ADP1850 は、小型 32 ピン LFCSP 5 mm × 5 mm の熱強化型パッケージを採用しています。

代表的な動作回路

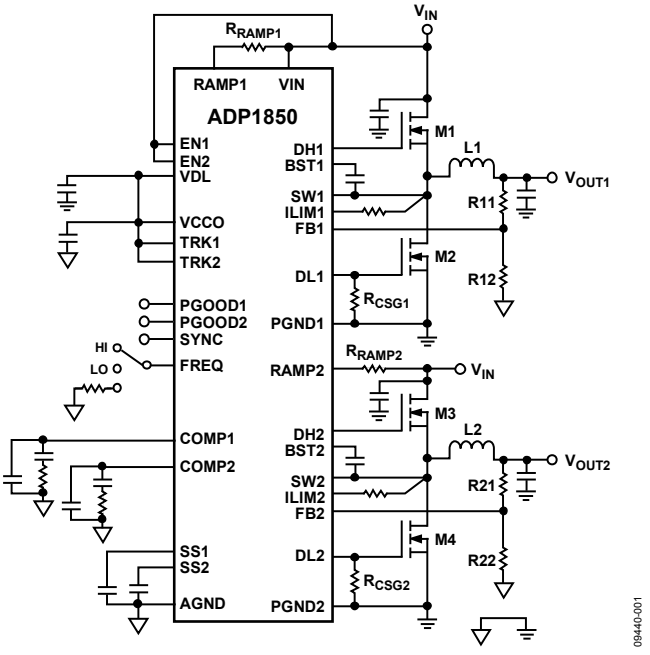


図 1.単相回路

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06（6350）6868

目次

特長 1
アプリケーション 1
概要 1
代表的な動作回路 1
改訂履歴 2
仕様 3
絶対最大定格 5
ESD の注意 5
簡略化したブロック図 6
ピン配置およびピン機能説明 7
代表的な性能特性 9
動作原理 12
制御アーキテクチャ 12
発振周波数 12
動作モード 13
同期 13
同期整流器とデッドタイム 14
入力低電圧ロックアウト機能 14
内蔵リニア・レギュレータ 14
過電圧保護 14
パワーグッド 14
短絡と電流制限保護 15
シャットダウン制御 15
熱過負荷保護機能 15
アプリケーション情報 16
出力電圧の設定 16
ソフトスタート 16
電流制限値の設定 16
高精度電流制限検出 17
スロープ補償の設定 17
電流検出ゲインの設定 17
入力コンデンサの選択 18
入力フィルタ 18
ブースト・コンデンサの選択 18
インダクタの選択 18
出力コンデンサの選択 19
MOSFET の選択 19
ループ補償 (単相動作) 21
構成とループ補償 (2 相動作) 22
スイッチング・ノイズとオーバーシュートの削減 22
電圧のトラッキング 23
独立なパワー・ステージ入力電圧 24
PCB レイアウト・ガイドライン 25
MOSFET、入力バルク・コンデンサ、バイパス・コンデンサ 25
高電流パスと電流検出パス 25
信号パス 25
PGND プレーン 25
帰還パスと電流制限検出パス 25
スイッチ・ノード 26
ゲート・ドライバ・パス 26
出力コンデンサ 26
代表的な動作回路 27
外形寸法 31
オーダー・ガイド 31

改訂履歴

11/10—Revision 0: Initial Version

仕様

温度限界におけるすべての規定値は、標準の統計的品質管理手法(SQC)を使う相関により保証。V_{IN} = 12 V。特に指定がない限り、仕様は T_J = −40°C～+125°C に対して有効。Typ 値は T_A = 25°C での値。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
POWER SUPPLY						
Input Voltage	V_{IN}		2.75		20	V
Undervoltage Lockout Threshold	IN_{UVLO}	V_{IN} rising	2.45	2.6	2.75	V
		V_{IN} falling	2.4	2.5	2.6	
Undervoltage Lockout Hysteresis				0.1		V
Quiescent Current	I_{IN}	EN1 = EN2 = V_{IN} = 12 V, V_{FB} = V_{CCO} in PWM mode (no switching)		4.5	5.8	mA
		EN1 = EN2 = V_{IN} = 12 V, V_{FB} = V_{CCO} in PSM mode		2.8		mA
Shutdown Current	I_{IN_SD}	EN1 = EN2 = GND, V_{IN} = 5.5 V or 20 V		100	200	μA
ERROR AMPLIFIER						
FBx Input Bias Current	I_{FB}		−100	+1	+100	nA
Transconductance	G_m	Sink or source 1 μA	385	550	715	μS
TRK1, TRK2 Input Bias Current	I_{TRK}	0 V ≤ V_{TRK1}/V_{TRK2} ≤ 5 V	−100	+1	+100	nA
CURRENT SENSE AMPLIFIER GAIN	A_{CS}	Gain resistor connected to DLx, R_{CSG} = 47 kΩ ± 5%	2.4	3	3.6	V/V
		Gain resistor connected to DLx, R_{CSG} = 22 kΩ ± 5%	5.2	6	6.9	V/V
		Default setting, R_{CSG} = open	10.5	12	13.5	V/V
		Gain resistor connected to DLx, R_{CSG} = 100 kΩ ± 5%	20.5	24	26.5	V/V
OUTPUT CHARACTERICTISTICS						
Feedback Accuracy Voltage	V_{FB}	T_J = −40°C to +85°C, V_{FB} = 0.6 V	−0.85%	+0.6	+0.85%	V
		T_J = −40°C to +125°C, V_{FB} = 0.6 V	−1.5%	+0.6	+1.5%	V
Line Regulation of PWM	$\Delta V_{FB}/\Delta V_{IN}$			±0.015		%/V
Load Regulation of PWM	$\Delta V_{FB}/\Delta V_{COMP}$	V_{COMP} range = 0.9 V to 2.2 V		±0.3		%
OSCILLATOR						
Frequency	f_{SW}	R_{FREQ} = 340 kΩ to AGND	170	200	235	kHz
		R_{FREQ} = 78.7 kΩ to AGND	720	800	880	kHz
		R_{FREQ} = 39.2 kΩ to AGND	1275	1500	1725	kHz
		FREQ to AGND	235	300	345	kHz
		FREQ to VCCO	475	600	690	kHz
SYNC Input Frequency Range	f_{SYNC}	f_{SYNC} = 2 × f_{SW}	400		3000	kHz
SYNC Input Pulse Width	$t_{SYNCMIN}$		100			ns
SYNC Pin Capacitance to GND	C_{SYNC}			5		pF
LINEAR REGULATOR						
VCCO Output Voltage		I_{VCCO} = 100 mA	4.7	5.0	5.3	V
VCCO Load Regulation		I_{VCCO} = 0 mA to 100 mA,		35		mV
VCCO Line Regulation		V_{IN} = 5.5 V to 20 V, I_{VCCO} = 20 mA		10		mV
VCCO Current Limit[1]		VCCO drops to 4 V from 5 V		350		mA
VCCO Short-Circuit Current[1]		VCCO < 0.5 V		370	400	mA
VIN to VCCO Dropout Voltage[2]	$V_{DROPOUT}$	I_{VCCO} = 100 mA, V_{IN} ≤ 5 V		0.33		V
LOGIC INPUTS						
EN1, EN2		EN1/EN2 rising	0.57	0.63	0.68	V
EN1, EN2 Hysteresis				0.03		V
EN1, EN2 Input Leakage Current	I_{EN}	V_{IN} = 2.75 V to 20 V		1	200	nA
SYNC Logic Input Low					1.3	V
SYNC Logic Input High			1.9			V
SYNC Input Pull-Down Resistance	R_{SYNC}			1		MΩ
GATE DRIVERS						
DHx Rise Time		C_{DH} = 3 nF, V_{BST} − V_{SW} = 5 V		16		ns
DHx Fall Time		C_{DH} = 3 nF, V_{BST} − V_{SW} = 5 V		14		ns
DLx Rise Time		C_{DL} = 3 nF		16		ns

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
DLx Fall Time		C_{DL} = 3 nF		14		ns
DHx to DLx Dead Time		External 3 nF is connected to DHx and DLx		25		ns
DHx or DLx Driver R_{ON}, Sourcing Current[1]	R_{ON_SOURCE}	Sourcing 2 A with a 100 ns pulse		2		Ω
		Sourcing 1 A with a 100 ns pulse, V_{IN} = 3 V		2.3		Ω
DHx or DLx Driver R_{ON}, Tempco	TC_{RON}	V_{IN} = 3 V or 12 V		0.3		%/°C
DHx or DLx Driver R_{ON}, Sinking Current[1]	R_{ON_SINK}	Sinking 2 A with a 100 ns pulse		1.5		Ω
		Sinking 1 A with a 100 ns pulse, V_{IN} = 3 V		2		Ω
DHx Maximum Duty Cycle		f_{SW} = 300 kHz	90			%
DHx Maximum Duty Cycle		f_{SW} = 1500 kHz	50			%
Minimum DHx On Time		f_{SW} = 200 kHz to 1500 kHz			135	ns
Minimum DHx Off Time		f_{SW} = 200 kHz to 1500 kHz			335	ns
Minimum DLx On Time		f_{SW} = 200 kHz to 1500 kHz			285	ns
COMPx VOLTAGE RANGE						
COMPx Pulse Skip Threshold	$V_{COMP,THRES}$	In pulse skip mode		0.9		V
COMPx Clamp High Voltage	$V_{COMP,HIGH}$		2.25			V
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	T_{TMSD}			155		°C
Thermal Shutdown Hysteresis				20		°C
OVERVOLTAGE AND POWER GOOD THRESHOLDS						
FBx Overvoltage Threshold	V_{OV}	V_{FB} rising	0.635	0.65	0.665	V
FBx Overvoltage Hysteresis				30		mV
FBx Undervoltage Threshold	V_{UV}	V_{FB} falling	0.525	0.55	0.578	V
FBx Undervoltage Hysteresis				30		mV
TRKx INPUT VOLTAGE RANGE			0		5	V
FBx TO TRKx OFFSET VOLTAGE		TRKx = 0.1 V to 0.57 V, offset = $V_{FB} - V_{TRK}$	−10	0	+10	mV
SOFT START						
SSx Output Current	I_{SS}	During start-up	4.6	6.5	8.4	µA
SSx Pull-Down Resistor		During a fault condition		3		kΩ
FBx to SSx Offset		V_{SS} = 0.1 V to 0.6 V, offset = $V_{FB} - V_{SS}$	−10		+10	mV
PGOODx						
PGOODx Pull-up Resistor	R_{PGOOD}	Internal pull-up resistor to VCCO		12.5		kΩ
PGOODx Delay				12		µs
Over Voltage or Under Voltage Minimum Duration		This is the minimum duration required to trip the PGOOD signal		10		µs
ILIM1, ILIM2 Threshold Voltage[1]		Relative to PGNDx	−5	0	+5	mV
ILIM1, ILIM2 Output Current		ILIMx = PGNDx	47	50	53	µA
Current Sense Blanking Period		After DLx goes high, current limit is not sensed during this period		100		ns
INTEGRATED RECTIFIER (BOOST DIODE) RESISTANCE		At 20 mA forward current		16		Ω
ZERO CURRENT CROSS OFFSET (SWx TO PGNDx)[1]		In pulse skip mode only, f_{SW} = 600 kHz	0	2	4	mV

[1] ザインで保証します。
[2] 2.75 V < V_{IN} < 5.5 V の場合、V_{IN} を VCCO へ接続してください。

絶対最大定格

表 2.

Parameter	Rating
VIN, EN1/EN2, RAMP1/RAMP2	21 V
FB1/FB2, COMP1/COMP2, SS1/SS2, TRK1/TRK2, FREQ, SYNC, VCCO, VDL, PGOOD1/PGOOD2	−0.3 V to +6 V
ILIM1/ILIM2, SW1/SW2 to PGND1/PGND2	−0.3 V to +21 V
BST1/BST2, DH1/DH2 to PGND1/PGND2	−0.3 V to +28 V
DL1/DL2 to PGND1/PGND2	−0.3V to VCCO + 0.3 V
BST1/BST2 to SW1/SW2	−0.3 V to +6 V
BST1/BST2 to PGND1/PGND2 20 ns Transients	32 V
SW1/SW2 to PGND1/PGND2 20 ns Transients	25 V
DL1/DL2, SW1/SW2, ILIM1/ILIM2 to PGND1/PGND2 20 ns Negative Transients	−8 V
PGND1/PGND2 to AGND	−0.3 V to +0.3 V
PGND1/PGND2 to AGND 20 ns Transients	−8 V to +4 V
θ_{JA} on Multilayer PCB (Natural Convection)[1, 2]	32.6°C/W
Operating Junction Temperature Range[3]	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Maximum Soldering Lead Temperature	260°C

[1] エクスポーズド・パッドを PCB に取り付けて測定。

[2] パッケージのジャンクション/周囲間熱抵抗(θ_{JA})は、多層 PCB を使用した計算またはシミュレーションによります。

[3] デバイスのジャンクション温度 T_Jは、周囲温度 T_A、デバイス消費電力 P_D、パッケージのジャンクション/周囲間熱抵抗 θ_{JA}に依存します。最大ジャンクション温度は、$T_J = T_A + P_D \times \theta_{JA}$の式を使って周囲温度と消費電力から計算します。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

絶対最大定格は、組み合わせではなく個別に適用されます。特に注記がない限り、すべての電圧は GND を基準にします。

ESDの注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

簡略化したブロック図

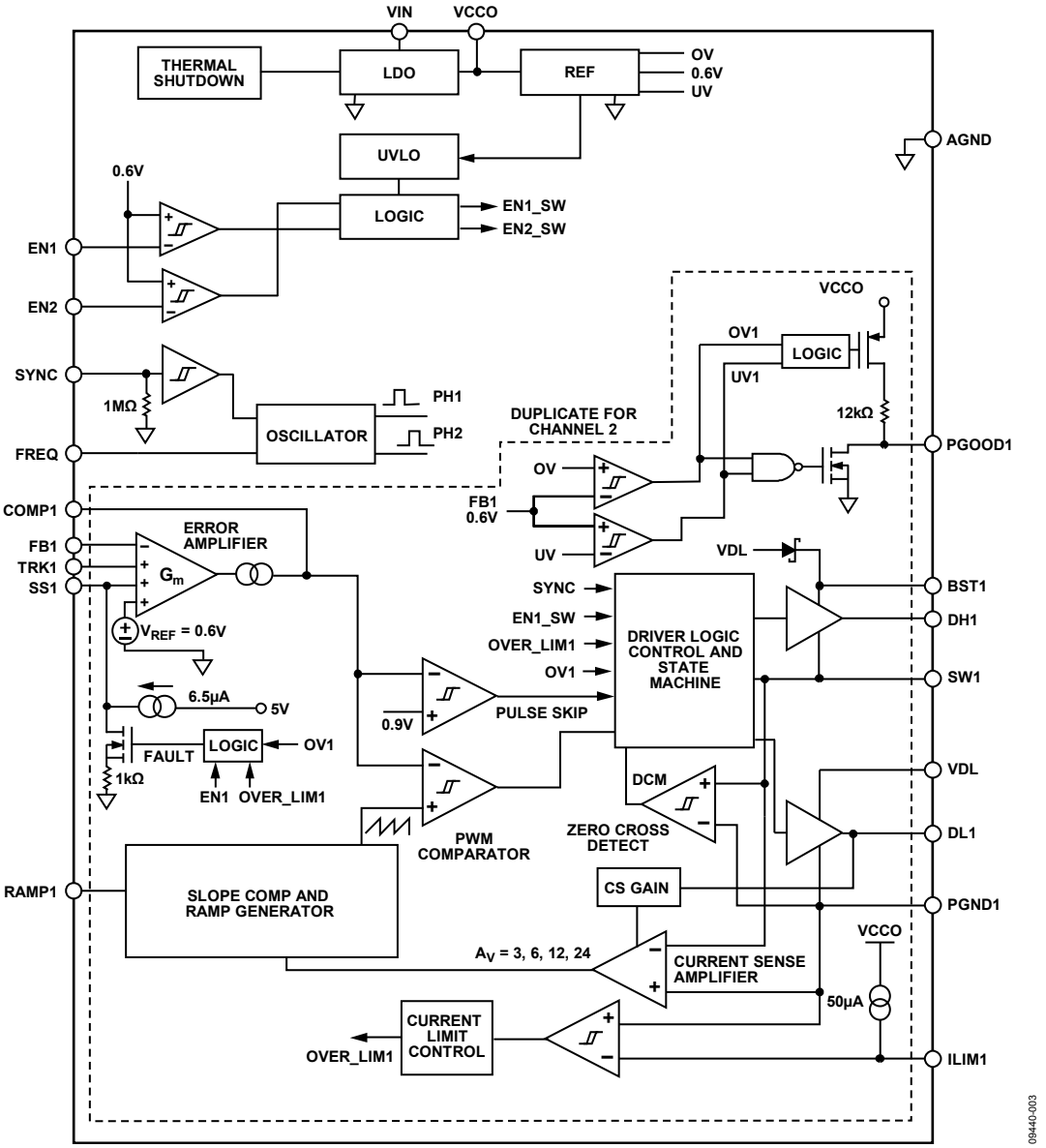


図 2.

ピン配置およびピン機能説明

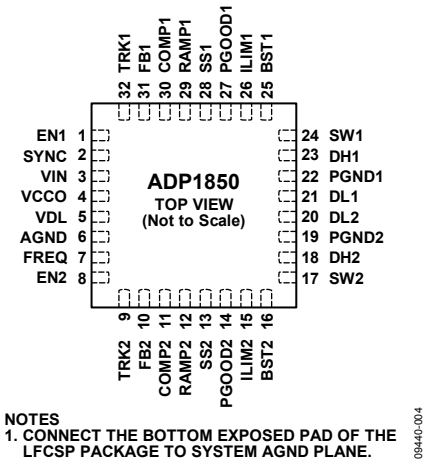


図 3.ピン配置

表 3.ピン機能の説明

ピン番号	記号	説明
1	EN1	チャンネル 1 のイネーブル入力。EN1 をハイ・レベルにすると、チャンネル 1 コントローラがオンになり、EN1 をロー・レベルにすると、チャンネル 1 コントローラがオフになります。自動スタートアップにするときは、EN1 を VIN へ接続してください。高精度 UVLO の場合、VIN と AGND の間に適切な値の抵抗で分圧し、このピンを中点に接続します。
2	SYNC	周波数同期入力。FREQ ピンで設定される内部発振器周波数 f_{SW} の 1 倍～2.3 倍の外部信号を入力します。SYNC で信号が検出された場合、または SYNC がハイ・レベルの場合に、コントローラは強制 PWM で動作します。この結果、スイッチング周波数は SYNC 周波数の½になります。SYNC がロー・レベルまたはフローティングのままの場合、コントローラはパルス・スキップ・モードで動作します。2 相動作の場合は、SYNC をハイ・レベルにするか、外部クロックに接続します。
3	VIN	メイン電源へ接続します。このピンのできるだけ近くと PGNDx との間に 1 µF 以上のセラミック・コンデンサを接続してバイパスしてください。
4	V_{CCO}	内蔵低ドロップアウト・レギュレータ (LDO)の出力。1 µF 以上のセラミック・コンデンサを VCCO と AGND との間に接続してバイパスしてください。 EN1 と EN2 がロー・レベルのときでも、VCCO 出力はアクティブのままになります。VIN < 5 V の動作の場合、VIN は VCCO へ短絡することができます。他の補助システム負荷を駆動する電源として LDO を使用しないでください。
5	VDL	ローサイド・ドライバの電源。VDL と PGNDx との間に 1 µF 以上のセラミック・コンデンサを接続してバイパスしてください。VCCO は VDL へ接続します。
6	AGND	アナログ・グラウンド。
7	FREQ	FREQ と AGND の間に抵抗を 1 本接続して、200 kHz～1.5 MHz の動作周波数を設定します。予め設定された 300 kHz 動作周波数に設定する場合は FREQ と AGND を、 600 kHz 動作周波数の場合は FREQ と VCCO を、それぞれ接続します。
8	EN2	チャンネル 2 のイネーブル入力。EN2 をハイ・レベルにすると、チャンネル 2 コントローラがオンになり、EN2 をロー・レベルにすると、チャンネル 2 コントローラがオフになります。自動スタートアップにするときは、EN2 を VIN へ接続してください。高精度 UVLO の場合、VIN と AGND の間に適切な値の抵抗で分圧し、このピンを中点に接続します。
9	TRK2	チャンネル 2 のトラッキング入力。トラッキングを使用しない場合は TRK2 と VCCO を接続します。
10	FB2	チャンネル 2 の出力電圧帰還。抵抗分圧器を介して出力 2 へ接続します。
11	COMP2	チャンネル 2 の補償ノード。チャンネル 2 誤差アンプの出力。抵抗とコンデンサの直列回路を COMP2 と AGND との間に接続して、レギュレーション制御ループを補償します。
12	RAMP2	RAMP2 と VIN との間に抵抗を接続して、チャンネル 2 のスロープ補償用ランプ電流を設定します。RAMP2 の電圧は 0.2 V です。チャンネルがディスエーブルされると、このピンはハイ・インピーダンスになります。
13	SS2	チャンネル 2 のソフトスタート入力。SS2 と AGND との間にコンデンサを接続して、ソフトスタート周期を設定します。このノードは、内部で 6.5 µA 電流源を使い 5 V へプルアップされています。
14	PGOOD2	パワーグッド。オープン・ドレインのパワーグッド・インジケータ・ロジック出力。PGOOD2 と VCCO との間に 12 kΩ の内部抵抗が接続されています。チャンネル 2 出力がレギュレーション・ウインドウの外側になると、PGOOD2 はグラウンド・レベルにプルダウンされます。外付けプルアップ抵抗は不要です。

ピン番号	記号	説明
15	ILIM2	チャンネル 2 の電流制限検出コンパレータ反転入力。ILIM2 と SW2 との間に抵抗を接続して、電流制限オフセットを設定します。精確な電流制限検出の場合、ILIM2 をローサイド MOSFET のソースの電流検出抵抗に接続します。
16	BST2	チャンネル 2 のハイサイド側ドライバのブートストラップされる上側電源レール。BST2 と SW2 との間に多層セラミック・コンデンサ (0.1 µF～ 0.22 µF)を接続します。VDL と BST2 との間に接続された内部ブースト・ダイオードがあります。
17	SW2	チャンネル 2 のスイッチ・ノード。チャンネル 2 のハイサイド N チャンネル MOSFET のソースとローサイド N チャンネル MOSFET のドレインに接続します。
18	DH2	チャンネル 2 のハイサイド・スイッチ・ゲートドライバ出力。最大 20 nF の合計入力容量を持つ MOSFET を駆動することができます。
19	PGND2	チャンネル 2 のパワー・グラウンド。内部チャンネル 2 ドライバのグラウンド。差動電流は SW2 と PGND2 の間で検出されます。PGND2 とローサイド MOSFET のソースとの間でケルビン検出接続技術を使用してください。
20	DL2	チャンネル 2 のローサイド同期整流器ゲート・ドライバ出力。電流検出アンプのゲインを設定するときは、DL2 と PGND2 との間に抵抗を接続します。最大 20 nF の合計入力容量を持つ MOSFET を駆動することができます。
21	DL1	チャンネル 1 のローサイド同期整流器ゲート・ドライバ出力。電流検出アンプのゲインを設定するときは、DL1 と PGND1 との間に抵抗を接続します。最大 20 nF の合計入力容量を持つ MOSFET を駆動することができます。
22	PGND1	チャンネル 1 のパワー・グラウンド。内部チャンネル 1 ドライバのグラウンド。差動電流は SW1 と PGND1 の間で検出されます。PGND1 とローサイド MOSFET のソースとの間でケルビン検出接続技術を使用してください。
23	DH1	チャンネル 1 のハイサイド・スイッチ・ゲートドライバ出力。最大 20 nF の合計入力容量を持つ MOSFET を駆動することができます。
24	SW1	チャンネル 1 のパワー・スイッチ・ノード。チャンネル 1 のハイサイド N チャンネル MOSFET のソースとローサイド N チャンネル MOSFET のドレインに接続します。
25	BST1	チャンネル 1 のハイサイド側ドライバのブートストラップされる上側電源レール。 BST1 と SW1 との間に多層セラミック・コンデンサ (0.1 µF～ 0.22 µF)を接続します。VDL と BST1 との間に接続された内部ブースト・ダイオードがあります。
26	ILIM1	チャンネル 1 の電流制限検出コンパレータ反転入力。ILIM1 と SW1 との間に抵抗を接続して、電流制限オフセットを設定します。精確な電流制限検出の場合、ILIM1 をローサイド MOSFET のソースの電流検出抵抗に接続します。
27	PGOOD1	パワーグッド。オープン・ドレインのパワーグッド・インジケータ・ロジック出力。 PGOOD1 と VCCO との間に 12 kΩ の内部抵抗が接続されています。チャンネル 1 出力がレギュレーション・ウインドウの外側になると、PGOOD1 はグラウンド・レベルにプルダウンされます。外付けプルアップ抵抗は不要です。
28	SS1	チャンネル 1 のソフトスタート入力。 SS1 と AGND との間にコンデンサを接続して、ソフトスタート周期を設定します。このノードは、内部で 6.5 µA 電流源を使い 5 V へプルアップされています。
29	RAMP1	RAMP1 と VIN との間に抵抗を接続して、チャンネル 1 のスロープ補償用ランプ電流を設定します。 RAMP1 の電圧は 0.2 V です。チャンネルがディスエーブルされると、このピンはハイ・インピーダンスになります。
30	COMP1	チャンネル 1 の補償ノード。チャンネル 1 誤差アンプの出力。抵抗とコンデンサの直列回路を COMP1 と AGND との間に接続して、レギュレーション制御ループを補償します。
31	FB1	チャンネル 1 の出力電圧帰還。抵抗分圧器を介して出力 1 へ接続します。
32	TRK1	チャンネル 1 のトラッキング入力。トラッキングを使用しない場合は TRK1 と VCCO を接続します。
33 (EPAD)	エクスポーズド・パッド (EPAD)	LFCSP パッケージの底部のエクスポーズド・パッドはシステム AGND プレーンに接続します。

代表的な性能特性

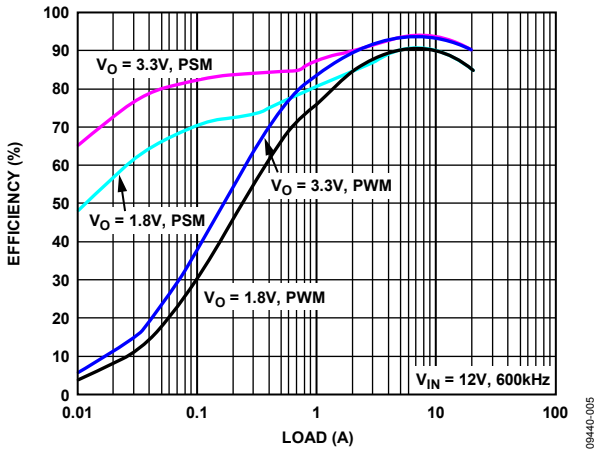


図 4. 図 44の効率プロット

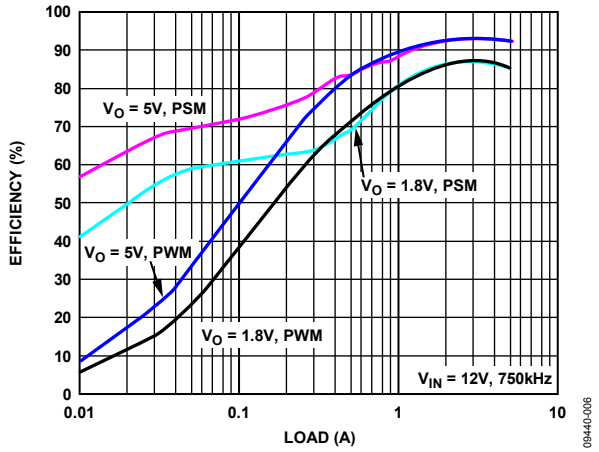


図 5. 図 45の効率プロット

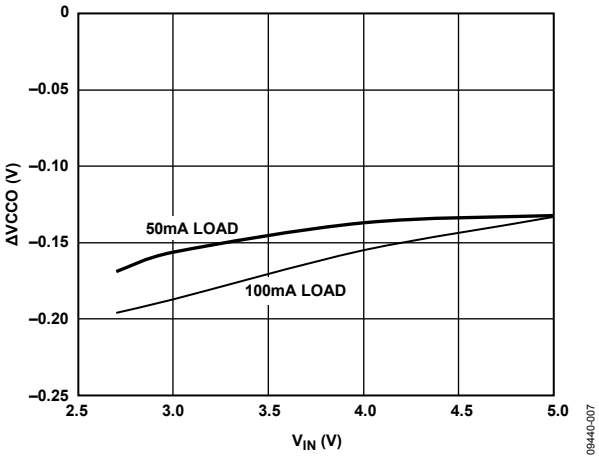


図 6.LDO 負荷レギュレーション

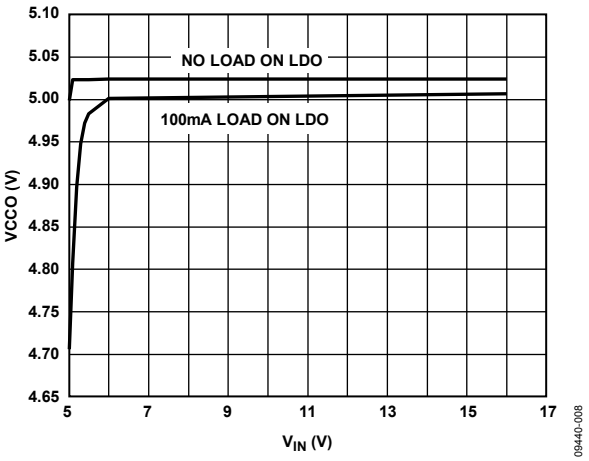


図 7.LDO ライン・レギュレーション

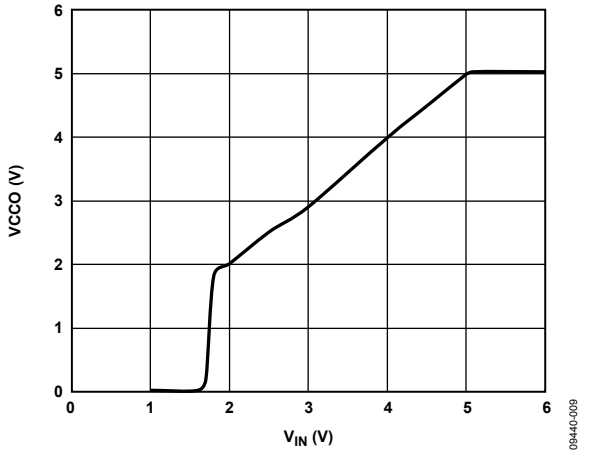


図 8.V_{IN} 対 VCCO

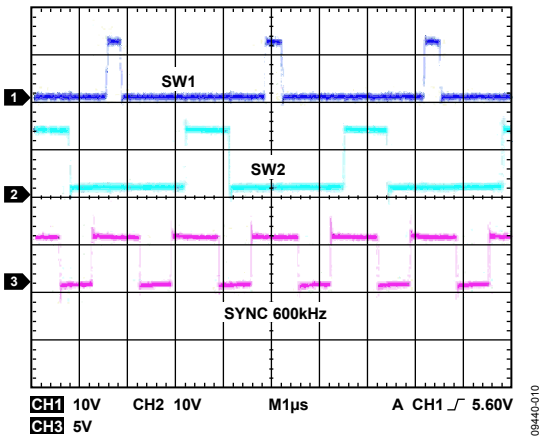


図 9.同期の例、f_{SYNC} = 600 kHz

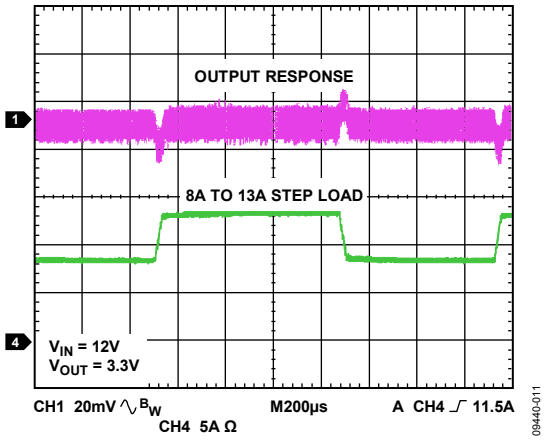


図 10. 図 44のステップ負荷過渡応答

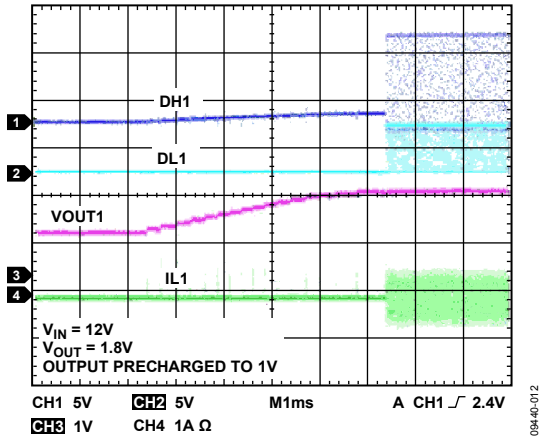


図 11. プリチャージされた出力でのソフトスタート

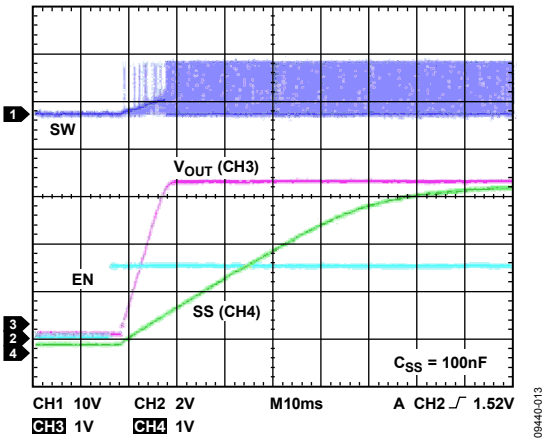


図 12.イネーブル・スタートアップ機能

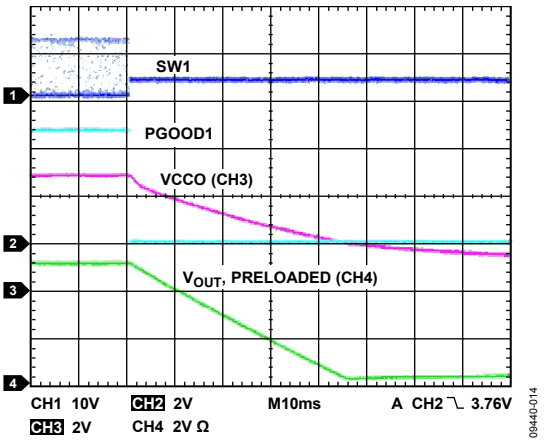


図 13.サーマル・シャットダウン波形

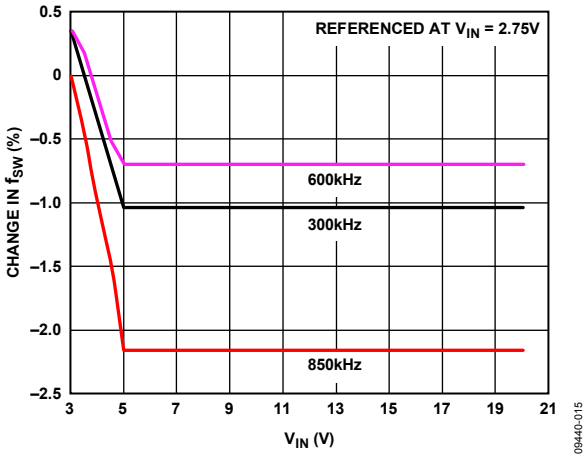


図 14.V_{IN} 対 f_{SW} の変化

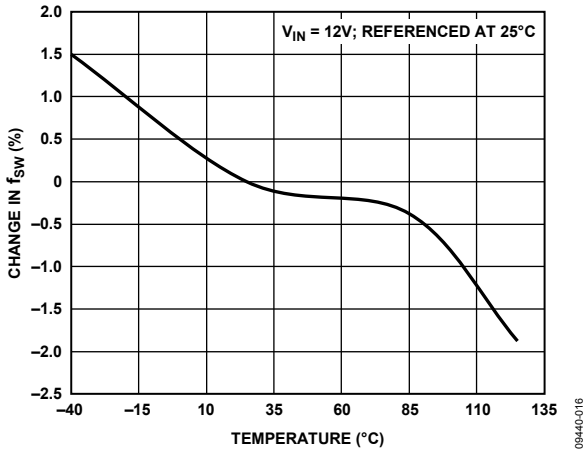


図 15. f_{SW} の温度特性

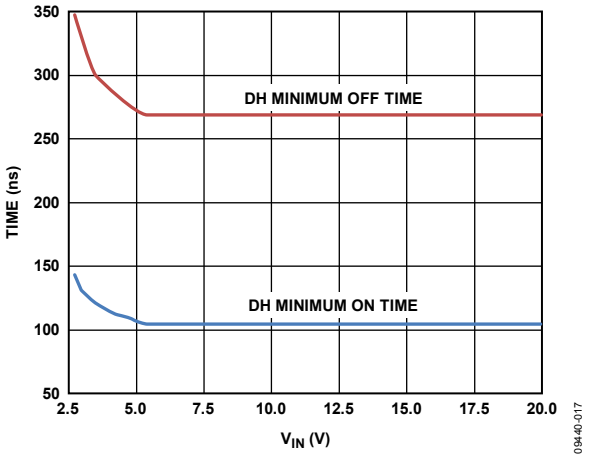


図 16.DH の最小オン・タイムと最小オフ・タイム

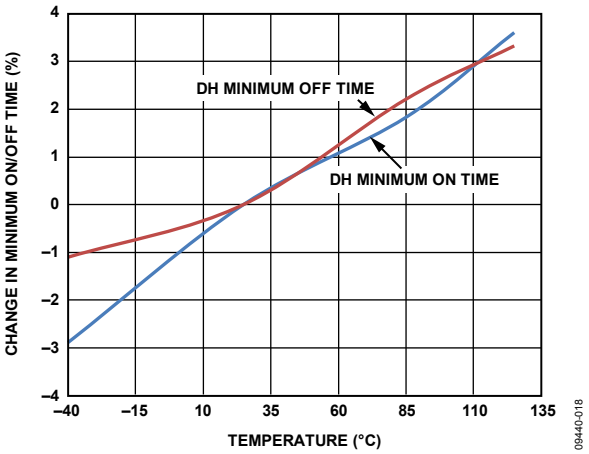


図 17.DH の最小オン・タイムと最小オフ・タイムの温度特性

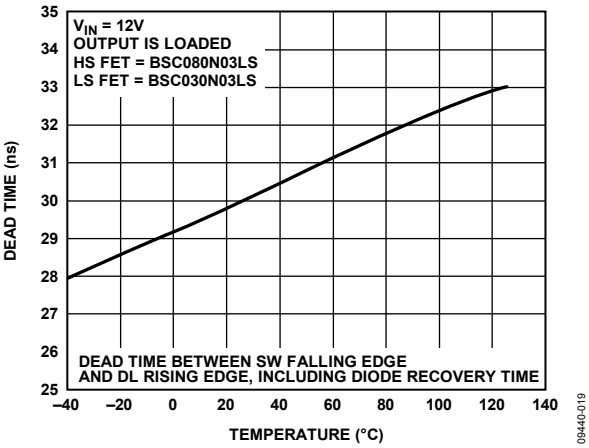


図 18.デッドタイムの温度特性

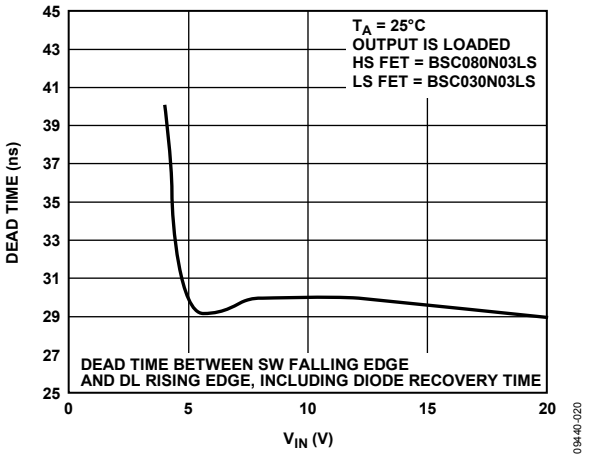


図 19.V_{IN} 対デッドタイム

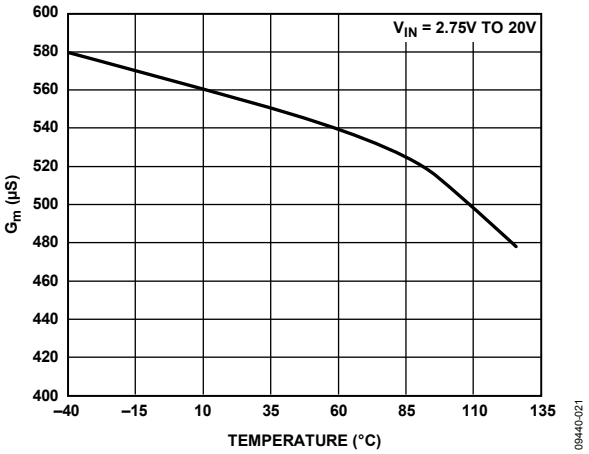


図 20.誤差アンプ G_m の温度特性

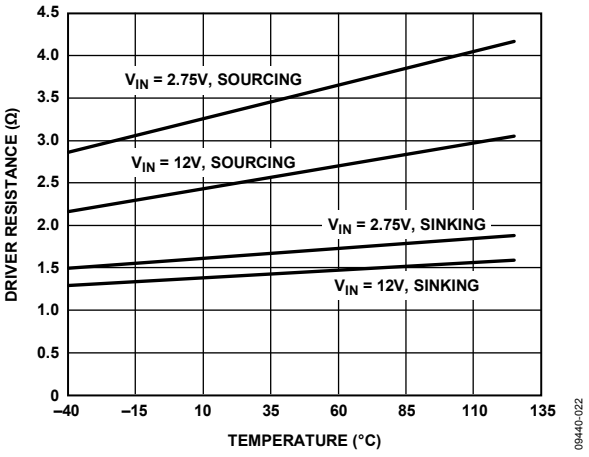


図 21.ドライバ抵抗の温度特性

動作原理

ADP1850は、外付けNチャンネル同期整流方式のMOSFETドライバを内蔵した電流モード・デュアル・チャンネル降圧スイッチング・レギュレータ・コントローラです。2つの出力は180°位相シフトされています。このため入力RMSリップル電流が小さくなり、必要とされる入力容量を小さくすることができます。さらに、2つの出力を2相PWM動作用に組み合わせて、50 A以上の出力電流を供給することができ、2チャンネル間の電流分担が最適化されています。

ADP1850は、軽負荷時に強制PWMまたはパルス・スキップ高効率モード(パワーセーブ・モード)を選択することができます。ADP1850に内蔵されているブースト・ダイオードにより、システム全体のコストと部品点数が削減されます。ADP1850は、プログラマブルなソフトスタート、出力過電圧保護、プログラマブル電流制限、パワーグッド、トラッキング機能を内蔵しています。ADP1850は、200 kHz～1.5 MHzのスイッチング周波数を設定できるように1本の外付け抵抗で設定することができます。

制御アーキテクチャ

ADP1850は、固定周波数、電流モード、PWM制御アーキテクチャを採用しています。スイッチング・サイクルのオフ周期(インダクタ・バレー電流)で、外付けローサイドMOSFETのR_{DSON}の電圧降下を測定することにより、インダクタ電流が検出されます。電流検出信号は、電流検出アンプによりさらに処理されます。電流検出アンプの出力は保持され、エミュレートされた電流ランプが重畳されてPWMコンパレータに入力されます(図 22参照)。オフ周期の終わりでバレー電流情報が取得され、次のオン・サイクルが始まるときエミュレートされた電流ランプがこのポイントで加えられます。 誤差アンプは、帰還電圧とCOMPxピン(図22の誤差アンプ)から発生された誤差電圧との間の誤差を積分します。

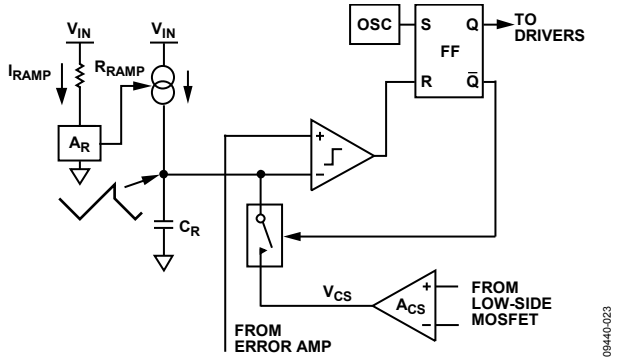


図 22.簡略化した制御アーキテクチャ

図 22に示すように、エミュレートされた電流ランプはIC内部で発生されますが、RAMPxピンを使って設定することができます。V_{IN}とRAMPxピンとの間に該当する値の抵抗を接続すると、所望のスロープ補償値が設定され、同時にフィードホワード機能が提供されます。このタイプの制御方式で実現される利点は、電流ランプを戻すターンオン電流スパイクについて心配する必要がないことです。また、ターンオフ周期の終わりに電流信号がサンプルされるためにスイッチ・ノードのリンギングが安定する時間を確保できるので、電流信号は安定しています。電流モード制御方式を採用する他の利点は、ループ補償の簡素化などにもあります。制御ロジックにより、内蔵ドライバと外付けMOSFETの相互導通を制限する貫通動作の防止も強化されます。

発振周波数

200 kHz～1.5 MHzの範囲の内部発振器周波数は、FREQピンの外付け抵抗R_{FREQ}により設定されます。一般的なf_{SW}値を表 4に、グラフ表示を図 23に、それぞれ示します。例えば、78.7 kΩ抵抗により発振器周波数が 800 kHzに設定されます。さらに、FREQとAGNDまたはFREQとVCCOを接続すると、発振器周波数がそれぞれ 300 kHzまたは600 kHzに設定されます。表 4にリストされていないその他の周波数については、図 23からR_{FREQ}値とf_{SW}を求めることができます。あるいは次の実験式を使ってこれらの値を計算することができます。

$$R_{FEQ}(\text{k}\Omega) = 96568 \times f_{SW}(\text{kHz})^{-1.065}$$

表 4.スイッチング周波数の設定

R_{FREQ}	f_{SW} (Typical)
332 kΩ	200 kHz
78.7 kΩ	800 kHz
60.4 kΩ	1000 kHz
51 kΩ	1200 kHz
40.2 kΩ	1500 kHz
FREQ to AGND	300 kHz
FREQ to VCCO	600 kHz

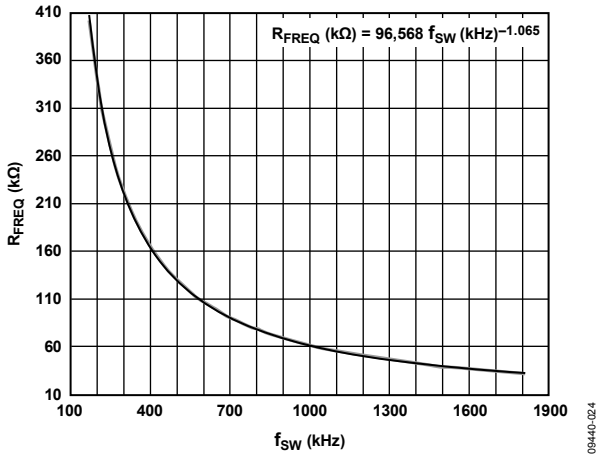


図 23.f_{SW} 対 R_{FREQ}

動作モード

SYNC ピンは共用ピンです。SYNC を VCCO またはハイ・レベルに接続すると、強制 PWM モードがイネーブルされます。SYNC をグラウンドに接続するか、フローティングのままにすると、パルス・スキップ・モードがイネーブルされます。SYNC をロー・レベル→ハイ・レベルまたはハイ・レベル→ロー・レベルへ変化させると、コントローラをそれぞれ強制 PWM→パルス・スキップ・モードまたはパルス・スキップ・モード→強制 PWM へ 2 クロック・サイクルで遷移させることができます。

表 5.動作モードの真理値表

SYNC Pin	Mode of Operation
Low	Pulse skip mode
High	Forced PWM or two-phase operation
No Connect	Pulse skip mode
Clock Signal	Forced PWM or two-phase operation

ADP1850 は、パルス・スキップ検出回路を内蔵しています。この回路により、コントローラは PWM パルスをスキップできるため、軽負荷時にスイッチング周波数を下げることができるので、軽負荷時でも高い効率を維持することができます。スイッチング周波数は、発振器自然周波数の整数分の一であり出力電圧を安定化するために自動的に調節されます。これで得られる出力リップルは、固定周波数の強制PWMの場合より大きくなります。図 24 に、ADP1850 を非常に軽い負荷時にPSMで動作させた場合を示します。軽負荷時のパルス・スキップ周波数は、インダクタ、出力容量、出力負荷、入力電圧、出力電圧に依存します。

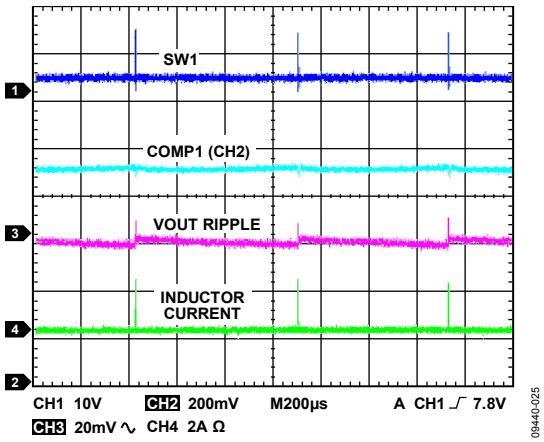


図 24. 軽負荷時のパルス・スキップ・モードの例

出力負荷がパルス・スキップ閾値電流より大きい場合、すなわちV_{COMP}が閾値 0.9 Vに到達した場合、ADP1850 はパルス・スキップ・モードの動作を終了して、固定周波数不連続導通モード(DCM)を開始します(図 25参照)。負荷がさらに大きくなると、ADP1850 はCCMになります。

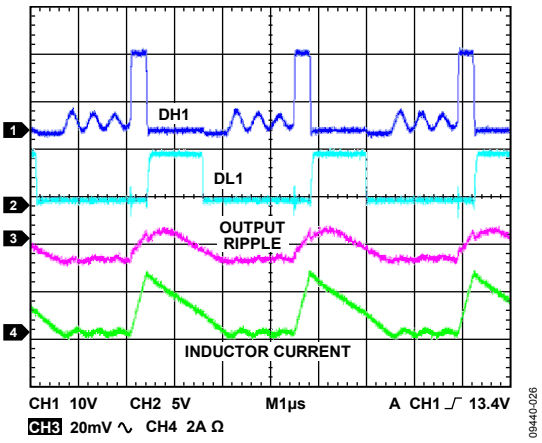


図 25. 不連続導通モード (DCM) 波形の例

強制 PWM モードでは、ADP1850 は常に負荷によらず CCM で動作します。インダクタ電流は常に連続であるため、軽負荷時の効率が低下します。

外部周波数同期

ADP1850 のスイッチング周波数は、 SYNC をクロック信号に接続することにより、外部クロックに同期することができます。外部クロックは、内部発振器周波数 f_{SW} の 1 倍～2.3 倍の範囲である必要があります。得られるスイッチング周波数は、外部 SYNC 周波数の½になります。これは、SYNC 入力を 2 分周した各相を使って、2 チャンネルを交互にクロック駆動するためです。外部周波数同期では、ADP1850 は PWM で動作します。

外部クロックが最初の SYNC エッジで検出されると、内部発振器がリセットされて、クロック制御が SYNC へ移ります。SYNC エッジが、PWM 出力の後続クロックをトリガするようになります。DH1/DH2 の立ち上がりエッジは、対応する SYNC エッジの約 100 ns 後に現れるため、周波数は外部信号にロックされます。チャンネル 1 とチャンネル 2 のスタートアップ状態に応じて、チャンネル 1 またはチャンネル 2 が SYNC クロックの立ち上がりエッジに同期化される最初のチャンネルになります。外部 SYNC 信号が動作中になくなると、ADP1850 は内部発振器に戻ります。SYNC 機能を使う場合、SYNC 信号が失われたときに、ADP1850 が PWM で動作を続けられるように、SYNC と VCCO の間にプルアップ抵抗を接続することが推奨されます。

同期整流器とデッドタイム

同期整流器 (ローサイド MOSFET)により、非同期整流降圧レギュレータで通常使用されているショットキー・ダイオードを置き換えることにより効率を向上させています。ADP1850 では、貫通防止回路により SW ノードと DL ノードを監視し、ローサイド・ドライバとハイサイド・ドライバを調節してハイサイド MOSFET とローサイド MOSFET の間の相互導通または貫通を防止するブレーク・ビフォア・メーク・スイッチングを行うようにします。このブレーク・ビフォア・メーク・スイッチングは、デッドタイムと呼ばれて固定ではなく、MOSFET がオン/オフする速度に依存します。約 3 nF の入力容量を持つ MOSFET を使う一般的なアプリケーション回路では、デッドタイムは約 30 ns (typ)です。高速なダイオード回復時間を持つ小型で高速な MOSFET を使う場合、デッドタイムは最小 13 ns になります。

入力低電圧ロックアウト機能

入力電圧 V_{IN} が低電圧ロックアウト (UVLO) 閾値より低い場合、スイッチ・ドライバは非アクティブを維持します。V_{IN} が UVLO 閾値を超えると、スイッチャがスイッチングを開始します。

内蔵リニア・レギュレータ

内蔵リニア・レギュレータが低ドロップアウト機能になっています。すなわち、自身の出力電圧 VCCO をレギュレーションすることができます。VCCO により内部制御回路がパワーアップして、ゲート・ドライバに電源を供給します。200 mA 以上の出力電流能力を保証しているため、一般的なロジック閾値の MOSFET を最大 1.5 MHz で駆動するゲート駆動要求に対しては十分な能力です。VCCO は常にアクティブになっているため、EN1 ピンと EN2 ピンからシャットダウンすることはできません。1 µF 以上のコンデンサを VCCO と AGND の間に接続して VCCO をバイパスしてください。

LDO がゲート駆動電流を供給しているため、各スイッチング・サイクルでドライバがスイッチし、ブースト・コンデンサが再充電されるごとに、VCCO 出力にはシャープな過渡電流が発生します。LDO は、過負荷故障なしでこれらの過渡電流を処理できるように最適化されています。ゲート駆動が負荷になっているため、VCCO 出力を他の外部の補助システム負荷に使用することは推奨できません。

LDO には、予測される最大ゲート駆動負荷を上回る電流制限機能が内蔵されています。この電流制限機能には、短絡故障時にさらに VCCO 電流を制限する短絡フォールドバック機能も含まれています。

VDL ピンはローサイド・ドライバの電源を供給します。VDL を VCCO へ接続します。1 µF (最小) のセラミック・コンデンサを使って VDL を PGNDx へバイパスしてください。このコンデンサは VDL ピンの近くに接続する必要があります。

入力電圧が 5.5 Vより低い場合は、図 26に示すようにVINとVCCOを接続してLDOをバイパスすることが推奨されます。こうすると、ドロップアウト電圧がなくなります。ただし、入力範囲が 4 V～7 Vの場合は、VINとVCCOを接続してもLDOをバイパスすることはできません。これは、7 V 入力が VCCO ピンの最大電圧定格を超えているためです。この場合には、LDOを使って内蔵ドライバを駆動しますが、V_{IN}が 5 Vより低い場合にはドロップアウトが生じないことに注意してください。

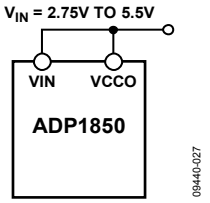


図 26.V_{IN} < 5.5 V の場合の構成

過電圧保護

ADP1850 は、FB ノードで出力過電圧を検出する回路を内蔵しています。FBの電圧V_{FB}が過電圧閾値を上回ると、ローサイド N チャンネル MOSFET (NMOSFET)が直ちにオンし、ハイサイド NMOSFETがV_{FB}が電圧閾値を下回るまでオフします。 この動作は、クローバー過電圧保護と呼ばれています。過電圧状態がなくなると、コントローラは帰還電圧を高電圧閾値と低電圧閾値の間に維持し、出力は+8%～−8% のレギュレーション電圧 (typ)に安定化されます。過電圧時には、SS ノードが 3 kΩの内部プルダウン抵抗を通してゼロに向かって放電します。FBxの電圧が低電圧閾値を下回ると、ソフトスタート・シーケンスが再度開始されます。図 27 に、 PSMで動作中の過電圧保護方式を示します。

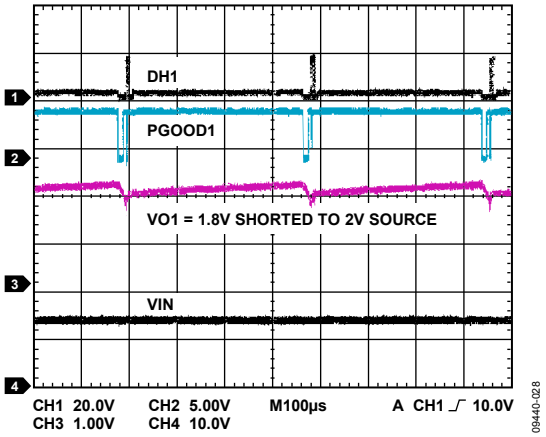


図 27.PSM での過電圧保護

パワーグッド

PGOODx ピンは、PGOODx と VCCO の間に接続した 12 kΩ の内部プルアップ抵抗を持つオープン・ドレイン NMOSFET です。PGOODx は、通常動作では内部で VCCO にプルアップされており、トリップしたときアクティブ・ローになります。帰還電圧 V_{FB} が過電圧閾値を上回るか、または低電圧閾値を下回ると、PGOODx 出力は 12 µs の遅延の後にグラウンドへプルダウンされます。PGOODx がアクティブになるためには、過電圧状態または低電圧状態が 10 µs 以上続く必要があります。また、熱過負荷状態が検出されたときにも PGOODx 出力がアクティブになります。

短絡と電流制限保護

出力が短絡した場合または出力電流が電流制限設定抵抗 (ILIMxとSWxの間に接続)で設定された電流制限値を連続 8 サイクル間超えた場合、ADP1850 はハイサイドとローサイドの両ドライバをシャットオフして、10 msごとにソフトスタート・シーケンスを再起動します。これは瞬断(hiccup) モードと呼ばれます。SS ノードは、過電流時または短絡時に 1 kΩの内部抵抗を通してゼロに向かって放電します。 図 28に、高電流アプリケーション回路で、ADP1850 の出力が短絡されたとき電流制限瞬断モードを開始する動作を示します。

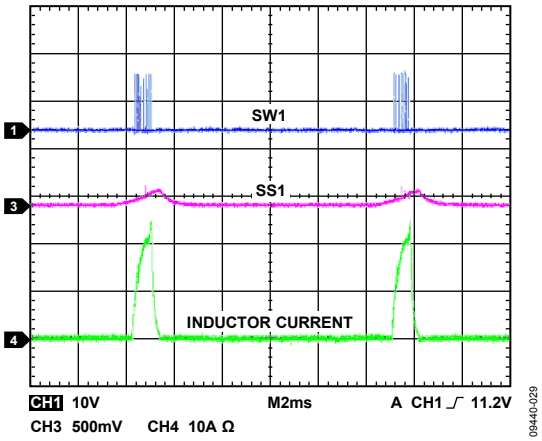


図 28.電流制限瞬断モード、20 A 電流制限

シャットダウン制御

EN1 ピンと EN2 ピンは、ADP1850 のチャンネル 1 とチャンネル 2 をイネーブル/ディスエーブルするときに使います。EN1/EN2 の高精度イネーブル閾値(最小)は 0.57 V です。EN1/EN2 の電圧が閾値電圧を上回ると、ADP1850 がイネーブルされて、ソフトスタート周期の後に通常の動作が開始しされます。EN1/EN2 の電圧が閾値電圧より 30 mV (typ)下回ると(ヒステリシス)、ADP1850 のスイッチャと内部回路がオフになります。EN1/EN2 は VCCO で LDO をシャットダウンさせることはできないことに注意してください。LDO は常にアクティブです。

マスター電源とEN1/EN2 ピンの間に該当する抵抗分圧器を接続することにより、スタートアップ電源シーケンシングのためにADP1850 のスタートアップを設定することができます(図 29参照)。例えば、マスター電源からのスタートアップ電圧を 10 V とする場合、R1 とR2 はそれぞれ 156 kΩと 10 kΩに設定することができます。

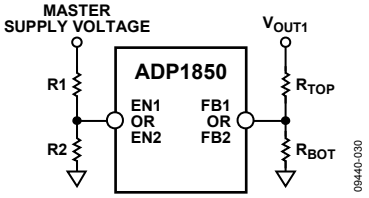


図 29.オプションのパワーアップ・シーケンス回路

熱過負荷保護機能

ADP1850 は、チップのジャンクション温度を検出する温度センサーを内蔵しています。ADP1850 のジャンクション温度が約 155°C に到達すると、ADP1850 はサーマル・シャットダウンし、コンバータがオフになり、SS は 1 kΩ の内部抵抗を通してゼロに向かって放電します。同時に、VCCO はゼロへ放電します。ジャンクション温度が 135°C を下回ると、ADP1850 はソフトスタート・シーケンスの後に通常動作を再開します。

アプリケーション情報

出力電圧の設定

出力電圧は、出力と FB との間に接続する抵抗分圧器を使って設定されます。分圧器により出力電圧を FB レギュレーション電圧(0.6 V)へ分圧して、レギュレーション出力電圧を設定します。出力電圧は、最小 0.6 V から入力電圧の 90%までの範囲で設定できます。

FB に流入する最大入力バイアス電流は 100 nA です。レギュレーション電圧の 0.15%性能低下と 100 nA のバイアス電流の場合、ローサイド抵抗 R_{BOT} は 9 kΩ 以下である必要があり、これによりデバイダ電流は 67 μA になります。R_{BOT} に対して、1 kΩ～20 kΩ の抵抗を使用します。これより大きな値抵抗を使うことができますが、FBx ピンでの入力バイアス電流のために出力電圧精度が低下します。これより小さい値を使うと、静止消費電流が増えます。次式を使って出力電圧を設定する R_{TOP} を選択します。

$$R_{TOP} = R_{BOT}\left(\frac{V_{OUT} - V_{FB}}{V_{FB}}\right)$$

ここで、
R_{TOP}はハイサイド電圧分圧器の抵抗です。
R_{BOT}はローサイド電圧分圧器の抵抗です。
V_{OUT}はレギュレーションされた出力電圧です。
V_{FB}は帰還レギュレーション閾値の 0.6 V。

最小出力電圧は、f_{SW} と最小 DH オン・タイムに依存します。最大出力電圧は、f_{SW}、最小 DH オフ・タイム、ハイサイド NMOSFET の IR 電圧降下、インダクタの DCR に依存します。例えば、f_{SW} = 600 kHz (すなわち 1.67 μs)、最小オン・タイム = 130 ns の場合、最小デューティ・サイクルは約 7.8% (130 ns/1.67 μs) になります。V_{IN} = 12 V でデューティ・サイクル = 7.8%の場合、最小出力は 0.94 V になります。最大出力電圧の一例として、V_{IN} = 5 V、f_{SW} = 600 kHz、最小 DH オフ・タイム = 395 ns (335 ns の DH オフ・タイム + 約 60 ns の合計デッドタイム)の場合、最大デューティ・サイクルは 76%になります。したがって、最大出力は約 3.8 V になります。ハイサイド NMOSFET とインダクタ DCR の IR 電圧降下が 0.5 V の場合、絶対最大出力は、f_{SW} とデューティ・サイクルに無関係に 4.5 V (5 V − 0.5 V)になります。

ソフトスタート

ソフトスタート周期は、SS1/SS2 と AGND の間にコンデンサを外付けして設定します。ソフトスタート機能は、入力突入電流を制限し、出力のオーバーシュートを防止します。

EN1/EN2 をイネーブルすると、6.5 μA の電流源がコンデンサの充電を開始し、SS1/SS2 の電圧が 0.6 V に到達したときにレギュレーション電圧に到達します。

ソフトスタート周期は次式で近似されます。

$$t_{SS} = \frac{0.6\ \text{V}}{6.5\ \mu\text{A}} C_{SS}$$

SSx ピンは、VCCO に等しい最終電圧に到達します。オンする前に出力電圧が充電されている場合、ADP1850 は逆インダクタ電流を防止します。この機能が出力コンデンサを放電させます。SSx の電圧がレギュレーション電圧(0.6 V (typ))を超えると、出力電圧レギュレーションが負荷電流に依存しないようにするため、逆電流が再イネーブルされます。

さらに、SS1 と SS2 が短絡される 2 相動作では、ソフトスタート・シーケンス中に電流源は 2 倍の 13 μA になります。

例えば EN1/EN2 がロー・レベルにプルダウンされるか、または過電流制限状態が発生してコントローラがディスエーブルされると、ソフトスタート・コンデンサが 3 kΩ の内部プルダウン抵抗を通して放電します。

電流制限値の設定

電流制限コンパレータは、負荷電流を求めるためにローサイド MOSFET の両端の電圧を測定します。

電流制限値は、ILIMx と SWx の間に電流制限抵抗 R_{ILIM} を外付けして設定します。電流検出ピン ILIMx から、公称 50 μA がこの外付け抵抗に供給されます。この電流により、R_{ILIM}×50 μA のオフセット電圧が発生します。ローサイド MOSFET の R_{DSON} の電圧降下がこのオフセット電圧以上のとき、ADP1850 は電流制限のフラグ表示を行います。

ILIMx 電流と MOSFET の R_{DSON} は製造プロセスと温度特性により変化するため、システムが所望の最大負荷電流を処理できるように、最小電流制限値を設定する必要があります。このために、インダクタのピーク電流(所望の出力電流制限レベルとリップル電流の 1/2 の和)、最高予測温度での MOSFET の最大 R_{DSON} 値、最小 ILIM 電流値を次式のように使います。MOSFET の R_{DSON} の温度係数は 0.4%/°C (typ)であることに注意してください。

$$R_{ILIM} = \frac{I_{LPK} \times R_{DSON_MAX}}{47\ \mu\text{A}}$$

ここで、
I_{LPK}はインダクタのピーク電流です。

高精度電流制限検出

MOSFETのR_{DSON}は、全温度範囲に対して 50%以上変化することがあります。精確な電流制限検出は、ローサイドMOSFETのソースとPGNDxとの間に電流検出抵抗を接続することにより行います。電流検出抵抗の電力定格がアプリケーションに対して十分であることを確認してください。前式を使用し、R_{DSON_MAX}をR_{SENSE}で置き換えてR_{ILIM}を計算します。図 30に、精確な電流制限検出の接続を示します。

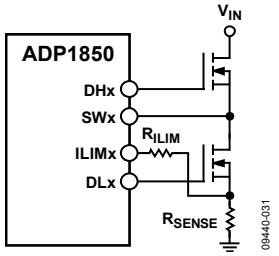


図 30.精確な電流制限検出

スロープ補償の設定

電流モード制御回路では、インダクタ電流の低周波発振を防止し、安定出力を維持するために、スロープ補償が必要です。外部スロープ補償は、増幅された検出信号と RAMPx ピンのスケールされた電圧を加算することにより行われます。スロープ補償を行うときは、RAMPx と入力電圧との間に抵抗を接続します。抵抗 R_{RAMP}は、次式で計算されます。

$$R_{RAMP} = \frac{7 \times 10^9 L}{A_{CS} \times R_{DSON_MAX}}$$

ここで、
7×10^9は内部パラメータです。
Lはインダクタのインダクタンスです (単位はH)。
R_{DSON_MAX}はローサイド MOSFETの最大オン抵抗です。
A_{CS}はゲインであり、電流検出アンプの 3 V/V、6 V/V、12 V/V、または 24 V/Vです (詳細については、電流検出ゲインの設定 のセクション参照)。

R_{DSON} は温度に依存し、最大 0.4%/ºC で変化します。R_{DSON} を最大動作温度で選択してください。RAMPx の電圧は 0.2 V 固定で、RAMPx に流れる電流は 10 µA～160 µA である必要があります。次の条件を満たす必要があります。

$$10\,\mu A \le \frac{V_{IN} - 0.2\,V}{R_{RAMP}} \le 160\,\mu A$$

例えば、入力電圧 = 12 Vの場合、R_{RAMP}は 1.1 MΩを超えることはできません。計算した R_{RAMP}で流れる電流が 10 µAを下回る場合、10 µA～15 µAの電流が流れるR_{RAMP} 値を選択してください。図 31に、スロープ補償抵抗R_{RAMP}と電流検出ゲイン抵抗R_{CSG}の接続を示します。

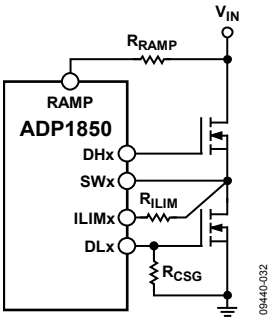


図 31.スロープ補償と CS ゲインの接続

電流検出ゲインの設定

外付けローサイド MOSFET の電圧降下は、ピーク・インダクタ電流に MOSFET の R_{DSON} を乗算することにより、電流検出アンプにより検出されます。その結果は 3 V/V、6 V/V、12 V/V、または 24 V/V のゲイン・ファクタで増幅されます。このゲイン・ファクタは、DLx ピンに接続される外付け抵抗 R_{CSG} で設定されます。このゲインは、通常動作時ではなくパワーアップ時にのみ検出されます。増幅された電圧は、スロープ補償ランプ電圧と加算されて、安定なレギュレーション電圧を得るために PWM コントローラへ入力されます。

内部ノード電圧 V_{CS} の範囲は 0.4 V～2.2 V です。増幅された内部最小電圧 (V_{CSMIN})が 0.4 V より大きく、かつ増幅された最大電圧 (V_{CSMAX})が 2.1 V になるように、電流検出ゲインを選択します。V_{CSMIN} または V_{CSMAX} は、0.85 V～2.25 V の範囲を持つ V_{COMP} に一致しないことに注意してください。温度と部品ごとの変動を考慮するため、最大 V_{COMP} ($V_{COMPMAX}$) は 2.2 V を超えないことを確認してください。V_{CSMIN}、V_{CSMAX}、$V_{COMPMAX}$ については次式を参照してください。

$$V_{CSMIN} = 0.75\ V - \frac{1}{2} I_{LPP} \times R_{DSON_MIN} \times A_{CS}$$

$$V_{CSMAX} = 0.75\,V + (I_{LOADMAX} + \frac{1}{2} I_{LPP}) \times R_{DSON_MAX} \times A_{CS}$$

$$V_{COMPMAX} = \frac{(V_{IN} - 0.2\,V) t_{ON}}{100\,pF \times R_{RAMP}} + V_{CSMAX}$$

ここで、
V_{CSMIN}はゼロ出力電流での内部電流検出アンプの増幅された最小電圧です。
V_{CSMAX}は最大出力電流での 内部電流検出アンプの増幅された最大電圧です。
R_{DSON_MIN}はローサイド MOSFET の最小オン抵抗です。電流検出アンプのゼロ電流レベル電圧は 0.75 V です。
I_{LPP}はインダクタのピーク to ピーク・リップル電流です。
$I_{LOADMAX}$は最大出力 DC 負荷電流です。
$V_{COMPMAX}$は COMP ピンの最大電圧です。
100 pF は内部パラメータです。
t_{ON}はハイサイド・ドライバ (DH)のオン・タイムです。

入力コンデンサの選択

降圧コンバータへの入力電流はパルス波形です。この電流はハイサイド・スイッチがオフの場合はゼロになり、オンの場合はほぼ負荷電流に等しくなります。入力コンデンサに入力リップル電流が流れるため、入力電源は DC 電流のみを供給することができます。入力コンデンサは、入力リップルを処理するために十分なリップル電流定格と、入力電圧リップルを小さくするために十分小さい ESR を持つ必要があります。これらのコンバータの通常の電流範囲では、2 個の並列コンデンサ(十分高い電流定格のバルク・コンデンサ 1 個と 10 µF のセラミック・コンデンサ 1 個)をハイサイド・スイッチ MOSFET のドレインの近くに接続する方法が採用されています。

リップル電流定格に基づいて入力バルク・コンデンサを選択します。まず、出力のデューティ・サイクルを求めます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

入力コンデンサの RMS リップル電流は次式で与えられます。

$$I_{RMS} = I_O \sqrt{D(1-D)}$$

ここで、
I_Oは出力電流です。
Dはデューティ・サイクルです。

特定の負荷に必要とされる最小入力容量は、

$$C_{IN,MIN} = \frac{I_O \times D(1-D)}{(V_{PP} - I_O \times DR_{ESR}) f_{SW}}$$

ここで、
V_{PP}は所望の入力リップル電圧です。
R_{ESR}はコンデンサの等価直列抵抗です。

MLCC コンデンサを使用する場合、ESR はほぼ 0 であるため、式は次のように簡単になります。

$$C_{IN,MIN} = I_O \times \frac{D(1-D)}{V_{PP} \times f_{SW}}$$

MLCC の容量は電圧に依存します。選択するコンデンサの実際の容量は、メーカ仕様に従い大きくする必要があります。さらに、大きなステップ負荷過渡電圧に応じて、電解コンデンサやポリマー・コンデンサなどのバルク容量を追加します。バルク・コンデンサの電流リップル定格がデザインの最大入力電流リップルより大きいことを確認してください。

入力フィルタ

通常、0.1 µF 以上の値のバイパス・コンデンサを入力ピン (VIN) と AGND の間に接続することで、不要なスイッチング・ノイズを十分除去することができますが、PCB レイアウトに応じて、スイッチング・ノイズが ADP1850 の内部回路に混入することがあるため、VIN ピンにローパス・フィルタを使用することが推奨されます。2 Ω～5 Ω の抵抗を VIN と直列に、1 µF のセラミック・コンデンサを VIN と AGND の間に、それぞれ接続すると、ローパス・フィルタが形成されます。このフィルタはスイッチング・レギュレータで発生する不要なグリッチを効果的に除去します。大きな MOSFET を駆動する際には、入力電流が 100 mA を超えることに注意してください。 5 Ω 抵抗では 100 mA により 0.5 V の電圧降下が発生します。これは VCCO の場合と同じ電圧降下です。この場合は、抵抗値を小さくする必要があります。

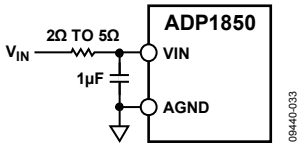


図 32.入力フィルタの構成

ブースト・コンデンサの選択

システムの部品数とコストを削減するため、ADP1850 は VCCO と BSTx の間に整流器 (ブースト・ダイオードと等価)を内蔵しています。0.1 µF～0.22 µF の値を持つブースト・セラミック・コンデンサを選択してください。このコンデンサは、スイッチング時にハイサイド・ドライバに電流を供給します。

インダクタの選択

出力 LC フィルタは、SWx でスイッチされた電圧を平滑化します。大部分のアプリケーションに対しては、インダクタ・リップル電流が最大 DC 出力負荷電流の 20%～40% になるようにインダクタ値を選択してください。一般に、インダクタ電流リップルが大きいほど、インダクタでの電力損失が大きくなり、出力での電圧リップルが大きくなります。インダクタの飽和電流がデザインのピーク・インダクタ電流より十分大きいことをインダクタ・データシートで確認してください。

次式を使ってインダクタ値を選択します。

$$L = \frac{V_{IN} - V_{OUT}}{f_{SW} \times \Delta I_L} \times \frac{V_{OUT}}{V_{IN}}$$

ここで、
Lはインダクタ値です。
f_{SW}はスイッチング周波数です。
V_{OUT}は出力電圧です。
V_{IN}は入力電圧です。
ΔI_Lはピーク to ピーク・インダクタ・リップル電流です。

出力コンデンサの選択

所望の出力電圧リップルを設定する出力バルク・コンデンサを選択します。スイッチング周波数での出力コンデンサのインピーダンスにリップル電流を乗算して出力電圧リップルを求めます。このインピーダンスは、容量インピーダンス、非理想寄生特性、等価直列抵抗(ESR)、等価直列インダクタンス(ESL)との和で構成されています。出力電圧リップルは次式で近似されます。

$$\Delta V_{OUT} \cong \Delta I_L \left(R_{ESR} + \frac{1}{8 f_{SW} \times C_{OUT}} + 4 f_{SW} \times L_{ESL} \right)$$

ここで、
ΔV_{OUT}は出力リップル電圧です。
ΔI_Lはインダクタ・リップル電流です。
R_{ESR}は出力コンデンサの等価直列抵抗(すなわちすべての出力コンデンサ ESR の並列接続)です。
L_{ESL}は出力コンデンサの等価直列インダクタンス (すなわちすべてのコンデンサ ESL の並列接続)です。

前式を C_{OUT} について解くと、

$$C_{OUT} \cong \frac{\Delta I_L}{8 f_{SW}} \times \frac{1}{\Delta V_{OUT} - \Delta I_L R_{ESR} - 4 \Delta I_L f_{SW} \times L_{ESL}}$$

通常、コンデンサ・インピーダンスは ESR により支配されます。電解コンデンサやポリマー・コンデンサのようなコンデンサの最大 ESR 定格は、メーカのデータシートに記載されているため、出力リップルは次のように簡単になります。

$$\Delta V_{OUT} \cong \Delta I_L \times R_{ESR}$$

また、電解コンデンサはタイプ、サイズ、形状に応じて 5 nH～20 nH オーダーの大きな ESL を持ちます。PCB パターンも ESR と ESL に寄与します。ただし、コンデンサのデータシートの最大 ESR 定格を使うと、ESL の測定が不要になる程度の余裕が得られます。

出力コンデンサの場合は、スイッチング周波数での ESR と ESL のインピーダンスは小さく、例えば出力コンデンサが並列 MLCC コンデンサのバンクになっている場合には、容量インピーダンスが支配的になり、出力容量の式は次のように簡単になります。

$$C_{OUT} \cong \frac{\Delta I_L}{8 \, \Delta V_{OUT} \times f_{SW}}$$

出力コンデンサのリップル電流定格が最大インダクタ・リップル電流より大きいことを確認してください。

出力の負荷ステップ過渡時に、例えば、負荷が突然大きくなると、制御ループがインダクタ電流を増加させることができるようになるまで、出力コンデンサが負荷に電源を供給します。この初期出力電圧許容誤差により、電圧ドループまたはアンダーシュートが発生します。

電圧ドループ条件を満たすために必要とされる出力容量(ESR は 0 Ω とします)は次式で近似されます。

$$C_{OUT} \cong \frac{\Delta I_{STEP}}{\Delta V_{DROOP} \times f_{SW}}$$

ここで、
ΔI_{STEP}はステップ負荷です。
ΔV_{DROOP}は出力での電圧ドループです。

負荷が出力から突然なくなると、インダクタに蓄積したエネルギーがコンデンサに流れて、出力でオーバーシュートが発生します。出力オーバーシュート条件を満たすために必要とされる出力容量は次式で近似されます。

$$C_{OUT} \cong \frac{\Delta I_{STEP}{}^2 L}{(V_{OUT} + \Delta V_{OVERSHOOT})^2 - V_{OUT}{}^2}$$

ここで、
$\Delta V_{OVERSHOOT}$はステップ負荷時のオーバーシュート電圧です。

3 つの前式で得られる最大の出力容量を選択してください。

MOSFETの選択

MOSFET の選択は直接 DC/DC コンバータの性能に影響を与えます。低いオン抵抗を持つ MOSFET では I^2R 損失が小さくなり、小さいゲート電荷ではスイッチング損失が小さくなります。MOSFET で消費される電力により MOSFET のチップ温度が高くなり過ぎないように小さい熱抵抗を持つ必要があります。

ハイサイド MOSFET はオン時に負荷電流を流すため、コンバータの大部分のスイッチング損失を発生させます。一般に、MOSFET のオン抵抗が低いほど、ゲート電荷が大きくなり、逆も成り立ちます。このため、2 つの損失が釣り合ったハイサイド MOSFET を選択することが重要です。ハイサイド MOSFET の伝導損失は、次式で求められます。

$$P_C \cong (I_{LOAD})^2 \times R_{DSON} \left(\frac{V_{OUT}}{V_{IN}} \right)$$

ここで、
R_{DSON}は MOSFET オン抵抗です。

ゲート充電損失は次式で近似されます。

$$P_G \cong V_{PV} \times Q_G \times f_{SW}$$

ここで、
V_{PV}はゲート・ドライバの電源電圧です。
Q_Gは MOSFET の合計ゲート電荷です。

ゲート充電の損失は MOSFET 内ではなく、ADP1850 の内蔵ドライバ内で発生することに注意してください。全体の電力効率を計算する際にこの電力損失を考慮する必要があります。

ハイサイド MOSFET のスイッチング損失は次式で近似されます。

$$P_T \cong \frac{V_{IN} \times I_{LOAD} \times (t_R + t_F) \times f_{SW}}{2}$$

ここで、
P_Tはハイサイド MOSFET のスイッチング損失電力です。
t_Rはハイサイド MOSFET を充電する際の立ち上がり時間です。
t_Fはハイサイド MOSFET を放電させる際の立下がり時間です。

t_R と t_F は次式で与えられます。

$$t_R \cong \frac{Q_{GSW}}{I_{DRIVER_RISE}}$$

$$t_F \cong \frac{Q_{GSW}}{I_{DRIVER_FALL}}$$

ここで、
Q_{GSW}はスイッチング時の MOSFET のゲート電荷であり、MOSFET のデータシートに記載されています。
I_{DRIVER_RISE}と I_{DRIVER_FALL}は、ADP1850 の内蔵ゲート・ドライバから出力されるドライバ電流です。

Q_{GSW} がデータシートに記載されていない場合には、次式で近似することができます。

$$Q_{GSW} \cong Q_{GD} + \frac{Q_{GS}}{2}$$

ここで、
Q_{GD}と Q_{GS}は MOSFET データシートに記載されているゲート/ドレイン間、ゲート/ソース間の電荷です。

I_{DRIVER_RISE} と I_{DRIVER_FALL} は次式で与えられます。

$$I_{DRIVER_RISE} \cong \frac{V_{DD} - V_{SP}}{R_{ON_SOURCE} + R_{GATE}}$$

$$I_{DRIVER_FALL} \cong \frac{V_{SP}}{R_{ON_SINK} + R_{GATE}}$$

ここで、
V_{DD}はドライバへの入力電源電圧であり、入力電圧に応じて 2.75 V～5 Vです。
V_{SP}はMOSFETがフル導通するスイッチング・ポイントです。この電圧はMOSFET データシートに記載されるゲート電荷グラフから求めることができます。
R_{ON_SOURCE}はADP1850 内蔵ドライバのオン抵抗であり、MOSFET 充電時の表 1から得られます。
R_{ON_SINK}はADP1850 内蔵ドライバのオン抵抗で、MOSFET放電時の表 1から得られます。
R_{GATE}はMOSFET データシートに記載されているMOSFETのオン・ゲート抵抗です。外付けゲート抵抗を接続する場合は、この外付け抵抗をR_{GATE}に加算してください。

ハイサイド MOSFET の合計消費電力は、導通損失と過渡損失の和になり、次のように表されます。

$$P_{HS} \cong P_C + P_T$$

同期整流器すなわちローサイド MOSFET は、ハイサイド MOSFET がオフのとき、インダクタ電流を流します。ローサイド MOSFET のスイッチング損失は小さいため、計算では無視することができます。入力電圧が高く出力電圧が低い場合は、ローサイド MOSFET が大部分の時間電流を流します。したがって、高い効率を実現するためには、ローサイド MOSFET が低いオン抵抗を持つように最適化することが不可欠です。損失が MOSFET 定格を超える場合または 1 個の MOSFET で可能な値より低い抵抗が必要とされる場合には、複数のローサイド MOSFET を並列に接続します。ローサイド MOSFET の導通損失の式は次のようになります。

$$P_{CLS} \cong (I_{LOAD})^2 \times R_{DSON} \left[1 - \frac{V_{OUT}}{V_{IN}} \right]$$

また、ローサイド MOSFET のボディ・ダイオードが出力電流を流すとき、ハイサイド・スイッチのオフとローサイド・スイッチのオンの間にデッドタイムと呼ばれる電力損失が発生します。ボディ・ダイオードでの電力損失は次式で与えられます。

$$P_{BODYDIODE} = V_F \times t_D \times f_{SW} \times I_O$$

ここで、
V_Fはボディ・ダイオードの順方向電圧降下であり、0.7 V (typ)です。
t_Dは ADP1850 のデッドタイムであり、約 3 nF の入力容量 C_{iss} を持つ中サイズの MOSFET を駆動する際には 30 ns (typ)です。デッドタイムは固定ではありません。実効値はゲート駆動抵抗と C_{iss} により変化するため、高負荷電流のデザインと低電圧デザインでは $P_{BODYDIODE}$ が増加します。

したがって、ローサイド MOSFET の電力損失は、

$$P_{LS} = P_{CLS} + P_{BODYDIODE}$$

MOSFET の R_{DSON} は温度が高くなると、温度係数 0.4%/°C (typ) で大きくなることに注意してください。周囲温度により上昇する MOSFET のジャンクション温度 (T_J) は、

$$T_J = T_A + \theta_{JA} \times P_D$$

ここで、
θ_{JA}は MOSFET パッケージの熱抵抗です。
T_Aは周囲温度です。
P_Dは MOSFET の合計消費電力です。

ループ補償 (単相動作)

大部分の電流モード降圧コントローラと同様に、外部電圧ループを安定させるために相互コンダクタンス誤差アンプが使われます。ADP1850 の補償は非常に容易で、COMPxとAGNDの間にRC 補償回路が必要です。図 33に、補償部品 R_{COMP}、C_{COMP}、C_{C2} の構成を示します。C_{C2} はC_{COMP}と比べて非常に小さいので、計算を簡単にするため、安定性補償解析ではC_{C2}を無視します。

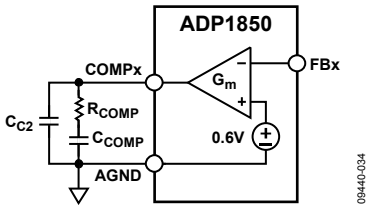


図 33.補償部品

角周波数 s でのオープン・ループ・ゲインの伝達関数は次式で表わされます。

$$H(s) = G_m \times G_{CS} \times \frac{V_{REF}}{V_{OUT}} \times Z_{COMP}(s) \times Z_{FILTER}(s) \quad (1)$$

ここで、
G_mは誤差アンプの相互コンダクタンスで 500 µS です。
G_{CS}はパワー・ステージの相互コンダクタンスです。
Z_{COMP}は補償回路のインピーダンスです。
Z_{FILTER}は出力フィルタのインピーダンスです。
V_{REF} = 0.6 V。

G_{CS}は A/V 単位で次式で与えられます。

$$G_{CS} = \frac{1}{A_{CS} \times R_{DSON_MIN}} \quad (2)$$

ここで、
A_{CS}は 3 V/V、6 V/V、12 V/V、または 24 V/V の電流検出ゲインであり、DLx と PGNDx の間に接続するゲイン抵抗で設定されます。
R_{DSON_MIN}はローサイド MOSFET の最小オン抵抗です。

選出抵抗 R_Sをローサイド FET と直列に接続すると、G_{CS}は次のようになります。

$$G_{CS} = \frac{1}{A_{CS} \times (R_{DSON_MIN} + R_S)}$$

出力コンデンサの ESR で生ずるゼロ点は制御ループの安定化に必要ないため、ESR が小さいとすると、解析で ESR を無視することができます。そうすると、Z_{FILTER}は次式で与えられます。

$$Z_{FILTER} = \frac{1}{sC_{OUT}} \quad (3)$$

C_{C2}は C_{COMP}に比べて小さいため、Z_{COMP}は次のように簡素化されます。

$$Z_{COMP} = R_{COMP} + \frac{1}{sC_{COMP}} = \frac{1 + sR_{COMP} \times C_{COMP}}{sC_{COMP}} \quad (4)$$

クロスオーバー周波数で、オープンループ伝達関数が 1 (= 0 dB)すなわち H (f_{CROSS}) = 1 になります。式 1 と式 3 から、クロスオーバー周波数での Z_{COMP}は次のようになります。

$$Z_{COMP}(f_{CROSS}) = \left(\frac{2\pi \times f_{CROSS}}{G_m \times G_{CS}}\right)\left(\frac{C_{OUT} \times V_{OUT}}{V_{REF}}\right) \quad (5)$$

R_{COMP}と C_{COMP}により生ずるゼロ点は、

$$f_{ZERO} = \frac{1}{2\pi R_{COMP} \times C_{COMP}} \quad (6)$$

クロスオーバー周波数で、式 4 は次のように表わされます。

$$Z_{COMP}(f_{CROSS}) = R_{COMP} \times \frac{\sqrt{f_{CROSS}^2 + f_{ZERO}2}}{f_{CROSS}} \quad (7)$$

式 5 と式 7 から R_{COMP}を求めると、

$$R_{COMP} = \frac{f_{CROSS}}{\sqrt{f_{CROSS}^2 + f_{ZERO}^2}} \times \left(\frac{2\pi \times f_{CROSS}}{G_m \times G_{CS}}\right) \times \left(\frac{C_{OUT} \times V_{OUT}}{V_{REF}}\right) \quad (8)$$

クロスオーバーとゼロ周波数を次のように選択します。

$$f_{CROSS} = \frac{f_{SW}}{12} \quad (9)$$

$$f_{ZERO} = \frac{f_{CROSS}}{4} = \frac{f_{SW}}{48} \quad (10)$$

式 2、式 9、式 10 を式 8 に代入すると、

$$R_{COMP} = 0.97 \times A_{CS} \times R_{DSON}\left(\frac{2\pi \times f_{CROSS}}{G_m}\right) \times \left(\frac{C_{OUT} \times V_{OUT}}{V_{REF}}\right) \quad (11)$$

ここで、
G_mは誤差アンプの相互コンダクタンスで、500 µS です。
A_{CS}は 3 V/V、6 V/V、12 V/V、または 24 V/V の電流検出ゲインです。
R_{DSON}はローサイド MOSFET のオン抵抗です。
V_{REF} = 0.6 V。

式 6 と式 10 から、

$$C_{COMP} = \frac{2}{\pi R_{COMP} \times f_{CROSS}} \quad (12)$$

R_{COMP}と C_{COMP}の簡素化した前述の補償式から、補償ランプ電流が最適であるとすると、f_{CROSS}と位相マージンの妥当な結果が得られます。ランプ電流を変化させるか、または理想値からランプ電流を変化させると、f_{CROSS}と位相マージンに影響が生じます。

最後に、C_{C2}を次のように設定します。

$$\frac{1}{20} \times C_{COMP} \le C_{C2} \le \frac{1}{10} \times C_{COMP} \quad (13)$$

構成とループ補償 (2 相動作)

2 相動作では、スイッチング・レギュレータの 2 つの出力を短絡して、選択するパワー部品に応じて 50 A以上の出力電流を供給することができます。ADP1850 の内部パラメータは、 2 チャンネル間の出力電流の不一致が最小になるように出荷時に最適化されています。代表的な 2 相アプリケーション回路の構成については、図 34と図 47を参照してください。FB1 とFB2、SS1とSS2、COMP1 とCOMP2 をそれぞれ短絡して、2 つの誤差アンプの出力が共用されます。さらに、SYNCをVCCOまたはハイ・レベルに接続して、コントローラを強制PWM 動作にする必要があります。

ループ補償部品を計算する式は単相動作と同じですが、誤差アンプの G_mの合成値、変調器ゲイン、実効 f_{SW}はすべて 2 倍になります。

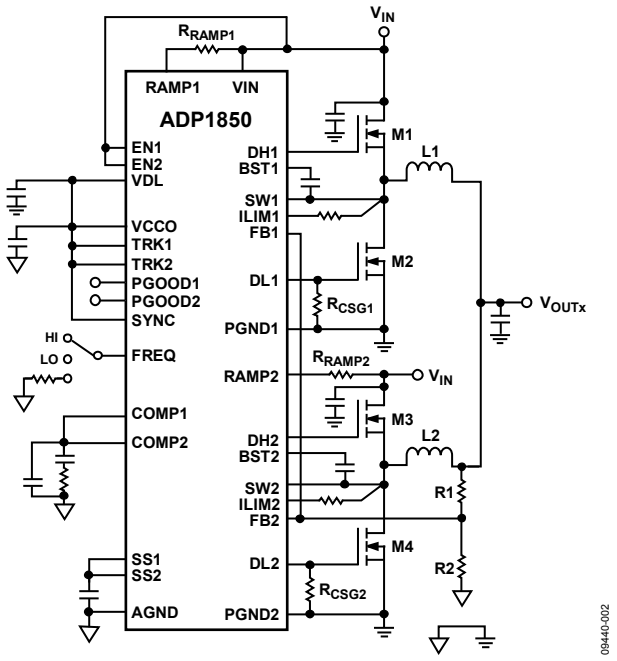


図 34.2 相回路

スイッチング・ノイズとオーバーシュートの削減

高速な降圧レギュレータでは、ゲート、スイッチ・ノード(SW)、外付けMOSFETのドレインに、高周波ノイズ(一般に 50 MHz～100 MHzの範囲)と電圧オーバーシュートが常に存在します。高周波ノイズとオーバーシュートは、外付けMOSFETの寄生容量C_{GD}、およびゲート・パターンとMOSFETパッケージの寄生インダクタンスが原因になります。大きい電流をスイッチすると、電磁干渉(EMI)が発生し、これが周辺回路の動作に影響を与えます。電圧リンギングとノイズを小さくするために、高電流アプリケーションでは、SWxとPGNDxの間にRC スナバを接続することが推奨されます(図 35)。

大部分のアプリケーションでは、R_{SNUB}は約 2 Ω～4 Ω で、C_{SNUB} (typ)は 1.2 nF～3 nF です。

R_{SNUB}は次式から求めることができます。

$$R_{SNUB} \cong 2\sqrt{\frac{L_{MOSFET}}{C_{OSS}}}$$

また、C_{SNUB}は次式から求めることができます。

$$C_{SNUB} \cong C_{OSS}$$

ここで、

L_{MOSFET}はハイサイドとローサイドの両 MOSFET の合計寄生インダクタンスであり、3 nH (typ)です。この値はパッケージに依存します。

C_{OSS}はハイサイド MOSFET とローサイド MOSFET の合計出力容量(MOSFET のデータシート値)。

RC スナバ回路部品のサイズは、消費電力を処理できるように適切に選択する必要があります。R_{SNUB}での消費電力は、

$$P_{SNUB} = V_{IN}^{2} \times C_{SNUB} \times f_{SW}$$

大部分のアプリケーションでは、部品サイズ 0805 のR_{SNUB}で十分ですが、RCスナバ回路を使用すると、一般に 0.1%～0.5%の範囲で全体の効率が低下します。RCスナバ回路では電圧オーバーシュートを小さくすることはできません。図 35にR_{RISE}で示す抵抗をBSTxピンに使用すると、オーバーシュートの削減に役立ち、一般に 2 Ω～4 Ωの値が使用されます。また、一般に 2 Ω～4 Ωの抵抗をゲート・ドライバに直列に接続するとオーバーシュートの削減に役立ちます。ゲート抵抗を接続する場合、R_{RISE}は不要です。

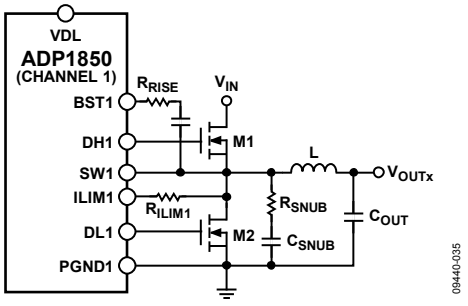


図 35.スナバ回路を使用するアプリケーション回路

電圧のトラッキング

ADP1850 は、マスター電圧に追従する(トラッキングする)機能を内蔵しています。この機能は、DSP、FPGA、マイクロコントローラのコア電圧や I/O 電圧のように 1 個の IC に、ADP1850 から別々の電源電圧を供給する場合、特に重要です。これらの場合、不適切なシーケンシング機能を使うと、負荷の IC に損傷を与えることがあります。

すべてのトラッキング構成では、与えられた動作状態に対して出力を最小 0.6 V に設定することができます。マスター電圧のソフト・スタート時間設定は、スレーブ電圧のソフト・スタートより長く設定する必要があります。これにより、マスター電圧の立上がり時間がスレーブ電圧に適用できるようになります。スレーブ電圧のソフト・スタート設定の方が長いと、スレーブの立上がりが遅いため、トラッキング関係が出力に現れません。

ADP1850 では同時トラッキングと比例トラッキングの 2 種類が設定可能です。

同時トラッキング

最も一般的なアプリケーションは、同時トラッキング(コアと I/O電圧との間のシーケンシングで使用)および同様のアプリケーションです。同時トラッキングでは、スレーブ出力電圧がレギュレーション状態になるまでは、スレーブ出力電圧のランプ・レートをマスターのランプ・レートに一致させるようにします。スレーブのTRKx入力をマスター電圧の抵抗分圧器(スレーブFBxピンで使用される分圧器と同じ)に接続します。これにより、スレーブ電圧はマスター電圧と強制的に一致させられます。同時トラッキングの場合は、R_{TRKT} = R_{TOP}かつR_{TRKB} = R_{BOT} に設定します(図 37参照)。

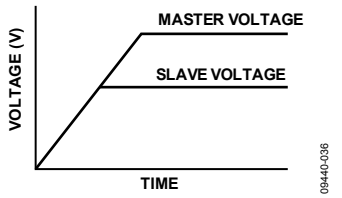


図 36.一致トラッキング

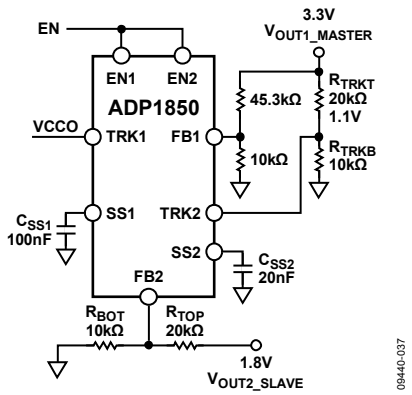


図 37.一致トラッキング回路の例

マスター電圧に対するスレーブ出力電圧の比は、次式のように 2 つの分圧器の関数になります。

$$\frac{V_{OUT_SLAVE}}{V_{OUT_MASTER}} = \frac{\left(1+\frac{R_{TOP}}{R_{BOT}}\right)}{\left(1+\frac{R_{TRKT}}{R_{TRKB}}\right)}$$

マスター電圧が上昇すると、スレーブ電圧も同様に上昇します。最終的に、スレーブ電圧がレギュレーション電圧に到達すると、内部リファレンス電圧がレギュレーションを引き継ぎますが、TRKx 入力が上昇を続ける間は、出力電圧の制御を停止しています。

TRKx ピン電圧をリファレンス電圧(V_{FB}、0.6 V (typ))に近づかせ過ぎて、出力電圧精度を損なわないように、スレーブ・チャンネルの TRKx 電圧最終値を V_{FB}より少なくとも 30 mV 高くすることに注意してください。

比例トラッキング

比例トラッキングでは、図 38と図 39に示すように、出力電圧をマスター電圧の整数分の 1 に制限します。スレーブ・チャンネルの最終TRKx 電圧は、マスター・チャンネルのFB 電圧より少なくとも 30 mV高く設定する必要があります。スレーブ・チャンネルのTRKx 電圧が最小オン時間条件より低いレベルに低下すると、スレーブ・チャンネルはパルス・スキップ・モードで動作すると同時に、出力の安定化を維持して、マスター・チャンネルに追従します。また、TRKxまたはFBxがPGOOD 低電圧閾値を下回ると、PGOOD 信号がトリップして、アクティブ・ローになります。

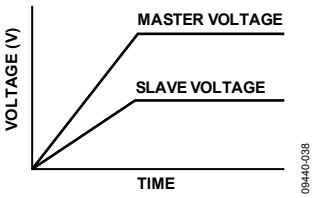


図 38.比例トラッキング

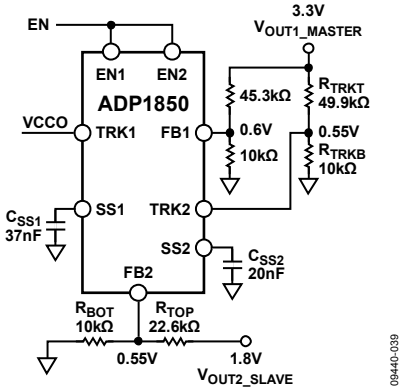


図 39.比例トラッキング回路の例

もう 1 つの比例トラッキング構成は、図 40と図 41に示すように、スレーブ・チャンネルをマスター・チャンネルより迅速に立上げる方式です。図 39と図 41に示すトラッキング回路はほとんど同じですが、図 41に示すようにR_{TRKB} > R_{TRKT}であることが違っています。

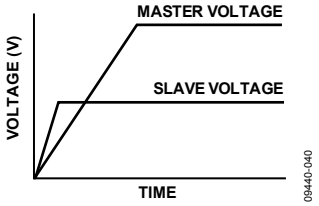


図 40.比例トラッキング (スレーブ・チャンネルのランプ・レートの方が高速になっています)

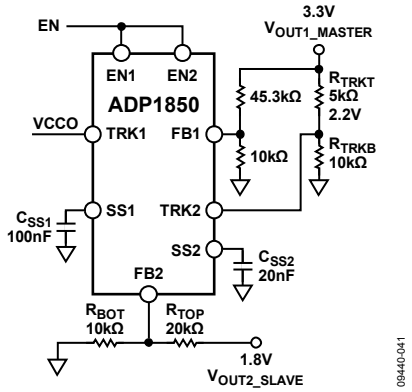


図 41.比例トラッキング回路の例 (スレーブ・チャンネルのランプ・レートの方が高速になっています)

独立なパワー・ステージ入力電圧

1 つの電源構成の他に、図 42に示すように、DC/DC コンバータのパワー・ステージ入力電圧を別の電圧電源から供給することができます。パワー・ステージ入力電圧 (V_{PIN})の範囲は 1 V～20 Vです。例えば、バイアス入力電圧 (V_{IN}) を 5 Vとして、V_{PIN}は最小 1 Vまたは最大 20 Vにすることができます。この動作条件で最小または最大のデューティ・サイクルを満たしていることを確認する必要があります。さらに、R_{RAMP}をV_{PIN}に接続することにも注意してください。

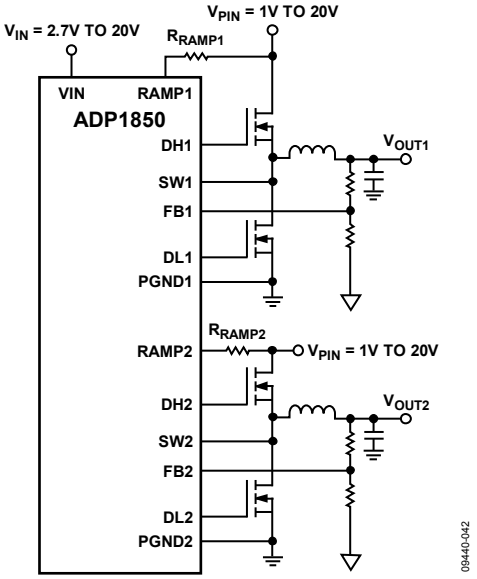


図 42.独立なパワー・ステージ入力電圧 (簡略化した回路図)

PCBレイアウト・ガイドライン

すべてのスイッチング・コンバータに、大きな dI/dt を通過させる回路パスが存在し、これがスパイクとノイズを発生させます。回路パスによってはノイズに敏感であり、他の回路は大きい DC 電流を流すとき大きな IR 電圧降下を発生させます。スイッチング・コンバータの PCB レイアウトで重要なことは、これらのクリティカル・パスを特定して、部品と銅導体を配置することです。PCB レイアウトをデザインするときは、大電流のループを小さくすることに注意する必要があります。さらに、補償部品と帰還部品をスイッチ・ノードとそれに接続された部品から離して配置します。

次に、同期整流降圧スイッチング・コントローラのレイアウトを考えるうえで重要度の高い順に示します。

MOSFET、入力バルク・コンデンサ、バイパス・コンデンサ

ハイサイド FET とローサイド FET の電流波形は大きな dI/dt を持つパルスであるため、各 FET に対するパスはできるだけ短くして、2 つのパスはできるだけ共通にします。PCB の片側で D-Pak 対、または SO-8 FET 対を使用するデザインでは、スイッチ・ノードが対の片側に配置されるように 2 つを逆向きにすることが最適です。これにより、ハイサイド FET のドレインが、FET のできるだけ近くに配置した適切なセラミック・バイパス・コンデンサによりローサイド FET のソースへバイパスされます。バイパス・コンデンサを近づけると、FET とコンデンサを通るループのインダクタンスが小さくなります。バイパス・セラミック・コンデンサ推奨値の範囲は、出力電流に応じて 1 µF～22 µF です。このセラミック・バイパス・コンデンサは通常、大きい値のバルク・フィルタ・コンデンサに接続され、PGNDx プレーンへ接続する必要があります。

高電流パスと電流検出パス

ADP1850 アーキテクチャでは、SWxピンとPGNDx ピンの間のローサイド FETを流れる電流を検出します。一方のチャンネルのスイッチング GND 電流から、ノイズが発生し、他方のチャンネルへ混入します。図 43に示すように、対応するローサイド MOSFETのSWxとドレインの間、および対応するローサイド MOSFETのPGNDxとソースの間にケルビン検出接続を設けることが不可欠です。精確な電流検出を行うため、これらのケルビン接続をFETの近くに配置してください。図 43に、SW1/SW2、PGND1/ PGND2、PGND プレーンの接続技術を示します。

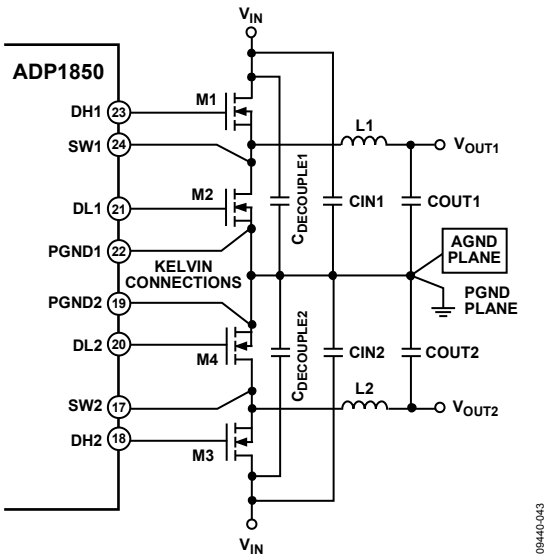


図 43.2 チャンネルに対するグラウンド接続技術

信号パス

VIN バイパス、補償部品、ソフトスタート・コンデンサ、出力帰還分圧器抵抗の下端の負側ピンは、小さい AGND プレーンに接続する必要があります。これらの接続は、それぞれのピンから AGND プレーンまで最短で行う必要があります。大きな電流または dI/dt の大きい信号をこの AGND プレーンに接続しないようにします。AGND 領域は、1 つの広いパターンで出力フィルタ・コンデンサの負側ピンに接続する必要があります。

PGNDプレーン

PGNDx ピンは、ローサイド MOSFET のソースから戻ってくる dI/dt の大きいゲート駆動電流を処理します。このピンの電圧は、過電流制限保護機能と ILIMx ピンの 0 V 基準も設定します。PGND プレーンは、太く直線的なパスを介して、PGNDx ピンと 1 µF の VDL バイパス・コンデンサをローサイド MOSFET のソースへ接続する必要があります。CIN の配置は、グラウンド・バウンスの制御にとって重要です。CIN の負側ピンは、ローサイド MOSFET のソースの直ぐ近くに配置する必要があります。

帰還パスと電流制限検出パス

FBx ピンと ILIMx ピンに長いパターンまたは大きな銅領域を使用しないようにします。これら入力ピンの信号レベルは非常に小さいので、容量性と誘導性のノイズ混入に敏感です。直列抵抗とコンデンサをできるだけこれらのピンに近づけて配置します。dI/dt が大きいパターンの近くおよび/または並列にこれらのパターンを配置しないようにします。

スイッチ・ノード

スイッチ・ノードはスイッチ回路の中で最もノイズの多い場所であり、AC と DC の大きな電圧と電流が発生します。このノードを広くして抵抗電圧降下を小さくする必要があります。容量結合ノイズを小さくするためには、合計面積を小さくする必要があります。FET とインダクタを互いに近づけて小さい銅プレーン内に配置して、直列抵抗を小さくし、銅面積を小さくする必要があります。

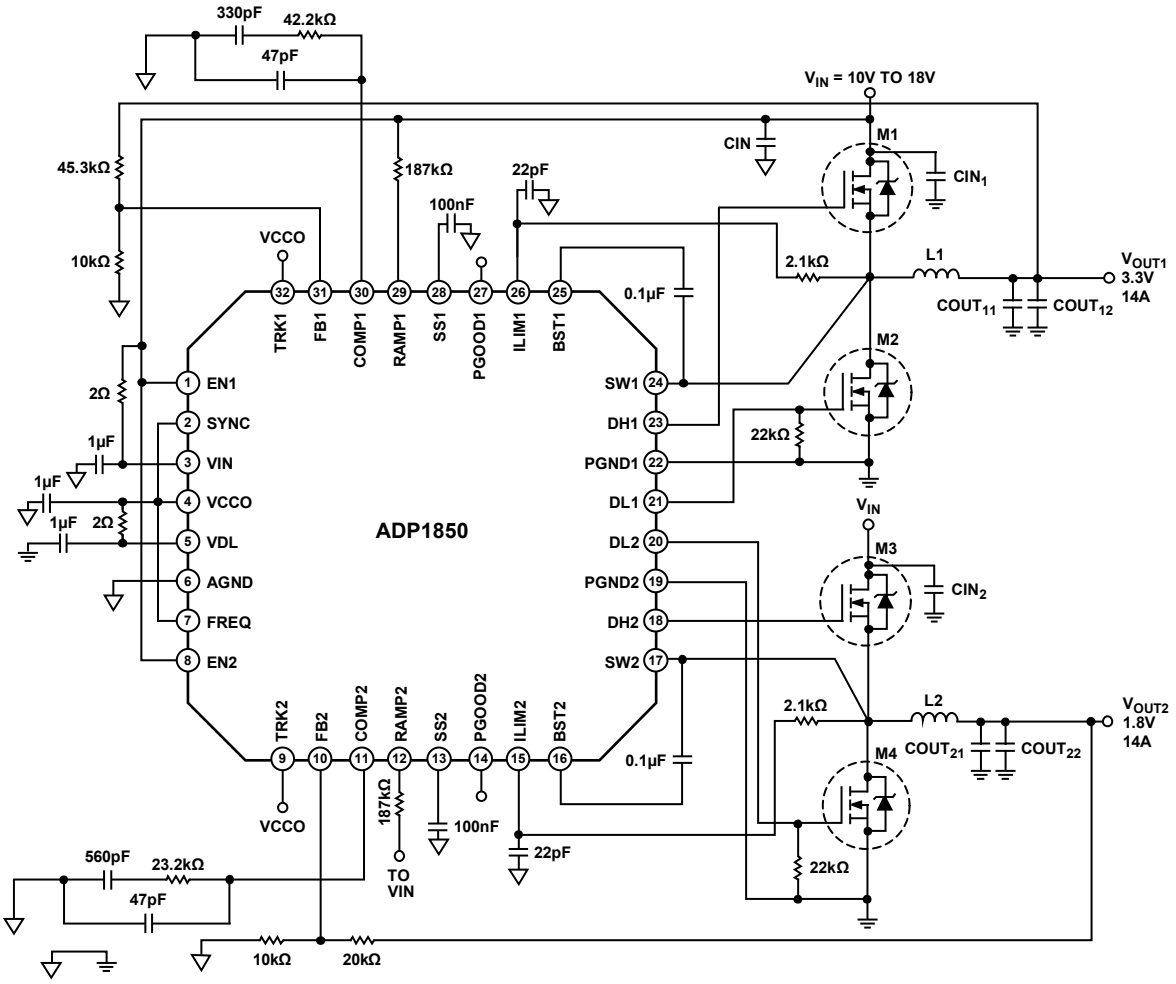
ゲート・ドライバ・パス

ゲート駆動パターン(DH と DL)は、大きい dI/dt を処理するため、ノイズとリンギングを発生する傾向があります。これらはできるだけ短く直線的にする必要があります。ビアが必要な場合は、比較的大型のものを 2 個並列に使用して、ピーク電流密度と各ビアの電流を小さくします。PCB レイアウト全体が最適でない場合は、ゲート駆動を少し低速にすると、ノイズとリンギングを小さくすることに役立ちます。DHx ピンと DLx ピンに小さい値の抵抗(例えば 2 Ω～4 Ω)を接続することが、役立つときもあります。抵抗を使わない場合は、これらに 0 Ω 抵抗を実装します。ゲート抵抗を追加すると、スイッチングの立ち上がり時間と立下がり時間、さらに MOSFET でのスイッチング損失が増えることに注意してください。

出力コンデンサ

出力フィルタ・コンデンサの負側ピンは、ローサイド FET のソースの近くに接続する必要があります。この接続により、AGND と PGNDx との電位差が小さくなります。

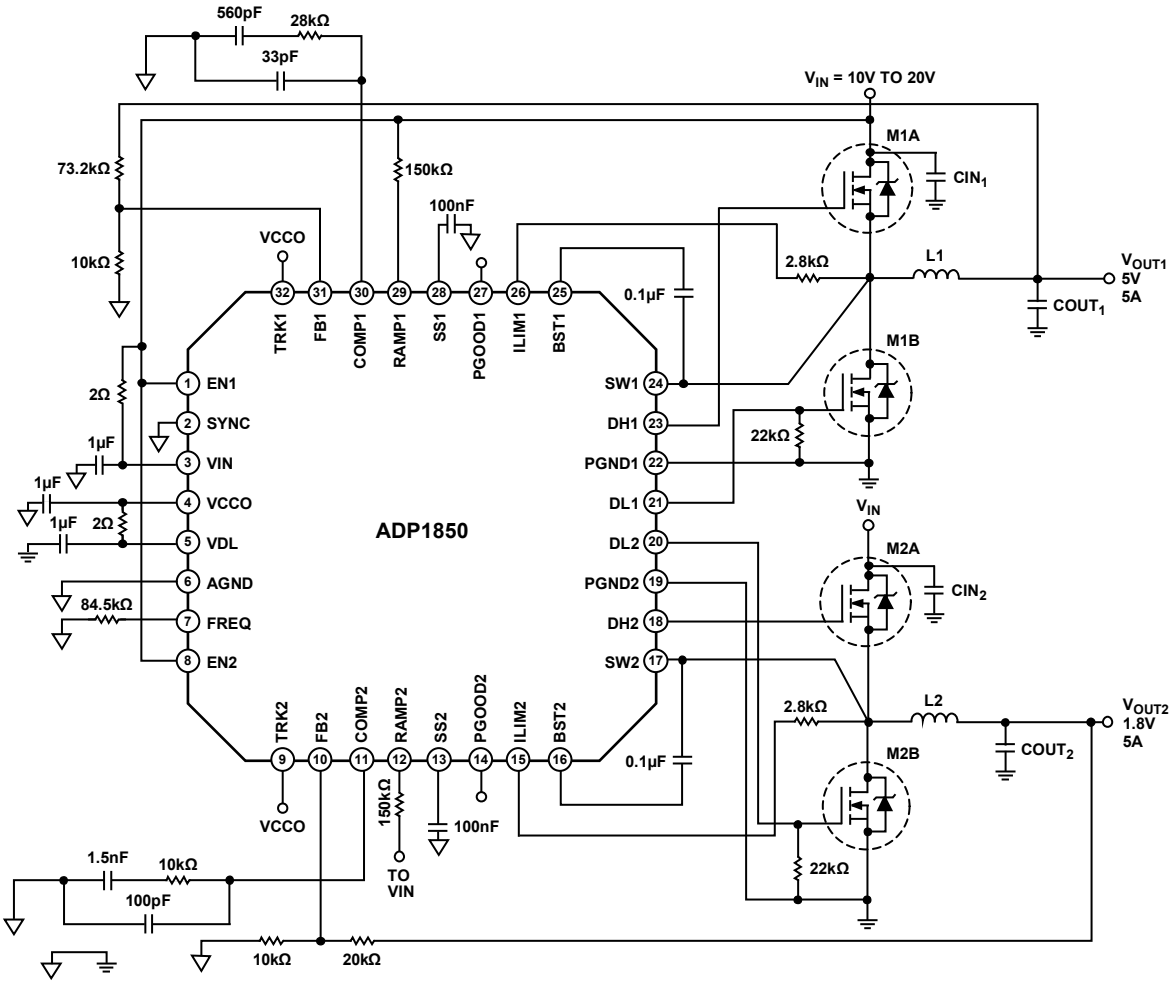
代表的な動作回路



f_{SW} = 600kHz
CIN: 150µF/20V, OS-CON, 20SEP150M, SANYO
L1, L2: 1.2µH, WURTH ELEKTRONIK, 744325120
M1, M3: BSC080N03LS
M2, M4: BSC030N03LS

CIN_1, CIN_2: 10µF/X7R/25V/1210 × 2, GRM32DR71E106KA12, MURATA
$COUT_{11}$, $COUT_{21}$: 330µF/6.3V/POSCAP × 2, 6TPF330M9L, SANYO
$COUT_{12}$, $COUT_{22}$: 22µF/X5R/0805/6.3V × 3, GRM21BR60J226ME39, MURATA

図 44. 14 A の代表的な動作回路

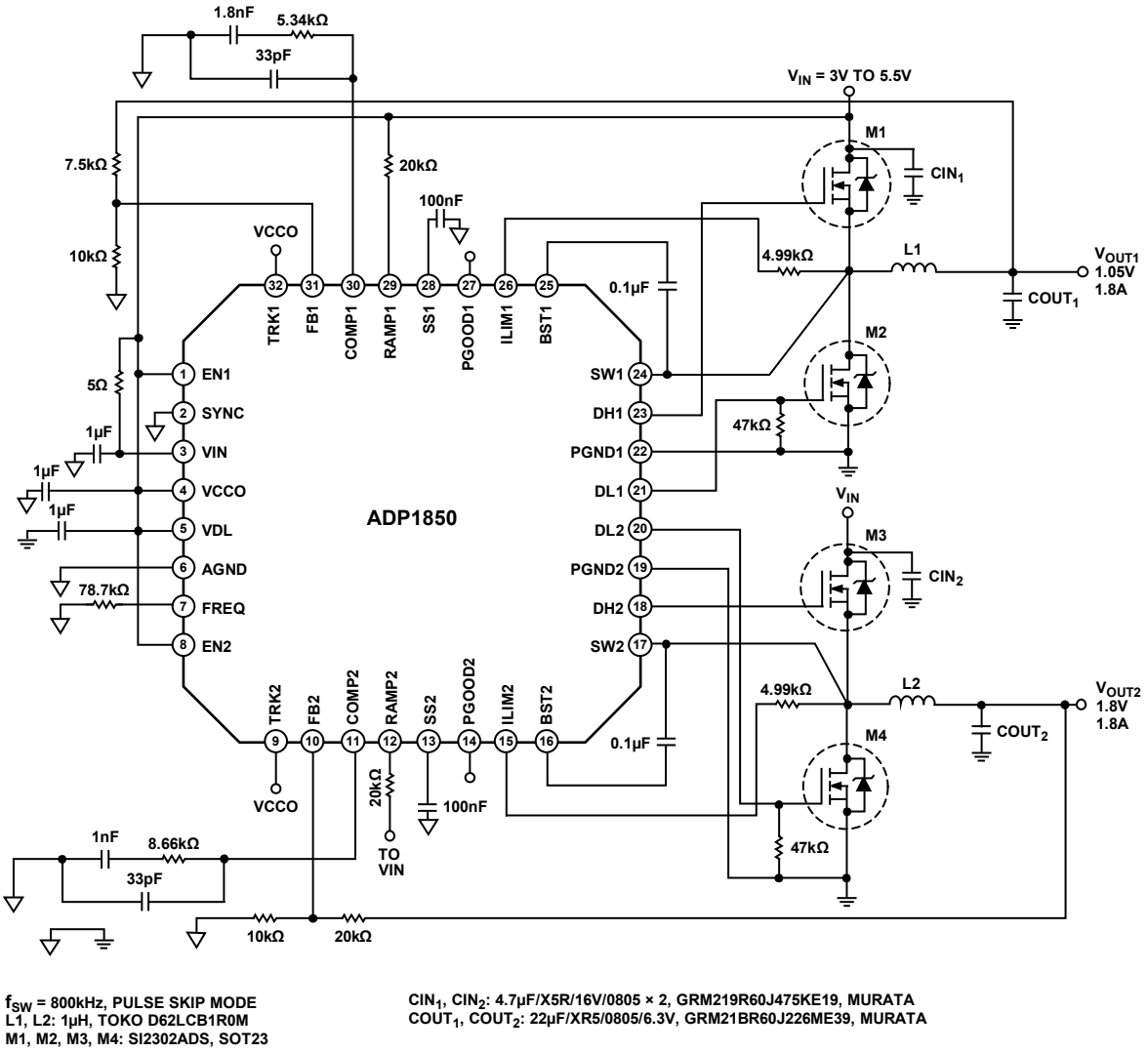


f_{SW} = 750kHz, PULSE SKIP MODE
L1: 2µH, WURTH ELEKTRONIK, 744310200
L2: 1.15µH, WURTH ELEKTRONIK, 744310115

CIN_1, CIN_2: 10µF/X5R/16V/1206 × 2, GRM31CR61C106KA88, MURATA
M1, M2: SI944DY OR BSON03MD
$COUT_1$, $COUT_2$: 22µF/XR5/1210/6.3V × 3, GRM32DR60J226KA01, MURATA

09440-045

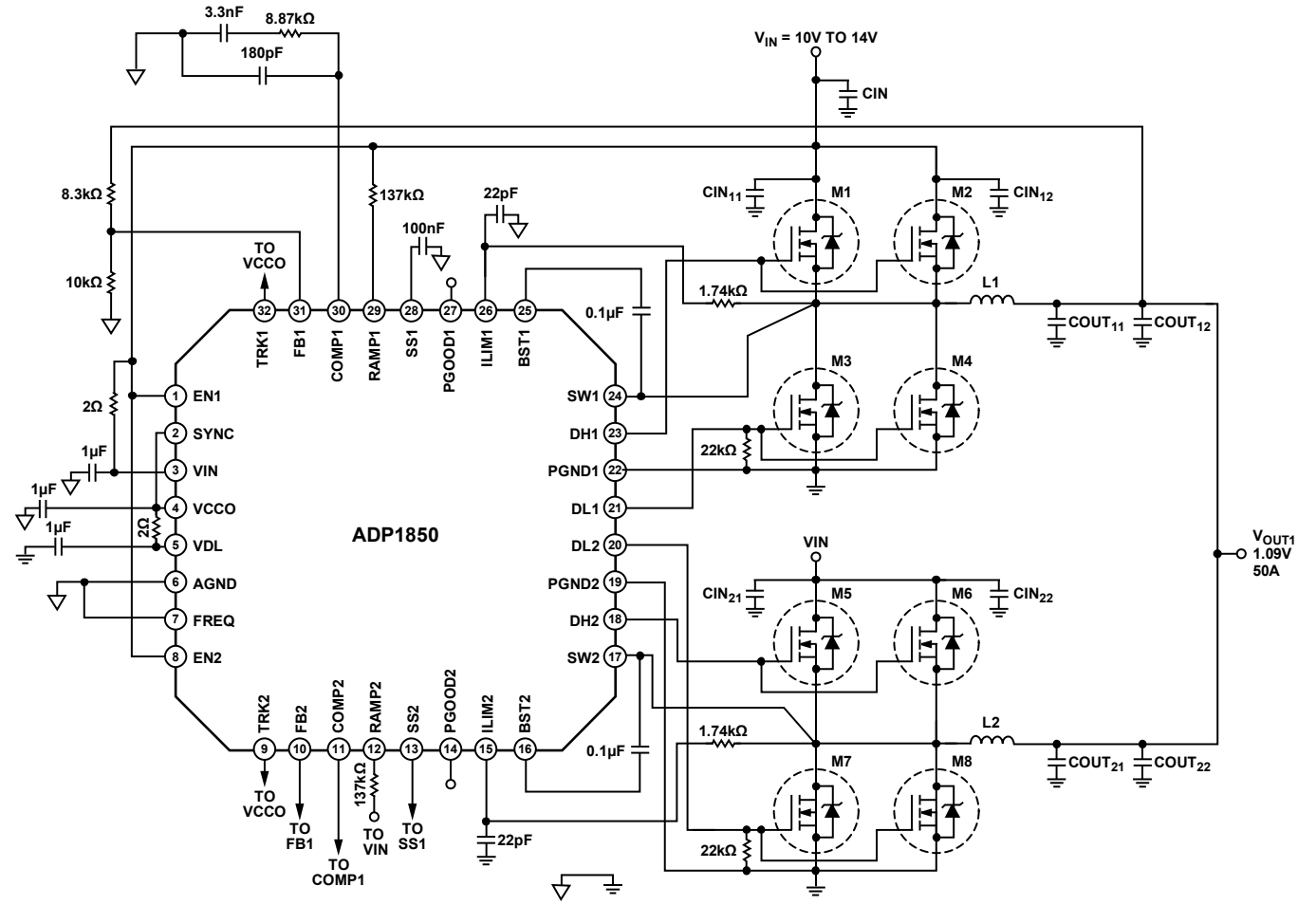
図 45.代表的な低電流動作回路



f_{SW} = 800kHz, PULSE SKIP MODE
L1, L2: 1µH, TOKO D62LCB1R0M
M1, M2, M3, M4: SI2302ADS, SOT23

CIN_1, CIN_2: 4.7µF/X5R/16V/0805 × 2, GRM219R60J475KE19, MURATA
$COUT_1$, $COUT_2$: 22µF/XR5/0805/6.3V, GRM21BR60J226ME39, MURATA

図 46. V_{IN} < 5.5 V の代表的な低電流アプリケーション



f_{SW} = 300kHz
CIN = 180µF/16V × 4, 16SEP180M, OS-CON, SANYO
M1, M2, M5, M6: BSC080N03IS
M3, M4, M7, M8: BSC030N03LS
L1, L2: SER1408-301, 300nH, COILCRAFT; OR 744355147, 0.4µH, WURTH ELECTRONIK

CIN_{11}, CIN_{12}, CIN_{21}, CIN_{22}: 10µF/X7R/25V/1210, MURATA
$COUT_{11}$, $COUT_{21}$, 2SEPC560MZ × 3, 560µF, OSCON, SANYO
$COUT_{12}$, $COUT_{22}$: GRM31CR60J476ME19 × 2, 47µV/1206/6.3V, MURATA

図 47. 50 A 出力の 2 相回路

外形寸法

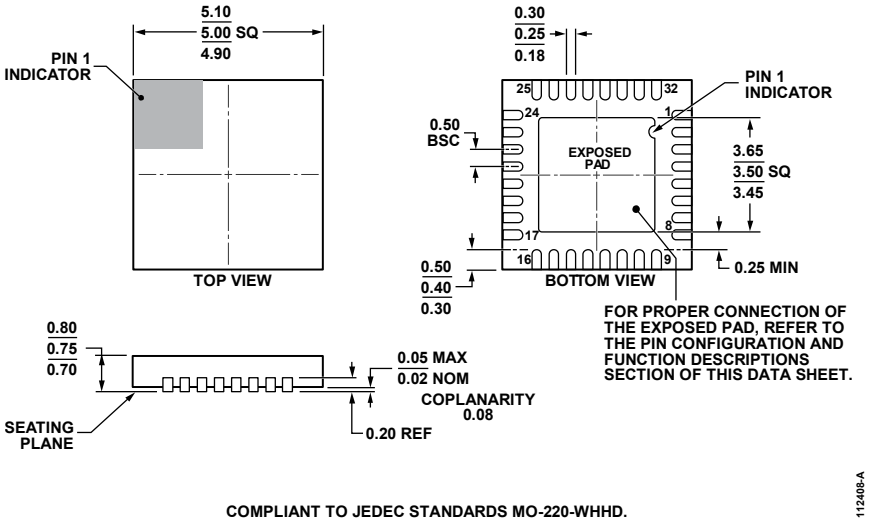


図 48. 32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
5 mm x 5 mm ボディ、極薄クワッド
(CP-32-11)
寸法: mm

オーダー・ガイド

Model[1]	Temperature Range	Package Description	Package Option
ADP1850ACPZ-R7	−40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-11
ADP1850SP-EVALZ		Evaluation Board in Single-Phase Mode with 14 A Output	
ADP1850DP-EVALZ		Evaluation Board in Dual-Phase Mode with 50 A Output	

[1] Z = RoHS 準拠製品。