

特長

2A/2A、3A/1Aのデュアル出力負荷構成または4Aのシングル出力に設定可能

高効率：最大 95%

入力電圧 V_{IN} ：2.75～5.5 V

選択可能な固定出力：0.8 V、1.2 V、1.5 V、1.8 V、2.5 V、3.3 V または最低 0.6 V まで調整可能な出力電圧

±1.5%精度のリファレンス電圧

選択可能なスイッチング周波数：300 kHz、600 kHz、1.2 MHz、または 200 kHz～2 MHzの周波数に同期

EMIを低減するために最適化されたゲート・スルーレート

外部同期入力または内部クロック出力

インターリーブ、180°位相シフトされた PWM チャンネル

高速過渡応答に対応した電流モード

軽負荷条件時のパルス・スキップ・モードまたは強制 PWM 動作

入力低電圧ロックアウト (UVLO)

独立したイネーブル入力と PGOOD 出力

過電流保護と熱過負荷保護

外部から設定できるソフトスタート

32 ピン、5 mm × 5 mm LFCSP パッケージ

アプリケーション

電気通信システムとネットワーク・システム

医用機器、産業用および計測機器

概要

ADP2114 は、融通性に優れた同期型ステップダウン・スイッチング・レギュレータです。2 つの PWM チャンネルは独立した 2A/2A（あるいは 3A/1A）出力に設定するか、またはシングルの 4A インターリーブ出力に設定できます。2 つの PWM チャンネルは 180°の位相シフトがあるため、入力のリップル電流と入力容量を軽減できます。

ADP2114 は効率がよく、最大 2MHz のスイッチング周波数で動作します。軽負荷時に、パルス・スキップ・モードにより高効率動作させるかリップルノイズが小さい強制 PWM モードの動作を選択できます。

ADP2114 は最適なゲート・スルーレートで EMI 放射ノイズを低減するため、電源に影響されやすい高性能シグナル・チェーン回路で 사용할ことができます。スイッチング周波数は 300kHz、600kHz、または 1.2MHz に設定でき、外部クロックに同期させてシステムのノイズを最小限に抑えることができます。双方向の同期ピンは、4 出力の要求に対して、位相を 90°ずらしたスイッチングクロックに設定することも可能です。

ADP2114 の入力電圧範囲は 2.75～5.5V で、これを 0.8V、1.2V、1.5V、1.8V、2.5V、3.3V の固定出力電圧に変換します。出力電圧は外付け抵抗によってチャンネルごとに設定できます。抵抗分圧器を使用すれば、0.6V のリファレンス電圧から可変出力として使用することも可能です。ADP2114 は、-40～+125℃のジャンクション温度範囲で動作します。

代表的なアプリケーション回路

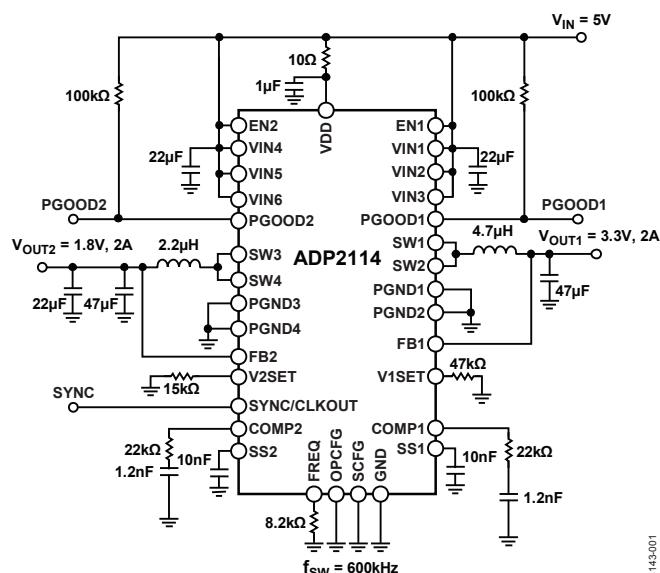


図 1.

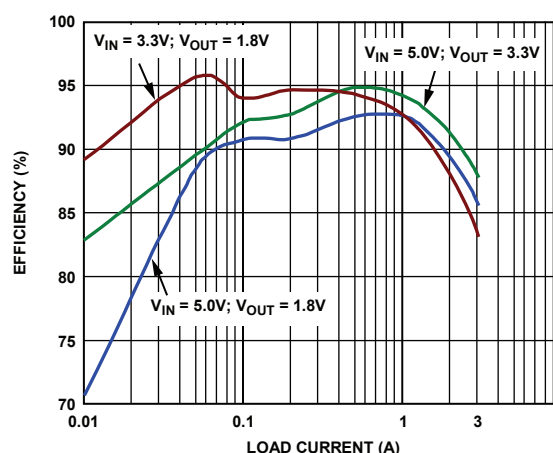


図 2. 代表的な負荷電流 対 出力効率

目次

特長.....	1	最大デューティサイクル動作.....	23
アプリケーション.....	1	同期.....	23
概要.....	1	コンバータの設定.....	24
代表的なアプリケーション回路.....	1	出力電圧の選択.....	24
改訂履歴.....	2	発振器周波数の設定.....	25
仕様.....	3	同期と CLKOUT.....	25
絶対最大定格.....	5	動作モードの設定.....	26
ESD に関する注意.....	5	外付け部品の選択.....	27
ピン配置と機能の説明.....	6	入力コンデンサの選択.....	27
代表的な性能特性.....	8	VDD RC フィルタ.....	27
電源電流.....	13	インダクタの選択.....	27
負荷過渡応答.....	14	出力コンデンサの選択.....	28
ボード線図.....	19	制御ループの補償.....	28
簡略ブロック図.....	20	設計の例.....	30
動作原理.....	21	チャンネル 1 の設定と部品の選択.....	30
制御方式.....	21	チャンネル 2 の設定と部品の選択.....	31
低電圧ロックアウト (UVLO).....	21	システム設定.....	32
イネーブル/ディスエーブル制御.....	21	アプリケーション回路.....	33
ソフトスタート.....	21	消費電力と熱に関する考慮事項.....	35
パワーグッド.....	22	PC ボードのレイアウトに関する推奨事項.....	36
パルス・スキップ・モード.....	22	外形寸法.....	37
Hiccup モード電流制限.....	23	オーダー・ガイド.....	37
熱過負荷保護.....	23		

改訂履歴

7/09—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = V_{INx} = EN1 = EN2 = 5.0\text{ V}$ 。特に指定のない限り、最小値と最大値の仕様は、 $T_J = -40\sim+125^\circ\text{C}$ のときに当てはまります。代表値は $T_J = 25^\circ\text{C}$ のときの値です。極限温度での限界値はすべて、標準的な統計品質管理 (SQC) による相関性で保証されています。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
POWER SUPPLY						
VDD Bias Voltage	VDD		2.75		5.5	V
Undervoltage Lockout Threshold	UVLO	V_{DD} rising		2.65	2.75	V
		V_{DD} falling	2.35	2.47		
Undervoltage Lockout Hysteresis				0.18		V
Quiescent Current	IDD _{Ch1}	EN1 = VDD = 5 V, EN2 = GND, $V_{FB1} = V_{DD}$, OPCFG = GND		1.7	2.5	mA
	IDD _{Ch2}	EN2 = VDD = 5 V, EN1 = GND, $V_{FB2} = V_{DD}$, OPCFG = GND		1.7	2.5	mA
	IDD _{Ch1 + Ch2}	EN1 = EN2 = VDD = 5 V, $V_{FB2} = V_{FB1} = V_{DD}$, OPCFG = GND		3.0	4.0	mA
Shutdown Current	IDD _{SD}	EN1 = EN2 = GND, $V_{DD} = V_{INx} = 2.75\text{ V to }5.5\text{ V}$, $T_J = -40^\circ\text{C to }+115^\circ\text{C}$		1.0	10	μA
ERROR INTEGRATOR (OTA)						
FB1, FB2 Input Bias Current	I _{FB}	Adjustable output, $V_{FBx} = 0.6\text{ V}$, V1SET, V2SET = VDD or via 82 k Ω to GND		1	65	nA
		Fixed output; $V_{FBx} = 1.2\text{ V}$, V1SET, V2SET via 4.7 k Ω to GND		11	15	μA
Transconductance	g _M			550		$\mu\text{A/V}$
COMPx VOLTAGE RANGE						
COMPx Zero-Current Threshold	V _{COMP, ZCT}	Guaranteed by design		1.12		V
COMPx Clamp High Voltage	V _{COMP, HI}	$V_{DD} = V_{INx} = 2.75\text{ V to }5.5\text{ V}$		2.36	2.45	V
COMPx Clamp Low Voltage	V _{COMP, LO}	$V_{DD} = V_{INx} = 2.75\text{ V to }5.5\text{ V}$	0.65	0.70		V
OUTPUT CHARACTERISTICS						
Output Voltage Accuracy	V _{FB}	Adjustable output, $T_J = 25^\circ\text{C}$, V1SET, V2SET = VDD or via 82 k Ω to GND	0.597	0.600	0.603	V
		Adjustable output, $T_J = -40^\circ\text{C to }+125^\circ\text{C}$, V1SET, V2SET = VDD or via 82 k Ω to GND	0.594	0.600	0.606	V
	V _{FB ERROR}	Fixed output, $T_J = 25^\circ\text{C}$, V1SET, V2SET = GND or via 4.7 k Ω , 8.2 k Ω , 15 k Ω , 27 k Ω , 47 k Ω to GND	-1.0		+1.0	%
		Fixed output, $T_J = -40^\circ\text{C to }+125^\circ\text{C}$, V1SET, V2SET = GND or via 4.7 k Ω , 8.2 k Ω , 15 k Ω , 27 k Ω , 47 k Ω to GND	-1.5		+1.5	%
Line Regulation		$V_{DD} = V_{INx} = 2.75\text{ V to }5.5\text{ V}$		0.05		%/V
Load Regulation		$V_{DD} = V_{INx} = 2.75\text{ V to }5.5\text{ V}$		0.03		%/A
OSCILLATOR						
Switching Frequency	f _{SW}	All oscillator parameters provided for $V_{DD} = 2.75\text{ V to }5.5\text{ V}$ FREQ tied to GND	255	300	345	kHz
		FREQ via 8.2 k Ω to GND	510	600	690	kHz
		FREQ via 27 k Ω to GND	1020	1200	1380	kHz
SYNC Frequency Range	f _{SYNC}	$f_{\text{SYNC}} = 2 \times f_{\text{SW}}$ FREQ tied to GND	400		1000	kHz
		FREQ via 8.2 k Ω to GND	800		2000	kHz
		FREQ via 27 k Ω to GND	1600		4000	kHz
SYNC Input Pulse Width			100			ns

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
SYNC Pin Capacitance to GND	C_{SYNC}			5		pF
SYNC Input Logic Low	$V_{\text{IL_SYNC}}$				0.8	V
SYNC Input Logic High	$V_{\text{IH_SYNC}}$		2.0			V
Phase Shift Between Channels				180		Degrees
CLKOUT Frequency	f_{CLKOUT}	$f_{\text{CLKOUT}} = 2 \times f_{\text{SW}}$ FREQ tied to GND FREQ via 8.2 k Ω to GND FREQ via 27 k Ω to GND	510 1020 2040	600 1200 2400	690 1380 2760	kHz kHz kHz
CLKOUT Positive Pulse Time	t_{CLKOUT}		100			ns
CLKOUT Rise or Fall Time		$C_{\text{CLKOUT}} = 20 \text{ pF}$		10		ns
CURRENT LIMIT						
Peak Output Current Limit, Channel 1	I_{LIMIT1}	All current limit parameters provided for $V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$ OPCFG tied to GND or via 4.7 k Ω to GND	2.4	3.3	4.0	A
		OPCFG via 8.2 k Ω or 15 k Ω to GND	3.5	4.5	5.3	A
Peak Output Current Limit, Channel 2	I_{LIMIT2}	OPCFG tied to GND or via 4.7 k Ω to GND	2.4	3.3	4.0	A
		OPCFG via 8.2 k Ω or 15 k Ω to GND	1.2	1.9	2.6	A
Current Sense Amplifier Gain	G_{CS}			4		A/V
Hiccup Time		$f_{\text{SW}} = 300 \text{ kHz}$	10	13.6	17	ms
Number of Cumulative Current Limit Cycles to Go into Hiccup				8		Cycles
SWITCH NODE CHARACTERISTICS						
High-Side, P-Channel $R_{\text{DS ON}}^1$		$V_{\text{DD}} = V_{\text{INx}} = 3.3 \text{ V}$		68		m Ω
		$V_{\text{DD}} = V_{\text{INx}} = 5.0 \text{ V}$		52		m Ω
Low-Side, N-Channel $R_{\text{DS ON}}^1$		$V_{\text{DD}} = V_{\text{INx}} = 3.3 \text{ V}$		32		m Ω
		$V_{\text{DD}} = V_{\text{INx}} = 5.0 \text{ V}$		27		m Ω
SWx Minimum On Time	$SW_{\text{ON MIN}}$	$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$		107		ns
SWx Minimum Off Time	$SW_{\text{OFF MIN}}$	$V_{\text{DD}} = V_{\text{INx}} = 5.5 \text{ V}$		192		ns
		$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V}$		255		ns
SWx Maximum Leakage Current		$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$; $EN_{\text{x}} = \text{GND}$, $T_{\text{J}} = -40^{\circ}\text{C to } +115^{\circ}\text{C}$		0.1	15	μA
ENABLE INPUT						
EN1, EN2 Logic Low Level	EN_{LOW}	$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$			0.8	V
EN1, EN2 Logic High Level	EN_{HI}	$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$	2			V
EN1, EN2 Input Leakage Current	$I_{\text{EN_LEAK}}$	$V_{\text{DD}} = V_{\text{INx}} = EN_{\text{x}} = 2.75 \text{ V to } 5.5 \text{ V}$, $T_{\text{J}} = -40^{\circ}\text{C to } +115^{\circ}\text{C}$		0.1	1	μA
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	T_{TMSD}			150		$^{\circ}\text{C}$
Thermal Shutdown Hysteresis				25		$^{\circ}\text{C}$
SOFT START						
SS1, SS2 Pin Current	$I_{\text{SS1}}, I_{\text{SS2}}$	$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$; $V_{\text{SS}} = 0 \text{ V}$	4.8	6.0	7.8	μA
Soft Start Threshold Voltage	$V_{\text{SS_THRESH}}$	$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$		0.65		V
Soft Start Pull-Down Current		$V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$; $EN = \text{GND}$	0.5			mA
POWER GOOD						
Overvoltage PGOODx Rising Threshold ²		All power good parameters provided for $V_{\text{DD}} = V_{\text{INx}} = 2.75 \text{ V to } 5.5 \text{ V}$		116		%
Overvoltage PGOODx Falling Threshold ²			100	108	114	%
Undervoltage PGOODx Rising Threshold ²			85	92	97	%
Undervoltage PGOODx Falling Threshold ²				84		%
PGOODx Delay				50		μs
PGOODx Leakage Current		$V_{\text{PGOODx}} = V_{\text{DD}}$		0.1	1	μA
PGOODx Low Saturation Voltage		$I_{\text{PGOODx}} = 1 \text{ mA}$		50	110	mV

¹ ピン間の測定値² スレッシュホールドは、公称出力電圧に対するパーセンテージで表しています。

絶対最大定格

表 2.

Parameter	Rating
VDD to GND	−0.3 V to +6 V
VIN1, VIN2, VIN3, VIN4, VIN5, VIN6 to PGND1, PGND2, PGND3, PGND4	−0.3 V to +6 V
EN1, EN2, SCFG, FREQ, FB1, FB2, SYNC/CLKOUT, PGOOD1, PGOOD2, V1SET, V2SET, COMP1, COMP2, SS1, SS2 to GND	−0.3 V to (VDD + 0.3 V)
FB1, FB2 to GND	−0.3V to +3.6V
SW1, SW2, SW3, SW4 to PGND1, PGND2, PGND3, PGND4	−0.3 V to (VDD + 0.3 V)
PGND1, PGND2, PGND3, PGND4 to GND	±0.3 V
VIN1, VIN2, VIN3, VIN4, VIN5, VIN6 to VDD	±0.3 V
θ_{JA} , JEDEC 1S2P PCB, Natural Convection	34°C/W
Operating Junction Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Maximum Soldering Lead Temperature (10 sec)	260°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格はこれらの値の組み合わせではなく個別に適用されます。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうちに放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

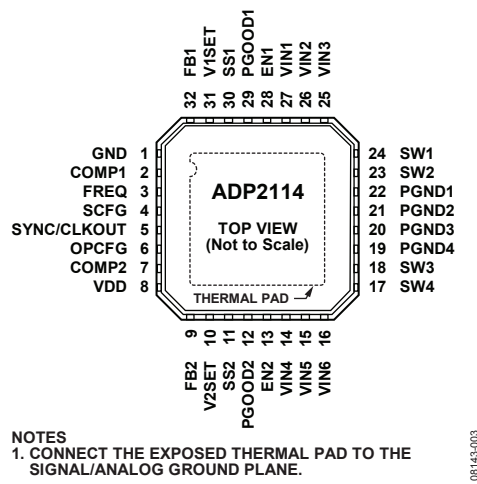


図 3. ピン配置

表 3. ピン機能の説明

ピン番号	記号	説明
1	GND	内部アナログ／デジタル回路のグラウンド。GND を信号／アナログ・グラウンド・プレーンに接続してから、電源グラウンドに接続します。
2	COMP1	チャンネル 1 の誤差アンプ出力。直列 RC 回路を COMP1 から GND に接続してチャンネル 1 を補償します。マルチフェーズ動作の場合は、COMP1 と COMP2 を相互接続します。
3	FREQ	周波数選択入力。このピンを抵抗経由で GND に接続して適切なスイッチング周波数を設定します（表 5 を参照）。
4	SCFG	同期設定入力。SCFG は SYNC/CLKOUT ピンを入力または出力に設定します。SYNC/CLKOUT を出力に設定するにはこのピンを VDD に接続し、SYNC/CLKOUT を入力に設定するには GND に接続します。
5	SYNC/CLKOUT	設定可能な双方向ピン（SCFG ピンで設定します。詳細は 4 番ピンの説明を参照）。SYNC/CLKOUT が出力のときは、90°の位相シフトを伴うスイッチング周波数の 2 倍のバッファ・クロックが得られます。入力に設定されているときは、コンバータを同期させる外部クロックを受信します。安定した動作を実現するには、ピン 3 の説明にある周波数選択入力に予想するスイッチング周波数に近い値を選択する必要があります。
6	OPCFG	動作設定入力。表 7 を参照し、このピンを抵抗経由で GND に接続してシステムの動作モードを設定します。このピンを使って各パワー・チャンネルのピーク電流制限値を選択し、パルス・スキップ・モードをイネーブルまたはディスエーブルにできます。
7	COMP2	チャンネル 2 の誤差アンプ出力。直列 RC 回路を COMP2 と GND の間に接続してチャンネル 2 を補償します。マルチフェーズ動作の場合は、COMP1 と COMP2 を接続します。
8	VDD	電源入力。ADP2114 の内部回路の電源。10 Ω の抵抗を使って VDD と VINx をできる限り ADP2114 の近くに接続します。
9	FB2	チャンネル 2 の帰還電圧入力。固定出力電圧オプションの場合は、FB2 を V _{OUT2} に接続します。調整可能な出力電圧オプションの場合は、このピンを V _{OUT2} と GND 間の抵抗分圧器に接続します。調整可能な出力電圧オプションのリファレンス電圧は 0.6 V です。マルチフェーズ動作の場合は、FB2 と FB1 を接続してから V _{OUT} に接続します。
10	V2SET	チャンネル 2 の出力電圧設定ピン。このピンを抵抗経由で GND に接続するか、VDD に接続して固定出力電圧オプション（0.8 V、1.2 V、1.5 V、1.8 V、2.5 V、3.3 V）または V _{OUT2} の調整可能な出力電圧を選択します。出力電圧の選択については、表 4 を参照してください。
11	SS2	チャンネル 2 のソフトスタート入力。SS2 と GND の間にコンデンサを配置して、ソフトスタート期間を設定します。10 nF コンデンサでソフトスタート期間が 1 ms に設定されます。マルチフェーズ動作の場合は、SS2 を SS1 に接続します。
12	PGOOD2	チャンネル 2 のオープン・ドレイン・パワーグッド出力。100 kΩ のプルアップ抵抗を VDD またはその他の 5.5 V 以内の電圧に接続します。チャンネル 2 の出力が安定していないと、PGOOD2 はローレベルになります。
13	EN2	チャンネル 2 のイネーブル入力。EN2 をハイレベルに駆動するとチャンネル 2 コンバータがオンになり、EN2 をローレベルに駆動するとチャンネル 2 コンバータがオフになります。EN2 を VDD に接続すれば VDD でスタートアップできます。マルチフェーズ動作の場合は、EN2 を EN1 に接続します。

ピン番号	記号	説明
14	VIN4	電源入力。チャンネル 2 のハイサイド内部パワーMOSFET の電源。
15	VIN5	電源入力。チャンネル 2 のハイサイド内部パワーMOSFET の電源。
16	VIN6	電源入力。チャンネル 2 のハイサイド内部パワーMOSFET の電源。
17	SW4	スイッチ・ノード出力。チャンネル 2 の P チャンネル・パワー・スイッチと N チャンネル同期整流器のドレイン。 SW3 を SW4 に接続し、SW と出力電圧の間に出力 LC フィルタを接続します。
18	SW3	スイッチ・ノード出力。チャンネル 2 の P チャンネル・パワー・スイッチと N チャンネル同期整流器のドレイン。 SW3 を SW4 に接続し、SW と出力電圧の間に出力 LC フィルタを接続します。
19	PGND4	電源グラウンド。チャンネル 2 のローサイド内部パワーMOSFET の電源。
20	PGND3	電源グラウンド。チャンネル 2 のローサイド内部パワーMOSFET の電源。
21	PGND2	電源グラウンド。チャンネル 1 のローサイド内部パワーMOSFET の電源。
22	PGND1	電源グラウンド。チャンネル 1 のローサイド内部パワーMOSFET の電源。
23	SW2	スイッチ・ノード出力。チャンネル 1 の P チャンネル・パワー・スイッチと N チャンネル同期整流器のドレイン。 SW1 を SW2 に接続し、SW と出力電圧の間に出力 LC フィルタを接続します。
24	SW1	スイッチ・ノード出力。チャンネル 1 の P チャンネル・パワー・スイッチと N チャンネル同期整流器のドレイン。 SW1 を SW2 に接続し、SW と出力電圧の間に出力 LC フィルタを接続します。
25	VIN3	電源入力。チャンネル 1 のハイサイド内部パワーMOSFET の電源。
26	VIN2	電源入力。チャンネル 1 のハイサイド内部パワーMOSFET の電源。
27	VIN1	電源入力。チャンネル 1 のハイサイド内部パワーMOSFET の電源。
28	EN1	チャンネル 1 のイネーブル入力。EN1 をハイレベルに駆動するとチャンネル 1 コンバータがオンになり、EN1 をローレベルに駆動するとチャンネル 1 コンバータがオフになります。EN1 を VDD に接続すれば VDD でスタートアップできます。マルチフェーズ動作の場合は、EN1 を EN2 に接続します。
29	PGOOD1	チャンネル 1 のオープン・ドレイン・パワーグッド出力。100 k Ω のプルアップ抵抗を VDD またはその他の 5.5 V 以内の電圧に接続します。チャンネル 1 の出力が安定していないと、PGOOD1 はローレベルになります。
30	SS1	チャンネル 1 のソフトスタート入力。SS1 と GND の間にコンデンサを配置して、ソフトスタート期間を設定します。10 nF コンデンサでソフトスタート期間が 1 ms に設定されます。マルチフェーズ動作の場合は、SS1 を SS2 に接続します。
31	V1SET	チャンネル 1 の出力電圧設定ピン。このピンを抵抗経由で GND に接続するか、VDD に接続して固定出力電圧オプション (0.8 V、1.2 V、1.5 V、1.8 V、2.5 V、3.3 V) または V _{OUT1} の調整可能な出力電圧を選択します。出力電圧の選択については、表 4 を参照してください。
32	FB1	チャンネル 1 の帰還電圧入力。固定出力電圧オプションの場合は、FB1 を V _{OUT1} に接続します。調整可能な出力電圧オプションの場合は、このピンを V _{OUT1} と GND 間の抵抗分圧器に接続します。マルチフェーズ動作の場合は、FB1 と FB2 を接続してから V _{OUT} に接続します。
	EPAD (EP)	露出熱パッド。信号／アナログ・グラウンド・プレーンに接続します。

代表的な性能特性

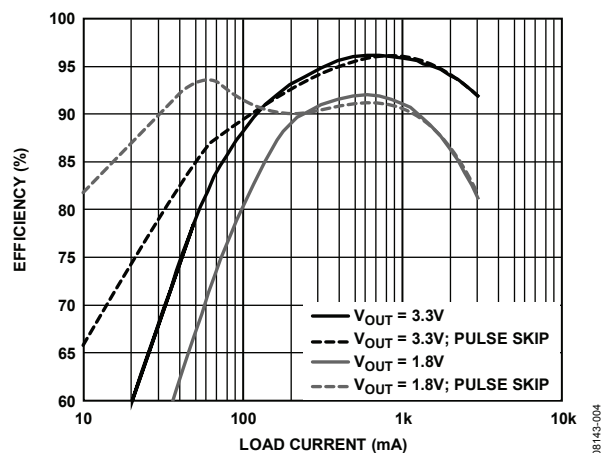


図 4. チャンネル 1 の負荷電流 対 効率 ($V_{IN} = 5\text{ V}$, $f_{SW} = 300\text{ kHz}$; $V_{OUT} = 3.3\text{ V}$, Cooper Bussmann DR1050-8R2-R インダクタ、 $8.2\text{ }\mu\text{H}$, $15\text{ m}\Omega$; $V_{OUT} = 1.8\text{ V}$, TOKO FDV0620-4R7M インダクタ、 $4.7\text{ }\mu\text{H}$, $53\text{ m}\Omega$)

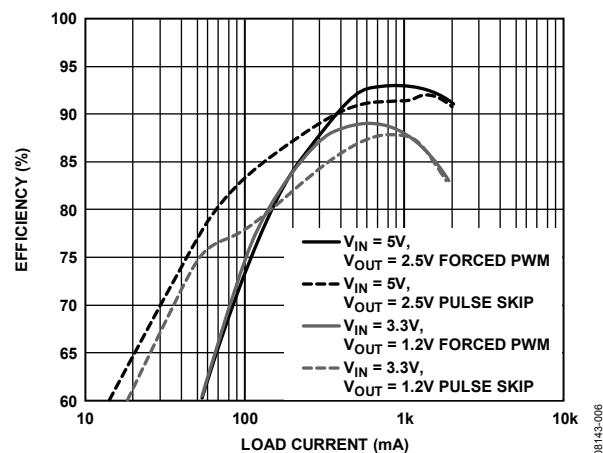


図 6. 負荷電流 対 効率 ($f_{SW} = 1.2\text{ MHz}$; TOKO FDV0620-1R0M インダクタ、 $1.0\text{ }\mu\text{H}$, $14\text{ m}\Omega$)

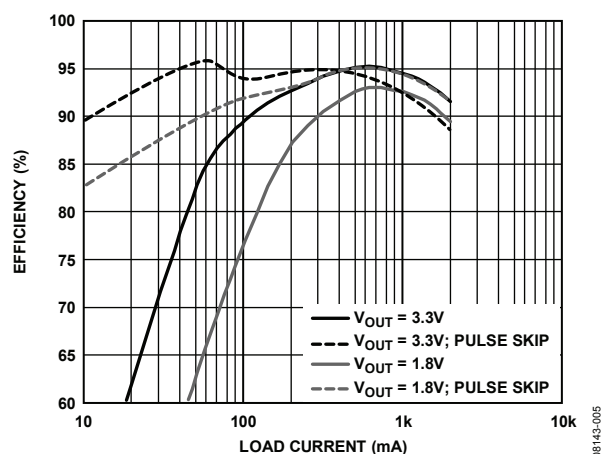


図 5. チャンネル 2 の負荷電流 対 効率 ($V_{IN} = 5\text{ V}$, $f_{SW} = 600\text{ kHz}$; $V_{OUT} = 3.3\text{ V}$, TOKO FDV0620-4R7M インダクタ、 $4.7\text{ }\mu\text{H}$, $53\text{ m}\Omega$; $V_{OUT} = 1.8\text{ V}$, TOKO FDV0620-2R2M インダクタ、 $2.2\text{ }\mu\text{H}$, $30\text{ m}\Omega$)

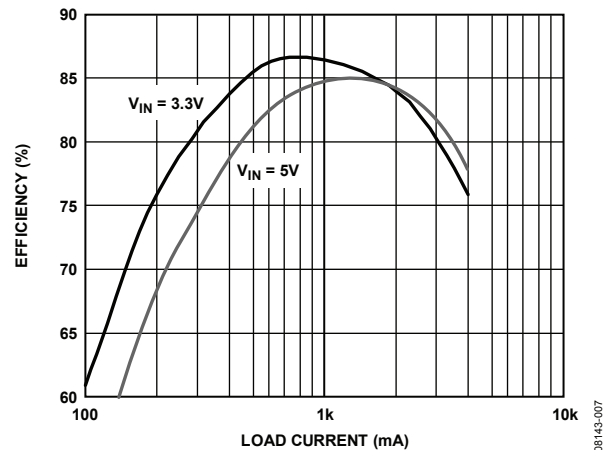


図 7. マルチフェーズ出力と効率 ($V_{OUT} = 0.8\text{ V}$, $f_{SW} = 1.2\text{ MHz}$; TOKO FDV0620-1R0M インダクタ、 $1.0\text{ }\mu\text{H}$, $14\text{ m}\Omega$)

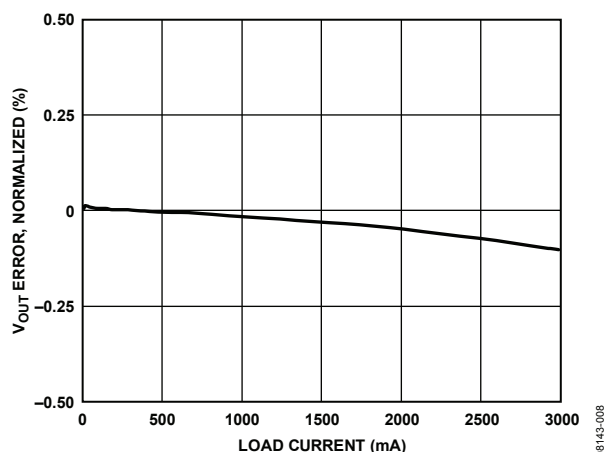


図 8. チャンネル 1 の負荷レギュレーション
($V_{IN} = 5\text{ V}$, $f_{SW} = 600\text{ kHz}$, $T_A = 25^\circ\text{C}$)

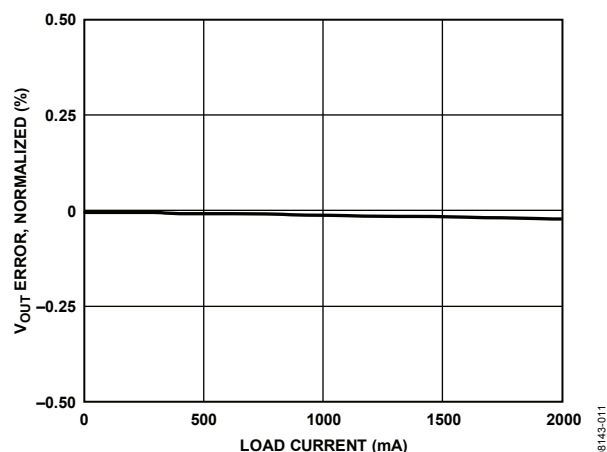


図 11. チャンネル 2 の負荷レギュレーション
($V_{IN} = 5\text{ V}$, $f_{SW} = 300\text{ kHz}$, $T_A = 25^\circ\text{C}$)

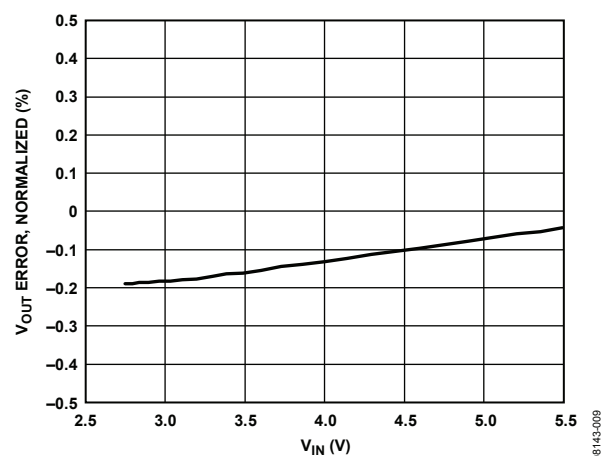


図 9. チャンネル 1 の負荷レギュレーション
(負荷電流 = 3 A, $f_{SW} = 600\text{ kHz}$)

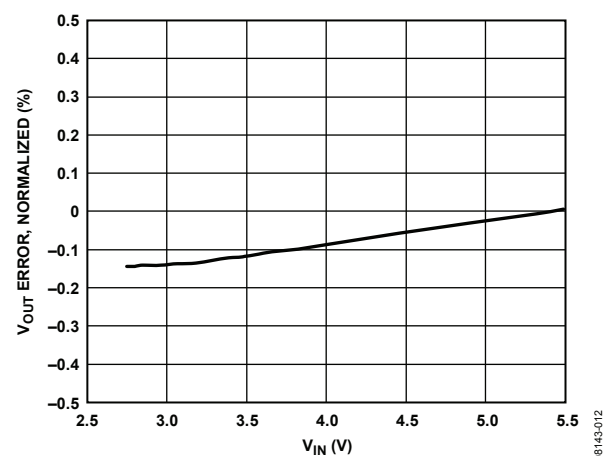


図 12. チャンネル 2 のライン・レギュレーション
(負荷電流 = 1 A, $f_{SW} = 600\text{ kHz}$)

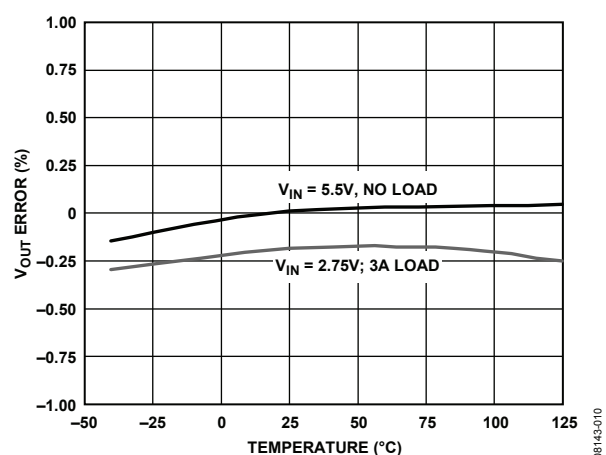


図 10. チャンネル 1 の出力電圧の温度特性
($V_{OUT} = 0.6\text{ V}$, $f_{SW} = 600\text{ kHz}$)

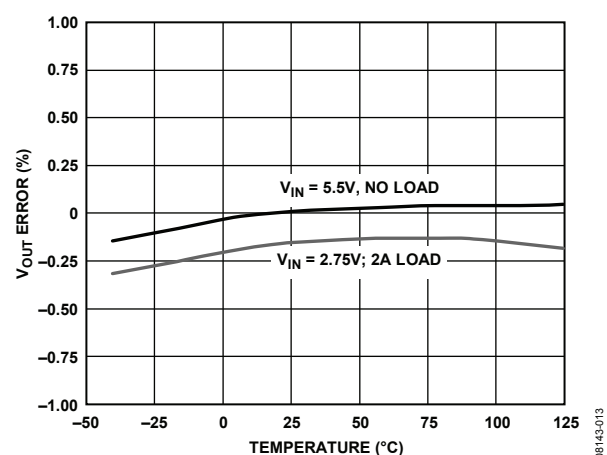


図 13. チャンネル 2 の出力電圧の温度特性
($V_{OUT} = 1.5\text{ V}$, $f_{SW} = 600\text{ kHz}$)

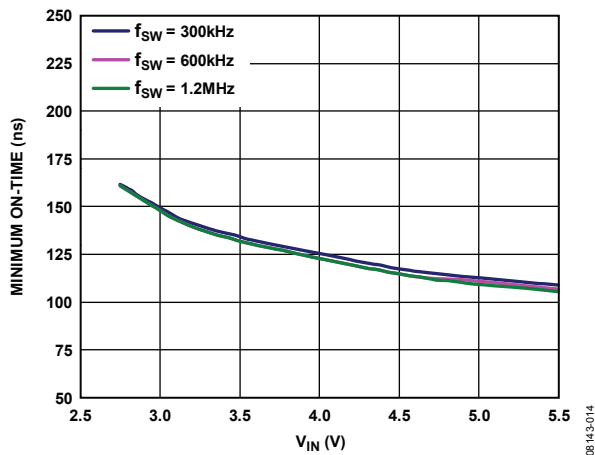


図 14. オープン・ループの最小オン時間（デッド・タイムを含む）

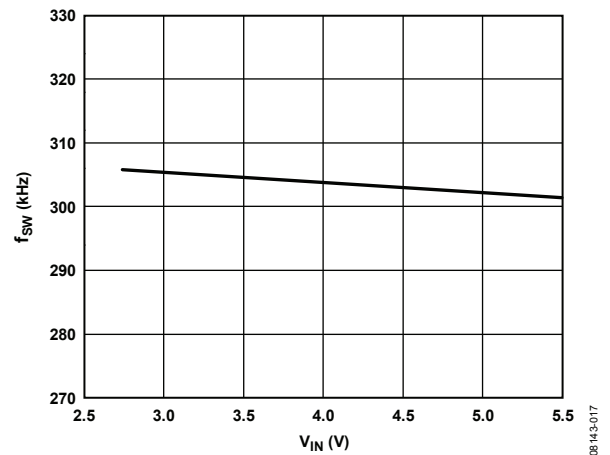
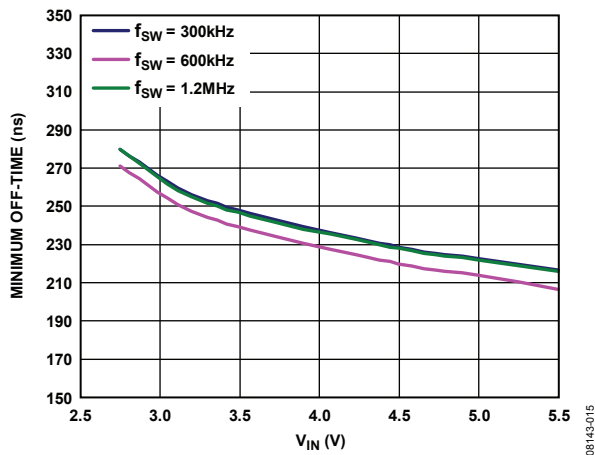
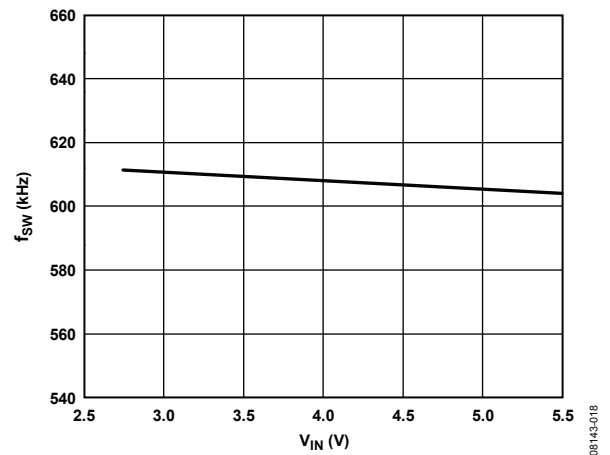
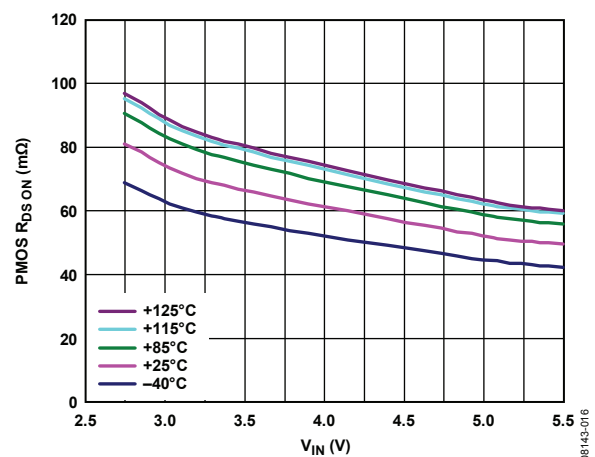
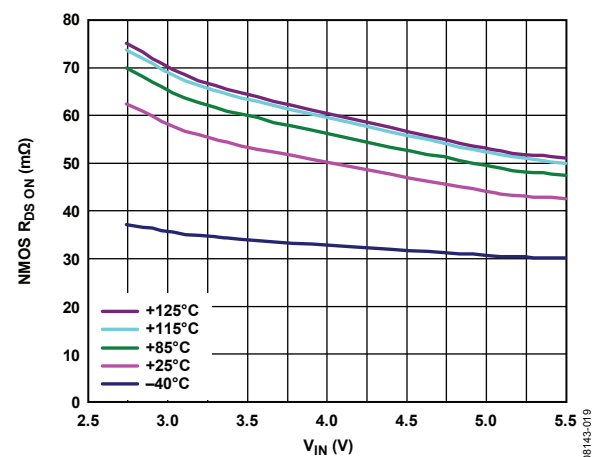
図 17. 入力電圧 対 スイッチング周波数 ($f_{SW} = 300\text{ kHz}$)

図 15. オープン・ループの最小オフ時間（デッド・タイムを含む）

図 18. 入力電圧 対 スイッチング周波数 ($f_{SW} = 600\text{ kHz}$)図 16. 入力電圧 対 ハイサイド PMOS 抵抗
(ボンディング・ワイヤを含む)図 19. 入力電圧 対 ローサイド NMOS 抵抗
(ボンディング・ワイヤを含む)

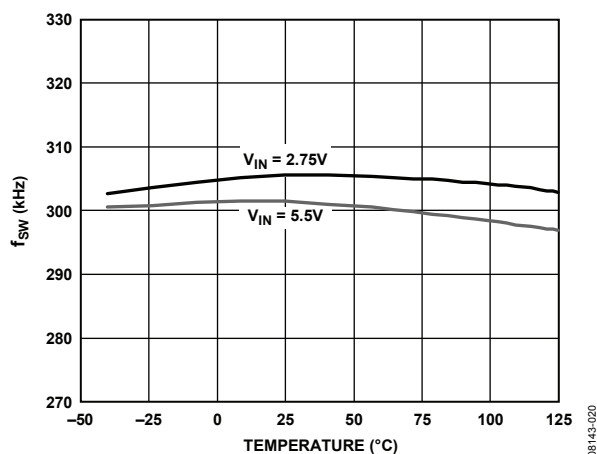
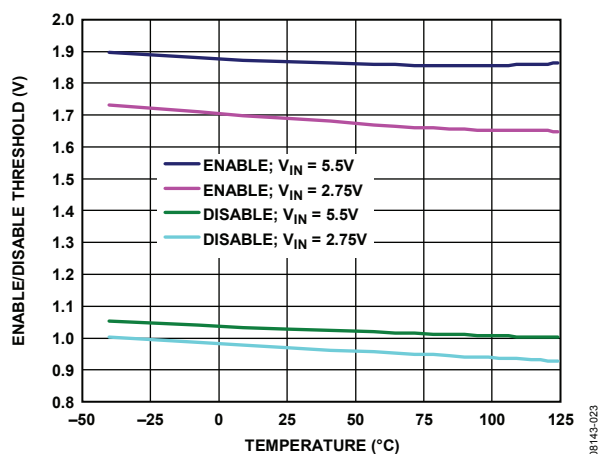
図 20. スイッチング周波数の温度特性 ($f_{SW} = 300$ kHz)

図 23. イネーブル／ディスエーブル・スレッシュホールドの温度特性

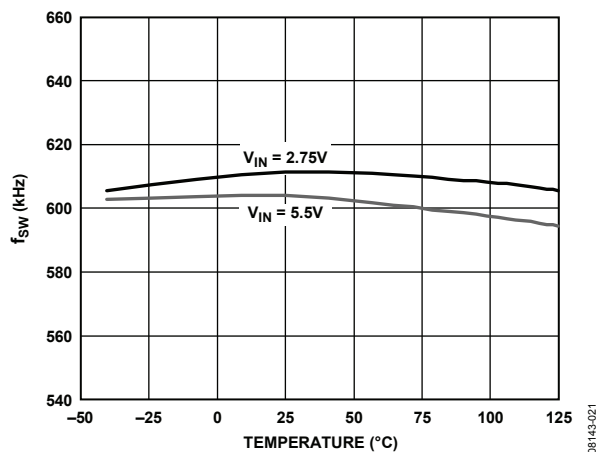
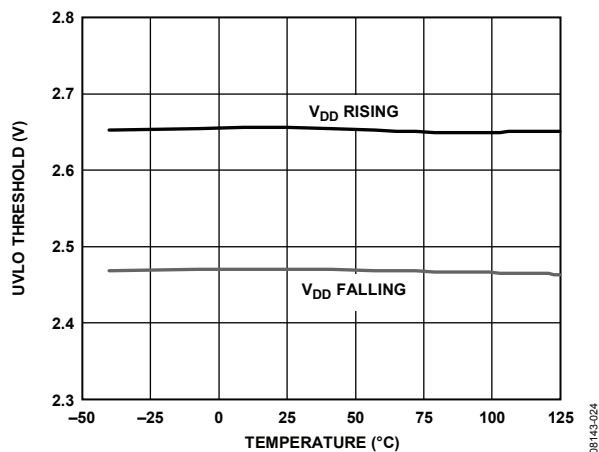
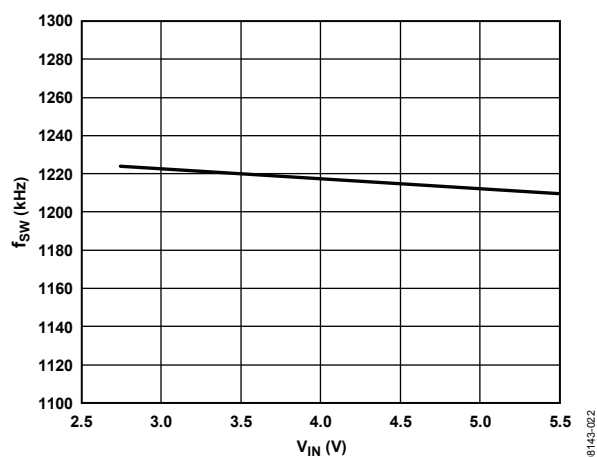
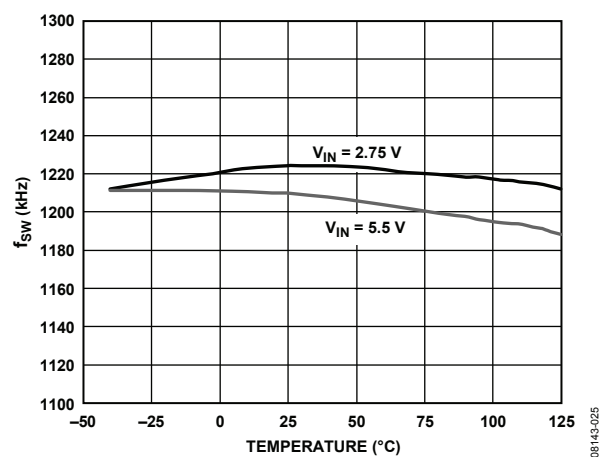
図 21. スイッチング周波数の温度特性 ($f_{SW} = 600$ kHz)

図 24. UVLO スレッシュホールドの温度特性

図 22. 入力電圧 対 スイッチング周波数 ($f_{SW} = 1.2$ MHz)図 25. スイッチング周波数の温度特性 ($f_{SW} = 1.2$ MHz)

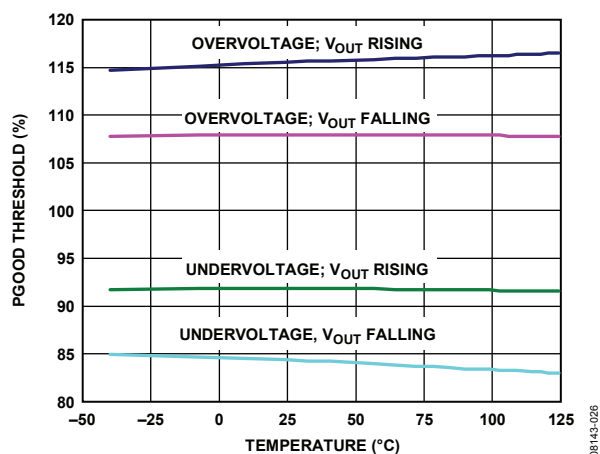


図 26. PGOOD スレッシュホルドの温度特性

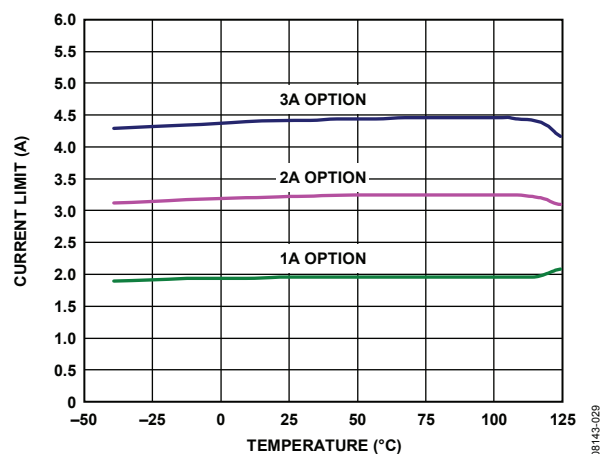
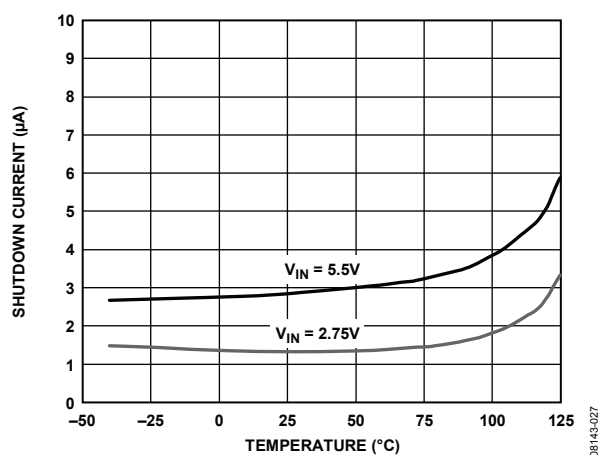
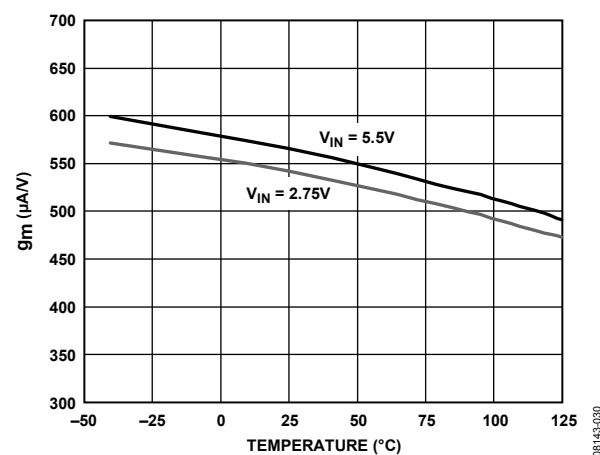
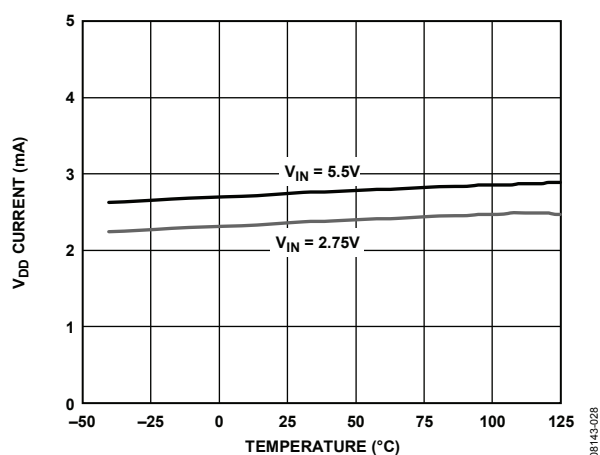
図 29. ピーク電流制限値の温度特性 ($V_{IN} = 5V$)

図 27. シャットダウン電流の温度特性

図 30. g_m の温度特性図 28. V_{DD} 入力電流の温度特性 (スイッチングなし)

電源電流

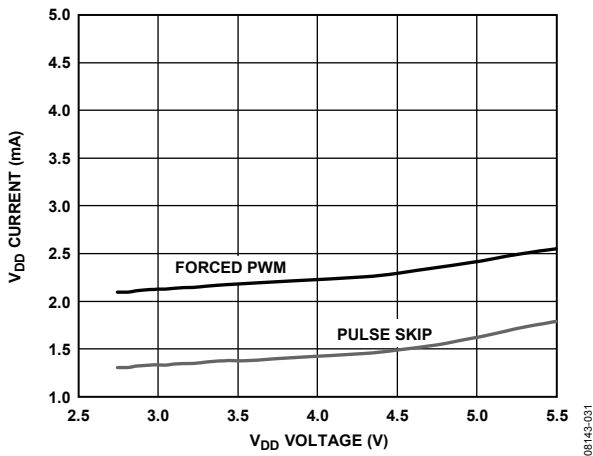


図 31. 負荷なしでの V_{DD} 電源電流
(チャンネル 1: $V_{OUT} = 1.5$ V、チャンネル 2 オフ、 $f_{SW} = 1.2$ MHz)

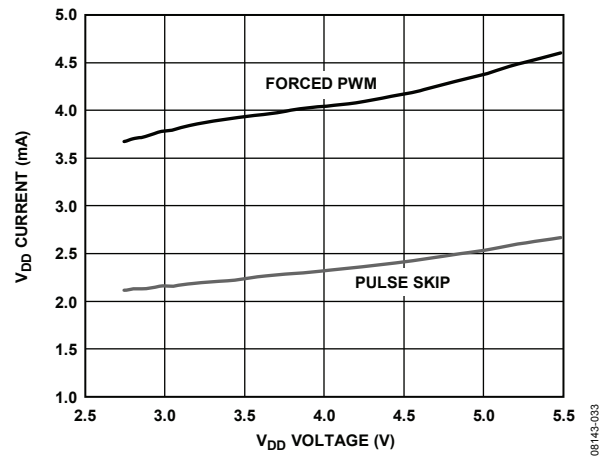


図 33. 負荷なしでの V_{DD} 電源電流
(チャンネル 1: $V_{OUT} = 1.5$ V、チャンネル 2 :
 $V_{OUT} = 0.8$ V、 $f_{SW} = 1.2$ MHz)

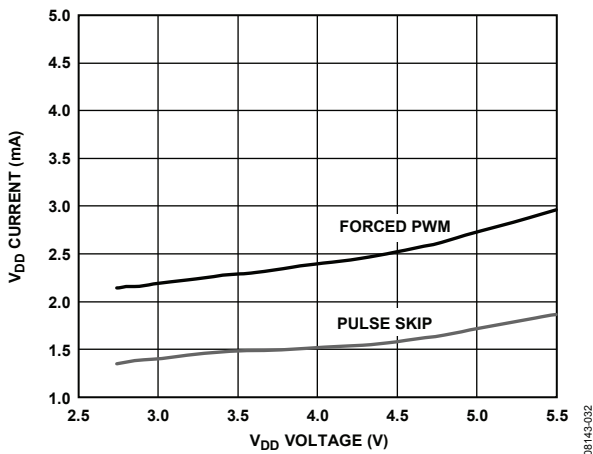


図 32. 負荷なしでの V_{DD} 電源電流
(チャンネル 2: $V_{OUT} = 0.8$ V、チャンネル 1 オフ、 $f_{SW} = 1.2$ MHz)

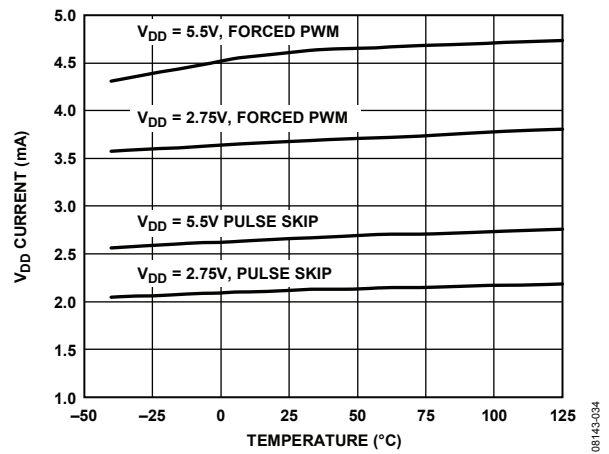


図 34. V_{DD} 電源電流の温度特性
(チャンネル 1: $V_{OUT} = 1.5$ V、チャンネル 2 :
 $V_{OUT} = 0.8$ V、 $f_{SW} = 1.2$ MHz)

負荷過渡応答

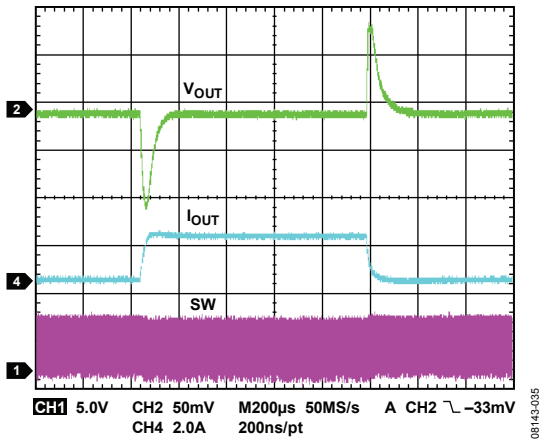


図 35. チャンネル 1 : $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 、強制PWM
(回路の詳細は表 12を参照)

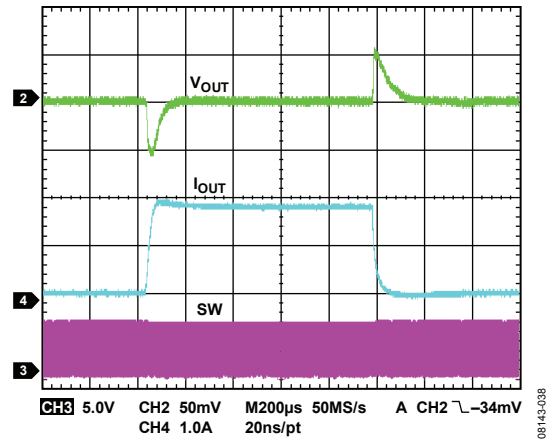


図 38. チャンネル 2 : $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 、パルス・スキップ
(回路の詳細は表 12を参照)

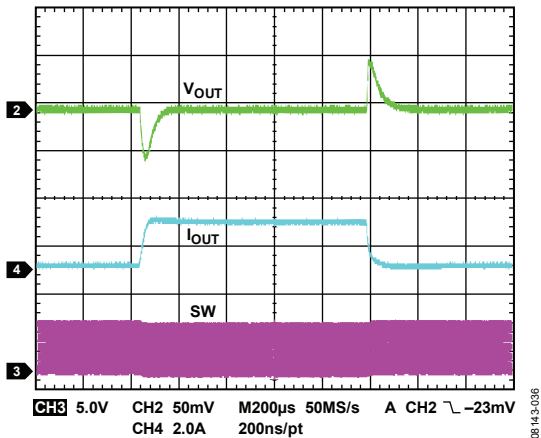


図 36. チャンネル 2 : $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 、強制PWM
(回路の詳細は表 12を参照)

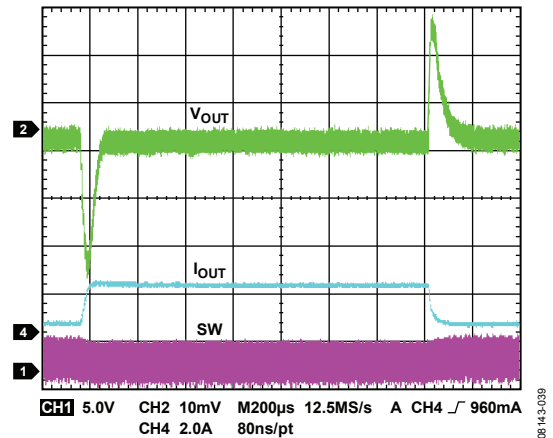


図 39. チャンネル 1 : $V_{IN} = 3.3\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、 $f_{SW} = 1.2\text{ MHz}$ 、強制PWM
(回路の詳細は表 12を参照)

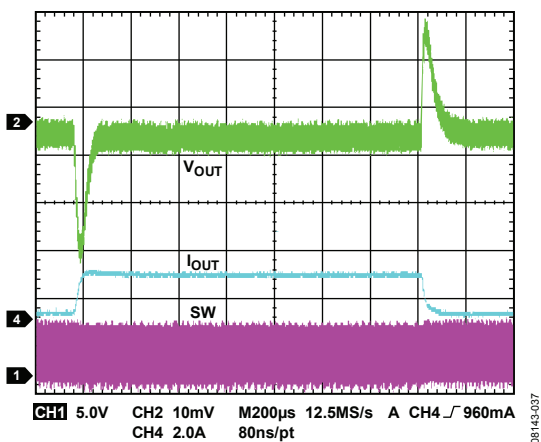


図 37. チャンネル 1 : $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、 $f_{SW} = 1.2\text{ MHz}$ 、強制PWM
(回路の詳細は表 12を参照)

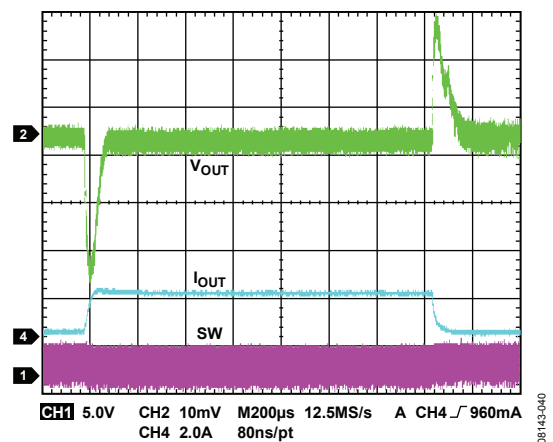


図 40. チャンネル 1 : $V_{IN} = 3.3\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、 $f_{SW} = 1.2\text{ MHz}$ 、パルス・スキップ
(回路の詳細は表 12を参照)

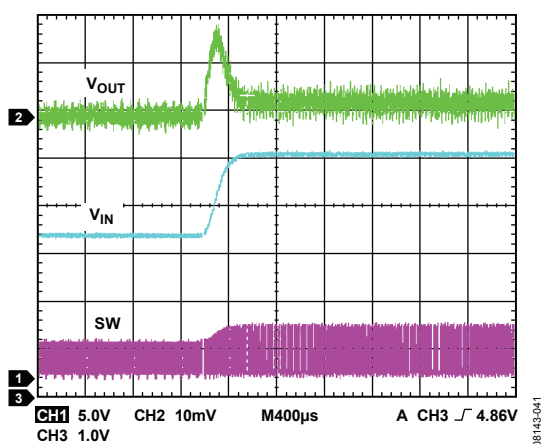


図 41. 3.3~5 V ライン過渡電圧 ($V_{OUT} = 1.5$ V、負荷 = 1 A
 $f_{SW} = 1.2$ MHz、パルス・スキップ・イネーブル)

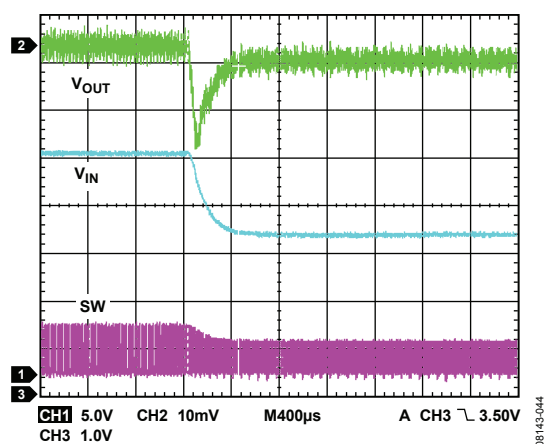


図 44. 5~3.3 V ライン過渡電圧 ($V_{OUT} = 1.5$ V、負荷 = 1 A
 $f_{SW} = 1.2$ MHz、強制 PWM)

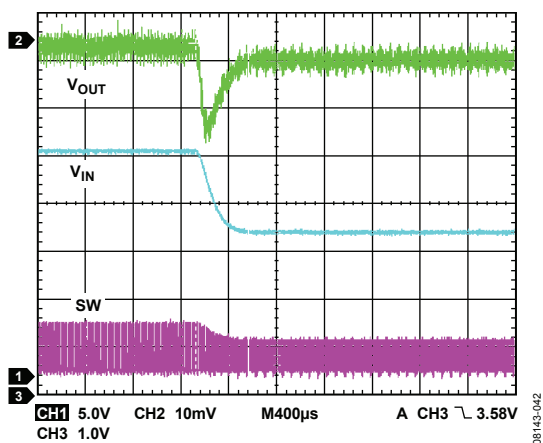


図 42. 5~3.3 V ライン過渡電圧 ($V_{OUT} = 1.5$ V、負荷 = 1 A
 $f_{SW} = 1.2$ MHz、パルス・スキップ・イネーブル)

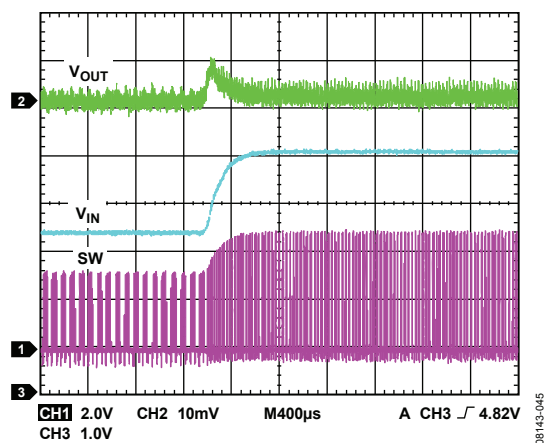


図 45. 3.3~5 V ライン過渡電圧 ($V_{OUT} = 0.6$ V、負荷 = 1 A
 $f_{SW} = 600$ kHz、パルス・スキップ・イネーブル)

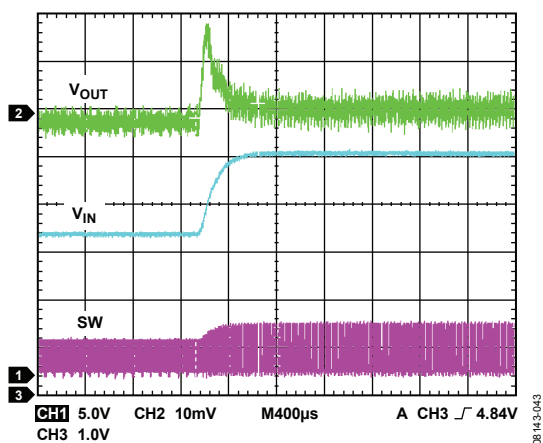


図 43. 3.3~5 V ライン過渡電圧 ($V_{OUT} = 1.5$ V、負荷 = 1 A
 $f_{SW} = 1.2$ MHz、強制 PWM)

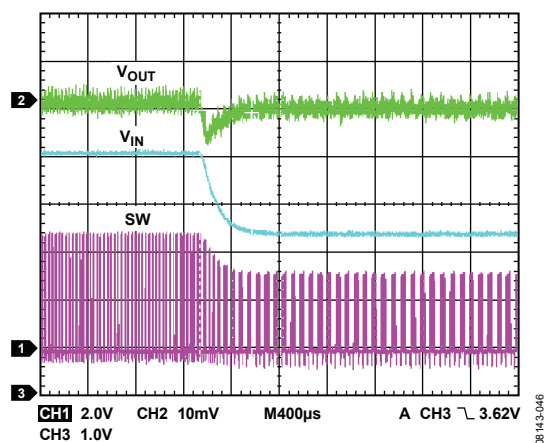


図 46. 5~3.3 V ライン過渡電圧 ($V_{OUT} = 0.6$ V、負荷 = 1 A
 $f_{SW} = 600$ kHz、パルス・スキップ・イネーブル)

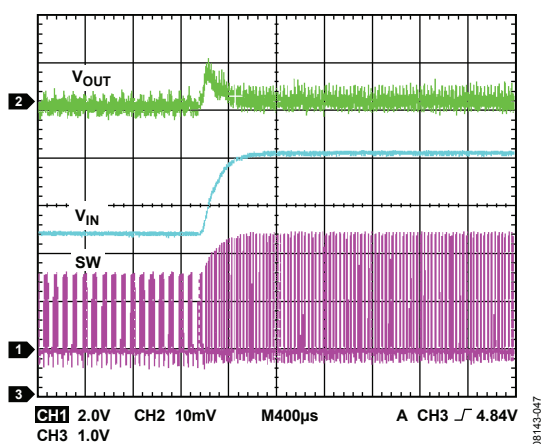


図 47. 3.3~5 V ライン過渡電圧 ($V_{OUT} = 0.6$ V、負荷 = 1 A
 $f_{SW} = 600$ kHz、強制 PWM)

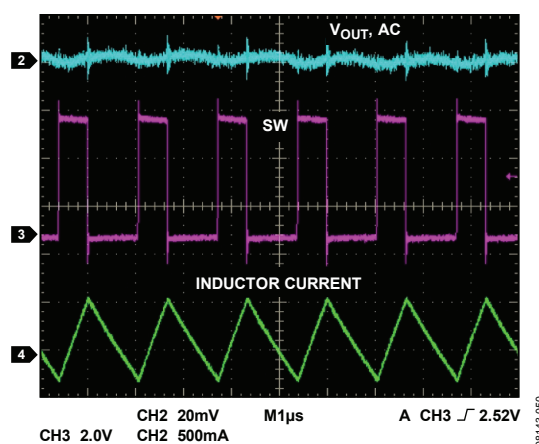


図 50. 強制 PWM モード、CCM 動作、200 mA 負荷、 $f_{SW} = 600$ kHz

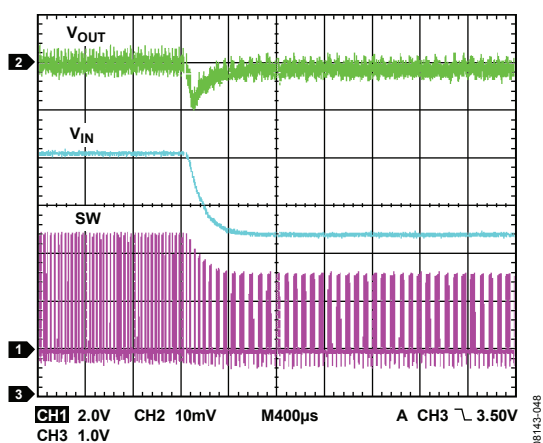


図 48. 5~3.3 V ライン過渡電圧 ($V_{OUT} = 0.6$ V、負荷 = 1 A
 $f_{SW} = 600$ kHz、強制 PWM)

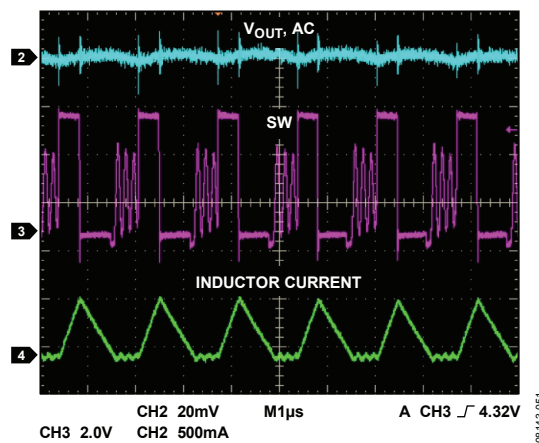


図 51. パルス・スキップ・イネーブル、DCM 動作、
200 mA 負荷、 $f_{SW} = 600$ kHz

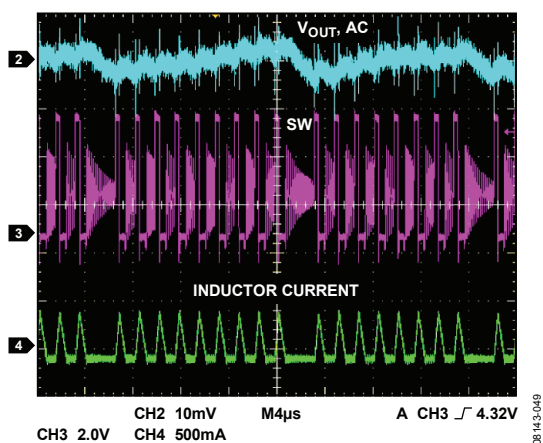


図 49. パルス・スキップ・モード、110 mA 負荷

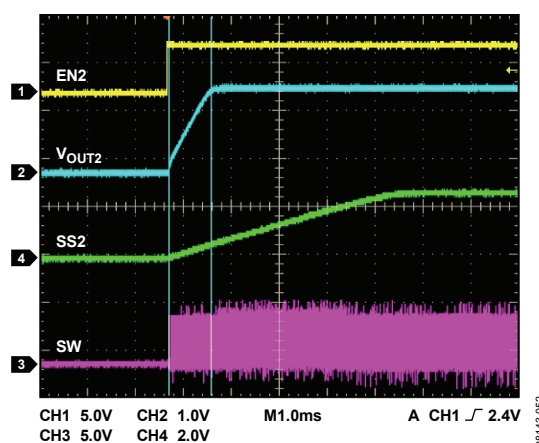


図 52. ソフトスタート、チャンネル 2 $V_{OUT} = 1.8$ V、 $C_{SS2} = 10$ nF

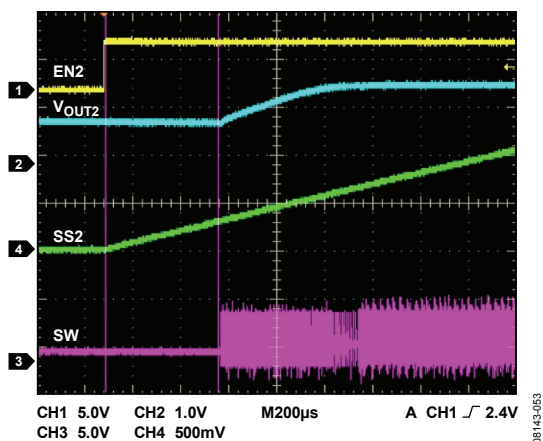
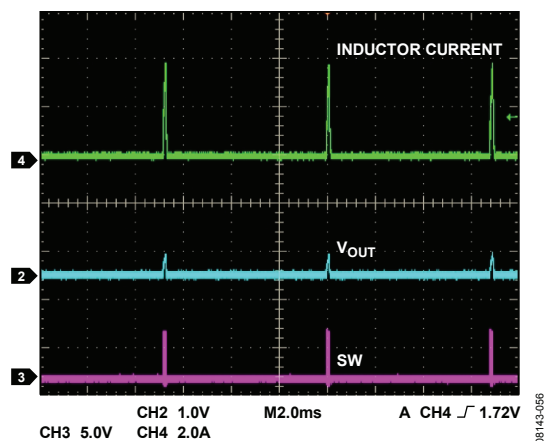
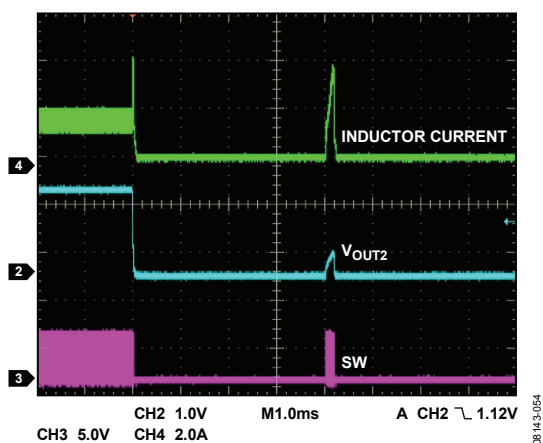
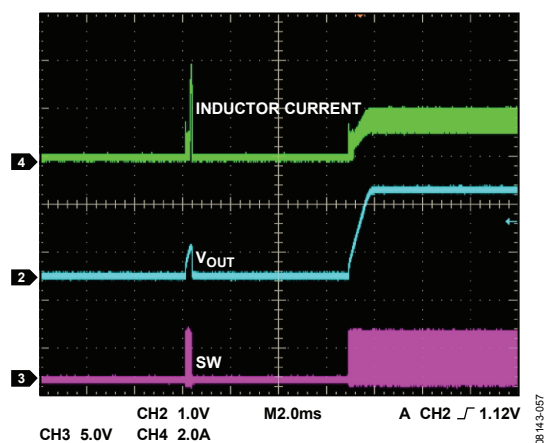
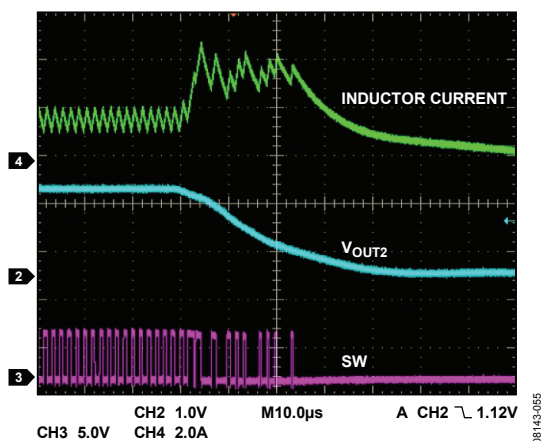
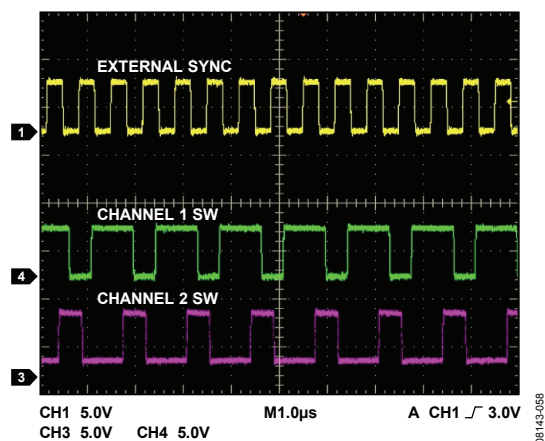


図 53. プリチャージ出力によるスタート

図 56. Hiccup モード ($f_{SW} = 600$ kHz、6.8 ms Hiccup サイクル)図 54. 電流制限の開始
(チャンネル 2 $V_{OUT} = 1.8$ V、2 A 構成、 $f_{SW} = 600$ kHz)図 57. Hiccup モードの終了
(チャンネル 2 $V_{OUT} = 1.8$ V、 $f_{SW} = 600$ kHz)図 55. 電流制限の開始 (拡大図)
(チャンネル 2 $V_{OUT} = 1.8$ V、2 A 構成、 $f_{SW} = 600$ kHz)図 58. 外部同期 ($f_{SYNC} = 1.5$ MHz、 $f_{SW} = 750$ kHz)

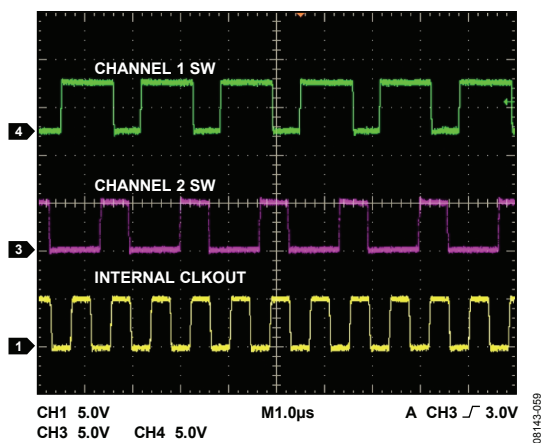


図 59. 内部クロック出力 ($f_{SW} = 600 \text{ kHz}$, $f_{CLKOUT} = 1.2 \text{ MHz}$)

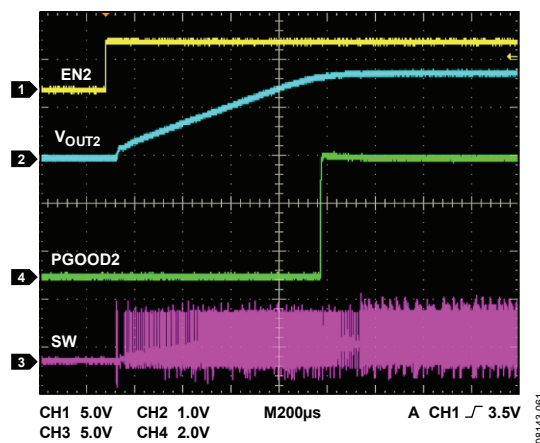


図 61. パワーグッド信号

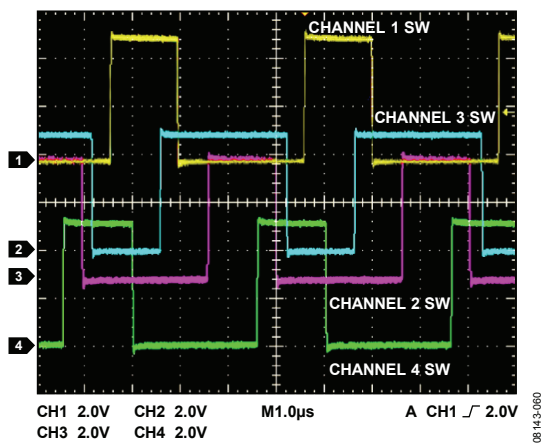


図 60. 4 チャンネル動作、2 個の ADP2114、一方のデバイスが他方に同期、90°位相シフトのスイッチ・ノード

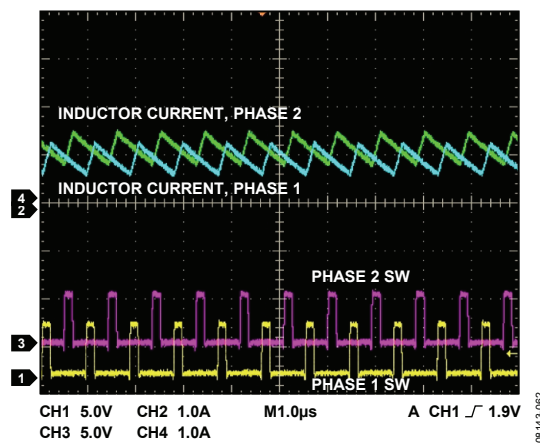


図 62. マルチフェーズ出力動作 ($V_{OUT} = 1.2 \text{ V}$, $f_{SW} = 1.1 \text{ MHz}$, 4 A 負荷)

ボード線図

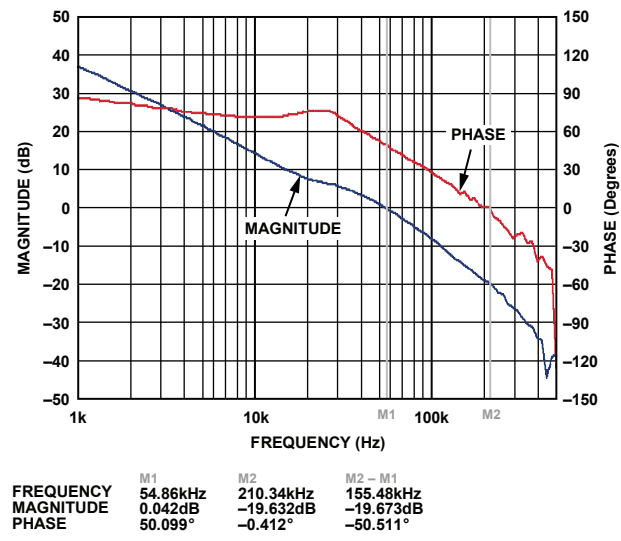


図 63. $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、負荷 = 2 A、 $f_{SW} = 600\text{ kHz}$ 、クロスオーバー周波数 (f_{CO}) = 55 kHz、位相マージン 50°
(回路の詳細は、表 12を参照)

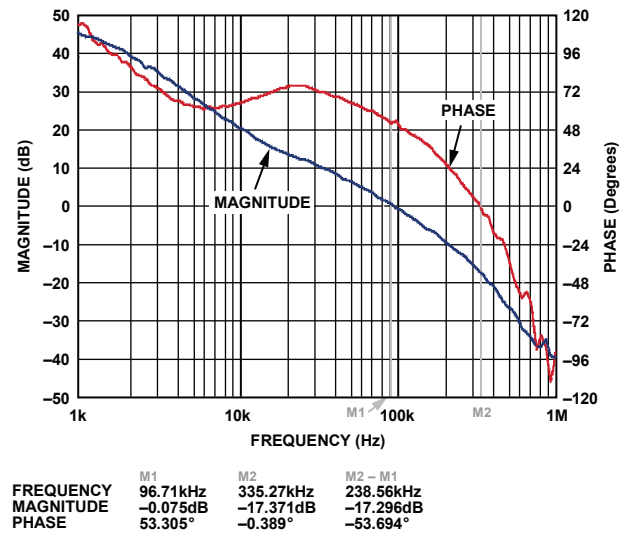


図 64. $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、負荷 = 2 A、 $f_{SW} = 1.2\text{ MHz}$ 、クロスオーバー周波数 (f_{CO}) = 97 kHz、位相マージン 53°
(回路の詳細は、表 12を参照)

簡略ブロック図

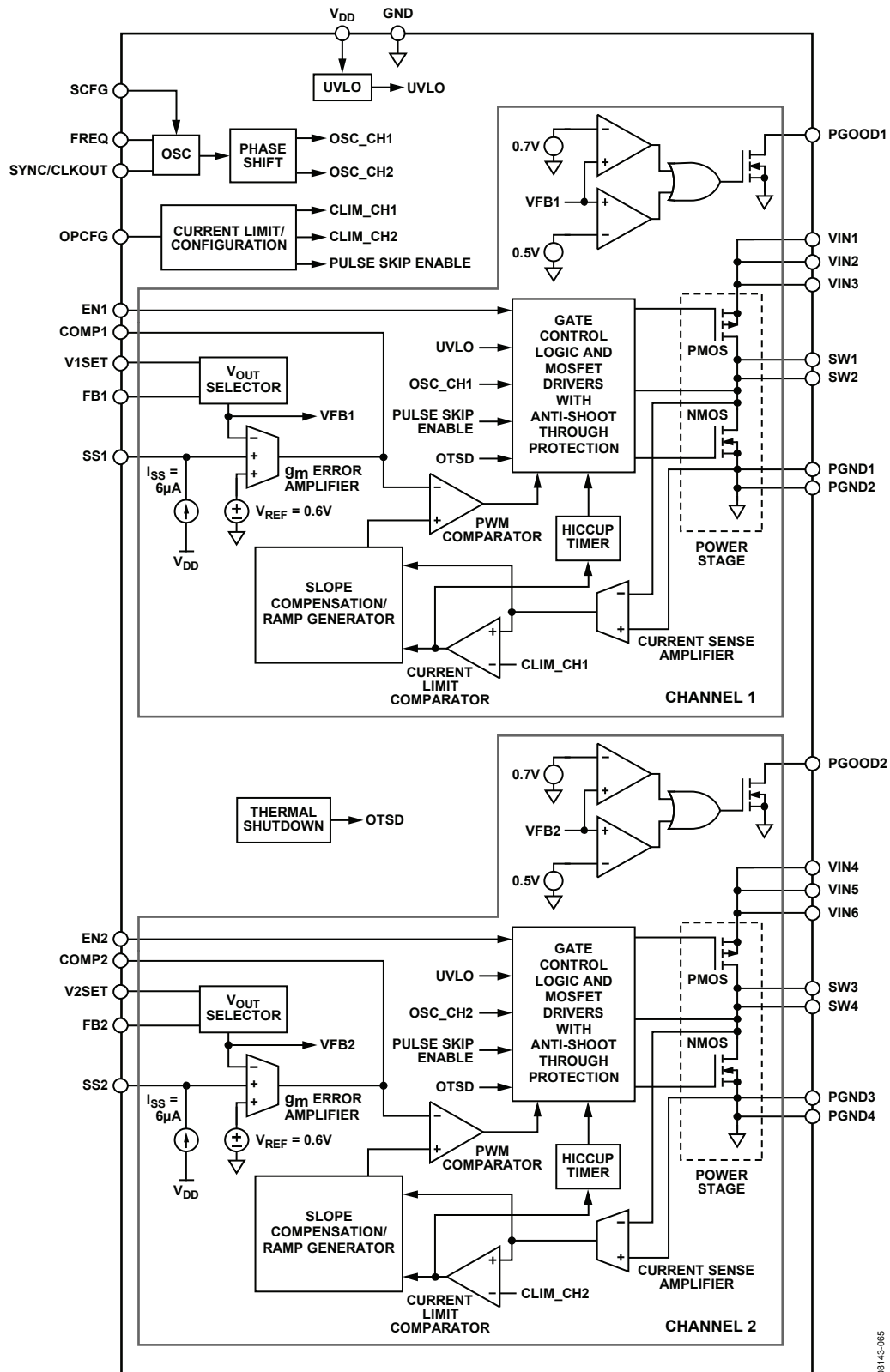


図 65. 簡略ブロック図

08143-065

動作原理

ADP2114は、高効率、デュアル・チャンネル、固定周波数スイッチングの同期型ステップダウン DC/DC コンバータです。アナログ・デバイセス (ADI) 独自のピーク電流モード制御アーキテクチャであるフレックス・モード・アーキテクチャを採用しています。ADP2114は、2.75~5.5 Vの入力電圧範囲で動作します。各出力チャンネルは、最低 0.6 Vの調整可能な出力と最大 2 Aの負荷電流を提供します。2つの出力チャンネルを接続すると、180°の位相のずれで動作し、最大 4Aの負荷電流が得られます。内蔵のハイサイドPチャンネル・パワーMOSFETとローサイドNチャンネル・パワーMOSFETにより、中〜高負荷時に高い効率性を実現します。軽負荷時は、パルス・スキップ・モードで効率を高めることができます。ADP2114は高いスイッチング周波数（最大 2 MHz）と内蔵パワー・スイッチにより、小型の高性能パワーマネジメント・ソリューションに最適です。

ADP2114には、ヒステリシス付きの低電圧ロックアウト (UVLO)、ソフトスタート、パワーグッド、それに出力短絡保護やサーマル・シャットダウンなどの保護機能もあります。出力電圧、電流制限値、スイッチング周波数、パルス・スキップ動作、ソフトスタート時間は、小さい抵抗とコンデンサを使って外部から設定できます。

制御方式

ADP2114は2個のステップダウンDC/DCコンバータで構成されており、内蔵のハイサイドPチャンネル・パワーMOSFETとローサイドNチャンネル・パワーMOSFETのオン/オフを切り替えるデューティサイクルを変調することによって、安定化した出力電圧 V_{OUT1} 、 V_{OUT2} を提供します (図1を参照)。定常状態の動作では、出力電圧 V_{OUT} は帰還ピンFB1 (FB2) で検出され、V1SET (V2SET) ピン上の選択した出力電圧に比例して減衰されます。帰還電圧とリファレンス電圧 ($V_{REF} = 0.6 \text{ V}$) との誤差を誤差アンプが積分して、COMP1 (COMP2) ピンに誤差電圧を生成します。ローサイドNチャンネルMOSFETがオンのとき、電流センス・アンプがインダクタの谷電流を検出します。内部発振器が固定スイッチング周波数でローサイドNチャンネルMOSFETをオフにし、ハイサイドPチャンネルMOSFETをオンにします。ハイサイドPチャンネルMOSFETがイネーブルのときは、インダクタの谷電流の情報はエミュレートされたランプ信号に追加され、PWMコンパレータによって誤差電圧と比較されます。PWMコンパレータの出力によって、パワー・デバイスの切替えを行うPWMパルスの立下がりエッジが調整されて、デューティサイクルが変調されます。スロープ補償は、 V_{IN} 、 V_{OUT} 、スイッチング周波数に応じて、エミュレートされたランプ信号に内部的に設定され、自動的に選択されます。これによって、50%を超えるデューティサイクル動作の場合に生じるインダクタ電流のサブハーモニック発振を防止できます。

ブレーク・ビフォア・メイク (Break-before-make) の動作を実現するために、導通保護 (Antishoot-through) 回路モニタでロジックを制御し、ローサイドとハイサイドのドライバ出力を調整します。このモニタリングと制御によって、内蔵のハイサイドPチャンネル・パワーMOSFETとローサイドNチャンネル・パワーMOSFET間のクロス導通を防止できます。

低電圧ロックアウト (UVLO)

UVLO スレッシュホールドとして、VDD 上昇時は 2.65 V、VDD 下降時は 2.47 V を使用します。180 mV のヒステリシスがあるため、2.75 V の最小動作レベルに近い VDD の低速電圧遷移中に負荷条件が変化してコンバータがオン/オフを繰り返すのを防ぐことができます。

イネーブル/ディスエーブル制御

EN1 ピンと EN2 ピンによって、それぞれ個別にチャンネル 1 とチャンネル 2 がイネーブルまたはディスエーブルになります。ENx をハイレベルに駆動すると、ADP2114 の該当するチャンネルがオンになります。ENx をローレベルに駆動すると、ADP2114 の該当するチャンネルがオフになって、入力電流が 1 μA を下回ります。入力電源を印加するときに自動的にチャンネルを開始するには、該当する ENx を VDD に接続します。シャットダウン時は、ADP2114 のチャンネルがソフトスタート・コンデンサを放電するため、コンバータがイネーブルされるたびに新しいソフトスタート・サイクルが開始します。

ソフトスタート

ADP2114 のソフトスタート機能は、一定の制御のもとに出力電圧を増大し、スタートアップ時の出力電流のオーバーシュートを低減します。電圧が低電圧ロックアウト・スレッシュホールドを越え、イネーブル・ピンEN1 (EN2) が 2.0 Vを上回ると、ソフトスタートが始まります。SS1 とSS2の両ピンは、グラウンドとの間に外付けコンデンサを接続する必要があります。安定化する各チャンネルに専用のソフトスタート回路があります。コンバータがパワーアップしてイネーブルになると、内蔵の 6 μA 電流源によって外付けソフトスタート・コンデンサが充電され、SS1 (SS2) ピンに電圧ランプ・スロープが設けられます (図 66を参照)。ソフトスタート期間は、ソフトスタートのランプ電圧が 0.6 Vの内部分リファレンスを上回ると終了します。

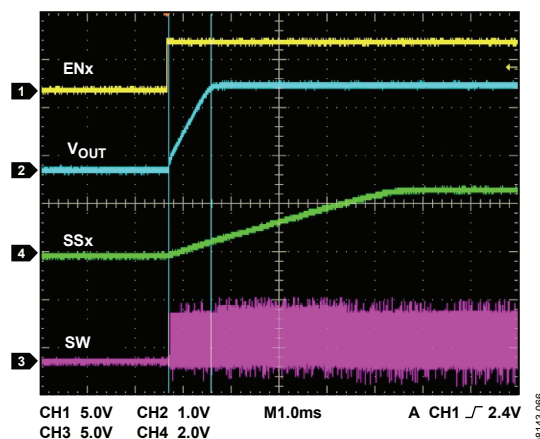


図 66. ソフトスタート

次の式により、ソフトスタート・コンデンサの容量値によってソフトスタート時間 t_{SS} が決まります。

$$\frac{V_{REF}}{t_{SS}} = \frac{I_{SS}}{C_{SS}} \quad (1)$$

ここで、

V_{REF} は 0.6 V の内部リファレンス電圧です。

I_{SS} は 6 μ A のソフトスタート電流です。

C_{SS} はソフトスタート・コンデンサ値です。

チャンネル 1 (チャンネル 2) をイネーブルする前に出力電圧 V_{OUT1} (V_{OUT2}) がプリチャージされる場合、制御ロジックによって、SS1 (SS2) のソフトスタート電圧ランプが V_{FB1} (V_{FB2}) のプリチャージ出力電圧に達するまでパワー MOSFET を保持することでインダクタ電流の反転を防止します。(図 67 を参照)。

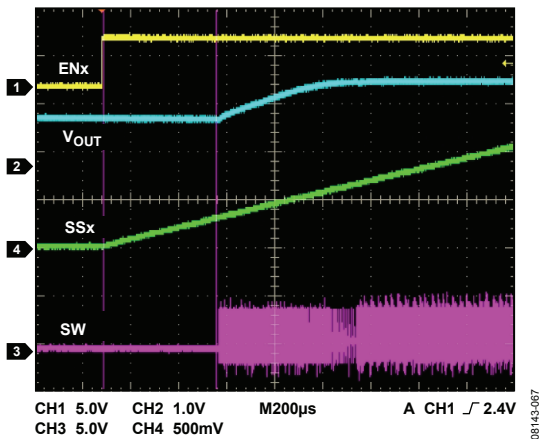


図 67. プリチャージ負荷によるスタート

パワーグッド

ADP2114 のオープン・ドレイン・パワーグッド出力 (PGOOD1、PGOOD2) は、コンバータの出力電圧が安定したときにこれを知らせます。パワーグッド信号は、該当するチャンネルがディスエーブルになるとすぐにローレベルに移ります。

パワーグッド回路はFB1 (FB2) ピンの出力電圧をモニタし、その電圧を表 1 の立上がり／立下がりスレッシュホールドと比較します。出力電圧 V_{OUT1} (V_{OUT2}) が目標出力電圧 $V_{OUT1SET}$ ($V_{OUT2SET}$) の 116% の代表的な立上がり制限値を超えると、PGOOD1 (PGOOD2) ピンがローレベルになります。PGOOD1 (PGOOD2) ピンは、出力電圧が目標値の 108% (typ) に復帰するまでローレベルを維持します。

出力電圧が目標出力電圧の 84% を下回ると、該当する PGOOD1 (PGOOD2) ピンがローレベルになります。PGOOD1 (PGOOD2) ピンは、出力電圧が目標出力電圧の 92% 以内に上昇するまでローレベルを維持します。その後、PGOOD1 (PGOOD2) ピンが解放され、出力電圧がパワーグッド・ウィンドウ内に戻ったことを知らせます。

パワーグッド・スレッシュホールドを図 68 に示します。過大温度状態が検出されると、PGOOD1 と PGOOD2 の出力が電流をシンクします。PGOOD1 (PGOOD2) と VDD の間にプルアップ抵抗を接続して、これらの出力を論理パワーグッド信号として使用してください。パワーグッド機能を使用しない場合は、これらのピンを無接続にすることができます。

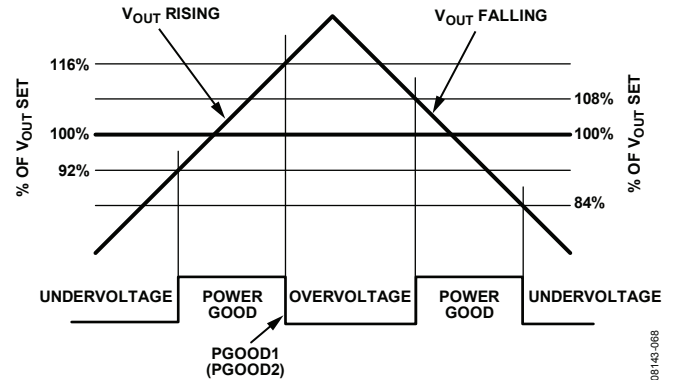


図 68. PGOOD1 と PGOOD2 のスレッシュホールド

パルス・スキップ・モード

ADP2114 には軽負荷時にオンになるパルス・スキップ回路があり、出力電圧を安定状態に維持する必要がある場合のみ切り替わります。これによってコンバータはスイッチング損失を低減できるため、軽負荷時の高効率性を維持できます。パルス・スキップ・モードを選択する場合は、表 7 に従って OPCFG ピンを設定します。このモードでは、出力電圧が安定化電圧より低い値に下降すると、ADP2114 が発振器の数サイクル間 PWM モードに入り、出力電圧を安定化電圧のレベルに上げます。バーストとバーストの間の待ち時間中は両方のパワー・スイッチがオフになり、出力コンデンサがすべての負荷電流を供給します。このモードでは、出力電圧の降下と回復が時々行われるため、出力電圧リップルは PWM 動作モードのリップルより大きくなります。

コンバータが強制 PWM モードの動作に設定されている場合 (OPCFG ピンで設定を選択) は、デバイスは軽負荷時でも固定スイッチング周波数で動作します。

Hiccupモード電流制限

ADP2114は、Hiccupモード電流制限を実装しています。インダクタのピーク電流が8連続クロック・サイクル以上プリセット電流制限値を上回ると、Hiccupモードの電流制限の状態になります。これにより、チャンネルは600 kHzのスイッチング周波数で6.8 ms間スリープ状態になります。この間に出力を放電して、平均消費電力を低減します。その後、ソフトスタート期間でチャンネルがウェイクアップします（図 69を参照）。電流制限状態が再びトリガされると、チャンネルはスリープ状態になり、6.8 ms後にウェイクアップします。2チャンネルの電流制限値を設定するには、OPCFGピンを設定します（表 7を参照）。2 A/2 Aオプションの場合、出力電流制限値は出力当たり3.3 Aに設定されます。3 A/1 Aオプションの場合は、 V_{OUT1} と V_{OUT2} に対してそれぞれ4.5 A、1.9 Aに設定されます。

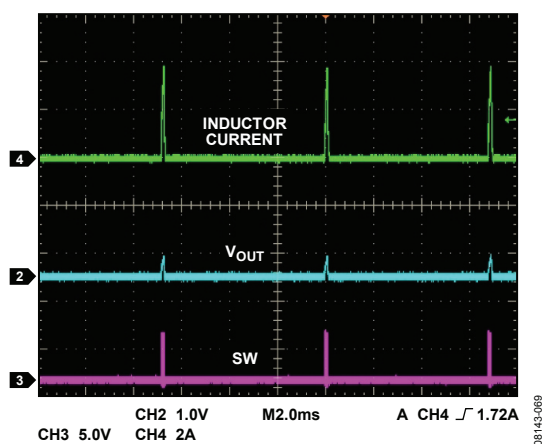


図 69. Hiccup モード

熱過負荷保護

ADP2114は、ジャンクション温度を監視する温度センサーを内蔵しています。スイッチに大きな電流が流れたり、PCボード（PCB）の温度が上昇したりすると、ADP2114のジャンクション温度が急激に上昇します。ジャンクション温度がほぼ150°Cに達すると、ADP2114はサーマル・シャットダウンし、コンバータがオフになります。ジャンクション温度が125°Cを下回ると、ADP2114はソフトスタート・シーケンス後に通常動作に戻ります。

最大デューティサイクル動作

入力電圧が低下して出力電圧に近づくと、ADP2114は最大デューティサイクル動作にスムーズに移行して、ローサイドNチャンネルMOSFETスイッチのオン状態を維持し、オフ時間を最小にします。出力電圧は入力電圧と最大デューティサイクル制限値との積に等しいため、最大デューティサイクル動作では、出力電圧が安定化電圧より低い値にまで下降します。最大デューティサイクルの制限値は、スイッチング周波数と入力電圧との関数です（図 72を参照）。

同期

入力同期クロックの1/2のスイッチング周波数で2つのチャンネルが動作するよう、ADP2114を外部クロックに同期させることができます。SYNC/CLKOUTピンは、SCFGピンによって入力SYNCピンまたは出力CLKOUTピンに設定できます（表 6を参照）。入力SYNCピンを使って、2つのチャンネルが外部クロックの1/2の周波数で切り替わり、互いに180°位相がずれるようにADP2114を外部クロックに同期させることができます。出力CLKOUTピンを使用すれば、ADP2114は、チャンネルのスイッチング周波数の2倍で、90°位相のずれた出力クロックを提供します。つまり、CLKOUTオプションを使用するADP2114はマスター・コンバータとなり、ほかのすべてのDC/DCコンバータ（ほかのADP2114を含む）に外部クロックを提供します。その他のコンバータはスレーブとして構成され、外部クロックを受信して同期します。このクロック分配方式によってシステム内のすべてのDC/DCコンバータが同期し、EMI問題を引き起こすビート高調波を防止します。

ADP2114は、高性能シグナル・チェーン回路の駆動用に最適化されています。スイッチ・ノードのスルーレートは、ドライバ・デバイスのサイズに左右されます。遷移損失を最小限に抑えるにはスイッチ・ノードの高速スルーイングが有効ですが、寄生インダクタンスによって重大なEMI問題が生じる可能性があります。したがって、ドライバのスルーレートの最適化により、ADP2114は低ドロップアウト・レギュレータに匹敵する性能を備え、影響を受けやすいシグナル・チェーン回路に電力を供給しながら、かつ優れた電力効率を提供することができます。

コンバータの設定

出力電圧の選択

出力電圧 V_{OUT1} (V_{OUT2})を設定するには、表 4に示す 6つの固定電圧の中から必要な電圧を選択し、適切な値の抵抗を $V1SET$ ($V2SET$) ピンとGNDの間に接続します (図 70を参照)。 $V1SET$ と $V2SET$ で、それぞれチャンネル 1 とチャンネル 2 の電圧出力レベルを設定します。帰還ピン $FB1$ ($FB2$) は、 V_{OUT1} (V_{OUT2}) に直接接続してください。

表 4. 出力電圧の設定

$R_{V1SET} (\Omega) \pm 5\%$	$V_{OUT1} (V)$	$R_{V2SET} (\Omega) \pm 5\%$	$V_{OUT2} (V)$
0 to GND	0.8	0 to GND	0.8
4.7 k to GND	1.2	4.7 k to GND	1.2
8.2 k to GND	1.5	8.2 k to GND	1.5
15 k to GND	1.8	15 k to GND	1.8
27 k to GND	2.5	27 k to GND	2.5
47 k to GND	3.3	47 k to GND	3.3
82 k to GND	0.6 to <1.6 (adjustable)	82 k to GND	0.6 to <1.6 (adjustable)
0 to VDD	1.6 to 3.3 (adjustable)	0 to VDD	1.6 to 3.3 (adjustable)

必要な出力電圧 V_{OUT1} (V_{OUT2}) が 0.6 ~ 1.6 V未満の調整可能な範囲にあれば、82 k Ω の抵抗を使って $V1SET$ ($V2SET$) をGNDに接続します。1.6 ~ 3.3 Vの調整可能な出力電圧範囲の場合は、 $V1SET$ ($V2SET$) をVDDに接続します (表 4を参照)。ADP2114の調整可能な出力電圧は、出力電圧と帰還ピンの間の抵抗分圧器により外部から設定します (図 71を参照)。抵抗分圧器の比で出力電圧が設定され、これらの抵抗の絶対値で分圧器のストリング電流が設定されます。分圧器のストリング電流が低い場合は、抵抗値を計算するときに 10nA (最大 0.1 μ A) の小さいFBバイアス電流を考慮してください。このFBバイアス電流は、分圧器のストリング電流が大きい場合は無視できますが、負荷が非常に軽い場合はその電流のために効率が低下します。

FB バイアス電流による出力電圧の精度の低下を 0.05%未満 (最大 0.5%) に抑えるには、分圧器のストリング電流を 20 μ A を上回る値にしてください。必要な抵抗値を計算するには、まず次の式によって下の分圧器のストリング抵抗の値 $R1$ を求めます。

$$R1 = V_{REF} / I_{STRING} \quad (2)$$

ここで、

V_{REF} は 0.6 V の内部リファレンスです。

I_{STRING} は抵抗分圧器のストリング電流です。

$R1$ を求めたら、次式で上の抵抗 $R2$ の値を計算します。

$$R2 = R1 \left[\frac{V_{OUT} - V_{REF}}{V_{REF}} \right] \quad (3)$$

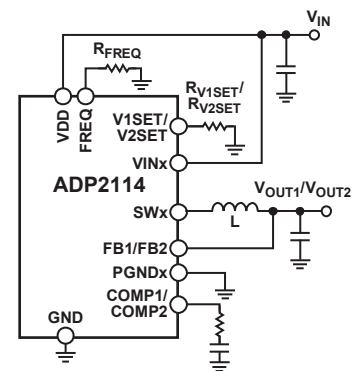


図 70. 固定出力の設定

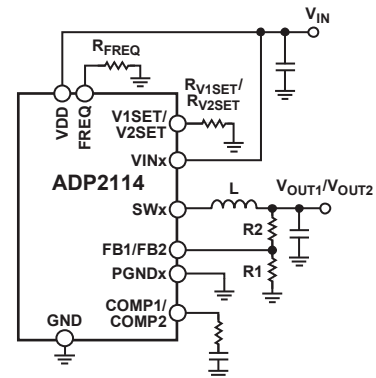


図 71. 調整可能な出力の設定

発振器周波数の設定

ADP2114 のチャンネルは、3つのプリセット・スイッチング周波数（300 kHz、600 kHz、1.2 MHz）のいずれかの動作を設定できます。300 kHz動作にするには、FREQピンをGNDに接続します。600 kHzまたは1.2 MHz動作の場合は、FREQピンとGND間に抵抗を接続します（表 5を参照）。

表 5. 発振器周波数の設定

R _{FREQ} (Ω) ± 5%	f _{SW} (kHz)
0 to GND	300
8.2 k to GND	600
27 k to GND	1200

スイッチング周波数は必要なDC/DC変換比に応じて選択しますが、図 72に示す制御可能なデューティサイクルの最大/最小値によって制限されます。これは、電流検出と堅牢な動作のために最小オン時間と最小オフ時間が必要になるためです。また、小さな外付け部品が必要かどうかということによっても、スイッチング周波数の選択が異なります。面積が制限された小さいパワー・ソリューションの場合は、高スイッチング周波数を使用することを推奨します。

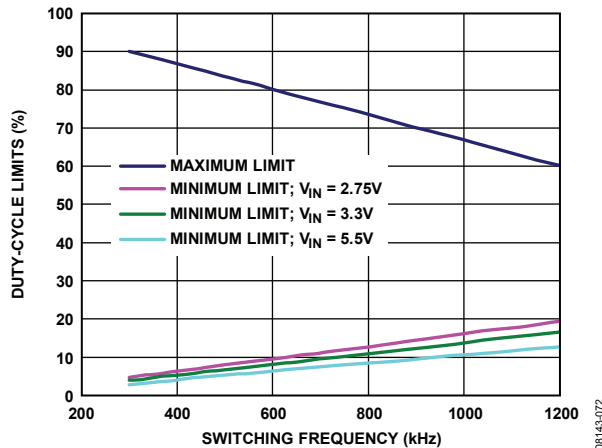


図 72. デューティサイクルの使用制限

50%に近いデューティサイクルで動作するシングル出力、マルチフェーズ・アプリケーションの場合は、フェーズ間のクロストークを最小限に抑えるために、1.2 MHzのスイッチング周波数を使用することを推奨します。

同期とCLKOUT

ADP2114 は、内部クロックを出力するか外部クロックで同期をとるかをSYNC/CLKOUTピンで設定できます。SYNC/CLKOUTピンは、表 6に示すようにSCFGで設定する双方向ピンです。

表 6. SYNC/CLKOUT の設定

SCFG	SYNC/CLKOUT
GND	Input
VDD	Output

SYNC/CLKOUT を入力または出力のいずれに設定しても、コンバータのスイッチング周波数 f_{SW} は、式 4 に示す同期周波数 f_{SYNC}/f_{CLKOUT} の 1/2 です。

$$f_{SYNC}f_{CLKOUT} = 2 \times f_{SW} \quad (4)$$

SYNC/CLKOUTピンを入力に設定して、外部クロックを入力すれば、複数のADP2114 を同じ外部クロックに同期させることができます。 f_{SYNC} の周波数範囲は 400 kHz～4 MHzであり、これによって f_{SW} は 200 kHz～2 MHzの範囲になります。同期については、図 73を参照してください。

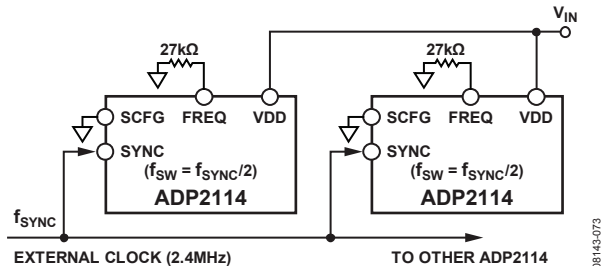


図 73. 外部クロックと同期（ここでは $f_{SW} = 1.2 \text{ MHz}$ ）

外部クロックに同期させるときは、表 5のようにFREQピンを適切に終端させてスイッチング周波数 f_{SW} を予想外部クロック周波数の 1/2 に近い値になるように設定する必要があります。

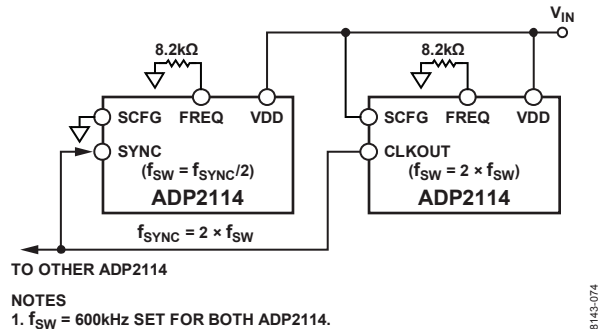


図 74. ADP2114 をもう 1つの ADP2114 に同期化
（注：マスターの SCFG は VDD に接続します。）

ADP2114 は、SYNC/CLKOUTピンをクロック信号の出力に設定し、複数のADP2114 をそのクロックに同期させることもできます（図 74を参照）。CLKOUT信号はチャンネルの内部クロックに対して 90° 位相シフトされ、マスターADP2114 とスレーブのチャンネルは互いに位相がずれます（詳細は、図 75を参照）。

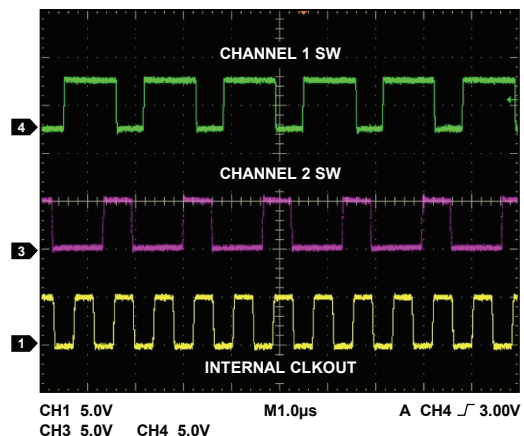


図 75. CLKOUT の波形

動作モードの設定

デュアル・チャンネルADP2114は、表7のようにOPCFGピンを接続することによって4つの動作モードのいずれかに設定できます。このモード選択により、各チャンネルの電流制限値が設定され、軽負荷時のパルス・スキップ・モードへの移行をイネーブルまたはディスエーブルできます。

デュアル・フェーズ設定の場合は、2つのチャンネルの出力を相互に接続し、シングルDC出力電圧 V_{OUT} を生成します。このデュアル・フェーズのシングル出力の場合、使用できるのはOPCFG オプションのモード2のみです。このモードでは、両フェーズの誤差アンプを使用します。帰還ピンのFB1とFB2を相互に接続し、補償ピンのCOMP1とCOMP2、ソフトスタート・ピンのSS1とSS2、イネーブル・ピンのEN1とEN2も相互に接続します。

パワーグッド機能を使用する場合は、PGOOD1とPGOOD2を接続し、それらを1個のプルアップ抵抗経由でVDDに接続します。

ADP2114を外部クロックに同期させると、コンバータは常に固定周波数CCMで動作し、軽負荷時でもパルス・スキップ・モードになりません。この場合、OPCFGを設定するときに強制PWMモードを選択してください。

表 7. 電流制限動作モードと設定

Mode	$R_{OPCFG} (\Omega) \pm 5\%$	Maximum Output Current	Peak Current Limit	Power Savings at Light Load
		$I_{OUT1} (A)/I_{OUT2} (A)$	$I_{LIMIT1} (A)/I_{LIMIT2} (A)$	
1	0 to GND	2/2	3.3/3.3	Pulse skip enabled
2	4.7 k to GND	2/2	3.3/3.3	Forced PWM
3	8.2 k to GND	3/1	4.5/1.9	Pulse skip enabled
4	15 k to GND	3/1	4.5/1.9	Forced PWM

外付け部品の選択

入力コンデンサの選択

降圧コンバータの入力電流は、本来高くなったり低くなったりする性質があります。電流はハイサイド・スイッチがオフのときにゼロになり、オンのときに負荷電流とほぼ等しくなります。これが十分に高い周波数（300 kHz～1.2 MHz）で起きるため、結局入力バイパス・コンデンサが高周波電流（リップル電流）のほとんどを供給することになり、入力電源が供給するのは平均（DC）電流のみになります。入力コンデンサには、入力リップルに対応したリップル電流定格のほか、入力電圧リップルを低減できるくらい低いESRが必要です。ADP2114の場合は、チャンネルごとに22 μF、6.3 VのX5Rセラミック・コンデンサをVINxピンの近くに配置してください。6.3Vまたは10Vの電圧定格のX5RまたはX7Rの誘電体の使用を推奨します。Y5VやZ5Uの誘電体は、温度特性やDCバイアス特性が劣るため推奨できません。

VDD RCフィルタ

図 76に示すように、ローパスRCフィルタ経由で入力電圧VINをVDDピンに印加することを推奨します。10 Ωの抵抗をVINと直列に接続し、VDDとGND間に1 μF、6.3 VのX5R（またはX7R）セラミック・コンデンサを接続することで、16 kHz（-3 dB）のローパス・フィルタが形成され、これによってスイッチング・レギュレータに起因する入力電源レール上の電圧グリッチを効果的に減衰できます。このようにすることで、ADP2114 内の影響を受けやすいアナログ／デジタル回路にクリーンな電源電圧を供給できます。

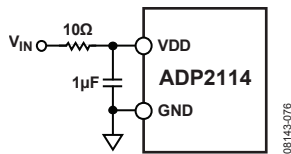


図 76. VDD のローパス・フィルタ

インダクタの選択

ADP2114 はスイッチング周波数が高いため、小さいインダクタでも出力電圧リップルを最小限に抑えることができます。インダクタの大きさは効率と過渡応答とのトレードオフになり、小さいインダクタの場合はインダクタの電流リップルが大きくなり、優れた過渡応答が得られますが、効率性は低下します。ADP2114の高いスイッチング周波数のために、コア損失と EMI を低くするにはシールド付きのフェライト・コアのインダクタを使用することを推奨します。

目安としては、インダクタのピーク to ピーク電流リップル ΔI_L を最大負荷電流の 1/3 に設定すると、最適な過渡応答と効率を得られます。

$$\Delta I_L = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW} \times L} \approx \frac{I_{LOAD(MAX)}}{3}$$

$$\Rightarrow L_{IDEAL} = \frac{3 \times V_{OUT} \times (V_{IN} - V_{OUT})}{f_{SW} \times V_{IN} \times I_{LOAD(MAX)}} \quad (5)$$

ここで、
 V_{IN} は VINx の入力電圧です。
 V_{OUT} は必要な出力電圧です。
 f_{SW} はコンバータのスイッチング周波数です。

内部ランプは V_{OUT} の設定ごとにスケールされるため、内部スロープ補償によって最適なインダクタ値に制限を加えて安定した動作を実現します。表 8 に、 V_{IN} 、 V_{OUT} 、 f_{SW} のさまざまな組み合わせに対する制限値を示します。

表 8. インダクタの最小／最大値

f_{SW} (kHz)	V_{IN} (V)	V_{OUT} (V)	Min L (μH)	Max L (μH)
300	5	3.3	6.8	10
300	5	2.5	5.6	15
300	3.3	2.5	5.6	6.8
300	5	1.8	4.7	12
300	3.3	1.8	4.7	8.2
300	5	1.5	2.2	12
300	3.3	1.5	2.2	8.2
300	5	1.2	2.2	10
300	3.3	1.2	2.2	8.2
300	5	0.8	1.5	6.8
300	3.3	0.8	1.5	6.8
600	5	3.3	3.3	4.7
600	5	2.5	3.3	6.8
600	3.3	2.5	3.3	3.3
600	5	1.8	2.2	6.8
600	3.3	1.8	2.2	3.3
600	5	1.5	1.5	5.6
600	3.3	1.5	1.5	4.7
600	5	1.2	1.5	4.7
600	3.3	1.2	1.5	3.3
600	5	0.8	1.0	3.3
600	3.3	0.8	1.0	3.3
1200	5	2.5	1.0	3.3
1200	5	1.8	1.0	3.3
1200	3.3	1.8	1.0	2.2
1200	5	1.5	0.8	2.2
1200	3.3	1.5	0.8	2.2
1200	5	1.2	0.8	2.2
1200	3.3	1.2	0.8	2.2
1200	5	0.8	0.47	1.5
1200	3.3	0.8	0.47	1.5

飽和が生じないように、インダクタの定格電流は次式で求める最大ピーク・インダクタ電流 I_{L_PEAK} より大きくする必要があります。

$$I_{L_PEAK} = I_{LOAD_MAX} + \frac{\Delta I_L}{2} \quad (6)$$

ここで、
 I_{LOAD_MAX} は最大 DC 負荷電流です。
 ΔI_L はインダクタ・リップル電流（ピーク to ピーク）です。

ADP2114は2 A/2 Aまたは3 A/1 Aの電流制限構成で設定できますが、2つのチャンネルの電流制限スレッシュホールドはそれぞれの設定で異なります。チャンネルごとに選択するインダクタには、短絡条件でも堅牢な動作を維持するために、それぞれICのピーク出力電流制限値以上の電流が要求されます。以下のインダクタを推奨します。

- 0.47~4.7 μH 、TOKO D53LC、FDV0620 シリーズ
- 4.7~12 μH 、Cooper Bussman DR1050 シリーズ、Würth Elektronik WE-PDF シリーズ

出力コンデンサの選択

出力コンデンサの選択は、コンバータのループ・ダイナミクスと出力電圧リップルに影響を与えます。ADP2114はESRとESLが低い小型のセラミック出力コンデンサで動作するため、厳しい出力電圧リップル仕様にも容易に対応できます。6.3Vまたは10Vの電圧定格のX5RまたはX7Rの誘電体を使用することを推奨します。Y5VおよびZ5Uの誘電体は、温度特性とDCバイアス特性が劣るため推奨できません。最小出力容量 C_{OUT_MIN} は、式7と式8で求めることができます。

次式の最大許容出力電圧リップルより

$$\Delta V_{RIPPLE} \cong \Delta I_L \times \left(ESR + \frac{1}{8 \times f_{SW} \times C_{OUT_MIN}} \right) \quad (7)$$

以下の式が導き出されます。

$$C_{OUT_MIN} \cong \frac{\Delta I_L}{8 \times f_{SW} \times (\Delta V_{RIPPLE} - \Delta I_L \times ESR)} \quad (8)$$

ここで、
 ΔV_{RIPPLE} は許容できるピーク to ピーク出力電圧リップル (V) です。

ΔI_L はインダクタのリップル電流です。

ESR はコンデンサの等価直列抵抗 (Ω) です。

f_{SW} はコンバータのスイッチング周波数 (Hz) です。

ステップ負荷がある場合は、ステップ負荷の値に基づく出力コンデンサ値を選択してください。ステップ負荷に起因する最大許容出力電圧のドループ/オーバーシュートは次式で表すことができます。

$$C_{OUT_MIN} \cong \Delta I_{OUT_STEP} \times \left(\frac{3}{f_{SW} \times \Delta V_{DROOP}} \right) \quad (9)$$

ここで、

ΔI_{OUT_STEP} は負荷ステップ値 (A) です。

f_{SW} はスイッチング周波数 (Hz) です。

ΔV_{DROOP} は負荷ステップに対する最大許容出力電圧のドループ/オーバーシュート (V) です。

前の式は近似式であり、以下の前提に基づいています。

- インダクタの値は最大負荷電流の30%のピーク to ピーク電流に基づいています。
- 内部 MOSFET スイッチ間の電圧降下とインダクタのDC抵抗間の電圧降下は考慮していません。
- 式9では、ループによって負荷ステップに対してインダクタの電流が調整されるまで最大3スイッチング・サイクルが必要になると仮定しています。

式8と式9で与えられる最大出力容量を選択してください。コンバータの出力フィルタ用セラミック・コンデンサを実際を選択するときは、DC電圧が増加するほど実効容量が減少するため、計算値より20~30%大きい公称容量があるものを選択する必要があります。また、コンデンサの定格電圧は、コンバータの出力電圧より大きくする必要があります。

以下の入出力セラミック・コンデンサを推奨します。

- 村田製作所製の GRM21BR61A106KE19L、10 μF 、10 V、X5R、0805
- TDK製の C2012X5R0J226M、22 μF 、6.3 V、X5R、0805
- パナソニック製の ECJ-4YB0J476M、47 μF 、6.3 V、X5R、1210
- 村田製作所製の GRM32ER60J107ME20L、100 μF 、6.3 V、X5R、1210

制御ループの補償

ADP2114はピーク電流モード制御アーキテクチャを使って、優れた負荷過渡応答とライン過渡応答を実現します。COMP1 (COMP2) ピンとGND間に単純なRC回路を外付けした相互コンダクタンス・アンプを使って、外付け電圧ループを補償します (図77を参照)。

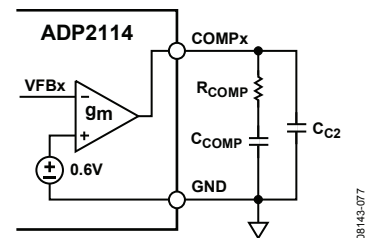


図 77. 補償用素子

図78に、基本的な制御ループのブロック図を示します。

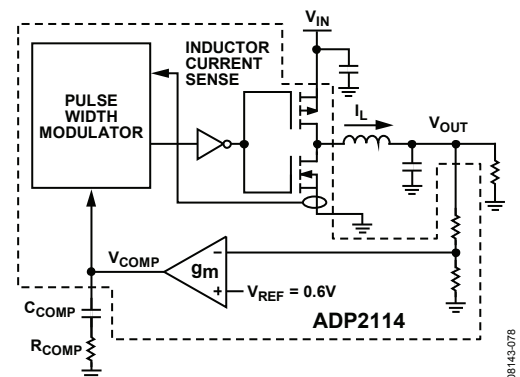


図 78. 基本的な制御ブロック図

図78の点線で囲んだブロックと素子は、ADP2114の各チャンネル内に組み込まれています。

制御ループは以下の3つの部分に分けることができます。

- V_{OUT} から V_{COMP} までの領域
- V_{COMP} から I_L までの領域
- I_L から V_{OUT} までの領域

したがって、それに応じて3つの伝達関数があります。

$$\frac{V_{COMP}(s)}{V_{OUT}(s)} = \frac{V_{REF}}{V_{OUT}} \times g_m \times Z_{COMP}(s) \quad (10)$$

$$\frac{I_L(s)}{V_{COMP}(s)} = G_{CS} \quad (11)$$

$$\frac{V_{OUT}(s)}{I_L(s)} = Z_{FILT}(s) \quad (12)$$

ここで、 g_m は誤差アンプ (550 μ S) の相互コンダクタンスです。
 G_{CS} は電流検出ゲイン (4 A/V) です。
 V_{OUT} はコンバータの出力電圧です。
 V_{REF} は内部リファレンス電圧 (0.6 V) です。
 $Z_{COMP}(s)$ は原点のポールとゼロを形成するRC補償回路のインピーダンスであり、式13で表すことができます。

$$Z_{COMP}(s) = \frac{1 + s \times R_{COMP} \times C_{COMP}}{s \times C_{COMP}} \quad (13)$$

$Z_{FILT}(s)$ は出力フィルタのインピーダンスであり、次式で表すことができます。

$$Z_{FILT}(s) = \frac{R_{LOAD}}{1 + s \times R_{LOAD} \times C_{OUT}} \quad (14)$$

ここで、 s は $s = 2\pi f$ として表される角周波数です。

全ループ・ゲイン $H(s)$ を求めるときは、次式のように前述した3つの伝達関数を乗算します。

$$H(s) = g_m \times G_{CS} \times \frac{V_{REF}}{V_{OUT}} \times Z_{COMP}(s) \times Z_{FILT}(s) \quad (15)$$

スイッチング周波数 (f_{sw})、出力電圧 (V_{OUT})、出力インダクタ (L)、出力コンデンサ (C_{OUT}) の値を選択するときは、スイッチング周波数の約 1/12 のユニティ・ゲイン・クロスオーバー周波数を目標とします。

クロスオーバー周波数において、オープン・ループ伝達関数のゲインは1です。これにより、クロスオーバー周波数における補償回路インピーダンスに関して式16が得られます。

$$Z_{COMP}(f_{CROSS}) = \frac{2 \times \pi \times f_{CROSS} \times C_{OUT}}{g_m \times G_{CS}} \times \frac{V_{OUT}}{V_{REF}} \quad (16)$$

クロスオーバー周波数において十分な位相マージンを確保するために、式17に示すように、クロスオーバー周波数の1/8の位置に補償器のゼロを配置します。

$$f_{ZERO} = \frac{1}{2 \times \pi \times R_{COMP} \times C_{COMP}} \approx \frac{f_{CROSS}}{8} \quad (17)$$

式16と式17を解くと、式18と式19に示すように、補償抵抗と補償コンデンサの値が得られます。

$$R_{COMP} = 0.9 \times \left(\frac{(2\pi) f_{CROSS}}{G_m G_{CS}} \right) \times \left(\frac{C_{OUT} V_{OUT}}{V_{REF}} \right) \quad (18)$$

$$C_{COMP} = \frac{1}{2 \times \pi \times f_{ZERO} \times R_{COMP}} \quad (19)$$

コンデンサ C_{C2} (図 77を参照) は帰還ループ内の補償抵抗 R_{COMP} とともにポールを形成し、これによってループ・ゲインがユニティ・ゲイン・クロスオーバー周波数をはるかに越えてロールオフし続けます。 C_{C2} の値を使用する場合、一般に補償コンデンサ C_{COMP} の 1/40 に設定されます。

設計の例

この設計の例では、「制御ループの補償」に示した手順に従って外付け部品を選択します。

表 9. 2 チャンネル・ステップダウン DC/DC コンバータの条件

Parameter	Specification	Additional Requirements
Input Voltage, V_{IN}	5.0 V $\pm 10\%$	None
Channel 1, V_{OUT1}	3.3 V, 2 A, 1% V_{OUT} ripple (p-p)	Maximum load step: 1 A to 2 A, 5% droop maximum
Channel 2, V_{OUT2}	1.8 V, 2 A, 1% V_{OUT} ripple (p-p)	Maximum load step: 1 A to 2 A, 5% droop maximum
Pulse-Skip Feature	Enabled	None

チャンネル 1 の設定と部品の選択

以下の手順に従ってチャンネル 1 を設定します。

- 目標出力電圧 $V_{OUT} = 3.3$ V の場合は、V1SET ピンを 47 k Ω の抵抗経由で GND に接続します (表 4 を参照)。固定出力電圧オプションの 1 つを選択するため、帰還ピン (FB1) はチャンネル 1 の出力 V_{OUT1} に直接接続する必要があります。
- デューティサイクル D の範囲を計算します。理論上は次式が成り立ちます。

$$D = \frac{V_{OUT}}{V_{IN}} \quad (20)$$

この式で、 $V_{IN} = 5.0$ V の公称入力電圧と 3.3 V の出力電圧におけるデューティサイクル $D_{NOM} = 0.66$ が得られます。

最大入力電圧 (公称値より 10% 大きい) に対する最小デューティサイクル D_{MIN} は、 $V_{IN} (\max) = 5.5$ V 時に、 $D_{MIN} = 0.33$ になります。

最小入力電圧 (公称値より 10% 小さい) に対する最大デューティサイクル D_{MAX} は、 $V_{IN} (\min) = 4.5$ V 時に、 $D_{MIN} = 0.73$ になります。

ただし、実際のデューティサイクルはコンバータの電力損を補償するために計算値より大きくなります。したがって、最大負荷に 5~7% を加える必要があります。

計算したデューティサイクルの範囲に基づき、デューティサイクルの最大値と最小値の制限に従ってスイッチング周波数を選択します (図 72 を参照)。

チャンネル 1、 $V_{IN} = 5$ V、 $V_{OUT} = 3.3$ V の場合は、最大デューティサイクルが 0.8 のスイッチング周波数 $f_{SW} = 600$ kHz を選択します。この周波数オプションで最小サイズのソリューションが得られます。効率性を高める必要がある場合は、300 kHz のオプションを選択してください。ただし、インダクタと出力コンデンサが大きくなるため、コンバータの基板面積が大きくなります。

- 式 5 を使ってインダクタを選択します。

$$L = \frac{(V_{IN} - V_{OUT})}{\Delta I_L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN}}$$

式 5 で、 $V_{IN} = 5$ V、 $V_{OUT} = 3.3$ V、 $\Delta I_L = 0.3 \times I_L = 0.6$ A、 $f_{SW} = 600$ kHz とすると、 $L = 3.11$ μ H になります。

したがって、式 3 で $L = 3.3$ μ H (最も近い標準値) のとき、 $\Delta I_L = 0.566$ A となります。

必要な最大出力電流は 2 A ですが、電流制限条件により最大ピーク電流は 3.3 A になります (表 7 を参照)。したがって、インダクタのピーク電流を 3.3 A、平均電流を 3 A に規定すれば、信頼性が高い回路動作が実現できます。

- 式 8 と式 9 を使って出力コンデンサを選択します。

$$C_{OUT_MIN} \cong \frac{\Delta I_L}{8 \times f_{SW} \times (\Delta V_{RIPPLE} - \Delta I_L \times ESR)}$$

$$C_{OUT_MIN} \cong \Delta I_{OUT_STEP} \times \left(\frac{3}{f_{SW} \times \Delta V_{DROOP}} \right)$$

式 8 は出力リップル (ΔV_{RIPPLE}) に基づいており、式 9 は、この場合、5% の最大許容偏差での過渡負荷性能条件に基づいてコンデンサを選択するために使用します。前述したとおりにこれらの計算を行い、コンデンサのサイズが大きくなる式を選択します。

この場合は、式 8 と式 9 の変数に以下の数値を代入します。

$$\Delta I_L = 0.566 \text{ A}$$

$$f_{SW} = 600 \text{ kHz}$$

$$\Delta V_{RIPPLE} = 33 \text{ mV (3.3 V の 1\%)}$$

$$ESR = 3 \text{ m}\Omega \text{ (セラミック・コンデンサの代表値)}$$

$$\Delta I_{OUT_STEP} = 1 \text{ A}$$

$$\Delta V_{DROOP} = 0.165 \text{ V (3.3 V の 5\%)}$$

出力リップルに基づく計算 (式 8 を参照) では $C_{OUT} = 4.0$ μ F になりますが、過渡負荷に基づく計算 (式 9 を参照) では $C_{OUT} = 30$ μ F が必要です。両方の条件を満たすために、後者を選択します。「制御ループの補償」で述べたように、コンデンサの値は DC バイアスの印加によって小さくなるため、大きな値を選択してください。この場合は、6.3 V の最小電圧定格値で、次に高い値は 47 μ F です。

- 式 15 を使って帰還ループの補償部品の値を計算します。

$$H(s) = g_M \times G_{CS} \times \frac{V_{REF}}{V_{OUT}} \times Z_{COMP}(s) \times Z_{FILT}(s)$$

この場合は、式 18 の変数に次の値を代入します。

$$g_m = 550 \mu\text{S}$$

$$G_{CS} = 4 \text{ A/V}$$

$$V_{REF} = 0.6 \text{ V}$$

$$V_{OUT} = 3.3 \text{ V}$$

$$C_{OUT} = 0.8 \times 47 \mu\text{F} \text{ (DC バイアスを考慮して 20% 低減したコンデンサの定格値)}$$

式 18 から、

$$R_{COMP} = 27 \text{ k}\Omega$$

式 19 の R_{COMP} に値を代入すると、 $C_{COMP} = 1000 \text{ pF}$ となります。

表 10. チャンネル 1 の回路の設定

Circuit Parameter	Setting	Value
Output Voltage, V_{OUT}	Step 1	3.3 V
Reference Voltage, V_{REF}	Fixed, typical	0.6 V
Error Amp Transconductance, g_m	Fixed, typical	550 μS
Current Sense Gain, C_{CS}	Fixed, typical	4 A/V
Switching Frequency, f_{SW}	Step 2	600 kHz
Crossover Frequency, f_c	1/12 f_{SW}	50 kHz
Zero Frequency, f_{ZERO}	1/8 f_{CROSS}	6.25 kHz
Output Inductor, L_{OUT}	Step 3	3.3 μH
Output Capacitor, C_{OUT}	Step 4	47 μF , 6.3 V
Compensation Resistor, R_{COMP}	Equation 18	27 k Ω
Compensation Capacitor, C_{COMP}	Equation 19	1000 pF

チャンネル 2 の設定と部品の選択

以下の手順に従ってチャンネル 2 を設定します。

- 目標出力電圧 $V_{OUT} = 1.8 \text{ V}$ の場合は、V2SET ピンを 15 k Ω の抵抗経路で GND に接続します (表 4 を参照)。固定出力電圧オプションの 1 つを選択するため、帰還ピン (FB2) はチャンネル 2 の出力 V_{OUT2} に直接接続する必要があります。
- デューティサイクル D の範囲を計算します (式 20 を参照)。理論上は次式が成り立ちます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

この式で、 $V_{IN} = 5.0 \text{ V}$ の公称入力電圧と 1.8 V の出力電圧におけるデューティサイクル $D_{NOM} = 0.36$ が得られます。

最大入力電圧 (公称値より 10% 大きい) に対する最小デューティサイクルは、 $V_{IN} (\text{max}) = 5.5 \text{ V}$ 時に $D_{MIN} = 0.33$ になります。

最小入力電圧 (公称値より 10% 小さい) に対する最大デューティサイクルは、 $V_{IN} (\text{min}) = 4.5 \text{ V}$ 時に $D_{MAX} = 0.4$ になります。

ただし、実際のデューティサイクルはコンバータの電力損を補償するために計算値より大きくなります。したがって、最大負荷に 5~7% を加える必要があります。

チャンネル 1 の条件に基づいて選択した 600 kHz のスイッチング周波数 (f_{SW}) は、前に計算したデューティサイクルの範囲に適合していました。したがって、このスイッチング周波数で十分です。

- 式 5 を使ってインダクタを選択します。

$$L = \frac{(V_{IN} - V_{OUT})}{\Delta I_L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN}}$$

式 5 で、 $V_{IN} = 5 \text{ V}$ 、 $V_{OUT} = 1.8 \text{ V}$ 、 $\Delta I_L = 0.3 \times I_L = 0.6 \text{ A}$ 、 $f_{SW} = 600 \text{ kHz}$ とすると、 $L = 2.9 \mu\text{H}$ になります。

したがって、式 3 で $L = 3.3 \mu\text{H}$ (最も近い標準値) のとき、 $\Delta I_L = 0.582 \text{ A}$ となります。

必要な最大出力電流は 2 A ですが、電流制限条件により最大ピーク電流は 3.3 A となります (表 7 を参照)。したがって、インダクタのピーク電流を 3.3 A、平均電流を 3 A に規定すれば、どんな条件下でも高い信頼性の回路動作を実現できます。

- 式 8 と式 9 を使って出力コンデンサを選択します。

$$C_{OUT_MIN} \cong \frac{\Delta I_L}{8 \times f_{SW} \times (\Delta V_{RIPPLE} - \Delta I_L \times ESR)}$$

$$C_{OUT_MIN} \cong \Delta I_{OUT_STEP} \times \left(\frac{3}{f_{SW} \times \Delta V_{DROOP}} \right)$$

式 8 は出力リップル (ΔV_{RIPPLE}) に基づいており、式 9 は、この場合、5% の最大許容偏差での過渡負荷性能条件に基づいてコンデンサを選択するために使用します。前述したとおりこれらの計算を行い、コンデンサのサイズが大きくなる式を選択します。

この場合は、式 8 と式 9 の変数に以下の数値を代入します。

$$\Delta I_L = 0.582 \text{ A}$$

$$f_{SW} = 600 \text{ kHz}$$

$$\Delta V_{RIPPLE} = 18 \text{ mV} \text{ (1.8 V の 1\%)}$$

$$ESR = 3 \text{ m}\Omega \text{ (セラミック・コンデンサの代表値)}$$

$$\Delta I_{OUT_STEP} = 1 \text{ A}$$

$$\Delta V_{DROOP} = 0.09 \text{ V} \text{ (1.8 V の 5\%)}$$

出力リップルに基づく計算 (式 8 を参照) では $C_{OUT} = 7.7 \mu\text{F}$ になりますが、過渡負荷に基づく計算 (式 9 を参照) では $C_{OUT} = 55 \mu\text{F}$ が必要です。両方の条件を満たすために、後者を選択します。「制御ループの補償」で述べたように、コンデンサの値は DC バイアスの印加によって小さくなるため、大きな値を選択してください。この場合は、条件を満たすために、47 μF /6.3 V コンデンサと 22 μF /6.3 V コンデンサ (並列接続) を選択する必要があります。

5. 式 15 を使って帰還ループの補償部品の値を計算します。

$$H(s) = g_m \times G_{CS} \times \frac{V_{REF}}{V_{OUT}} \times Z_{COMP}(s) \times Z_{FILT}(s)$$

この場合は、式 18 の変数に次の値を代入します。

$$g_m = 550 \mu S$$

$$G_{CS} = 4$$

$$V_{REF} = 0.6 V$$

$$V_{OUT} = 1.8 V$$

$$C_{OUT} = 0.8 \times (47 + 22) \mu F \text{ (DC バイアスを考慮して 20\% 低減したコンデンサの定格値)}$$

式 18 から、

$$R_{COMP} = 22 k\Omega$$

式 19 の R_{COMP} に値を代入すると、 $C_{COMP} = 1100 pF$ となります。

表 11. チャンネル 2 の回路の設定

Circuit Parameter	Setting	Value
Output Voltage, V_{OUT}	Nominal	1.8 V
Reference Voltage, V_{REF}	Typical	0.6 V
Error Amp Transconductance, g_m	Typical	550 μS
Current Sense Gain, C_{CS}	Typical	4 A/V
Switching Frequency, f_{SW}	Step 2	600 kHz
Crossover Frequency, f_{CROSS}	1/12 f_{SW}	50 kHz
Zero Frequency, f_{ZERO}	1/8 f_{CROSS}	6.25 kHz
Output Inductor, L_{OUT}	Step 3	3.3 μF
Output Capacitors, C_{OUT}	Step 4	47 μF + 22 μF
Compensation Resistor, R_{COMP}	Equation 18	22 k Ω
Compensation Capacitor, C_{COMP}	Equation 19	1100 pF

表 12. L 、 C_{OUT} 、補償値のセレクション・テーブル

f_{SW} (kHz)	V_{IN} (V)	V_{OUT} (V)	Maximum Load (A)	L (μH)	C_{OUT} (μF)	R_{COMP} (k Ω)	C_{COMP} (pF)
300	5	3.3	2.0	6.8	69 (47 + 22)	20	2400
300	5	2.5	2.0	6.8	100	22	2400
300	5	1.8	2.0	6.8	147 (100 + 47)	22	2400
300	5	1.2	2.0	4.7	200 (2 $\times$ 100)	20	2400
600	5	3.3	2.0	3.3	47	27	1000
600	5	2.5	2.0	3.3	57 (47 + 10)	24	1100
600	5	1.8	2.0	3.3	69 (47 + 22)	22	1100
600	5	1.2	2.0	2.2	100	20	1200
1200	5	2.5	2.0	1.8	32 (22 + 10)	27	470
1200	5	1.8	2.0	1.8	44 (2 $\times$ 22)	27	470
1200	5	1.2	2.0	1.2	57 (47 + 10)	24	510
1200	5	0.8	2.0	1.0	100	27	470

システム設定

この設計の例では、さらに以下の手順に従って ADP2114 を設定します。

1. $FREQ$ ピンを 8.2 k Ω 抵抗経由で GND に接続してスイッチング周波数 (f_{SW}) を 600 kHz に設定します (表 5 を参照)。
2. $SCFG$ を VDD に接続し、 $CLKOUT$ 信号を使って同一ボード上のほかのコンバータと ADP2114 を同期させます。
3. 2 A/2 A の最大出力電流動作を行うために $OPCFG$ を GND に接続し、軽負荷条件時のパルス・スキップ・モードをイネーブルにします (表 7 を参照)。

この設計の例の設定による ADP2114 の回路図を図 79 に示します。

表 12 は、標準的な入出力電圧の組み合わせに対するインダクタ、出力コンデンサ、補償部品の推奨値です。

アプリケーション回路

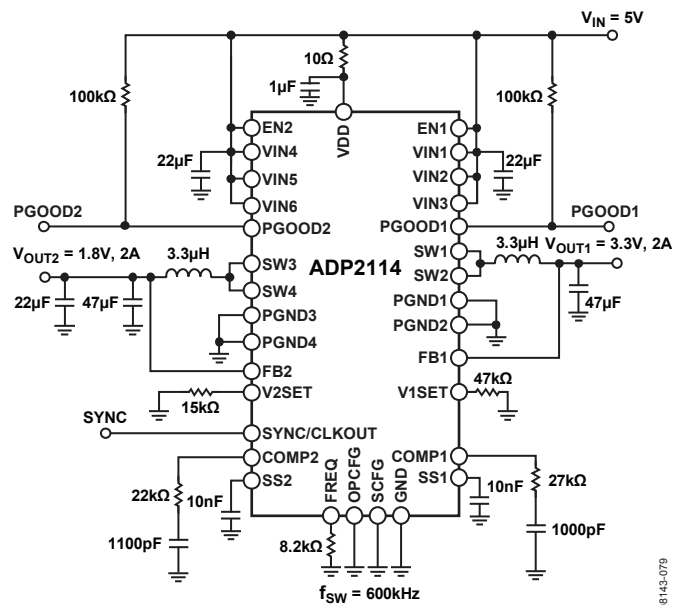


図 79. 2 A/2 A 出力用のアプリケーション回路

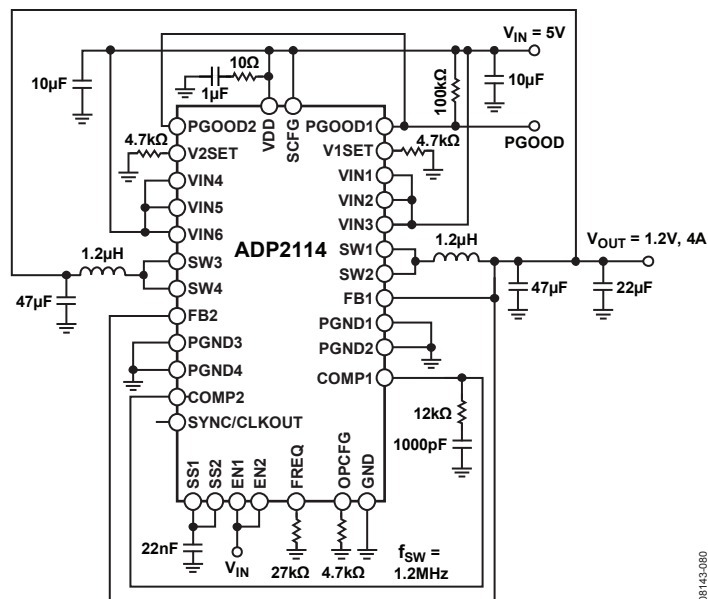
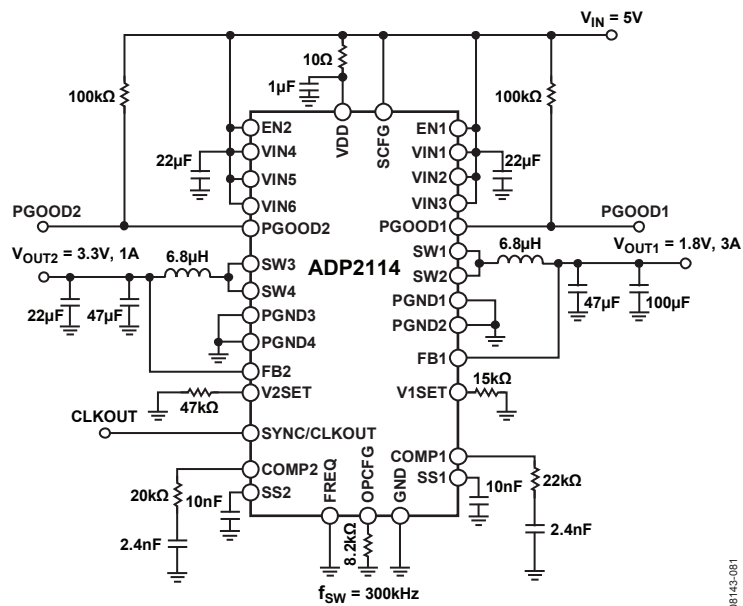
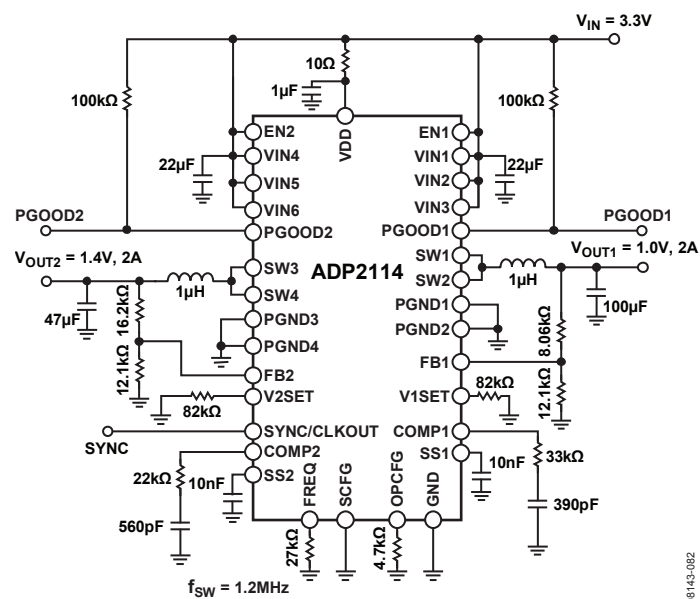


図 80. シングル 4 A インターリーブ出力用のアプリケーション回路



08143_081

図 81. 3 A/1 A 出力用のアプリケーション回路



08143_082

図 82. 調整可能出力用のアプリケーション回路

消費電力と熱に関する考慮事項

デュアル・スイッチング・レギュレータ ADP2114 の消費電力は、2 つの DC/DC コンバータの効率に影響する主要因です。この効率は次式で表すことができます。

$$\text{Efficiency} = \frac{P_{OUT}}{P_{IN}} \times 100\% \quad (21)$$

ここで、

P_{IN} は入力電力です。

P_{OUT} は出力電力です。

電力損を式で表すと $P_{LOSS} = P_{IN} - P_{OUT}$ になります。

ステップダウン DC/DC コンバータのおおよその電力損は次式で計算できます。

$$P_{LOSS} = P_D + P_L \quad (22)$$

ここで、

P_D は ADP2114 の消費電力です。

P_L はインダクタの電力損です。

インダクタの損失は次式で計算します（コア損失なし）。

$$P_L \cong I_{OUT}^2 \times DCR_L \quad (23)$$

ここで、

I_{OUT} は DC 負荷電流です。

DCR_L はインダクタの直列抵抗です。

ADP2114 の消費電力 P_D には、パワー・スイッチの導通損失、スイッチ損失、各チャンネルの遷移損失が含まれます。

パワー・スイッチの導通損失は、内部抵抗 $R_{DS(on)}$ を備えたパワー・スイッチ PMOSFET と NMOSFET を流れる出力電流 I_{OUT} により発生します。導通電力損失量は次式で求めることができます。

$$P_{COND} = [R_{DS(on)-P} \times D + R_{DS(on)-N} \times (1 - D)] \times I_{OUT}^2 \quad (24)$$

ここで、デューティサイクル $D = V_{OUT}/V_{IN}$ 。

スイッチング損失は、ドライバがスイッチング周波数で電源装置をオン/オフするときに流れる電流に起因します。

$$P_{SW} = (C_{GATE-P} + C_{GATE-N}) \times V_{IN}^2 \times f_{SW} \quad (25)$$

ここで、

C_{GATE-P} は PMOSFET ゲート容量です。

C_{GATE-N} は NMOSFET ゲート容量です。

遷移損失は、P チャンネルのパワー MOSFET を瞬時にオンまたはオフに遷移できない場合に発生します。遷移損失量は次式で計算します。

$$P_{TRAN} = V_{IN} \times I_{OUT} \times (t_{RISE} + t_{FALL}) \times f_{SW} \quad (26)$$

ここで、 t_{RISE} と t_{FALL} は、スイッチング・ノード (SW) の立上がり時間と立下がり時間です。ADP2114 では、SW の立上がり時間と立下がり時間は約 5 ns です。

ダイのジャンクション温度 T_J は、レギュレータの消費電力によって上昇し、周囲温度 T_A を上回ります。

$$T_J = T_A + T_R \quad (27)$$

ここで、上昇温度 T_R はパッケージ P_D の消費電力に比例します。

比例係数は、ダイのジャンクション温度から周囲温度までの熱抵抗と定義されます。

$$T_R = \theta_{JA} \times P_D \quad (28)$$

ここで、 θ_{JA} はジャンクション温度から周囲温度までの熱抵抗です。（表 2 に示すように、JEDEC 1S2P ボードの θ_{JA} は 34°C/W です。）

特定の周囲温度範囲に対応したアプリケーションを設計するときは、式 24、式 25、式 26 を使って両チャンネルの導通損失、スイッチング損失、遷移損失に起因する ADP2114 の予想消費電力 (P_D) を計算し、式 27 と式 28 を使って温度上昇を計算してください。2 つのコンバータで高信頼性の動作を実現できるのは、ADP2114 のダイのジャンクション温度の計算値 (式 27) が 125°C を下回る場合に限られます。したがって、周囲温度が高い場合は、システムの消費電力を小さくしてください。図 83 に、さまざまな空気流条件において高い周囲温度に応じて低減すべき消費電力の定格値を示します。曲線より下の領域が、ADP2114 デュアル・レジスタが安全に動作する範囲になります。

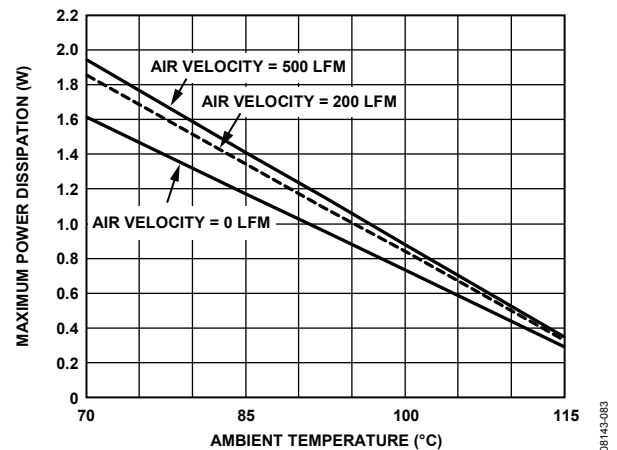


図 83. 消費電力の定格値の低減 (JEDEC 1S2P ボード)

PCボードのレイアウトに関する推奨事項

ADP2114 の各チャンネルから最高の性能を得るには、優れた回路基板のレイアウトが必要となります。回路レイアウトが不十分だと、出力リップル性能やレギュレーションが低下し、電磁干渉 (EMI) 性能や電磁適合性 (EMC) にも影響します。以下のガイドラインを参照して、最適なレイアウトを行ってください。

- アナログ・グラウンド・プレーンと電源グラウンド・プレーンを分離します。出力分圧器部品などの影響を受けやすいアナログ回路のグラウンド・リファレンスをアナログ・グラウンドに接続します。また、入出力コンデンサなどの電力部品のグラウンド・リファレンスを電源グラウンドに接続します。さらに、2つのグラウンド・プレーンを ADP2114 の露出パッドに接続します。
- 各チャンネルの入力コンデンサを VINx ピンのできるだけ近くに接続し、他端を最も近い電源グラウンド・プレーンに接続します。
- 低ノイズと優れた過渡性能を実現するために、VINx と VDD 間でのフィルタの使用を推奨します。GND ピンのできるだけ近い場所で、1 μ F、10 Ω のローパス・フィルタを VDD ピンと VINx ピンの間に接続してください。
- 大電流のループには、できるだけ短くて太いパターンを使用してください。C_{IN} から L、C_{OUT}、電源グラウンド・プレーンを通して C_{IN} に戻る大電流の経路は、できるだけ短くします。そのためには、入出力コンデンサに同じ電源グラウンド・プレーンを使用します。また、PGNDx ピンから L と C_{OUT} を通って電源グラウンド・プレーンに戻る大電流の経路も、できるだけ短くします。そのためには、入出力コンデンサのできるだけ近い場所で、ADP2114 の PGNDx ピンを PGND プレーンに接続します (図 84 を参照)。

- ADP2114 の露出パッドを大きな銅プレーンに接続して、消費電力性能を最適化します。JEDEC 仕様の JESD51-7 に記載されている方法に従うことで、高い熱伝導性を実現できます。
- ノイズの混入を防止するために、FBx ピンにできるだけ近い場所に帰還抵抗分圧回路網を接続してください。帰還抵抗分圧回路の上部を出力に接続するパターンをできる限り短くし、ノイズの混入を招く大電流のパターンとスイッチ・ノード (SWx) からは離すようにします。ノイズの混入を低減するには、FBx パターンの両側にアナログ・グラウンド・プレーンを接続し、できる限り小さくして寄生容量を抑えます。

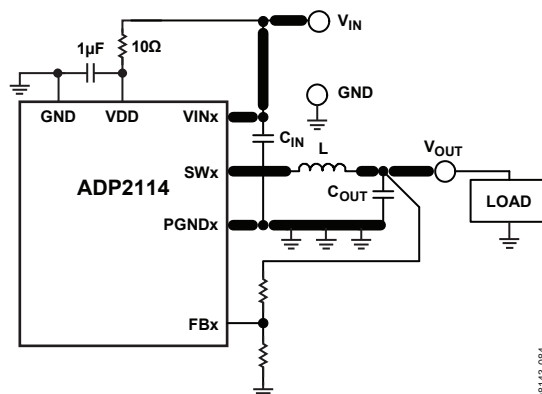


図 84. PCB 回路の大電流のパターン

外形寸法

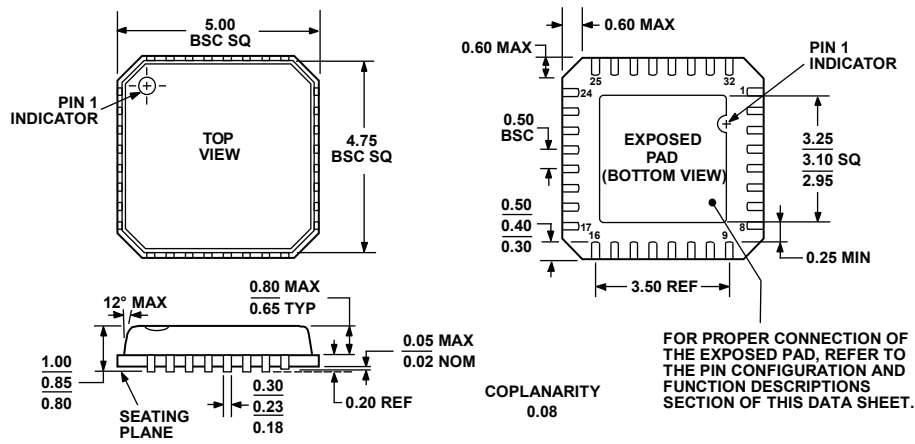


図 85. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
5 mm × 5 mm ボディ、極薄クワッド
(CP-32-2)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range ¹	Package Description	Package Option	Ordering Quantity
ADP2114ACPZ-R7 ²	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2	1,500
ADP2114-2PH-EVALZ ²		Single output, dual-phase interleaved, 1.2 V at 4 A, 1.2 MHz switching frequency, forced PWM		
ADP2114-EVALZ ²		Dual output, 3.3 V at 2 A and 1.8 V at 2 A, 600 kHz switching frequency, pulse skip enabled		

¹ 動作ジャンクション温度は-40~+125°C です。

² Z = RoHS 準拠製品