



# -28V、-200mA、低ノイズ リニア・レギュレータ

## データシート

## ADP7182

### 特長

- 低ノイズ：18  $\mu$ Vrms
- 電源電圧除去比 (PSRR)：10kHzで66dB @ $V_{OUT} = -3$  V
- イネーブルは正又は負のロジックが可能
- 小型の2.2  $\mu$ Fセラミックの出力コンデンサで安定動作
- 入力電圧範囲：-2.7 V~-28 V
- 最大出力電流：-200 mA
- 低ドロップアウト電圧：-185 mV@-200 mA負荷
- 初期精度： $\pm 1\%$
- ライン変動、負荷変動、温度変化に対する精度  
+2% (max) / -3% (min)
- 低静止電流： $I_{GND} = -650 \mu$  A@負荷電流-200mA
- 低シャットダウン電流：-2  $\mu$  A
- 調整可能出力電圧範囲：-1.22 V~ (- $V_{IN} + V_{DO}$ )
- 電流制限機能と熱過負荷保護機能
- 8ピンLFCSPと5ピンTSOTパッケージを採用

### アプリケーション

- ノイズに敏感なアプリケーション向けの安定化電源
- A/Dコンバータ (ADC)、D/Aコンバータ (DAC) 回路、高精度アンプ
- 通信関連およびインフラストラクチャ
- 医療機器および健康機器
- 工業用および計測機器

### 概要

ADP7182は、CMOS、低ドロップ・アウト (LDO) リニア・レギュレータで、-2.7 V~-28 Vで動作し、最大-200 mAの出力電流を供給します。この高入力電圧のLDOは、-27V~-1.22Vの範囲で動作する高性能アナログ回路やミックスド・シグナル回路の安定化電源として最適です。先進的な独自のアーキテクチャにより、高い電源電圧除去、低ノイズ特性を実現し、小型2.2  $\mu$ Fのセラミック出力コンデンサを使用する事により、優れたラインおよび負荷過度応答を達成します。

ADP7182は、固定出力電圧にする事もできますが、外付けのフィードバック・抵抗デバイダを介して、出力電圧を-1.22V~

### 代表的なアプリケーション回路

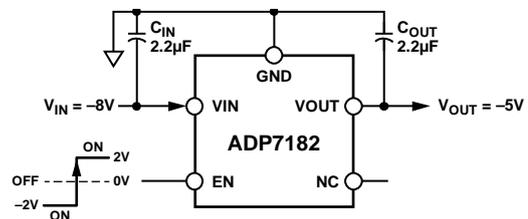


図 1. 固定出力電圧のADP7182、( $V_{OUT} = -5$  V)

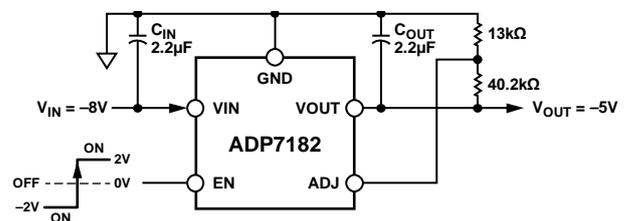


図 2. 調整可能出力電圧のADP7182、( $V_{OUT} = -5$  V)

(- $V_{IN} + V_{DO}$ ) Vの範囲で調整できる出力電圧調整バージョンもあります。

ADP7182の出力ノイズ電圧は、出力電圧の大きさにかわらず18  $\mu$ V rmsです。柔軟性を最大限にするために、イネーブルのロジック信号は正または負のロジック・レベルでインターフェース可能になっています。

ADP7182は、小型で、薄型フットプリントの5ピンのTSOTパッケージと8ピンLFCSPパッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料はREVISION が古い場合があります。最新の内容については、英語版をご確認ください。

## 目次

|                      |   |                   |    |
|----------------------|---|-------------------|----|
| 特長                   | 1 | 動作原理              | 20 |
| アプリケーション             | 1 | イネーブル・ピン動作        | 20 |
| 代表的なアプリケーション回路       | 1 | 調整可能モード動作         | 20 |
| 概要                   | 1 | アプリケーション情報        | 21 |
| 改訂履歴                 | 2 | ADIsimPower設計ツール  | 21 |
| 仕様                   | 3 | コンデンサの選択          | 21 |
| 入力コンデンサと出力コンデンサの推奨仕様 | 4 | イネーブル・ピンの動作       | 22 |
| 絶対最大定格               | 5 | ソフト・スタート          | 22 |
| 熱データ                 | 5 | 調整可能ADP7182のノイズ削減 | 23 |
| 熱抵抗                  | 5 | 電流制限と熱過負荷保護       | 23 |
| ESDの注意               | 5 | 熱に対する考慮事項         | 24 |
| ピン配置およびピン機能説明        | 6 | プリント基板レイアウト時の考慮事項 | 26 |
| 代表的な性能特性             | 8 | 外形寸法              | 27 |
|                      |   | オーダー・ガイド          | 28 |

## 改訂履歴

|   |    |
|---|----|
| 9/13-Rev. B to Rev. C   |    |
| Changes to Ordering Guide   | 28 |
| 6/13-Rev. A to Rev. B   |    |
| Changes to General Description  | 1  |
| Updated Outline Dimensions  | 27 |
| Changes to Ordering Guide   | 28 |
| 5/13-Rev. 0 to Rev. A   |    |
| Changed Start-Up Time $V_{OUT} = -5\text{ V}$ from 450 $\mu\text{s}$ to 550 $\mu\text{s}$ . | 3  |
| Changes to Figure 9 and Figure 12   | 8  |
| Changes to Figure 13  | 9  |
| Changes to Figure 19 and Figure 22  | 10 |
| Changes to Figure 28  | 11 |
| Changes to Figure 31 and Figure 34  | 12 |
| Changes to Figure 37 and Figure 40  | 13 |
| Changes to Figure 43  | 14 |
| Added ADIsimPower Design Tool Section   | 21 |
| 4/13-Revision 0: 初版   |    |

## 仕様

特に指定がない限り、 $V_{IN} = (V_{OUT} - 0.5 \text{ V})$  または  $-2.7 \text{ V}$  (いずれか大きい方)、 $EN = V_{IN}$ 、 $I_{OUT} = -10 \text{ mA}$ 、 $C_{IN} = C_{OUT} = 2.2 \mu\text{F}$ 、最小/最大仕様は  $T_J = -40^\circ \text{C} \sim +125^\circ \text{C}$ 、Typ仕様は  $T_A = 25^\circ \text{C}$ 。

表1.

| Parameter                            | Symbol                          | Test Conditions/Comments  | Min                         | Typ   | Max    | Unit              |
|--------------------------------------|---------------------------------|---|-----------------------------|-------|--------|-------------------|
| INPUT VOLTAGE RANGE                  | $V_{IN}$                        |   | -2.7                        |       | -28    | V                 |
| OPERATING SUPPLY CURRENT             | $I_{GND}$                       | $I_{OUT} = 0 \mu\text{A}$   |                             | -33   | -53    | $\mu\text{A}$     |
|                                      |                                 | $I_{OUT} = -10 \text{ mA}$  |                             | -100  | -150   | $\mu\text{A}$     |
|                                      |                                 | $I_{OUT} = -200 \text{ mA}$   |                             | -650  | -850   | $\mu\text{A}$     |
| SHUTDOWN CURRENT                     | $I_{GND-SD}$                    | $EN = GND$  |                             | -2    |        | $\mu\text{A}$     |
|                                      |                                 | $EN = GND, V_{IN} = -2.7 \text{ V to } -28 \text{ V}$   |                             |       | -8     | $\mu\text{A}$     |
| OUTPUT VOLTAGE ACCURACY              | $V_{OUT}$                       | $I_{OUT} = -10 \text{ mA}, T_A = 25^\circ \text{C}$   | -1                          |       | +1     | %                 |
|                                      |                                 | $-1 \text{ mA} < I_{OUT} < -200 \text{ mA}, V_{IN} = (V_{OUT} - 0.5 \text{ V}) \text{ to } -28 \text{ V}$   | -3                          |       | +2     | %                 |
|                                      | $V_{ADJ}$                       | $I_{OUT} = -10 \text{ mA}$  | -1.208                      | -1.22 | -1.232 | V                 |
|                                      |                                 | $-1 \text{ mA} < I_{OUT} < -200 \text{ mA}, V_{IN} = (V_{OUT} - 0.5 \text{ V}) \text{ to } -28 \text{ V}$   | -1.184                      |       | -1.244 | V                 |
| LINE REGULATION                      | $\Delta V_{OUT}/\Delta V_{IN}$  | $V_{IN} = (V_{OUT} - 0.5 \text{ V}) \text{ to } -28 \text{ V}$  | -0.01                       |       | +0.01  | %/V               |
| LOAD REGULATION <sup>1</sup>         | $\Delta V_{OUT}/\Delta I_{OUT}$ | $I_{OUT} = -1 \text{ mA to } -200 \text{ mA}$   |                             | 0.001 | 0.006  | %/mA              |
| ADJ INPUT BIAS CURRENT               | $ADJ_{I-BIAS}$                  | $-1 \text{ mA} < I_{OUT} < -200 \text{ mA}, V_{IN} = (V_{OUT} - 0.5 \text{ V}) \text{ to } -28 \text{ V}$   |                             | 10    |        | nA                |
| DROPOUT VOLTAGE <sup>2</sup>         | $V_{DO}$                        | $I_{OUT} = -10 \text{ mA}$  |                             | -25   | -70    | mV                |
|                                      |                                 | $I_{OUT} = -50 \text{ mA}$  |                             | -46   | -90    | mV                |
|                                      |                                 | $I_{OUT} = -200 \text{ mA}$   |                             | -185  | -360   | mV                |
| START-UP TIME <sup>3</sup>           | $t_{START-UP}$                  | $V_{OUT} = -5 \text{ V}$  |                             | 550   |        | $\mu\text{s}$     |
|                                      |                                 | $V_{OUT} = -2.8 \text{ V}$  |                             | 375   |        | $\mu\text{s}$     |
| CURRENT-LIMIT THRESHOLD <sup>4</sup> | $I_{LIMIT}$                     |   | -230                        | -350  | -500   | mA                |
| THERMAL SHUTDOWN                     | $TS_{SD}$                       | $T_J$ rising  |                             | 150   |        | $^\circ \text{C}$ |
|                                      |                                 |   | Thermal Shutdown Hysteresis |       | 15     |                   |
| EN THRESHOLD                         | $V_{EN-POS-RISE}$               | $V_{OUT} = \text{off to on (positive)}$   |                             |       | 1.2    | V                 |
|                                      | $V_{EN-NEG-RISE}$               | $V_{OUT} = \text{off to on (negative)}$   | -2.0                        |       |        | V                 |
|                                      | $V_{EN-POS-FALL}$               | $V_{OUT} = \text{on to off (positive)}$   | 0.3                         |       |        | V                 |
|                                      | $V_{EN-NEG-FALL}$               | $V_{OUT} = \text{on to off (negative)}$   |                             |       | -0.55  | V                 |
| INPUT VOLTAGE LOCKOUT                | $V_{START}$                     |   | -2.695                      | -2.49 |        | V                 |
|                                      |                                 |   |                             | -2.34 | -2.1   | V                 |
|                                      | $V_{SHUTDOWN}$                  |   |                             | 150   |        | mV                |
| OUTPUT NOISE                         | $OUT_{NOISE}$                   | 10 Hz to 100 kHz, $V_{OUT} = -1.5 \text{ V}, V_{OUT} = -3 \text{ V}$ , and $V_{OUT} = -5 \text{ V}$   |                             | 18    |        | $\mu\text{V rms}$ |
|                                      |                                 | 10 Hz to 100 kHz, $V_{OUT} = -5 \text{ V}$ , adjustable mode, $C_{NR} = \text{open}, R_{NR} = \text{open}, R_{FB1} = 147 \text{ k}\Omega, R_{FB2} = 13 \text{ k}\Omega$           |                             | 150   |        | $\mu\text{V rms}$ |
|                                      |                                 | 10 Hz to 100 kHz, $V_{OUT} = -5 \text{ V}$ , adjustable mode, $C_{NR} = 100 \text{ nF}, R_{NR} = 13 \text{ k}\Omega, R_{FB1} = 147 \text{ k}\Omega, R_{FB2} = 13 \text{ k}\Omega$ |                             | 33    |        | $\mu\text{V rms}$ |

| Parameter   | Symbol | Test Conditions/Comments   | Min | Typ | Max | Unit |
|---|--------|--|-----|-----|-----|------|
| POWER SUPPLY REJECTION RATIO  | PSRR   | 1 MHz, $V_{IN} = -4.3\text{ V}$ , $V_{OUT} = -3\text{ V}$  |     | 45  |     | dB   |
|   |        | 1 MHz, $V_{IN} = -6\text{ V}$ , $V_{OUT} = -5\text{ V}$  |     | 32  |     | dB   |
|   |        | 100 kHz, $V_{IN} = -4.3\text{ V}$ , $V_{OUT} = -3\text{ V}$  |     | 45  |     | dB   |
|   |        | 100 kHz, $V_{IN} = -6\text{ V}$ , $V_{OUT} = -5\text{ V}$  |     | 45  |     | dB   |
|   |        | 10 kHz, $V_{IN} = -4.3\text{ V}$ , $V_{OUT} = -3\text{ V}$   |     | 66  |     | dB   |
|   |        | 10 kHz, $V_{IN} = -6\text{ V}$ , $V_{OUT} = -5\text{ V}$   |     | 66  |     | dB   |
|   |        | 1 MHz, $V_{IN} = -16\text{ V}$ , $V_{OUT} = -15\text{ V}$ , adjustable mode,<br>$C_{NR} = 100\text{ nF}$ , $R_{NR} = 13\text{ k}\Omega$ , $R_{FB1} = 13\text{ k}\Omega$ , $R_{FB2} = 147\text{ k}\Omega$   |     | 45  |     | dB   |
|   |        | 100 kHz, $V_{IN} = -16\text{ V}$ , $V_{OUT} = -15\text{ V}$ , adjustable mode,<br>$C_{NR} = 100\text{ nF}$ , $R_{NR} = 13\text{ k}\Omega$ , $R_{FB1} = 13\text{ k}\Omega$ , $R_{FB2} = 147\text{ k}\Omega$ |     |     | 45  |      |
| 10 kHz, $V_{IN} = -16\text{ V}$ , $V_{OUT} = -15\text{ V}$ , adjustable mode,<br>$C_{NR} = 100\text{ nF}$ , $R_{NR} = 13\text{ k}\Omega$ , $R_{FB1} = 13\text{ k}\Omega$ , $R_{FB2} = 147\text{ k}\Omega$ |        |  | 66  |     | dB  |      |

- <sup>1</sup> 負荷-1 mA と 負荷-200 mA を使用した端点計算を使用。1 mA 以下の負荷に対する負荷レギュレーション性能 (typ) については図 8 を参照してください。  
<sup>2</sup> ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。これは、-3 V を超える出力電圧に対してのみ適用されます。  
<sup>3</sup> スタートアップ時間は、ENの立ち上がりエッジからVOUT が公称値の90%になるまでの時間として定義されます。  
<sup>4</sup> 電流制限スレッシュホールドは、出力電圧が規定のtyp 値の90%に低下する電流値として定義されます。例えば、-5V 出力電圧の電流制限スレッシュホールドは、出力電圧を-5V の90%すなわち-4.5V に低下する電流値として定義されます。

## 入力コンデンサと出力コンデンサの推奨仕様

表2.

| Parameter                                   | Symbol    | Test Conditions/Comments                           | Min   | Typ | Max | Unit          |
|---|-----------|--|-------|-----|-----|---------------|
| INPUT AND OUTPUT CAPACITANCE                |           |  |       |     |     |               |
| Minimum Capacitance <sup>1</sup>            | $C_{MIN}$ | $T_A = -40^\circ\text{ C to } +125^\circ\text{ C}$ | 1.5   | 2.2 |     | $\mu\text{F}$ |
| Capacitor Effective Series Resistance (ESR) | $R_{ESR}$ | $T_A = -40^\circ\text{ C to } +125^\circ\text{ C}$ | 0.001 |     | 0.2 | $\Omega$      |

<sup>1</sup> 最小入力容量と最小出力容量は、全動作範囲で1.5  $\mu\text{F}$  より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R タイプとX5R タイプのコンデンサの使用をお勧めします。Y5V コンデンサとZ5U コンデンサはすべてのLDO にお勧めできません。

## 絶対最大定格

表3.

| Parameter                            | Rating            |
|--------------------------------------|-------------------|
| VIN to GND                           | +0.3 V to -30 V   |
| VOUT to GND                          | 0.3 V to VIN      |
| EN to GND                            | 5 V to VIN        |
| EN to VIN                            | +30 V to -0.3 V   |
| ADJ to GND                           | +0.3 V to VOUT    |
| Storage Temperature Range            | -65° C to +150° C |
| Operating Junction Temperature Range | -40° C to +125° C |
| Operating Ambient Temperature Range  | -40° C to +85° C  |
| Soldering Conditions                 | JEDEC J-STD-020   |

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に晒すとデバイスの信頼性に影響を与える可能性があります。

## 熱データ

絶対最大定格は、組み合わせではなく個別に適用されます。ジャンクション温度を超えるとADP7182は損傷を受けることがあります。周囲温度をモニターしても、ジャンクション温度 ( $T_J$ ) が規定温度範囲内にあることを保証できません。消費電力が大きくかつ熱抵抗が大きいアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で低いPCB熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にあるかぎり、最大周囲温度はこの最大値を超えても問題ありません。デバイスのジャンクション温度 ( $T_J$ ) は、周囲温度 ( $T_A$ )、デバイスの消費電力 ( $P_D$ )、パッケージのジャンクション—周囲間熱抵抗 ( $\theta_{JA}$ ) に依存します。

最大ジャンクション温度 ( $T_J$ ) は、次式を使って周囲温度 ( $T_A$ ) と消費電力 ( $P_D$ ) から計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション—周囲間熱抵抗 ( $\theta_{JA}$ ) は、4層ボードを使用したモデルと計算に基づいています。ジャンクション—周囲間の熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計を注意深く行う必要があります。 $\theta_{JA}$  値

は、PCBの材料、レイアウト、環境条件によって変わります。 $\theta_{JA}$  の規定値は、4層、4インチ × 3インチの回路ボードに基づいています。ボードの構造の詳細についてはJESD51-7とJESD51-9を参照してください。その他の情報については、[AN-617 Application Note](#) 「MicroCSP™ Wafer Level Chip Scale Package」を参照してください。

$\Psi_{JB}$  はジャンクションからボードへの熱特性評価パラメータで、単位は° C/Wです。パッケージの $\Psi_{JB}$  は、4層ボードを使ったモデルと計算に基づいています。JESD51-12 「Guidelines for Reporting and Using Electronic Package Thermal Information」には、熱特性評価パラメータが熱抵抗と同じではないと記載されています。 $\Psi_{JB}$  は、熱抵抗 $\theta_{JB}$  のように1つの熱経路ではなく、複数の熱経路を通して流れる電力成分を測定します。したがって、 $\Psi_{JB}$  の熱経路には、パッケージからの放射とともにパッケージ上部からの対流、実際のアプリケーションで $\Psi_{JB}$  を有効にしているファクタも含まれます。最大ジャンクション温度 ( $T_J$ ) は、次式を使ってボード温度 ( $T_B$ ) と消費電力 ( $P_D$ ) から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

$\Psi_{JB}$  の詳細については、JESD51-8とJESD51-12を参照してください。

## 熱抵抗

$\theta_{JA}$ 、 $\theta_{JC}$ 、 $\Psi_{JB}$  はワーストケース条件 (すなわちデバイスを表面実装パッケージ用回路ボードにハンダ付けした状態) で規定します。

表4. 熱抵抗

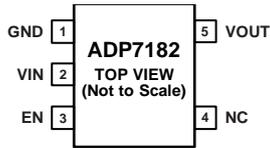
| Package Type | $\theta_{JA}$ | $\theta_{JC}$  | $\Psi_{JB}$ | Unit  |
|--------------|---------------|----------------|-------------|-------|
| 8-Lead LFCSP | 50.2          | 31.7           | 18.2        | ° C/W |
| 5-Lead TSOT  | 170           | Not applicable | 43          | ° C/W |

## ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。充電したデバイスや回路基板が検知されないまま放電する事があります。本製品は当社独自のESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

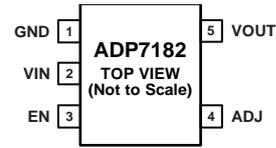
ピン配置およびピン機能説明



NOTES  
1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

10793-003

図3. 5ピンTSOTのピン配置、固定出力電圧

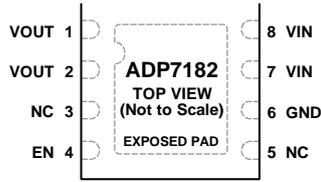


10793-004

図 4. 5ピンTSOTのピン配置、調整可能出力電圧

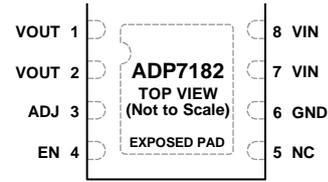
表5. 5ピンTSOTのピン機能の説明

| TSOTピン番号  |           | 記号        | 説明   |
|-----------|-----------|-----------|--|
| 固定出力電圧    | 調整可能出力電圧  |           |  |
| 1         | 1         | GND       | グラウンド。   |
| 2         | 2         | VIN       | レギュレータ入力電源。2.2 $\mu$ F以上のコンデンサでVINをGNDへバイパスしてください。   |
| 3         | 3         | EN        | ENをグラウンドより2V以上又は2V以下に駆動するとレギュレータがイネーブルになり、ENをグラウンドにするとレギュレータがターンオフします。自動スタートアップの場合は、ENをINに接続します。 |
| 4<br>該当せず | 該当せず<br>4 | NC<br>ADJ | 無接続。このピンは接続しないでください。<br>調整可能入力。外付け抵抗分圧器は出力電圧を設定します。  |
| 5         | 5         | VOUT      | レギュレーションされた出力電圧。2.2 $\mu$ F以上のコンデンサでVOUTをGNDへバイパスしてください。   |



NOTES  
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.  
 2. THE EXPOSED PAD ON THE BOTTOM OF THE LFCSP PACKAGE ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO VIN INSIDE THE PACKAGE. THE EXPOSED PAD MUST BE CONNECTED TO THE VIN PLANE ON THE BOARD FOR PROPER OPERATION. BECAUSE THIS IS A NEGATIVE VOLTAGE REGULATOR, VIN IS THE MOST NEGATIVE POTENTIAL IN THE CIRCUIT.

図 5. 8ピンLFCSPのピン配置、固定出力電圧



NOTES  
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.  
 2. THE EXPOSED PAD ON THE BOTTOM OF THE LFCSP PACKAGE ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO VIN INSIDE THE PACKAGE. THE EXPOSED PAD MUST BE CONNECTED TO THE VIN PLANE ON THE BOARD FOR PROPER OPERATION. BECAUSE THIS IS A NEGATIVE VOLTAGE REGULATOR, VIN IS THE MOST NEGATIVE POTENTIAL IN THE CIRCUIT.

図 6. 8ピンLFCSPのピン配置、調整可能出力電圧

表6. 8ピンLFCSPのピン機能の説明

| LFCSP ピン番号 |          | 記号   | 説明   |
|------------|----------|------|--|
| 固定出力電圧     | 調整可能出力電圧 |      |  |
| 1, 2       | 1, 2     | VOUT | レギュレーションされた出力電圧。2.2 μF以上のコンデンサでVOUTをGNDへバイパスしてください。  |
| 該当せず       | 3        | ADJ  | 調整可能入力。外付け抵抗分圧器は出力電圧を設定します。  |
| 3          | 該当せず     | NC   | 無接続。このピンは接続しないでください。   |
| 4          | 4        | EN   | ENをグランドより2V以上又は2V以下にするとレギュレータがイネーブルになり、ENをグランドにするとレギュレータがターンオフします。自動スタートアップの場合は、ENをINに接続します。   |
| 5          | 5        | NC   | 無接続。このピンは接続しないでください。   |
| 6          | 6        | GND  | グランド。  |
| 7, 8       | 7, 8     | VIN  | レギュレータ入力電源。2.2 μF以上のコンデンサでVINをGNDへバイパスしてください。  |
| 9          | 9        | EPAD | 露出パッド。LFCSPパッケージ底面の露出パッドは熱特性を向上しますが、電気的にはパッケージの中でVINに接続されています。適切な動作を得るため、露出パッドはボードのVIN平面に接続する必要があります。これは負電圧レギュレータなので、VINは回路の中でもっとも負の電位となります。 |

代表的な性能特性

得に指定のない限り、 $V_{IN} = -3.5\text{ V}$ 、 $V_{OUT} = -3\text{ V}$ 、 $I_{OUT} = -10\text{ mA}$ 、 $C_{IN} = C_{OUT} = 2.2\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{ C}$ 。

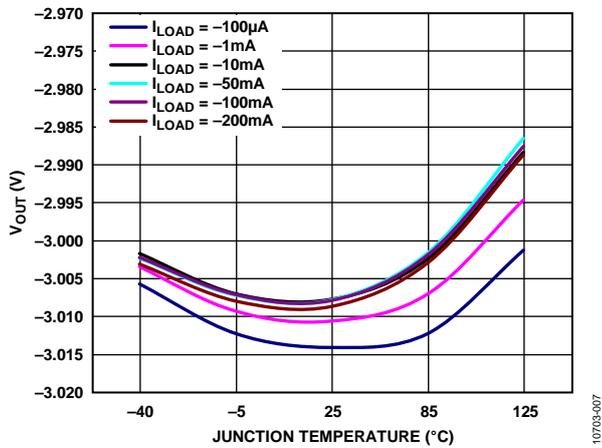


図 7. ジャンクション温度 ( $T_j$ ) 対 出力電圧 ( $V_{out}$ )

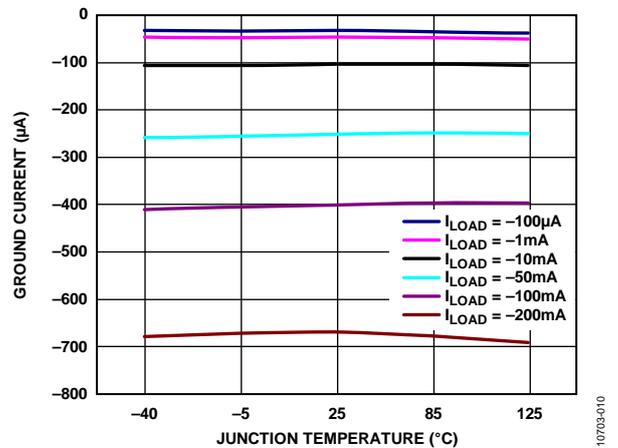


図 10. ジャンクション温度 ( $T_j$ ) 対 グラウンド電流

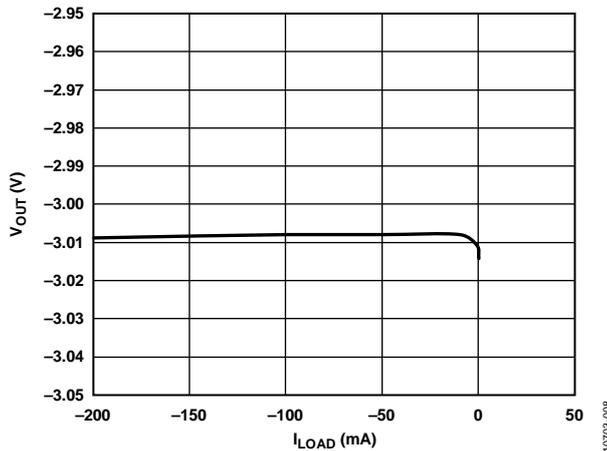


図 8. 負荷電流 ( $I_{LOAD}$ ) 対 出力電圧 ( $V_{OUT}$ )

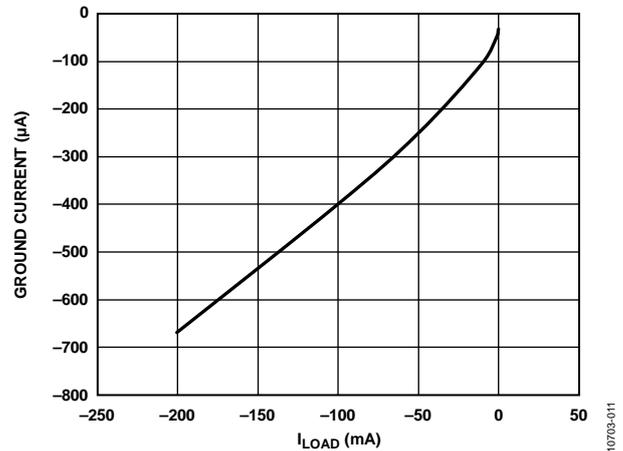


図 11. 負荷電流 ( $I_{LOAD}$ ) 対 グラウンド電流

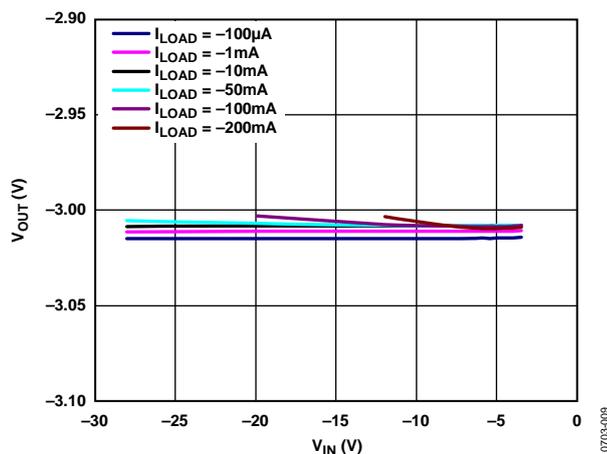


図 9. 入力電圧 ( $V_{IN}$ ) 対 出力電圧 ( $V_{OUT}$ )

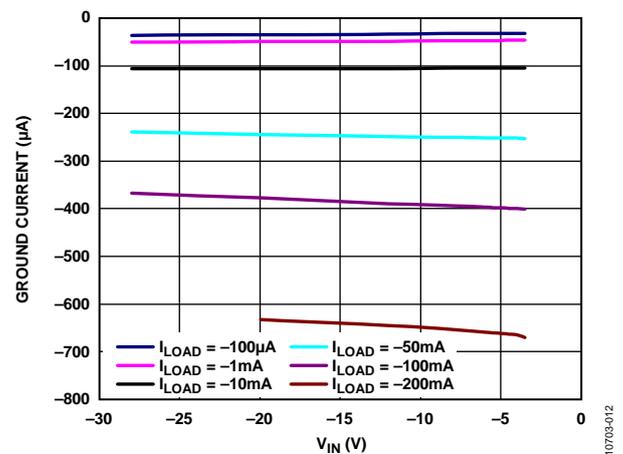


図 12. 入力電圧 ( $V_{IN}$ ) 対 電源電流

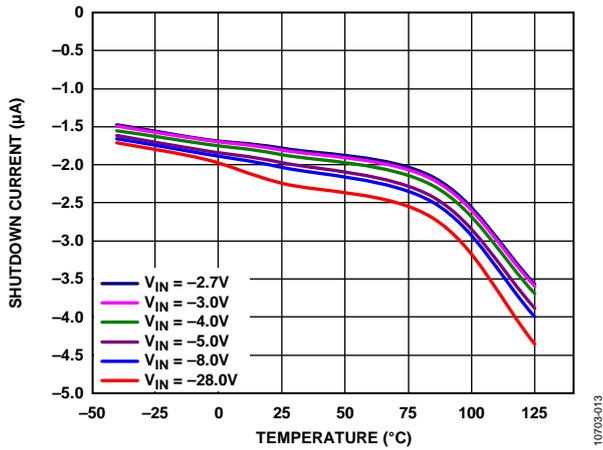


図 13. シャットダウン電流の温度特性

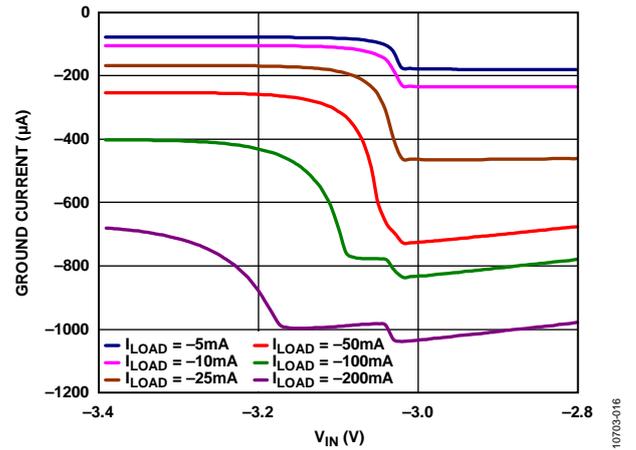


図 16. 入力電圧 (VIN) 対 電源電流、ドロップアウト時

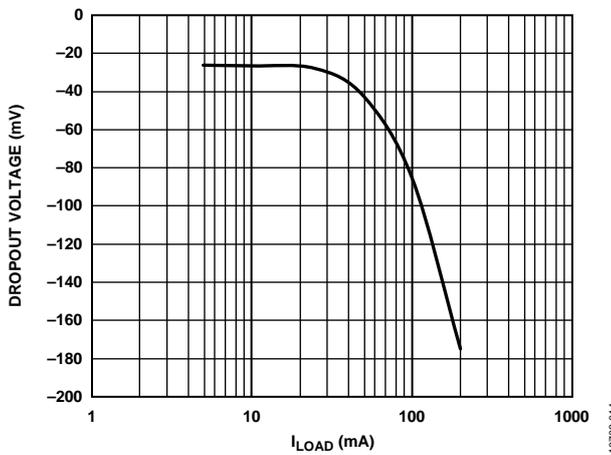


図 14. 負荷電流 (ILOAD) 対 ドロップアウト電圧

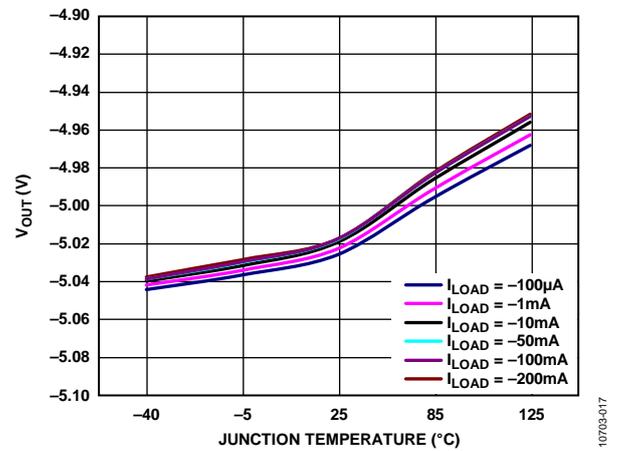


図 17. ジャンクション温度 (Tj) 対 出力電圧 (Vout), VOUT = -5 V

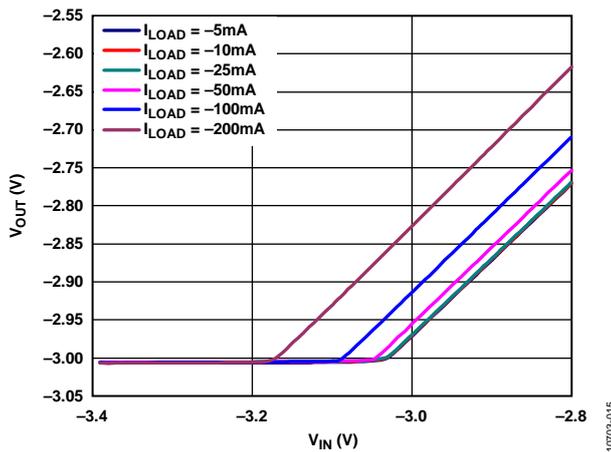


図 15. 入力電圧 (VIN) 対 出力電圧 (VOUT)、ドロップアウト時

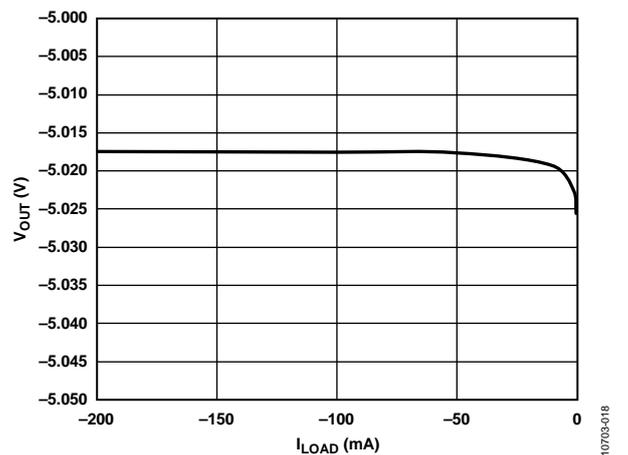


図 18. 負荷電流 (ILOAD) 対 出力電圧 (VOUT)、VOUT = -5 V

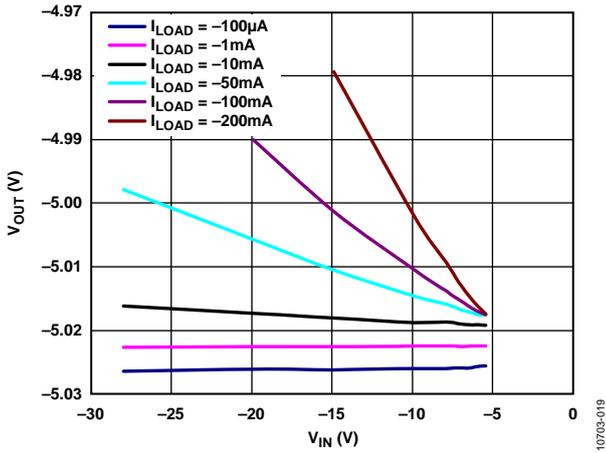


図 19. 入力電圧 ( $V_{IN}$ ) 対 出力電圧、 $V_{OUT} = -5$  V

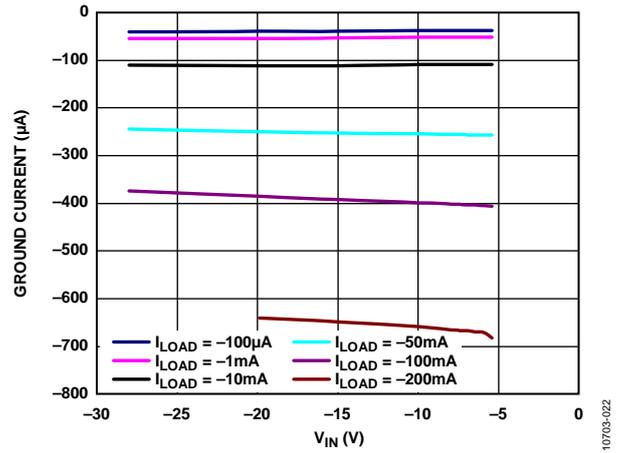


図 22. 入力電圧 ( $V_{IN}$ ) 対 グラウンド電流、 $V_{OUT} = -5$  V

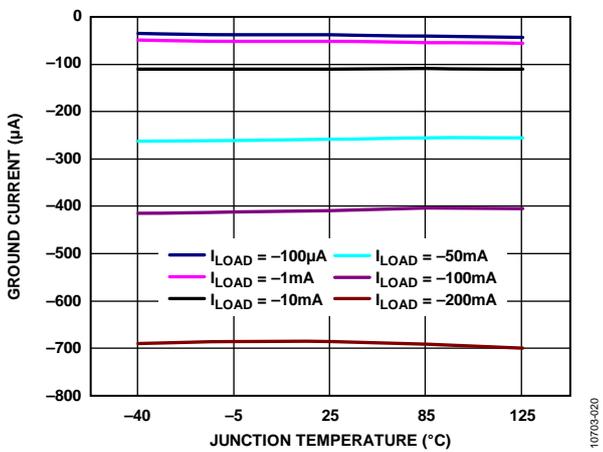


図 20. ジャンクション温度 ( $T_J$ ) 対 グラウンド電流、 $V_{OUT} = -5$  V

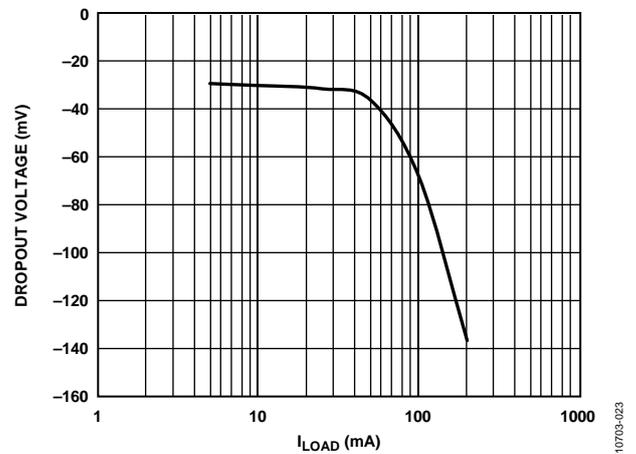


図 23. 負荷電流 ( $I_{LOAD}$ ) 対 ドロップアウト電圧、 $V_{OUT} = -5$

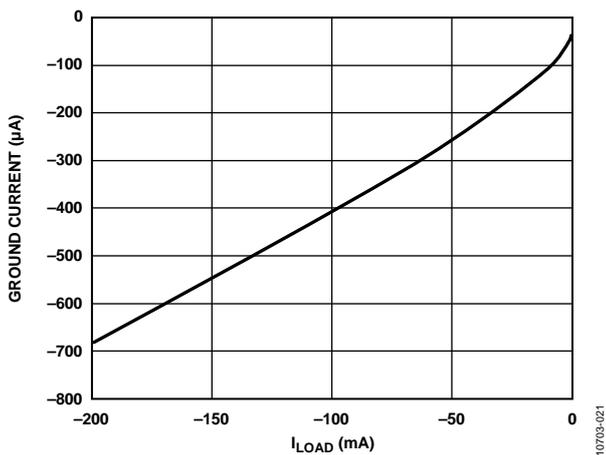


図 21. 負荷電流 ( $I_{LOAD}$ ) 対 グラウンド電流、 $V_{OUT} = -5$

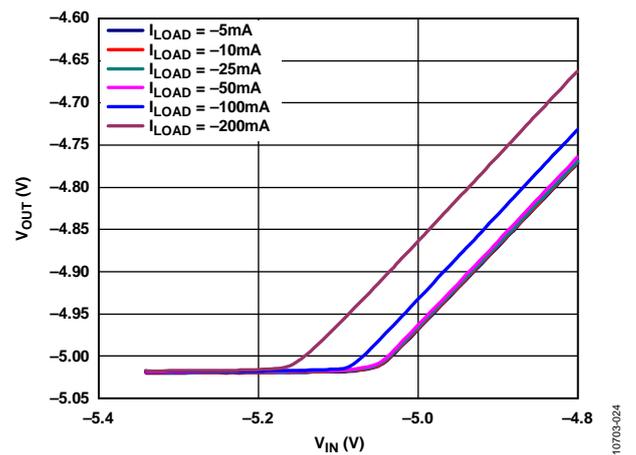


図 24. 入力電圧 ( $V_{IN}$ ) 対 出力電圧 ( $V_{OUT}$ )、ドロップアウト時、 $V_{OUT} = -5$  V

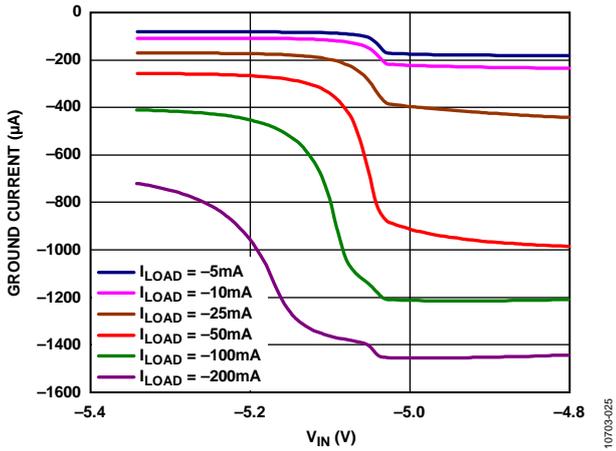


図 25. (ドロップアウト時の) 入力電圧 ( $V_{IN}$ ) 対 グラウンド電流、 $V_{OUT} = -5\text{ V}$

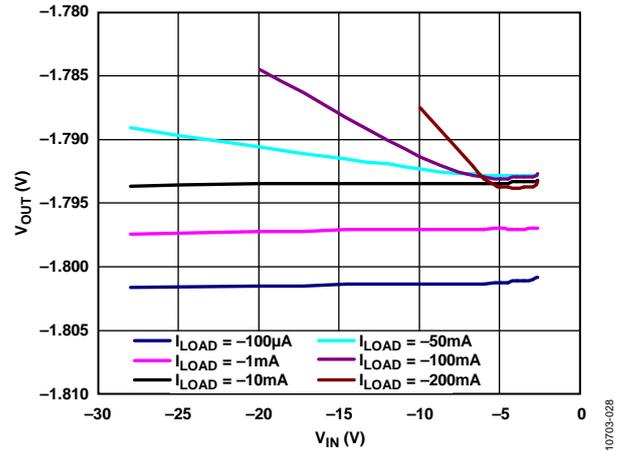


図 28. 入力電圧 ( $V_{IN}$ ) 対 出力電圧 ( $V_{OUT}$ )、 $V_{OUT} = -1.8\text{ V}$

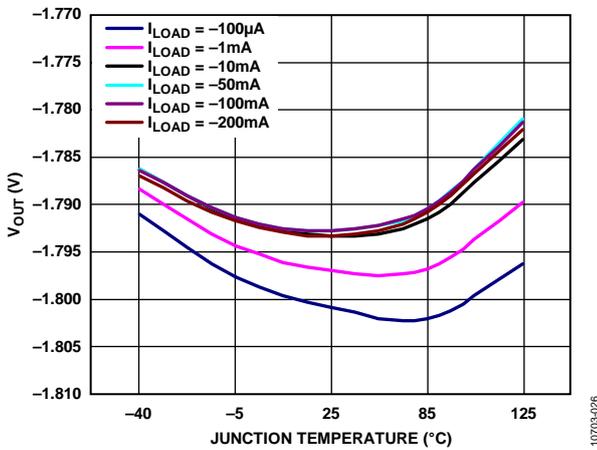


図 26. ジャンクション温度 ( $T_J$ ) 対 出力電圧 ( $V_{OUT}$ )、 $V_{OUT} = -1.8\text{ V}$

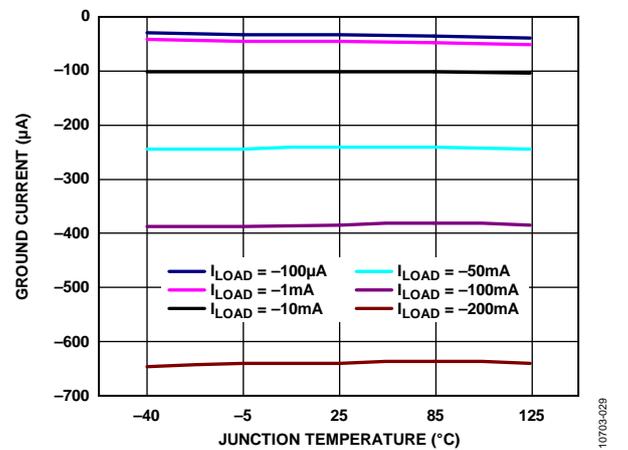


図 29. ジャンクション温度 ( $T_J$ ) 対 グラウンド電流、 $V_{OUT} = -1.8\text{ V}$

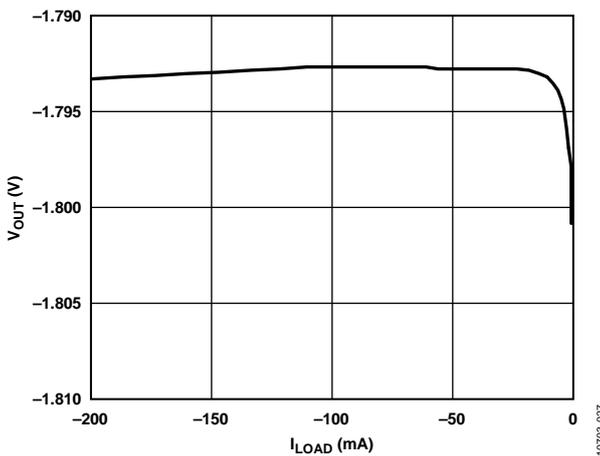


図 27. 負荷電流 ( $I_{LOAD}$ ) 対 出力電圧 ( $V_{OUT}$ )、 $V_{OUT} = -1.8\text{ V}$

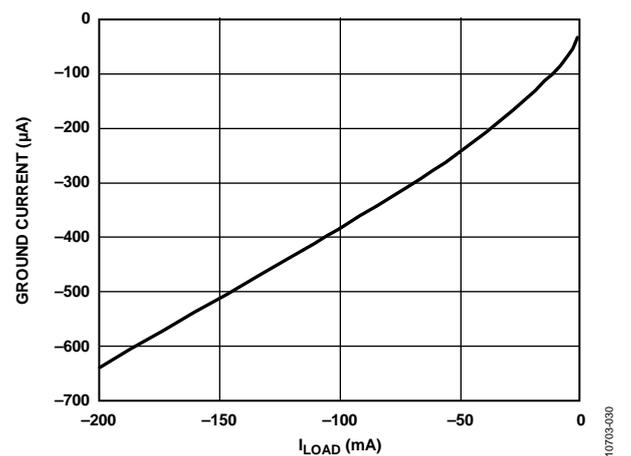


図 30. 負荷電流 ( $I_{LOAD}$ ) 対 グラウンド電流、 $V_{OUT} = -1.8\text{ V}$

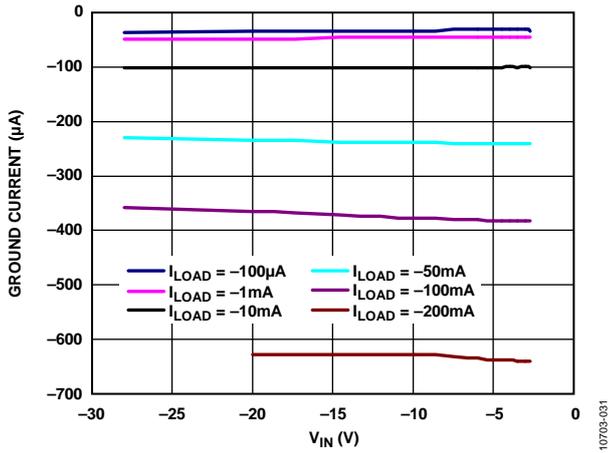


図 31. 入力電圧 ( $V_{IN}$ ) 対 グラウンド電流、 $V_{OUT} = -1.8\text{ V}$

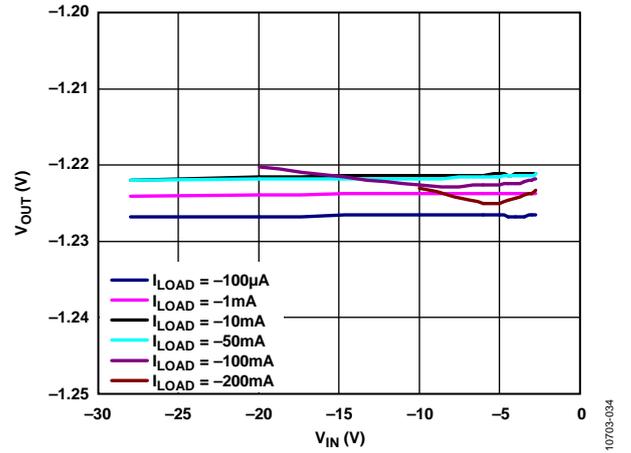


図 34. 入力電圧 ( $V_{IN}$ ) 対 出力電圧 ( $V_{OUT}$ )、 $V_{OUT} = -1.22\text{ V}$

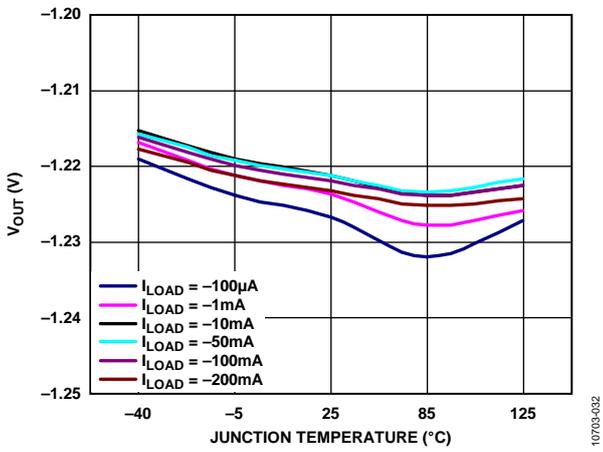


図 32. ジャンクション温度 ( $T_J$ ) 対 出力電圧 ( $V_{out}$ )、 $V_{OUT} = -1.22\text{ V}$

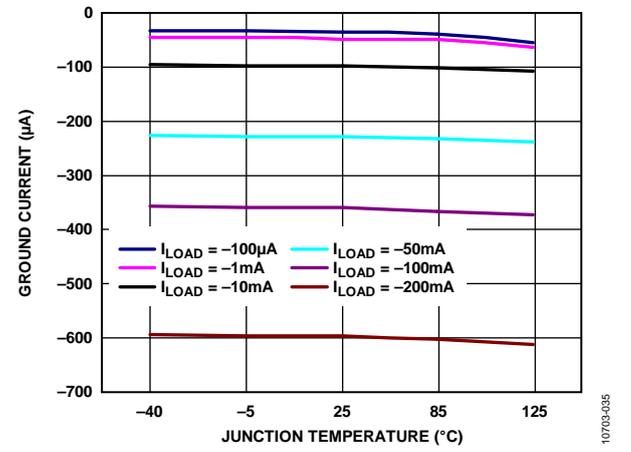


図 35. ジャンクション温度 ( $T_J$ ) 対 グラウンド電流、 $V_{OUT} = -1.22\text{ V}$

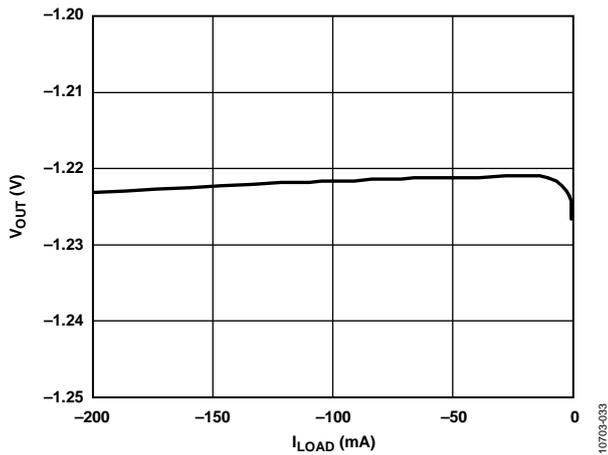


図 33. 負荷電流 ( $I_{LOAD}$ ) 対 出力電圧 ( $V_{OUT}$ )、 $V_{OUT} = -1.22\text{ V}$

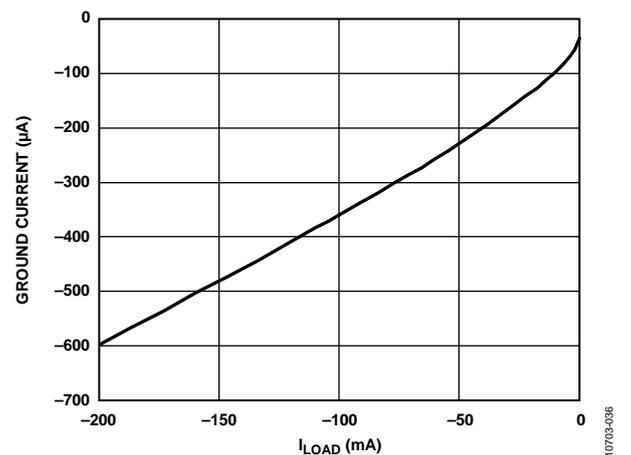


図 36. 負荷電流 ( $I_{LOAD}$ ) 対 グラウンド電流、 $V_{OUT} = -1.22\text{ V}$

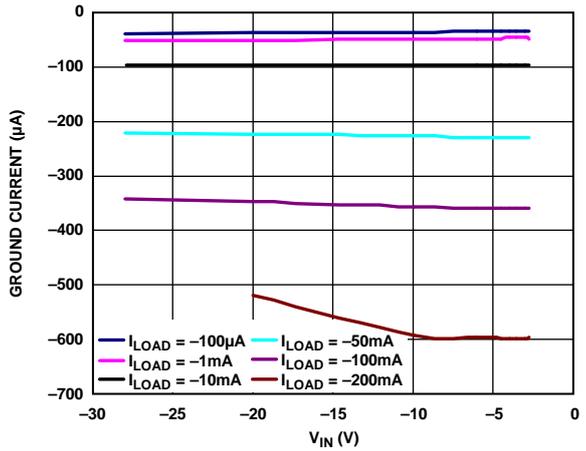


図 37. 入力電圧 ( $V_{IN}$ ) 対 グラウンド電流、 $V_{OUT} = -1.22$  V

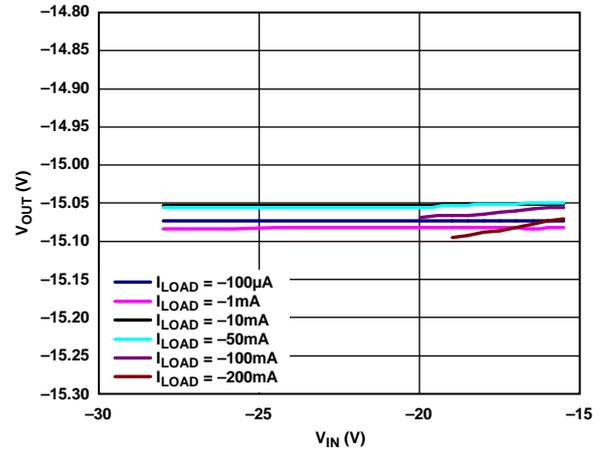


図 40. 入力電圧 ( $V_{IN}$ ) 対 出力電圧 ( $V_{OUT}$ )、調整可能出力電圧、 $V_{OUT} = -15$  V

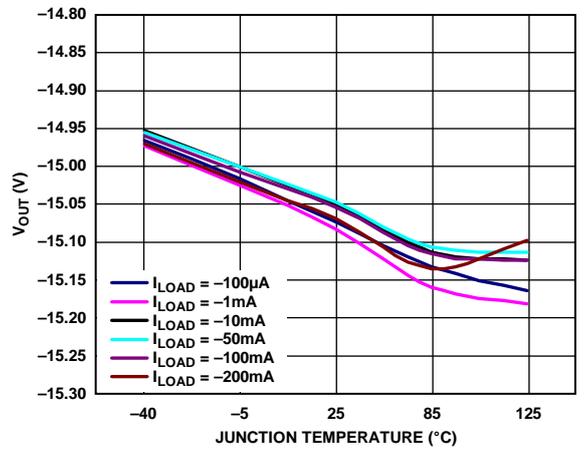


図 38. ジャンクション温度 ( $T_J$ ) 対 出力電圧 ( $V_{OUT}$ )、調整可能出力電圧、 $V_{OUT} = -15$  V

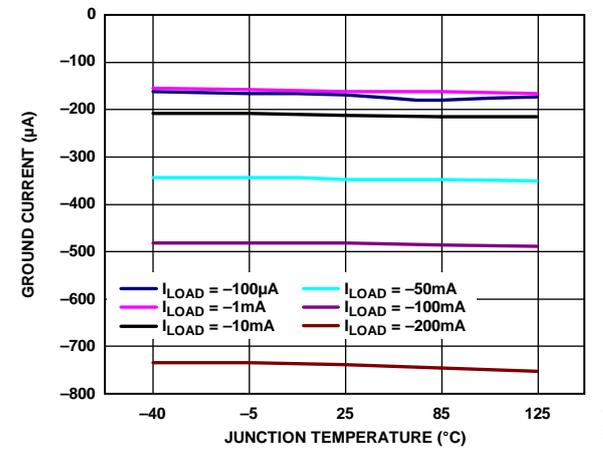


図 41. ジャンクション温度 ( $T_J$ ) 対 グラウンド電流、調整可能出力電圧、 $V_{OUT} = -15$  V

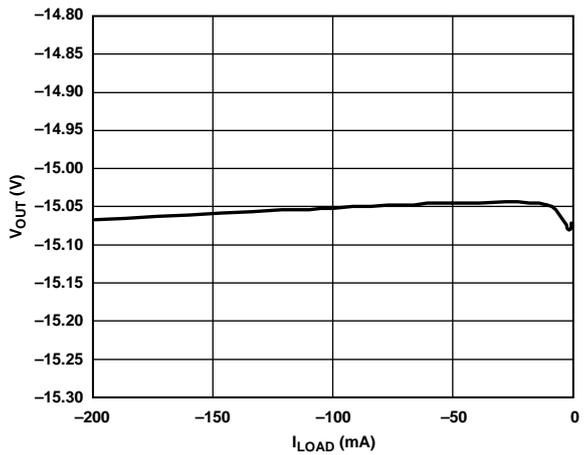


図 39. 負荷電流 ( $I_{LOAD}$ ) 対 出力電圧 ( $V_{OUT}$ )、調整可能出力電圧、 $V_{OUT} = -15$  V

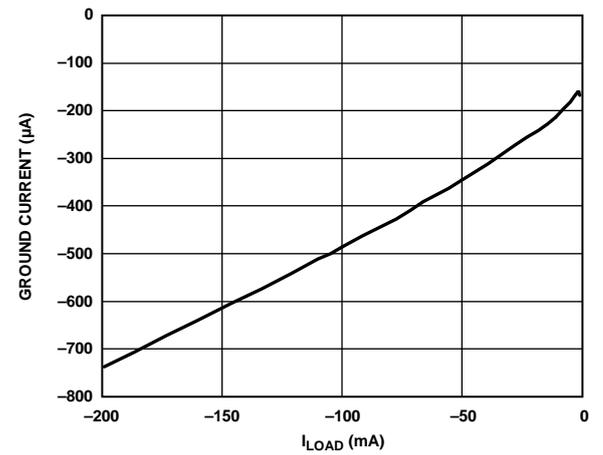


図 42. 負荷電流 ( $I_{LOAD}$ ) 対 グラウンド電流、調整可能出力電圧、 $V_{OUT} = -15$  V

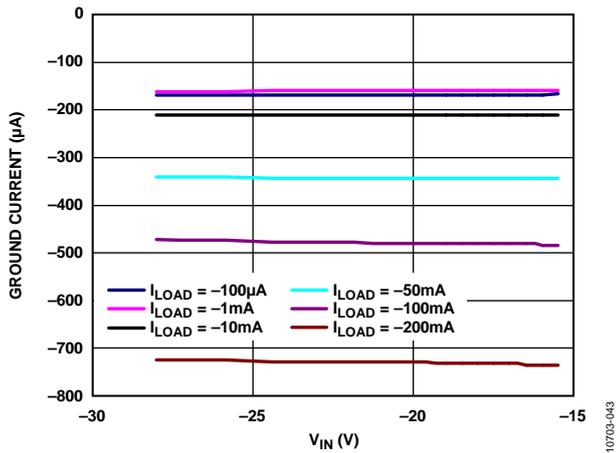


図 43. 入力電圧 ( $V_{IN}$ ) 対 グラウンド電流、調整可能出力電圧、 $V_{OUT} = -15$  V

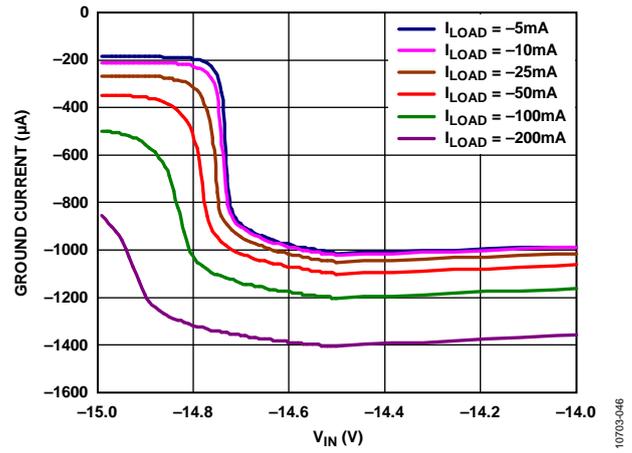


図 46. 入力電圧 ( $V_{IN}$ ) 対 グラウンド電流、ドロップアウト時、 $V_{OUT} = -15$  V

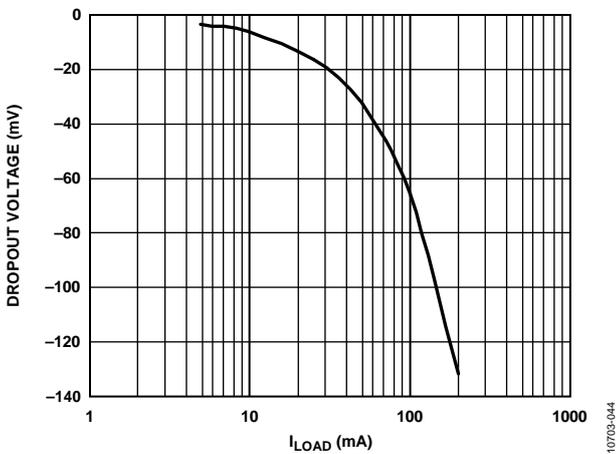


図 44. 負荷電流 ( $I_{LOAD}$ ) 対 ドロップアウト電圧、調整可能出力電圧、 $V_{OUT} = -15$  V

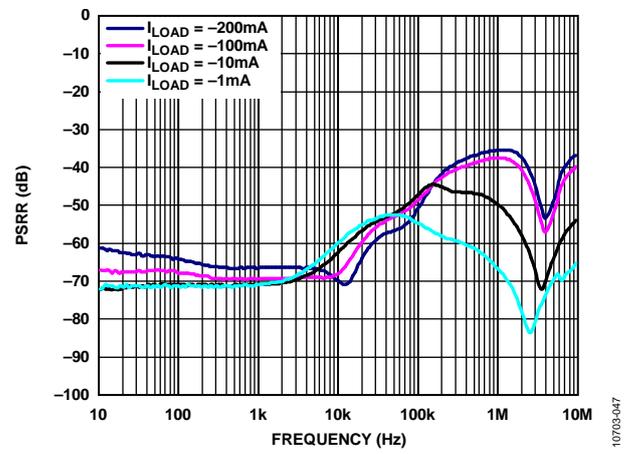


図 47. 電源電圧除去比 (PSRR) の周波数特性、 $V_{IN} = -2.7$  V、 $V_{OUT} = -1.22$  V に対し各種負荷電流 ( $I_{LOAD}$ )

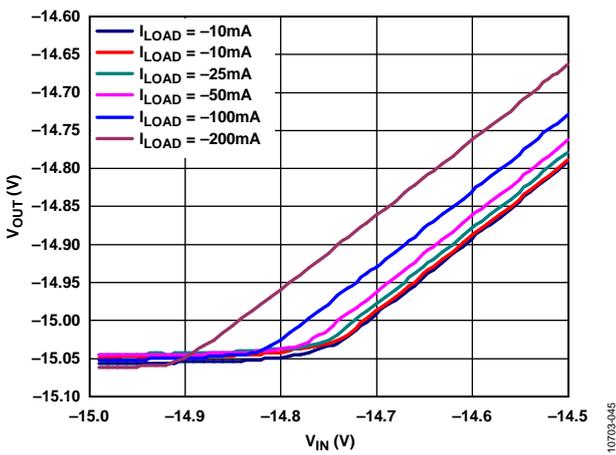


図 45. 入力電圧 ( $V_{IN}$ ) 対 出力電圧 ( $V_{OUT}$ )、ドロップアウト時、可変出力電圧、 $V_{OUT} = -15$  V

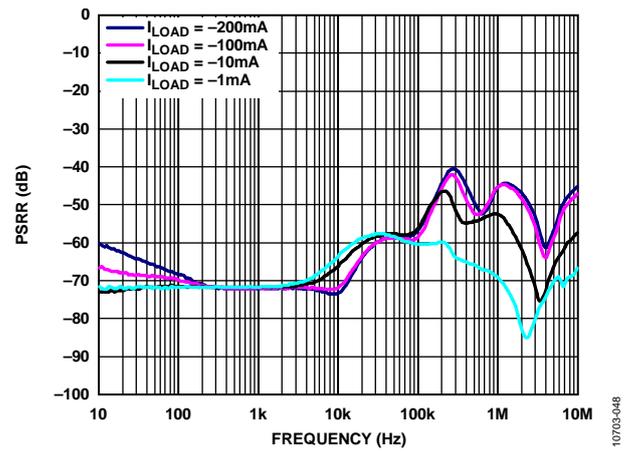


図 48. 電源電圧除去比 (PSRR) の周波数特性、 $V_{IN} = -5.7$  V、 $V_{OUT} = -1.22$  V に対し各種負荷電流 ( $I_{LOAD}$ )

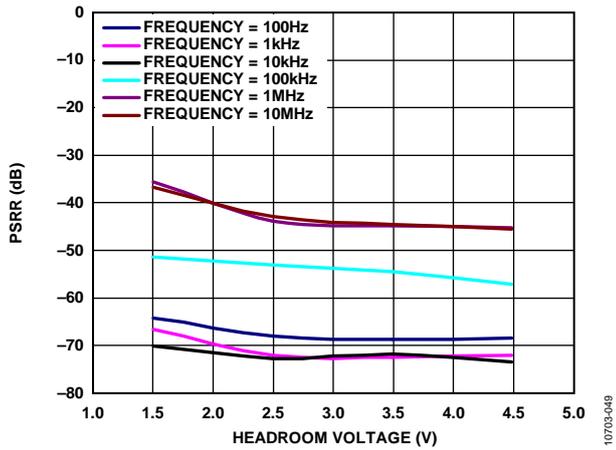


図 49. ヘッドルーム電圧 対 電源電圧除去比 (PSRR)、  
 $V_{OUT} = -1.22 \text{ V}$ 、負荷電流 ( $I_{LOAD}$ ) =  $-200 \text{ mA}$

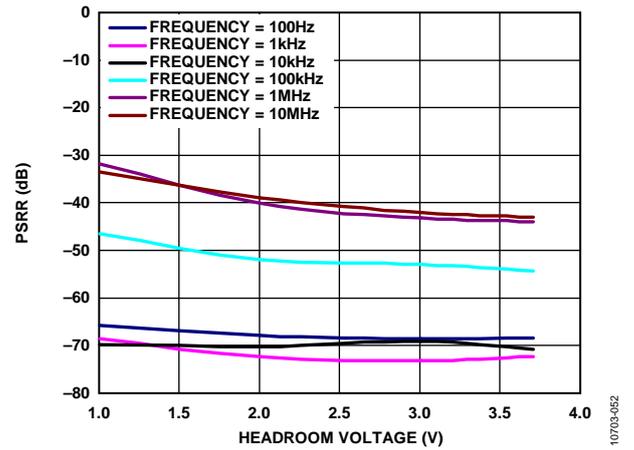


図 52. ヘッドルーム電圧 対 電源電圧除去比 (PSRR)、  
 $V_{OUT} = -1.8 \text{ V}$ 、負荷電流 ( $I_{LOAD}$ ) =  $-200 \text{ mA}$

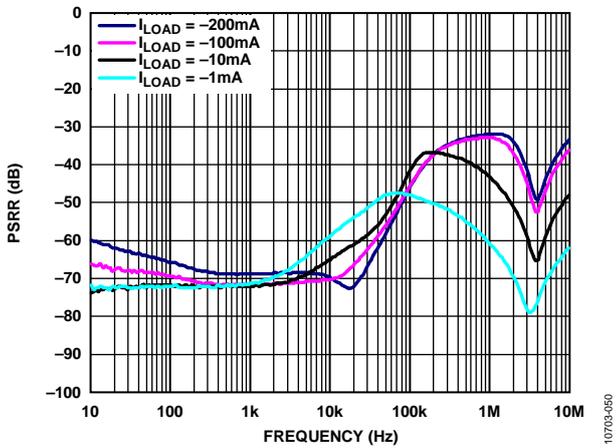


図 50. 電源電圧除去比 (PSRR) の周波数特性、 $V_{IN} = -2.8 \text{ V}$ 、  
 $V_{OUT} = -1.8 \text{ V}$  に対し各種負荷電流 ( $I_{LOAD}$ )

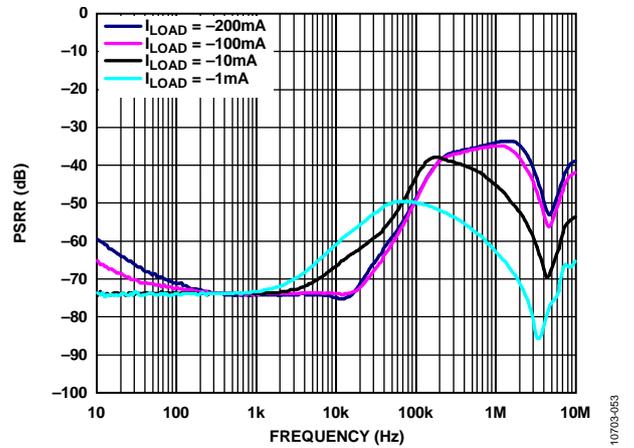


図 53. 電源電圧除去比 (PSRR) の周波数特性、 $V_{IN} = -4.0 \text{ V}$ 、  
 $V_{OUT} = -3 \text{ V}$  に対し各種負荷電流 ( $I_{LOAD}$ )

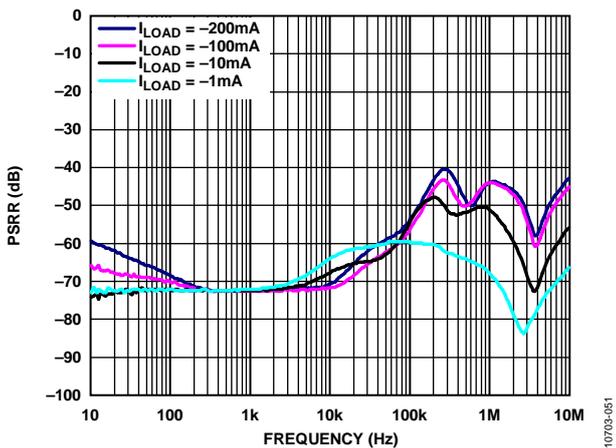


図 51. 電源電圧除去比 (PSRR) の周波数特性、 $V_{IN} = -5.5 \text{ V}$ 、  
 $V_{OUT} = -1.8 \text{ V}$  に対し各種負荷電流 ( $I_{LOAD}$ )

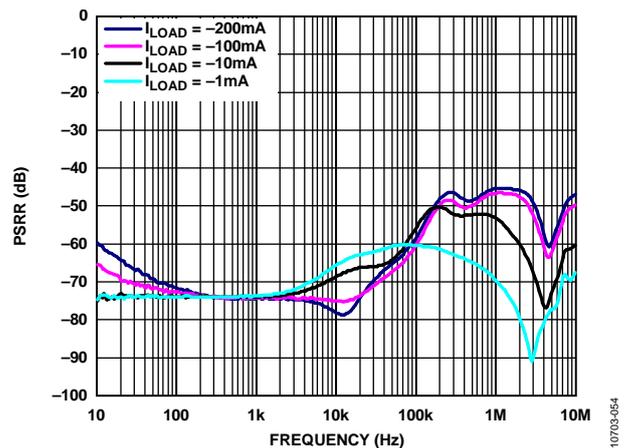
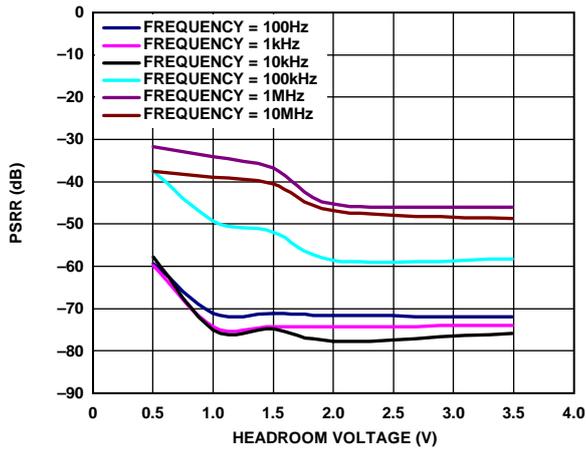
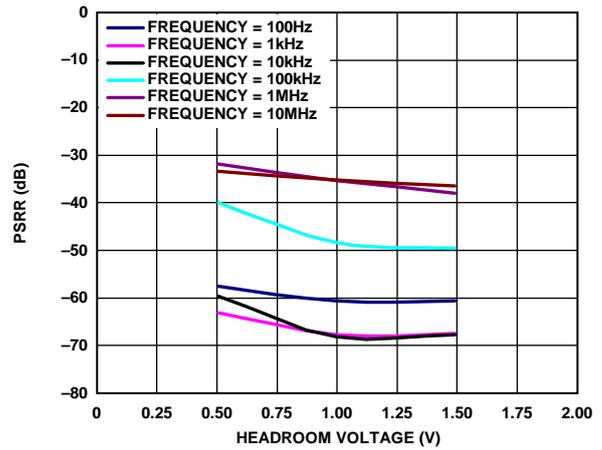


図 54. 電源電圧除去比 (PSRR) の周波数特性、 $V_{IN} = -5.5 \text{ V}$ 、  
 $V_{OUT} = -3 \text{ V}$  に対し各種負荷電流 ( $I_{LOAD}$ )



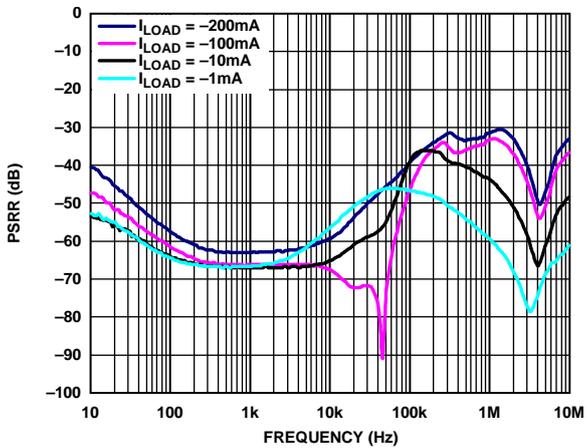
10703-065

図 55. ヘッドルーム電圧 対 電源電圧除去比 (PSRR)、  
 $V_{OUT} = -3\text{ V}$ 、負荷電流 ( $I_{LOAD}$ ) = -200 mA



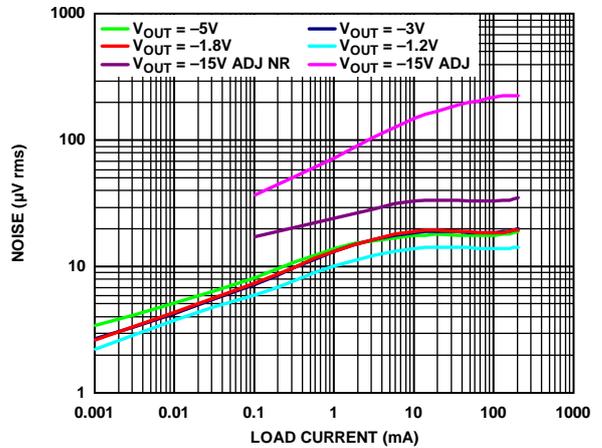
10703-068

図 58. ヘッドルーム電圧 対 電源電圧除去比 (PSRR)、  
調整可能出力電圧、ノイズ削減回路付き  $V_{OUT} = -15\text{ V}$ 、  
負荷電流 ( $I_{LOAD}$ ) = -200 mA



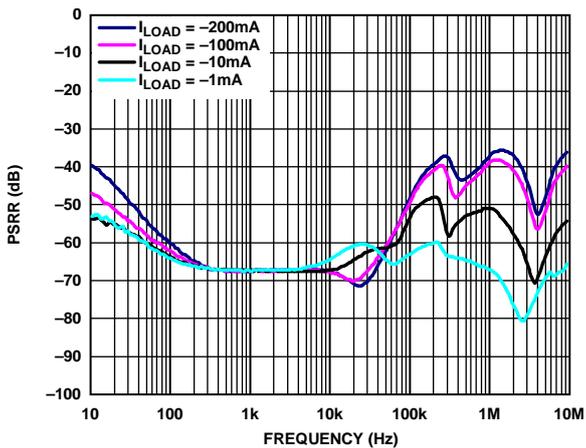
10703-066

図 56. 電源電圧除去比 (PSRR) の周波数特性、調整可能出力電圧、 $V_{OUT} = -15\text{ V}$  に対し各種負荷電流 ( $I_{LOAD}$ )、  
ノイズ削減回路付き  $V_{IN} = -15.5\text{ V}$



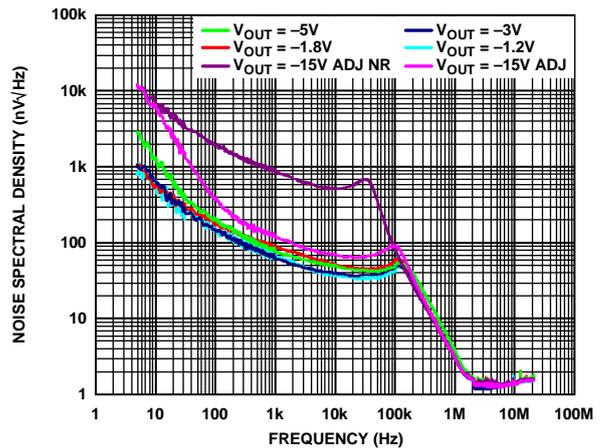
10703-069

図 59. 負荷電流 ( $I_{LOAD}$ ) 対 RMSノイズ、各種出力電圧



10703-067

図 57. 電源電圧除去比 (PSRR) の周波数特性、調整可能出力電圧、 $V_{OUT} = -15\text{ V}$  に対し各種の負荷電流 ( $I_{LOAD}$ )、  
ノイズ削減回路付き  $V_{IN} = -16.5\text{ V}$



10703-060

図 60. ノイズ・スペクトラル密度、各種出力電圧

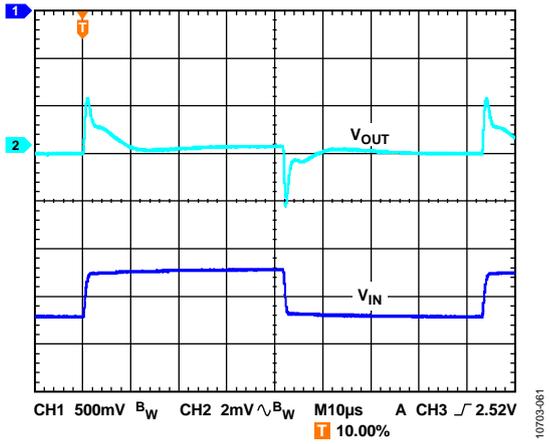


図 61. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -1.22$  V、 $I_{LOAD} = -200$  mA

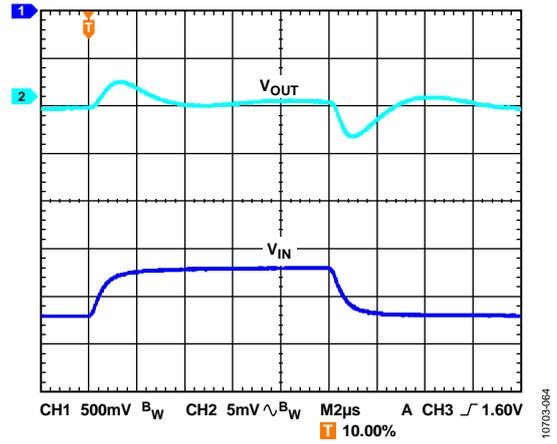


図 64. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -1.8$  V、 $I_{LOAD} = -10$  mA

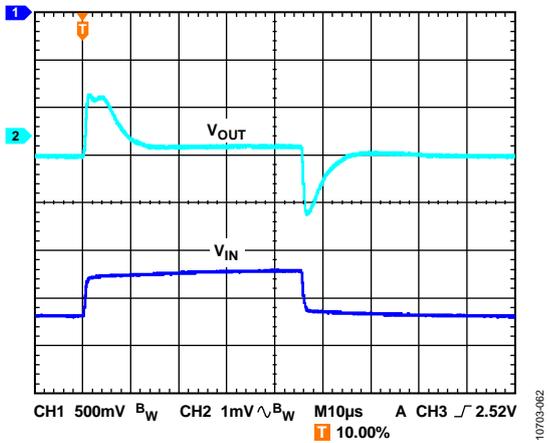


図 62. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -1.22$  V、 $I_{LOAD} = -10$  mA

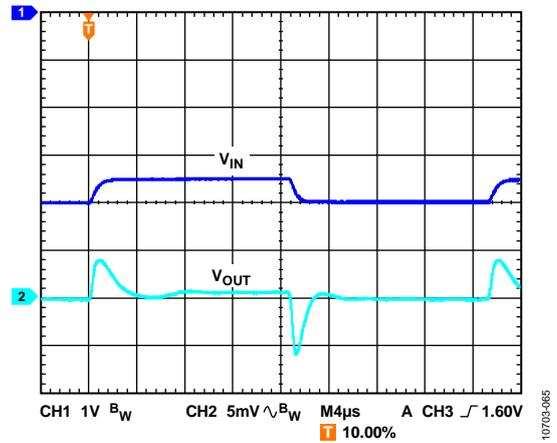


図 65. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -3$  V、 $I_{LOAD} = -200$  mA

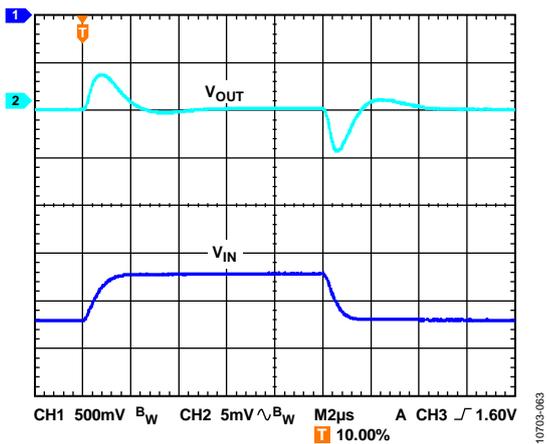


図 63. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -1.8$  V、 $I_{LOAD} = -200$  mA

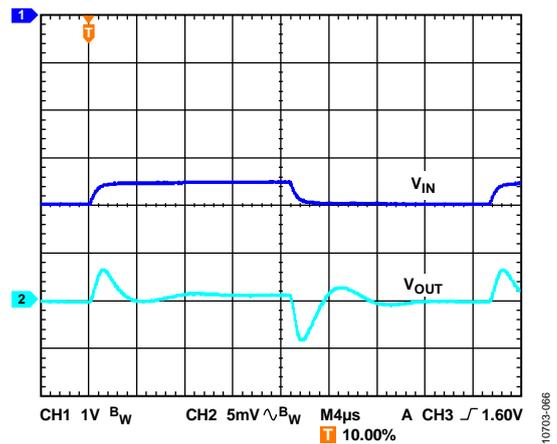


図 66. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -3$  V、 $I_{LOAD} = -10$  mA

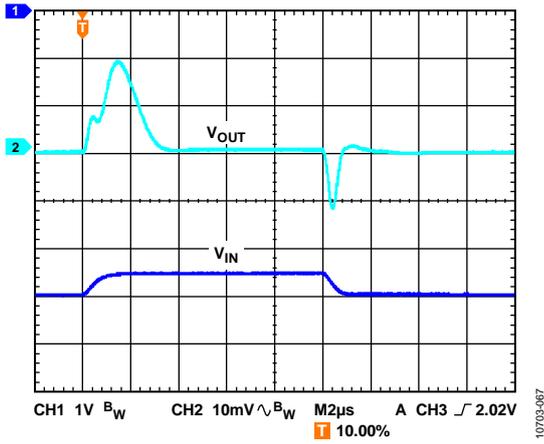


図 67. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -5$  V、 $I_{LOAD} = -200$  mA

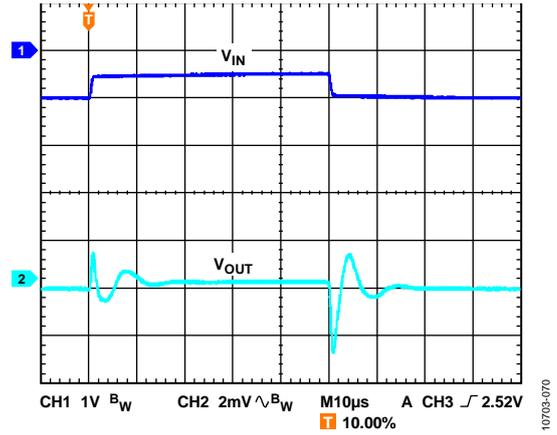


図 70. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -15$  V、ノイズ削減回路、 $I_{LOAD} = -10$  mA

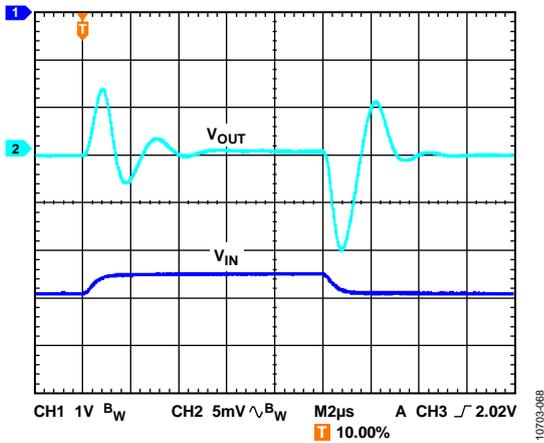


図 68. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -5$  V、 $I_{LOAD} = -10$  mA

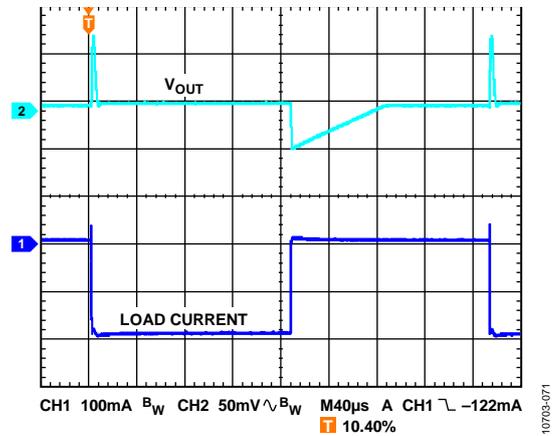


図 71. 負荷過渡応答、 $V_{OUT} = -1.22$  V、 $I_{LOAD} = -1$  mA  $\sim$   $-200$  mA、負荷ステップ = 1 A/µs

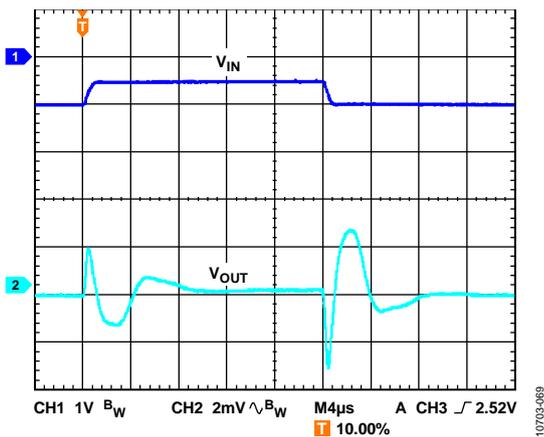


図 69. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -15$  V、 $I_{LOAD} = -200$  mA、ノイズ削減回路、 $I_{LOAD} = -200$  mA

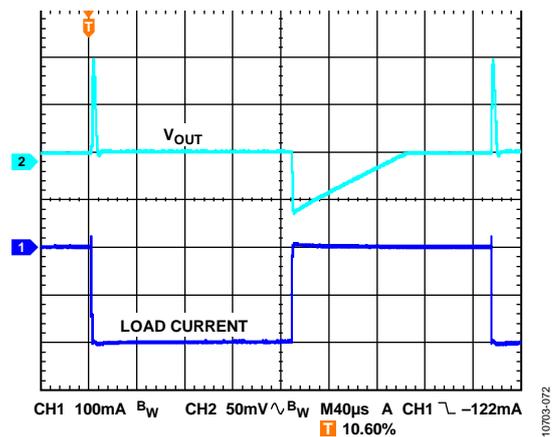


図 72. 負荷過渡応答、 $V_{OUT} = -3$  V、 $I_{LOAD} = -1$  mA  $\sim$   $-200$  mA、負荷ステップ = 1 A/µs

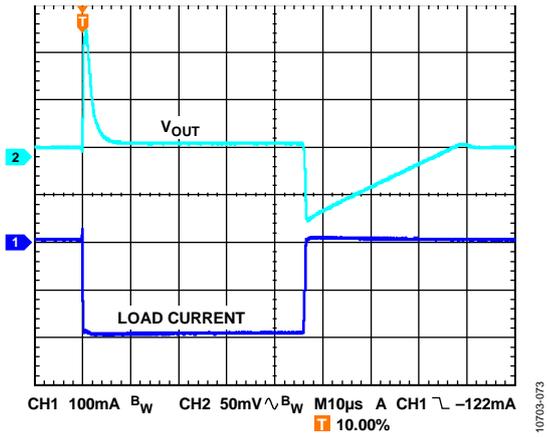


図 73. 負荷過度応答、 $V_{OUT} = -5$  V、 $I_{LOAD} = -1$  mA  $\sim$  -200 mA, 負荷ステップ = 1 A/ $\mu$ s

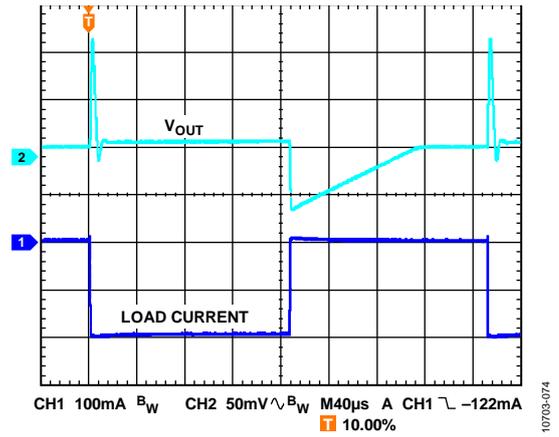


図 74. 負荷過度応答、 $V_{OUT} = -15$  V、 $I_{LOAD} = -1$  mA  $\sim$  -200 mA, 負荷ステップ = 1 A/ $\mu$ s、ノイズ削減回路

## 動作原理

ADP7182は、2.7 V～28 Vで動作し、最大-200 mAの出力電流の低静止電流LDOリニア・レギュレータです。ADP7182は最大負荷時での静止電流が-650 μA (typ) と小さいので、バッテリー駆動のポータブル機器に最適です。シャットダウン時消費電流は室温で-8 μA<sub>Max</sub>です。

ADP7182は小型の2.2 μFセラミック・コンデンサと共に使用できるように最適化しており、優れた過渡特性を示します。

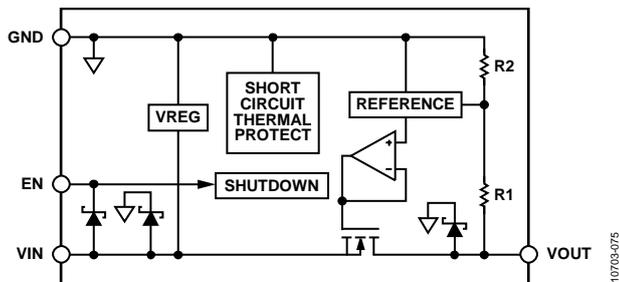


図 75. 固定出力電圧の内部ブロック図

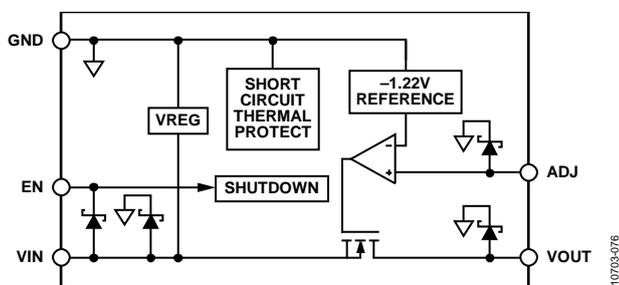


図 76. 調整可能出力電圧の内部ブロック図

内部的にはADP7182はリファレンス、誤差アンプ、フィードバック電圧分圧器、NMOSパス・トランジスタから構成されています。出力電流はNMOSパス・トランジスタを通して供給されますが、このパス・トランジスタは誤差アンプによって制御されます。誤差アンプはリファレンス電圧を出力からのフィードバック電圧と比較しその差を増幅します。フィードバック電圧がリファレンス電圧よりも正の場合、NMOSトランジスタのゲートはGNDの方に引っ張られ通過する電流が増え、出力電圧が大きくなります。フィードバック電圧がリファレンス電圧よりも負の場合、NMOSトランジスタのゲートは-V<sub>IN</sub>の方に引っ張られ、通過する電流が少なくなり、出力電圧が小さくなります。

ESD保護デバイスはブロック図にツェナーダイオードとして示されています (図 75 と 図 76を参照してください)。

## イネーブル・ピン動作

ADP7182ではENピンを使って通常の動作でVOUTピンをイネーブル/ディスエーブルします。ENがGND基準に±2 Vになった時、VOUTはターンオンし、ENが0 Vになった時、VOUTはターンオフします。自動スタートアップの場合は、ENをINに接続します。

## 調整可能モード動作

ADP7182には固定出力電圧タイプと、出力電圧を外付け電圧分圧器により-1.22 V ~ -27 Vの範囲で設定できる可変モードタイプがあります。出力電圧は次の式に従って設定できます。

$$-V_{OUT} = -1.22 \text{ V} (1 + R_{FB1}/R_{FB2})$$

ADJピンのリーク電流による出力電圧誤差を最小にするためにR<sub>FB2</sub>を120 kΩ以下にする必要があります。ADJピンのリーク電流による誤差電圧はADJピンのリーク電流にR<sub>FB1</sub> と R<sub>FB2</sub>の並列接続を乗算した値です。

たとえばR<sub>FB1</sub> = R<sub>FB2</sub> = 120 kΩの時、出力電圧は-2.44 Vで、代表的なADJピンリーク電流 (10 nA) による誤差は60 kΩ × 10 nA = 6 mVになります。この例の場合0.245%の出力電圧誤差という結果になります。

R<sub>FB1</sub>と並列に小さなコンデンサ (~100 pF) を追加する事によりADP7182の安定性を高める事ができます。より大きな値のコンデンサを使ってノイズを低減し、PSRRを向上させる事もできます (「調整可能ADP7182のノイズ削減」セクションを参照してください)。

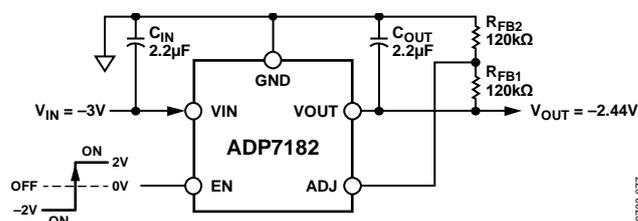


図 77. 調整可能出力電圧の設定

## アプリケーション情報

### ADIsimPower設計ツール

ADP7182はADIsimPower™設計ツールセットによりサポートされています。ADIsimPowerは特定の設計目標に最適化された完璧な電源回路設計を作成するためのツール集です。お客様はこのツールを使用してすべての回路、部品表を作成し、数分で性能を計算する事ができます。ADIsimPowerはICや実際使用される全外付け部品の動作条件や制限を考慮してコスト、面積、効率、部品点数の設計を最適化できます。ADIsimPower設計ツールに関する詳細やその取得については[www.analog.com/ADIsimPower](http://www.analog.com/ADIsimPower)をご覧ください。

### コンデンサの選択

#### 出力コンデンサ

ADP7182は小型で省スペースのセラミック・コンデンサを使用して動作するように設計されていますが、実効直列抵抗(ESR)値に注意すれば一般的に使用されているコンデンサでも動作します。出力コンデンサのESRは、LDO制御ループの安定性に影響を与えます。ADP7182の安定性を確保するために、ESRが0.2Ω以下で2.2μF以上のコンデンサの使用をお勧めします。出力コンデンサは負荷電流の変化に対する過渡応答にも影響を与えます。大きな値の出力コンデンサを使用すると、負荷電流の大きな変化に対するADP7182の過渡応答を高める事ができます。図78に、出力コンデンサ値が2.2μFの場合の過渡応答を示します。

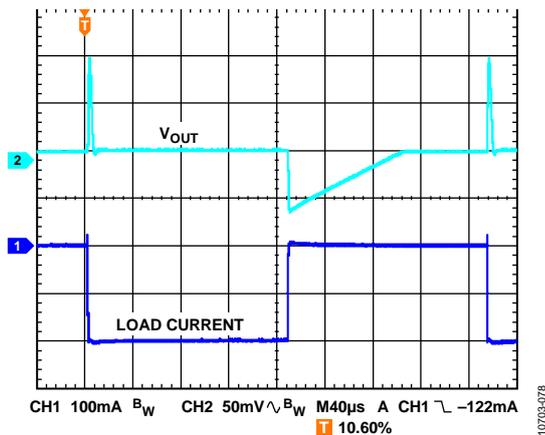


図 78. 出力過渡応答、 $C_{OUT} = 2.2 \mu F$

#### 入力バイパス・コンデンサ

VINピンとGNDの間に2.2μFのコンデンサを接続すると、特に入力パターンが長い、ソース・インピーダンスが高い場合にPCBレイアウトに対する回路の感度を少なくすることができます。2.2μFより大きい出力容量が必要な場合は、入力コンデンサを出力容量に合わせて大きくしてください。

#### 入力コンデンサと出力コンデンサの特性

最小容量と最大ESR条件を満たせば、ADP7182には任意の高品質セラミック・コンデンサを使うことができます。セラミック・コンデンサは様々な誘電体を使って製造されていますが、各々は温度と加えられる電圧に対して異なる動作をします。

コンデンサは、要求される温度範囲とDCバイアス条件に対して最小容量を確保できる十分な誘電体が求められます。定格電圧25V又は50Vの誘電体X5RまたはX7Rの使用をお勧めします。誘電体Y5VとZ5Uは温度特性とDCバイアス特性が十分でないためお勧めできません。

図79に、コンデンサ0805、2.2μF、25V、X5Rについて容量対バイアス電圧特性を示します。コンデンサの電圧安定性は、コンデンサ・サイズと定格電圧によって大きく変わります。一般的に、コンデンサのパッケージが大きいほど、または定格電圧が大きいほど、優れた安定性を示します。誘電体X5Rの温度変動は、-40°C～+85°Cの温度範囲で約±15%で、パッケージまたは定格電圧の関数になってはいません。

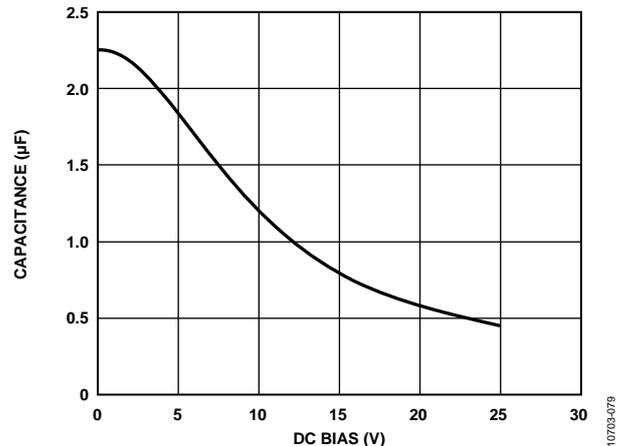


図 79. DCバイアス 対 容量 特性

式1を使うと、温度、部品公差、電圧に対するコンデンサの変動を考慮した、ワーストケース容量を求めることができます。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

ここで：

$C_{BIAS}$  は動作電圧（この例では-3V）での実効容量。  
 $TEMPCO$  はワースト・ケースのコンデンサ温度係数。  
 $TOL$  はワーストケースの部品公差。

この例では、-40°C～+85°Cでのワーストケース温度係数( $TEMPCO$ )を、誘電体X5Rの場合15%と想定します。図79に示すように、コンデンサの公差( $TOL$ )は10%、そして $C_{BIAS}$ はバイアス電圧3Vで2.08μFです。

これらの値を式1に代入すると、

$$C_{EFF} = 2.08 \mu F \times (1 - 0.15) \times (1 - 0.1) = 1.59 \mu F$$

したがって、この例で選択したコンデンサは、選択した出力電圧-3Vにおいて、温度と公差に対するLDOの最小容量の条件を満足します。

ADP7182の性能を保証するためには、コンデンサの動作に対するDCバイアス、温度、公差の影響を各アプリケーションごとに評価する事が不可欠です。

イネーブル・ピンの動作

ADP7182は $|V_{EN}| \geq 2V$ の時にLDOがターンオンする両極性イネーブル・ピン(EN)になっています。従ってイネーブル電圧はグラウンド基準に正又は負にすることができます。

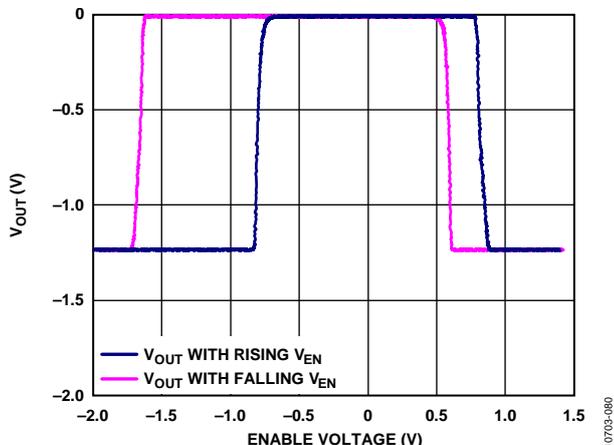


図 80. 一般的なEN ピンの動作

図 80 はENピンの標準的なヒステリシスです。ヒステリシスはENピンのノイズがスレッシュホールド点を通過する時生ずるオン/オフ発振を防ぎます。

図 81に入力電圧が $-2.7V$  から  $-28V$ まで変化する時の代表的なENのスレッシュホールドを示します。

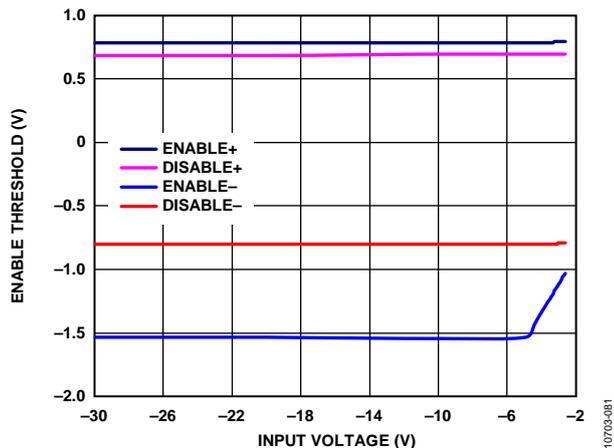


図 81. 入力電圧 対 代表的なENピンのスレッシュホールド

図 82と図 83は上向きイネーブル信号の場合と下向きイネーブル信号の場合の $-5V$ 出力のスタートアップ動作です。

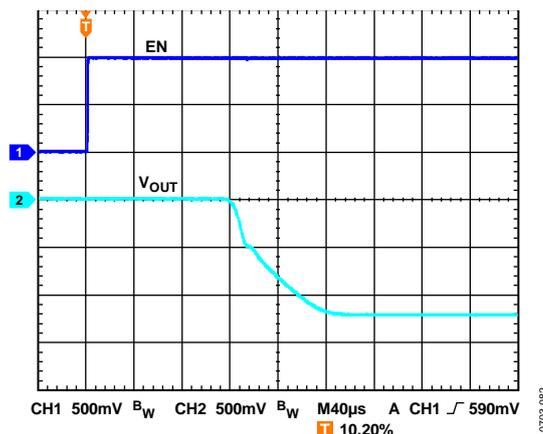


図 82. 代表的なスタートアップ動作、上向きイネーブル信号

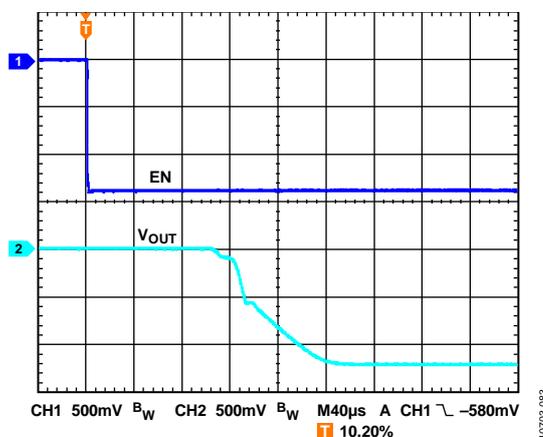


図 83. 代表的なスタートアップ動作、下向きイネーブル信号

ソフト・スタート

出力をイネーブルにする時発生する突入電流を制限するためにADP7182は内蔵のソフト・スタートを使用します。 $-5V$ 出力の場合のスタートアップ時間はENアクティブ・スレッシュホールドを横切ってから出力が最終値の90%に到達するまでの約 $450\mu s$ です。図 84に示すように、スタートアップ時間は設定した出力電圧によって変わります。

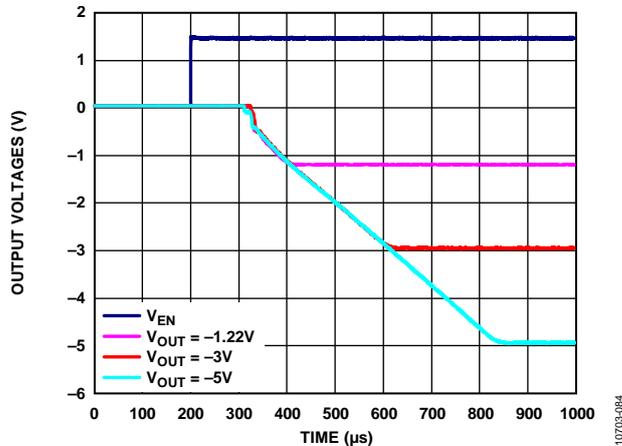


図 84. 代表的なスタートアップ動作、各種出力電圧

調整可能ADP7182のノイズ削減

固定出力ADP7182の超低出力ノイズはLD0の誤差アンプをユニティゲインに保ち、出力電圧をリファレンス電圧と一致させる事により実現しています。このアーキテクチャは調整可能出力電圧のLD0では動作しません。調整可能出力ADP7182はより従来型のアーキテクチャを採用しており、リファレンス電圧は固定で、誤差アンプのゲインが出力電圧の関数になっています。従来型LD0アーキテクチャの欠点は出力電圧ノイズの大きさが出力電圧に比例する事です。

調整可能LD0回路を多少変更して、その出力電圧ノイズをADP7182の固定出力のノイズに近いレベルまで下げることができます。図85に示す回路では出力電圧設定用抵抗分圧器に部品を2個追加しています。誤差アンプのACゲインを小さくするためにR<sub>FB1</sub>と並列にC<sub>NR</sub>とR<sub>NR</sub>を追加しています。R<sub>NR</sub>はR<sub>FB2</sub>とほぼ等しくなるように選びます；これにより誤差アンプのACゲインは約6 dBに制限されます。実際のゲインはR<sub>NR</sub>とR<sub>FB1</sub>の並列接続をR<sub>FB2</sub>で除算した値になります。この抵抗により誤差アンプは常にユニティゲインより高いゲインで動作する事になります。

10 Hz ~ 100 Hzの周波数でC<sub>NR</sub>のリアクタンスがR<sub>FB1</sub> - R<sub>NR</sub>に等しくなるように設定する事によりC<sub>NR</sub>の値を選びます。このコンデンサにより誤差アンプのACゲインがそのDCゲインから3 dB低下する周波数が設定されます。

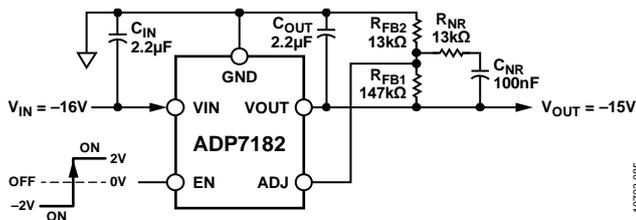


図 85. 調整可能LD0に対するノイズ削減のための変更

LD0のノイズは固定出力LD0のノイズ (18 μV rms typ)にR<sub>FB2</sub>を乗算し、R<sub>NR</sub>とR<sub>FB1</sub>の並列接続で除算した値にほぼ等しくなります。図85に示した部品の値を使用すると、ADP7182の特性は次のようになります。

- DCゲイン：12.3 (21.8 dB)
- 3dBロールオフ周波数：10.8Hz
- 高周波ACゲイン：1.92 (5.67 dB)
- ノイズ削減係数：6.41 (16.13 dB)
- -200 mAでのノイズ削減なし調整可能LD0の実測RMSノイズ：220 μV rms
- -200 mAでのノイズ削減有り調整可能LD0の実測RMSノイズ：35 μV rms
- ノイズ削減有りで計算した調整可能LD0のRMSノイズ：34.5 μV rms (固定電圧LD0のノイズ18 μV rmsと仮定した場合)

LD0のノイズは固定出力LD0のノイズ (18 μV rms typ) に高周波ACゲインを乗算した値にほぼ等しくなります。次の式は図85に示されている部品の値を使った計算です。

$$18\mu\text{V} \times \left( 1 + \left( \frac{1}{1/13\text{k}\Omega + 1/147\text{k}\Omega} \right) / 13\text{k}\Omega \right) \quad (2)$$

図 86に-15Vに設定した調整可能ADP7182のノイズ削減回路有り場合と無し場合のノイズ・スペクトル密度の差を示します。10 0 Hz ~ 30 kHzの周波数範囲で、ノイズの削減は顕著です。

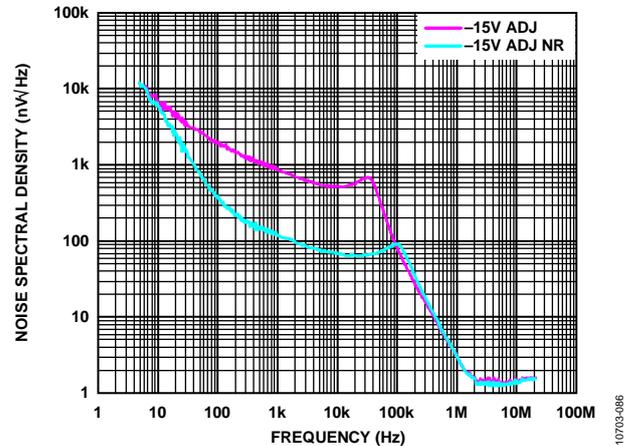


図 86. ノイズ削減回路 (C<sub>NR</sub> と R<sub>NR</sub>) 有り場合と無し場合の-15 V 調整可能ADP7182

電流制限と熱過負荷保護

ADP7182 は、電流制限回路と熱過負荷保護回路により過度な消費電力による損傷に対して保護されています。ADP7182 は、出力負荷が-350 mA (typ)に到達した時、電流を制限するように設計されています。出力負荷が-350 mAを超えると、出力電圧を下げて一定の電流制限値を維持します。

ジャンクション温度を最大150° C (typ)に制限する熱過負荷保護機能も内蔵しています。厳しい条件 (すなわち、周囲温度が高く、消費電力が大きい) 下で、ジャンクション温度が150° Cを超えて上がり始めると、出力がターンオフし、出力電流が0mAに下がります。ジャンクション温度が135° C以下になると、出力が再びターンオンして、出力電流が公称値に戻ります。

VOUT がグラウンドへ短絡する場合は考えてみます。まず、ADP7182 は短絡電流が-350 mAを越えないように電流を制限します。ジャンクションの自己発熱が大きくなり、その温度が150° C以上になると、サーマル・シャットダウンが作動し、出力がターンオフして、出力電流がゼロ(0mA)になります。ジャンクション温度が下がり135° C以下になると、出力がターンオンして短絡電流-350 mAが流れ、再びジャンクション温度が150° C以上になります。この135° Cと150° Cの間の熱的発振により、-350 mAと0 mAの間の電流発振が生じますが、この発振は出力が短絡している限り続きます。

電流制限と熱過負荷保護は、偶発的な過負荷状態に対してデバイスを保護することを目的としています。高信頼度の動作を得るためには、デバイスの消費電力を外部的に制限して、ジャンクション温度が125° Cを超えないようにする必要があります。

熱に対する考慮事項

ADP7182 は周囲温度が高く、かつ入力電圧と出力電圧の差が大きいアプリケーションでは、パッケージの発熱が大きくなり、チップのジャンクション温度が最大ジャンクション温度125° Cを超える可能性があります。

ジャンクション温度が150° Cを超えると、コンバータはサーマル・シャットダウンに入ります。永久的な損傷を防止するため、ジャンクション温度が135° C 以下になるまで回復しません。したがって、すべての条件で信頼できる性能を保証するためには、アプリケーションの熱解析が非常に重要になります。式3 に示すように、チップのジャンクション温度は、周囲温度と電力消費によるパッケージの温度上昇の和です。

確実な動作を保証するには、ADP7182 のジャンクション温度を125° C 以下でなければなりません。ジャンクション温度を確実にこの最大値より低く維持するためには、ジャンクション温度の変化に寄与するパラメータを知っておく必要があります。これらのパラメータには、周囲温度、パワー・デバイスの消費電力、ジャンクション～周囲間の熱抵抗( $\theta_{JA}$ )などがあります。 $\theta_{JA}$  値は、使用されているパッケージ材料とパッケージの GND ピンをPCB にハンダ付けするために使用される銅の量に依存します。

表 7 と表 8に、種々のPCBの銅サイズに対する8 ピンLFCSP と5 ピンTSOP パッケージの $\theta_{JA}$  値(typ)を示します。表 9 に、8 ピンLFCSPと5ピンTSOTの $\Psi_{JB}$  値(typ)を示します。

表 7. 8ピンLFCSPの $\theta_{JA}$ 値 (typ)

| Copper Size (mm <sup>2</sup> ) | $\theta_{JA}$ (° C/W) |
|--------------------------------|-----------------------|
| 25 <sup>1</sup>                | 175                   |
| 100                            | 135.6                 |
| 500                            | 77.3                  |
| 1000                           | 65.2                  |
| 6400                           | 51                    |

<sup>1</sup> デバイスは最小サイズのピン・パターンにハンダ付け。

表 8. 5ピンTSOTの $\theta_{JA}$ 値 (typ)

| Copper Size (mm <sup>2</sup> ) | $\theta_{JA}$ (° C/W) |
|--------------------------------|-----------------------|
| 0 <sup>1</sup>                 | 170                   |
| 50                             | 152                   |
| 100                            | 146                   |
| 300                            | 134                   |
| 500                            | 131                   |

<sup>1</sup> デバイスは最小サイズのピン・パターンにハンダ付け。

表 9.  $\Psi_{JB}$ 値 (typ)

| Model        | $\Psi_{JB}$ (° C/W) |
|--------------|---------------------|
| 8-lead LFCSP | 18.2                |
| 5-lead TSOT  | 43                  |

ADP7182のジャンクション温度は次式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA}) \tag{3}$$

ここで:

$T_A$  は周囲温度。

$P_D$  はチップの消費電力で、次式で得られます。

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \tag{4}$$

ここで:

$V_{IN}$  と  $V_{OUT}$  はそれぞれ入力電圧と出力電圧です。

$I_{LOAD}$ は負荷電流。

$I_{GND}$ はグラウンド電流。

グラウンド電流による消費電力は非常に小さいので無視できます。従って、ジャンクション温度の式は次のように簡単になります。

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \tag{5}$$

式5 に示すように、ジャンクション温度が125° Cを超えないようにするために、与えられた周囲温度、入力/出力間の電位差、連続負荷電流に対して、PCBには最小銅サイズの条件が存在します。図 87 ~ 図 92に、各種周囲温度、負荷電流、VIN-VOU T間電位差、PCB銅面積に対するジャンクション温度の計算値を示します。

パッケージからの放熱はADP7182のピンに接続される銅の量を増す事により改善する事ができます。パッケージの下の放熱プレーンを追加する事も熱特性の改善になります。しかし表 7 と表 8の表のように、結局収穫逡減点になり、それ以上では銅面積を増やしてもジャンクション～周囲間熱抵抗は大幅には下がりません。

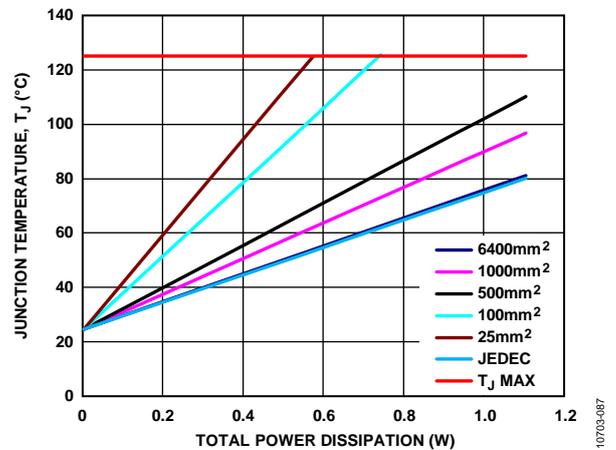


図 87. 全消費電力 対 ジャンクション温度、8ピンLFCSP、 $T_A = 25^\circ C$

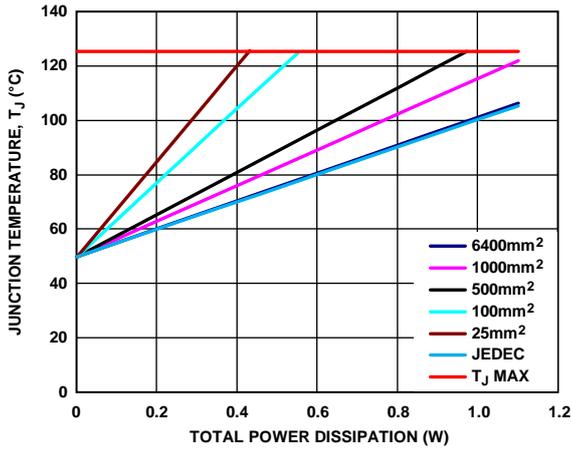


図 88. 全消費電力 対 ジャンクション温度、  
8ピンLFCSP、 $T_A = 50^\circ\text{C}$

107703-088

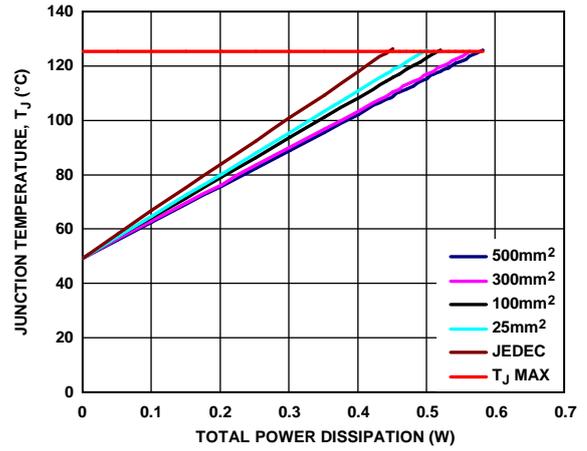


図 91. 全消費電力 対 ジャンクション温度、  
5ピンTSOT、 $T_A = 50^\circ\text{C}$

107703-091

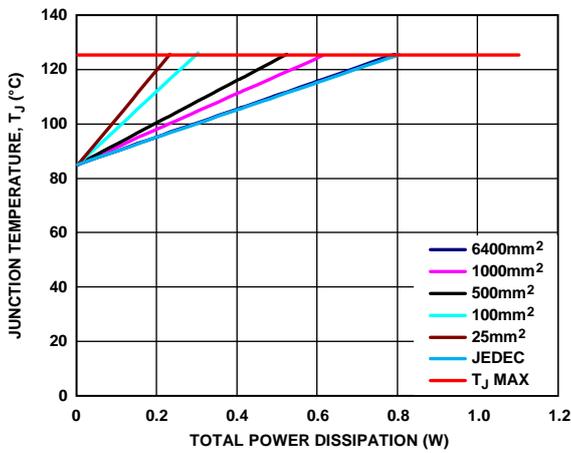


図 89. 全消費電力 対 ジャンクション温度、  
8ピンLFCSP、 $T_A = 85^\circ\text{C}$

107703-089

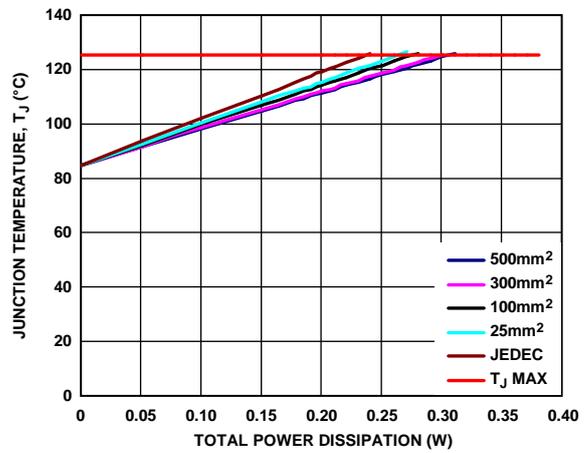


図 92. 全消費電力 対 ジャンクション温度、  
5ピンTSOT、 $T_A = 85^\circ\text{C}$

107703-092

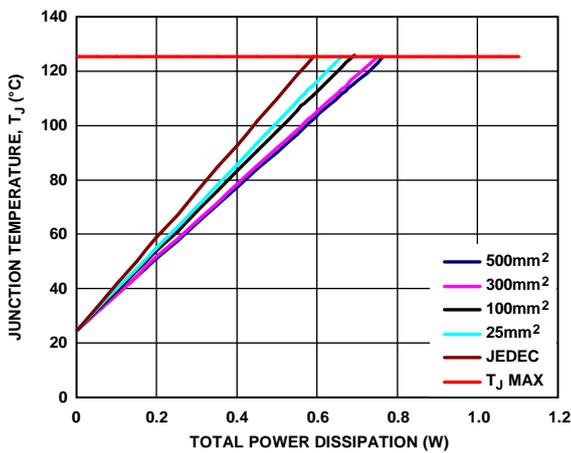


図 90. 全消費電力 対 ジャンクション温度、  
5ピンTSOT、 $T_A = 25^\circ\text{C}$

107703-090

熱特性評価パラメータ、 $\Psi_{JB}$

ボード温度が既知の場合は熱特性評価パラメータ ( $\Psi_{JB}$ ) を使用してジャンクション温度の上昇を推定してください (図 93 と 図 94を参照)。最大ジャンクション温度 ( $T_J$ ) はボード温度 ( $T_B$ ) と消費電力 ( $P_D$ ) から次式を使用して計算します。

$$T_J = T_B + (P_D \times \Psi_{JB}) \tag{6}$$

$\Psi_{JB}$  の標準値は8ピンLFCSPパッケージの場合18.2° C/Wで、5ピンTSOTパッケージの場合43° C/Wです。

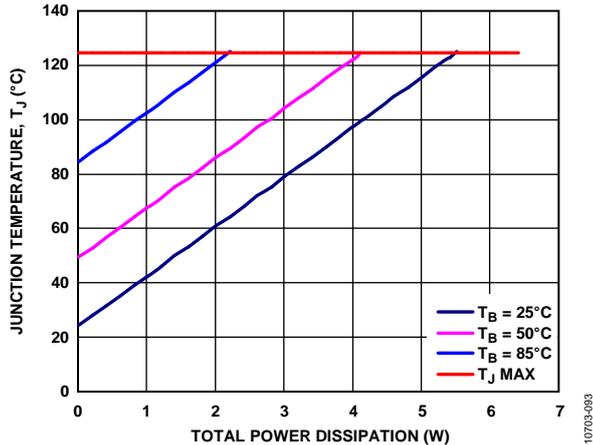


図 93. 全消費電力 対 ジャンクション温度、8ピンLFCSP、 $T_A = 85^\circ C$

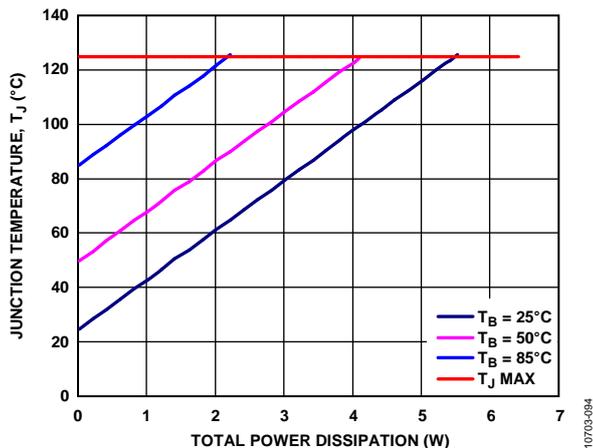


図 94. 全消費電力 対 ジャンクション温度、5ピンTSOT、 $T_A = 85^\circ C$

プリント基板レイアウト時の考慮事項

入力コンデンサはVIN ピンとGND ピンのできるだけ近くに配置してください。出力コンデンサはVOUT ピンとGND ピンのできるだけ近くに配置してください。1206 または0805 サイズのコンデンサと抵抗を使用すると、面積が限られているボード上で可能なもっとも小さなフットプリントを実現できます。

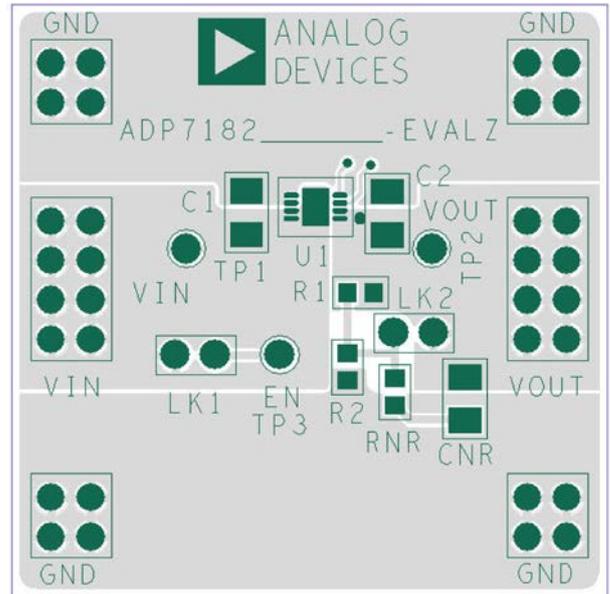


図 95. 8ピンLFCSP向けPCBレイアウトの例

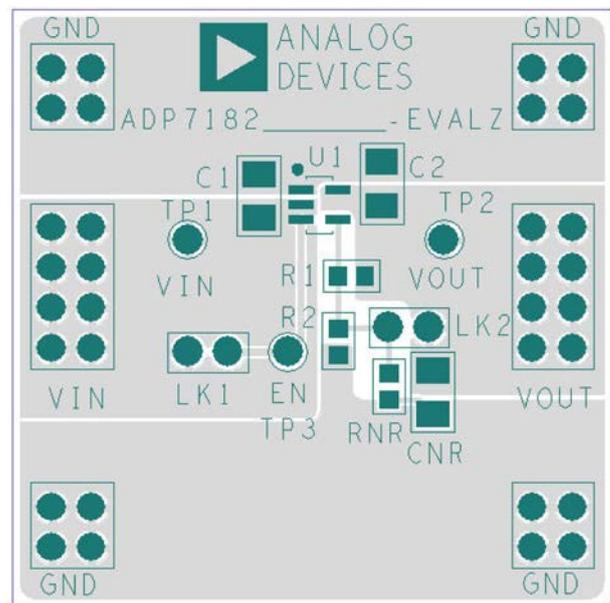
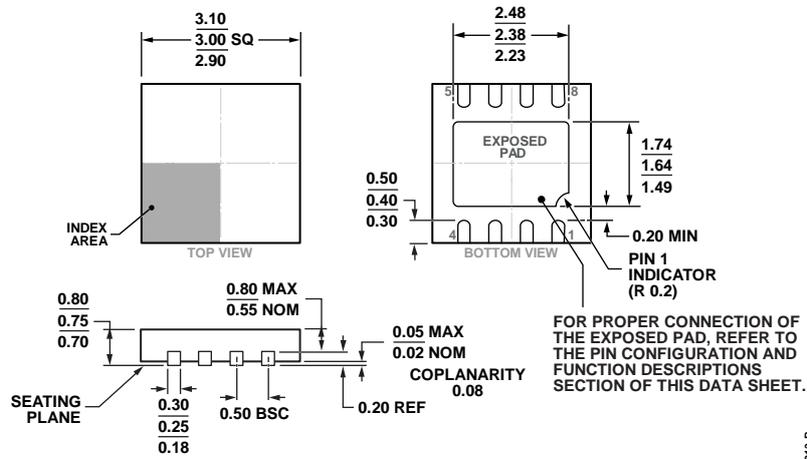


図 96. 5ピンTSOT向けPCBレイアウトの例

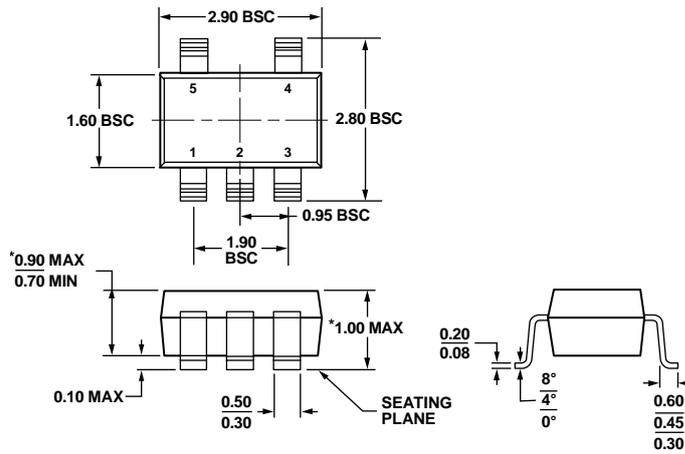
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-229-WEED-4

図97. 8ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP\_WD]  
 3 mm × 3 mmボディ、極薄、デュアル・ピン  
 (CP-8-5)  
 寸法: mm

02-05-2013-B



\*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

図 98. 5ピン薄型スモール・アウトライン・トランジスタ・パッケージ[TSOP]  
 (UJ-5)  
 寸法: mm

100708-A

## オーダー・ガイド

| Model <sup>1</sup> | Temperature Range | Output Voltage (V) <sup>2</sup> | Package Description | Package Option | Branding |
|--------------------|-------------------|---------------------------------|---------------------|----------------|----------|
| ADP7182ACPZ-R7     | -40° C to +125° C | Adjustable                      | 8-Lead LFCSP_WD     | CP-8-5         | LN6      |
| ADP7182ACPZ-5.0-R7 | -40° C to +125° C | -5                              | 8-Lead LFCSP_WD     | CP-8-5         | LN9      |
| ADP7182AUJZ-R7     | -40° C to +125° C | Adjustable                      | 5-Lead TSOT         | UJ-5           | LN6      |
| ADP7182AUJZ-1.8-R7 | -40° C to +125° C | -1.8                            | 5-Lead TSOT         | UJ-5           | LN1      |
| ADP7182AUJZ-2.5-R7 | -40° C to +125° C | -2.5                            | 5-Lead TSOT         | UJ-5           | LN7      |
| ADP7182AUJZ-3.0-R7 | -40° C to +125° C | -3                              | 5-Lead TSOT         | UJ-5           | LN2      |
| ADP7182AUJZ-5.0-R7 | -40° C to +125° C | -5                              | 5-Lead TSOT         | UJ-5           | LN9      |
| ADP7182UJ-EVALZ    |                   |                                 | Evaluation Board    |                |          |
| ADP7182CP-EVALZ    |                   |                                 | Evaluation Board    |                |          |

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> その他の電圧オプションについては、お近くのアナログ・デバイセズの営業所または販売代理店にお問い合わせください。