



測光用フロント・エンド

データシート

ADPD1080/ADPD1081

特長

多機能の測光用フロント・エンド
AFE、ADC、LED ドライバ、タイミング・コアを全て内蔵
フォトダイオード光学フィルタなしで、周囲光除去能力を実現
ピーク電流 370 mA の LED ドライバを 3 個内蔵
光学サンプルごとに複数の短い LED パルスを柔軟に生成
1 サンプル周期で 20 ビットのサンプリングを可能にする
20 ビット・バースト・アキュムレータ
サンプリングごとに累算するアキュムレータを内蔵し、
1 回で最大 27 ビットのデータ読出しが可能
低消費電力動作
SPI インターフェースまたは I²C インターフェースを採用し、
1.8 V で動作するアナログ/デジタル・コア
0.122 Hz ~ 2700 Hz 範囲の柔軟なサンプリング周波数
FIFO データ処理

アプリケーション

ウェアラブルな健康/フィットネス・モニタ
SpO₂ などの臨床測定
工業用モニタリング
背景光の測定

概要

ADPD1080 と ADPD1081 は、どちらも柔軟な発光ダイオード (LED) ドライバと連動する 14 ビット A/D コンバータ (ADC) と 20 ビット・バースト・アキュムレータを搭載した、高効率の側光用フロント・エンドです。ADPD1080/ADPD1081 は LED を駆動して、それに応答する光リターン信号を測定します。データ出力と機能設定は、ADPD1080 では 1.8 V の I²C インターフェース、ADPD1081 ではシリアル・ポート・インターフェース (SPI) を介して行います。制御回路には、柔軟性の高い LED 信号制御機能と同期検出機能が搭載されています。

アナログ・フロント・エンド (AFE) は、一般的に周囲光によって変調される干渉に起因した信号のオフセットや劣化の除去を、光フィルタや外部制御が必要な DC キャンセル回路を必要とせずに行うことを特長としています。

ADPD1080/ADPD1081 は 100 pF 未満の低容量フォトダイオードと組み合わせることによって最大限の性能を発揮します。また ADPD1080/ADPD1081 は、あらゆる LED とともに使用可能です。ADPD1080 は 16 ボールの 2.46 mm × 1.4 mm WLCSP パッケージと 28 ピンの 4 × 4 mm LFCSP パッケージを採用しています。SPI 専用バージョンである ADPD1081 は、17 ボール、2.46 mm × 1.4 mm の WLCSP パッケージで提供されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F
電話 052 (569) 6300

目次

特長.....	1	LED ドライバ・ピンと LED 電源電圧.....	32
アプリケーション.....	1	LED ドライバの動作.....	32
概要.....	1	平均電流の決定.....	33
目次.....	2	C_{VLED} の決定.....	33
改訂履歴.....	3	LED のインダクタンスに関する考慮事項.....	34
機能ブロック図.....	4	推奨されるスタートアップ・シーケンス.....	34
仕様.....	6	データの読出し.....	34
温度と電力の仕様.....	6	クロックとタイミングのキャリブレーション.....	36
性能仕様.....	7	GPIO0 と GPIO1 で利用できるオプションのタイミング信号.....	36
アナログ仕様.....	8	消費電流の計算.....	38
デジタル仕様.....	10	ワットあたりの S/N 比の最適化.....	39
タイミング仕様.....	11	未使用のチャンネルとアンプの無効化による電力の最適化.....	40
絶対最大定格.....	13	高周辺光条件のためのダイナミック・レンジの最適化.....	41
熱抵抗.....	13	TIA ADC モード.....	42
推奨するハンダ付けプロファイル.....	13	パルス接続モード.....	45
ESD に関する注意.....	13	TIA ADC モードを使用した ECG と PPG の同期測定.....	45
ピン配置およびピン機能の説明.....	14	フロート・モード.....	46
代表的な性能特性.....	17	レジスタ一覧.....	54
動作原理.....	19	LED 制御レジスタ.....	58
はじめに.....	19	AFE 設定レジスタ.....	60
デュアル・タイム・スロット動作.....	19	フロート・モード・レジスタ.....	64
タイム・スロット・スイッチ.....	20	システム・レジスタ.....	66
調整可能なサンプリング周波数.....	23	ADC レジスタ.....	71
ステート・マシンの動作.....	24	データ・レジスタ.....	72
通常モード動作とデータ・フロー.....	24	必須のスタートアップ・ロード手順.....	72
AFE の動作.....	26	外形寸法.....	73
AFE 積分オフセットの調整.....	26	オーダー・ガイド.....	74
I ² C シリアル・インターフェース.....	28		
SPI ポート.....	29		
アプリケーション情報.....	31		
代表的な接続図.....	31		

改訂履歴

2/2018—Rev. 0 to Rev. A

Added ADPD1081	Universal
Added 28-Lead LFCSP (CP-28-5), ADPD1080	Universal
Added 17-Ball WLCSP (CB-17-1), ADPD1081	Universal
Changes to Features Section and General Description Section.....	1
Changes to Figure 1.....	4
Added Figure 2; Renumbered Sequentially.....	5
Changes to Table 2	6
Changes to Table 5	10
Added SPI Timing Specifications Section, Table 7; Renumbered Sequentially, SPI Timing Diagram Section, and Figure 4.....	12
Added Table 9.....	13
Added Figure 6 and Table 12.....	14
Added Figure 8 and Table 14.....	16
Added Figure 16.....	17
Changes to Introduction Section.....	19
Added ADPD1080 LFCSP Input Configurations Section and Figure 18 to Figure 21	20

Added Figure 22 to Figure 24 and Table 16	21
Changes to Data Read Section.....	25
Added SPI Port Section, Table 20, and Table 21	29
Added Figure 33 to Figure 35.....	30
Changes to Typical Connection Diagram Section	31
Added Figure 38.....	31
Added Figure 39 and Table 22.....	32
Changes to Protecting Against TIA Saturation in Normal Operation Section.....	42
Change to Hex Addr. 0x08, Reset Column, Table 35	54
Changes to Table 37	60
Changes to Table 41	67
Updated Outline Dimensions.....	73
Changes to Ordering Guide	74

1/2018—Revision 0: Initial Version

機能ブロック図

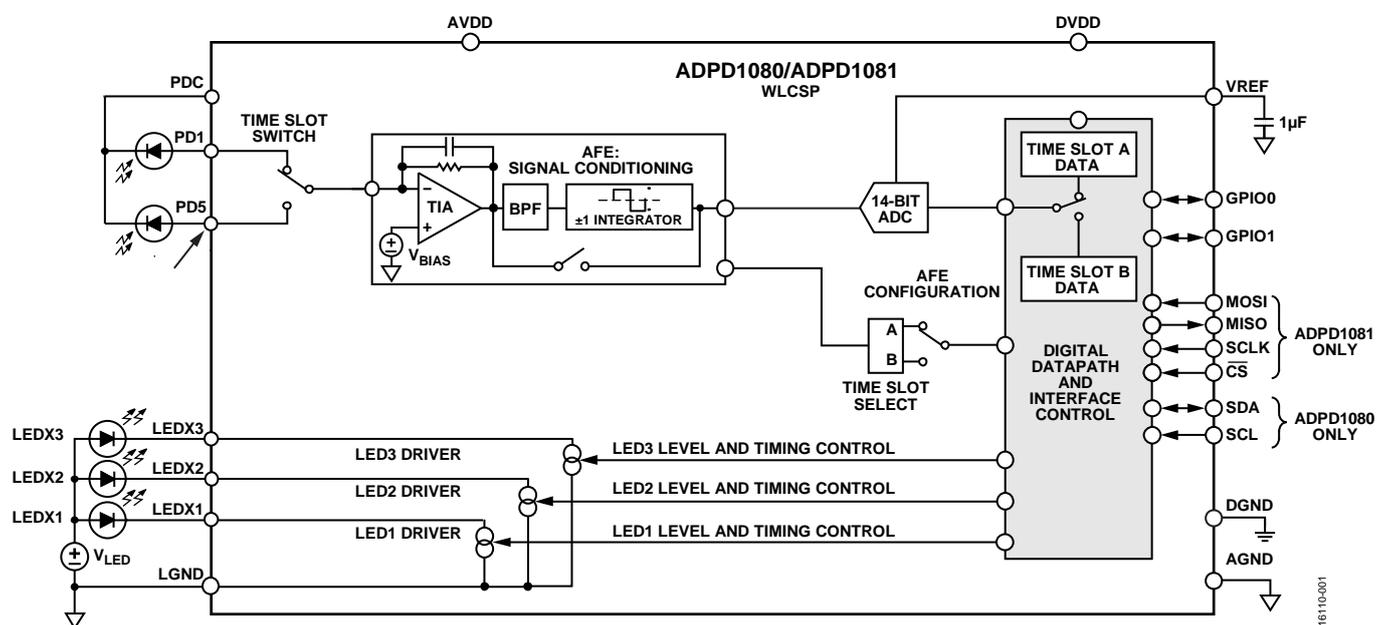


図 1. ADPD1080/ADPD1081 WLCSP (チップ・スケール・パッケージ) 仕様のブロック図

16110-001

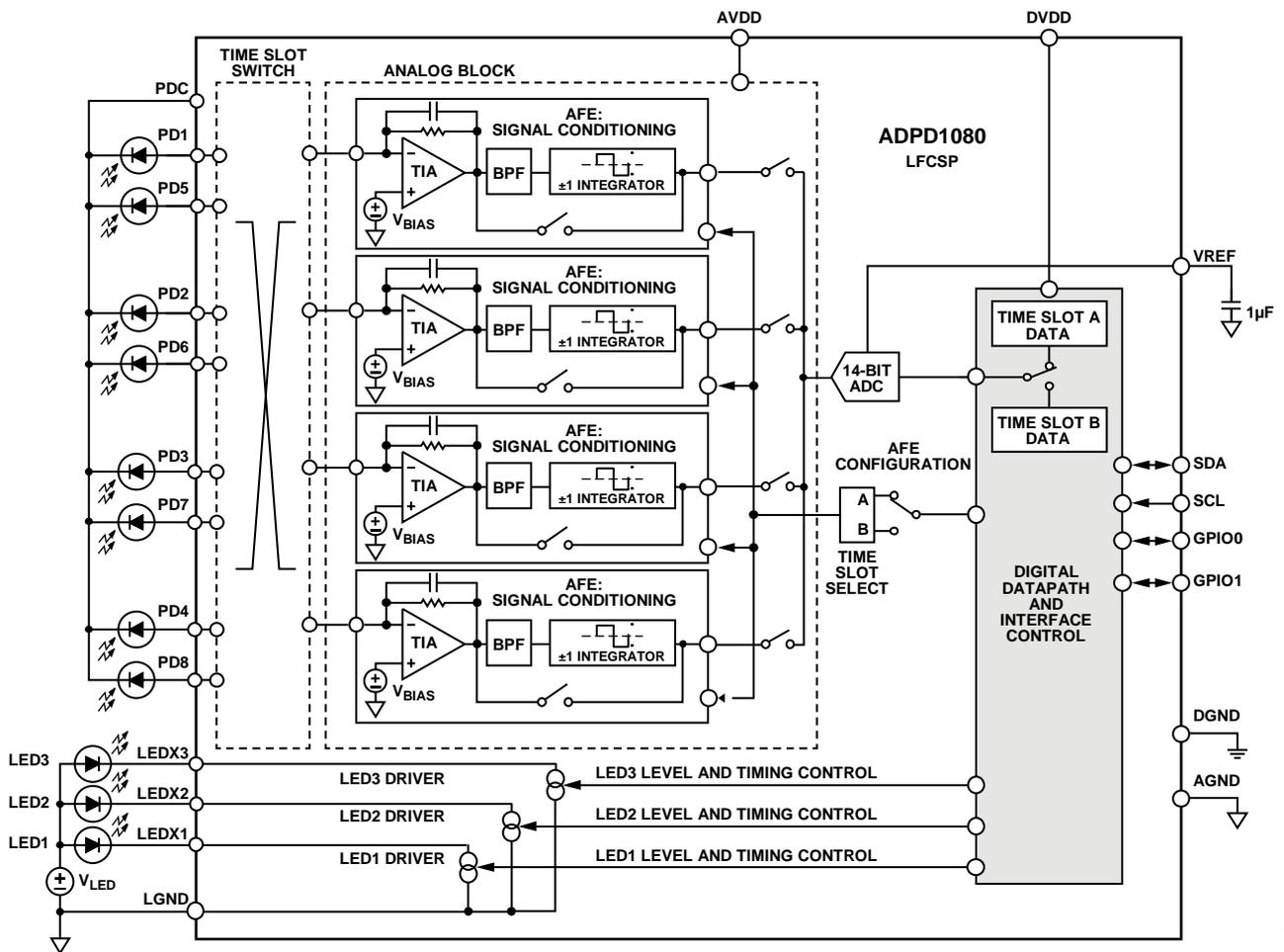


図 2. ADPD1080 LFCSP 仕様のブロック図

16110-002

仕様

温度と電力の仕様

動作条件

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
TEMPERATURE					
Operating Range		-40		+85	°C
Storage Range		-65		+150	°C
POWER SUPPLY VOLTAGE					
V _{DD}	Applied at the AVDD, DVDD, and VDD pins	1.7	1.8	1.9	V

消費電流

特に指定のない限り、AVDD = DVDD = 1.8 V、周囲温度 (T_A) = 25 °C。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY (V _{DD}) CURRENT						
V _{DD} Supply Current ¹		SLOTx_LED_OFFSET = 25 μs; LED_PERIOD = 13 μs; LED peak current = 25 mA, single-channel mode				
1 Pulse		100 Hz data rate; Time Slot A only		53		μA
		100 Hz data rate; Time Slot B only		41		μA
		100 Hz data rate; both Time Slot A and Time Slot B		76		μA
10 Pulses		100 Hz data rate; Time Slot A only		107		μA
		100 Hz data rate; Time Slot B only		95		μA
		100 Hz data rate; both Time Slot A and Time Slot B		184		μA
Peak V _{DD} Supply Current (1.8 V)	IV _{DD_PEAK}					
4-Channel Operation				9.3		mA
1-Channel Operation				4.5		mA
Standby Mode Current	IV _{DD_STANDBY}			0.3		μA
SYSTEM POWER DISSIPATION ²						
Average Power		Continuous, single channel, photoplethysmography (PPG) measurement V _{LED} = 4.0 V, V _{DD} = 1.8 V, signal-to-noise ratio (SNR) = 75 dB, 25 Hz output data rate, 70% full-scale input signal Current transfer ratio (CTR) = 20 nA/mA CTR = 100 nA/mA		258		μW
				75		μW
POWER SUPPLY REJECTION RATIO (PSRR)		DC PSRR at 75% full-scale input		24		dB

¹ V_{DD} は AVDD ピンと DVDD ピンに印加される電圧です。

² システム消費電力は、AFE の V_{DD} 電源と LED への V_{LED} 電源を含む平均総消費電力です。

性能仕様

特に指定のない限り、AVDD = DVDD = 1.8 V、T_A = 全動作温度範囲。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DATA ACQUISITION					
Resolution	Single pulse		14		Bits
Sample	64 to 255 pulses		20		Bits
Data Read	64 to 255 pulses and sample average = 128		27		Bits
LED DRIVER					
LED Current Slew Rate ¹	T _A = 25°C; I _{LED} = 70 mA				
Rising	Slew rate control setting = 0		240		mA/μs
	Slew rate control setting = 7		1400		mA/μs
Falling	Slew rate control setting = 0, 1, or 2		3200		mA/μs
	Slew rate control setting = 6 or 7		4500		mA/μs
LED Peak Current	LED pulse enabled			370	mA
Driver Compliance Voltage	Voltage above ground required for LED driver operation		0.6		V
LED PERIOD					
	AFE width = 4 μs ²		19		μs
	AFE width = 3 μs		17		μs
Sampling Frequency ³	Time Slot A or Time Slot B; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		2000	Hz
	Both time slots; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1600	Hz
	Time Slot A or Time Slot B; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1600	Hz
	Both time slots; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1000	Hz
CATHODE PIN (PDC) VOLTAGE					
During All Sampling Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1 ⁴		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
During Time Slot A Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x0 ⁴		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x3 ⁵		0		V
During Time Slot B Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x0 ⁴		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x3 ⁵		0		V
During Sleep Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x0		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x3		0		V
PHOTODIODE INPUT PINS/ANODE VOLTAGE					
During All Sampling Periods			1.3		V
During Sleep Periods			Cathode voltage		V

¹ これらの値に対応する LED のインダクタンスは無視できます。実効スルー・レートはインダクタンスの増加とともに低下します。

² 最小 LED 周期 = (2 × AFE 幅) + 5 μs。

³ この仕様に示す最大値は、内部の 32 kHz ステート・マシン・クロックを使用した通常動作モードにおける内蔵 ADC のサンプリング・レートです。構成によっては、PC の読出しレートが原因で出力データ・レートが制限を受ける可能性があります。

⁴ このモードは、追加のノイズを誘発する可能性があり、必要な場合以外は推奨できません。1.8 V 設定では、アノード電圧に多くの差動電圧ノイズを含む V_{DD} を使用します。

⁵ フォトダイオードを使用する場合、この設定は推奨できません。これは、フォトダイオードに 1.3 V の順方向バイアスがかかるためです。

アナログ仕様

特に指定のない限り、AVDD = DVDD = 1.8 V、T_A = 全動作温度範囲。AFE オフセットの補償については、AFE の動作のセクションで説明します。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CAPACITANCE				100	pF
PULSED SIGNAL CONVERSIONS, 3 μs WIDE LED PULSE ¹ ADC Resolution ²	4 μs wide AFE integration; normal operation, Register 0x43 and Register 0x45 = 0xADA5 Transimpedance amplifier (TIA) feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		3.27 1.64 0.82 0.41		nA/LSB nA/LSB nA/LSB nA/LSB
ADC Saturation Level	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		26.8 13.4 6.7 3.35		μA μA μA μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		23.6 11.8 5.9 2.95		μA μA μA μA
PULSED SIGNAL CONVERSIONS, 2 μs WIDE LED PULSE ¹ ADC Resolution ²	3 μs wide AFE integration; normal operation, Register 0x43 and Register 0x45 = 0xADA5 TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		4.62 2.31 1.15 0.58		nA/LSB nA/LSB nA/LSB nA/LSB
ADC Saturation Level	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		37.84 18.92 9.46 4.73		μA μA μA μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		12.56 6.28 3.14 1.57		μA μA μA μA
FULL SIGNAL CONVERSIONS ³ TIA Saturation Level of Pulsed Signal and Ambient Level	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		50.4 25.2 12.6 6.3		μA μA μA μA
TIA Linear Range	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		42.8 21.4 10.7 5.4		μA μA μA μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SYSTEM PERFORMANCE					
Total Output Noise Floor	Normal mode; per pulse; per channel; no LED; photodiode capacitance (C_{PD}) = 70 pF				
	25 k Ω ; referred to ADC input		1.0		LSB rms
	25 k Ω ; referred to peak input signal for 2 μ s LED pulse		4.6		nA rms
	25 k Ω ; referred to peak input signal for 3 μ s LED pulse		3.3		nA rms
	25 k Ω ; saturation SNR per pulse per channel ⁴		78.3		dB
	50 k Ω ; referred to ADC input		1.2		LSB rms
	50 k Ω ; referred to peak input signal for 2 μ s LED pulse		2.8		nA rms
	50 k Ω ; referred to peak input signal for 3 μ s LED pulse		2.0		nA rms
	50 k Ω ; saturation SNR per pulse per channel ⁴		76.6		dB
	100 k Ω ; referred to ADC input		1.5		LSB rms
	100 k Ω ; referred to peak input signal for 2 μ s LED pulse		1.7		nA rms
	100 k Ω ; referred to peak input signal for 3 μ s LED pulse		1.2		nA rms
	100 k Ω ; saturation SNR per pulse per channel ⁴		74.9		dB
	200 k Ω ; referred to ADC input		2.2		LSB rms
	200 k Ω ; referred to peak input signal for 2 μ s LED pulse		1.3		nA rms
	200 k Ω ; referred to peak input signal for 3 μ s LED pulse		0.9		nA rms
	200 k Ω ; saturation SNR per pulse per channel ⁴		71.2		dB

¹ この飽和レベルは ADC にのみ適用されるので、含まれるのはパルス信号だけです。非パルス信号は、ADC 段以前で除去されます。

² AFE 動作のセクションに従って AFE オフセットが正しく補償されている場合、ADC の分解能は 1 パルスについての値が示されます。複数のパルスを使用する場合、パルス数で割ってください。

³ この飽和レベルは信号パス全体に適用されるので、周辺信号とパルス信号の両方が含まれています。TIA の線形ダイナミック・レンジは、ここに示す TIA 飽和レベルの 85 % です。

⁴ 飽和 S/N 比値のノイズ項は、受信ノイズのみを表し、光子ショット・ノイズや LED 信号自体に重畳されるノイズは一切含まれていません。

デジタル仕様

特に指定のない限り、DVDD = 1.7 V ~ 1.9 V。

表 5.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS (GPIOx, SCL ¹ , SDA ¹ , SCLK ² , MOSI ² , \overline{CS}^2)						
Input Voltage Level						
High	V _{IH}	SCL ¹ , SDA ¹ GPIOx, SCLK ² , MOSI ² , \overline{CS}^2	0.7 × DVDD		3.6	V
Low	V _{IL}		0.7 × DVDD		DVDD	V
Input Current Level						
High	I _{IH}		-10		+10	μA
Low	I _{IL}		-10		+10	μA
Input Capacitance	C _{IN}			10		pF
LOGIC OUTPUTS						
Output Voltage Level						
High	V _{OH}	GPIOx, MISO ² 2 mA high level output current	DVDD - 0.5			V
Low	V _{OL}	2 mA low level output current			0.5	V
Output Voltage Level						
Low	V _{OL1}	SDA ¹ 2 mA low level output current			0.2 × DVDD	V
Output Current Level						
Low	I _{OL}	SDA ¹ V _{OL1} = 0.6 V	6			mA

¹ このピンは、ADPD1080 の I²C インターフェースの一部としてのみ使用できます。

² このピンは、ADPD1081 の SPI ポートの一部としてのみ使用できます。

タイミング仕様
I²C タイミングの仕様

表 6.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
I ² C PORT		I ² C port on ADPD1080 only.				
SCL						
Frequency				1		Mbps
Minimum Pulse Width						
High	t_1		370			ns
Low	t_2		530			ns
Start Condition						
Hold Time	t_3		260			ns
Setup Time	t_4		260			ns
SDA Setup Time	t_5		50			ns
SCL and SDA						
Rise Time	t_6				120	ns
Fall Time	t_7				120	ns
Stop Condition						
Setup Time	t_8		260			ns

I²C タイミング図

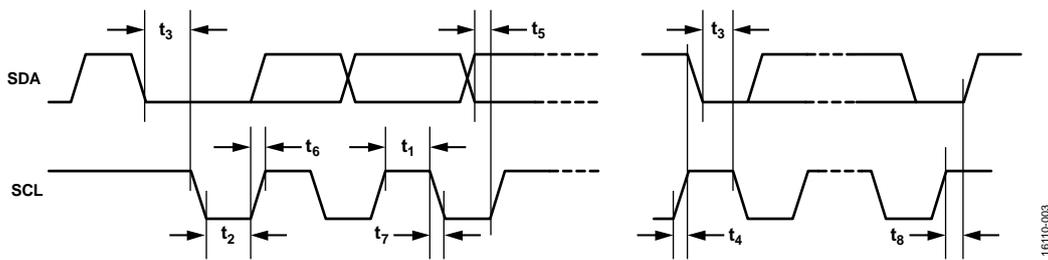


図 3. I²C タイミング図

16110-003

SPI タイミング仕様

表 7.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SPI PORT						
SCLK						
Frequency	f_{SCLK}	SPI Port available on ADPD1081 only			10	MHz
Minimum Pulse Width						
High	$t_{SCLKPWH}$		20			ns
Low	$t_{SCLKPWL}$		20			ns
\overline{CS}						
Setup Time	$t_{\overline{CS}}$	\overline{CS} setup to SCLK rising edge	10			ns
Hold Time	$t_{\overline{CSH}}$	\overline{CS} hold from SCLK rising edge	10			ns
Pulse Width High	$t_{\overline{CSPWH}}$	\overline{CS} pulse width high	10			ns
MOSI						
Setup Time	t_{MOSIS}	MOSI setup to SCLK rising edge	10			ns
Hold Time	t_{MOSIH}	MOSI hold from SCLK rising edge	10			ns
MISO Output Delay	t_{MISOD}	MISO valid output delay from SCLK falling edge			21	ns

SPI タイミング図

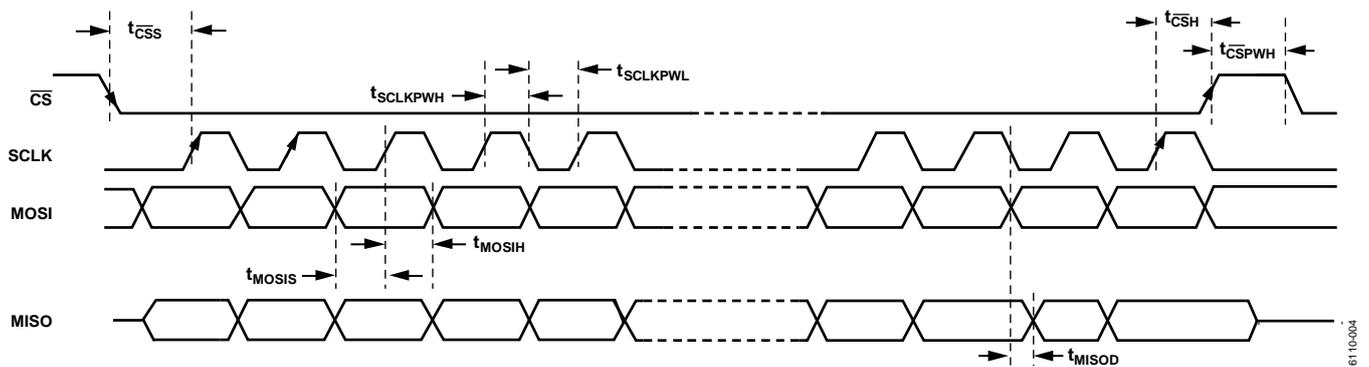


図 4. SPI タイミング図

18110004

絶対最大定格

表 8. ADPD1080 絶対最大定格

Parameter	Rating
AVDD to AGND	-0.3 V to +2.2 V
DVDD to AGND (LFCSP Only)	-0.3 V to +2.2 V
GPIOx to AGND (LFCSP Only)	-0.3 V to +2.2 V
DVDD to DGND (WLCSP Only)	-0.3 V to +2.2 V
GPIOx to DGND (WLCSP Only)	-0.3 V to +2.2 V
LEDXx to LGND	-0.3 V to +3.6 V
SCL, SDA to DGND	-0.3 V to +3.9 V
Junction Temperature	150°C
Electrostatic Discharge (ESD)	
Human Body Model (HBM)	1500 V
Charged Device Model (CDM)	500 V
Machine Model (MM)	100 V

表 9. ADPD1081 絶対最大定格

Parameter	Rating
VDD to AGND	-0.3 V to +2.2 V
VDD to DGND	-0.3 V to +2.2 V
GPIOx, MOSI, MISO, SCLK, \overline{CS} to DGND	-0.3 V to +2.2 V
LEDXx to LGND	-0.3 V to +3.6 V
Junction Temperature	150°C
Electrostatic Discharge (ESD)	
Human Body Model (HBM)	1500 V
Charged Device Model (CDM)	500 V
Machine Model (MM)	100 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は接合部 - 周囲の熱抵抗値、 θ_{JC} は接合部 - ケースの熱抵抗値です。

表 10. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC}	Unit
CP-28-5 (28-Lead LFCSP)	54.9	5.3	°C/W
CB-16-18 (16-Ball WLCSP)	60	0.5	°C/W
CB-17-1 (17-Ball WLCSP)	60	0.5	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P ボードと 2 個のサーマル・ビアに基づいて算出したものです。JEDEC JESD-51 参照。

推奨するハンダ付けプロファイル

図 5 と表 11 に、推奨するハンダ付けプロファイルの詳細を示します。

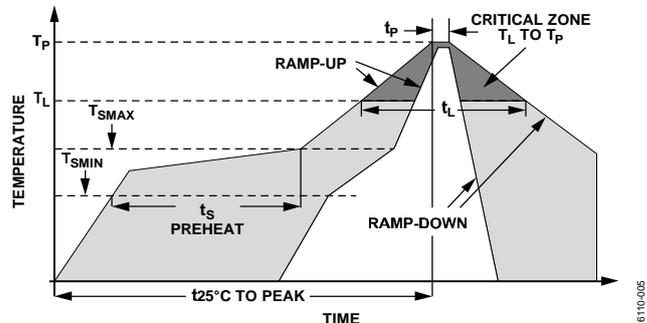


図 5. 推奨するハンダ付けプロファイル

表 11. 推奨するハンダ付けプロファイル

Profile Feature	Condition (Pb-Free)
Average Ramp Rate (T_L to T_P)	3°C/sec max
Preheat	
Minimum Temperature (T_{SMIN})	150°C
Maximum Temperature (T_{SMAX})	200°C
Time (T_{SMIN} to T_{SMAX}) (t_s)	60 sec to 180 sec
T_{SMAX} to T_L Ramp-Up Rate	3°C/sec maximum
Time Maintained Above Liquidous Temperature	
Liquidous Temperature (T_L)	217°C
Time (t_L)	60 sec to 150 sec
Peak Temperature (T_P)	+260 (+0/-5)°C
Time Within 5°C of Actual Peak Temperature (t_p)	<30 sec
Ramp-Down Rate	6°C/sec maximum
Time from 25°C to Peak Temperature	8 minutes maximum

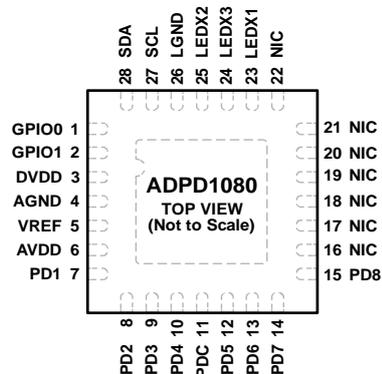
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NIC = NOT INTERNALLY CONNECTED (NONBONDED PAD). THIS PIN CAN BE GROUNDING.
 2. EXPOSED PAD (DIGITAL GROUND). CONNECT THE EXPOSED PAD TO GROUND.

16110-008

図 6. 28 ピン LFCSP ピン配置 (ADPD1080)

表 12. 28 ピン LFCSP ピン機能の説明 (ADPD1080)

Pin No.	Mnemonic	Type ¹	Description
1	GPIO0	DIO	汎用入出力 0。このピンは、割込みと各種クロック供給オプションに使用します。
2	GPIO1	DIO	汎用入出力 1。このピンは、割込みと各種クロック供給オプションに使用します。
3	DVDD	S	1.8 V デジタル電源。
4	AGND	S	アナログ・グラウンド。
5	VREF	REF	内部で生成される ADC 電圧リファレンス。1 μ F のコンデンサを使ってこのピンを AGND にバッファします。
6	AVDD	S	1.8 V アナログ電源。
7	PD1	AI	フォトダイオード電流入力 (アノード) 1。使用しない場合、このピンはフロート状態のままにしておきます。
8	PD2	AI	フォトダイオード電流入力 (アノード) 2。使用しない場合、このピンはフロート状態のままにしておきます。
9	PD3	AI	フォトダイオード電流入力 (アノード) 3。使用しない場合、このピンはフロート状態のままにしておきます。
10	PD4	AI	フォトダイオード電流入力 (アノード) 4。使用しない場合、このピンはフロート状態のままにしておきます。
11	PDC	AO	フォトダイオードのコモン・カソード・バイアス。
12	PD5	AI	フォトダイオード電流入力 (アノード) 5。使用しない場合、このピンはフロート状態のままにしておきます。
13	PD6	AI	フォトダイオード電流入力 (アノード) 6。使用しない場合、このピンはフロート状態のままにしておきます。
14	PD7	AI	フォトダイオード電流入力 (アノード) 7。使用しない場合、このピンはフロート状態のままにしておきます。
15	PD8	AI	フォトダイオード電流入力 (アノード) 8。使用しない場合、このピンはフロート状態のままにしておきます。
16 to 22	NIC	R	内部接続なし (ボンディングされていないパッド)。このピンは接地できます。
23	LEDX1	AO	LED ドライバ 1 電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
24	LEDX3	AO	LED ドライバ 3 電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
25	LEDX2	AO	LED ドライバ 2 の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
26	LGND	S	LED ドライバのグラウンド。
27	SCL	DI	I ² C クロック入力。
28	SDA	DIO	I ² C データ入出力。
	EPAD (DGND)	S	露出パッド (デジタル・グラウンド)。この露出パッドはグラウンドに接続します。

¹ DIO はデジタル入出力、S は電源、REF は電圧リファレンス、AI はアナログ入力、AO はアナログ出力、R は予備、DI はデジタル入力を意味します。

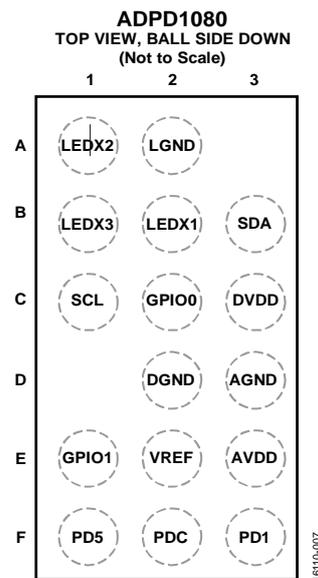


図 7. 16 ボール WLCSP のピン配置 (ADPD1080)

表 13. 16 ボール WLCSP のピン機能の説明 (ADPD1080)

Pin No.	Mnemonic	Type ¹	Description
A1	LEDX2	AO	LED2 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A2	LGND	S	LED ドライバのグラウンド。
B1	LEDX3	AO	LED3 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B2	LEDX1	AO	LED1 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B3	SDA	DIO	I ² C データ入力/出力。
C1	SCL	DI	I ² C クロック入力。
C2	GPIO0	DIO	汎用入出力 0。このピンは、割込みと各種クロック供給オプションに使用します。
C3	DVDD	S	1.8 V デジタル電源。
D2	DGND	S	デジタル・グラウンド。
D3	AGND	S	アナログ・グラウンド。
E1	GPIO1	DIO	汎用入出力 1。このピンは、割込みと各種クロック供給オプションに使用します。
E2	VREF	REF	内部で生成される ADC 電圧リファレンス。1 μ F のコンデンサを使ってこのピンを AGND にバッファします。
E3	AVDD	S	1.8 V アナログ電源。
F1	PD5	AI	PD5 フォトダイオード電流入力。使用しない場合、このピンはフロート状態のままにしておきます。
F2	PDC	AO	フォトダイオードのコモン・カソード・バイアス。
F3	PD1	AI	PD1 フォトダイオード電流入力。使用しない場合、このピンはフロート状態のままにしておきます。

¹ AO はアナログ出力、S は電源、DIO はデジタル入出力、DI はデジタル入力、REF は電圧リファレンス、AI はアナログ入力、AO はアナログ出力を意味します。

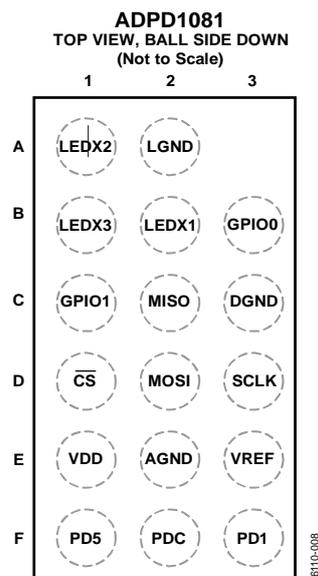


図 8. 17 ボール WLCSP のピン配置 (ADPD1081)

表 14. 17 ボール WLCSP のピン機能の説明 (ADPD1081)

Pin No.	Mnemonic	Type ¹	Description
A1	LEDX2	AO	LED2 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A2	LGND	S	LED ドライバのグラウンド。
B1	LEDX3	AO	LED3 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B2	LEDX1	AO	LED1 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B3	GPIO0	DIO	汎用入出力 0。このピンは、割込みと各種クロック供給オプションに使用します。
C1	GPIO1	DIO	汎用入出力 1。このピンは、割込みと各種クロック供給オプションに使用します。
C2	MISO	DO	マスター入力、スレーブ出力。
C3	DGND	S	デジタル・グラウンド。
D1	$\overline{\text{CS}}$	DI	SPI チップ・セレクト。アクティブ・ロー。
D2	MOSI	DI	マスター出力、スレーブ入力。
D3	SCLK	DI	SPI クロック入力。
E1	VDD	S	1.8 V 電源。
E2	AGND	S	アナログ・グラウンド。
E3	VREF	REF	内部で生成される ADC 電圧リファレンス。1 μF のコンデンサを使ってこのピンを AGND にバッファします。
F1	PD5	AI	PD5 フォトダイオード電流入力。使用しない場合、このピンはフロート状態のままにしておきます。
F2	PDC	AO	フォトダイオードのコモン・カソード・バイアス。
F3	PD1	AI	PD1 フォトダイオード電流入力。使用しない場合、このピンはフロート状態のままにしておきます。

¹ AO はアナログ出力、S は電源、DIO はデジタル入出力、DO はデジタル出力、DI はデジタル入力、REF はリファレンス電圧、AI はアナログ入力を意味します。

代表的な性能特性

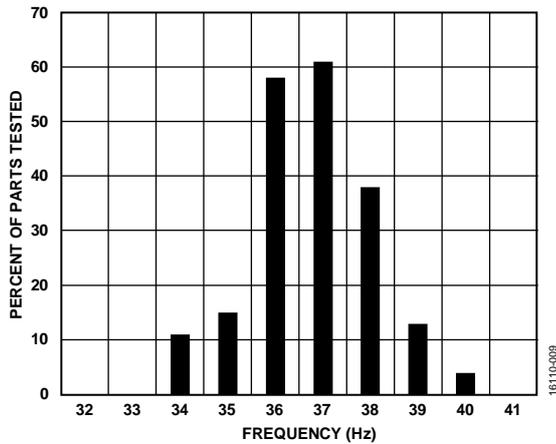


図 9. 32 kHz クロック周波数の分布
(デフォルト設定、ユーザーによるキャリブレーションの前:
レジスタ 0x4B = 0x2612)

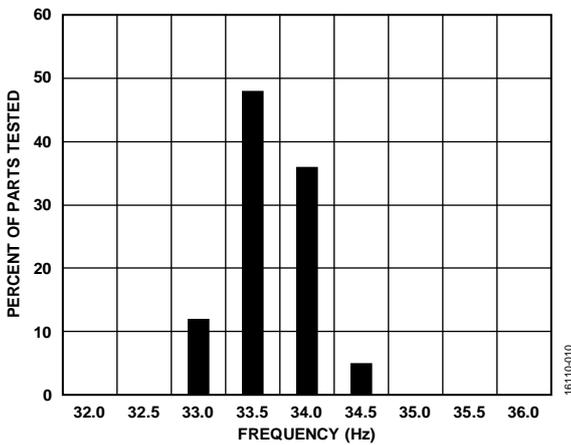


図 10. 32 MHz クロック周波数の分布
(デフォルト設定、ユーザーによるキャリブレーションの前:
レジスタ 0x4D = 0x0098)

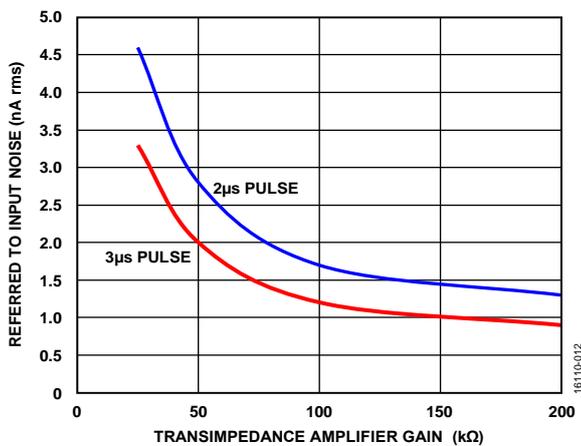


図 11. 入力換算ノイズとトランスインピーダンス・
アンプ・ゲインの関係 ($C_{PD} = 70$ pF)

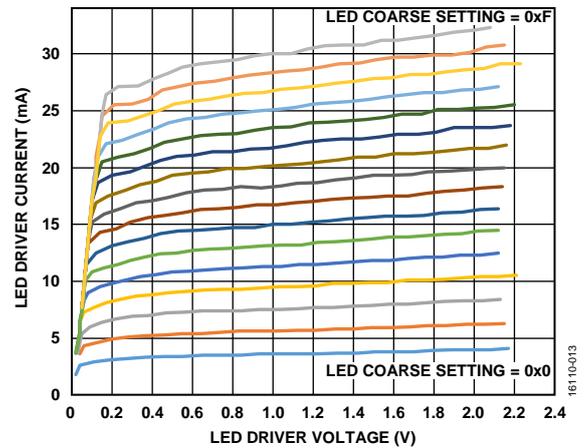


図 12. LED ドライバ電流と LED ドライバ電圧の関係
(10% 駆動強度、微細設定はデフォルト値)

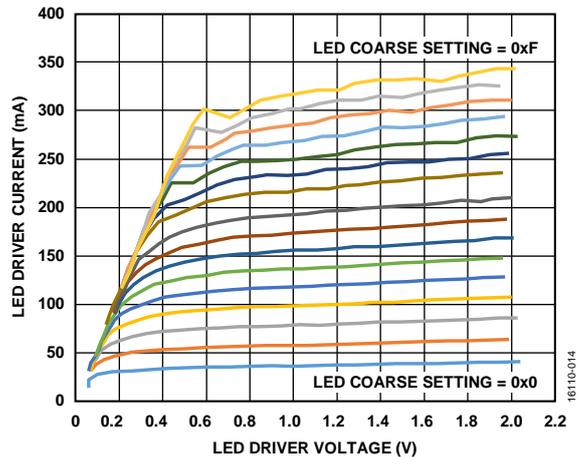


図 13. LED ドライバ電流と LED ドライバ電圧の関係
(100% 駆動強度、微細設定はデフォルト値)

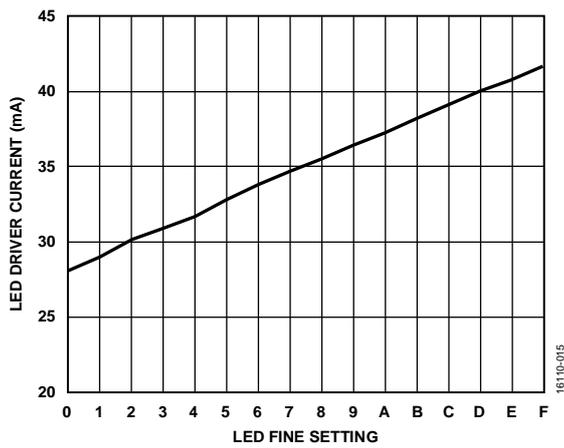


図 14. LED ドライバ電流と LED 微細設定の関係
(粗設定 = 0x0)

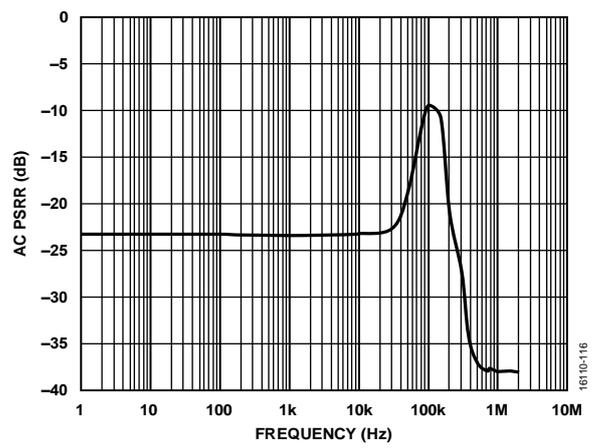


図 16. AC PSRR の周波数特性
(75% フル・スケール入力信号)

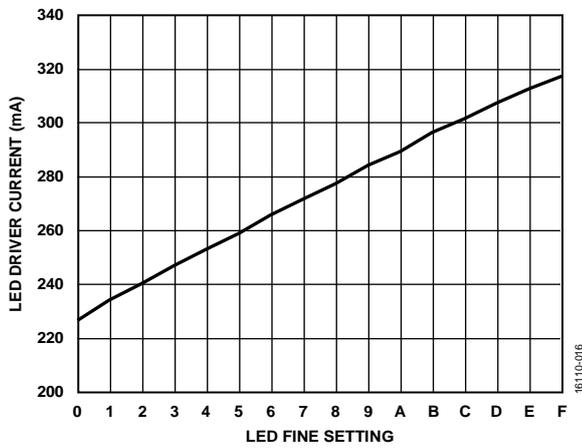


図 15. LED ドライバ電流と LED 微細設定の関係
(粗設定 = 0xF)

動作原理

はじめに

ADPD1080/ADPD1081 は最大 3 個の LED を励起しリターン信号を最大 2 つの個別の電流入力で測定する、フル機能の光学トランシーバーとして動作します。コアを構成しているのは、ADC に結合された測光用フロント・エンド、デジタル・ブロック、および 3 個の独立した LED ドライバです。コア回路は複数の LED を励起して、1 ~ 8 つのフォトダイオード入力を通じてアナログ・ブロックに返された信号を測定し、個別のデータ保管場所に結果を保存します。2 個の入力で 4 個の同時入力チャンネルを駆動できます。レジスタから直接データを読み出すことも、先入れ先出し (FIFO) 方式でデータを読み出すこともできます。この高集積システムは、アナログ信号処理ブロック、デジタル信号処理ブロック、ADPD1080 の I²C 通信インターフェースまたは ADPD1081 の SPI ポートの他、プログラマブルな LED パルス電流源で構成されています。

LED ドライバは電流シンクなので、LED 供給電圧や LED の種類による影響を受けません。フォトダイオード (PDX) の入力は、入力容量が 100 pF 未満のあらゆるフォトダイオードに対応できます。ADPD1080/ADPD1081 は、比較的小さな LED 電力で高い S/N 比を達成すると同時に、周辺光が測定信号に及ぼす影響を大幅に軽減します。

デュアル・タイム・スロット動作

ADPD1080/ADPD1081 は 2 つの独立したタイム・スロット (タイム・スロット A とタイム・スロット B) で動作します。これらのスロットは、順番に実行されます。LED を励起してからデータをキャプチャし、処理を実行するまでの信号パス全体が、各タイム・スロット内で実行されます。各タイム・スロットには個別のデータバスがあります。これらのデータバスは、LED ドライバ、AFE のセットアップ、結果データごとに、独立した設定を使用します。タイム・スロット A とタイム・スロット B は、図 17 に示すようにサンプリング周期ごとに順番に動作します。

タイム・スロット A およびタイム・スロット B のタイミング・パラメータは、次のように定義されます。

$$t_A (\mu\text{s}) = \text{SLOTA_LED_OFFSET} + n_A \times \text{SLOTA_PERIOD}$$

ここで、 n_A はタイム・スロット A のパルス数 (レジスタ 0x31、ビット [15:8]) です。

$$t_B (\mu\text{s}) = \text{SLOTB_LED_OFFSET} + n_B \times \text{SLOTB_PERIOD}$$

ここで、 n_B はタイム・スロット B のパルス数 (レジスタ 0x36、ビット [15:8]) です。

次式を使用して LED の周期を計算します。

$$\text{LED_PERIOD, minimum} = 2 \times \text{SLOTx_AFE_WIDTH} + 11$$

t_1 と t_2 は固定値で、各スロットの計算時間に基づいています。どちらかのスロットが使用されていない場合、そのスロットに対応する時間は全体のアクティブ時間に寄与しません。これらの LED タイミング・パラメータとサンプル・タイミング・パラメータの値を表 15 に定義します。

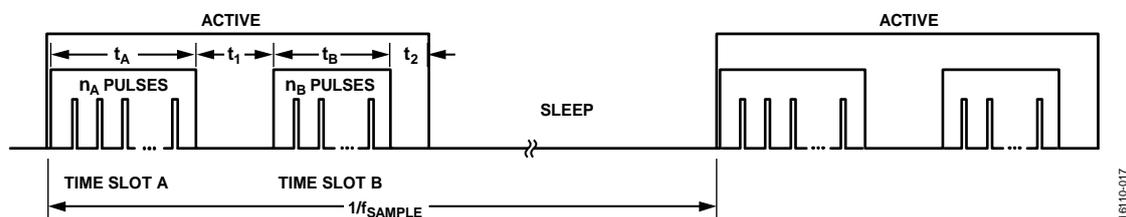


図 17. タイム・スロットのタイミング図 (f_{SAMPLE} はサンプリング周波数 (レジスタ 0x12 のビット [15:0]))。

表 15. LED タイミング・パラメータとサンプリング・タイミング・パラメータ

Parameter	Register	Bits	Test Conditions/Comments	Min	Typ	Max	Unit
SLOTA_LED_OFFSET ¹	0x30	[7:0]	Delay from power-up to LEDA rising edge	23		63	μs
SLOTB_LED_OFFSET ¹	0x35	[7:0]	Delay from power-up to LEDB rising edge	23		63	μs
SLOTA_PERIOD ²	0x31	[7:0]	Time between LED pulses in Time Slot A; SLOTx_AFE_WIDTH = 4 μs	19		63	μs
SLOTB_PERIOD ²	0x36	[7:0]	Time between LED pulses in Time Slot B; SLOTx_AFE_WIDTH = 4 μs	19		63	μs
t_1	N/A	N/A	Compute time for Time Slot A		68		μs
t_2	N/A	N/A	Compute time for Time Slot B		20		μs
t_{SLEEP}	N/A	N/A	Sleep time between sample periods	222			μs

¹ SLOTx_LED_OFFSET を規定の最小値より小さい値に設定すると、大きいフォトダイオードを使用する場合に、周辺光の除去に失敗する可能性があります。

² SLOTx_LED_PERIOD を規定の最小値より小さい値に設定すると、無効なデータ・キャプチャが実行される可能性があります。

タイム・スロット・スイッチ

ADPD1080 LFCSP の入力構成

LFCSP 仕様の ADPD1080 には最大 8 個のフォトダイオード (PD1 ~ PD8) を接続できます。フォトダイオードのアノードは PD1 ~ PD8 入力ピンに、カソードはカソード・ピン PDC に接続します。アノードの割り当ては、レジスタ 0x14 の設定に応じて、7 通りの異なる構成で行われます (図 18 ~ 図 24 を参照)。

図 18 ~ 図 24 は、使用できるさまざまな構成を示しています。選択する構成は、アプリケーションの条件によって異なります。アプリケーションのダイナミック・レンジ条件に応じて、1、2、または 4 チャンネル・モードを選択できます。また、フォトダイオード電流を合計する必要がある場合に、入力ピンをまとめてマルチプレクスできるモードがいくつかあります。

タイム・スロット・スイッチの設定については、表 16 を参照してください。デバイスが正しく動作するように、未使用の入力はフロート状態にしておくことが重要です。フォトダイオードの入力は電流ですが、これらのピンは電圧を出力するともみなされます。これらの入力を何らかの電圧に接続すると、アナログ・ブロックが飽和します。

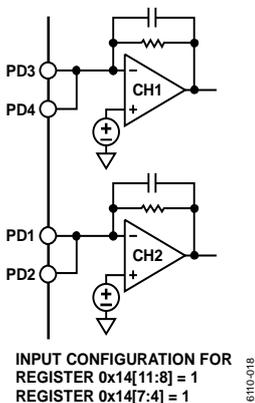


図 18. LFCSP での PD1 ~ PD4 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 1)

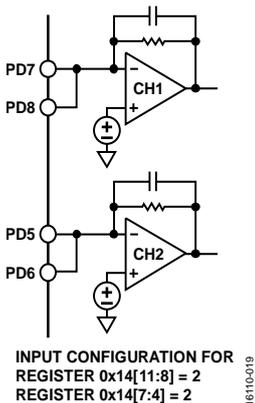


図 19. LFCSP での PD5 ~ PD8 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 2)

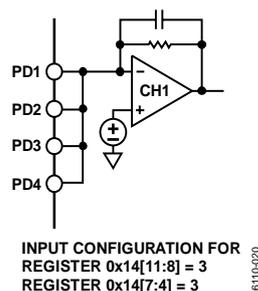


図 20. LFCSP での PD1 ~ PD4 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 3)

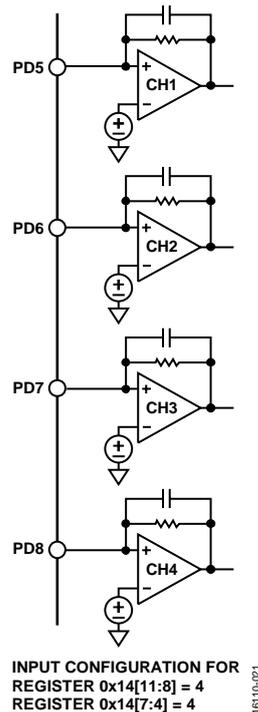


図 21. LFCSP での PD5 ~ PD8 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 4)

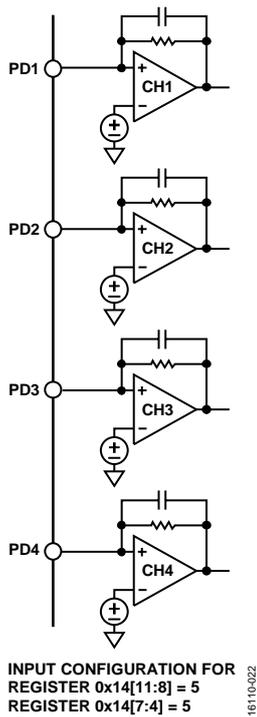


図 22. LFCSP での PD1 ~ PD4 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 5)

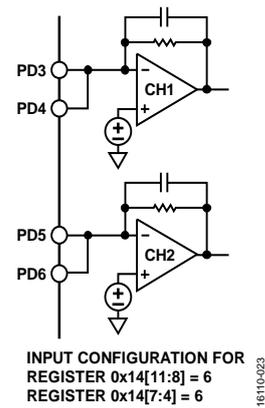


図 23. LFCSP での PD3 ~ PD6 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 6)

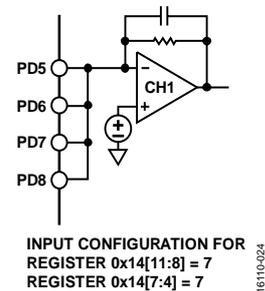


図 24. LFCSP での PD5 ~ PD8 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 7)

表 16. タイム・スロット・スイッチ (レジスタ 0x14)、ADPD1080 LFCSP

Register, Bits, and Time Slot	Setting	Channel			
		1	2	3	4
Register 0x14, Bits[11:8] for Time Slot B and Bits[7:4] for Time Slot A	0	No connect	No connect	No connect	No connect
	1	PD3, PD4	PD1, PD2	No connect	No connect
	2	PD7, PD8	PD5, PD6	No connect	No connect
	3	PD1 to PD4	No connect	No connect	No connect
	4	PD5	PD6	PD7	PD8
	5	PD1	PD2	PD3	PD4
	6	PD3, PD4	PD5, PD6	No connect	No connect
	7	PD5 to PD8	No connect	No connect	No connect

WLCSP の入力構成

ADPD1080 と ADPD1081 の WLCSP モデルの PD1 および PD5 の入力ピンには、最大 2 個のフォトダイオードを接続できます。フォトダイオードのアノードは、PD1 と PD5 の入力ピンに、カソードは、カソード・ピン PDC に接続します。アノードは、レジスタ 0x14 のビット設定に基づいて、図 25 と図 26 に示す構成で割り当てられます。

タイム・スロット・スイッチの設定については、表 17 を参照してください。デバイスが正しく動作するように、未使用の入力はフロート状態にしておくことが重要です。フォトダイオードの入力は電流ですが、これらのピンは電圧を出力するともみなされます。これらの入力を何らかの電圧に接続すると、アナログ・ブロックが飽和します。

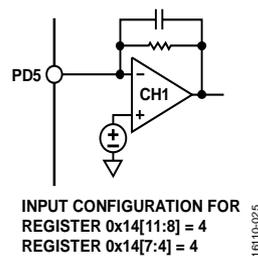


図 25. WLCSP での PD5 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 4)

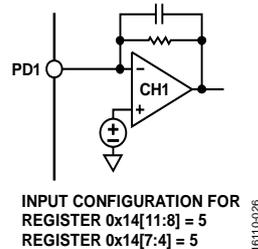


図 26. WLCSP での PD1 の接続
(レジスタ 0x14 のビット [11:8] およびビット [7:4] = 5)

表 17. タイム・スロット・スイッチ (レジスタ 0x14)、ADPD1080/ADPD1081 WLCSP

Register, Bits, and Time Slot	Setting	Channel			
		1	2	3	4
Register 0x14, Bits[11:8] for Time Slot B and Bits[7:4] for Time Slot A	4	PD5	No connect	No connect	No connect
	5	PD1	No connect	No connect	No connect

調整可能なサンプリング周波数

レジスタ 0x12 は、ADPD1080/ADPD1081 のサンプリング周波数を制御し、レジスタ 0x4B のビット [5:0] は高精度を実現するため、このクロックをさらに調節します。内部の 32 kHz サンプル・レート・クロックはサンプリング周波数を制御します。また、このクロックは内部ステート・マシンの遷移も制御します。いくつかのサンプル条件に対する最大サンプリング周波数を表 3 に示します。すべての条件に対する最大サンプル周波数は、次式で決定されます。

$$f_{\text{SAMPLE, MAX}} = 1 / (t_A + t_1 + t_B + t_2 + t_{\text{SLEEP, MIN}})$$

ここで、 $t_{\text{SLEEP, MIN}}$ は、サンプリングの間に必須の最小スリープ時間です。表 15 を参照してください。

特定のタイム・スロットを使用しない場合、そのタイム・スロットに属する要素は、計算に寄与しません。例えば、タイム・スロット A を使用しない場合、 t_A と t_1 はサンプリング期間に寄与しません。この場合、新しいサンプリング周波数は次のように計算されます。

$$f_{\text{SAMPLE, MAX}} = 1 / (t_B + t_2 + t_{\text{SLEEP, MIN}})$$

t_A 、 t_1 、 t_B 、および t_2 の定義については、デュアル・タイム・スロット動作のセクションを参照してください。タイム・スロット B での単一パルスで実現可能な最大のサンプリング・レートは約 2.8 kSPS です。

サンプリングの外部同期

ADPD1080/ADPD1081 では、サンプリング期間をトリガする外部同期信号を使用するオプションも利用できます。この外部サンプリング同期信号は、GPIO0 ピンまたは GPIO1 ピンのどちらかに供給できます。この機能を制御するのは、レジスタ 0x4F のビット [3:2] です。この機能を有効にすると、次のサンプリング期間の開始時期は選択した入力の上上がりエッジによって指定されます。トリガされた時点で、1 つまたは 2 つの内部サンプリング・クロック (32 kHz) サイクル分の遅延が内部で発生した後、通常のスタートアップ・シーケンスが開始されます。このシーケンスは、通常のサンプリング・タイマーからトリガされる場合と同じです。外部同期信号を有効にするには、次の手順を使用します。

1. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードにします。
2. レジスタ 0x4F のビット [3:2] に適切な値を書き込み、GPIO0 と GPIO1 のどちらのピンが次のサンプリング・サイクルの開始時期を決定するか選択します。また、適切な入力バッファを有効にするため、GPIO0 ピンにはレジスタ 0x4F のビット 1 を使用し、GPIO1 ピンにはレジスタ 0x4F のビット 5 を使用します。
3. レジスタ 0x38 に 0x4000 を書き込みます。
4. レジスタ 0x10 に 0x2 を書き込み、サンプリング動作を開始します。
5. 選択したピンに対して、希望のレートで外部同期信号を印加します。サンプリングはこのレートで実施されます。通常のサンプリング動作の場合と同様、FIFO またはデータ・レジスタを使用してデータを読み出します。

この場合も、最大周波数に関する制約が適用されます。

32 kHz 外部クロックの供給

ADPD1080/ADPD1081 には、システムを同期するため、または 32 kHz の内部クロックよりも高精度のクロックが必要とされる状況で、32 kHz の外部クロックをデバイスに供給するオプションを利用できます。この 32 kHz の外部クロックは、GPIO1 ピンに供給します。32 kHz の外部クロックを有効にするには、スタートアップ時に次の手順に従います。

1. GPIO1 ピンを入力としてイネーブルする前に、GPIO1 を適切なロジック・レベルに設定するか、希望の 32 kHz クロックで駆動します。このピンをフロート状態にしたままイネーブルすることは避けてください。
2. レジスタ 0x4F のビット [6:5] に 01 を書き込み、入力として GPIO1 ピンをイネーブルします。
3. レジスタ 0x4B のビット [8:7] に 10 を書き込み、32 kHz 外部クロックを使用するようにデバイスを構成します。この設定により、32 kHz 内部クロックは無効になり、32 kHz 外部クロックが有効になります。
4. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードにします。
5. デバイスがプログラム・モードにある間、他の制御レジスタに任意の順序で書き込みを行い、必要に応じてデバイスを設定します。
6. レジスタ 0x10 に 0x2 を書き込んで、通常のサンプリング動作を開始します。

ステート・マシンの動作

各タイム・スロットの期間内、ADPD1080/ADPD1081 はステート・マシンに従って動作します。ステート・マシンは、図 27 に示すシーケンスに従って動作します。

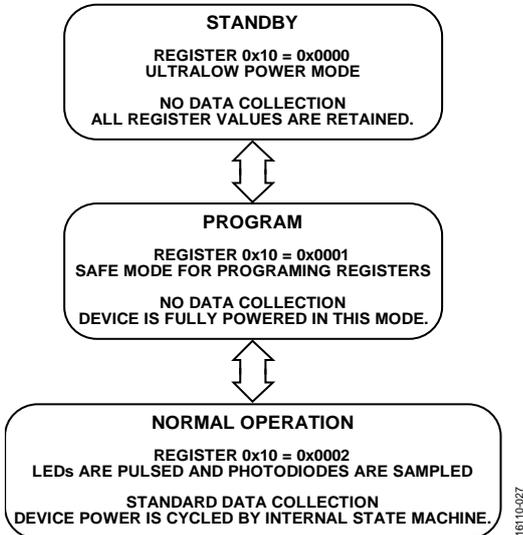


図 27. ステート・マシンの動作フローチャート

ADPD1080/ADPD1081 は、スタンバイ、プログラム、通常動作の 3 つのモードのいずれかで動作します。

スタンバイ・モードは省電力モードで、データの収集は行われません。このモードでは、すべてのレジスタ値が保持されます。デバイスをスタンバイ・モードに移行するには、レジスタ 0x10 のビット [1:0] に 0x0 を書き込みます。デバイスは起動の時点で、スタンバイ・モードに移行します。

レジスタのプログラム（書き込み）を行う場合は、プログラム・モードを使用します。レジスタへの書き込みやモードの変更を実

行する場合は、必ずプログラム・モードで ADPD1080/ADPD1081 の電源オン／オフの切り替えを実行してください。プログラム・モードではパワーサイクルが発生しないので、通常動作時よりもデバイスの消費電流量が大きくなる可能性があります。デバイスをプログラム・モードに移行するには、レジスタ 0x10 のビット [1:0] に 0x1 を書き込みます。

通常動作時、ADPD1080/ADPD1081 はパルス光を発生し、データを収集します。このモードにおける消費電力は、パルス数とデータ・レートに依存します。デバイスを通常のサンプリング・モードにするには、レジスタ 0x10 のビット [1:0] に 0x2 を書き込みます。

通常モード動作とデータ・フロー

通常動作モードにおいて、ADPD1080/ADPD1081 は、ステート・マシンによって設定された特定のパターンに従います。このパターンに対応するデータパス図を図 28 に示します。パターンは、次のとおりです。

- LED パルスとサンプル。ADPD1080/ADPD1081 は、外部 LED に光パルスを発生させます。ADPD1080/ADPD1081 は、反射された光に対するフォトダイオードの応答を測定します。各データ・サンプルは、 n 個のパルスに対応する結果の合計です。ここで、 n は 1 ~ 255 の範囲で設定できます。
- サンプル間の平均。必要な場合、ロジックは n 個 ($2 \sim 128$ を 2 の累乗で表した値) のサンプルの平均を求め、出力データとして生成できます。新しい出力データは、 N 個のサンプルごとに出力レジスタ内に保存されます。
- データ読出し。ホスト・プロセッサは、データ・レジスタまたは FIFO から変換したデータを読み出します。
- 繰り返し。このシーケンスには、異なるループがいくつかあり、両方のタイム・スロットを時間的に近接した状態に維持したまま異なる種類の平均計算が可能です。

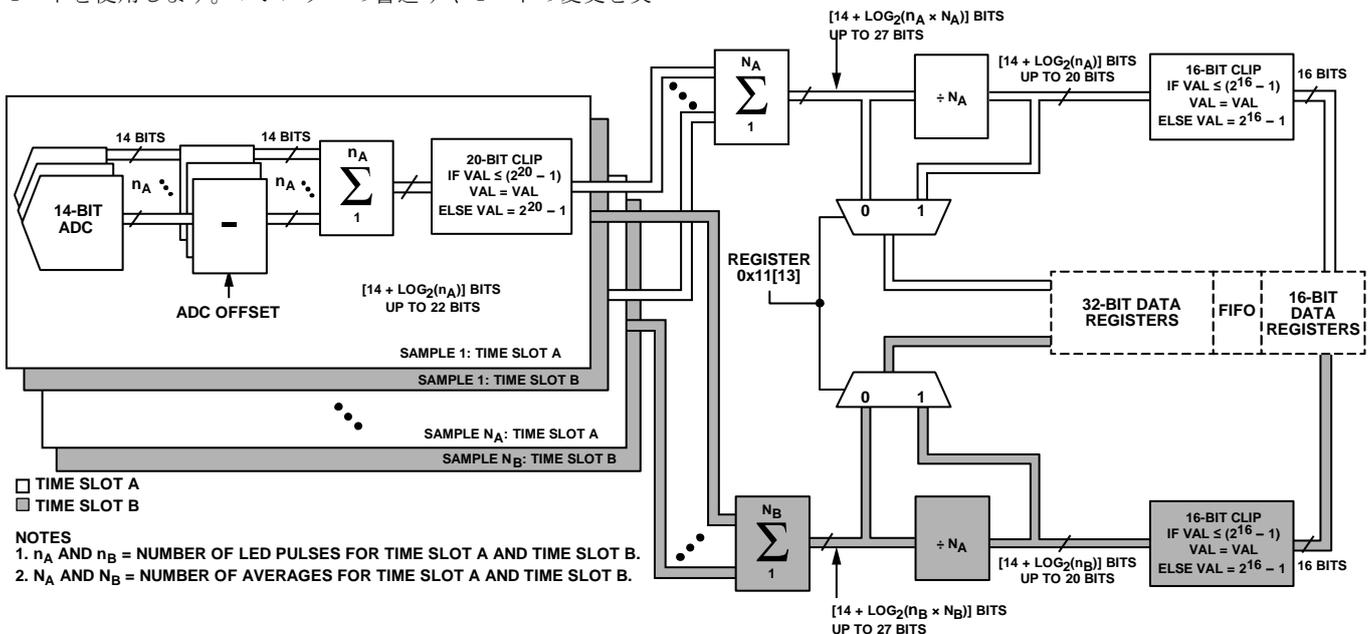


図 28. ADPD1080/ADPD1081 のデータパス

LED のパルスとサンプル

図 29 に示すように、各サンプリング周期において、選択された LED ドライバが一連の LED パルスを駆動します。パルスの振幅、幅、および数は、I²C インターフェースを介してプログラムできます。各 LED パルスは単一の検出期間と一致するので、検出された値は、対応する LED パルスからだけの応答として収集された総電荷を表します。周辺光など、LED パルスに対応しない電荷は除去されます。

各 LED パルスの後、パルス化された LED 信号に関するフォトダイオード出力がサンプリングされて、14 ビット ADC によりデジタル値に変換されます。サンプリング周期内で実行される後続の各変換が、それ以前の結果に加算されます。ADC からのパルス値は、個々のサンプリング周期内で最大 255 個まで加算できます。各サンプリング周期の最大範囲は 20 ビットです。

平均化

ADPD1080/ADPD1081 は、信号の分解能を向上させるため、サンプルの累積と平均化の機能を実行します。

AFE は、1 つのサンプリング周期内で連続する 256 個のパルスを合計することができます。図 28 に示すように、AFE が収集したサンプルは AFE の出力時に 20 ビットにクリップされます。複数のサンプリング周期にわたって平均化を実行することで、分解能を最大 27 ビットまで向上できます。N 個のサンプルを蓄積したこのデータは 27 ビット値として保存され、32 ビット出力レジスタか、32 ビット FIFO 構成を使用することによって、直接読み出すことができます。

レジスタ 0x15 で設定した平均化機能を使用する場合、後続のパルスは 2 のべき乗単位で平均化されます。ユーザーは平均化に使用するサンプルの個数として、2、4、8 など、最大 128 までの値を選択できます。パルス・データは AFE によって、サンプリング周波数 f_{SAMPLE} (レジスタ 0x12) で収集されますが、新しい

データは N 番目のサンプルごとに、 f_{SAMPLE}/N のレートでレジスタに書き込まれます。この新しいデータは、以前の N 個のサンプルの合計によって構成されます。全 32 ビットになるこの合計値は、32 ビット・レジスタに書き込まれます。ただし、このデータを FIFO に送信する前に、N による除算が実施されます。この除算はビット深度を維持し、FIFO におけるクリッピングを防止します。

複数のサンプル平均化でこの手法を使用すると、ノイズを低減するだけでなく、16 ビットの分解能を維持することができます。パルス数レジスタの値を 8 以下に維持すれば、16 ビット幅を超過することはありません。つまり、レジスタ 0x15 を使用して後続のパルスを平均化する場合、16 ビット幅を超過せずに多くのパルスを累積することができます。この平均化により、ホスト・プロセッサが必要とする FIFO の読み出し回数を減らすことができます。

データ読み出し

ホスト・プロセッサが ADPD1080/ADPD1081 から出力されたデータを読み出す場合、ADPD1080 では I²C プロトコルを介して読み出し、ADPD1081 では SPI ポートを経由して読み出します。データ・レジスタまたは FIFO を通じてデータが読み出されます。N 個のサンプルごとに、新しいデータを利用できるようになります。ここで、N はユーザーが設定した平均化の係数です。タイム・スロット A とタイム・スロット B に対して、平均化の係数を個別に設定することもできます。これらの係数が等しい場合、両方のタイム・スロットで FIFO にデータを保存するように設定することもできます。2 つの平均化の係数が異なる場合、FIFO にデータを保存できるのはどちらか 1 つのタイム・スロットのみです。もう一方のタイム・スロットから得られたデータは、出力レジスタから読み出すことができます。

データの読み出し操作についての詳細は、データ読み出しのセクションに示しています。

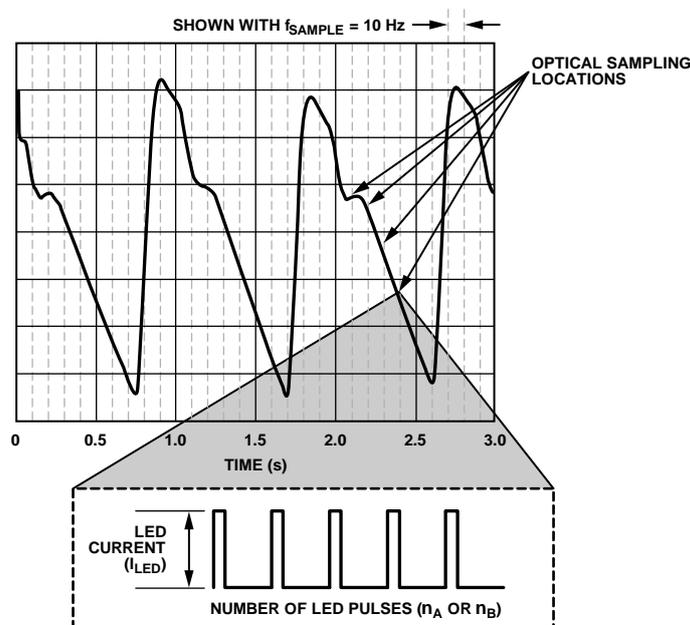


図 29. サンプルあたり 5 個のパルスを使用し、10 Hz のデータ・レートでフォトブレチスモグラフィ (PPG、光電式容積脈波記録法) 信号をサンプリングした例

AFE の動作

各パルス・バーストのタイミングは、ADPD1080/ADPD1081 の動作を最適化するうえで重要です。図 30 に、単一のタイム・スロットに対応するタイミング波形を示します。これは、AFE のアナログ・ブロックを介して LED パルス応答を伝搬するときの波形です。緑色で表示している最初のグラフは、理想的な LED パルス出力を示します。青色のグラフに図示されているフィルタ処理後の LED 応答は、アナログ積分器の出力を示します。3 番目のグラフに示すオレンジ色のグラフは、最適な場所に配置した積分ウィンドウを示します。最適な値が得られるように設定した場合、フィルタ処理後の LED 応答の信号全体を積分できます。次に、バンドパス・フィルタ (BPF) の出力に対して AFE 積分ウィンドウを適用し、得られた結果を ADC に送信して、N 個のパルスの合計を計算します。AFE ウィンドウのサイズや位置が正しくない場合、すべての受信信号を正しく報告することや、最適なシステム性能を達成することはできません。したがって、新しいハードウェア設計を行うたびに、または新しい LED パルス幅を設定するたびに、AFE の位置が正しいか検証することが重要です。

AFE 積分オフセットの調整

AFE の積分幅は、LED のパルス幅以上に設定する必要があります。ただし、AFE の積分幅をあまり広くしすぎると、出力ノイズが増大し、環境に起因する高周波成分を抑制する能力が低下します。このため、AFE の積分幅を小さい値に維持することが望まれます。しかし、AFE の積分幅が狭すぎると、LED 信号が減衰します。ほとんどのハードウェア設定では、AFE の積分幅を LED のパルス幅より 1 μs 広くすると、最適な S/N 比を達成できます。LED のパルス幅、LED のオフセット、AFE の積分幅を設定した後、ADC のオフセットを最適化することができます。積分ウィンドウの最初のセグメントに出現する立下がりエッジが、フィルタ処理後の LED 応答のゼロ交差に一致するように、AFE のオフセットを手動で設定する必要があります。

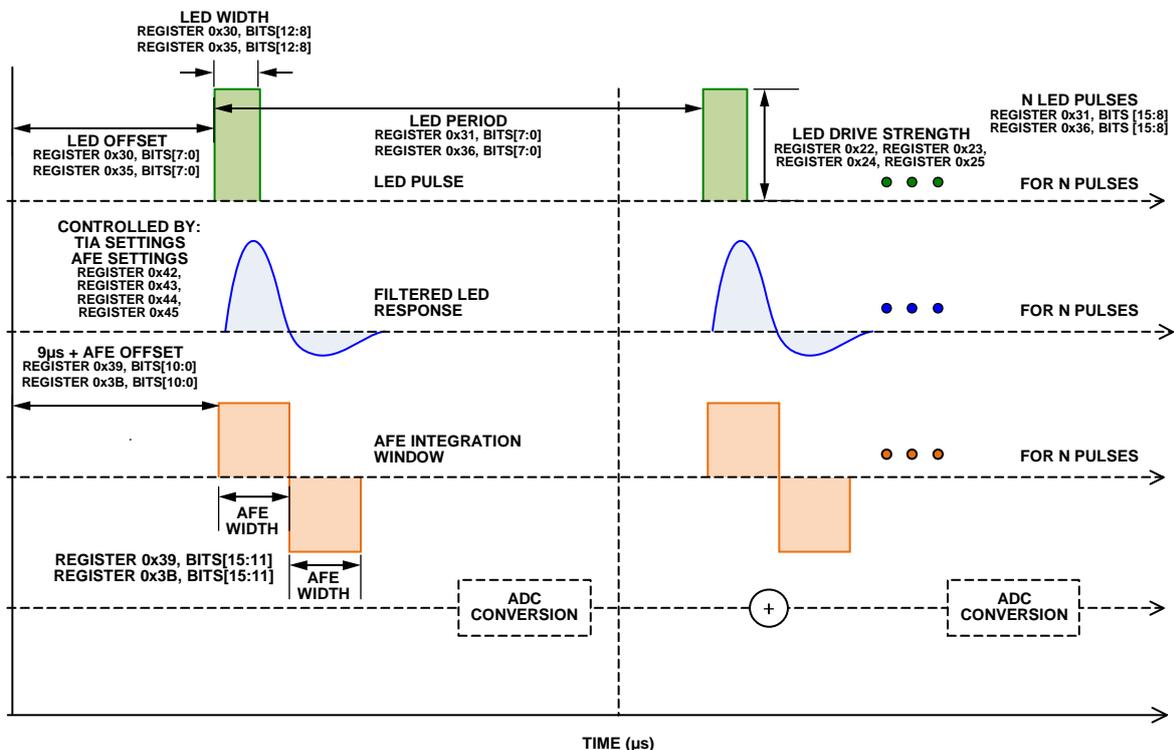


図 30. AFE の動作図

16110-030

AFE 積分オフセット開始点

AFE 積分オフセットの開始ポイントは、マイクロ秒 (μs) 単位で表し、積分ウィンドウの立下がりエッジが LED の立下がりエッジに一致するように設定します。

$$\text{LED_FALLING_EDGE} = \text{SLOTx_LED_OFFSET} + \text{SLOTx_LED_WIDTH}$$

および

$$\text{AFE_INTEGRATION_FALLING_EDGE} = 9 + \text{SLOTx_AFE_OFFSET} + \text{SLOTx_AFE_WIDTH}$$

両方の立下がりエッジが互いに等しくなるように設定した場合、 SLOTx_AFE_OFFSET を求めると、次の式が得られます。

$$\text{AFE_OFFSET_STARTING_POINT} = \text{SLOTx_LED_OFFSET} + \text{SLOTx_LED_WIDTH} - 9 - \text{SLOTx_AFE_WIDTH}$$

開始ポイントよりも前の時点で AFE オフセットを設定すると、将来の積分を実行するのと同じこととなりますが、AFE は、まだ発生していない LED パルスに対応する結果を積分することはできません。したがって、 SLOTx_AFE_OFFSET の値を $\text{AFE_OFFSET_STARTING_POINT}$ の値よりも小さくするのは、誤った設定と言えます。このような結果は、TIA を流れる電流が想定とは逆方向であることを意味します。つまり、LED パルスを加えると、TIA に電流が流入するのではなく、TIA から電流が流出することになります。

ほとんどの設定では、 SLOTx_AFE_WIDTH が SLOTx_LED_WIDTH よりも $1 \mu\text{s}$ 広い場合、 $\text{AFE_OFFSET_STARTING_POINT}$ の値は、通常、 SLOTx_LED_OFFSET の値よりも $10 \mu\text{s}$ 小さくなります。この値が $\text{SLOTx_LED_OFFSET} - 10$ よりも小さい場合は問題があります。最適な AFE オフセットは、 $\text{AFE_OFFSET_STARTING_POINT}$ の値よりも後の時点であります。BPF の応答、LED の応答、フォトダイオードの応答は、いずれもある程度の遅延を加算することになります。一般的に、部品の選択、ボードのレイアウト、 SLOTx_LED_OFFSET 、および SLOTx_LED_WIDTH は、 SLOTx_AFE_OFFSET の値に変化をもたらす可能性のある変数です。特定の設計を確定した後、 SLOTx_AFE_OFFSET の値は固定されるので、さらに最適化を実行する必要はありません。

AFE 位置の掃引

タイム・スロット A とタイム・スロット B の AFE オフセットはそれぞれ、レジスタ $0x39$ とレジスタ $0x3B$ のビット [10:0] で制御します。各 LSB は、 32 MHz の 1 サイクル (31.25 ns) を表します。これらのレジスタは、 31.25 ns ステップの 2^{11-1} 倍の長

さを指すと考えることができます。または、レジスタの値をビット単位に分解し、AFE の粗設定値として、ビット [10:5] が約 $1 \mu\text{s}$ のステップに相当し、ビット [4:0] が 31.25 ns のステップに相当すると考えることもできます。オフセットを最適化するうえで推奨される方法は、開始ポイントから AFE の位置を掃引し、極大値を見つけることです。このテストのセットアップ方法を使用すれば、静的な方法で LED 光とフォトダイオードの応答タイミングを合わせるすることができます。このテストは通常、固定された距離に反射面を設置して実施します。次に、AFE の位置を掃引すれば、出力レベルの変化を見つけることができます。AFE の位置を調整する場合、 31.25 ns のステップを使用して位置を掃引することが重要です。通常、ほとんどのシステムでは、局所的な最大値は開始ポイントから $2 \mu\text{s}$ 以内の時点で存在します。AFE スweepの例を図 31 に示します。この例では、x 軸の 0 が、上記で定義した AFE 開始点を表します。図 31 の各データ・ポイントは、 SLOTx_AFE_OFFSET の 31.25 ns ステップに対応します。この例では SLOTx_AFE_OFFSET の最適な位置は、AFE の開始ポイントから $0.687 \mu\text{s}$ 離れた時点になります。

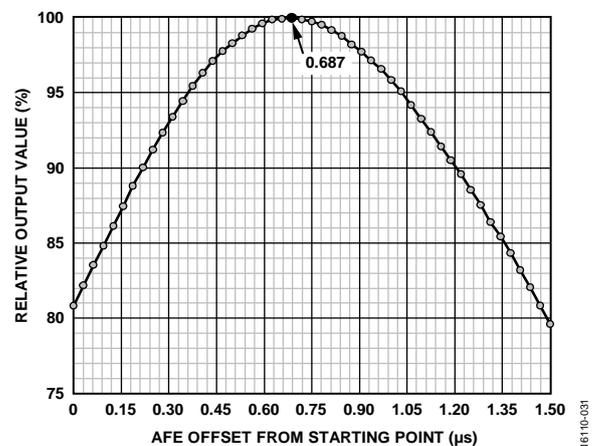


図 31. AFE スweepの例

最適化後の代表的な LED 値と AFE 値を表 18 にいくつか示します。通常、AFE 掃引方法による検証を最初に行わずに、表 18 に示されている SLOTx_AFE_OFFSET の値を使用することは推奨されません。LED パルス幅の新しい値を使用するたび、また ADPD1080/ADPD1081 を採用した新しいハードウェア・セットを製作するたびに、この手順を繰り返します。精度を最大にするには、AFE の掃引前に 32 MHz のクロックを補正することを推奨します。

表 18. AFE ウィンドウの設定

LED Register $0x30$ or Register $0x35$	AFE Register $0x39$ or Register $0x3B$	Comment
$0x0219$	$0x1A08$	$2 \mu\text{s}$ LED pulse, $3 \mu\text{s}$ AFE width, $25 \mu\text{s}$ LED delay
$0x0319$	$0x21FE$	$3 \mu\text{s}$ LED pulse, $4 \mu\text{s}$ AFE width, $25 \mu\text{s}$ LED delay

I²C シリアル・インターフェース

ADPD1080 は、SDA (データ) ピンと SCL (クロック) ピンを介した I²C シリアル・インターフェースをサポートしています。すべての内部レジスタは、この I²C インターフェース経由でアクセスします。ADPD1080 は I²C 専用デバイスであり、SPI をサポートしていません。

ADPD1080 は、NXP Semiconductors から発行された、I²C バス仕様およびユーザーマニュアル rev. 5.0J - 2012 年 10 月 9 日に準拠しています。I²C インターフェースは、最大 1 Mbps のデータ転送をサポートしています。レジスタの読出しと書込みは、図 32 に示す方法でサポートされています。I²C インターフェースのタイミング図を図 3 に示します。

スレーブ・アドレス

デバイスに対応するデフォルトの 7 ビット I²C スレーブ・アドレスは 0x64 で、その後に R/W ビットが続きます。書込みの場合、デフォルトの I²C スレーブ・アドレスは 0xC8 です。読取りの場合、デフォルトの I²C アドレスは 0xC9 です。スレーブ・アドレスは、レジスタ 0x09 のビット [7:1] への書込みによって設定できます。複数の ADPD1080 デバイスが同じバス・ライン上に存在する場合、GPIO0 ピンと GPIO1 ピンを使用して、アドレスの変更に対してどちらのデバイスが対応するかを選択できます。レジスタ 0x0D を使用すれば、特定のデバイスでアドレスの変更をイネーブルするためのキーを選択できます。複数の ADPD1080 デバイスを同じ I²C バス・ラインに接続している状況で、スレーブ・アドレスを変更するには、以下の手順に従ってください。

1. レジスタ 0x4F を使用し、GPIO1 ピンと GPIO0 ピンの一方または両方の入力バッファを、使用しているキーに応じてイネーブルします。
2. アドレスを変更する必要があると識別されたデバイスに対し、GPIO0 ピンや GPIO1 ピンをハイまたはローに設定し、使用するキーに一致させることができます。
3. 目的の機能に合わせるため、レジスタ 0x0D のビット [15:0] を使用して SLAVE_ADDRESS_KEY のビットを書き込みます。使用可能なキーを表 41 に示します。

4. レジスタ 0x09 のビット [7:1] を使用して、希望の SLAVE_ADDRESS ビットを書き込みます。レジスタ 0x09 のビット [7:1] への書込みを行う際に、レジスタ 0x09 のビット [15:8] (ADDRESS_WRITE_KEY) に 0xAD を書き込みます。レジスタ 0x0D への書込みの直後に、レジスタ 0x09 へ書き込む必要があります。
5. SLAVE_ADDRESS を変更する必要があるすべてのデバイスで、ステップ 1 ~ 4 を繰り返します。
6. 各デバイスで新しい SLAVE_ADDRESS を使用して通常動作を実行するため、必要に応じて GPIO0 ピンと GPIO1 ピンを設定します。

I²C の書込み動作と読出し動作

ADPD1080 の I²C 書込み動作と読出し動作を図 32 に示します。シングルワード書込みとマルチワード読取りの各動作がサポートされています。単一レジスタの読出しの場合、2 番目のデータ・バイトを読み出した後、ホストは NACK (ノー・アクノレッジ) を送信します。この場合、アクセスすることに新しいレジスタ・アドレスが必要です。

マルチワード動作の場合、最後のワードの最終バイトを読み出すまで、各データ・バイト・ペアに続いて、ホストからアクノレッジが送信されます。ホストは、ノー・アクノレッジを送信する方法で、最後のワード読出しが行われたことを示します。FIFO_ACCESS (レジスタ 0x60) から読み出す場合、データは FIFO 内の次のアドレスへ自動的に進み、すでに読み出したスペース (アドレス) は解放されます。FIFO 以外のアドレスから読み出す場合、レジスタ・アドレスは次のアドレスへ自動的に進みます。ただし、レジスタ 0x5F (DATA_ACCESS_CTL) とレジスタ 0x7F (B_PD4_HIGH) は例外で、アドレスが自動的にインクリメントしません。この自動インクリメントにより、複数のレジスタを順に読み出す場合のオーバーヘッドが軽減されます。

レジスタ書込みはいずれもシングルワードのみで、16 ビット (1 ワード) のデータが必要です。

ソフトウェア・リセット SW_RESET (レジスタ 0x0F のビット 0) により、アクノレッジが返されます。その後、デバイスはスタンバイ・モードに戻り、すべてのレジスタがデフォルト状態になります。

表 19. I²C 用語の定義

Term	Description
SCL	シリアル・クロック。
SDA	シリアル・アドレスとデータ。
Master	マスターは、転送を開始してクロック信号を生成し、最後に転送を終了させるデバイスです。
Slave	スレーブは、マスターによってアドレスが指定されるデバイスです。ADPD1080 はスレーブ・デバイスとして動作します。
Start (S)	SCL がハイ・レベルの状態での SDA ライン上のハイ・レベルからロー・レベルへの遷移。すべてのトランザクションは、開始条件により開始されます。
Start (Sr)	反復開始条件。
Stop (P)	SCL がハイ・レベルの状態での SDA ライン上のロー・レベルからハイ・レベルへの遷移。停止条件は、すべてのトランザクションを終了させます。
ACK	アクノレッジまたはノー・アクノレッジの時のクロック・パルスの間、SDA ラインがローになり、その状態が維持されません。
NACK	アクノレッジまたはノー・アクノレッジの時のクロック・パルスの間、SDA ラインがハイの状態に維持されます。
Slave Address	起動 (S) 後に 7 ビットのスレーブ・アドレスが送られ、その後にデータ方向ビット (読出しまたは書込み) が続きます。
Read (R)	1 はデータ要求を示します。
Write (W)	0 は送信を示します。

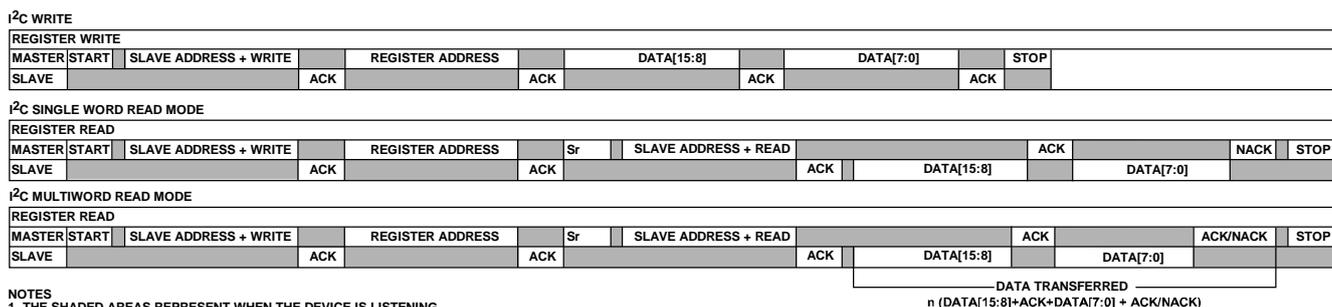


図 32. I²C の書き込み動作と読み出し動作

SPI ポート

ADPD1081 は SPI 専用デバイスです。このデバイスは、I²C インターフェースをサポートしていません。SPI ポートは 4 線インターフェースを使用します。このポートは、CS、MOSI、MISO、SCLK の各信号で構成されており、常にスレーブ・ポートとして動作します。CS はトランザクションを開始する際にローになり、トランザクションを終了する際にハイになります。SCLK 信号はローからハイに遷移するときに、MOSI をラッチします。MISO データは SCLK の立下がりエッジでデバイスからシフト出力されます。また、SCLK の立上がりエッジでは、マイクロコントローラのような受信デバイスに対してクロックを供給する必要があります。MOSI 信号はシリアル入力データを伝送し、MISO 信号はシリアル出力データを伝送します。MISO 信号は、読み出し動作が要求されるまでスリー・ステートを維持します。この結果、他の SPI 互換ペリフェラルが同じ MISO ラインを共有できます。すべての SPI ランザクションは、表 20 に示す共通の基本フォーマットを使用します。タイミング図を図 4 に示します。どのデータも、MSB ファーストで書き込みます。

表 20. 一般的な制御ワード・シーケンス

Byte 0	Byte 1	Byte 2	Subsequent Bytes
Address[6:0], W/R	Data[15:8]	Data[7:0]	Data[15:8], Data[7:0]

SPI トランザクションで最初に書き込まれるバイトは、7 ビットのアドレスです。これは、アクセスしようとするアドレスの場所を表しており、その後に W/R ビットが続きます。このビットで、通信が書き込み（ロジック・レベル 1）または読取り（ロジック・レベル 0）のどちらであるかを決定します。この構成を表 21 に示します。

表 21. SPI アドレスと Write/R のバイト・フォーマット

Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
A6	A5	A4	A3	A2	A1	A0	W/R

MOSI ピンのデータはクロックの立上がりエッジでキャプチャされ、クロックの立下がりエッジで MISO ピンに伝搬されます。SPI スレーブ・ポートの最大読み出し/書き込み速度は 10 MHz です。SPI タイミング図については図 4 を、SPI タイミング仕様については表 7 を参照してください。

単一のレジスタに対するマルチワード SPI 書き込み動作のサンプル・タイミング図を図 33 に示します。シングルワード SPI 読み出し動作のサンプル・タイミング図を図 34 に示します。MISO ピンは、有効な R ビットを受信した後、スリー・ステートから、駆動される状態に遷移します。この例では、バイト 0 はアドレスと W/R ビットで構成されており、それ以降のバイトはデータを伝送します。マルチワード SPI 読み出し動作のサンプル・タイミング図を図 35 に示します。図 33 ~ 図 35 では、SCLK の立上がりエッジを上向きの矢印で示し、この立上がりエッジでデータ・ラインがサンプリングされることを表しています。

0x5F (DATA_ACCESS_CTL)、0x60 (FIFO_ACCESS)、0x7F (B_PD4_HIGH) の各アドレスを除き、マルチワードの読取りまたは書き込みを行う場合、データ・アドレスは後続のトランザクションに備えて、次の連続アドレスへ自動的にインクリメントします。

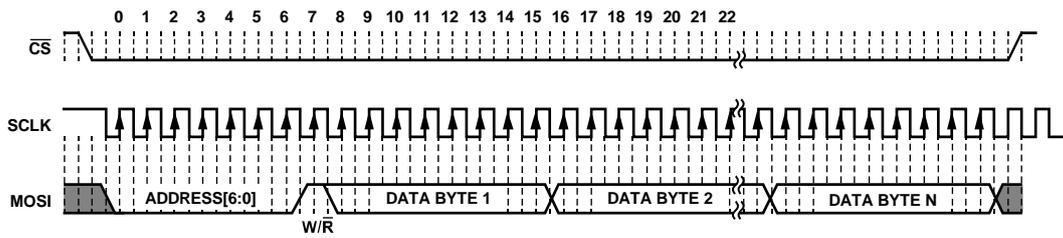


図 33. SPI スレーブ書き込み用のクロック供給 (バースト書き込みモード、N バイト)

16110-033

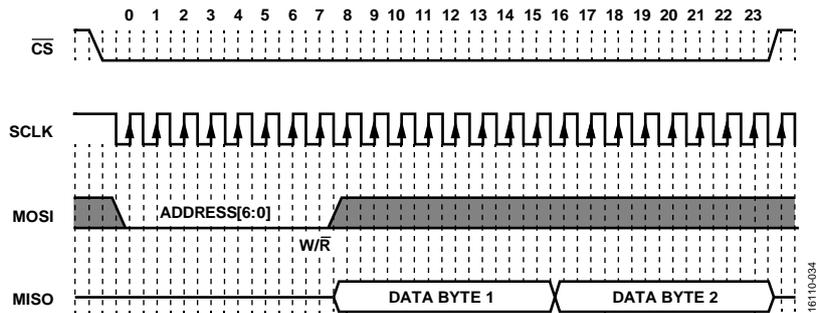


図 34. SPI スレーブ読み出し用のクロック供給 (シングルワード・モード、2 バイト)

16110-034

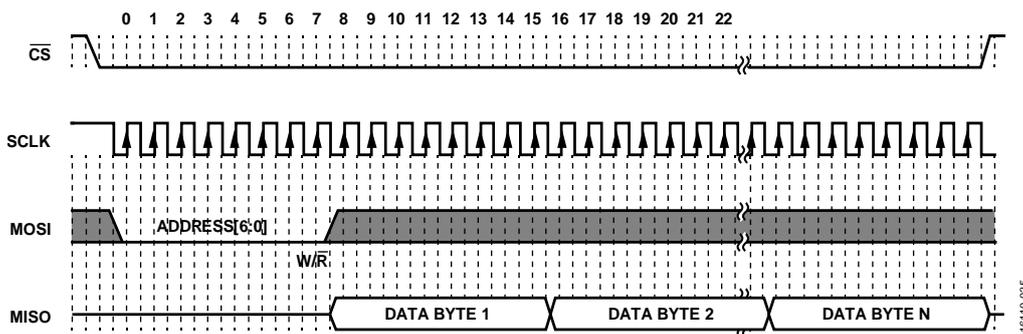


図 35. SPI スレーブ読み出し用のクロック供給 (バースト読み出しモード、N バイト)

16110-035

アプリケーション情報

代表的な接続図

図 36 に、緑色の LED と ADPD1080 WLCSP を使って、手首での心拍測定に使用する代表的な回路を示します。1.8 V I²C の通信ラインである SCL と SDA、および GPIO0 と GPIO1 の各ラインは、システムのマイクロプロセッサまたはセンサー・ハブに接続します。I²C 信号に対して、1.8 V または 3.3 V の電源に接続したプルアップ抵抗を追加することもできます。GPIO0 と GPIO1 の各信号と互換性があるのは 1.8 V 電源のみであり、これらの信号でレベル変換器が必要になることがあります。図 36 に示す回路は、ADPD1081 でも同様に利用できますが、その場合は I²C インターフェスを SPI で置き換える必要があります。表 22 と図 39 に示すように、フォトダイオードを 8 チャンネルの ADPD1080 LFCSP に接続する方法は複数あります。フォトダイオードのアノードは PD1 ~ PD8 入力ピンに、カソードはカソード・ピン PDC に接続します。

1.8 V 電源である V_{DD} を AVDD と DVDD に供給します。表 3 に規定されるピーク電流条件に従う標準的なレギュレータ回路を LED 電源として使用します。このピーク電流の計算方法は、LED ドライバ・ピンおよび LED 電源電圧のセクションで示します。

最善のノイズ特性を達成するには、AGND、DGND、LGND のすべてを束ね、グラウンド・プレーン、グラウンド・ボア、太いグラウンド・パターンなどの、面積の広い導体面に接続します。

使用するフォトダイオードや LED の数は、アプリケーションだけでなく、必要なダイナミック・レンジと S/N 比によっても異なります。例えば、アプリケーションで単一の大きなフォトダイオードを使用する場合は、複数の入力間で電流を分割してダイナミック・レンジを拡大します。フォトダイオードのアノードを複数のチャンネルに接続することにより、電流は接続されたチャンネル数で均等に分割され、単一チャンネル構成よりもダイナミック・レンジが効果的に増加します。あるいは、フォトダイオードが小容量か、信号が大きく減衰する状況では、フォトダイオードのアノードを単一チャンネルに接続することによって S/N 比を最大にできます。デバイスを正しく動作させるには、未使用の入力をフロート状態にしておくことが重要です。

図 37 と図 38 に、16 ボールの WLCSP ADPD1080 と 17 ボールの WLCSP ADPD1081 のそれぞれで推奨される接続図とプリント回路基板 (PCB) のレイアウトを示します。サンプリング期間中、電流入力ピンである PD1 と PD5 には、代表値で 1.3 V の電圧が印加されます。スリープ期間中、これらのピンはカソード・ピンに接続されます。カソード電圧とアノード電圧を表 3 に示します。

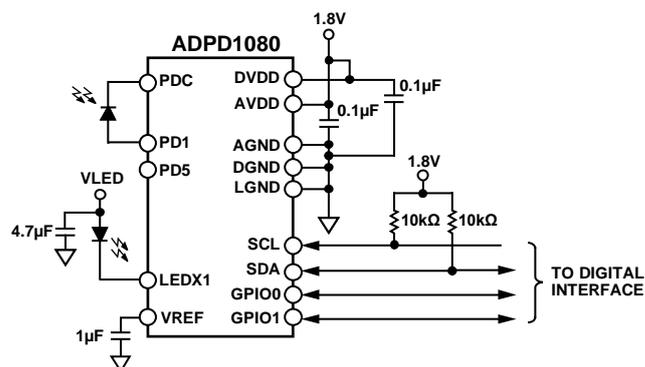


図 36. 手首での HRM (心拍モニタ) 測定用の代表的回路

16110-036

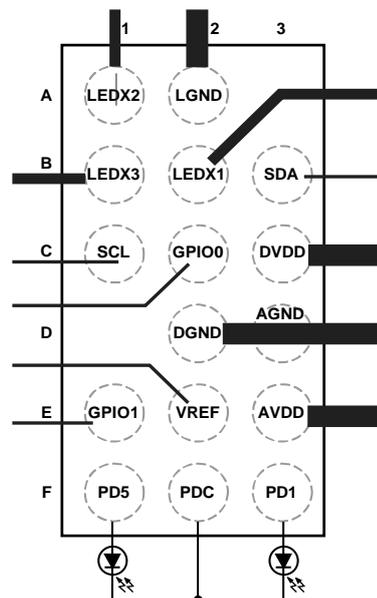


図 37. ADPD1080 の接続と PCB レイアウトの図 (上面図)、16 ボール WLCSP

16110-037

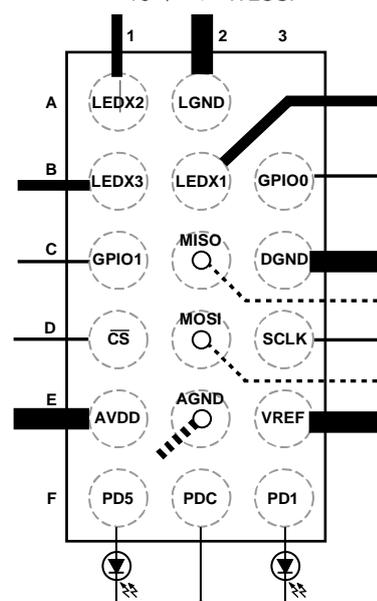


図 38. ADPD1081 の接続と PCB レイアウトの図 (上面図)、破線のパターンは外部から見えないビアを經由、16 ボール WLCSP

16110-038

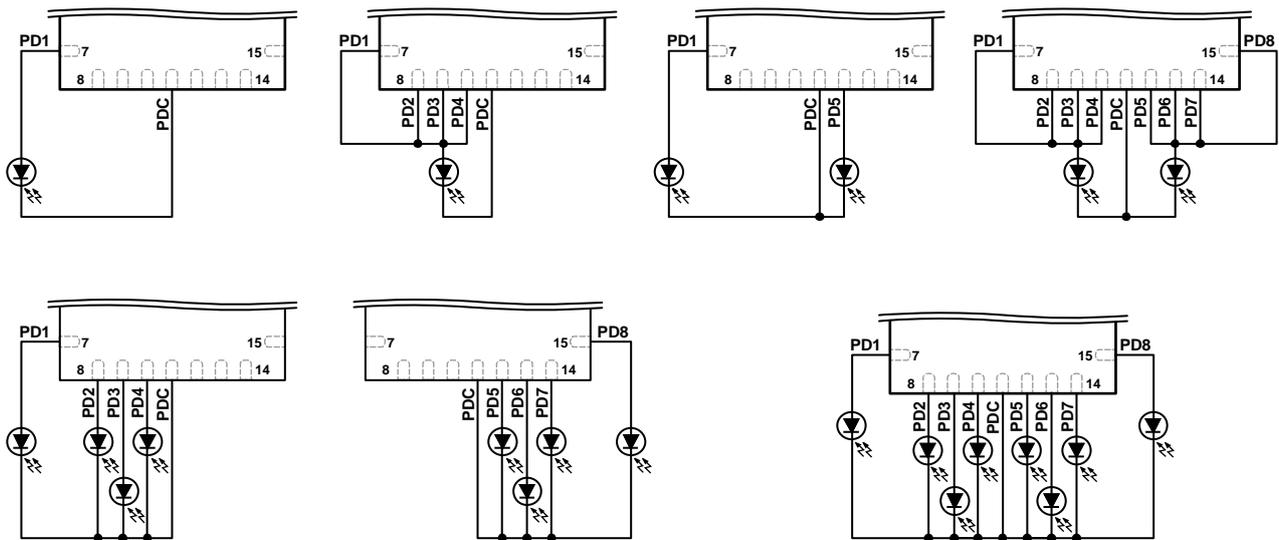


図 39. ADPD1080 LFCSP のフォトダイオード構成オプション

16110-039

表 22. フォトダイオードのアノードから入力チャンネルへの代表的な接続、ADPD1080 LFCSP^{1,2}

Photodiode Anode Configuration	Input Channel							
	PD1	PD2	PD3	PD4	PD5	PD6	PD7	PD8
Single Photodiode (PD1)	D1	NC						
	NC	NC	NC	NC	D1	NC	NC	NC
	D1	D1	D1	D1	NC	NC	NC	NC
	NC	NC	NC	NC	D1	D1	D1	D1
Two Photodiodes (PD1, PD2)	D1	NC	NC	NC	D2	NC	NC	NC
	D1	D1	D1	D1	D2	D2	D2	D2
Four Photodiodes (PD1 to PD4)	D1	D2	D3	D4	NC	NC	NC	NC
	NC	NC	NC	NC	D1	D2	D3	D4
Eight Photodiodes (PD1 to PD8)	D1	D2	D3	D4	D5	D6	D7	D8

¹ Dx は特定チャンネルに接続するダイオードを示します。

² NC は未接続を意味します。未使用入力、すべてフロート状態にしておいてください。

LED ドライバ・ピンと LED 電源電圧

LEDX1、LEDX2、LEDX3 の各ピンは、絶対最大定格電圧が 3.6 V に設定されています。この定格を超過する電圧を印加した場合、デバイス動作の信頼性に影響を与え、状況によってはデバイスが正常に動作しなくなる場合があります。LEDx ピンの電圧と LED 自体への供給電圧を混同しないでください。VLEDx は外部 LED のアノードに印加される電圧で、LEDXx ピンは内部電流ドライバへの入力です。これらのピンは外部 LED のカソードに接続されます。

LED ドライバの動作

ADPD1080/ADPD1081 の LED ドライバは、電流シンク型です。グラウンドを基準としてドライバ・ピンで測定され、設定された LED 電流レベルを維持するために必要なコンプライアンス電圧は、必要とする電流の関数となります。図 12 に、さまざまな LED の粗設定値で必要とされるコンプライアンス電圧の代表値を示します。図 40 に、ADPD1080/ADPD1081 を LED ドライバ経由で LED に接続する場合の基本的な回路図を示します。平均電流値の決定のセクションと C_{VLED} の決定のセクションで、バイパス・コンデンサ (C_{VLED}) と LED の電源電圧 (V_{LEDx}) に関する条件を定義しています。

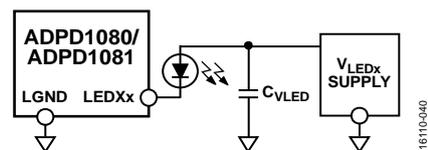


図 40. V_{LEDx} 電源の回路図

16110-040

平均電流の決定

ADPD1080/ADPD1081 は、連続する短パルスで LED を駆動します。ADPD1080/ADPD1081 の代表的な LED パルス・バースト・シーケンスの構成を図 41 に示します。

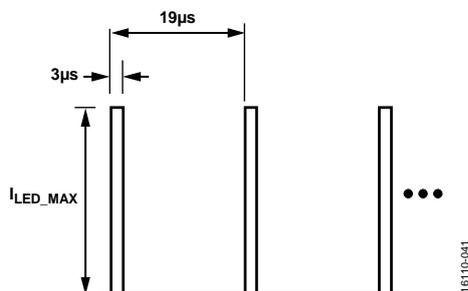


図 41. LED パルス・バースト・シーケンスの代表的な構成

この例では、LED パルス幅 t_{LED_PULSE} は 3 μ s、LED パルス周期 t_{LED_PERIOD} は 19 μ s です。この LED は緑色の LED で形成されたペアで、250 mA ピークの電流で駆動されます。 C_{VLED} の目的は、個々のパルスの中で LED のバッファとして機能することにあります。図 41 に示す、パルス列が短いパルスの連続シーケンスとなる最も厳しい条件のシナリオでは、 V_{LEDx} 電源が平均電流を供給する必要があります。したがって、 $I_{LED_AVERAGE}$ を以下のように計算します。

$$I_{LED_AVERAGE} = (t_{LED_PULSE}/t_{LED_PERIOD}) \times I_{LED_MAX} \quad (1)$$

ここで

$I_{LED_AVERAGE}$ は、パルス周期中に V_{LEDx} 電源から供給する必要がある平均電流になります。これは、 V_{LEDx} の定格電源電流でもあります。

I_{LED_MAX} は、LED を流れるピーク電流の設定値です。

式 1 に示した値を使用すると、 $I_{LED_AVERAGE} = 3/19 \times I_{LED_MAX}$ になります。代表的な LED タイミングでは、 V_{LEDx} の平均電源電流は $3/19 \times 250 \text{ mA} = 39.4 \text{ mA}$ となり、 V_{LEDx} 電源が 40 mA の DC 電流を供給する必要があることを示しています。

C_{VLED} の決定

C_{VLED} コンデンサの値を決定するには、LED 動作中の最大順方向バイアス電圧である $V_{FB_LED_MAX}$ を決定する必要があります。LED 電流 I_{LED_MAX} と $V_{FB_LED_MAX}$ の対応は図 42 のようになります。この例では、並列接続された緑色の LED 2 個を流れる 250 mA の電流から、 $V_{FB_LED_MAX} = 3.95 \text{ V}$ という値が得られます。LED パス内にあるすべての直列抵抗成分も、この電圧計算に含める必要があります。LED パスを設計する際は、LED を流れるピーク電流が非常に大きくなるのが原因で、抵抗成分が小さくても電圧降下が大きくなる可能性があることに注意してください。さらに、これらの抵抗成分は、 V_{LEDx} 電源に過度の制約を課す可能性があります。

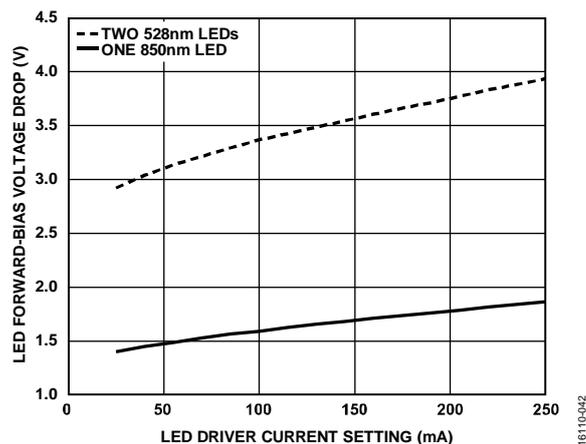


図 42. LED ドライバ電流設定の関数として表現した LED 順方向バイアス電圧降下の平均値の例

C_{VLED} コンデンサのサイズを正しく設定するには、LED へのパルス供給を行っている間にコンデンサの電圧が LED の順方向バイアス電圧を下回るまで放電してしまうことのないようにしてください。 V_{LEDx} バイパス・コンデンサの最小値は次式で計算します。

$$C_{VLED} = \frac{t_{LED_PULSE} \times I_{LED_MAX}}{V_{LED_MIN} - (V_{FB_LED_MAX} + 0.6)} \quad (2)$$

ここで、

t_{LED_PULSE} は LED パルス幅。

I_{LED_MAX} は、デバイスを動作させる際に使用する LED の最大順方向バイアス電流。

V_{LED_MIN} は、無負荷時に V_{LEDx} 電源から供給される最小電圧。

$V_{FB_LED_MAX}$ は、LED が I_{LED_MAX} を実現するために必要とされる最小順方向バイアス電圧。

C_{VLED} の式における分子から、バイパス・コンデンサから放電される合計電荷をクーロン単位で表した値が計算されます。この値は設定済みの LED シングル・パルスを最大電流で供給するために必要となります。分母は、LED で必要とされる電圧と V_{LEDx} 電源の最小電圧の間の差を表します。LED で必要となる電圧とは、LED ドライバのコンプライアンスや、最大電流で動作する LED の順方向バイアス電圧を実現する、LED のアノード電圧を意味します。250 mA の駆動電流では、ドライバのコンプライアンス電圧は 0.6 V です。代表的な ADPD1080 の例では、 V_{LEDx} 電源の最小値は 4.75 V であり、2 個の 528 nm LED を並列接続したときのピーク電流は 250 mA です。この場合、 C_{VLED} の最小値は 3.75 μ F となります。

$$C_{VLED} = (3 \times 10^{-6} \times 0.250) / (4.75 - (3.95 + 0.6)) = 3.75 \mu\text{F} \quad (3)$$

式 3 に示すように、電源の最小電圧降下が最大アノード電圧近くまで低下すると C_{VLED} に対する条件はより厳しくなり、コンデンサの値をより大きくする必要があります。式 1、式 2、式 3 に正しい値を挿入することが重要です。例えば、 V_{LED_MIN} の最も厳しい条件の値の代わりに V_{LED_MIN} の平均値を使用すると、設計に重大な欠陥が生じる可能性があります。その結果、 C_{VLED} の値が過度に小さくなり、アプリケーションで光パワーが不足する可能性があります。

したがって、 C_{VLED} の値に十分なマージンを追加することを強く推奨します。また、部品の寿命全体にわたる電圧、バイアス、温度、その他の要因によるコンデンサ値のディレーティングを考慮し、 C_{VLED} に対するマージンを追加してください。

LED のインダクタンスに関する考慮事項

ADPD1080/ADPD1081 の LED ドライバ (LEDXx) のスルー・レートはユーザー設定が可能です (レジスタ 0x22 のビット [6:4]、レジスタ 0x23 のビット [6:4]、およびレジスタ 0x24 のビット [6:4])。これらのスルー・レートを表 3 に示します。最小の設定値を使用する場合でも、ボードの設計とレイアウトを注意深く考慮します。LED のカソードと LEDXx ピンの 1 つとの間に、長い PCB パターンのような大きい直列インダクタを接続する場合、LED パルスのスルー部分が発生している間に、スイッチングされたインダクタで電圧スパイクが発生し、LEDXx ピンの絶対最大/最小電圧の限界を超過する可能性があります。

寄生インダクタンスによる電圧スパイクが LEDXx ピンに生じないことを確認するには、LEDXx ピンにオシロスコープを接続して、通常動作時の電圧をモニタします。3.6 V を上回る正のスパイクは、デバイスの損傷を招く可能性があります。

また、-0.3 V を下回る負のスパイクも、デバイスを損傷させるおそれがあります。

推奨されるスタートアップ・シーケンス

図 27 に示すように、起動時にデバイスはスタンバイ・モードになります (レジスタ 0x10 = 0x0000)。ADPD1080/ADPD1081 では、特定のパワーアップ・シーケンスは必要ありません。

スタンバイ・モードから測定を開始するには、次のように ADPD1080/ADPD1081 を初期化します。

1. CLK32K_EN ビット (レジスタ 0x4B のビット 7) をセットし、サンプリング・クロック (32 kHz クロック) を開始します。このクロックは、ステート・マシンを制御します。このクロックをオフにすると、ステート・マシンはレジスタ 0x10 の定義に従って遷移できません。
2. レジスタ 0x10 に 0x1 を書き込み、デバイスを強制的にプログラム・モードに移行します。ステップ 1 とステップ 2 を入れ替えることもできますが、実際のステート遷移は、両方のステップが実行されるまで行われません。
3. デバイスがプログラム・モードにある間、他の制御レジスタに対して任意の順序で書き込みを行い、必要に応じてデバイスを設定します。
4. レジスタ 0x10 に 0x2 を書き込み、通常のサンプリング動作を開始します。

通常の動作を終了するには、以下のシーケンスに従って ADPD1080/ADPD1081 をスタンバイ・モードに移行します。

1. レジスタ 0x10 に 0x1 を書き込み、デバイスを強制的にプログラム・モードに移行します。
2. デバイスがプログラム・モードにある間、任意の順序でレジスタに書き込みを行います。
3. レジスタ 0x00 に 0x00FF を書き込み、すべての割込みをクリアします。必要な場合、レジスタ 0x00 に 0x80FF を書き込む方法で、FIFO もクリアします。

4. レジスタ 0x10 に 0x1 を書き込み、デバイスを強制的にスタンバイ・モードに移行します。
代わりに、CLK32K_EN ビット (レジスタ 0x4B のビット 7) をリセットして、32 kHz クロックを停止することもできます。デバイスがスタンバイ・モード (レジスタ 0x10 = 0x0) で、実行する必要がある書き込みはレジスタ 0x4B のビット 7 = 0 のみです。プログラム・モードまたは通常動作モードで、このビットに 0 を書き込むと、スタンバイ・モードを含め、他のどのモードにもデバイスを遷移することができません。これ以降にデバイスに対して書き込みを行い、モードの遷移を実行する場合も、この制限が適用されます。その結果、スタンバイ・モードのように見受けられる状態で、消費電力が大幅に増加します。この理由に加え、32 kHz クロックは動作中の電流の引き込み量が小さいことから、使いやすさの観点で、32 kHz クロックを有効にした後は、このクロックの動作を停止しないことを推奨します。

データの読出し

ADPD1080/ADPD1081 には、サンプリングしたデータにアクセスする方法が複数用意されています。FIFO またはデータ・レジスタを使用してデータにアクセスできるように、各タイム・スロットを個別に設定できます。また、適切な時期に簡単にデータにアクセスできるように、割込み信号を使用する方法も利用できます。FIFO を使用すれば、データ・アクセスに関するシステムのタイミング条件を緩和することもできます。

FIFO を使用したデータの読出し

ADPD1080/ADPD1081 は、一方または両方のタイム・スロットから取得したデータを格納できる 128 バイトの FIFO メモリ・バッファを搭載しています。どの種類のデータを各タイム・スロットから取得して FIFO に書き込むかは、レジスタ 0x11 を使用して選択します。両方のタイム・スロットが FIFO を使用するように設定することもできますが、この設定は両者の出力データ・レートが等しい場合のみ使用できることに注意してください。

$$\text{出力データ・レート} = f_{\text{SAMPLE}}/N_x$$

ここで

f_{SAMPLE} はサンプリング周波数。

N_x は、各タイム・スロットの平均化の係数 (N_A はタイム・スロット A、 N_B はタイム・スロット B に対応) です。言い換えると、両方のタイム・スロットから取得したデータを FIFO に格納するには、 $N_A = N_B$ が成立している必要があります。

データ・パケットは、出力データ・レートで FIFO に書き込まれます。FIFO に書き込むデータ・パケットは、有効になっている各タイム・スロットに対応するサンプル全体で形成されています。各フォトダイオード・チャンネルに対応するデータは、16 ビットと 32 ビットのどちらかで格納されます。モードとデータ・フォーマットに応じて、各タイム・スロットはサンプルあたり 2、4、8、16 バイトいずれかのデータを格納できます。データ・パケットの品質を損なわないように、パケット全体を書き込めるだけの十分なスペースが FIFO にある場合のみ、新しいデータは FIFO に書き込まれます。十分な空き容量がないときに到着したデータは失われます。十分な空き容量が存在する場合、FIFO はデータの格納を続けます。データ・パケットが損傷していないことを確認するため、必ず完全なパケットを単位として FIFO データの読出しを行ってください。

FIFO 内に現在格納されているバイト数は、レジスタ 0x00 のビット [15:8] で確認できます。専用の FIFO 割込みを利用することもでき、指定した量のデータが FIFO に書き込まれた時点で、自動的に割込みが生成されます。

割込みによる方法

割込みベースの方法を使用して FIFO からデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、動作の必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x06 のビット [13:8] にある FIFO_THRESH を、割込み閾値に設定します。これに推奨される値はデータ・パケットの 16 ビット・ワード数から 1 を差し引いたもので、FIFO に少なくとも 1 つの完全なパケットがあるときに割込みを生成させます。
4. FIFO 割込みを有効にするには、レジスタ 0x01 のビット 8 にある FIFO_INT_MASK に 0 を書き込みます。さらに、レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン (GPIO0 または GPIO1) も設定します。
5. レジスタ 0x10 を 0x2 に設定して、通常の動作モードに移行します。
6. 割込みが発生した場合
 - a. 完全なパケットが 1 個以上存在する場合のみ、割込みが生成されるため、FIFO_SAMPLES ビットを読み出す必要はありません。代わりに、割込みルーチンがこれらのビットを読み出す方法により、利用可能なパケットが複数あるかどうか確認することもできます。
 - b. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。FIFO の読出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。

FIFO からデータを読み出した直後に FIFO の割込みが自動的にクリアされます。また、FIFO への書込みが行われ、FIFO 内のワード数が閾値を超えた時点でのみ、割込みが再び設定されます。

ポーリングによる方法

ポーリングによる方法を使用して FIFO からデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、動作の必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x10 を 2 に設定して、通常の動作モードに移行します。

次に、ポーリング動作を開始します。

1. ポーリング間隔が経過するまで待ちます。
2. FIFO_SAMPLES ビット (レジスタ 0x00 のビット [15:8]) を読み出します。
3. FIFO_SAMPLES がパケット・サイズ以上の場合、次の手順を使用してパケットを読み出します。
 - a. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。FIFO の読出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。
 - b. ステップ 1 を繰り返します。

モード変更が必要な場合や、通常のサンプリングに対して他の中断が必要な場合、FIFO をクリアします。ステートをクリアし、FIFO を空にするには、次の手順に従います。

1. レジスタ 0x10 を 0x1 に設定して、プログラム・モードに移行します。
2. レジスタ 0x00 のビット 15 に 1 を書き込みます。

割込みを使用したレジスタからのデータ読出し

最新のサンプル・データは常にデータ・レジスタで利用でき、各タイム・スロットの終了と同時に更新されます。各フォトダイオード・チャンネルに対応するデータ値は、タイム・スロット A ではレジスタ 0x64 ~ レジスタ 0x67 にある 16 ビット値として利用できます。同様に、タイム・スロット B ではレジスタ 0x68 ~ レジスタ 0x6B にある 16 ビット値として利用できます。最大値に達することが許容される場合、レジスタ 0x64 ~ レジスタ 0x6B のクリップが実施されず、レジスタ 0x64 ~ レジスタ 0x6B が飽和している場合、タイム・スロット A ではレジスタ 0x70 ~ レジスタ 0x77、タイム・スロット B ではレジスタ 0x78 ~ レジスタ 0x7F で、各チャンネルに対応する飽和していない値 (最大 27 ビット) を利用できます。サンプルの割込みを使用して、レジスタが更新され読出しの準備ができていることを示すことができます。特定のタイム・スロットに対応する割込みを使用するには、次の手順に従います。

1. サンプル割込みを有効にするには、レジスタ 0x01 の該当するビットに 0 を書き込みます。タイム・スロット A での割込みを有効にするには、ビット 5 に 0 を書き込みます。タイム・スロット B での割込みを有効にするには、ビット 6 に 0 を書き込みます。一方または両方の割込みを設定できます。
2. さらに、レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン (GPIOx) も設定します。
3. データ・レジスタが更新された時点で、割込みが生成されます。
4. 割込みハンドラは、次の処理を実行する必要があります。
 - a. レジスタ 0x00 を読み出し、ビット 5 またはビット 6 を参照して、どちらの割込みが発生したか確認します。どちらか一方の割込みのみを使用している場合、このステップは不要です。
 - b. 次のサンプルの書込みが可能になる前に、データ・レジスタを読み出します。出力データ・レートに基づいて次のデータが更新される前に応答を行うことができるよう、システムの割込み遅延とサービス時間は十分に短い値でなければなりません。
 - c. 割込みをクリアするには、レジスタ 0x00 のビット 5 またはビット 6 に 1 を書き込みます。

両方のタイム・スロットを使用している場合、タイム・スロット B の割込みだけを使用して、すべてのレジスタを読み出す準備ができたときに通知を行うことも可能です。データ・レジスタからデータを転送するには、マルチワード読出しを使用することが推奨されます。

割込みを使用しないレジスタからのデータ読出し

システム割込みの応答が高速でないか十分な予測可能性を確保できないことが原因で、割込みベースの方法を使用できない場合や、割込みピン (GPIOx) を使用していない場合は、データ保持の機構を使用して信頼性の高いデータ・アクセスを実現できます。同じサンプリング時刻に複数のレジスタからデータを読み出すには、現在のデータを読み出している間にサンプルが更新されることを防止する必要があります。割込みのタイミングを使用せずにレジスタ読出しを行う方法は、次のとおりです。

1. アクセスする必要のあるタイム・スロットを対象にして、SLOTA_DATA_HOLD または SLOTB_DATA_HOLD (それぞれ、レジスタ 0x5F のビット 1 とビット 2) に 1 を書き込みます (どちらのタイム・スロットにもアクセスできます)。この設定により、サンプルの更新が防止されます。
2. 必要に応じて、レジスタを読み出します。
3. すでにセットした SLOTA_DATA_HOLD または SLOTB_DATA_HOLD ビット (それぞれ、レジスタ 0x5F の

ビット 1 とビット 2) に 0 を書き込みます。サンプルの更新が再び許可されます。

読出しを実施している間に新しいサンプルが到着する可能性があるため、この方法を採用すると、読出し中のデータの一部が新しいサンプルによって上書きされる問題を防止できます。

クロックとタイミングのキャリブレーション

ADPD1080/ADPD1081 は 2 つの内部タイム・ベースを使用して動作します。1 つは、サンプリングのタイミングを設定する 32 kHz クロックです。もう 1 つは、LED へのパルス供給やデータ・キャプチャのような内部機能のタイミングを制御する 32 MHz クロックです。どちらのクロックも内部で生成され、デバイス間で約 10 % (代表値) の変動を示します。

心拍モニタ・アプリケーションでは、1 分あたりの心拍数を正確に測定するため、高精度のタイム・ベースが必要です。ADPD1080/ADPD1081 は、両方のクロックを対象にして、簡潔なキャリブレーション手順を用意しています。

32 kHz クロックのキャリブレーション

32 kHz クロックのキャリブレーションを実施する場合、出力データ・レートに関連する項目のキャリブレーションが行われます。心拍測定など高精度のデータ・レートを重視するアプリケーションでは、このクロックのキャリブレーションが重要です。

32 kHz クロックのキャリブレーションを行うには、次の手順に従ってください。

1. サンプリング周波数を、システムで処理できる最大値 (例えば 2000 Hz) に設定します。32 kHz クロックによってサンプリングのタイミングが制御されているので、この周波数は GPIO0 ピンを通じて容易にモニタできます。レジスタ 0x02 のビットに適切な値を書き込むことで、割り込みを設定します。また、レジスタ 0x01 のビット 5 またはビット 6 に 0 を書き込むことで、サンプリング周波数で割り込みが発生するように設定します。GPIO0 ピンをモニタします。割り込み周波数は、設定済みのサンプリング周波数に一致する必要があります。
2. モニタ中の割り込み周波数が、設定済みのサンプリング周波数を下回っている場合、CLK32K_ADJUST ビット (レジスタ 0x4B のビット [5:0]) を大きくします。モニタ中の割り込み周波数が、設定済みのサンプリング周波数を上回っている場合、CLK32K_ADJUST ビットを小さくします。
3. モニタ中の割り込み周波数が、設定済みのサンプリング周波数に十分近接するまで、ステップ 1 とステップ 2 を繰り返します。

32 kHz 発振器のキャリブレーションが完了したら、GPIO0 ピンを通常動作に必要なモードに設定します。

32 MHz クロックのキャリブレーション

同様に、32 MHz クロックのキャリブレーションを実施する場合、32 kHz クロックのキャリブレーションがすでに実施されていることを前提として、LED パルス幅やパルス間隔など、サンプリング周期内の精密なタイミングに関連する項目のキャリブレーションが行われます。

32 MHz クロックを補正するには、今説明したように、最初に 32 kHz クロックを補正する必要があります。必ずレジスタ 0x4D を 0x98 に設定してこのルーチンを起動します。これは電源投入時のデフォルト値です。

1. レジスタ 0x5F のビット 0 (DIGITAL_CLOCK_ENA) に 0x1 を書き込み、32 MHz 発振器を有効にします。

2. レジスタ 0x50 のビット 5 (CLK32M_CAL_EN) に 0x1 を書き込むことで、CLK_RATIO の計算を有効にします。この機能は、32 kHz クロックの 2 サイクル分を単位として、32 MHz クロックのサイクル数を数えます。この機能が有効になっている場合、このサイクルの値はレジスタ 0x0A のビット [11:0] に書き込まれます。この比率の公称値は 2000 (0x7D0) です。
3. 次のように、32 MHz クロックの誤差を計算します。
クロック誤差 = 32 MHz × (1 - CLK_RATIO/2000)
4. レジスタ 0x4D のビット [7:0] の設定を次式で計算された量だけ調整して、32 MHz 発振器の周波数を調整します。

$$CLK32M_ADJUST = \text{クロック誤差} / 112 \text{ kHz}$$

5. レジスタ 0x50 のビット 5 (CLK32M_CAL_EN) に 0x0 を書き込み、CLK_RATIO 機能をリセットします。

必要な精度を達成できるまで、ステップ 2 ～ステップ 5 を繰り返します。

レジスタ 0x5F のビット 0 に 0x0 を書き込み、32 MHz 発振器を無効にします。

GPIO0 と GPIO1 で利用できるオプションのタイミング信号

ADPD1080/ADPD1081 は、GPIO0 ピンと GPIO1 ピンを通じて、さまざまなタイミング信号を供給しています。この結果、システム同期が容易になり、柔軟性の高いトリガ・オプションを利用できるようになります。各 GPIOx ピンが他のドライバとバスを共有している場合、これらのピンをオープン・ドレイン出力として設定できます。あるいは、これらのピンが常にバスを駆動するように設定することもできます。タイミング信号をデフォルト状態から反転できるように、どちらの出力も極性制御の機能を備えています。

表 23. GPIOx 制御の設定値

Mnemonic	Register, Bit	Setting Description
GPIO0	0x02, Bit 0	0: polarity active high 1: polarity active low
	0x02, Bit 1	0: always drives the bus 1: drives the bus when asserted
	0x02, Bit 2	0: disables the GPIO0 pin drive 1: enables the GPIO0 pin drive
GPIO1	0x02, Bit 8	0: polarity active high 1: polarity active low
	0x02, Bit 9	0: always drives the bus 1: drives the bus when asserted
	0x4F, Bit 6	0: disables the GPIO1 pin drive 1: enables the GPIO1 pin drive

各種の利用可能なタイミング信号は、レジスタ 0x0B 内の設定値を使用して制御できます。このレジスタのビット [12:8] は、GPIO1 で利用できるタイミング信号を制御します。ビット [4:0] は、GPIO0 で利用できるタイミング信号を制御します。このデータシートに掲載されているタイミング信号はすべて、GPIO0 ピンと GPIO1 ピンのどちらか一方 (または両方) で利用できます。タイミング図を図 43 と図 44 に示します。タイミング図を生成するために使用したタイム・スロットの設定を表 24 に示します。

表 24. 図 43 と図 44 に示すタイミング図で使用した ADPD1080/ADPD1081 の設定

Register	Setting	Description
0x31	0x0118	Time Slot A: 1 LED pulse
0x36	0x0418	Time Slot B: 4 LED pulses
0x15	0x0120	Time Slot A decimation = 4, Time Slot B decimation = 2

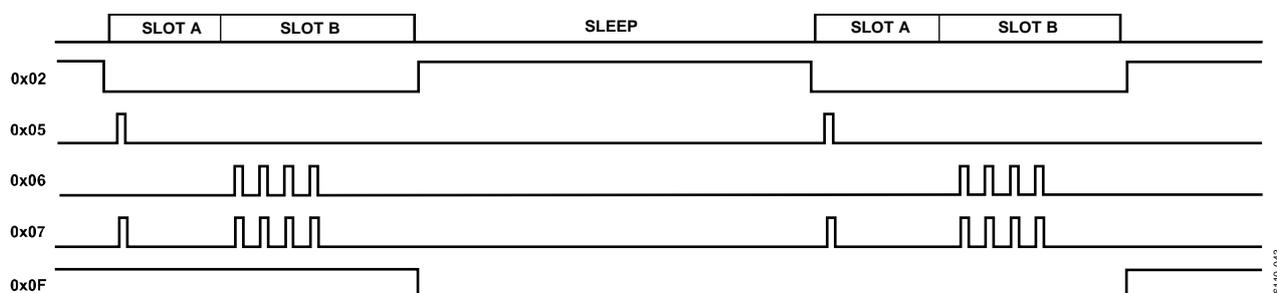


図 43. GPIOx で利用できるオプションのタイミング信号—

レジスタ 0x0B のビット [12:8] またはビット [4:0] = 0x02、0x05、0x06、0x07、および 0x0F

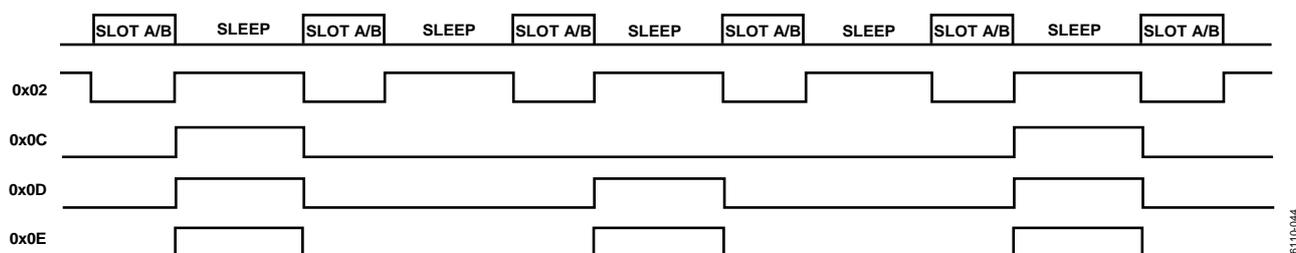


図 44. GPIOx で利用できるオプションのタイミング信号—

レジスタ 0x0B のビット [12:8] またはビット [4:0] = 0x02、0x0C、0x0D、および 0x0E

ADPD103 に対する下位互換性

レジスタ 0x0B = 0 に設定すると、ADPD103 に対する下位互換性を確保できます。GPIO0 ピンは、ADPD103 の INT ピンの機能を反映するようになります。GPIO1 ピンは、ADPD103 の PDSO ピンの機能を反映するようになります。

割込み機能

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x01 に設定すると、該当するピンが、レジスタ 0x01 で設定されている定義に従って、割込み機能を実行するようになります。

サンプリングのタイミング

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x02 に設定すると、該当するピンは、現在のサンプルの最初のタイム・スロット開始時にアサートされ現在のサンプルの最後のタイム・スロット終了時にアサート解除されるような信号を供給するようになります。例えば、両方のタイム・スロットが有効な場合、この信号はタイム・スロット A の開始時にアサートされ、タイム・スロット B の終了時にアサート解除されます。どちらか一方のタイム・スロットのみが有効な場合、この信号は有効なタイム・スロットの開始時にアサートされ、同じタイム・スロットの終了時にアサート解除されます。

パルス出力

LED パルス出力のコピーを作成するには、3 つのオプションを利用できます。レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x05 に設定すると、タイム・スロット A の LED パル

スをコピーしたものが、該当のピンに供給されます。レジスタ 0x06 を設定すると、タイム・スロット B のパルスが供給され、レジスタ 0x07 を設定すると、両方のタイム・スロットのパルスが供給されます。

出力データ・サイクル信号

出力データ・レジスタまたは FIFO に出力データがいつ書き込まれたかを示す信号を供給する場合、3 つのオプションを利用できます。レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x0C に設定すると、タイム・スロット A にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0D を設定すると、タイム・スロット B にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0E を設定すると、どちらか一方のタイム・スロットに値が書き込まれたことを示す信号が供給されます。出力データがすでに書き込まれている場合、この信号は、該当するタイム・スロット終了時にアサートされ、それ以降のサンプリング開始時にアサート解除されます。FIFO を使用している場合、このタイミング信号は特に役立ちます。例えば、FIFO がレジスタ 0x06 のビット [13:8] で設定した FIFO 閾値に達した時点で GPIOx ピンの一方が割込みを生成し、もう一方の GPIOx ピンが出力データ・サイクル信号を供給する、ということが可能です。この信号は加速度センサーのような周辺機器をトリガすることもできます。その結果、時間整列された信号をプロセッサに供給できます。

fs/2 出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x0F に設定すると、該当するピンが、サンプリング・レートの半分で

トグルする信号を供給するようになります。このタイミング信号は、サンプルごとに3個以上のLEDを必要とする状況などに役に立ちます。単一のLEDドライバに2個のLEDを多重化するマルチプレクサに対して、この信号をセレクト信号として使用できます。その結果、サンプリング期間ごとに最大4個のLEDを駆動できるようになります。このような場合、ADPD1080/ADPD1081はサンプリング・レートに比べて2倍の速度で動作し、サンプリングの合間のスリープ期間中にLEDを再設定できます。多重化の対象である複数のLEDで同一のLED設定（電流とタイミング）を使用する場合、ホストの介入なしで、サンプリング期間あたり最大4個のLEDをサンプリングできます。この設定の例を図45に示します。

デバイスがスタンバイ・モードから通常動作モードに切り替わると、fs/2 タイミング信号は必ずアクティブ・ロー状態から開始されます。その後、最初のサンプリングが完了した時点で、この信号はハイの状態に移ります。

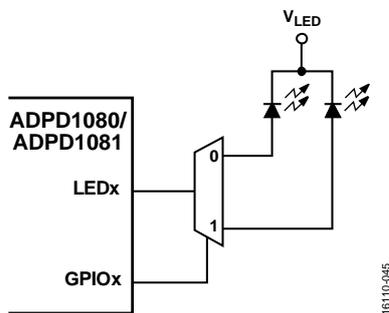


図 45. fs/2 タイミング信号の使用例

ロジック 0 の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x10 に設定すると、該当するピンがロジック 0 の出力を供給するようになります。

ロジック 1 の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x11 に設定すると、該当するピンがロジック 1 の出力を供給するようになります。

32 kHz 発振器の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x13 に設定すると、該当するピンが内蔵の 32 kHz 発振器のコピーを供給するようになります。

消費電流の計算

ADPD1080/ADPD1081 の消費電流は、選択した動作設定に基づき、次の式によって決定されます。

消費電力の計算

合計消費電力を計算するには、式 4 を使用します。

$$\text{合計消費電力} = I_{VDD_AVG} \times V_{DD} + I_{LEDA_AVG} \times V_{LEDA} + I_{LEDB_AVG} \times V_{LEDB} \quad (4)$$

V_{DD} からの平均電源電流

V_{DD} からの平均電源電流を計算するには、式 5 を使用します。

$$I_{VDD_AVG} = DR \times ((I_{AFE_A} \times t_{SLOTA}) + (I_{AFE_B} \times t_{SLOTB}) + Q_{PROC_X}) + I_{VDD_STANDBY} \quad (5)$$

ここで

DR は、Hz 単位のデータ・レート。

I_{VDD_STANDBY} = 0.2 μA。

Q_{PROC_X} は、処理時間に関連した平均電荷。

タイム・スロット A のみがイネーブルな場合

$$Q_{PROC_A} (C) = 0.35 \times 10^{-6}$$

タイム・スロット B のみがイネーブルな場合

$$Q_{PROC_B} (C) = 0.24 \times 10^{-6}$$

タイム・スロット A とタイム・スロット B がイネーブルな場合

$$Q_{PROC_AB} (C) = 0.40 \times 10^{-6}$$

$$I_{AFE_X} (A) = 3.0 \times 10^{-3} + (1.5 \times 10^{-3} \times NUM_CHANNELS) + (4.6 \times 10^{-3} \times I_{LEDX_PK} / SCALE_X) \quad (6)$$

$$t_{SLOTX} (sec) = LEDX_OFFSET + LEDX_PERIOD \times PULSE_COUNT \quad (7)$$

ここで

NUM_CHANNELS は、アクティブなチャンネルの数。

I_{LEDX_PK} は、特定のタイム・スロットで有効になっている LED を流れる、アンペア単位のピーク LED 電流。

SCALE_X は、ILEDX_COARSE レジスタである、レジスタ 0x22、レジスタ 0x23、レジスタ 0x24 のそれぞれのビット 13 によって決定される LED 駆動電流のスケール・ファクタ。

LEDX_OFFSET は、秒単位で表現される、パルス開始時刻のオフセット。

LEDX_PERIOD は、秒単位で表現されるパルス期間。

PULSE_COUNT はパルス数。

タイム・スロット A とタイム・スロット B のどちらかがディセーブルになっている場合、該当するタイム・スロットで I_{AFE_X} = 0 になっています。さらに、TIA ADC モードで動作する場合、レジスタ 0x3C のビット [8:3] = 010010 を設定して電力節約を実現します。この設定により、TIA ADC モードでバイパスされる BPF が無効になります。その結果、AFE の消費電力に対する寄与が次のように変化します。

$$I_{AFE_X} (mA) = 3.0 \times 10^{-3} + (1.0 \times 10^{-3} \times NUM_CHANNELS) + (4.6 \times 10^{-3} \times I_{LEDX_PK} / SCALE_X) \quad (8)$$

V_{LEDA} からの平均電源電流

V_{LEDA} からの平均電源電流を計算するには、式 9 を使用します。

$$I_{LED_AVG_A} = SLOTA_LED_WIDTH \times I_{LEDA_PK} \times DR \times PULSE_COUNT \quad (9)$$

ここで

SLOTA_LED_WIDTH は、秒単位で表現される LED パルス幅。

I_{LEDA_PK} は、タイム・スロット A で選択される LED を流れる、アンペア単位のピーク LED 電流。

V_{LEDB} からの平均電源電流

V_{LEDB} からの平均電源電流を計算するには、式 10 を使用します。

$$I_{LED_AVG_B} = SLOTB_LED_WIDTH \times I_{LEDB_PK} \times DR \times PULSE_COUNT \quad (10)$$

ここで

SLOTB_LED_WIDTH は、秒単位で表現される LED パルス幅。

I_{LEDB_PK} は、タイム・スロット B で選択される LED を流れる、アンペア単位のピーク LED 電流。

ワットあたりの S/N 比の最適化

ADPD1080/ADPD1081 では、信号を最善のものにするため、調整可能なさまざまなパラメータを用意しています。システム性能にとって重要な目標は、最善のシステム S/N 比を達成すると同時に、合計消費電力を最小限に抑えることです。この目標は「ワットあたりの S/N 比」と呼ばれることもあります。システムが S/N 比のみを重視し、消費電力があまり重要でない場合でも、同じ S/N 比を達成するうえで、消費電力の少ない手段と消費電力の多い手段が存在する可能性があります。

ピーク S/N 比の最適化

ピーク S/N 比最適化の最初のステップは、LED パルスの数を一定に保ったまま最大性能が得られるような TIA ゲインと LED レベルを見つけることです。ピーク S/N 比を重視する場合、表 4 のノイズの項目を目安として使用できます。S/N 比は平均化の対象となるパルス数の平方根に比例して改善され、LED が消費する電力は LED パルス数に比例する、という点に注意することが重要です。言い換えると、LED パルス数を 2 倍にすると、LED の消費電力は 2 倍になり、S/N 比は 3 dB 改善されます。その結果、消費電力のペナルティが 2 倍になっても S/N 比の改善が 3 dB 未満にとどまるような設定変更は避けてください。消費電力のペナルティが 2 倍になるとしても、3 dB 以上の改善が見られる場合、TIA ゲインの設定変更は適切な選択肢になります。ピーク S/N 比を重視し、どのゲインを採用しても LED パルスによるフォトダイオードの飽和が発生する懸念がない場合、50 kΩ の TIA ゲイン設定は最適な選択肢になります。チャンネルごとのパルスあたりの S/N 比を最適化した後、パルス数を増やして目的のシステム S/N 比を達成することができます。

信号に制限のあるシステムにおけるワットあたりの S/N 比の最適化

実際には、ピーク S/N 比の最適化が必ずしも実用的であるとは限りません。PPG 信号の S/N 比が不十分となる 1 つの状況が、信号制限の状態です。この状況では、目的の DC リターン（反射）レベルを達成する前に、LED 電流が上限に達します。

ピーク S/N 比の改善が停止する場所から、この状況を調整する作業を開始することになります。開始ポイントとして、50 kΩ の公称ゲインを使用します。LED 電流の最小設定値を 8 mA としてフォトダイオードが飽和しないことと、強度が高い周辺光から保護するには 50 kΩ のゲインで十分であることを前提とすると、このゲイン値は妥当です。いずれかの条件が成立しない場合、出発点として 25 kΩ のゲインを使用します。

DC リターン信号を 50 % や 60 % のような特定の ADC レンジに到達させることが、調整プロセスの目標です。ADC レンジの選択肢は、時間の経過に伴って DC レベルが変動する場合でも、飽和を防止するために必要とされるヘッドルームのマージンに対する関数として表現できます。PPG 波形の S/N 比は常に、DC レベルに比べて何らかのパーセント値に相当します。最善のゲインを使用しても目標のレベルを達成できない場合は、ゲインを大きくしてこの手順を繰り返します。システムを調整する際に、周辺信号による飽和を防止するため、ゲインの上限を設定することが必要となる場合があります。

パルス数の調整

LED ピーク電流と TIA ゲインを最適化した後、サンプルあたりのパルス数を増やすと、パルス数の平方根に比例して S/N 比が改善されます。パルス数を増やす方法は 2 つあります。パルス数レジスタ（レジスタ 0x31 のビット [15:8] とレジスタ 0x36 のビット [15:8]）を使用して、内部サンプルあたりのパルス数を変更します。レジスタ 0x15 のビット [6:4] とビット [10:8] は、データを出力へ送信する前に平均化の対象となる内部サンプルの数を制御します。したがって、サンプルあたりのパルス数は、パルス数レジスタの値に、後続の平均化に使用されるサンプル数を掛けた値に等しくなります。通常、望ましい出力データ・レートを維持するため、平均化の対象となる内部サンプルの数を増やすと、内部サンプリング・レートは増大します。ワットあたりの S/N 比は、パルス数の値が 16 以下のときに最大の最適化を実現できます。パルス数の値が 16 より大きい場合、パルス数レジスタ内で平方根の関係が維持されません。ただし、レジスタ 0x15 を使用してサンプル間の平均化を行うと、この関係を引き続き維持できます。

LED ピーク電流を大きくすると、LED の消費電力にほぼ比例して S/N 比が改善されますが、 n 倍だけパルス数を増やす場合、S/N 比の公称値は \sqrt{n} 倍しか改善されません。

合計または平均化の対象となるサンプルの数を変更する機能（レジスタ 0x15）を使用する場合、合計されるサンプルの数に応じて出力データ・レートは低下します。静的な出力データ・レートを維持するには、レジスタ 0x15 で選択したのと同じ係数倍だけ、サンプリング周波数（レジスタ 0x12）を引き上げます。例えば、出力データ・レートが 100 Hz で、合計または平均化の対象となるサンプルの数が 4 個の場合は、サンプリング周波数を 400 Hz に設定します。

フォトダイオードに逆バイアスを印加

フォトダイオードの容量は、信号バスにおけるノイズに影響します。フォトダイオードに逆バイアスを印加すると、フォトダイオードの容量が減少し、ノイズ性能が向上します。フォトダイオードに逆バイアスを印加するには、レジスタ 0x54 のビット 7 を 1 に設定します。実際の逆バイアスは、タイム・スロット B ではレジスタ 0x54 のビット [11:10]、タイム・スロット A ではレジスタ 0x54 のビット [9:8] の設定によって決定されます。これらのビットを 0x2 に設定すると、フォトダイオードに約 250 mV の逆バイアスが印加されます。PD のカソードを正の電源電圧に等しく設定するオプションもあり、逆バイアスを最大 0.9 V にすることができます。ただし、電源のノイズが直接信号に誘導されて、実際のノイズ・レベルが高くなる可能性があります。推奨される設定は、レジスタ 0x54 のビット [11:10] および/またはレジスタ 0x54 のビット [9:8] を 0x2 に設定して、逆バイアスを約 250 mV にすることです。

未使用のチャンネルとアンプの無効化による電力の最適化

シングル・チャンネル AFE モード

アプリケーションで単一のフォトダイオードを使用し、そのフォトダイオードを単一の AFE チャンネル（チャンネル 1 とチャンネル 2 のどちらか）に接続する場合、ADPD1080/ADPD1081 では未使用のチャンネルへの電力供給を停止（パワーダウン）し、デバイスをシングル AFE チャンネル・モードに移行するオプションを利用できます。このモードでは全部で 4 個ある AFE チャンネルのうち 3 個が無効になるので、消費電力もかなり減少します。

チャンネル 1 のみを使用する場合、レジスタ 0x3C のビット [8:6] に 0x7 を書き込み、チャンネル 2、チャンネル 3、チャンネル 4 を無効にします。チャンネル 2 のみを使用する場合、レジスタ 0x3C のビット [5:3] に 0x7 を書き込んでチャンネル 1 を無効にし、レジスタ 0x37 のビット [15:13] に 0x7 を書き込んでチャンネル 3 とチャンネル 4 を無効にします。

デュアル・チャンネル AFE モード

4 個のチャンネルのうち 2 個を使用する場合、残り 2 個のチャンネルを無効にすることが可能です。レジスタ 0x37 のビット [15:13] に 0x7 を書き込んで、チャンネル 1 とチャンネル 2 を有効に（チャンネル 3 とチャンネル 4 を無効に）します。チャンネル 3 とチャンネル 4 をデュアル・チャンネル・モードで動作させる（チャンネル 1 とチャンネル 2 を無効にする）には、レジスタ 0x3C のビット [5:3] とレジスタ 0x37 のビット [12:10] の両方に 0x7 を書き込みます。

同様に、適切な設定を使用して、3 チャンネル・モードを実現することも可能です。さまざまなチャンネルの組み合わせで電力供給を停止する場合に必要な設定については、表 25 を参照してください。最大の S/N 比と最小の消費電力を達成するため、システム設定を最適化する際に必要となる、PDx 入力と有効なチャンネルのさまざまな組み合わせを決定する方法については、タイム・スロット・スイッチのセクションを参照してください。

さらなる節電のための個々のアンプのパワーダウン

各チャンネルには、1 個の TIA、1 個の BPF、バッファとして構成することもできる 1 個の積分器が搭載されています（図 46 を参照）。信号バス内にある個々のアンプをパワーダウンするオプションがデバイスに内蔵されています。例えば、TIA ADC モードでは、BPF がバイパスされますが、デフォルトでは電力は供給されたままです。BPF を完全に無効にすることもできます。この場合はサンプリング・フェーズで AFE が消費する電力の 1/3 を節約できます。個々のアンプを無効にする方法の詳細については、表 37 に記載されているレジスタ 0x3C とレジスタ 0x37 に関する説明を参照してください。

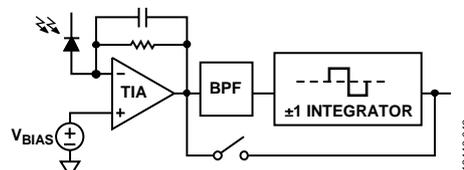


図 46. TIA/BPF/積分器のブロック図

デバイスが正しく動作するように、未使用の入力チャンネルをフロート状態のままにしておくことが重要です。

表 25. チャンネルのパワーダウン設定

Number of Channels	Channels Enabled	Register 0x3C, Bits[8:6]	Register 0x3C, Bits[5:3]	Register 0x37, Bits[15:13]	Register 0x37, Bits[12:10]
1	Channel 1	0x7	0x0	Not applicable	Not applicable
1	Channel 2	0x0	0x7	0x7	0x0
2	Channel 1, Channel 2	0x0	0x0	0x7	0x0
2	Channel 3, Channel 4	0x0	0x7	0x0	0x7
3	Channel 2, Channel 3, Channel 4	0x0	0x7	0x0	0x0
4	All channels	0x0	0x0	0x0	0x0

高周辺光条件のためのダイナミック・レンジの最適化

周辺光の量が多いと、TIA で利用可能なダイナミック・レンジの多くを使用してしまいます。積分器が電荷を積分する前にはバンドパス・フィルタは周辺光を受け付けられないので、積分器にとって周辺光は大きな問題にはなりません。しかし、周辺光のレベルの増大に対処するためには、TIA のゲインを低下させて TIA の飽和を避ける必要があります。TIA のゲインが低下すると、目的とする信号の入力換算 (RTI) ノイズが増加します。この増加の影響は積分器のゲインを増やすことによって打ち消すことができるので、LSB あたりの LED 信号ゲイン (mA 単位) は変わりません。

例えば、パルス信号が ADC の使用可能なダイナミック・レンジのうちの必要な量 (代表的には約 70% フル・スケール) を使用するように TIA ゲインを最適化する、パルス信号量 (必要量) を決定することから始めます。周辺光のレベルが増加し、TIA を飽和させずに周辺光の増加に対応するために TIA のゲインを低下させなければならない場合、TIA ゲインの低下分だけ ADC に与えられるパルス信号量が減衰するため、目的とする信号の S/N 比が低下します。

こうした状況で目的とする信号の S/N 比を上昇させるには、次の 2 つの方法のいずれかを使用します。第 1 の方法は、ADC のパルス信号のレベルを目的とするフル・スケールに合わせるのに必要な量だけ LED 電流を単純に増加させます。しかし、これはシステム全体の電力が増加するという犠牲を伴います。第 2 の方法は、積分器のゲインを増加させて同様の結果を得ること

です。受信パスのブロック図を図 47 に示します。信号パスのゲインは、TIA 帰還抵抗 (R_F) と積分器の入力抵抗 (R_{INT}) によって決まります。周辺光の増大に対処するために R_F を減少して TIA の入力でのダイナミック・レンジを大きくした場合、 R_{INT} を減少して積分器のゲインを大きくすると、TIA ゲインを低下させる前と同じ大きさの (TIA の入力での) パルス信号が同量の ADC のダイナミック・レンジを利用できるようになります。表 26 に示すように、レジスタ 0x42 (タイム・スロット A) およびレジスタ 0x44 (タイム・スロット B) のビット [9:8] を使用して R_{INT} の抵抗設定を選択します。

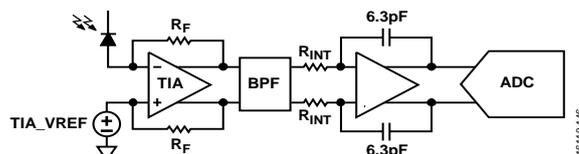


図 47. 受信パスのブロック図

表 26. R_{INT} の値

Register 0x42, Bits[9:8], Register 0x44, Bits[9:8]	R_{INT} (k Ω)
00 (default)	400
01	200
10	100

表 27 に、 R_F および R_{INT} と、対処すべき周辺光量との関係を基にして S/N 比を最適化する方法例を示します。表 27 に示す値は、2 μ s の LED パルスと 30 pF のフォトダイオード容量の場合を示しています。

表 27. R_F と R_{INT} を各種組み合わせさせたときの S/N 比の例

R_F (k Ω)	R_{INT} (k Ω)	Pulsed Current at 70% Full Scale (μ A)	Noise (nA rms)	Maximum Ambient Current (μ A)	TIA Linear Range (μ A)	SNR (dB)
200	400	3.3	0.82	2.2	5.5	72.1
100	200	3.3	1.26	7.8	11.1	68.4
50	100	3.3	1.85	18.8	22.1	65
100	400	6.8	1.38	4.3	11.1	73.9
50	200	6.8	2.1	15.3	22.1	70.2
50	400	13.2	2.7	8.9	22.1	73.8

TIA ADC モード

図 48 に示すように、アナログ BPF と積分器を使用せず、実質的に TIA が ADC を直接駆動するモードにデバイスを移行する方法があります。このモードを TIA ADC モードと呼びます。TIA ADC モードを使用する基本的なアプリケーションが 2 つあります。通常の動作では、周辺光すべてがシグナル・チェーンから除去されるので、周辺光を測定できません。TIA_ADC モードを使用すれば、背景光/周辺光の量を測定できます。また、このモードを使用して、漏れ抵抗のような他の DC 入力電流を測定することもできます。

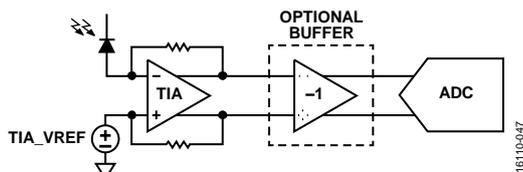


図 48. TIA ADC モードのブロック図

デバイスが TIA ADC モードで動作している場合、BPF と積分器の段はバイパスされます。このバイパスにより、実質的に TIA が ADC に直結されます。設定済みのサンプリング周波数で、ADC はチャンネル 1 からチャンネル 4 を順番にサンプリングし、各サンプルは 1 μ s の間隔で取得されます。

TIA ADC モードには、2 種類の動作モードがあります。1 つの動作モードは反転構成であり、TIA ADC モードが ADC を直接駆動します。この動作モードを有効にするには、レジスタ 0x43 (タイム・スロット A) とレジスタ 0x45 (タイム・スロット B) の一方または両方を 0xB065 に設定します。この結果、BPF と積分器はバイパスされます。目的のチャンネルで ADC オフセット・レジスタを 0 に設定し、TIA のバイアス電圧 (TIA_VREF) を 1.265 V に設定した場合、ADC の出力は、単一パルスとゼロ入力電流の条件下でおよそ 13,000 のコードになります。フォトダイオードからの入力電流が増加すると、ADC 出力は 0 に向かって減少します。この設定は、ADPD103 から継承した TIA ADC モードであり、下位互換性の目的で ADPD1080/ADPD1081 でも維持されています。

推奨する TIA ADC モードは、BPF をバイパスし、積分器を反転バッファとして構成するモードです。この動作モードを有効にするには、レジスタ 0x43 (タイム・スロット A) とレジスタ 0x45 (タイム・スロット B) の一方または両方に 0xAE65 を書き込み、BPF をバイパスします。さらに、積分器をバッファとして構成するには、レジスタ 0x42 のビット 7 (タイム・スロット A) およびレジスタ 0x44 (タイム・スロット B) の一方または両方に 1 を設定し、レジスタ 0x58 のビット 7 を 1 に設定します。目的のチャンネルで ADC オフセット・レジスタを 0 に設定し、TIA_VREF を 1.265 V に設定した場合、ADC の出力は、単一パルスとゼロ入力電流の条件下でおよそ 13,000 のコードになります。フォトダイオードからの入力電流が増加すると、ADC 出力は 0 に向かって減少します。

積分器をバッファとして構成する場合、ゲインを 1 または 0.7 のいずれかを使用するオプションがあります。ゲイン 0.7 を使用すると、TIA への入力で使用できるダイナミック・レンジが増加します。ただし、この構成では ADC がオーバーレンジすることがあるため、ADC を飽和させないように注意する必要があります。バッファ・ゲインを設定するには、タイム・スロット A ではレジスタ 0x42 のビット 9、タイム・スロット B ではレジスタ 0x44 のビット 9 を使用します。このビットを 0 (デフォルト) に設定すると、ゲインが 1 に設定されます。このビットを 1 に設定すると、バッファのゲインは 0.7 に設定されます。

ADC 出力 (ADC_{OUT}) は、次のように計算します。

$$ADC_{OUT} = 8192 \pm ((2 \times TIA_VREF - 2 \times i \times R_F - 1.8 \text{ V}) / 146 \mu\text{V/LSB}) \times SLOTx_BUF_GAIN \quad (11)$$

ここで

TIA_VREF は TIA のバイアス電圧 (デフォルト値は 1.265 V)。

i は TIA への入力電流。

R_F は TIA の帰還抵抗。

SLOTx_BUF_GAIN はレジスタ 0x42 のビット 9、レジスタ 0x44 のビット 9 の設定に応じて 0.7 または 1 のいずれか。

式 11 は近似式であり、内部オフセットやゲイン誤差を考慮していません。また、この計算は ADC オフセット・レジスタが 0 に設定されていることも前提としています。

一方のタイム・スロットを TIA ADC モードで使用すると同時に、もう一方のタイム・スロットを通常のパルス・モードを使用することもできます。周辺信号とパルス信号を同時にモニタリングする場合、この設定が役に立ちます。周辺信号は TIA ADC モードを使用するように設定したタイム・スロットでモニタリングすると同時に、周辺信号を除去したパルス信号は通常動作モードに設定したタイム・スロットでモニタリングします。

通常動作時の TIA 飽和の防止

飽和の原因となり得る環境への対策を備えることが、TIA ADC モードでモニタリングを行う理由の 1 つです。強い光が照射されている条件下で動作する場合、特に、大きいフォトダイオードを使用すると、ADPD1080/ADPD1081 がデータの通信を継続している間に、TIA 段が飽和することが懸念されます。結果として生じる飽和は、代表的なものではありません。この設定に基づく TIA が取り扱えるのは、特定のレベルのフォトダイオード電流のみです。ADPD1080/ADPD1081 の設定方法に基づくと、フォトダイオードから入力される電流レベルが TIA で処理できるレベルを上回る場合、LED パルスが生成される間の TIA 出力は実質的に電流パルスを拡大し、パルス幅が広がることになります。その後、BPF の出力の正の部分が、積分ウィンドウの負のセクションにまで拡大されるため、AFE のタイミング違反が発生します。この結果、フォトダイオードに起因する信号が、信号自体から差し引かれます。つまり、実質的な光信号は増大しているにもかかわらず、出力信号が減少するという事態につながります。

TIA からの応答を測定し、この段が飽和していないことを確認するには、デバイスを TIA ADC モードに移行し、タイミングをわずかに変更します。特に、4 個のチャンネルのうち 2 個または 3 個が最小値に達するまで、SLOTx_AFE_OFFSET を掃引します (TIA が反転構成になっていることに注意してください)。4 個のチャンネルが最小値に達することはありません。通常、3 μ s の LED パルス幅を使用し、ADC は 1 μ s の間隔で 4 個のチャンネルを順にサンプリングするからです。この手順に従えば、ADC のサンプリング時間が、光検出器に投射される光の量を測定する LED パルスに整合します (例えば、周辺光 + LED パルス)。

この最小値が 0 LSB を上回っている場合、TIA は飽和していません。ただし、結果が 0 LSB ではない場合でも、飽和点付近でデバイスを動作させると、光条件が変化した場合に急速に飽和する結果を招く可能性があるため、注意してください。通常、安全な動作領域は、フル・スケールの 3/4 以下の範囲です。パルスおよびチャンネルあたりの値を基準とした入力コードと ADC レベルの対応については、表 28 を参照してください。これらのコードは、通常動作モードと同じではありません。BPF と積分器がユニティ・ゲイン素子ではないからです。

PCB の寄生入力抵抗の測定

ADPD1080/ADPD1081 の取り付けプロセスの実行中に、組み立て時の誤りや PCB に付着した細片が原因で、不要な抵抗が入力側に現れることがあります。これらの抵抗は、アノードとカソードの間や、アノードと他の電源またはグラウンドの間に形成されることがあります。通常の動作では、ADPD1080/ADPD1081 の周辺除去機能によって、このような抵抗による効果はほとんどマスクされ、抵抗の検出が困難になります。ただし、抵抗が 1 MΩ ~ 10 MΩ の場合でも、ノイズの増加やダイナミック・レンジの縮小という形で性能に大きな影響を与ることがあります。TIA ADC モードを使用すれば、組み立てて起因するこれらの問題を排除できます。

フォトダイオードのシャント抵抗の測定

通常、フォトダイオードの両端に接続されたシャント抵抗は、動作中のデバイスの出力レベルに影響を与えません。特に、動作中にフォトダイオードが 0 V に固定される場合、TIA の実効インピーダンスが小さくなるのが原因です。ただし、このような抵抗はシステム・ノイズを増加させ性能低下を招く可能性があります。フォトダイオードの漏れ（フォトダイオードのシャント抵抗ともよばれます）を検出する最善の方法は、TIA

ADC モードのデバイスを暗状態に配置し、動作モードのカソード電圧を変化させることです。カソードの電位を 1.3 V に設定すると、フォトダイオード両端の電圧は 0 V になります。動作中、アノードの電位は常に 1.3 V になるためです。カソードを 1.8 V に設定すると、フォトダイオード両端の電圧は 0.5 V になります。表 3 に示すレジスタの設定値を使用して、カソード電圧を制御し、両方の電圧で TIA ADC の値を測定します。次に、この 0.5 V の電圧差を電流に変換した後の ADC の結果の差で割り算します。この結果が、シャント抵抗の近似値です。10 MΩ を上回る値の場合は測定が困難になる可能性があります。この方法は明白な障害を識別するうえで役立ちます。

TIA 入力のシャント抵抗の測定

別の問題として、TIA 入力と PCB 上に存在する別の電源またはグラウンドの間に抵抗が出現する可能性があります。これらの抵抗が原因で、TIA が早い段階で飽和状態になることがあります。このように早期の飽和が発生した場合、動作中のデバイスのダイナミック・レンジが縮小し、入力に対してジョンソン・ノイズ成分が追加されます。これらの抵抗を測定するには、TIA ADC モードのデバイスを暗状態に移行し、フォトダイオードの入力を非接続状態にして（レジスタ 0x14 のビット [11:8] = 0 または レジスタ 0x14 のビット [7:4] = 0）、まず TIA ADC オフセット・レベルの測定を行います。この値から、TIA ADC モードで暗状態のフォトダイオードを接続したときの測定値を差し引き、その差を電流に変換します。この値が正であり、ADC 信号が減少している場合、V_{DD} のように 1.3 V よりも高い電圧との間に抵抗が存在しています。TIA に流れ込む電流が原因で、出力の電圧降下が発生します。ADC のコードが増加する現象が示すように、出力の差が負である場合、電流は TIA から流出し、グラウンドのように、1.3 V よりも低い電位との間にシャント抵抗が存在します。

表 28. TIA ADC モードのアナログ仕様

Parameter	Test Conditions/Comments	Typ	Unit
TIA ADC Saturation Levels	Values expressed per channel, per sample		
	25 kΩ gain	38.32	μA
	50 kΩ gain	19.16	μA
	100 kΩ gain	9.58	μA
	200 kΩ gain	4.79	μA
TIA Linear Range	25 kΩ gain	42.8	μA
	50 kΩ gain	21.4	μA
	100 kΩ gain	10.7	μA
	200 kΩ gain	5.4	μA
TIA ADC Resolution	Values expressed per channel, per sample; TIA feedback resistor		
	25 kΩ	2.92	nA/LSB
	50 kΩ	1.5	nA/LSB
	100 kΩ	0.73	nA/LSB
	200 kΩ	0.37	nA/LSB
Output Without Input Photocurrent	ADC offset (Register 0x18 to Register 0x21) = 0x0	13,000	LSB

表 29. 通常サンプリング・モードと TIA ADC モードを切り替えるための設定レジスタ

Hex Addr.	Data Bit(s)	Bit Name	Normal Mode Value	TIA ADC Mode Value	Description
42	[15:10]	SLOTA_AFE_MODE	0x07	Not applicable	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。この設定値は、TIA ADC モードでは重要ではありません。
	[9:8]	SLOTA_INT_GAIN	0x0	0x0	00: バッファ・ゲイン = 1.0。 01: バッファ・ゲイン = 1.0。 10: バッファ・ゲイン = 0.7。
	7	SLOTA_INT_AS_BUF	0x0	0x1	0: 通常の積分器の設定。 1: 積分器をバッファ・アンプに変換。
43	[15:0]	SLOTA_AFE_CFG	0xADA5	0xAE65	タイム・スロット A の AFE 接続。 0xAE65 に設定すると、バンドパス・フィルタがバイパスされます。 0xB065 は、TIA ADC モードでも使用できます。この設定値により、BPF と積分器の両方がバイパスされます。
44	[15:10]	SLOTB_AFE_MODE	0x07	Not applicable	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。この設定値は、TIA ADC モードでは重要ではありません。
	[9:8]	SLOTB_INT_GAIN	0x0	0x0	00: バッファ・ゲイン = 1.0。 01: バッファ・ゲイン = 1.0。 10: バッファ・ゲイン = 0.7。
	7	SLOTB_INT_AS_BUF	0x0	0x1	0: 通常の積分器の設定。 1: 積分器をバッファ・アンプに変換。
45	[15:0]	SLOTB_AFE_CFG	0xADA5	0xAE65	タイム・スロット B の AFE 接続。 0xAE65 に設定すると、BPF がバイパスされます。 0xB065 は、TIA ADC モードでも使用できます。この設定値により、BPF と積分器の両方がバイパスされます。
58	7	ENA_INT_AS_BUF	0x0	0x1	TIA ADC モードで積分器をバッファとして設定する機能を有効にします。

パルス接続モード

パルス接続モードでは、LED パルス・タイミング・レジスタで設定されたタイミングに応じて、フォトダイオードにパルスが供給されます。このモードで、2 μ s の LED パルスを供給するように LED パルス・タイミングが設定されている場合、デバイスは 2 μ s の LED パルスを供給する代わりに、フォトダイオードの入力に 2 μ s にわたってパルスを供給します。このモードは TIA ADC モードに代わる選択肢であり、周辺光を測定する目的や、各種センサー（例えば、ECG）を利用して他の種類の測定を行う目的で、BPF と積分器を含む信号バス全体を使用します。

パルス接続モードを有効にするには、通常動作モードと同様の方法でデバイスを設定しますが、例外として、タイム・スロット B ではレジスタ 0x14 のビット [3:2] = 0、タイム・スロット A ではレジスタ 0x14 のビット [1:0] = 0 に設定します。

TIA ADC モードを使用した ECG と PPG の同期測定

患者のヘルスケアを監視する目的で開発されたウェアラブル・デバイスでは、生物医学的な信号を同期して測定することが必要になります。例えば、患者の ECG と PPG の同期測定を行うと、PWTT（パルス波搬送時間）を決定できます。この値を使用すれば、血圧を推定できます。

図 50 に示す回路は、AD8233 と ADPD1080 を使用した、ECG と PPG の同期測定を示しています。AD8233 では、カットオフ周波数が 0.3 Hz である 2 極ハイパス・フィルタ（HPF）と、カットオフ周波数が 37 Hz である 2 極ローパス・フィルタ（LPF）を実装しています。AD8233 の電圧出力は 200 k Ω の抵抗を経由して電流に変換され、ADPD1080 の電流入力に供給されます。

ADPD1080 は、連続する複数のタイム・スロットを使用して、フォトダイオードの信号と、AD8233 から出力される ECG 信号を交互に測定し、完全に同期された PPG 測定値と ECG 測定値を供給するように設定されています。データは、オンチップ FIFO またはデータ・レジスタから直接読み出すことができます。ECG 信号を処理する目的で使用する ADPD1080 のチャンネルは、TIA ADC で設定されています。タイム・スロット A で ECG 信号を測定する場合はレジスタ 0x42 のビット [5:4]、タイム・スロット B で ECG 信号を測定する場合は、レジスタ 0x44 のビット [5:4] を使用して、バイアス電圧の設定値を 0.90 V に指定します。信号バスのダイナミック・レンジを最適化するために、TIA ゲインの設定値を指定することもできます。PPG 信号を処理するために使用するチャンネルは、通常動作モードに設定します。図 49 に、AD8233 と ADPD1080 を使用した、ECG と PPG の同期測定のプロットを示します。

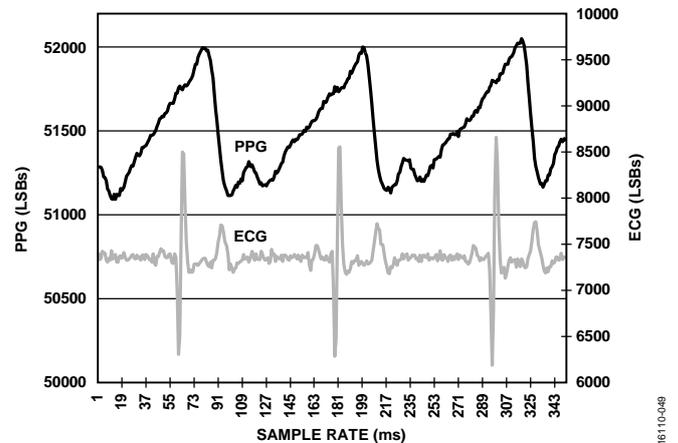


図 49. ECG と PPG の同期波形のプロット

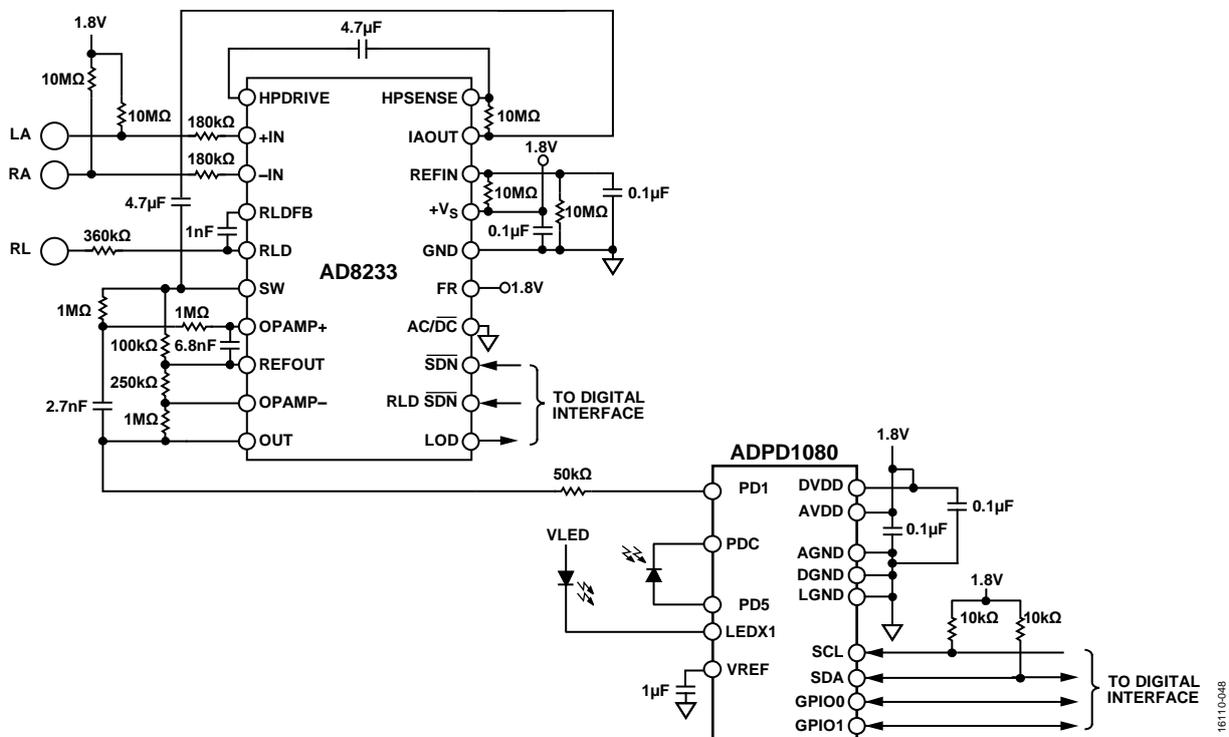


図 50. ADPD1080 を AD8233 と組み合わせて使用した PPG と ECG の同期測定

フロート・モード

ADPD1080/ADPD1081 は、低照度時に低電力で優れた S/N 比を可能にする、独自の動作モードであるフロート・モードを備えています。フロート・モードでは、フォトダイオードが最初に既知の状態になるよう事前設定され、プリセットされたフロート時間の期間、フォトダイオードのアノードが ADPD1080/ADPD1081 の受信パスから切り離されます。フロート時間の間、動作モードに応じて、周辺光、LED パルス光、またはこの 2 つの組み合わせのいずれかから光がフォトダイオードに照射されます。センサーからの電荷は、センサーの容量に直接蓄積されます。フロート時間の終了時に、フォトダイオードが ADPD1080/ADPD1081 の受信パスに戻され、蓄積電荷の突入現象が発生します。その後、ADPD1080/ADPD1081 の積分器によって積分され、信号パスによるノイズ量を最小にしながら、パルスごとに最大の電荷量が処理されます。電荷は、信号にノイズを付加する信号パスのアンプとは無関係に、最大電荷を得るために必要とされる間、フォトダイオードの容量に対して外部で積分されます。

アンプと ADC のノイズ値は、1 回の測定の間、一定です。S/N 比を最適化するには、測定あたりの信号（電荷）量を大きくすることが望まれます。通常動作モードでは、パルス時間が固定されているため、LED の駆動電流を増やすことによるのみ、測定あたりの電荷を増加させることができます。照度が高い場合は、これで十分です。しかし、照度が低い場合は、利用可能な電流には限界が生じます。さらに、高電流パルスは、システムによってはグラウンド・ノイズを引き起こすことがあります。緑色 LED は高電流で低効率であり、多くのバッテリー設計では効率的に高電流パルスを供給できません。フロート・モードでは、LED 駆動電流を増やすか、フロート時間を長くすることで、測定あたりの電荷量を柔軟に増加させることができます。このような柔軟性は、許容レベルの S/N 比を達成するのに通常動作モードでは複数パルスを必要とするような低電流伝達比（CTR）の条件、例えば、10 nA/mA の場合に特に有用です。

フロート・モードでは、信号パスは BPF をバイパスし、TIA と積分器のみを使用します。通常動作モードでは、パルス形状は既知であり（一般には 2 μ s または 3 μ s のいずれか）、デバイスや条件が異なっても同じです。BPF を通過する信号の形状も予測可能であり、これにより、積分器のタイミングをフィルタ処理後の信号のゼロ交差に合わせることができます。フロート・モードでは、電荷ダンプによって生成される信号の形状は、デバイスや条件によって異なる場合があります。フィルタ処理後の信号を確実に整合することができないため、BPF は使用できません。フロート・モードでは、電荷ダンプ全体が積分器の負のサイクルで積分され、正のサイクルではオフセットがキャンセルされます。

フロート・モードの測定サイクル

図 51 に、フロート・モード測定サイクルのタイミング図を示し、以下にそのポイントを説明します。

- 事前設定期間はポイント A 以前です。フォトダイオードは TIA に接続され、光電流は TIA に流れます。フォトダイオードのアノードは 0.9 V に保持されます（レジスタ 0x42 とレジスタ 0x44 のビット [5:4] = 0x2 により TIA_VREF = 0.9V に設定）。レジスタ 0x54 のビット 7=1 およびレジスタ 0x54 のビット [9:8] = 0x2（タイム・スロット A の場合）を設定することによって、フォトダイオードは最大約 250 mV の逆バイアス電圧に逆バイアスされます。この時点で、TIA の出力 (TIA_OUT) = TIA_VREF $-$ (I_{PD} × R_F) となります。ここで、I_{PD} は PD から ADPD1080/ADPD1081 入力に流れ込む電流であり、積分器はオフになっています。
- ポイント A では、フォトダイオードは受信パスから切り離されています。光がフォトダイオードに照射され続けると電荷が生成され、フォトダイオードの容量に直接蓄積されます。電荷が蓄積されるにつれ、フォトダイオードのフロートしているアノードの電圧が上昇していきます。TIA は ADPD1080/ADPD1081 への入力から切り離されているため、電流は TIA を流れず、TIA 出力は TIA_VREF です。ポイント B の直前で、積分器は 0 にリセットされます。LED 同期測定用のフロート・モードのセクションでは、ポイント A からポイント D までの期間に LED はパルスを発生します。4 μ s 未満のフロート時間は許容されません。
- ポイント B で、積分器は正の積分フェーズを開始します。TIA 出力と積分器リファレンス間に小さな DC オフセットがあるため、積分器の出力は正のオフセットに対しては上昇し、負のオフセットに対しては降下します。この期間中、フォトダイオードは電荷を蓄積し続けます。
- ポイント C で、積分器は負の積分フェーズを開始します。この極性の反転によって、オフセットによって生じた信号がキャンセルされ始めます。このオフセットのキャンセルは、すべてのオフセットが完全にキャンセルされるポイント F まで続きます。
- ポイント D において、フォトダイオードは受信パスに切り替わり、フロート時間中にフォトダイオード容量に蓄積された電荷はすべて TIA にダンプ（放電）されます。代表的な電荷ダンプ時間は 2 μ s 未満です。電流が TIA を流れるときに、TIA の出力は負の大きな信号で応答します。この時点で積分器は負の積分フェーズにあるため、デバイスへの入力電流が積分されて総電荷に戻るにつれて積分器の出力は上昇していきます。ポイント D と E の間で、フォトダイオードに入射する光によりさらに光電流が生成され、積分器により電荷として直ちに積分されます。
- ポイント E で、TIA は受信パスから切り離され、TIA 出力は TIA_VREF に戻ります。ポイント E と F の間で、積分器は負の積分フェーズとオフセットのキャンセルを完了します。
- ポイント F で、積分器の出力は ADC によってサンプリングされるまで保持されます。

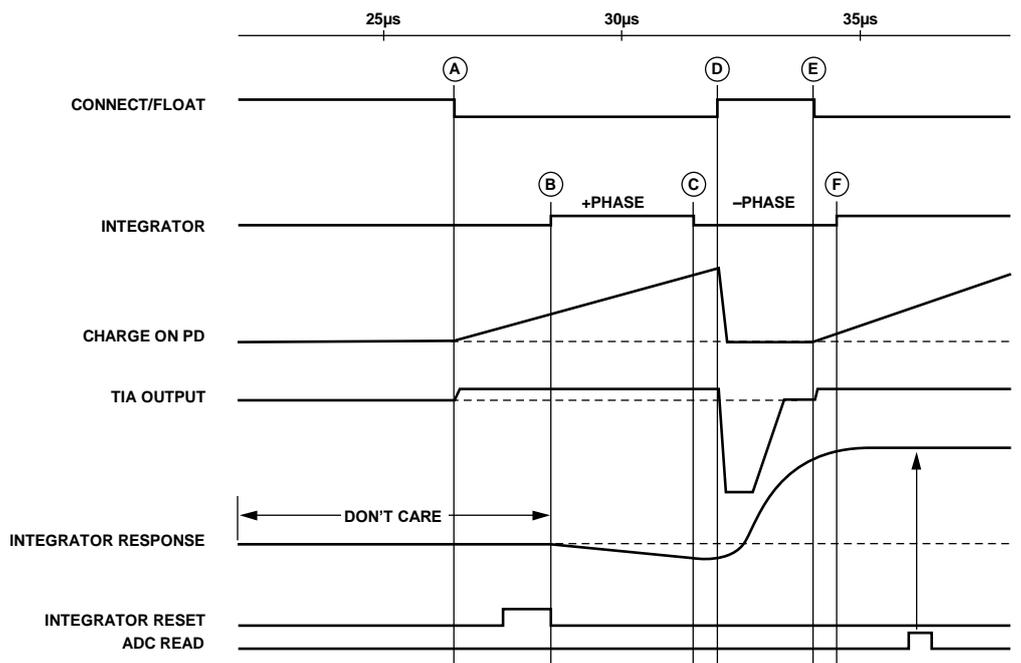


図 51. フロート・モードの測定サイクルのタイミング図

フロート・モードの制約事項

フロート・モードを使用する場合には、このモードの限界をよく理解していなければなりません。例えば、フォトダイオードの容量に蓄積される電荷量は有限なので、積分器で積分可能な最大電荷量が存在します。フォトダイオードに 250 mV の初期逆バイアスがかかっていて、約 200 mV の順方向バイアスでフォトダイオードが非線形になり始めると仮定すると、フロート時間の開始時点から電荷が線形に蓄積しなくなるまでアノード電圧が増加するのに、約 450 mV のヘッドルームが存在します。フォトダイオードの線形領域でのみ動作することが望まれます (図 52 参照)。簡単なチェックで、フロート・モードがダイオードの線形領域で動作していることを確認できます。データを目的のフロート時間で記録し、さらにフロート時間の半分でデータを記録します。2つの受信信号の比は 2:1 でなければなりません。この比が成り立たない場合、ダイオードはより長時間のフロート時間で順バイアスになり始め、非線形になる可能性が高くなります。

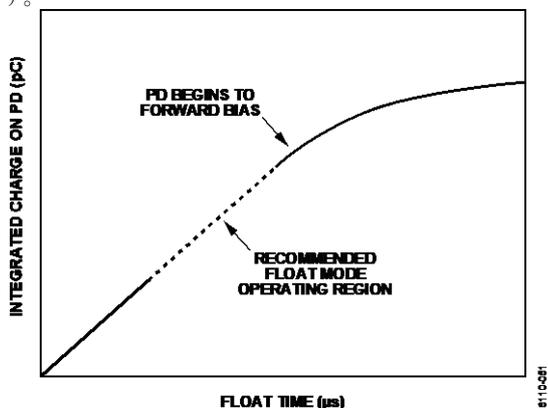


図 52. フォトダイオードにおける積分電荷とフロート時間の伝達関数

フォトダイオード容量に蓄積可能で、センサーの線形動作領域に収まる電荷の最大量は次式で見積もることができます。

$$Q = CV$$

ここで

Q は積分される電荷量。

C はフォトダイオードの容量。

V はフォトダイオードが非線形になるまでのフォトダイオード両端の電圧変化量。

静電容量が 70 pF でヘッドルームが 450 mV の 7 mm² フォトダイオードを使用した代表的なディスクリット光学設計では、フォトダイオードの容量に蓄積可能な最大電荷量は 31.5 pC です。

また、ADPD1080/ADPD1081 の積分器が積分可能な最大電荷量についても考慮します。積分器は最大 7.6 pC を積分できます。この電荷を入力に換算する場合は、TIA ゲインを考慮します。TIA ゲインが 200 kΩ のとき、入力換算電荷は積分器の積分電荷に対して 1:1 の比になります。100 kΩ ゲインでは 2:1、50 kΩ ゲインでは 4:1、25 kΩ ゲインでは 8:1 です。容量が 70 pF のフォトダイオードを使用した前の例では、50 kΩ の TIA ゲインを使用し、単一パルスで ADC の出力が代表的な動作条件であるフル・スケールの 70% になるようにフロート・タイミングを設定します。この動作条件では、フォトダイオード容量に蓄積される 21.2 pC の電荷に対して、積分器によってパルスあたり 5.3 pC が積分されます。しかし、CTR が小さい場合、フォトダイオード容量に 21.2 pC の電荷を蓄積するのに時間がかかることがあります。この場合、一定時間内に蓄積可能な電荷量に応じて TIA のゲインを高くします。最終的には、測定タイプ (周辺またはパルス LED)、フォトダイオード容量、およびシステムの CTR によってフロート時間が決まります。

周辺光測定でのフロート・モード

フロート・モードは、背景光が十分に小さい周辺光の測定に使用されます。高照度の周辺光の測定には TIA ADC モードを使用します。適切なフロート時間で少量の光を測定できるので、システムのノイズ・フロア以上で測定するのに十分なレベルまで入射電荷を蓄積できます。この光源は、同期光（例えば、パルス LED）と非同期光（すなわち、背景光）を任意に組み合わせることができます。システムが光源を駆動しない場合、測定は単に背景光を測定するだけです。

電氣的ドリフトとオフセットをキャンセルするには、2 パルスの示差測定技術を使用します。フロート時間がそれぞれ異なる 2 回の測定を行います。第 1 のフロート時間は第 2 のパルスよりもかなり短くします。2 回の測定を行った後、測定値 2 から測定

値 1 を減算すると、両方の測定に共通したオフセットおよびドリフトが効果的にキャンセルされます。残留値は、第 1 および第 2 のフロート時間差の時間にわたって積分された電荷量に基づく周辺光の測定値になります。例えば、フロート時間 1 が 6 μs でフロート時間 2 が 26 μs の場合、周辺光の測定値は、フォトダイオード容量の電荷を 20 μs で積分し、オフセットとドリフトが除去された値になります。周辺光のフロート・モードでは、最初のパルスしか短くすることができないため、ドリフトとオフセットをキャンセルするにはパルス数を 2 に設定する必要があります。2 つ以上のパルスも使用できますが、パルス 2 ~ n は常に同じ長さになります。ドリフトのキャンセルが必要でない場合は、任意の数のパルスを使用し、それらを加算することも可能です。図 53 に、フロート周辺モードのタイミングの例を、表 30 に、設定すべき関連レジスタの詳細を示します。

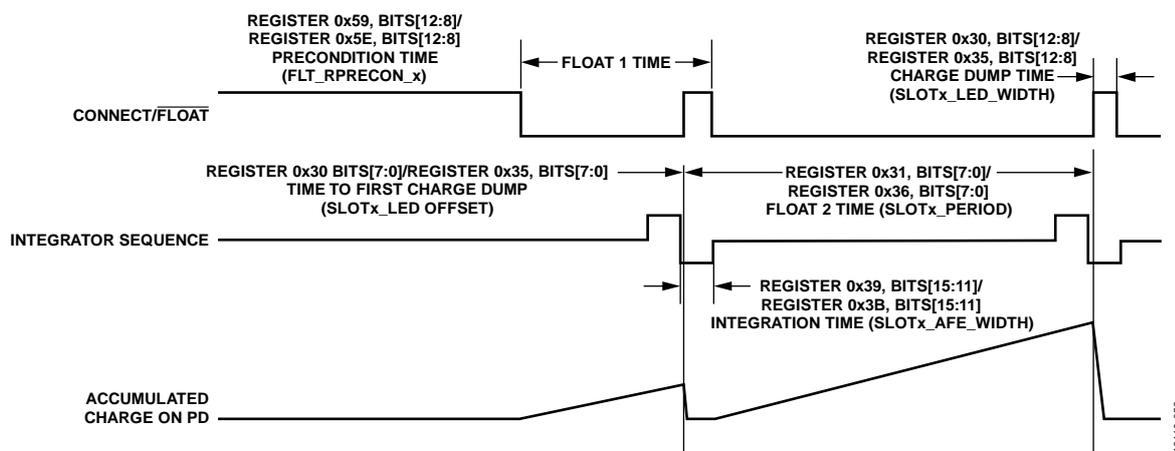


図 53. フロート周辺モードのタイミング例

表 30. フロート周辺モード・レジスタ

Group	Register Name	Register		Float Mode Description
		Time Slot A	Time Slot B	
Float Mode Operation	SLOTx_LED_SEL	0x14, Bits[1:0]	0x14, Bits[3:2]	0 に設定すると、フロート・モードをイネーブルします。
	FLT_EN_x	0x5E, Bits[14:13]	0x59, Bits[14:13]	3 に設定すると、接続パルス間のフロートをイネーブルします。
	FLT_MATH12_x	0x58, Bits[2:1]	0x58, Bits[6:5]	2 に設定すると、第 1 のパルスを減算し、第 2 のパルスを加算します。
	SLOTx_AFE_CFG	0x43, Bits[15:0]	0x45, Bits[15:0]	0xAE65 に設定すると、TIA および積分器を使用し BPF はバイパスします。
	SLOTx_TIA_VREF	0x42, Bits[5:4]	0x44, Bits[5:4]	2 に設定すると、TIA_VREF = 0.9 V。
	SLOTx_V_CATHODE	0x54, Bits[9:8]	0x54, Bits[11:10]	2 に設定すると、事前設定でフォトダイオードの逆バイアスが 250 mV になります。
	REG54_VCAT_ENABLE	0x54, Bit 7	0x54, Bit 7	1 に設定すると、レジスタ 0x3C のカソード電圧設定をオーバーライドします。

Group	Register Name	Register		Float Mode Description
		Time Slot A	Time Slot B	
Float Mode Timing	FLT_PRECON_x	0x5E, Bits[12:8]	0x59, Bits[12:8]	<p>事前設定時間（フロート1の時間の開始までの）。</p> <p>フロート時間の8 LSB（μs単位）。フロート2の時間 = SLOTx_PERIOD</p> <p>フロート時間の2 MSB。</p> <p>接続時間（μs単位）。これは、フォトダイオード容量から蓄積電荷をダンプするのに与えられる時間量。代表的には2 μsに設定。</p> <p>最初の電荷ダンプまでの時間。フロート1の時間 = (SLOTx_LED_OFFSET + SLOTx_LED_WIDTH) - FLT_PRECONx。</p> <p>積分時間（μs単位）。FLT_CONNx + 1に設定。</p> <p>積分器の開始時間（31.25 ns刻み）。</p> <p>(SLOTx_LED_OFFSETx - SLOTx_AFE_WIDTH - 9.25) μsに設定。</p> <p>パルス数。フロート周辺モードの場合は2に設定。</p>
	SLOTx_PERIOD	0x31, Bits[7:0]	0x36, Bits[7:0]	
	SLOTx_PERIOD	0x37, Bits[1:0]	0x37, Bits[9:8]	
	SLOTx_LED_WIDTH	0x30, Bits[12:8]	0x35, Bits[12:8]	
	SLOTx_LED_OFFSET	0x30, Bits[7:0]	0x35, Bits[7:0]	
	SLOTx_AFE_WIDTH	0x39, Bits[15:11]	0x3B, Bits[15:11]	
	SLOTx_AFE_OFFSET	0x39, Bits[10:0]	0x3B, Bits[10:0]	
	SLOTx_PULSES	0x31, Bits[15:8]	0x36, Bits[15:8]	

LED 同期測定でのフロート・モード

フロート LED モードでは、フロート時間の間、周辺光および LED パルス光から光電流が生成されます。フロート LED モードは、CTR が 10 nA/mA 未満の低信号条件で適切なモードです。さらに、心拍数測定時に緑色 LED の駆動電流を制限して、LED 電源用のブースト・コンバータを不要にできるレベルに緑色 LED の順方向電圧降下を維持したい状況では、フロート・モードが良い選択肢となります。例えば、LED 電流を 10 mA に制限して、LED 電圧降下が約 3 V になるようにすれば、昇圧コンバータを必要とせずにバッテリーから直接動作させることができます。フロート・モードでは、信号パスからノイズをひろうことなく、長い LED パルス中に受信電荷を蓄積するため、効果的に S/N 比を最大化し光子を捉えることができます。

フロート周辺モードと同様に、複数のパルスによって電気的オフセットとドリフトがキャンセルされます。しかし、フロート LED モードでは、LED パルスから反射されるリターンのみが望ましいので、周辺光もキャンセルしなければなりません。周辺光を除去するには、長さの等しい偶数のパルスを使用します。パルスのペアごとに、パルス的一方で LED が点灯し、他方のパルスでは点灯しません。パルス的一方には、LED + 周辺 + オフ

セットからのリターンが存在します。もう一方のパルスには、周辺光とオフセットのみが存在します。2 つのパルスの減算を行うと、周辺光およびオフセットとドリフトが除去されます。LED がパルス 2 とパルス 3 で点灯する測定では、4 つのパルス群を使用することを推奨します。アキュムレータはパルス 2 とパルス 3 を加算した後、パルス 1 とパルス 4 を減算します。S/N 比を大きくするには、4 つのパルス群を複数使用します。

FLT_LED_FIRE_x、レジスタ 0x5A のビット [15:8] の設定は、LED がどのパルス位置で点灯するかを決定します。加算または減算するパルス位置は、レジスタ 0x58 の FLT_MATH12x ビットと FLT_MATH34x ビットで設定します。これらのシーケンスが、4 つのパルス群ごとに繰り返されます。FIFO レジスタまたはデータ・レジスタに書き込む値は、サンプル周期あたりのパルスの総数に依存します。例えば、デバイスを 32 パルスに設定している場合、FLT_LED_FIRE_x と FLT_MATHxxx の定義に従って 4 パルス・シーケンスが 8 回繰り返され、実行した 32 パルスに基づいて最終値が単一レジスタまたは FIFO に書き込まれます。表 31 に、フロート LED モードに関連するレジスタを示します。

表 31. フロート LED モード・レジスタ

Group	Register Name	Register Address		Float Mode Description
		Time Slot A	Time Slot B	
Float Mode Operation	SLOTx_LED_SEL	0x14, Bits[1:0]	0x14, Bits[3:2]	0 に設定すると、フロート・モードをイネーブルします。
	FLT_EN1_x	0x5E, Bits[14:13]	0x59, Bits[14:13]	3 に設定すると、接続パルス間のフロートをイネーブルします。
	FLT_MATH12_x	0x58, Bits[2:1]	0x58, Bits[6:5]	2 に設定すると、第 1 のパルスを減算し、第 2 のパルスを加算します。
	FLT_MATH34_x	0x58, Bits[9:8]	0x58, Bits[11:10]	1 に設定すると、第 3 のパルスを加算し、第 4 のパルスを減算します。
	SLOTx_AFE_CFG	0x43, Bits[15:0]	0x45, Bits[15:0]	0xAE65 に設定すると、TIA および積分器を使用し BPF はバイパスします。
	SLOTx_TIA_VREF	0x42, Bits[5:4]	0x44, Bits[5:4]	2 に設定すると、TIA_VREF = 0.9 V。
	SLOTx_V_CATHODE	0x54, Bits[9:8]	0x54, Bits[11:10]	2 に設定すると、事前設定でフォトダイオードの逆バイアスが 250 mV になります。
	REG54_VCAT_ENABLE	0x54, Bit 7	0x54, Bit 7	1 に設定すると、レジスタ 0x3C のカソード電圧設定をオーバーライドします。
FLT_LED_SELECT_x	0x3E, Bits[15:14]	0x3F[15:14]	フロート LED モードでの LED 選択。 00 = LED なし 01 = LED1 10 = LED2 11 = LED3	
Float Mode Timing	FLT_PRECON_x	0x5E, Bits[12:8]	0x59, Bits[12:8]	事前設定時間 (フロート 1 時間の開始までの)。
	SLOTx_PERIOD	0x31, Bits[7:0]	0x36, Bits[7:0]	フロート時間 (μs 単位) の 8 LSB。フロート 2 の時間 = SLOTx_PERIOD。フロート 2 の時間は、最初のパルスに続くすべてのパルスに有効です。フロート LED モードでは、フロート 1 の時間をフロート 2 の時間に等しい値に設定する必要があります。
	SLOTx_PERIOD	0x37, Bits[1:0]	0x37, Bits[9:8]	フロート時間の 2 MSB。
	SLOTx_LED_WIDTH	0x30, Bits[12:8]	0x35, Bits[12:8]	接続時間 (μs 単位)。これは、フォトダイオード容量から蓄積電荷をダンプするのに与えられる時間量です。一般には、2 μs を設定します。
SLOTx_LED_OFFSET	0x30, Bits[7:0]	0x35, Bits[7:0]	最初電荷ダンプまでの時間。フロート 1 の時間 = (SLOTx_LED_OFFSET + SLOTx_LED_WIDTH) - FLT_PRECON_x。フロート LED モードでは、フロート 1 の時間をフロート 2 の時間に等しい値に設定する必要があります。	

Group	Register Name	Register Address		Float Mode Description
		Time Slot A	Time Slot B	
	SLOTx_AFE_WIDTH	0x39, Bits[15:11]	0x3B, Bits[15:11]	積分時間 (μs 単位)。FLT_CONN + 1 に設定します。 積分器の開始時間 (31.25 ns 刻み)。(SLOTx_LED_OFFSET - SLOTx_AFE_WIDTH - 9.25) μs に設定します。
	SLOTx_AFE_OFFSET	0x39, Bits[10:0]	0x3B, Bits[10:0]	
	SLOTx_PULSES	0x31, Bits[15:8]	0x36, Bits[15:8]	パルス数。2 の倍数で、最小 2 に設定する必要があります。 フロート LED モードでの LED パルス幅 (μs 単位)。 フロート LED モードでの最初の LED パルスの時間。 あるシーケンスの 4 つのパルスのうち、選択した位置で LED を点灯します。選択はアクティブ・ローです (つまり、0 の場合、LED が点灯します)。例えば、タイム・スロット B の 4 パルスのシーケンスでは、レジスタ 0x5A のビット 12 が最初のパルスであり、レジスタ 0x5A のビット 15 が 4 番目のパルスです。4 パルスのシーケンスの場合、レジスタ 0x5A のビット [15:12] に 0x9 を書き込むことにより、2 番目と 3 番目のパルスで LED が点灯します。
	FLT_LED_WIDTH_x	0x3E, Bits[12:8]	0x3F, Bits[12:8]	
	FLT_LED_OFFSET_x	0x3E, Bits[7:0]	0x3F, Bits[7:0]	
	FLT_LED_FIRE_x	0x5A, Bits[11:8]	0x5A, Bits[15:12]	

タイム・スロット B での 4 パルスのフロート LED シーケンスのタイミング図を図 54 に示します。この例では、16 μs のフロート時間内に 12 μs の LED パルスが収まるようにデバイスが設定されています。このうちの 2 μs は、フォトダイオードの蓄積電荷のダンピングに使用されます。積分時間は 3 μs に設定されています。これは電荷ダンプ時間よりも 1 μs 多いため、入力電荷を積分する際のタイミング・マージンが可能です。積分開始時間には 9 μs のオフセットが含まれていることに注意してください。SLOTx_AFE_OFFSET 値を設定するときは、このオフセットを考慮します。図 54 に示すように、最初の電荷ダンプの時間は 30 μs に設定されています。SLOTx_AFE_OFFSET は、積分時間を 3 μs、オフセットを 9 μs、エッジ配置マージンの追加分 250 ns を考慮して、0x238 (17.75 μs) に設定されています。

SLOTx_AFE_OFFSET を計算するには、次式を使用します。

$$SLOTx_AFE_OFFSET = SLOTx_LED_OFFSET - \\ SLOTx_AFE_WIDTH - 9.25 \mu s$$

積分期間の配置は、積分の負のフェーズが電荷ダンプのフェーズの中央になるようにします。TIA は反転ステージです。したがって、フォトダイオードからの電荷ダンピング中に積分の負のフェーズを配置すると、TIA からの負の出力信号の増大とともに積分器の出力が上昇します。

4 パルス・シーケンスの 2 番目と 3 番目のパルスで LED が点灯します。レジスタ 0x58 のビット [6:5] = 2、およびレジスタ 0x58 のビット [11:10] = 1 を設定すると、デバイスは 2 番目と 3 番目のパルスを加算するとともに 1 番目と 4 番目のパルスを減算することにより、周辺光および電氣的オフセットとドリフトを効果的にキャンセルします。

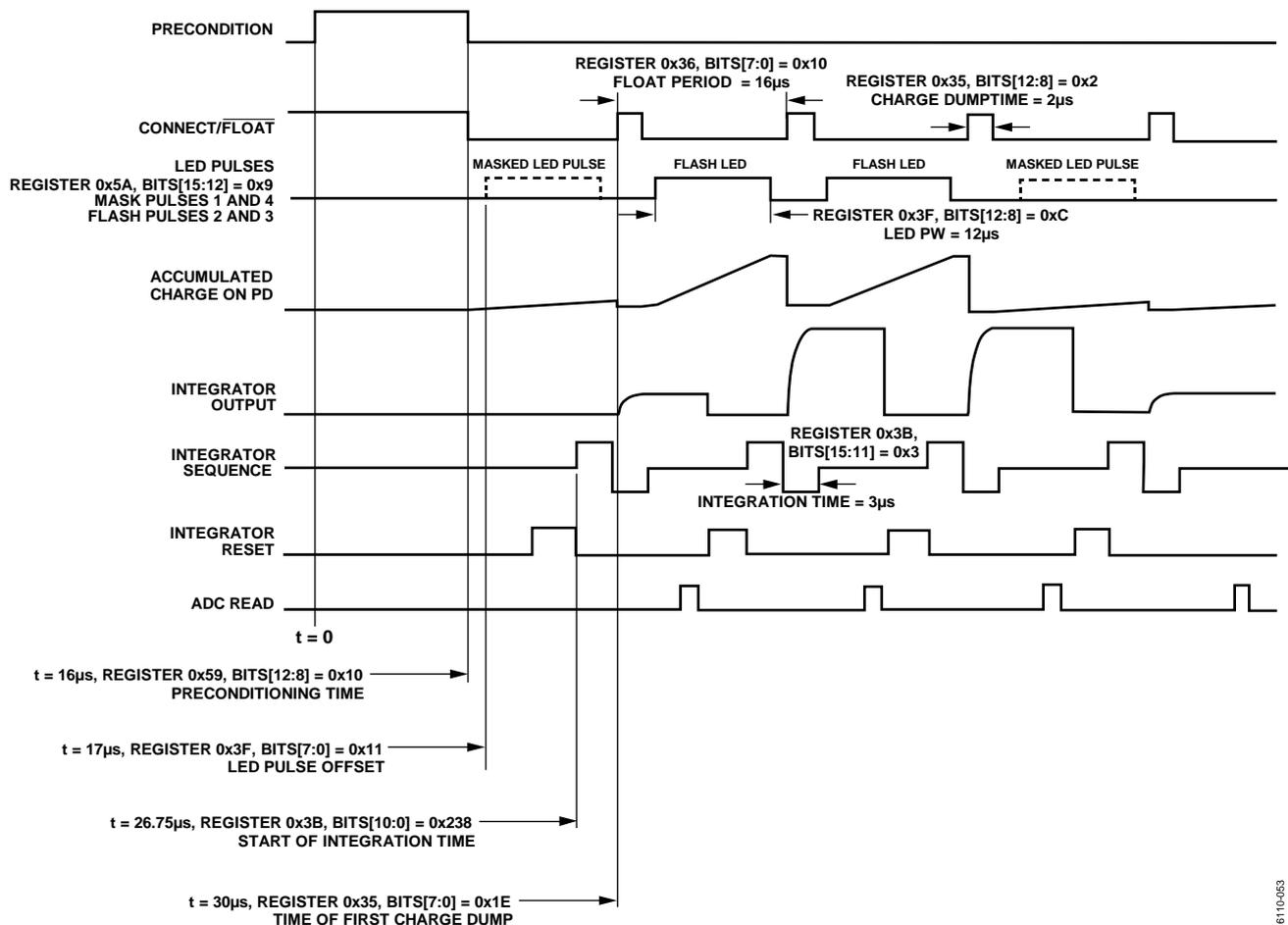


図 54. フロート LED モードでの 4 パルス・シーケンスのタイミング図の例

フロート周辺モードとフロート LED モードの比較を表 32 と表 33 に示します。

表 32. フロート周辺モード - 周辺光レベルの測定

Pulse	Float Time	Integrated Charge	Calculation	Result
1	Shorter	Offset, Ambient 1 (shorter time)	Subtract	周辺測定 = 周辺 2 - 周辺 1 (オフセット・キャンセル)
2	Longer	Offset, Ambient 1 (shorter time)	Add	
3	Not applicable	Not applicable	Not applicable	
4	Not applicable	Not applicable	Not applicable	

表 33. フロート LED モード - LED からの同期反射光の測定

Pulse	Float Time	Integrated Charge	Calculation	Result
1	Equal	Offset + Ambient	Subtract	同期 LED 応答 = 反射された LED のリターン (オフセットと周辺のキャンセル)
2	Equal	Offset + Ambient + LED	Add	
3	Equal	Offset + Ambient + LED	Add	
4	Equal	Offset + Ambient	Subtract	

フロート LED モードでの周辺光レベルのモニタリング

実際のアプリケーションでは、周辺光レベルが絶えず変化するのが一般的です。フロート LED モードを使用する場合、周辺光の量が増加すると、フォトダイオード容量に蓄積可能な電荷量のダイナミック・レンジの許容範囲を超えることがあります。このため、周辺光レベルをモニタして、必要に応じてフロート時間、TIA ゲイン、動作モードなどの設定変更ができるようにする必要があります。周辺光レベルをモニタするには 2 つの方法があります。1 つの方法は、代替のタイム・スロットで TIA ADC モードを使用し、周辺光レベルを連続的にモニタすることです。もう 1 つの方法は、ADPD1080/ADPD1081 の機能を使用して、フロート・モード動作中に周辺光レベルをバックグラウンドで自動的にモニタし、ユーザー定義の閾値と比較する方法です。周辺光レベルがこの閾値をユーザー定義の回数だけ超えると、読出し可能な、または GPIO に出力可能なフラグをデバイスは設定します。表 34 に、フロート LED モードで周辺光レベルをモニタするのに使用するすべてのレジスタを示します。

BG_THRESH レジスタに周辺光レベルの閾値を設定します。この閾値は、フロート LED モードでの減算サイクルの ADC 結果と比較するためのものです。フロート LED モードでの減算サイクルは、パルス・シーケンス内で LED パルスがマスクされる位置にあります。したがって、背景レベルの測定値です。ADC の結果は、未処理の ADC 出力から ADC オフセット・レジスタ（レジスタ 0x18 ~ レジスタ 0x1B およびレジスタ 0x1E ~ レジスタ 0x21）の内容を差し引いた値になります。BG_COUNT レジスタには、ADC 結果が BG_THRESH を超過するサイクル数の上限を設定します。この上限を超えると、特定のチャンネルに対して BG_STATUS ビットがセットされます。減算サイクル中に ADC 結果が BG_THRESH 値を超えるたびに、内部カウンタがインクリメントします。チャンネルごとに独自のカウンタがあります。このカウンタが BG_COUNT レジスタに設定された上限を超えると、そのチャンネルの BG_STATUS ビットがセットされます。BG_STATUS レジスタを定期的にモニタすることにより、アサートされたビットをチェックできます。あるいは、BG_STATUS フラグをセットした場合、GPIOx ピンをアサートできます。BG_STATUS フラグと GPIOx に取り出せる割込みのさまざまな論理的組み合わせについては、表 34 を参照してください。

表 34. フロート LED モードでの周辺光レベルのモニタリング用レジスタ

Float Mode Register Name	Register		Description
	Time Slot A	Time Slot B	
BG_STATUS_x	0x04, Bits[3:0]	0x04, Bits[7:4]	背景光レベルと背景閾値の比較を示すステータス (BG_THRESH)。ビット位置における 1 は、閾値を BG_COUNT 回超えたことを意味します。このレジスタは読み出した後にクリアされます。 ビット 0: タイム・スロット A、チャンネル 1 が閾値カウントを超過。 ビット 1: タイム・スロット A、チャンネル 2 が閾値カウントを超過。 ビット 2: タイム・スロット A、チャンネル 3 が閾値カウントを超過。 ビット 3: タイム・スロット A、チャンネル 4 が閾値カウントを超過。 ビット 4: タイム・スロット B、チャンネル 1 が閾値カウントを超過。 ビット 5: タイム・スロット B、チャンネル 2 が閾値カウントを超過。 ビット 6: タイム・スロット B、チャンネル 3 が閾値カウントを超過。 ビット 7: タイム・スロット B、チャンネル 4 が閾値カウントを超過。
BG_THRESH_x	0x16, Bits[13:0]	0x1C[13:0]	フロート・モード時の減算サイクル中に ADC の結果と比較される背景閾値。ADC の結果がこのレジスタの値を超えると、BG_COUNT がインクリメントされます。
BG_COUNT_x	0x16, Bits[15:14]	0x1C[15:14]	これは、フロート・モードの減算サイクル中、BG_STATUS ビットがセットされるまでに、ADC の値が BG_THRESH 値を超える回数です。 0x0: BG_STATUS をセットしません。 0x1: BG_THRESH を 1 回超えたときにセットします。 0x02: BG_THRESH を 4 回超えたときにセットします。 0x03: BG_THRESH を 16 回超えたときにセットします。
GPIO0_ALT_CFG	0x0B[4:0]	0x0B[4:0]	GPIO0 は以下の条件でアサートされます。 0x10: BG_STATUS のビット [3:0] の論理和。 0x1A: BG_STATUS のビット [7:4] の論理和。 0x1B: BG_STATUS のビット [7:0] の論理和。 0x1C: BG_STATUS のビット [7:0] と INT の論理和。
GPIO1_ALT_CFG	0x0B[12:8]	0x0B[12:8]	GPIO1 は以下の条件でアサートされます。 0x10: BG_STATUS のビット [3:0] の論理和。 0x1A: BG_STATUS のビット [7:4] の論理和。 0x1B: BG_STATUS のビット [7:0] の論理和。 0x1C: BG_STATUS のビット [7:0] と INT の論理和。

レジスタ一覧

推奨値は示していません。表 35 には、パワーオン・リセット値のみを記載しています。推奨値は、使用状況に大きく依存します。

表 35. 数値レジスタ一覧

Hex. Addr.	Name	Bits	Bit 15 Bit 7	Bit 14 Bit 6	Bit 13 Bit 5	Bit 12 Bit 4	Bit 11 Bit 3	Bit 10 Bit 2	Bit 9 Bit 1	Bit 8 Bit 0	Reset	R/ W
0x00	Status	[15:8]	FIFO_SAMPLES[7:0]								0x0000	R/W
		[7:0]	Reserved	SLOTB_INT	SLOTA_INT	Reserved						
0x01	INT_MASK	[15:8]	Reserved								0x00FF	R/W
		[7:0]	Reserved	SLOTB_INT_MASK	SLOTA_INT_MASK	Reserved						
0x02	GPIO_DRV	[15:8]	Reserved						GPIO1_DRV	GPIO1_POL	0x0000	R/W
		[7:0]	Reserved				GPIO0_ENA	GPIO0_DRV	GPIO0_POL			
0x04	BG_STATUS	[15:8]	Reserved								0x0000	R/W
		[7:0]	BG_STATUS_B[3:0]				BG_STATUS_A[3:0]					
0x06	FIFO_THRESH	[15:8]	Reserved			FIFO_THRESH[5:0]					0x0000	R/W
		[7:0]	Reserved									
0x08	DEVID	[15:8]	REV_NUM[7:0]								0x0A16	R
		[7:0]	DEV_ID[7:0]									
0x09	I2CS_ID	[15:8]	ADDRESS_WRITE_KEY[7:0]								0x00C8	R/W
		[7:0]	SLAVE_ADDRESS[6:0]						Reserved			
0x0A	CLK_RATIO	[15:8]	Reserved				CLK_RATIO[11:8]				0x0000	R
		[7:0]	CLK_RATIO[7:0]									
0x0B	GPIO_CTRL	[15:8]	Reserved				GPIO1_ALT_CFG[4:0]				0x0000	R/W
		[7:0]	Reserved				GPIO0_ALT_CFG[4:0]					
0x0D	SLAVE_ADDRESS_KEY	[15:8]	SLAVE_ADDRESS_KEY[15:8]								0x0000	R/W
		[7:0]	SLAVE_ADDRESS_KEY[7:0]									
0x0F	SW_RESET	[15:8]	Reserved								0x0000	R/W
		[7:0]	Reserved						SW_RESET			
0x10	Mode	[15:8]	Reserved								0x0000	R/W
		[7:0]	Reserved						Mode[1:0]			
0x11	SLOT_EN	[15:8]	Reserved		RDOUT_MODE	FIFO_OVRN_PREVENT	Reserved			SLOTB_FIFO_MODE[2]	0x1000	R/W
		[7:0]	SLOTB_FIFO_MODE[1:0]		SLOTB_EN	SLOTA_FIFO_MODE[2:0]		Reserved	SLOTA_EN			
0x12	FSAMPLE	[15:8]	FSAMPLE[15:8]								0x0028	R/W
		[7:0]	FSAMPLE[7:0]									
0x14	PD_LED_SELECT	[15:8]	Reserved				SLOTB_PD_SEL[3:0]				0x0541	R/W
		[7:0]	SLOTA_PD_SEL[3:0]			SLOTB_LED_SEL[1:0]		SLOTA_LED_SEL[1:0]				
0x15	NUM_AVG	[15:8]	Reserved						SLOTB_NUM_AVG[2:0]		0x0600	R/W
		[7:0]	Reserved	SLOTA_NUM_AVG[2:0]			Reserved					
0x16	BG_MEAS_A	[15:8]	BG_COUNT_A[1:0]			BG_THRESH_A[13:8]					0x0000	R/W
		[7:0]	BG_THRESH_A[7:0]									
0x18	SLOTA_CH1_OFFSET	[15:8]	SLOTA_CH1_OFFSET[15:8]								0x2000	R/W
		[7:0]	SLOTA_CH1_OFFSET[7:0]									
0x19	SLOTA_CH2_OFFSET	[15:8]	SLOTA_CH2_OFFSET[15:8]								0x2000	R/W
		[7:0]	SLOTA_CH2_OFFSET[7:0]									
0x1A	SLOTA_CH3_OFFSET	[15:8]	SLOTA_CH3_OFFSET[15:8]								0x2000	R/W
		[7:0]	SLOTA_CH3_OFFSET[7:0]									
0x1B	SLOTA_CH4_OFFSET	[15:8]	SLOTA_CH4_OFFSET[15:8]								0x2000	R/W
		[7:0]	SLOTA_CH4_OFFSET[7:0]									
0x1C	BG_MEAS_B	[15:8]	BG_COUNT_B[1:0]			BG_THRESH_B[13:8]					0x0000	R/W
		[7:0]	BG_THRESH_B[7:0]									
0x1E	SLOTB_CH1_OFFSET	[15:8]	SLOTB_CH1_OFFSET[15:8]								0x2000	R/W
		[7:0]	SLOTB_CH1_OFFSET[7:0]									
0x1F	SLOTB_CH2_OFFSET	[15:8]	SLOTB_CH2_OFFSET[15:8]								0x2000	R/W
		[7:0]	SLOTB_CH2_OFFSET[7:0]									

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W			
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0					
0x20	SLOTB_CH3_OFFSET	[15:8]	SLOTB_CH3_OFFSET[15:8]										0x2000	R/W	
		[7:0]	SLOTB_CH3_OFFSET[7:0]												
0x21	SLOTB_CH4_OFFSET	[15:8]	SLOTB_CH4_OFFSET[15:8]										0x2000	R/W	
		[7:0]	SLOTB_CH4_OFFSET[7:0]												
0x22	ILED3_COARSE	[15:8]	Reserved		ILED3_SCAL E	Reserved						0x3000	R/W		
		[7:0]	Reserved	ILED3_SLEW[2:0]			ILED3_COARSE[3:0]								
0x23	ILED1_COARSE	[15:8]	Reserved		ILED1_SCAL E	Reserved						0x3000	R/W		
		[7:0]	Reserved	ILED1_SLEW[2:0]			ILED1_COARSE[3:0]								
0x24	ILED2_COARSE	[15:8]	Reserved		ILED2_SCAL E	Reserved						0x3000	R/W		
		[7:0]	Reserved	ILED2_SLEW[2:0]			ILED2_COARSE[3:0]								
0x25	ILED_FINE	[15:8]	ILED3_FINE[4:0]				ILED2_FINE[4:2]				0x630C	R/W			
		[7:0]	ILED2_FINE[1:0]		Reserved		ILED1_FINE[4:0]								
0x30	SLOTA_LED_PULSE	[15:8]	Reserved			SLOTA_LED_WIDTH[4:0]						0x0320	R/W		
		[7:0]	SLOTA_LED_OFFSET[7:0]												
0x31	SLOTA_NUMPULSES	[15:8]	SLOTA_PULSES[7:0]										0x0818	R/W	
		[7:0]	SLOTA_PERIOD[7:0]												
0x34	LED_DISABLE	[15:8]	Reserved						SLOTB_LED_DIS	SLOTA_LED_DIS				0x0000	R/W
		[7:0]	Reserved												
0x35	SLOTB_LED_PULSE	[15:8]	Reserved			SLOTB_LED_WIDTH[4:0]						0x0320	R/W		
		[7:0]	SLOTB_LED_OFFSET[7:0]												
0x36	SLOTB_NUMPULSES	[15:8]	SLOTB_PULSES[7:0]										0x0818	R/W	
		[7:0]	SLOTB_PERIOD[7:0]												
0x37	ALT_PWR_DN	[15:8]	CH34_DISABLE[15:13]			CH2_DISABLE[12:10]			SLOTB_PERIOD[9:8]			0x0000	R/W		
		[7:0]	Reserved						SLOTA_PERIOD[9:8]						
0x38	EXT_SYNC_STARTUP	[15:8]	EXT_SYNC_STARTUP[15:8]										0x000	R/W	
		[7:0]	EXT_SYNC_STARTUP[7:0]												
0x39	SLOTA_AFE_WINDOW	[15:8]	SLOTA_AFE_WIDTH[4:0]			SLOTA_AFE_OFFSET[10:8]						0x22FC	R/W		
		[7:0]	SLOTA_AFE_OFFSET[7:0]												
0x3B	SLOTB_AFE_WINDOW	[15:8]	SLOTB_AFE_WIDTH[4:0]			SLOTB_AFE_OFFSET[10:8]						0x22FC	R/W		
		[7:0]	SLOTB_AFE_OFFSET[7:0]												
0x3C	AFE_PWR_CFG1	[15:8]	Reserved		Reserved			Reserved	V_CATHOD E	AFE_POWER-DOWN[5]		0x3006	R/W		
		[7:0]	AFE_POWERDOWN[4:0]				Reserved								
0x3E	SLOTA_FLOAT_LED	[15:8]	FLT_LED_SELECT_A[1:0]	Reserved		FLT_LED_WIDTH_A[4:0]						0x0320	R/W		
		[7:0]	FLT_LED_OFFSET_A[7:0]												
0x3F	SLOTB_FLOAT_LED	[15:8]	FLT_LED_SELECT_B[1:0]	Reserved		FLT_LED_WIDTH_B[4:0]						0x0320	R/W		
		[7:0]	FLT_LED_OFFSET_B[7:0]												
0x42	SLOTA_TIA_CFG	[15:8]	SLOTA_AFE_MODE[5:0]						SLOTA_INT_GAIN[1:0]			0x1C38	R/W		
		[7:0]	SLOTA_INT_AS_BUF	SLOTA_TIA_IND_EN	SLOTA_TIA_VREF[1:0]		Reserved (write 0x1)			SLOTA_TIA_GAIN[1:0]					
0x43	SLOTA_AFE_CFG	[15:8]	SLOTA_AFE_CFG[15:8]										0xADA5	R/W	
		[7:0]	SLOTA_AFE_CFG[7:0]												
0x44	SLOTB_TIA_CFG	[15:8]	SLOTB_AFE_MODE[5:0]						SLOTB_INT_GAIN[1:0]			0x1C38	R/W		
		[7:0]	SLOTB_INT_AS_BUF	SLOTB_TIA_IND_EN	SLOTB_TIA_VREF[1:0]		Reserved (write 0x1)			SLOTB_TIA_GAIN[1:0]					
0x45	SLOTB_AFE_CFG	[15:8]	SLOTB_AFE_CFG[15:8]										0xADA5	R/W	
		[7:0]	SLOTB_AFE_CFG[7:0]												
0x4B	SAMPLE_CLK	[15:8]	Reserved						CLK32K_BY P			0x2612	R/W		
		[7:0]	CLK32K_EN	Reserved		CLK32K_ADJUST[5:0]									
0x4D	CLK32M_ADJUST	[15:8]	Reserved										0x0098	R/W	
		[7:0]	CLK32M_ADJUST[7:0]												
0x4F	EXT_SYNC_SEL	[15:8]	Reserved										0x2090	R/W	
		[7:0]	Reserved	GPIO1_OE	GPIO1_IE		Reserved		EXT_SYNC_SEL[1:0]	GPIO0_IE	Reserved				

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x50	CLK32M_CAL_EN	[15:8]	Reserved									0x0000	R/W
		[7:0]	Reserved	GPIO1_CTRL	CLK32M_CAL_EN	Reserved							
0x54	AFE_PWR_CFG2	[15:8]	Reserved		SLEEP_V_CATHODE[1:0]	SLOTB_V_CATHODE[1:0]		SLOTA_V_CATHODE[1:0]			0x0020	R/W	
		[7:0]	REG54_VCAT_ENABLE	Reserved									
0x55	TIA_INDEP_GAIN	[15:8]	Reserved				SLOTB_TIA_GAIN_4[1:0]		SLOTB_TIA_GAIN_3[1:0]			0x0000	R/W
		[7:0]	SLOTB_TIA_GAIN_2[1:0]		SLOTA_TIA_GAIN_4[1:0]		SLOTA_TIA_GAIN_3[1:0]		SLOTA_TIA_GAIN_2[1:0]				
0x58	MATH	[15:8]	Reserved				FLT_MATH34_B[1:0]		FLT_MATH34_A[1:0]			0x0000	R/W
		[7:0]	ENA_INT_AS_BUF	FLT_MATH12_B[1:0]		Reserved	Reserved	FLT_MATH12_A[1:0]		Reserved			
0x59	FLT_CONFIG_B	[15:8]	Reserved	FLT_EN_B[1:0]		FLT_PRECON_B[4:0]					0x0808	R/W	
		[7:0]	Reserved										
0x5A	FLT_LED_FIRE	[15:8]	FLT_LED_FIRE_B[3:0]				FLT_LED_FIRE_A[3:0]				0x0010	R/W	
		[7:0]	Reserved (write 0x10)										
0x5E	FLT_CONFIG_A	[15:8]	Reserved	FLT_EN_A[1:0]		FLT_PRECON_A[4:0]					0x0808	R/W	
		[7:0]	Reserved										
0x5F	DATA_ACCESS_CTRL	[15:8]	Reserved									0x0000	R/W
		[7:0]	Reserved					SLOTB_DATA_HOLD	SLOTA_DATA_HOLD	DIGITAL_CLOCK_ENA			
0x60	FIFO_ACCESS	[15:8]	FIFO_DATA[15:8]									0x0000	R
		[7:0]	FIFO_DATA[7:0]										
0x64	SLOTA_PD1_16BIT	[15:8]	SLOTA_CH1_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH1_16BIT[7:0]										
0x65	SLOTA_PD2_16BIT	[15:8]	SLOTA_CH2_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH2_16BIT[7:0]										
0x66	SLOTA_PD3_16BIT	[15:8]	SLOTA_CH3_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH3_16BIT[7:0]										
0x67	SLOTA_PD4_16BIT	[15:8]	SLOTA_CH4_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH4_16BIT[7:0]										
0x68	SLOTB_PD1_16BIT	[15:8]	SLOTB_CH1_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH1_16BIT[7:0]										
0x69	SLOTB_PD2_16BIT	[15:8]	SLOTB_CH2_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH2_16BIT[7:0]										
0x6A	SLOTB_PD3_16BIT	[15:8]	SLOTB_CH3_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH3_16BIT[7:0]										
0x6B	SLOTB_PD4_16BIT	[15:8]	SLOTB_CH4_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH4_16BIT[7:0]										
0x70	A_PD1_LOW	[15:8]	SLOTA_CH1_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH1_LOW[7:0]										
0x71	A_PD2_LOW	[15:8]	SLOTA_CH2_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH2_LOW[7:0]										
0x72	A_PD3_LOW	[15:8]	SLOTA_CH3_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH3_LOW[7:0]										
0x73	A_PD4_LOW	[15:8]	SLOTA_CH4_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH4_LOW[7:0]										
0x74	A_PD1_HIGH	[15:8]	SLOTA_CH1_HIGH[15:8]									0x0000	R
		[7:0]	SLOTA_CH1_HIGH[7:0]										
0x75	A_PD2_HIGH	[15:8]	SLOTA_CH2_HIGH[15:8]									0x0000	R
		[7:0]	SLOTA_CH2_HIGH[7:0]										
0x76	A_PD3_HIGH	[15:8]	SLOTA_CH3_HIGH[15:8]									0x0000	R
		[7:0]	SLOTA_CH3_HIGH[7:0]										
0x77	A_PD4_HIGH	[15:8]	SLOTA_CH4_HIGH[15:8]									0x0000	R
		[7:0]	SLOTA_CH4_HIGH[7:0]										
0x78	B_PD1_LOW	[15:8]	SLOTB_CH1_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH1_LOW[7:0]										
0x79	B_PD2_LOW	[15:8]	SLOTB_CH2_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH2_LOW[7:0]										

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/ W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x7A	B_PD3_LOW	[15:8]	SLOTB_CH3_LOW[15:8]								0x0000	R
		[7:0]	SLOTB_CH3_LOW[7:0]									
0x7B	B_PD4_LOW	[15:8]	SLOTB_CH4_LOW[15:8]								0x0000	R
		[7:0]	SLOTB_CH4_LOW[7:0]									
0x7C	B_PD1_HIGH	[15:8]	SLOTB_CH1_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH1_HIGH[7:0]									
0x7D	B_PD2_HIGH	[15:8]	SLOTB_CH2_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH2_HIGH[7:0]									
0x7E	B_PD3_HIGH	[15:8]	SLOTB_CH3_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH3_HIGH[7:0]									
0x7F	B_PD4_HIGH	[15:8]	SLOTB_CH4_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH4_HIGH[7:0]									

LED 制御レジスタ

表 36. LED 制御レジスタ

Address	Data Bit	Default Value	Access	Name	Description
0x14	[15:12]	0x0	R/W	Reserved	デバイスを正常に動作させるには、これらのビットに 0x0 を書き込みます。
	[11:8]	0x5	R/W	SLOTB_PD_SEL	タイム・スロット B の PDx 接続の選択。詳細については、タイム・スロット・スイッチのセクションを参照してください。
	[7:4]	0x4	R/W	SLOTA_PD_SEL	タイム・スロット A の PDx 接続の選択。詳細については、タイム・スロット・スイッチのセクションを参照してください。
	[3:2]	0x0	R/W	SLOTB_LED_SEL	タイム・スロット B の LED 設定。これらのビットを使用して、タイム・スロット B に関連付ける LED を決定します。 0x0: AFE への PDx 接続にパルスを供給します。フロート・モードとパルス接続モードをイネーブルします。 0x1: タイム・スロット B の期間中、LEDX1 にパルスを供給します。 0x2: タイム・スロット B の期間中、LEDX2 にパルスを供給します。 0x3: タイム・スロット B の期間中、LEDX3 にパルスを供給します。
	[1:0]	0x1	R/W	SLOTA_LED_SEL	タイム・スロット A の LED 設定。これらのビットを使用して、タイム・スロット A に関連付ける LED を決定します。 0x0: AFE への PDx 接続にパルスを供給します。フロート・モードとパルス接続モードをイネーブルします。 0x1: タイム・スロット A の期間中、LEDX1 にパルスを供給します。 0x2: タイム・スロット A の期間中、LEDX2 にパルスを供給します。 0x3: タイム・スロット A の期間中、LEDX3 にパルスを供給します。
0x22	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED3_SCALE	LEDX3 の電流のスケール・ファクタ。 1: 100 % の強度。 0: 10 % の強度、LEDX3 ドライバを低消費電力モードに設定します。 LEDX3 の電流スケール = $0.1 + 0.9 \times$ (レジスタ 0x22 のビット 13)。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED3_SLEW	LEDX3 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0x0: 最も遅いスルー・レート。 ... 0x7: 最も速いスルー・レート。
[3:0]	0x0	R/W	ILED3_COARSE	LEDX3 の電流の粗設定値。標準的な動作時における LEDX3 のおおまかな電流シンク目標。 0x0: 最小粗設定値。 ... 0xF: 最大粗設定値。 $LED3_{PEAK} = LED3_{COARSE} \times LED3_{FINE} \times LED3_{SCALE}$ ここで LED3 _{PEAK} は、LEDX3 のピーク目標値 (mA)。 LED3 _{COARSE} = $50.3 + 19.8 \times$ (レジスタ 0x22 のビット [3:0])。 LED3 _{FINE} = $0.74 + 0.022 \times$ (レジスタ 0x25 のビット [15:11])。 LED3 _{SCALE} = $0.1 + 0.9 \times$ (レジスタ 0x22 のビット 13)。	
0x23	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED1_SCALE	LEDX1 の電流スケール・ファクタ。 1: 100 % の強度。 0: 10 % の強度、LEDX1 ドライバを低消費電力モードに設定します。 LEDX1 の電流スケール = $0.1 + 0.9 \times$ (レジスタ 0x23 のビット 13)。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。

Address	Data Bit	Default Value	Access	Name	Description
	[6:4]	0x0	R/W	ILED1_SLEW	LEDX1 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0: 最も遅いスルー・レート。 ... 7: 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED1_COARSE	LEDX1 の電流の粗設定値。標準的な動作時における LEDX1 のおおまかな電流シンク目標。 0x0: 最小粗設定値。 ... 0xF: 最大粗設定値。 $LED1_{PEAK} = LED1_{COARSE} \times LED1_{FINE} \times LED1_{SCALE}$ ここで LED1 _{PEAK} は、LEDX1 のピーク目標値 (mA)。 LED1 _{COARSE} = 50.3 + 19.8 × (レジスタ 0x23 のビット [3:0])。 LED1 _{FINE} = 0.74 + 0.022 × (レジスタ 0x25 のビット [4:0])。 LED1 _{SCALE} = 0.1 + 0.9 × (レジスタ 0x23 のビット 13)。
0x24	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED2_SCALE	LEDX2 の電流スケール・ファクタ。 1: 100 % の強度。 0: 40 % の強度、LEDX2 ドライバを低消費電力モードに設定します。 $LED2 \text{ 電流スケール} = 0.1 + 0.9 \times (\text{レジスタ } 0x24 \text{ のビット } 13)$
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED2_SLEW	LEDX2 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0: 最も遅いスルー・レート。 ... 7: 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED2_COARSE	LEDX2 の電流の粗設定値。標準的な動作時における LEDX2 のおおまかな電流シンク目標。 0x0: 最小粗設定値。 ... 0xF: 最大粗設定値。 $LED2_{PEAK} = LED2_{COARSE} \times LED2_{FINE} \times LED2_{SCALE}$ ここで LED2 _{PEAK} は、LEDX2 のピーク目標値 (mA)。 LED2 _{COARSE} = 50.3 + 19.8 × (レジスタ 0x24 のビット [3:0])。 LED2 _{FINE} = 0.74 + 0.022 × (レジスタ 0x25 のビット [10:6])。 LED2 _{SCALE} = 0.1 + 0.9 × (レジスタ 0x24 のビット 13)。
0x25	[15:11]	0xC	R/W	ILED3_FINE	LEDX3 の微調整。LED3 の電流調整の乗数。 $LED3 \text{ の微調整} = 0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [15:11])$ 。 LED3 の式全体については、レジスタ 0x22 のビット [3:0] を参照してください。
	[10:6]	0xC	R/W	ILED2_FINE	LEDX2 の微調整。LED2 の電流調整の乗数。 $LED2 \text{ の微調整} = 0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [10:6])$ 。 LED2 の式全体については、レジスタ 0x24 のビット [3:0] を参照してください。
	5	0x0	R/W	Reserved	0x0 を書き込みます。
	[4:0]	0xC	R/W	ILED1_FINE	LEDX1 の微調整。LED1 の電流調整乗数値。 $LED1 \text{ の微調整} = 0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [4:0])$ 。 LED1 の式全体については、レジスタ 0x23 のビット [3:0] を参照してください。
0x30	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x3	R/W	SLOTA_LED_WIDTH	タイム・スロット A に対応する LED パルス幅 (1 μs ステップ単位)。
	[7:0]	0x20	R/W	SLOTA_LED_OFFSET	タイム・スロット A に対応する LED オフセット幅 (1 μs ステップ単位)。

Address	Data Bit	Default Value	Access	Name	Description
0x31	[15:8]	0x08	R/W	SLOTA_PULSES	LED タイム・スロット A のパルス数。n _A : タイム・スロット A の LED パルス数。
	[7:0]	0x18	R/W	SLOTA_PERIOD	LED タイム・スロット A のパルス期間 (1 μs ステップ単位)。
0x34	[15:10]	0x00	R/W	Reserved	0x0 を書き込みます。
	9	0x0	R/W	SLOTB_LED_DIS	タイム・スロット B の LED ディスエーブル。1: タイム・スロット B に割り当てられた LED をディスエーブルします。 レジスタ 0x34 はドライバをアクティブ状態に維持し、ドライバが LED に対して電流をパルス供給することを防止します。暗レベルを測定するため、このレジスタを使用して両方の LED を無効化する手法がよく使用されます。 LED に加え、実際のタイム・スロットの使用もイネーブルまたはディスエーブルするには、レジスタ 0x11 を使用します。
	8	0x0	R/W	SLOTA_LED_DIS	タイム・スロット A の LED ディスエーブル。1: タイム・スロット A に割り当てられた LED をディスエーブルします。 LED に加え、実際のタイム・スロットの使用もイネーブルまたはディスエーブルするには、レジスタ 0x11 を使用します。
	[7:0]	0x00	R/W	Reserved	0x00 を書き込みます。
0x35	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x3		SLOTB_LED_WIDTH	タイム・スロット B に対応する LED パルス幅 (1 μs ステップ単位)。
	[7:0]	0x20		SLOTB_LED_OFFSET	タイム・スロット B に対応する LED オフセット幅 (1 μs ステップ単位)。
0x36	[15:8]	0x08	R/W	SLOTB_PULSES	LED タイム・スロット B のパルス数。n _B : タイム・スロット B 内の LED パルス数。
	[7:0]	0x18	R/W	SLOTB_PERIOD	LED タイム・スロット B のパルス期間 (1 μs ステップ単位)。

AFE 設定レジスタ

表 37. AFE グローバル設定レジスタ

Address	Data Bit	Default Value	Access	Name	Description
0x37	[15:13]	0x0	R/W	CH34_DISABLE	チャンネル 3 とチャンネル 4 のみのパワーダウン・オプション。 ビット 13: チャンネル 3 とチャンネル 4 の TIA オペアンプをパワーダウンします。 ビット 14: チャンネル 3 とチャンネル 4 の BPF オペアンプをパワーダウンします。 ビット 15: チャンネル 3 とチャンネル 4 の積分器オペアンプをパワーダウンします。
	[12:10]	0x0	R/W	CH2_DISABLE	ビット 10: チャンネル 2 の TIA オペアンプをパワーダウンします。 ビット 11: チャンネル 2 の BPF オペアンプをパワーダウンします。 ビット 12: チャンネル 2 の積分器オペアンプをパワーダウンします。
	[9:8]	0x0	R/W	SLOTB_PERIOD	タイム・スロット B の LED パルス周期の 8 MSB。
	[7:2]	0x000	R/W	Reserved	0x000 を書き込みます。
	[1:0]	0x0	R/W	SLOTA_PERIOD	タイム・スロット A の LED パルス周期の 8 MSB。
0x3C	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:11]	0x6	R/W	Reserved	0x6 を書き込みます。
	10	0x0	R/W	Reserved	予備
	9	0x0	R/W	V_CATHODE	0x0: 1.3 V (アノード電圧と同じ)。 0x1: 1.8 V (550 mV までの逆バイアス・フォトダイオード)。この設定値を使用すると、ノイズが増加する可能性があります。
	[8:3]	0x00	R/W	AFE_POWERDOWN	AFE チャンネルのパワーダウン選択。 0x0: すべてのチャンネルをオンに維持します。 ビット 3: チャンネル 1 の TIA オペアンプをパワーダウンします。 ビット 4: チャンネル 1 の BPF オペアンプをパワーダウンします。 ビット 5: チャンネル 1 の積分器オペアンプをパワーダウンします。 ビット 6: チャンネル 2、チャンネル 3、チャンネル 4 の TIA オペアンプをパワーダウンします。 ビット 7: チャンネル 2、チャンネル 3、チャンネル 4 の BPF オペアンプをパワーダウンします。 ビット 8: チャンネル 2、チャンネル 3、チャンネル 4 の積分器オペアンプをパワーダウンします。
	[2:0]	0x6	R/W	Reserved	0x6 を書き込みます。

Address	Data Bit	Default Value	Access	Name	Description
0x54	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:12]	0x0	R/W	SLEEP_V_CATHODE	ビット 7=1 の場合、デバイスがスリープ・モードになっている間、この設定値がカソード電圧に適用されます。 0x0: V_{DD} 。 0x1: アイドル中は AFE VREF、スリープ中は V_{DD} 。 0x2: フロート状態。 0x3: 0.0 V。
	[11:10]	0x0	R/W	SLOTB_V_CATHODE	ビット 7=1 の場合、この設定値が、デバイスがタイム・スロット B で動作する時のカソード電圧に適用されます。アノード電圧は、レジスタ 0x44 のビット [5:4] で決定されます。 0x0: V_{DD} (1.8 V)。 0x1: PD アノード電圧に等しくします。 0x2: PD 逆バイアスを約 250 mV に設定します (推奨設定)。 0x3: 0.0 V (入力側でダイオードに順方向バイアスを印加します)。
	[9:8]	0x0	R/W	SLOTA_V_CATHODE	ビット 7=1 の場合、この設定値が、デバイスがタイム・スロット A で動作する時のカソード電圧に適用されます。アノード電圧は、レジスタ 0x42 のビット [5:4] で決定されます。 0x0: V_{DD} (1.8 V)。 0x1: PD アノード電圧に等しくします。 0x2: PD 逆バイアスを約 250 mV に設定します (推奨設定)。 0x3: 0.0 V (入力側でダイオードに順方向バイアスを印加します)。
	7	0x0	R/W	REG54_VCAT_ENABLE	0: レジスタ 0x3C のビット 9 で定義したカソード電圧の設定を使用します。 1: レジスタ 0x3C のビット 9 を、レジスタ 0x54 のビット [13:8] で定義したカソード設定値でオーバーライドします。
0x55	[6:0]	0x20	R/W	Reserved	予備
	[15:12]	0x0	R/W	Reserved	0x0 を書き込みます。
	[11:10]	0x0	R/W	SLOTB_TIA_GAIN_4	レジスタ 0x44 のビット 6=1 の場合、タイム・スロット B、チャンネル 4 の TIA ゲイン。 0: 200 k Ω 。 1: 100 k Ω 。 2: 50 k Ω 。 3: 25 k Ω 。
	[9:8]	0x0	R/W	SLOTB_TIA_GAIN_3	レジスタ 0x44 のビット 6=1 の場合、タイム・スロット B、チャンネル 3 の TIA ゲイン。 0: 200 k Ω 。 1: 100 k Ω 。 2: 50 k Ω 。 3: 25 k Ω 。
	[7:6]	0x0	R/W	SLOTB_TIA_GAIN_2	レジスタ 0x44 のビット 6=1 の場合、タイム・スロット B、チャンネル 2 の TIA ゲイン。 0: 200 k Ω 。 1: 100 k Ω 。 2: 50 k Ω 。 3: 25 k Ω 。
[5:4]	0x0	R/W	SLOTA_TIA_GAIN_4	レジスタ 0x42 のビット 6=1 の場合、タイム・スロット A、チャンネル 4 の TIA ゲイン。 0: 200 k Ω 。 1: 100 k Ω 。 2: 50 k Ω 。 3: 25 k Ω 。	

Address	Data Bit	Default Value	Access	Name	Description
	[3:2]	0x0	R/W	SLOTA_TIA_GAIN_3	レジスタ 0x42 のビット 6=1 の場合、タイム・スロット A、チャンネル 3 の TIA ゲイン。 0: 200 kΩ。 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN_2	レジスタ 0x42 のビット 6=1 の場合、タイム・スロット A、チャンネル 2 の TIA ゲイン。 0: 200 kΩ。 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。

表 38. AFE 設定レジスタ、タイム・スロット A

Address	Data Bit	Default Value	Access	Name	Description
0x39	[15:11]	0x4	R/W	SLOTA_AFE_WIDTH	タイム・スロット A に対応する AFE 積分ウィンドウ幅 (1 μs ステップ単位)。
	[10:0]	0x2FC	R/W	SLOTA_AFE_OFFSET	タイム・スロット A に対応する AFE 積分ウィンドウのオフセット (31.25 ns ステップ単位)。
0x42	[15:10]	0x07	R/W	SLOTA_AFE_MODE	0x07 に設定します。
	[9:8]	0x0	R/W	SLOTA_INT_GAIN	通常動作モードの場合 00: R _{INT} = 400 kΩ 01: R _{INT} = 200 kΩ 10: R _{INT} = 100 kΩ 積分器をバッファとして構成した TIA ADC モードの場合、 00: 積分器をバッファとしたゲイン = 1.0。 01: 積分器をバッファとしたゲイン = 1.0。 10: 積分器をバッファとしたゲイン = 0.7。
	7	0x0	R/W	SLOTA_INT_AS_BUF	0: 通常の積分器の設定。 1: 積分器をバッファ・アンプに変換 (TIA ADC モードでのみ使用)。
	6	0x0	R/W	SLOTA_TIA_IND_EN	タイム・スロット A の TIA ゲインの個別調整をイネーブルするかどうか。イネーブルする場合、チャンネル 1 の TIA ゲインはレジスタ 0x42 のビット [1:0] を使用して設定し、チャンネル 2 ~ チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [5:0] を使用して設定します。 0: TIA ゲインの個別設定をディスエーブルします。 1: TIA ゲインの個別設定をイネーブルします。
	[5:4]	0x3	R/W	SLOTA_TIA_VREF	タイム・スロット A に対応する TIA の V _{REF} を設定します。 0: 1.14 V。 1: 1.01 V。 2: 0.90 V。 3: 1.27 V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	Reserved	予備 0x1 を書き込みます。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN	タイム・スロット A に対応するトランスインピーダンス・アンプのゲイン。SLOTA_TIA_IND_EN がイネーブルな場合、タイム・スロット B に対応するチャンネル 1 の TIA ゲインが対象になります。このビットがディスエーブルな場合、タイム・スロット A に対応する 4 つのチャンネルすべての TIA ゲイン設定値が対象になります。 0: 200 kΩ。 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。

Address	Data Bit	Default Value	Access	Name	Description
0x43	[15:0]	0xADA5	R/W	SLOTA_AFE_CFG	タイム・スロット A の AFE 接続。 0xADA5: アナログ・フル・パス・モード (TIA_BPF_INT_ADC)。 0xAE65: TIA ADC モード (レジスタ 0x42 のビット 7=1 およびレジスタ 0x58 のビット 7=1 を設定する必要があります)。 0xB065: TIA ADC モード (レジスタ 0x42 のビット 7=0 の場合)。 その他: 予備。

表 39. AFE 設定レジスタ、タイム・スロット B

Address	Data Bit	Default Value	Access	Name	Description
0x3B	[15:11]	0x04	R/W	SLOTB_AFE_WIDTH	タイム・スロット B に対応する AFE 積分ウィンドウ幅 (1 μ s ステップ単位)。
	[10:0]	0x17	R/W	SLOTB_AFE_OFFSET	タイム・スロット B に対応する AFE 積分ウィンドウのオフセット (31.25 ns ステップ単位)。
0x44	[15:10]	0x07	R/W	SLOTB_AFE_MODE	0x07 に設定します。
	[9:8]	0x0	R/W	SLOTB_INT_GAIN	通常動作モードの場合 00: R _{INT} = 400 k Ω 01: R _{INT} = 200 k Ω 10: R _{INT} = 100 k Ω 積分器をバッファとして構成した TIA ADC モードの場合、 00: 積分器をバッファとしたゲイン = 1.0。 01: 積分器をバッファとしたゲイン = 1.0。 10: 積分器をバッファとしたゲイン = 0.7。
	7	0x0	R/W	SLOTB_INT_AS_BUF	0: 通常の積分器の設定。 1: 積分器をバッファ・アンプに変換 (TIA ADC モードでのみ使用)。
	6	0x0	R/W	SLOTB_TIA_IND_EN	タイム・スロット B の TIA ゲインの個別調整をイネーブルするかどうか。イネーブルする場合、チャンネル 1 の TIA ゲインはレジスタ 0x44 のビット [1:0] を使用して設定し、チャンネル 2 ~ チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [11:0] を使用して設定します。 0: TIA ゲインの個別設定をディスエーブルします。 1: TIA ゲインの個別設定をイネーブルします。
	[5:4]	0x3	R/W	SLOTB_TIA_VREF	タイム・スロット B に対応する TIA の VREF を設定します。 0: 1.14 V。 1: 1.01 V。 2: 0.90 V。 3: 1.27 V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	Reserved	0x1 を書き込みます。
	[1:0]	0x0	R/W	SLOTB_TIA_GAIN	タイム・スロット B に対応するトランスインピーダンス・アンプのゲイン。SLOTB_TIA_IND_EN がイネーブルな場合、タイム・スロット B に対応するチャンネル 1 の TIA ゲインが対象になります。SLOTB_TIA_IND_EN がディスエーブルな場合、タイム・スロット B に対応する 4 つのチャンネルすべての TIA ゲイン設定値が対象になります。 0: 200 k Ω 。 1: 100 k Ω 。 2: 50 k Ω 。 3: 25 k Ω 。
0x45	[15:0]	0xADA5	R/W	SLOTB_AFE_CFG	タイム・スロット B の AFE 接続。 0xADA5: アナログ・フル・パス・モード (TIA_BPF_INT_ADC)。 0xAE65: TIA ADC モード (レジスタ 0x44 のビット 7=1 およびレジスタ 0x58 のビット 7=1 を設定する必要があります)。 0xB065: TIA ADC モード (レジスタ 0x44 のビット 7=0 の場合)。 その他: 予備。

フロート・モード・レジスタ

表 40. フロート・モード・レジスタ

Address	Data Bit	Default Value	Access	Name	Description
0x04	[15:8]	0x0	R	Reserved	該当せず。
	[7:4]	0x0	R	BG_STATUS_B	タイム・スロット B における背景光レベルと背景閾値の比較を示すステータス (BG_THRESH_B)。ビット位置における 1 は、閾値を BG_COUNT_B 回超えたことを意味します。このレジスタは、読み出した後にクリアされます。 ビット 4: タイム・スロット B、チャンネル 1 が閾値カウントを超過。 ビット 5: タイム・スロット B、チャンネル 2 が閾値カウントを超過。 ビット 6: タイム・スロット B、チャンネル 3 が閾値カウントを超過。 ビット 7: タイム・スロット B、チャンネル 4 が閾値カウントを超過。
	[3:0]	0x0	R	BG_STATUS_A	タイム・スロット A における背景光レベルと背景閾値の比較を示すステータス (BG_THRESH_A)。任意のビット位置における 1 は、閾値を BG_COUNT_A 回超えたことを意味します。このレジスタは読み出した後にクリアされます。 ビット 0: タイム・スロット A、チャンネル 1 が閾値カウントを超過。 ビット 1: タイム・スロット A、チャンネル 2 が閾値カウントを超過。 ビット 2: タイム・スロット A、チャンネル 3 が閾値カウントを超過。 ビット 3: タイム・スロット A、チャンネル 4 が閾値カウントを超過。
0x16	[15:14]	0x0	R/W	BG_COUNT_A	タイム・スロット A で、フロート・モードの減算サイクル中、BG_STATUS_A ビットがセットされるまでに、ADC の値が BG_THRESH_A 値を超えた回数です。 0: BG_STATUS_A をセットしません。 1: BG_THRESH_A を 1 回超えたときにセットします。 2: BG_THRESH_A を 4 回超えたときにセットします。 3: BG_THRESH_A を 16 回超えたときにセットします。
	[13:0]	0x0	R/W	BG_THRESH_A	フロート・モード時のタイム・スロット A での減算サイクル中に ADC の結果と比較される背景閾値。ADC の結果がこのレジスタの値を超えると、BG_COUNT_A がインクリメントされます。
0x1C	[15:14]	0x0	R/W	BG_COUNT_B	タイム・スロット B で、フロート・モードの減算サイクル中、BG_STATUS_B ビットがセットされるまでに、ADC の値が BG_THRESH_B 値を超えた回数です。 0: BG_STATUS_B をセットしません。 1: BG_THRESH_B を 1 回超えたときにセットします。 2: BG_THRESH_B を 4 回超えたときにセットします。 3: BG_THRESH_B を 16 回超えたときにセットします。
	[13:0]	0x0	R/W	BG_THRESH_B	タイム・スロット B でのフロート・モード時の減算サイクル中に ADC の結果と比較される背景閾値。ADC の結果がこのレジスタの値を超えると、BG_COUNT_B がインクリメントされます。
0x3E	[15:14]	0x0	R/W	FLT_LED_SELECT_A	LED フロート・モードでのタイム・スロット A の LED 選択。 0: LED を選択しません。 1: LED1。 2: LED2。 3: LED3。
	13	0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x03	R/W	FLT_LED_WIDTH_A	LED フロート・モードでのタイム・スロット A の LED パルス幅 (1 μs ステップ単位)。
	[7:0]	0x20	R/W	FLT_LED_OFFSET_A	フロート・モードでのタイム・スロット A の最初の LED パルスまでの時間。

Address	Data Bit	Default Value	Access	Name	Description
0x3F	[15:14]	0x0	R/W	FLT_LED_SELECT_B	LED フロート・モードでのタイム・スロット B の LED 選択。 0: LED を選択しません。 1: LED1。 2: LED2。 3: LED3。
	13	0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x03	R/W	FLT_LED_WIDTH_B	LED フロート・モードでのタイム・スロット B の LED パルス幅 (1 μ s ステップ単位)。
	[7:0]	0x20	R/W	FLT_LED_OFFSET_B	フロート・モードでのタイム・スロット B の最初の LED パルスまでの時間。
0x58	[15:12]	0x0	R/W	Reserved	予備
	[11:10]	0x0	R/W	FLT_MATH34_B	4 パルス・シーケンスでのサンプル 3 とサンプル 4 を加算および減算するタイム・スロット B での制御 (または 4 パルスの任意の倍数、例えば、16 パルス・シーケンスのサンプル 15 とサンプル 16)。 00: 3 番目と 4 番目を加算。 01: 3 番目を加算し、4 番目を減算。 10: 3 番目を減算し、4 番目を加算。 11: 3 番目と 4 番目を減算。
	[9:8]	0x0	R/W	FLT_MATH34_A	4 パルス・シーケンスでのサンプル 3 とサンプル 4 を加算および減算するタイム・スロット A での制御 (または 4 パルスの任意の倍数、例えば、16 パルス・シーケンスのサンプル 15 とサンプル 16)。 00: 3 番目と 4 番目を加算。 01: 3 番目を加算し、4 番目を減算。 10: 3 番目を減算し、4 番目を加算。 11: 3 番目と 4 番目を減算。
	7	0x0	R/W	ENA_INT_AS_BUF	1 に設定すると、TIA ADC モードで積分器をバッファに構成することをイネーブルします。
	[6:5]	0x0	R/W	FLT_MATH12_B	4 パルス・シーケンスでのサンプル 1 とサンプル 2 を加算および減算するタイム・スロット B での制御 (または 4 パルスの任意の倍数、例えば、16 パルス・シーケンスのサンプル 13 とサンプル 14)。 00: 1 番目と 2 番目を加算。 01: 1 番目を加算し、2 番目を減算。 10: 1 番目を減算し、2 番目を加算。 11: 1 番目と 2 番目を減算。
	[4:3]	0x0	R/W	Reserved	0x0 を書き込みます。
	[2:1]	0x0	R/W	FLT_MATH12_A	4 パルス・シーケンスでのサンプル 1 とサンプル 2 を加算および減算するタイム・スロット A の制御 (または 4 パルスの任意の倍数、例えば、16 パルス・シーケンスのサンプル 13 とサンプル 14)。 00: 1 番目と 2 番目を加算。 01: 1 番目を加算し、2 番目を減算。 10: 1 番目を減算し、2 番目を加算。 11: 1 番目と 2 番目を減算。
	0	0x0	R/W	Reserved	0x0 を書き込みます。
	0x59	15	0x0	R/W	Reserved
[14:13]		0x0	R/W	FLT_EN_B	0: デフォルト設定、タイム・スロット B でのフロートをディスエーブルします。 1: 予備。 2: 予備。 3: フロート・モードをイネーブルします。
[12:8]		0x08	R/W	FLT_PRECON_B	タイム・スロット B でのフロート・モードの事前設定時間。最初のフロート時間の開始までの時間で、代表的には 16 μ s です。
[7:0]		0x08	R/W	Reserved	0x08 を書き込みます。

Address	Data Bit	Default Value	Access	Name	Description
0x5A	[15:12]	0x0	R/W	FLT_LED_FIRE_B	ある4つのパルスのシーケンスのうち、パルス位置にゼロを書き込むことにより、選択した位置でLEDを点灯させます。その位置に1を書き込むことにより、LEDパルスをマスクします（すなわち、LEDを点灯しません）。タイム・スロットBの4パルス・シーケンスでは、レジスタ0x5Aのビット12が最初のパルス、ビット13が2番目のパルス、ビット14が3番目のパルス、ビット15が4番目のパルスです。
	[11:8]	0x0	R/W	FLT_LED_FIRE_A	ある4つのパルスのシーケンスのうち、パルス位置にゼロを書き込むことにより、選択した位置でLEDを点灯させます。その位置に1を書き込むことにより、LEDパルスをマスクします（すなわち、LEDを点灯しません）。タイム・スロットAの4パルス・シーケンスでは、レジスタ0x5Aのビット8が最初のパルス、ビット9が2番目のパルス、ビット10が3番目のパルス、ビット11が4番目のパルスです。
	[7:0]	0x10	R/W	Reserved	0x10を書き込みます。
0x5E	15	0x0	R/W	Reserved	0x0を書き込みます。
	[14:13]	0x0	R/W	FLT_EN_A	0: デフォルト設定、タイム・スロットAのフロートをディスエーブルします。 1: 予備。 2: 予備。 3: タイム・スロットAでフロート・モードをイネーブルします。
	[12:8]	0x08	R/W	FLT_PRECON_A	タイム・スロットAでのフロート・モードの事前設定時間。最初のフロート時間の開始までの時間で、代表的には16μsです。
	[7:0]	0x08	R/W	Reserved	0x08を書き込みます。

システム・レジスタ

表 41. システム・レジスタ

Address	Data Bit	Default Value	Access	Name	Description
0x00	[15:8]	0x00	R/W	FIFO_SAMPLES	FIFOのステータス。FIFOから読み出すことができるバイト数。この値をFIFO長の閾値（レジスタ0x06のビット[13:8]）と比較する場合、FIFOのステータス値はバイト単位で、FIFO長の閾値はワード単位であることに注意してください。ここで、1ワード=2バイトです。 FIFOの内容をクリアするには、ビット15に1を書き込みます。
	7	0x0	R/W	Reserved	0x1を書き込むと、このビットはクリアされて0x0になります。
	6	0x0	R/W	SLOTB_INT	タイム・スロットBの割込み。割込みイベントの種類を記述します。値が1の場合、特定のイベントに対応する割込みが発生しています。1を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは0になります。このレジスタに0を書き込んでも、何の効果もありません。
	5	0x0	R/W	SLOTA_INT	タイム・スロットAの割込み。割込みイベントの種類を記述します。値が1の場合、特定のイベントに対応する割込みが発生しています。1を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは0になります。このレジスタに0を書き込んでも、何の効果もありません。
	[4:0]	0x00	R/W	Reserved	これらのビットをクリアして0x00にするには、0x1Fを書き込みます。
0x01	[15:9]	0x00	R/W	Reserved	0x00を書き込みます。
	8	0x1	R/W	FIFO_INT_MASK	FIFOデータ長が、レジスタ0x06のビット[13:8]で指定されたFIFO長の閾値を上回る場合、割込みを送信します。0は割込みをイネーブルします。
	7	0x1	R/W	Reserved	0x1を書き込みます。
	6	0x1	R/W	SLOTB_INT_MASK	タイム・スロットBのサンプリングに対して割込みを送信します。1を書き込むと、割込みがディスエーブルされます。0を書き込むと、割込みがイネーブルされます。
	5	0x1	R/W	SLOTA_INT_MASK	タイム・スロットAのサンプリングに対して割込みを送信します。1を書き込むと、割込みがディスエーブルされます。0を書き込むと、割込みがイネーブルされます。
[4:0]	0x1F	R/W	Reserved	0x1Fを書き込みます。	

Address	Data Bit	Default Value	Access	Name	Description
0x02	[15:10]	0x00	R/W	Reserved	0x0000 を書き込みます。
	9	0x0	R/W	GPIO1_DRV	GPIO1 を駆動するかどうか。 0: GPIO1 ピンは常に駆動されます。 1: 割込みがアサートされると、GPIO1 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります（オープン・ドレインとして動作）。複数のデバイスが GPIO1 ピンを共有する必要がある場合は、この設定値を使用します。
	8	0x0	R/W	GPIO1_POL	GPIO1 の極性。 0: GPIO1 ピンはアクティブ・ハイ。 1: GPIO1 ピンはアクティブ・ロー。
	[7:3]	0x00	R/W	Reserved	0x00 を書き込みます。
	2	0x0	R/W	GPIO0_ENA	GPIO0 ピンをイネーブルするかどうか。 0: GPIO0 ピンをディスエーブルします。割込みのステータスに関係なく、GPIO0 ピンはフロート状態になります。ステータス・レジスタ（アドレス 0x00）はアクティブな状態にとどまります。 1: GPIO0 ピンをイネーブルします。
	1	0x0	R/W	GPIO0_DRV	GPIO0 を駆動するかどうか。 0: GPIO0 ピンは常に駆動されます。 1: 割込みがアサートされると、GPIO0 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります（オープン・ドレインとして動作）。複数のデバイスが GPIO0 ピンを共有する必要がある場合は、この設定値を使用します。
	0	0x0	R/W	GPIO0_POL	GPIO0 の極性。 0: GPIO0 ピンはアクティブ・ハイ。 1: GPIO0 ピンはアクティブ・ロー。
0x06	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:8]	0x00	R/W	FIFO_THRESH	FIFO 長の閾値。FIFO 内にあるデータワードの数が、FIFO_THRESH の値を上回ったときに割込みが生成されます。FIFO 内にあるデータワードの数が、FIFO_THRESH の値以下になった時点で、割込みピンは自動的にアサート解除されます。
	[7:0]	0x00	R/W	Reserved	0x00 を書き込みます。
0x08	[15:8]	0x0A	R	REV_NUM	レビジョン番号
	[7:0]	0x16	R	DEV_ID	デバイス ID。
0x09	[15:8]	0x00	W	ADDRESS_WRITE_KEY	SLAVE_ADDRESS への書き込み時は 0xAD を書き込みます。それ以外の場合は、アクセスしないでください。
	[7:1]	0x64	R/W	SLAVE_ADDRESS	I ² C スレーブ・アドレス
	0	0x0	R	Reserved	アクセスしないでください。
0x0A	[15:12]	0x0	R	Reserved	0x0 を書き込みます。
	[11:0]	0x000	R	CLK_RATIO	CLK32M_CAL_EN ビット（レジスタ 0x50 のビット 5）がセットされている場合、デバイスは 32 kHz クロックの 2 サイクル分を単位として、32 MHz クロックのサイクル数を計算します。その結果、通常は CLK_RATIO ビット内に 2000（0x07D0）が格納されます。
0x0B	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x00	R/W	GPIO1_ALT_CFG	GPIO1 ピンの代替設定。 0x00: GPIO1 は、ADPD103 の PDSO ピンの機能との下位互換性を備えています。 0x01: レジスタ 0x01 の定義に従って、GPIO1 で割込み機能を提供します。 0x02: 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x05: タイム・スロット A のパルス出力。 0x06: タイム・スロット B のパルス出力。 0x07: 両方のタイム・スロットのパルス出力。 0x0C: タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0x0D: タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0x0E: 発生したデータ・サイクルを出力します。

Address	Data Bit	Default Value	Access	Name	Description
					0x0F: サンプルごとにトグルします。この結果、サンプリング・レートの半分で信号が供給されます。 0x10: 出力 = 0 0x11: 出力 = 1 0x13: 32 kHz 発振器の出力。 残りの設定値はサポートされていません。
	[7:5]	0x0	R/W	Reserved	0x0 を書き込みます。
	[4:0]	0x00	R/W	GPIO0_ALT_CFG	GPIO0 ピンの代替設定。 0x0: GPIO0 は、ADPD103 の INT ピンの機能との下位互換性があります。 0x1: レジスタ 0x01 の定義に従って、GPIO0 で割込み機能を提供します。 0x2: 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x5: タイム・スロット A のパルス出力。 0x6: タイム・スロット B のパルス出力。 0x7: 両方のタイム・スロットのパルス出力。 0xC: タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0xD: タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0xE: 発生したデータ・サイクルを出力します。 0xF: サンプルごとにトグルします。この結果、サンプリング・レートの半分で信号が供給されます。 0x10: 出力 = 0 0x11: 出力 = 1 0x13: 32 kHz 発振器の出力。 残りの設定値はサポートされていません。
0x0D	[15:0]	0x0000	R/W	SLAVE_ADDRESS_KEY	レジスタ 0x09 を使用した I ² C アドレスの変更をイネーブルするかどうか。 0x04AD: アドレスの変更を常にイネーブルします。 0x44AD: GPIO0 がハイの場合、アドレスの変更をイネーブルします。 0x84AD: GPIO1 がハイの場合、アドレスの変更をイネーブルします。 0xC4AD: GPIO0 と GPIO1 の両方がハイの場合、アドレスの変更をイネーブルします。
0x0F	[15:1]	0x0000	R	Reserved	0x0000 を書き込みます。
	0	0x0	R/W	SW_RESET	ソフトウェア・リセット。デバイスをリセットするには、0x1 を書き込みます。リセット後、このビットは自らクリアされます。I ² C 通信では、このコマンドのよりアクノレッジが返され、続いてすべてのレジスタがデフォルト状態にリセットされてデバイスはスタンバイ・モードに戻ります。
0x10	[15:2]	0x0000	R/W	Reserved	0x0000 を書き込みます。
	[1:0]	0x0	R/W	Mode	ADPD1080/ADPD1081 の動作モードを決定します。 0x0: スタンバイ。 0x1: プログラム。 0x2: 通常動作。
0x11	[15:14]	0x0	R/W	Reserved	予備
	13	0x0	R/W	RDOUT_MODE	拡張データ・レジスタに対するリードバック・データ・モード。 0x0: N 個のサンプルのブロック合計。 0x1: N 個のサンプルのブロック平均。
	12	0x1	R/W	FIFO_OVRN_PREVENT	0x0: FIFO はラップアラウンドされ、新しいデータで古いデータを上書きしません。 0x1: FIFO がいっぱいでない場合に新しいデータを書き込みます (推奨設定値)。
	[11:9]	0x0	R/W	Reserved	予備
	[8:6]	0x0	R/W	SLOTB_FIFO_MODE	タイム・スロット B の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: 4 チャンネルすべての 16 ビットの合計。 2: 4 チャンネルすべての 32 ビットの合計。 4: タイム・スロット B に対応する 4 つのチャンネルの 16 ビット・サンプル・データ。 6: タイム・スロット B に対応する 4 つのチャンネルの 32 ビット拡張サンプル・データ。

Address	Data Bit	Default Value	Access	Name	Description
					その他: 予備。 タイム・スロット B で選択したデータは FIFO に保存されます。タイム・スロット A が同じ平均化の係数 N を使用している場合 (レジスタ 0x15 のビット [10:8] = ビット [6:4]) や、タイム・スロット A が FIFO にデータを格納していない場合 (レジスタ 0x11 のビット [4:2] = 0) のみ、使用できます。
	5	0x0	R/W	SLOTB_EN	タイム・スロット B をイネーブルするかどうか。1: タイム・スロット B をイネーブルします。
	[4:2]	0x0	R/W	SLOTA_FIFO_MODE	タイム・スロット A の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: 4 チャンネルすべての 16 ビットの合計。 2: 4 チャンネルすべての 32 ビットの合計。 4: タイム・スロット A に対応する 4 つのチャンネルの 16 ビット・サンプル・データ。 6: タイム・スロット A に対応する 4 つのチャンネルの 32 ビット拡張サンプル・データ。 その他: 予備。
	1	0x0	R/W	Reserved	0x0 を書き込みます。
	0	0x0	R/W	SLOTA_EN	タイム・スロット A をイネーブルするかどうか。1: タイム・スロット A をイネーブルします。
0x38	[15:0]	0x0000	R/W	EXT_SYNC_STARTUP	EXT_SYNC_SEL が 01 または 10 の場合、0x4000 を書き込みます。それ以外の場合は、0x0 を書き込みます。
0x4B	[15:9]	0x13	R/W	Reserved	0x26 を書き込みます。
	8	0x0	R/W	CLK32K_BYP	32 kHz の内部発振器をバイパスするかどうか。 0x0: 通常動作。 0x1: GPIO1 ピンに外部クロックを供給します。入力として GPIO1 ピンをイネーブルするには、レジスタ 0x4F のビット [6:5] = 01 に設定する必要があります。
	7	0x0	R/W	CLK32K_EN	サンプリング・クロックの起動。データ・サンプリング・クロックをイネーブルするかどうか。 0x0: クロックをディスエーブルします。 0x1: 通常動作。
	6	0x0	R/W	Reserved	0x0 を書き込みます。
	[5:0]	0x12	R/W	CLK32K_ADJUST	データ・サンプリング (32 kHz) クロックの周波数調整。このレジスタは、デバイスのサンプリング周波数をキャリブレーションし、レジスタ 0x12 で定義されるデータ・レートで高精度化を実現するために使用します。LSB あたり 0.6 kHz で、サンプリング・マスターの 32 kHz クロックを調整します。レジスタ 0x12 で 100 Hz のサンプリング・レートを定義する場合、レジスタ 0x4B、ビット [5:0] の 1 LSB は 1.9 Hz になります。 大きい値を指定するほど、周波数が低くなることに注意してください。クロック調整の詳細については、クロックとタイミングのキャリブレーションのセクションを参照してください。 00 0000: 最大周波数 10 0010: 代表的なセンター周波数。 11 1111: 最小周波数。
0x4D	[15:8]	0x00	R/W	Reserved	0x00 を書き込みます。
	[7:0]	0x98	R/W	CLK32M_ADJUST	内部タイミング (32 MHz) クロックの周波数調整。このレジスタは、デバイスの内部クロックを校正して、正確なタイミングの LED パルスを実現するために使われます。LSB あたり 109 kHz で 32 MHz クロックを調整します。 クロック調整の詳細については、クロックとタイミングのキャリブレーションのセクションを参照してください。 0000 0000: 最小周波数 1001 1000: デフォルト周波数。 1111 1111: 最大周波数。
0x4F	[15:8]	0x20	R/W	Reserved	0x20 を書き込みます。
	7	0x1	R/W	Reserved	0x1 を書き込みます。
	6	0x0	R/W	GPIO1_OE	GPIO1 ピンの出力をイネーブルするかどうか。
	5	0x0	R/W	GPIO1_IE	GPIO1 ピンの入力をイネーブルするかどうか。
	4	0x1	R/W	Reserved	0x1 を書き込みます。

Address	Data Bit	Default Value	Access	Name	Description
	[3:2]	0x0	R/W	EXT_SYNC_SEL	サンプリング同期の選択。 00: 32 kHz の内部クロックを FSAMPLE のサンプリング周波数で使用し、サンプリングのタイミングを選択します。 01: GPIO0 ピンを使用してサンプリング・サイクルをトリガします。 10: GPIO1 ピンを使用してサンプリング・サイクルをトリガします。 11: 予備。
	1	0x0	R/W	GPIO0_IE	GPIO0 ピンの入力をイネーブルするかどうか。
	0	0x0	R/W	Reserved	0x0 を書き込みます。
0x50	[15:7]	0x000	R/W	Reserved	0x000 を書き込みます。
	6	0x0	R/W	GPIO1_CTRL	GPIO1 出力がイネーブルされている場合 (GPIO1_OE = 0x1)、GPIO1 出力を制御します。 0x0: GPIO1 出力をローに駆動します。 0x1: GPIO1 出力は AFE のパワーダウン信号によって駆動されます。
	5	0x0	R/W	CLK32M_CAL_EN	32 MHz クロックのキャリブレーション・ルーチンの一部として、1 を書き込んでクロック比の計算を開始します。レジスタ 0x0A の CLK_RATIO ビットから、この計算の結果を読み出します。 計算を再び初期化する前に、このビットを 0 にリセットしてください。
	[4:0]	0x00	R/W	Reserved	0x0 を書き込みます。
0x5F	[15:3]	0x0000	R/W	Reserved	0x0000 を書き込みます。
	2	0x0	R/W	SLOTB_DATA_HOLD	このビットをセットすると、タイム・スロット B に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタが更新されることはなくなり、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1: タイム・スロット B のデータ・レジスタを保持します。 0: データ・レジスタの更新を許可します。
	1	0x0	R/W	SLOTA_DATA_HOLD	このビットをセットすると、タイム・スロット A に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタが更新されることはなくなり、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1: タイム・スロット A のデータ・レジスタを保持します。 0: データ・レジスタを更新可能にします。
	0	0x0	R/W	DIGITAL_CLOCK_ENA	32 MHz クロックのキャリブレーションを実施する場合、このビットを 1 に設定して 32 MHz クロックをイネーブルします。キャリブレーションを実施した後、必ずこのビットを 0 にリセットして 32 MHz クロックをディスエーブルしてください。

ADC レジスタ

表 42. ADC レジスタ

Address	Data Bits	Default Value	Access	Name	Description
0x12	[15:0]	0x0028	R/W	FSAMPLE	サンプリング周波数: $f_{\text{SAMPLE}} = 32 \text{ kHz} / (\text{レジスタ } 0x12 \text{ のビット } [15:0] \times 4)$ 。 例えば、100 Hz = 0x0050、200 Hz = 0x0028 です。
0x15	[15:11]	0x00	R/W	Reserved	0x0 を書き込みます。
	[10:8]	0x6	R/W	SLOTB_NUM_AVG	タイム・スロット B に対応するサンプルの合計/平均。平均化の係数 N_B を指定します。この値は、ADC よりも後段で合計され平均化される連続的なサンプルの数です。レジスタ 0x70 ~ レジスタ 0x7F はデータの合計を保持します。レジスタ 0x64 ~ レジスタ 0x6B、およびレジスタ 0x60 内のデータ・バッファはデータ平均を保持します。この値を使用すると、16 ビット・レジスタでクリップを実行せずに S/N 比を向上することができます。SLOTB_NUMB_AVG ビットの値を使用して、データ・レートのデシメーションが実行されます。 0: 1。 1: 2。 2: 4。 3: 8。 4: 16。 5: 32。 6: 64。 7: 128。
	7	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	SLOTA_NUM_AVG	タイム・スロット A に対応するサンプルの合計/平均、 N_A : ビット [10:8] と同様ですが、タイム・スロット A を対象にしています。レジスタ 0x15 のビット [10:8] に関する説明を参照してください。
	[3:0]	0x0	R/W	Reserved	0x0 を書き込みます。
0x18	[15:0]	0x2000	R/W	SLOTA_CH1_OFFSET	タイム・スロット A のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x19	[15:0]	0x2000	R/W	SLOTA_CH2_OFFSET	タイム・スロット A のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1A	[15:0]	0x2000	R/W	SLOTA_CH3_OFFSET	タイム・スロット A のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1B	[15:0]	0x2000	R/W	SLOTA_CH4_OFFSET	タイム・スロット A のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1E	[15:0]	0x2000	R/W	SLOTB_CH1_OFFSET	タイム・スロット B のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1F	[15:0]	0x2000	R/W	SLOTB_CH2_OFFSET	タイム・スロット B のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x20	[15:0]	0x2000	R/W	SLOTB_CH3_OFFSET	タイム・スロット B のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x21	[15:0]	0x2000	R/W	SLOTB_CH4_OFFSET	タイム・スロット B のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。

データ・レジスタ

表 43. データ・レジスタ

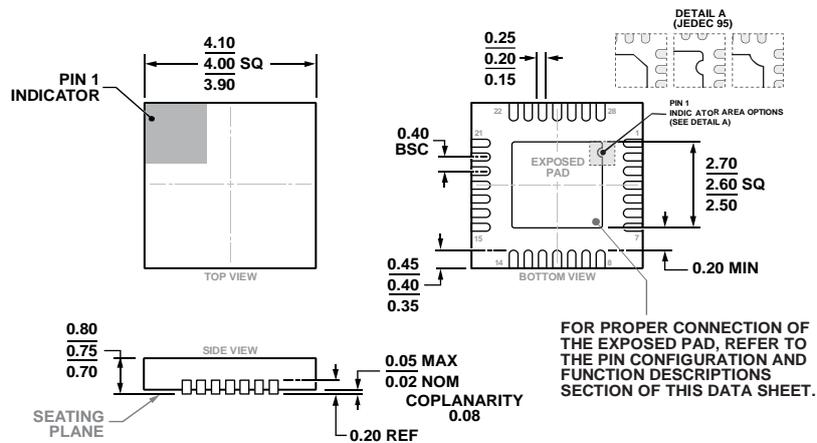
Address	Data Bits	Access	Name	Description
0x60	[15:0]	R	FIFO_DATA	FIFO 内で次に利用できるワード。
0x64	[15:0]	R	SLOTA_CH1_16BIT	タイム・スロット A のチャンネル 1 にある 16 ビット値。
0x65	[15:0]	R	SLOTA_CH2_16BIT	タイム・スロット A のチャンネル 2 にある 16 ビット値。
0x66	[15:0]	R	SLOTA_CH3_16BIT	タイム・スロット A のチャンネル 3 にある 16 ビット値。
0x67	[15:0]	R	SLOTA_CH4_16BIT	タイム・スロット A のチャンネル 4 にある 16 ビット値。
0x68	[15:0]	R	SLOTB_CH1_16BIT	タイム・スロット B のチャンネル 1 にある 16 ビット値。
0x69	[15:0]	R	SLOTB_CH2_16BIT	タイム・スロット B のチャンネル 2 にある 16 ビット値。
0x6A	[15:0]	R	SLOTB_CH3_16BIT	タイム・スロット B のチャンネル 3 にある 16 ビット値。
0x6B	[15:0]	R	SLOTB_CH4_16BIT	タイム・スロット B のチャンネル 4 にある 16 ビット値。
0x70	[15:0]	R	SLOTA_CH1_LOW	タイム・スロット A のチャンネル 1 にある下位データワード。
0x71	[15:0]	R	SLOTA_CH2_LOW	タイム・スロット A のチャンネル 2 にある下位データワード。
0x72	[15:0]	R	SLOTA_CH3_LOW	タイム・スロット A のチャンネル 3 にある下位データワード。
0x73	[15:0]	R	SLOTA_CH4_LOW	タイム・スロット A のチャンネル 4 にある下位データワード。
0x74	[15:0]	R	SLOTA_CH1_HIGH	タイム・スロット A のチャンネル 1 にある上位データワード。
0x75	[15:0]	R	SLOTA_CH2_HIGH	タイム・スロット A のチャンネル 2 にある上位データワード。
0x76	[15:0]	R	SLOTA_CH3_HIGH	タイム・スロット A のチャンネル 3 にある上位データワード。
0x77	[15:0]	R	SLOTA_CH4_HIGH	タイム・スロット A のチャンネル 4 にある上位データワード。
0x78	[15:0]	R	SLOTB_CH1_LOW	タイム・スロット B のチャンネル 1 にある下位データワード。
0x79	[15:0]	R	SLOTB_CH2_LOW	タイム・スロット B のチャンネル 2 にある下位データワード。
0x7A	[15:0]	R	SLOTB_CH3_LOW	タイム・スロット B のチャンネル 3 にある下位データワード。
0x7B	[15:0]	R	SLOTB_CH4_LOW	タイム・スロット B のチャンネル 4 にある下位データワード。
0x7C	[15:0]	R	SLOTB_CH1_HIGH	タイム・スロット B のチャンネル 1 にある上位データワード。
0x7D	[15:0]	R	SLOTB_CH2_HIGH	タイム・スロット B のチャンネル 2 にある上位データワード。
0x7E	[15:0]	R	SLOTB_CH3_HIGH	タイム・スロット B のチャンネル 3 にある上位データワード。
0x7F	[15:0]	R	SLOTB_CH4_HIGH	タイム・スロット B のチャンネル 4 にある上位データワード。

必須のスタートアップ・ロード手順

必須のスタートアップ・ロード手順は、次のとおりです。

1. レジスタ 0x4B のビット 7 に 0x1 を書き込み、ステート・マシンを駆動するクロックをイネーブルします。
2. レジスタ 0x10 に 0x0001 を書き込み、プログラム・モードに移行します。
3. 他のレジスタに書き込みを行います。デバイスがプログラム・モードにある間は、レジスタへの書き込み順序は重要ではありません。
4. レジスタ 0x10 に 0x0002 を書き込み、通常のサンプリング動作を開始します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGE.

図 55. 28 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 4 mm x 4 mm ボディ、0.75 mm パッケージ高
 (CP-28-5)
 寸法単位: mm

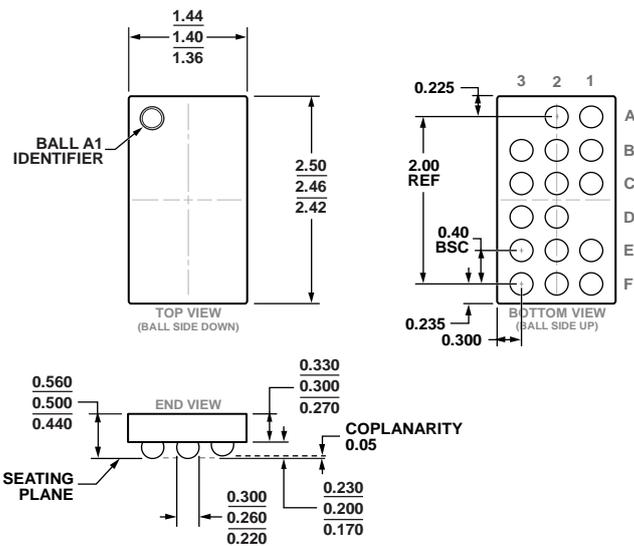


図 56. 16 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSF]
 (CB-16-18)
 寸法単位: mm

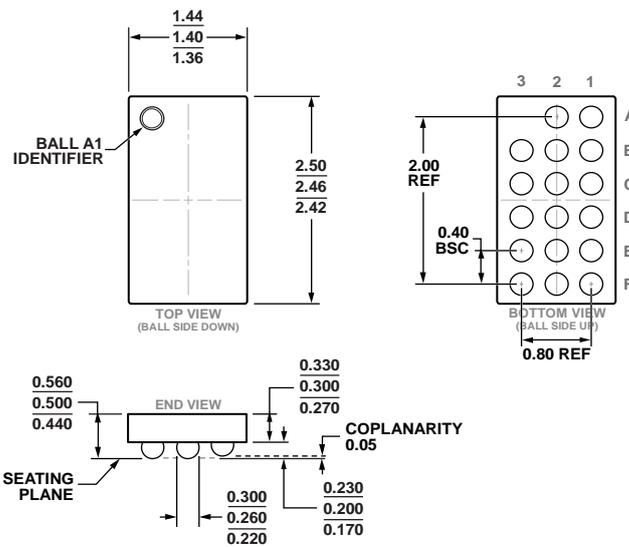


図 57. 17 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-17-1)
寸法単位: mm

オーダー・ガイド

Model ^{1, 2, 3}	Temperature Range	Package Description	Package Option
ADPD1080BCPZ	-40°C to +85°C	28-Lead Lead Frame Chip Scale Package [LFCSP]	CP-28-5
ADPD1080BCPZR7	-40°C to +85°C	28-Lead Lead Frame Chip Scale Package [LFCSP]	CP-28-5
ADPD1080BCBZR7	-40°C to +85°C	16-Ball Wafer Level Chip Scale Package [WLCSP]	CB-16-18
ADPD1081BCBZR7	-40°C to +85°C	17-Ball Wafer Level Chip Scale Package [WLCSP]	CB-17-1
EVAL-ADPD1080Z-PPG		ADPD1080/ADPD1081 Sensor Board	

¹ Z = RoHS 準拠製品。

² EVAL-ADPD1080Z-PPG 評価用ボードは、ADPD1080 と ADPD1081 の両方で使用できます。

³ EVAL-ADPD1080Z-PPG 評価用ボードとインターフェースするには、EVAL-ADPDUCZ マイクロコントローラ・ボードを別途注文する必要があります。

I²C は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。