



**ANALOG
DEVICES**

6個の12ビット Noise Shaped Video® D/Aコンバータ を内蔵するマルチフォーマット・ビデオ・エンコーダ

ADV7340/ADV7341

特長

74.25MHz、20/30ビットの高解像度入力
SMPTE 274M (1080i)、296M (720p)、240M (1035i) に
準拠
6個のNoise Shaped Video (NSV) 12ビット・ビデオDACを内蔵
SD用の16倍 (216MHz) DACオーバーサンプリング
ED用の8倍 (216MHz) DACオーバーサンプリング
HD用の4倍 (297MHz) DACオーバーサンプリング
37mA (max) のDAC出力電流
NTSC M、PAL B/D/G/H/I/M/N、PAL 60をサポート
NTSCおよびPALスクエア・ピクセル動作 (24.54/29.5MHz)
マルチフォーマット・ビデオ入力
4:2:2 YCrCb (SD、ED、HD)
4:4:4 YCrCb (EDとHD)
4:4:4 RGB (SD、ED、HD)
マルチフォーマット・ビデオ出力
コンポジット (CVBS) とSビデオ (Y/C)
コンポーネントYPrPb (SD、ED、HD)
コンポーネントRGB (SD、ED、HD)
Macrovision® Rev 7.1.L1 (SD) とRev 1.2 (ED) に準拠
SDとED/HDの同時動作
EIA/CEA-861Bコンプライアンス

プログラマブル機能

ルミナンスおよびクロミナンス・フィルタ応答
垂直ブランキング期間 (VBI)
サブキャリア周波数 (F_{sc}) と位相
ルミナンス遅延
コピー・ジェネレーション・マネジメント・システム (CGMS)
クローズド・キャプションとワイド・スクリーン・シグナリ
ング (WSS)
外部ビデオ・ソースへのサブキャリア・ロック機能内蔵
完全なビデオ・タイミング・ジェネレータ内蔵
テスト・パターン・ジェネレータ内蔵
リファレンス電圧内蔵 (オプションの外部入力)
I²C®/SPI®デュアル互換のシリアルMPUインターフェース
3.3Vアナログ動作
1.8Vデジタル動作
3.3V I/O動作
温度範囲: -40~+85°C

アプリケーション

DVDレコーダとプレーヤ
高解像度ブルーレイDVDプレーヤ
HD DVDプレーヤ

機能ブロック図

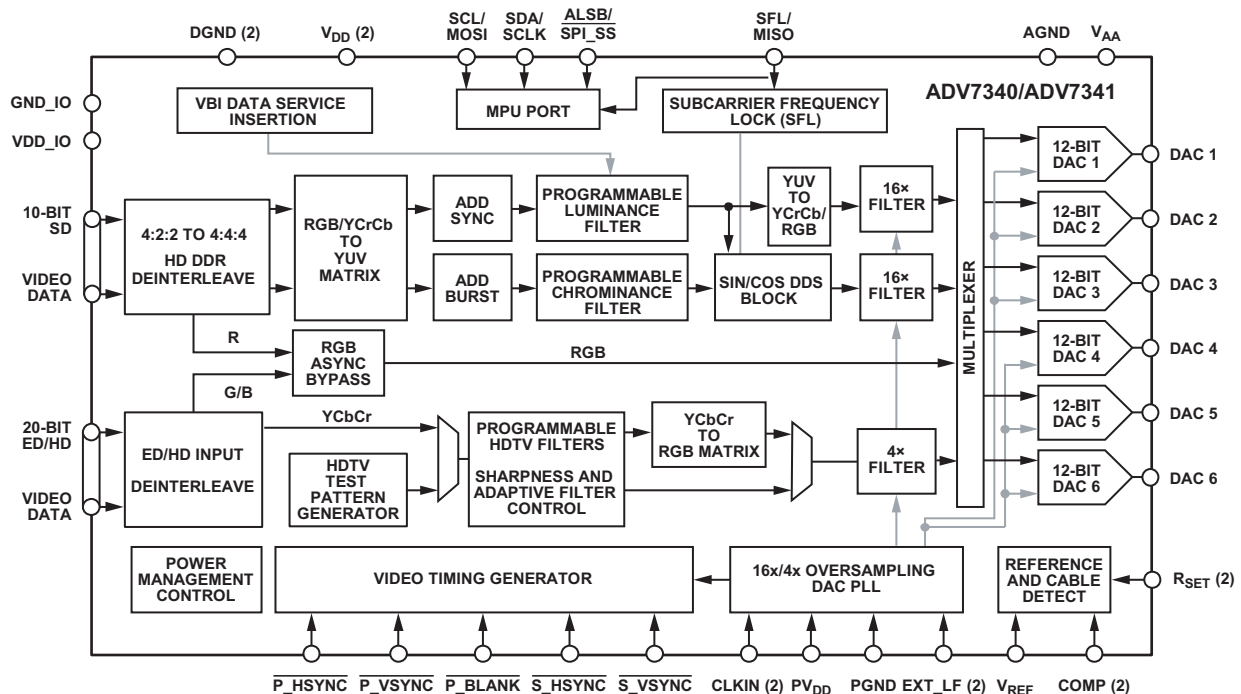


図1

米国特許番号5,343,196と5,442,355、およびその他の知的財産権により保護されています。
米国特許番号4,631,603、4,577,216、4,819,098、およびその他の知的財産権により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

ADV7340/ADV7341

特長	1	色空間変換マトリックス	54
アプリケーション	1	SDルミナンスとカラー制御	55
機能ブロック図	1	SD色相調整コントロール	56
改訂履歴	3	SDブライトネス検出	56
詳細機能	4	SDブライトネス・コントロール	56
概要	4	SD入力規格の自動検出	56
仕様	5	ダブル・バッファリング	57
電源仕様と電圧仕様	5	プログラマブルなDACゲイン制御	57
リファレンス電圧仕様	5	ガンマ補正	57
入力クロック仕様	5	ED/HDシャープネス・フィルタとアダプティブ・	
アナログ出力仕様	6	フィルタの制御	59
デジタル入出力仕様	6	ED/HDシャープネス・フィルタとアダプティブ・	
デジタル・タイミング仕様	7	フィルタのアプリケーション例	60
MPUポート・タイミング仕様	8	SDデジタル・ノイズ・リダクション	61
電源仕様	8	SDアクティブ・ビデオ・エッジ制御	62
ビデオ性能仕様	9	水平／垂直外部同期制御	64
タイミング図	10	低消費電力モード	65
絶対最大定格	18	ケーブル検出	65
熱抵抗	18	DACの自動パワーダウン	65
ESDに関する注意	18	ピクセルとコントロール・ポートのリードバック	65
ピン配置と機能の説明	19	リセットのメカニズム	65
代表的な性能特性	21	プリント回路ボードのレイアウトと設計	66
MPUポート説明	26	DACの設定	66
PC動作	26	リファレンス電圧	66
SPI動作	27	ビデオ出力バッファとオプションの出力フィルタ	66
レジスタ・マップのアクセス	28	プリント回路ボード (PCB) のレイアウト	67
レジスタのプログラミング	28	代表的なアプリケーション回路	69
サブアドレス・レジスタ (SR7～SR0)	28	付録1—コピー・ジェネレーション・マネジメント・システム	70
入力設定	45	SD CGMS	70
標準解像度専用	45	ED CGMS	70
拡張解像度／高解像度専用	46	HD CGMS	70
標準解像度と拡張解像度／高解像度の同時処理	46	CGMS CRC機能	70
拡張解像度専用 (54MHz)	47	付録2—SDワイド・スクリーン・シグナリング	73
出力設定	48	付録3—SDクローズド・キャプショニング	74
特長	49	付録4—内部テスト・パターン生成	75
出力オーバーサンプリング	49	SDテスト・パターン	75
ED/HD非標準タイミング・モード	49	ED/HDテスト・パターン	75
ED/HDタイミング・リセット	50	付録5—SDタイミング	76
SDサブキャリア周波数ロック、サブキャリア・フェーズ・		付録6—HDタイミング	81
リセット、タイミング・リセット	50	付録7—ビデオ出力レベル	82
SD VCR FF/RW同期	51	SD YPrPb出力レベル—SMPTE/EBU N10	82
垂直ブランキング期間	51	ED/HD YPrPb出力レベル	83
SDサブキャリア周波数レジスタ	51	SD/ED/HD RGB出力レベル	84
SDノンインターレース・モード	52	SD出力プロット	85
SDスクエア・ピクセル・モード	52	付録8—ビデオ規格	86
フィルタ	53	外形寸法	88
ED/HDテスト・パターンのカラー制御	54	オーダー・ガイド	88

目次（続き）

改訂履歴

10/06—Revision 0: Initial Version

ADV7340/ADV7341

詳細機能

高解像度 (HD) プログラマブル機能

(720p/1080i/1035i)
4倍オーバーサンプリング (297MHz)
内部テスト・パターン・ジェネレータ
完全にプログラマブルなYCrCb/RGBマトリックス
ガンマ補正
プログラマブルなアダプティブ・フィルタ制御
プログラマブルなシャープネス・フィルタ制御
CGMS (720p/1080i) およびCGMS Type B (720p/1080i)
アンダーシュート・リミッタ
デュアル・データレート (DDR) 入力
EIA/CEA-861Bコンプライアンス

拡張解像度 (ED) プログラマブル機能

(525p/625p)
8倍オーバーサンプリング (216MHz出力)
内部テスト・パターン・ジェネレータ
カラーおよびブラック・バー、ハッチ、平坦フィールド／フレーム
YとPrPb個々の出力遅延
ガンマ補正
プログラマブルなアダプティブ・フィルタ制御
完全にプログラマブルなYCrCb/RGBマトリックス
アンダーシュート・リミッタ
Macrovision Rev 1.2 (525p/625p)
CGMS (525p/625p) およびCGMS Type B (525p)
デュアル・データレート (DDR) 入力
EIA/CEA-861Bコンプライアンス

標準解像度 (SD) プログラマブル機能

16倍オーバーサンプリング (216MHz)
内部テスト・パターン・ジェネレータ
カラーおよびブラック・バー
Start/End of Active Video用にエッジ・レートを制御
YとPrPb個々の出力遅延
アンダーシュート・リミッタ
ガンマ補正
デジタル・ノイズ・リダクション (DNR)
複数のクロミナンス／ルミナンス・フィルタ
ゲイン／減衰量がプログラマブルなLuma-SSAF™フィルタ
PrPb SSAF™
コンポーネントおよびコンポジット／Sビデオ出力での独立したペDESTAL制御
VCR FF/RW同期モード
Macrovision Rev 7.1.L1
コピー・ジェネレーション・マネジメント・システム (CGMS)
ワイド・スクリーン・シグナリング
クローズド・キャプションング
EIA/CEA-861Bコンプライアンス

概要

ADV7340/ADV7341は、64ピンLQFPパッケージを採用した高速D/Aビデオ・エンコーダです。6個の高速、NSV、3.3Vの12ビット・ビデオDACにより、標準解像度 (SD)、拡張解像度 (ED)、または高解像度 (HD) のビデオ・フォーマットで、コンポジット (CVBS)、Sビデオ (YC)、およびコンポーネント (YPrPb/RGB) のアナログ出力をサポートします。

ADV7340/ADV7341は、さまざまな方法で設定可能な30ビットのピクセル入力ポートを内蔵しています。SDビデオ・フォーマットは、SDRインターフェースを使ってサポートします。ED/HDビデオ・フォーマットは、SDRインターフェースとDDRインターフェースを使ってサポートします。ピクセル・データは、YCrCb色空間またはRGB色空間で出力することができます。

ADV7340/ADV7341は、組込みEAV/SAVタイミング・コード、外部ビデオ同期信号、およびI²CとSPIの通信プロトコルもサポートします。

さらに、SDとED/HDの同時入出力もサポートします。216MHz (SDとED) と297MHz (HD) のオーバーサンプリングにより、外部出力フィルタリングは不要になります。さらに、フルドライブDACにより、外部出力バッファリングも不要になります。

ケーブル検出機能とDAC自動パワーダウン機能により、消費電力を最小限に抑えます。

表1に、ADV7340/ADV7341で直接サポートするビデオ規格を示します。

表1. ADV7340/ADV7341で直接サポートする規格¹

Resolution	I/P ²	Frame Rate (Hz)	Clock Input (MHz)	Standard
720 × 240	P	59.94	27	ITU-R BT.601/656
720 × 288	P	50	27	
720 × 480	I	29.97	27	
720 × 576	I	25	27	ITU-R BT.601/656
720 × 480	I	29.97	24.54	NTSC Square Pixel
720 × 576	I	25	29.5	PAL Square Pixel
720 × 483	P	59.94	27	SMPTE 293M
720 × 483	P	59.94	27	BTA T-1004
720 × 483	P	59.94	27	ITU-R BT.1358
720 × 576	P	50	27	ITU-R BT.1358
720 × 483	P	59.94	27	ITU-R BT.1362
720 × 576	P	50	27	ITU-R BT.1362
1920 × 1035	I	30	74.25	SMPTE 240M
1920 × 1035	I	29.97	74.1758	SMPTE 240M
1280 × 720	P	60, 50, 30, 25, 24	74.25	SMPTE 296M
1280 × 720	P	23.97, 59.94, 29.97	74.1758	SMPTE 296M
1920 × 1080	I	30, 25	74.25	SMPTE 274M
1920 × 1080	I	29.97	74.1758	SMPTE 274M
1920 × 1080	P	30, 25, 24	74.25	SMPTE 274M
1920 × 1080	P	23.98, 29.97	74.1758	SMPTE 274M
1920 × 1080	P	24	74.25	ITU-R BT.709-5

¹ 他の規格は、ED/HDの非標準タイミング・モードで対応します。

² I=インタレース、P=プログレッシブ。

仕様

電源仕様と電圧仕様

特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ (−40～+85℃) で規定。

表2

Parameter	Conditions	Min	Typ	Max	Unit
SUPPLY VOLTAGES					
V_{DD}		1.71	1.8	1.89	V
$V_{DD_{IO}}$		2.97	3.3	3.63	V
PV_{DD}		1.71	1.8	1.89	V
V_{AA}		2.6	3.3	3.465	V
POWER SUPPLY REJECTION RATIO			0.002		%/%

リファレンス電圧仕様

特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ (−40～+85℃) で規定。

表3

Parameter	Conditions	Min	Typ	Max	Unit
Internal Reference Range, V_{REF}		1.186	1.248	1.31	V
External Reference Range, V_{REF}		1.15	1.235	1.31	V
External V_{REF} Current ¹			±10		μA

¹ 内部 V_{REF} をオーバードライブするときは、外部電流が必要になります。

入力クロック仕様

$V_{DD}=1.71 \sim 1.89V$ 。 $PV_{DD}=1.71 \sim 1.89V$ 。 $V_{AA}=2.6 \sim 3.465V$ 。 $V_{DD_{IO}}=2.97 \sim 3.63V$ 。

特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ (−40～+85℃) で規定。

表4

Parameter	Conditions ¹	Min	Typ	Max	Unit
f_{CLKIN_A}	SD/ED		27		MHz
f_{CLKIN_A}	ED (at 54 MHz)		54		MHz
f_{CLKIN_A}	HD		74.25		MHz
f_{CLKIN_B}	ED		27		MHz
f_{CLKIN_B}	HD		74.25		MHz
CLKIN_A High Time, t_H		40			% of one clock cycle
CLKIN_A Low Time, t_L		40			% of one clock cycle
CLKIN_B High Time, t_H		40			% of one clock cycle
CLKIN_B Low Time, t_L		40			% of one clock cycle
CLKIN_A Peak-to-Peak Jitter Tolerance			2		±ns
CLKIN_B Peak-to-Peak Jitter Tolerance			2		±ns

¹ SD＝標準解像度、ED＝拡張解像度 (525p/625p)、HD＝高解像度。

ADV7340/ADV7341

アナログ出力仕様

$V_{DD} = 1.71 \sim 1.89V$ 。 $PV_{DD} = 1.71 \sim 1.89V$ 。 $V_{AA} = 2.6 \sim 3.465V$ 。 $V_{DD_IO} = 2.97 \sim 3.63V$ 。 $V_{REF} = 1.235V$ （外部から駆動）。
特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ （ $-40 \sim +85^{\circ}C$ ）で規定。

表5

Parameter	Conditions	Min	Typ	Max	Unit
Full-Drive Output Current (Full-Scale) ¹	$R_{SET} = 510\Omega$, $R_L = 37.5\Omega$	33	34.6	37	mA
Low Drive Output Current (Full-Scale) ²	$R_{SET} = 4.12\text{ k}\Omega$, $R_L = 300\Omega$	4.1	4.3	4.5	mA
DAC-to-DAC Matching	DAC 1 to DAC 6		1.0		%
Output Compliance, V_{OC}		0		1.4	V
Output Capacitance, C_{OUT}	DAC 1, DAC 2, DAC 3		10		pF
	DAC 4, DAC 5, DAC 6		6		pF
Analog Output Delay ³	DAC 1, DAC 2, DAC 3		8		ns
	DAC 4, DAC 5, DAC 6		6		ns
DAC Analog Output Skew	DAC 1, DAC 2, DAC 3		2		ns
	DAC 4, DAC 5, DAC 6		1		ns

¹ フルドライブ機能を持つDAC（DAC 1、DAC 2、DAC 3）にのみ適用。

² すべてのDACに適用可能。

³ 入力クロックの立上がりエッジの50%ポイントからDAC出力フルスケール変化の50%ポイントまでで測定した出力遅延。

デジタル入出力仕様

$V_{DD} = 1.71 \sim 1.89V$ 。 $PV_{DD} = 1.71 \sim 1.89V$ 。 $V_{AA} = 2.6 \sim 3.465V$ 。 $V_{DD_IO} = 2.97 \sim 3.63V$ 。
特に指定のない限り、すべての仕様はすべての仕様は $T_{MIN} \sim T_{MAX}$ （ $-40 \sim +85^{\circ}C$ ）で規定。

表6

Parameter	Conditions	Min	Typ	Max	Unit
Input High Voltage, V_{IH}		2.0			V
Input Low Voltage, V_{IL}				0.8	V
Input Leakage Current, I_{IN}	$V_{IN} = V_{DD_IO}$			± 10	μA
Input Capacitance, C_{IN}			4		pF
Output High Voltage, V_{OH}	$I_{SOURCE} = 400\text{ }\mu A$	2.4			V
Output Low Voltage, V_{OL}	$I_{SINK} = 3.2\text{ mA}$			0.4	V
Three-State Leakage Current	$V_{IN} = 0.4\text{ V}, 2.4\text{ V}$			± 1.0	μA
Three-State Output Capacitance			4		pF

デジタル・タイミング仕様

$V_{DD}=1.71\sim1.89V$ 。 $PV_{DD}=1.71\sim1.89V$ 。 $V_{AA}=2.6\sim3.465V$ 。 $V_{DD_{IO}}=2.97\sim3.63V$ 。

特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ （ $-40\sim+85^{\circ}C$ ）で規定。

表7

Parameter	Conditions ¹	Min	Typ	Max	Unit
VIDEO DATA AND VIDEO CONTROL PORT ^{2,3}					
Data Setup Time, t_{11} ⁴	SD	2.1			ns
	ED/HD-SDR	2.3			ns
	ED/HD-DDR	2.3			ns
	ED (at 54 MHz)	1.7			ns
Data Hold Time, t_{12} ⁴	SD	1.0			ns
	ED/HD-SDR	1.1			ns
	ED/HD-DDR	1.1			ns
	ED (at 54 MHz)	1.0			ns
Control Setup Time, t_{11} ⁴	SD	2.1			ns
	ED/HD-SDR or ED/HD-DDR	2.3			ns
	ED (at 54 MHz)	1.7			ns
Control Hold Time, t_{12} ⁴	SD	1.0			ns
	ED/HD-SDR or ED/HD-DDR	1.1			ns
	ED (at 54 MHz)	1.0			ns
Digital Output Access Time, t_{13} ⁴	SD			12	ns
	ED/HD-SDR, ED/HD-DDR or ED (at 54 MHz)			10	ns
Digital Output Hold Time, t_{14} ⁴	SD	4.0			ns
	ED/HD-SDR, ED/HD-DDR or ED (at 54 MHz)	3.5			ns
PIPELINE DELAY ⁵					
SD ¹					
CVBS/YC Outputs (2×)	SD oversampling disabled		68		clock cycles
CVBS/YC Outputs (16×)	SD oversampling enabled		67		clock cycles
Component Outputs (2×)	SD oversampling disabled		78		clock cycles
Component Outputs (16×)	SD oversampling enabled		84		clock cycles
ED ¹					
Component Outputs (1×)	ED oversampling disabled		41		clock cycles
Component Outputs (8×)	ED oversampling enabled		46		clock cycles
HD ¹					
Component Outputs (1×)	HD oversampling disabled		40		clock cycles
Component Outputs (4×)	HD oversampling enabled		44		clock cycles

¹ SD=標準解像度、ED=拡張解像度（525p/625p）、HD=高解像度、SDR=シングル・データレート、DDR=デュアル・データレート。

² ビデオ・データ：C[9:0]、Y[9:0]、S[9:0]。

³ ビデオ制御：P_HSYNC、P_VSYNC、P_BLANK、S_HSYNC、S_VSYNC。

⁴ キャラクタライゼーションにより保証。

⁵ 設計により保証。

ADV7340/ADV7341

MPUポート・タイミング仕様

$V_{DD}=1.71\sim 1.89V$ 、 $PV_{DD}=1.71\sim 1.89V$ 、 $V_{AA}=2.6\sim 3.465V$ 、 $V_{DD_IO}=2.97\sim 3.63V$ 。

特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ （ $-40\sim +85^{\circ}C$ ）で規定。

表8

Parameter	Conditions	Min	Typ	Max	Unit
MPU PORT, I ² C MODE ¹	See Figure 19				
SCL Frequency		0		400	kHz
SCL High Pulse Width, t_1		0.6			μs
SCL Low Pulse Width, t_2		1.3			μs
Hold Time (Start Condition), t_3		0.6			μs
Setup Time (Start Condition), t_4		0.6			μs
Data Setup Time, t_5		100			ns
SDA, SCL Rise Time, t_6				300	ns
SDA, SCL Fall Time, t_7				300	ns
Setup Time (Stop Condition), t_8		0.6			μs
MPU PORT, SPI MODE ¹	See Figure 20				
SCLK Frequency		0		10	MHz
$\overline{SPI_SS}$ to SCLK Setup Time, t_1		20			ns
SCLK High Pulse Width, t_2		50			ns
SCLK Low Pulse Width, t_3		50			ns
Data Access Time after SCLK Falling Edge, t_4				35	ns
Data Setup Time prior to SCLK Rising Edge, t_5		20			ns
Data Hold Time after SCLK Rising Edge, t_6		0			ns
$\overline{SPI_SS}$ to SCLK Hold Time, t_7		0			ns
$\overline{SPI_SS}$ to MISO High Impedance, t_8				40	ns

¹ キャラクタライゼーションにより保証。

電源仕様

$V_{DD}=1.8V$ 、 $PV_{DD}=1.8V$ 、 $V_{AA}=3.3V$ 、 $V_{DD_IO}=3.3V$ 、 $T_A=25^{\circ}C$ 。

表9

Parameter	Conditions	Min	Typ	Max	Unit
NORMAL POWER MODE ^{1, 2}					
I_{DD} ³	SD only (16× oversampling)		90		mA
	ED only (8× oversampling) ⁴		65		mA
	HD only (4× oversampling) ⁴		91		mA
	SD (16× oversampling) and ED (8× oversampling)		95		mA
	SD (16× oversampling) and HD (4× oversampling)		122		mA
I_{DD_IO}			1		mA
I_{AA}	3 DACs enabled (ED/HD only)		124		mA
	6 DACs enabled (SD only and simultaneous modes)		140		mA
I_{PLL}	SD only, ED only or HD only modes		5		mA
	Simultaneous modes		10		mA
SLEEP MODE					
I_{DD}			5		μA
I_{AA}			0.3		μA
I_{DD_IO}			0.2		μA
I_{PLL}			0.1		μA

¹ $R_{SET1}=510\Omega$ (DAC 1、DAC 2、DAC 3はフルドライブ・モードで動作)。 $R_{SET2}=4.12k\Omega$ (DAC 4、DAC 5、DAC 6はロードドライブ・モードで動作)。

² ピクセル・データ・ピンに75%のカラール・パター・テスト・パターンを入力。

³ I_{DD} は、デジタル・コアの駆動に必要な連続電流です。

⁴ シングル・データレート (SDR) とデュアル・データレート (DDR) の両方の入力モードに適用できます。

ビデオ性能仕様

$V_{DD}=1.8V$ 、 $PV_{DD}=1.8V$ 、 $V_{AA}=3.3V$ 、 $V_{DD_IO}=3.3V$ 、 $T_A=25^{\circ}C$ 。 V_{REF} は外部駆動。

表10

Parameter	Conditions	Min	Typ	Max	Unit
STATIC PERFORMANCE					
Resolution			12		Bits
Integral Nonlinearity	$R_{SET1} = 510\ \Omega$, $R_{L1} = 37.5\ \Omega$		0.75		LSBs
	$R_{SET2} = 4.12\ k\Omega$, $R_{L2} = 300\ \Omega$		1		LSBs
Differential Nonlinearity ¹ +ve	$R_{SET1} = 510\ \Omega$, $R_{L1} = 37.5\ \Omega$		0.25		LSBs
	$R_{SET2} = 4.12\ k\Omega$, $R_{L2} = 300\ \Omega$		0.8		LSBs
Differential Nonlinearity ¹ -ve	$R_{SET1} = 510\ \Omega$, $R_{L1} = 37.5\ \Omega$		0.43		LSBs
	$R_{SET2} = 4.12\ k\Omega$, $R_{L2} = 300\ \Omega$		0.35		LSBs
STANDARD DEFINITION (SD) MODE					
Luminance Nonlinearity			0.35		$\pm\%$
Differential Gain	NTSC		0.3		$\%$
Differential Phase	NTSC		0.4		Degrees
SNR	Luma ramp		63		dB
SNR	Flat field full bandwidth		79.5		dB
ENHANCED DEFINITION (ED) MODE					
Luma Bandwidth			12.5		MHz
Chroma Bandwidth			5.8		MHz
HIGH DEFINITION (HD) MODE					
Luma Bandwidth			30		MHz
Chroma Bandwidth			13.75		MHz

¹ 微分非直線性 (DNL) とは、実際のDAC出力電圧ステップと理想値との偏差です。+ve DNLの場合は、実際のステップ値は理想的なステップ値の上側にあります。-ve DNLの場合は、実際のステップ値は理想的なステップ値の下側にあります。

ADV7340/ADV7341

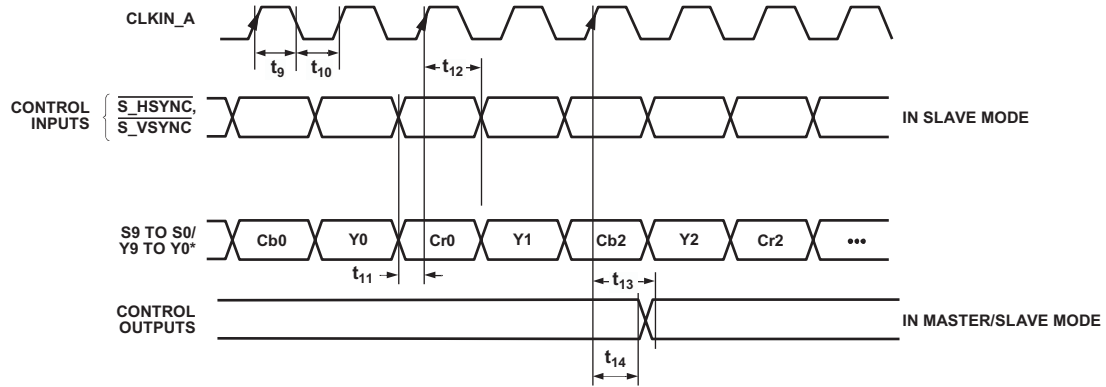
タイミング図

図2～図13では、次の省略形を使用します。

- t_9 = クロック・ハイレベル時間
- t_{10} = クロック・ローレベル時間
- t_{11} = データ・セットアップ時間
- t_{12} = データ・ホールド時間

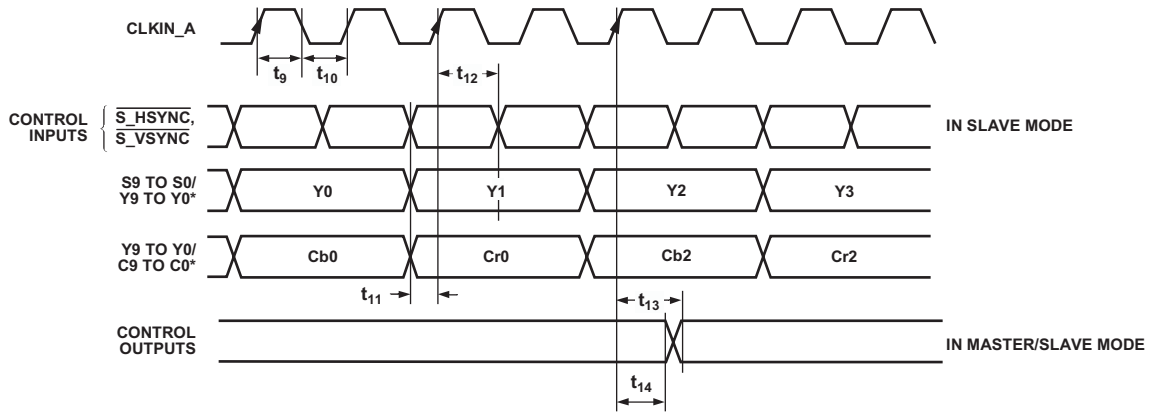
- t_{13} = 制御出力アクセス時間
- t_{14} = 制御出力ホールド時間

さらに、ADV7340/ADV7341の入力設定については、表31を参照してください。



*SELECTED BY SUBADDRESS 0x01, BIT 7.

図2. SD専用、8/10ビット、4:2:2 YCrCbピクセル入力モード（入力モード000）



*SELECTED BY SUBADDRESS 0x01, BIT 7.

図3. SD専用、16/20ビット、4:2:2 YCrCbピクセル入力モード（入力モード000）

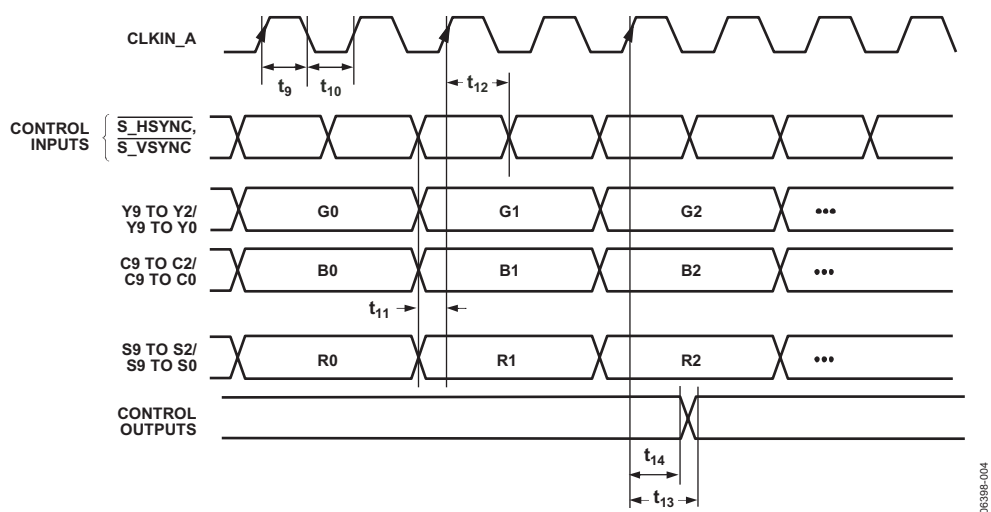


図4. SD専用、24/30ビット、4:4:4 RGBピクセル入力モード（入力モード000）

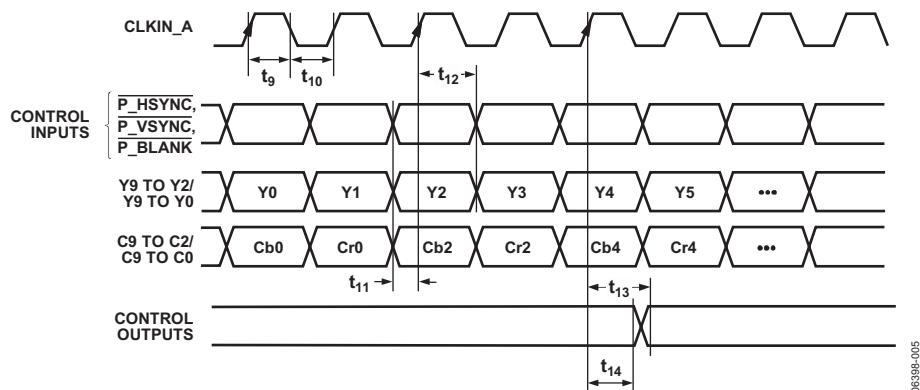


図5. ED/HD-SDR専用、16/20ビット、4:2:2 YCrCbピクセル入力モード（入力モード001）

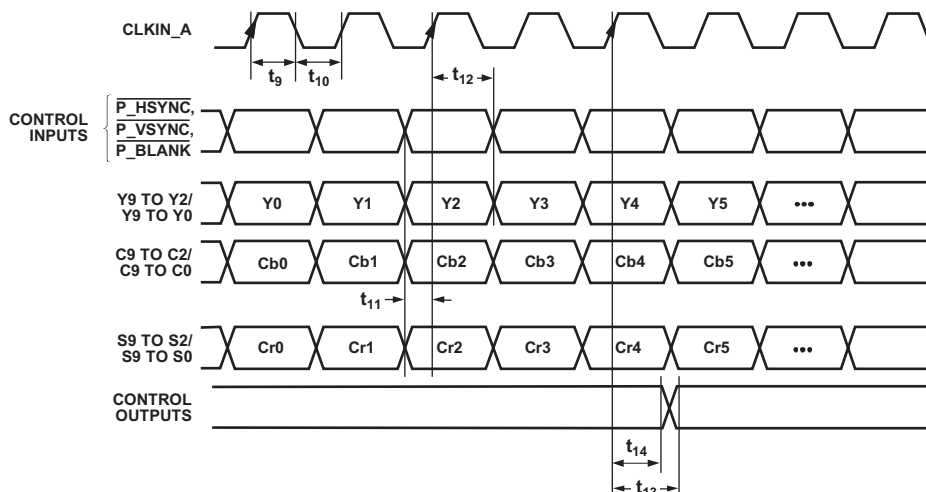


図6. ED/HD-SDR専用、24/30ビット、4:4:4 YCrCbピクセル入力モード（入力モード001）

ADV7340/ADV7341

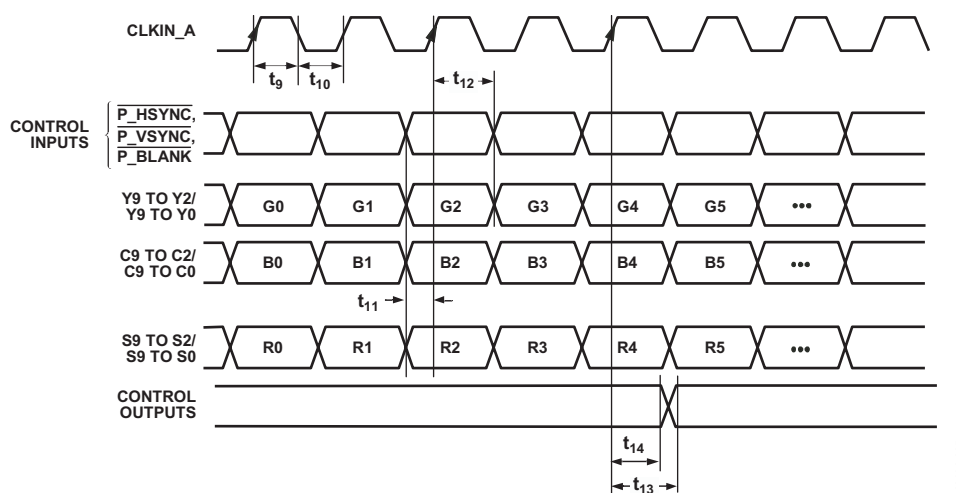
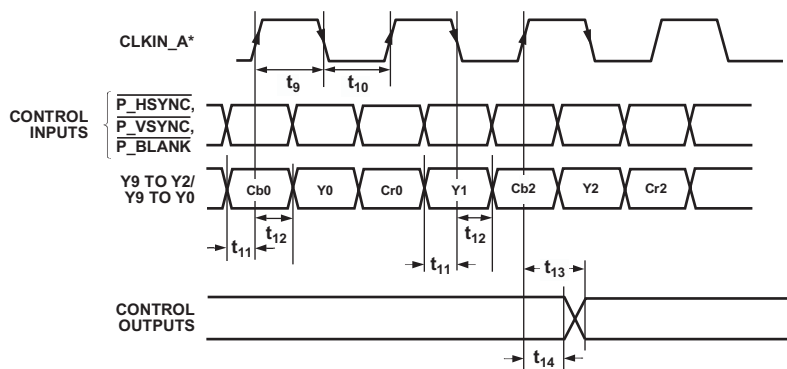
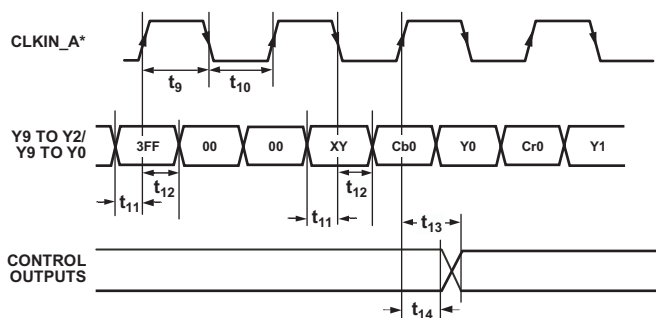


図7. ED/HD-SDR専用、24/30ビット、4:4:4 RGBピクセル入力モード（入力モード001）



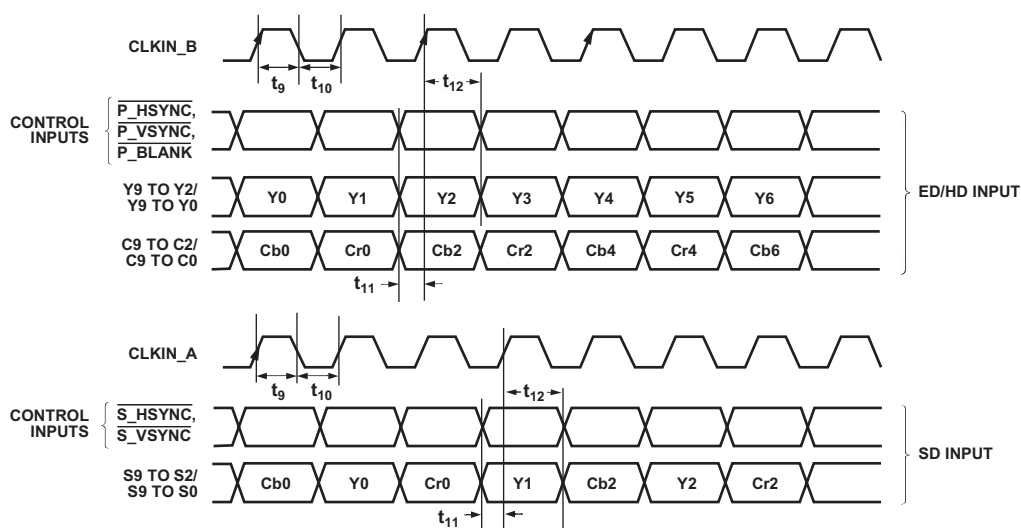
*LUMA/CHROMA CLOCK RELATIONSHIP CAN BE INVERTED
USING SUBADDRESS 0x01, BITS 1 AND 2.

図8. ED/HD-DDR専用、8/10ビット、4:2:2 YCrCb (HSYNC/VSYNC) ピクセル入力モード（入力モード010）



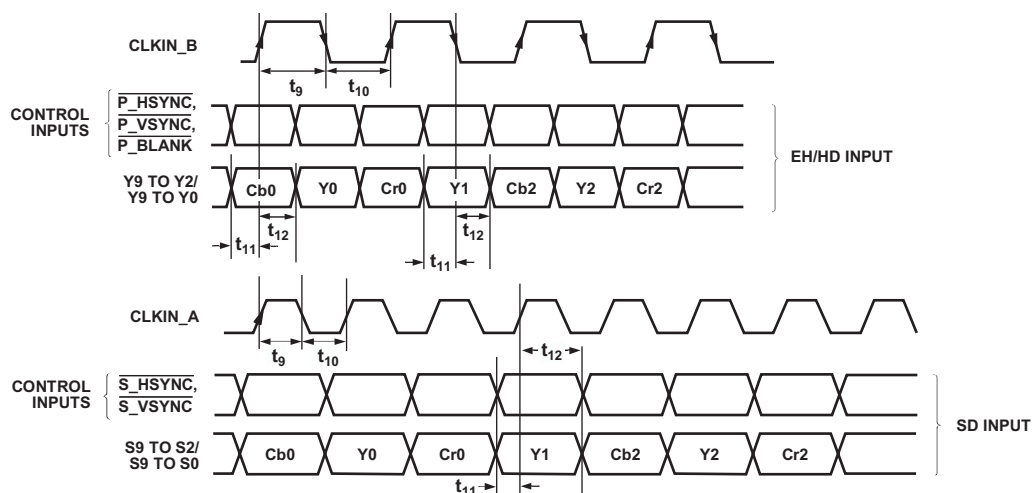
*LUMA/CHROMA CLOCK RELATIONSHIP CAN BE INVERTED
USING SUBADDRESS 0x01, BITS 1 AND 2.

図9. ED/HD-DDR専用、8/10ビット、4:2:2 YCrCb (EAV/SAV) ピクセル入力モード（入力モード010）



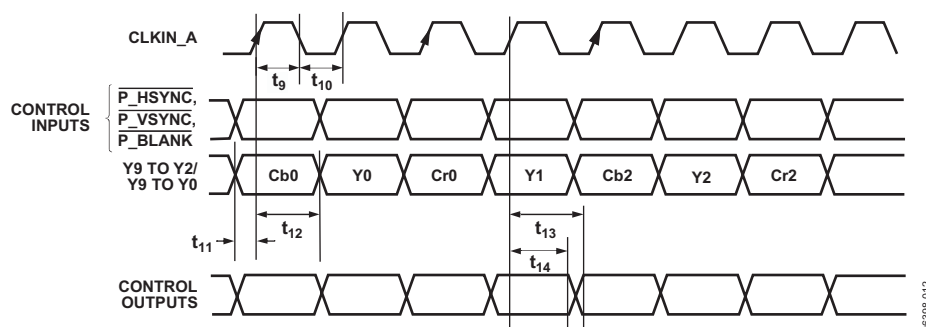
06398-010

図10. SD、ED/HD-SDR入力モード、16/20ビット、4:2:2 ED/HDと8/10ビット、SDピクセル入力モード（入力モード011）



06398-011

図11. SD、ED/HD-DDR入力モード、8/10ビット、4:2:2 ED/HDと8/10ビット、SDピクセル入力モード（入力モード100）



06398-012

図12. ED専用（54MHz）、8/10ビット、4:2:2 YCrCb（HSYNC/VSYNC）ピクセル入力モード（入力モード111）

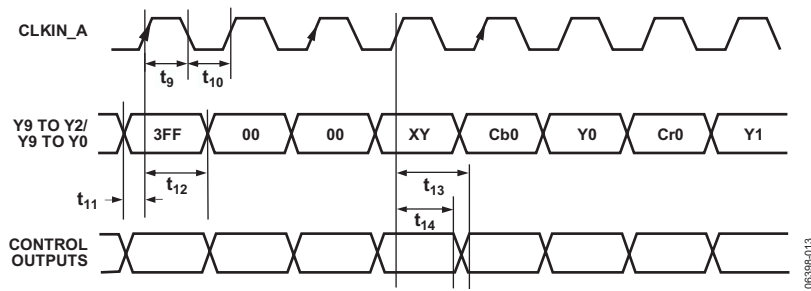
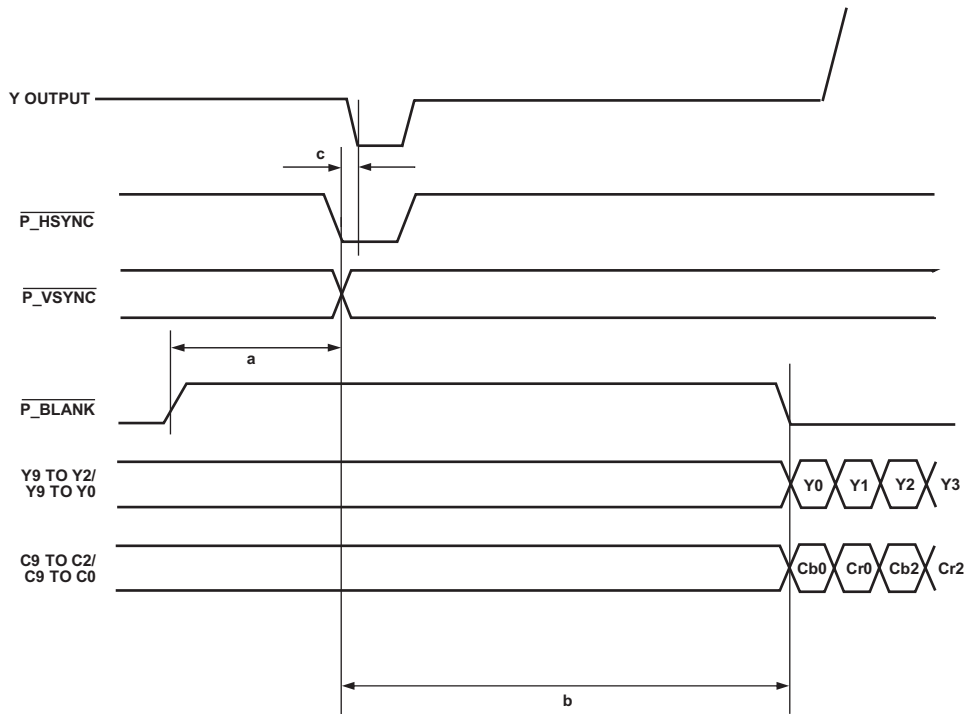


図13. ED専用 (54MHz)、8/10ビット、4:2:2 YCrCb (EAV/SAV) ピクセル入力モード (入力モード111)

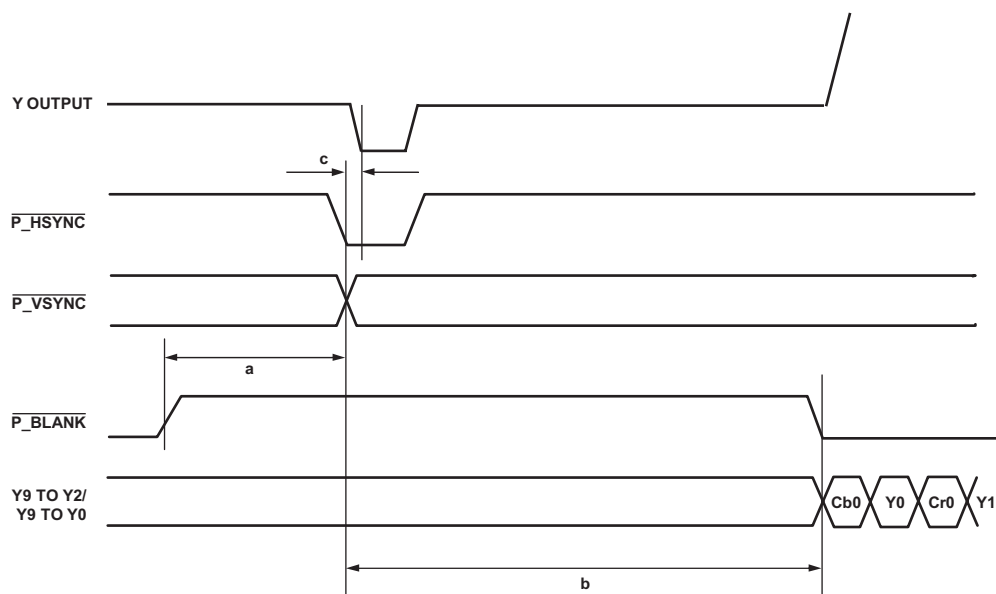


a AND b AS PER RELEVANT STANDARD.

c = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF HSYNC INTO THE ENCODER GENERATES A SYNC FALLING EDGE ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

図14. ED-SDR、16/20ビット、4:2:2 YCrCb (HSYNC/VSYNC) 入力のタイミング図



a = 32 CLKCYCLES FOR 525p
a = 24 CLKCYCLES FOR 625p
AS RECOMMENDED BY STANDARD

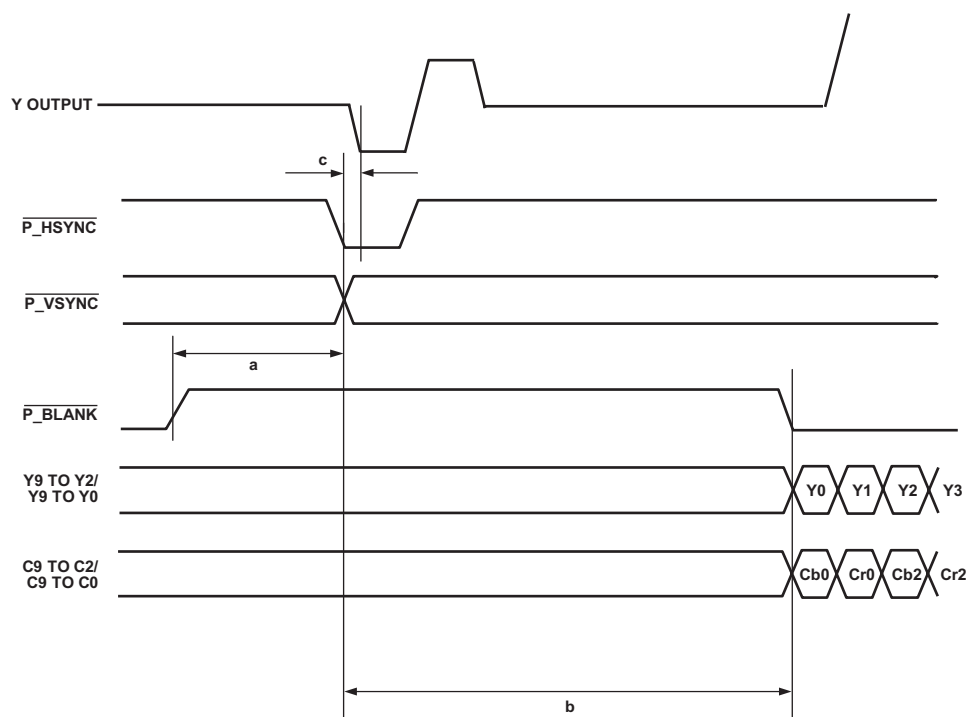
b(MIN) = 244 CLKCYCLES FOR 525p
b(MIN) = 264 CLKCYCLES FOR 625p

c = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A SYNC FALLING EDGE ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

00398-015

図15. ED-DDR、8/10ビット、4:2:2 YCrCb ($\overline{\text{HSYNC}}$ / $\overline{\text{VSYNC}}$) 入力のタイミング図



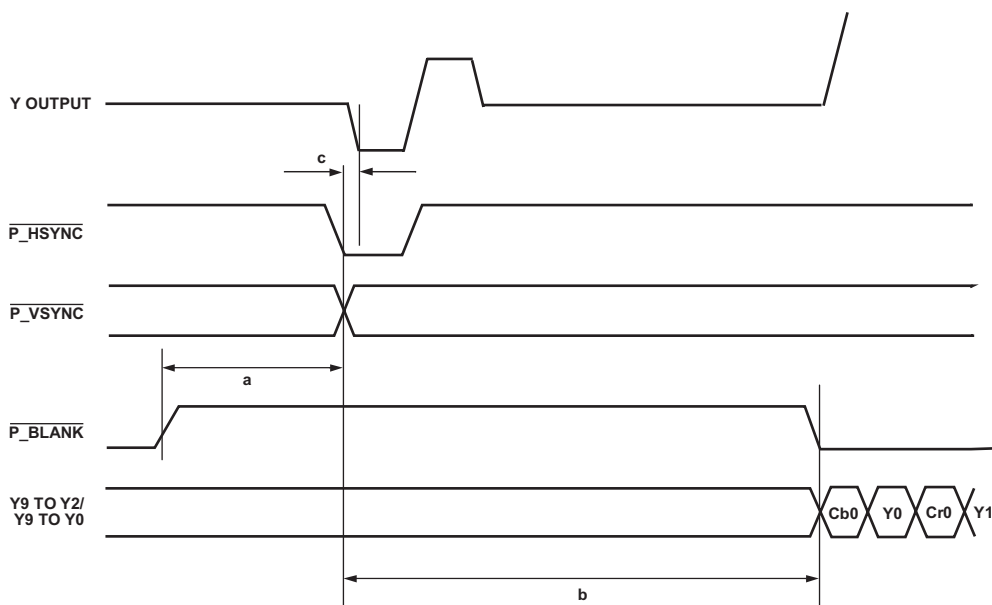
a AND b AS PER RELEVANT STANDARD.

c = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A FALLING EDGE OF TRI-LEVEL SYNC ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

00398-016

図16. HD-SDR、16/20ビット、4:2:2 YCrCb ($\overline{\text{HSYNC}}$ / $\overline{\text{VSYNC}}$) 入力のタイミング図

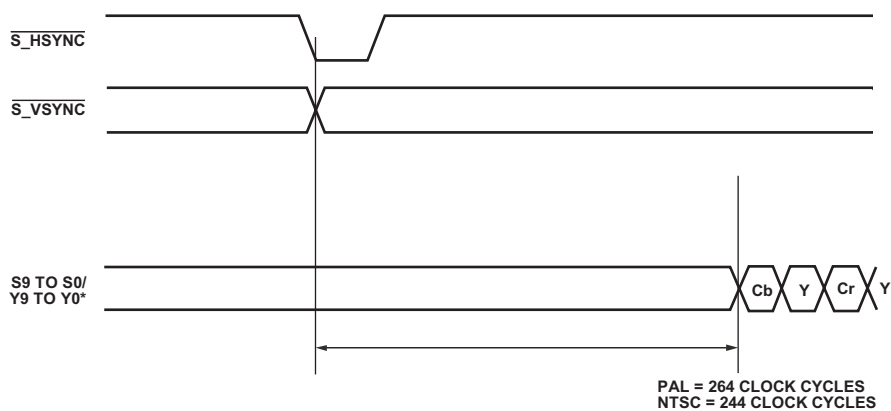


a AND b AS PER RELEVANT STANDARD.

c = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A FALLING EDGE OF TRI-LEVEL SYNC ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

図17. HD-DDR、8/10ビット、4:2:2 YCrCb ($\overline{\text{HSYNC}}/\overline{\text{VSYNC}}$) 入力のタイミング図



PAL = 264 CLOCK CYCLES
NTSC = 244 CLOCK CYCLES

*SELECTED BY SUBADDRESS 0x01, BIT 7.

図18. SD入力のタイミング図 (タイミング・モード1)

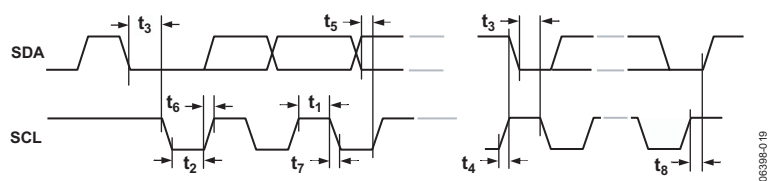


図19. MPUポートのタイミング図 (I²Cモード)

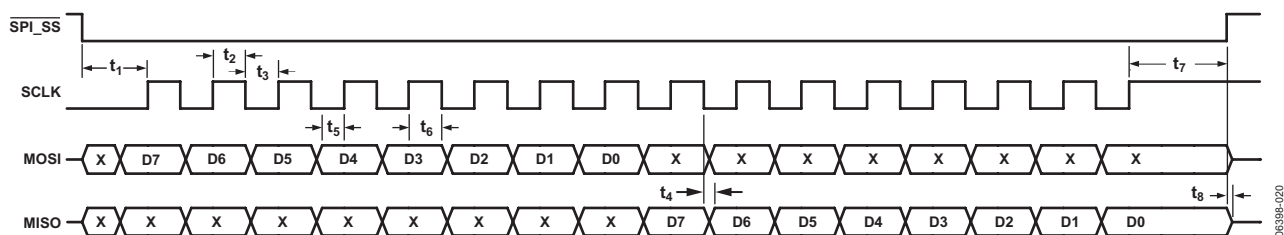


図20. MPUポートのタイミング図 (SPIモード)

ADV7340/ADV7341

絶対最大定格

表11

Parameter ¹	Rating
V _{AA} to AGND	−0.3 V to +3.9 V
V _{DD} to DGND	−0.3 V to +2.3 V
PV _{DD} to PGND	−0.3 V to +2.3 V
V _{DD_IO} to GND_IO	−0.3 V to +3.9 V
V _{AA} to V _{DD}	−0.3 V to +2.2 V
V _{DD} to PV _{DD}	−0.3 V to +0.3 V
V _{DD_IO} to V _{DD}	−0.3 V to +2.2 V
AGND to DGND	−0.3 V to +0.3 V
AGND to PGND	−0.3 V to +0.3 V
AGND to GND_IO	−0.3 V to +0.3 V
DGND to PGND	−0.3 V to +0.3 V
DGND to GND_IO	−0.3 V to +0.3 V
PGND to GND_IO	−0.3 V to +0.3 V
Digital Input Voltage to GND_IO	−0.3 V to V _{DD_IO} + 0.3 V
Analog Outputs to AGND	−0.3 V to V _{AA}
Storage Temperature Range (T _S)	−65°C to +150°C
Junction Temperature (T _J)	150°C
Lead Temperature (Soldering, 10 sec)	260°C

¹ 任意の電源またはコモンに対するアナログ出力の短絡時間は、無限とすることができます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ADV7340/ADV7341は、高性能の集積回路です。ESD定格は1kV未満であるため、ESDの影響を受けやすくなっています。したがって、デバイスの取扱い時や組立て時には、適切な予防措置を講じてください。

熱抵抗

θ_{JA}は、最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表12. 熱抵抗¹

Package Type	θ _{JA}	θ _{JC}	Unit
64-Lead LQFP	47	11	°C/W

¹ 値は、JEDEC 4層テスト基板を基準にしています。

ADV7340/ADV7341は鉛フリー製品です。リード仕上りは純度100%のSn電気メッキです。デバイスはRoHS準拠であり、255°C (±5°C) までのIRリフロー (JEDEC STD-20) 鉛フリー処理に適しています。

本製品は、従来型のSnPbハンダ処理製品と後方互換性があります。電気メッキされたSnコーティングは、Sn/Pbハンダ・ペーストを用いて従来型リフロー温度220~235°Cでハンダ付けできます。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

ピン配置と機能の説明

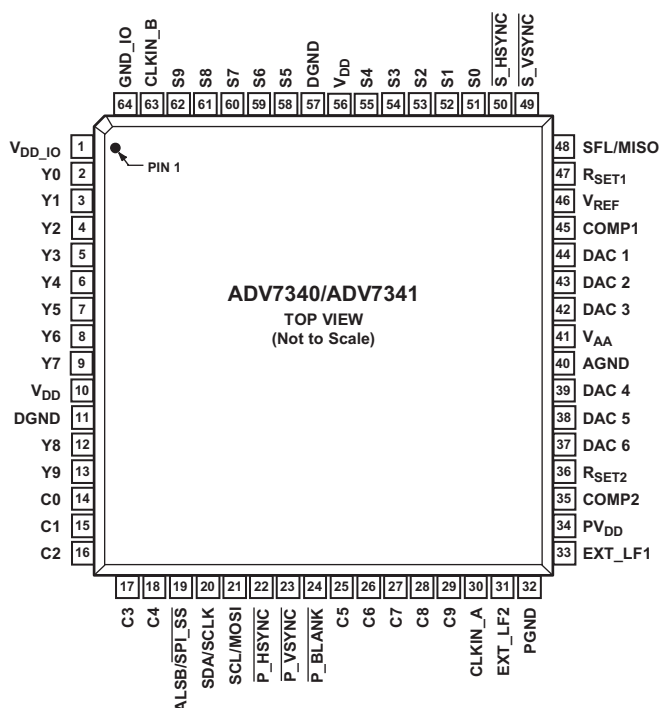


図21. ピン配置

表13. ピン機能の説明

ピン番号	記号	入出力	説明
13, 12, 9 to 2	Y9 to Y0	I	10ビット・ピクセル・ポート (Y9～Y0)。Y0はLSBです。入力モードについては表31を参照。
29 to 25, 18 to 14	C9 to C0	I	10ビット・ピクセル・ポート (C9～C0)。C0はLSBです。入力モードについては表31を参照。
62 to 58, 55 to 51	S9 to S0	I	10ビット・ピクセル・ポート (S9～S0)。S0はLSBです。入力モードについては表31を参照。
30	CLKIN_A	I	HD専用 (74.25MHz)、ED ¹ 専用 (27MHzまたは54MHz)、またはSD専用 (27MHz) のピクセル・クロック入力
63	CLKIN_B	I	デュアル・モード専用のピクセル・クロック入力。ED動作の27MHz基準クロック、またはHD動作の74.25MHz基準クロックを必要とします。
50	$\overline{S_HSYNC}$	I/O	SD水平同期信号。このピンは、SD、ED、またはHDの水平同期信号を出力するようにも設定できます。「水平／垂直外部同期制御」を参照。
49	$\overline{S_VSYNC}$	I/O	SD垂直同期信号。このピンは、SD、ED、またはHDの垂直同期信号を出力するようにも設定できます。「水平／垂直外部同期制御」を参照。
22	$\overline{P_HSYNC}$	I	ED/HD水平同期信号。「水平／垂直外部同期制御」を参照。
23	$\overline{P_VSYNC}$	I	ED/HD垂直同期信号。「水平／垂直外部同期制御」を参照。
24	$\overline{P_BLANK}$	I	ED/HDブランキング信号。「水平／垂直外部同期制御」を参照。
48	SFL/MISO	I/O	多機能ピン：サブキャリア周波数ロック (SFL) 入力／SPIデータ出力。SFL入力は、カラー・サブキャリアDDSシステム、タイミング・リセット、またはサブキャリア・リセットの駆動に使用されます。
47	R _{SET1}	I	このピンは、DAC 1、DAC 2、およびDAC 3出力の振幅制御に使用されます。フルドライブ動作 (たとえば、37.5Ω負荷) の場合は、R _{SET1} とAGNDの間に510Ω抵抗を接続する必要があります。ロードドライブ動作 (たとえば、300Ω負荷) の場合は、R _{SET1} とAGNDの間に4.12kΩ抵抗を接続する必要があります。
36	R _{SET2}	I	このピンは、DAC 4、DAC 5、DAC 6出力の振幅の制御に使用されます。R _{SET2} とAGNDの間に4.12kΩ抵抗を接続する必要があります。

ADV7340/ADV7341

ピン番号	記号	入出力	説明
45, 35	COMP1, COMP2	O	補償ピン。両方のCOMPピンとV _{AA} の間に2.2nFコンデンサを接続します。
44, 43, 42	DAC 1, DAC 2, DAC 3	O	DAC出力。フルドライブ／ロードドライブ対応のDAC
39, 38, 37	DAC 4, DAC 5, DAC 6	O	DAC出力。ロードドライブのみ対応のDAC。
21	SCL/MOSI	I	多機能ピン：I ² Cクロック入力／SPIデータ入力。
20	SDA/SCLK	I/O	多機能ピン：I ² Cデータ入出力。また、SPIクロック入力。
19	ALSB/SPI_SS	I	多機能ピン：この信号はMPU I ² CアドレスのLSB ² を設定します。また、SPIスレーブ・セレクト。
46	V _{REF}		DAC用のオプションの外部リファレンス電圧入力またはリファレンス電圧出力。
41	V _{AA}	P	アナログ電源（3.3V）
10, 56	V _{DD}	P	デジタル電源（1.8V）。両電源構成では、V _{DD} は、フェライト・ビーズまたは適切なフィルタリングを経由して、他の1.8V電源に接続できます。
1	V _{DD_IO}	P	入出力デジタル電源（3.3V）
34	PV _{DD}	P	PLL電源（1.8V）。両電源構成では、PV _{DD} は、フェライト・ビーズまたは適切なフィルタリングを経由して、他の1.8V電源に接続できます。
33	EXT_LF1	I	オンチップPLL 1用の外部ループ・フィルタ
31	EXT_LF2	I	オンチップPLL 2用の外部ループ・フィルタ
32	PGND	G	PLLグラウンド・ピン
40	AGND	G	アナログ・グラウンド・ピン
11, 57	DGND	G	デジタル・グラウンド・ピン
64	GND_IO	G	入出力電源グラウンド・ピン

¹ ED＝拡張解像度＝525pと625p。

² LSB＝下位ビット。ADV7340では、LSBを0に設定すると、I²Cアドレスは0xD4に設定されます。LSBを1に設定すると、I²Cアドレスは0xD6に設定されます。ADV7341では、LSBを0に設定すると、I²Cアドレスは0x54に設定されます。LSBを1に設定すると、I²Cアドレスは0x56に設定されます。

代表的な性能特性

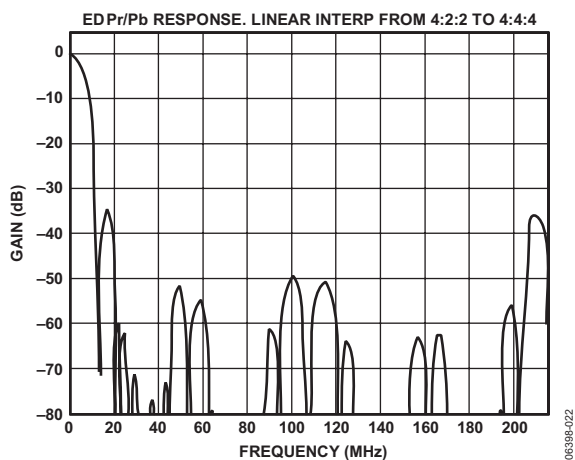


図22. ED 8倍オーバーサンプリング、PrPbフィルタ（線形）応答

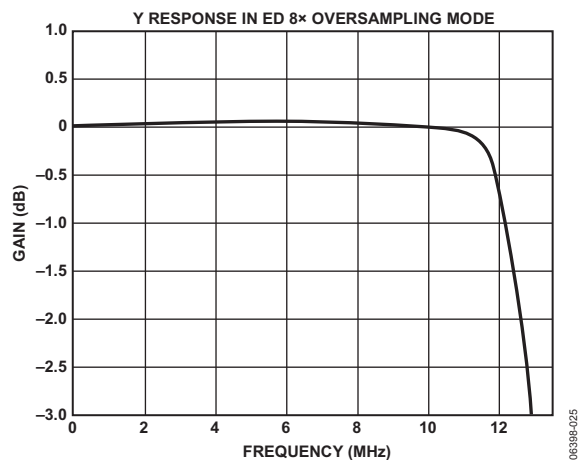


図25. ED 8倍オーバーサンプリング、Yフィルタ応答（通過帯域に注目）

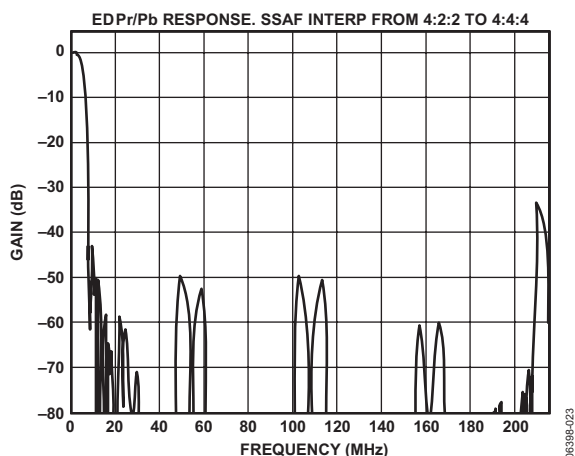


図23. ED 8倍オーバーサンプリング、PrPbフィルタ（SSAF）応答

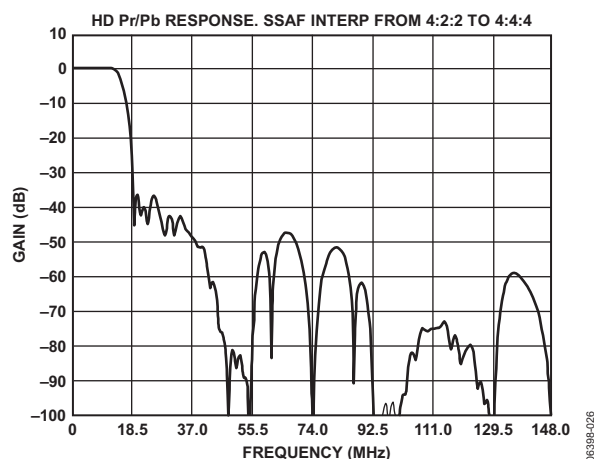


図26. HD 4倍オーバーサンプリング、PrPb（SSAF）フィルタ応答（4:2:2入力）

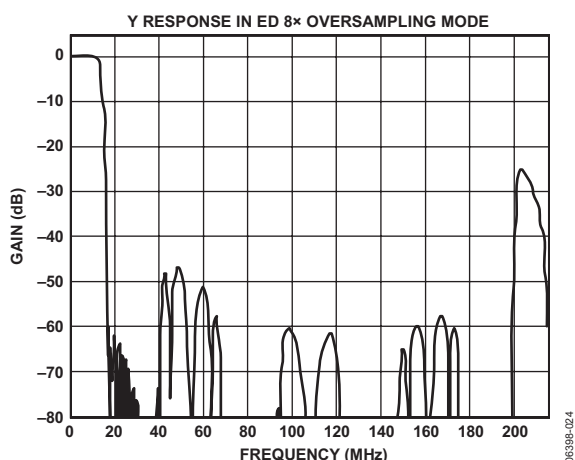


図24. ED 8倍オーバーサンプリング、Yフィルタ応答

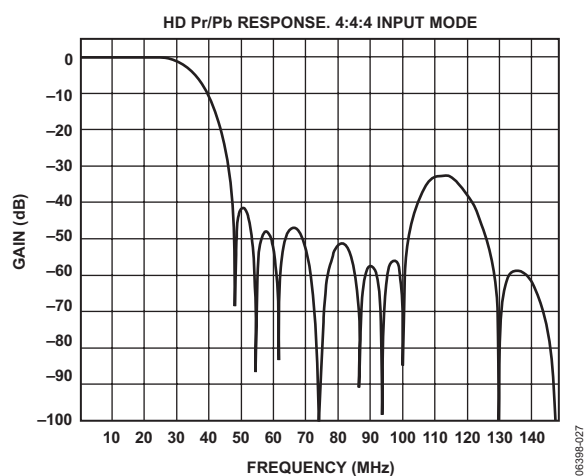


図27. HD 4倍オーバーサンプリング、PrPb（SSAF）フィルタ応答（4:4:4入力）

ADV7340/ADV7341

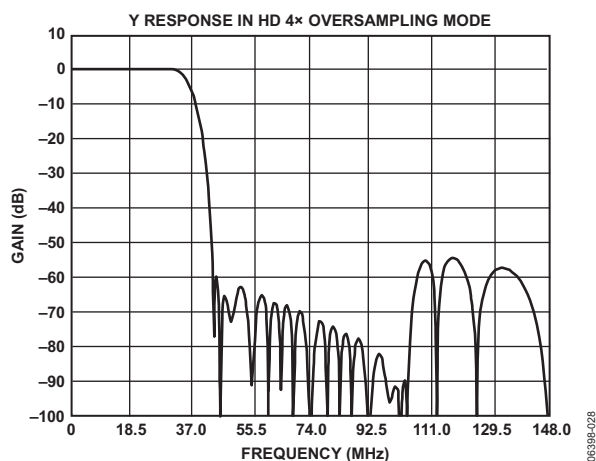


図28. HD 4倍オーバーサンプリング、Yフィルタ応答

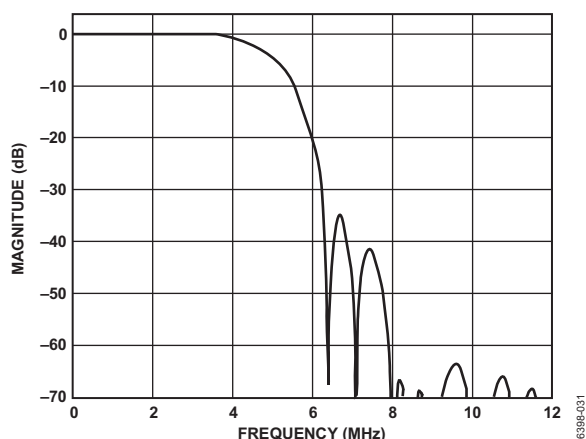


図31. SD PAL、ルミナンス・ローパス・フィルタ応答

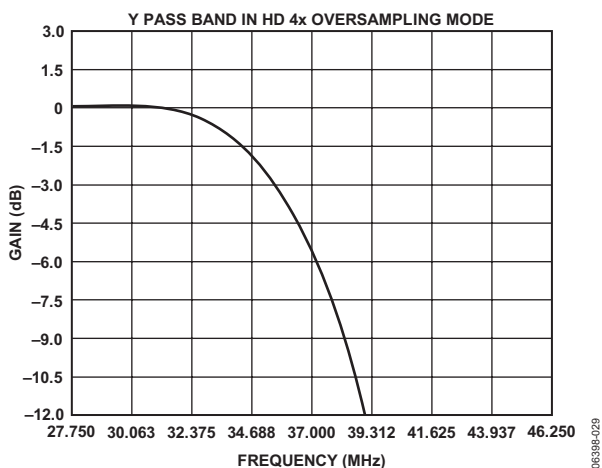


図29. HD 4倍オーバーサンプリング、Yフィルタ応答
(通過帯域にフォーカス)

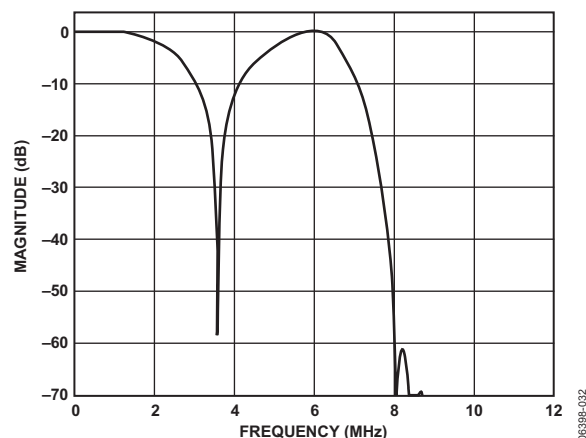


図32. SD NTSC、ルミナンス・ノッチ・フィルタ応答

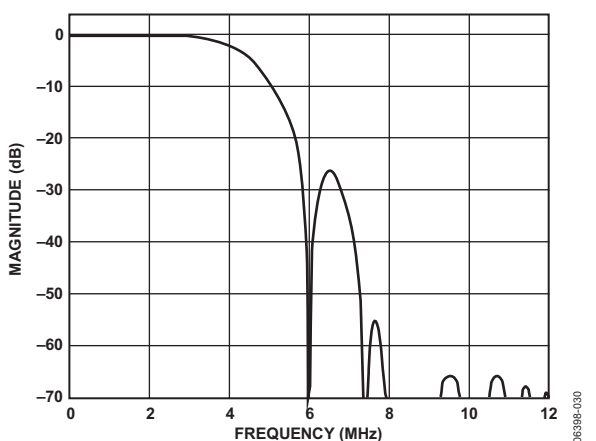


図30. SD NTSC、ルミナンス・ローパス・フィルタ応答

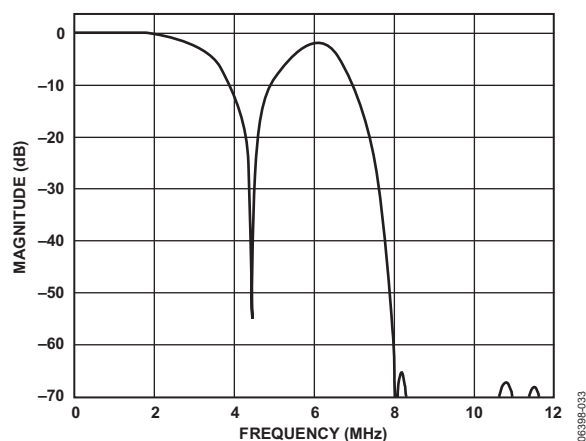


図33. SD PAL、ルミナンス・ノッチ・フィルタ応答

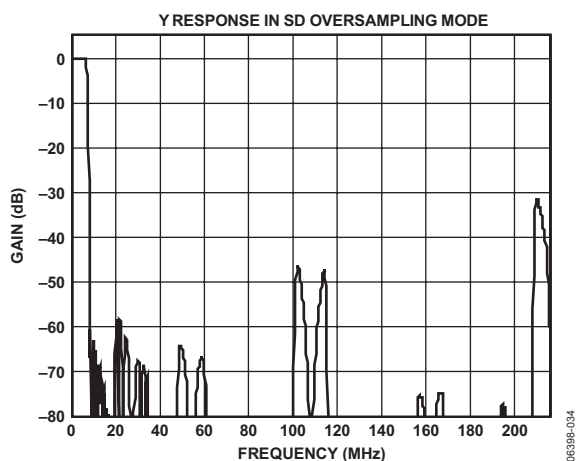


図34. SD、16倍オーバーサンプリング、Yフィルタ応答

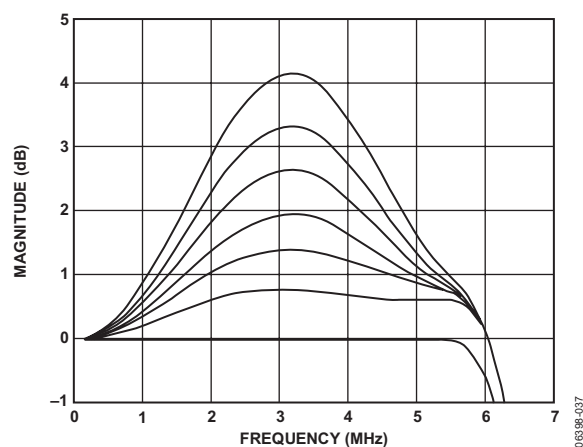


図37. SDルミナンスSSAFフィルタ、プログラマブル・ゲイン

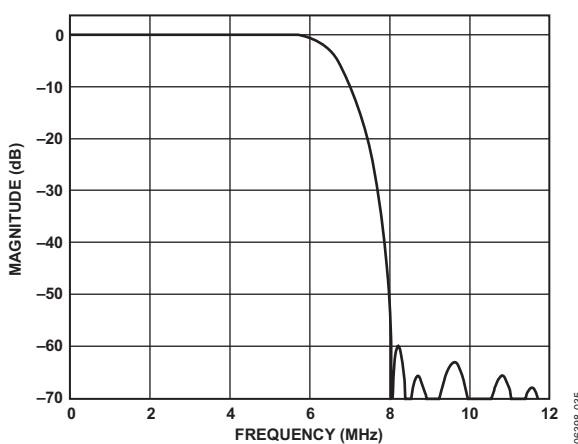


図35. 12MHzまでのSDルミナンスSSAFフィルタ応答

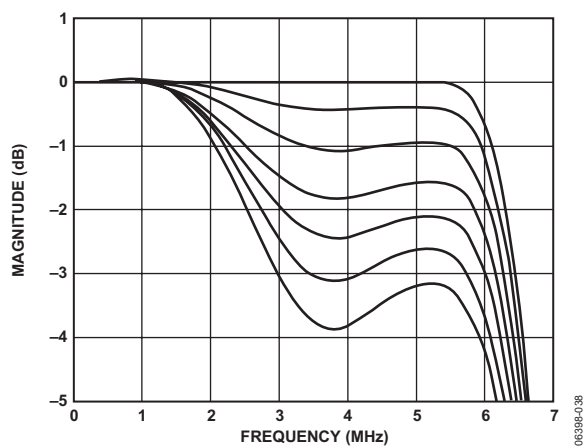


図38. SDルミナンスSSAFフィルタ、プログラマブル減衰

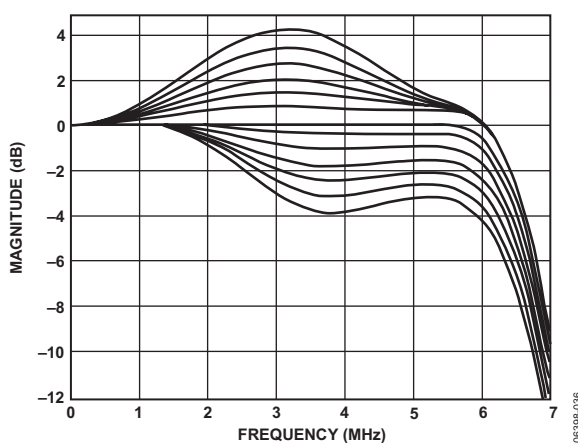


図36. SDルミナンスSSAFフィルタ、プログラマブル応答

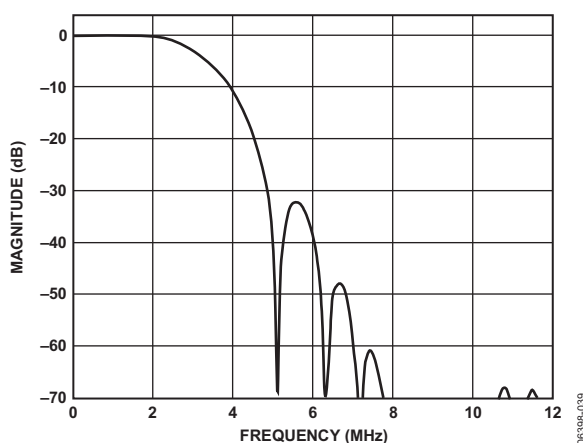


図39. SDルミナンスCIFローパス・フィルタ応答

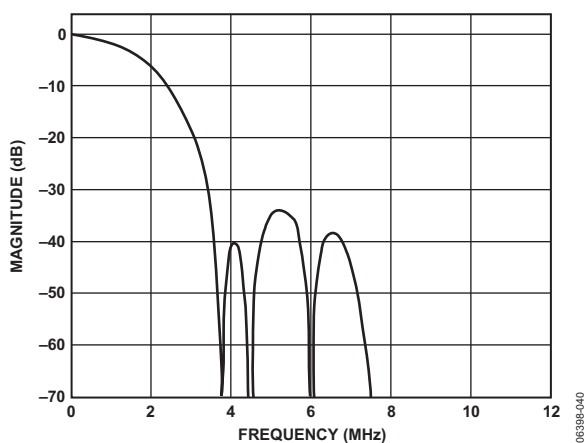


図40. SDルミナンスQCIFローパス・フィルタ応答

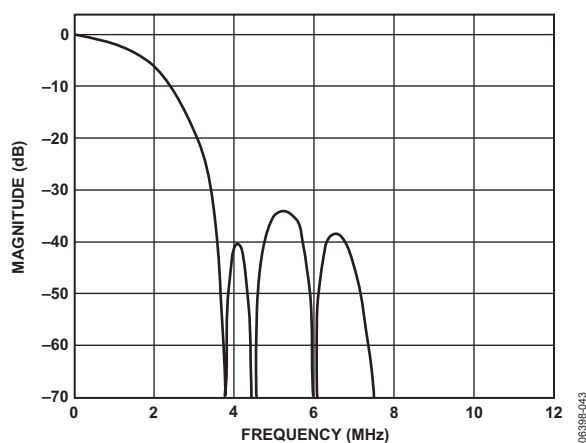


図43. SDクロミナンス1.3MHzローパス・フィルタ応答

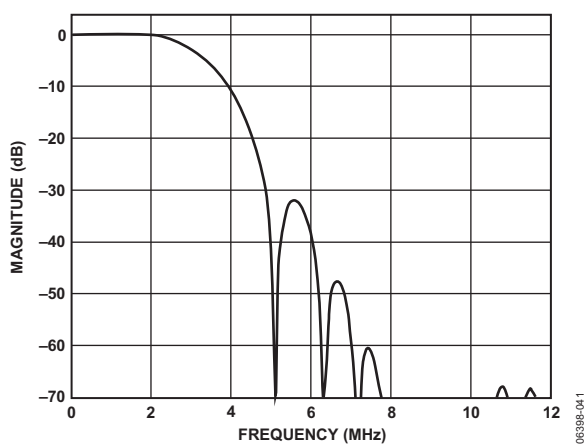


図41. SDクロミナンス3.0MHzローパス・フィルタ応答

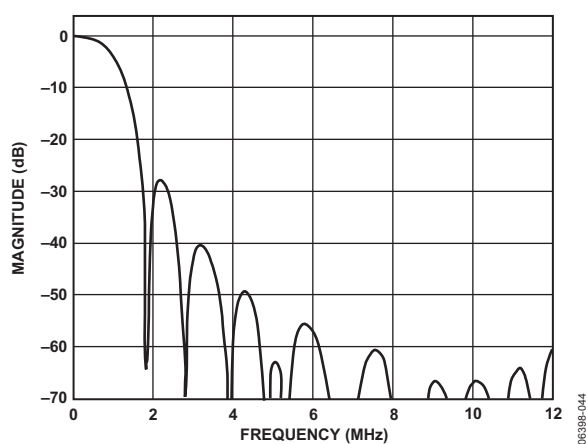


図44. SDクロミナンス1.0MHzローパス・フィルタ応答

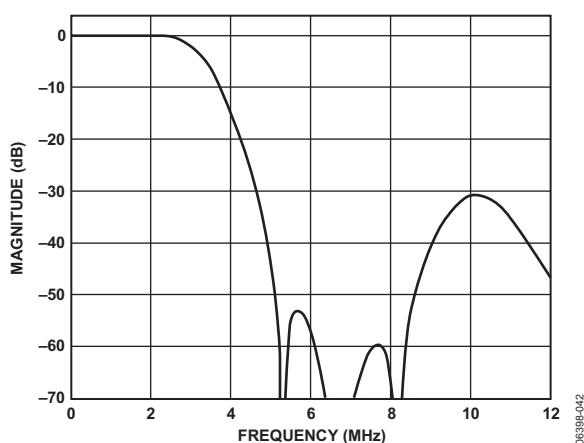


図42. SDクロミナンス2.0MHzローパス・フィルタ応答

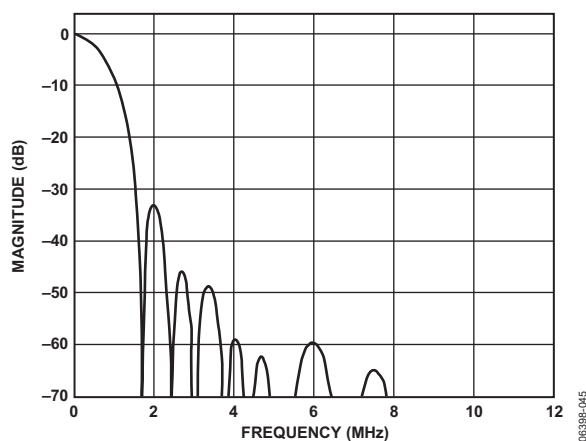


図45. SDクロミナンス0.65MHzローパス・フィルタ応答

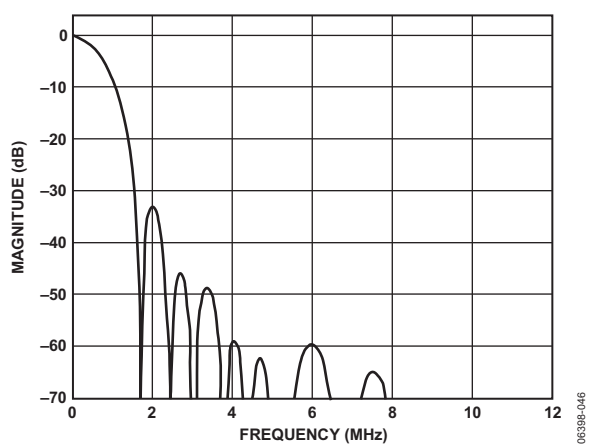


図46. SDクロミナンスCIFローパス・フィルタ応答

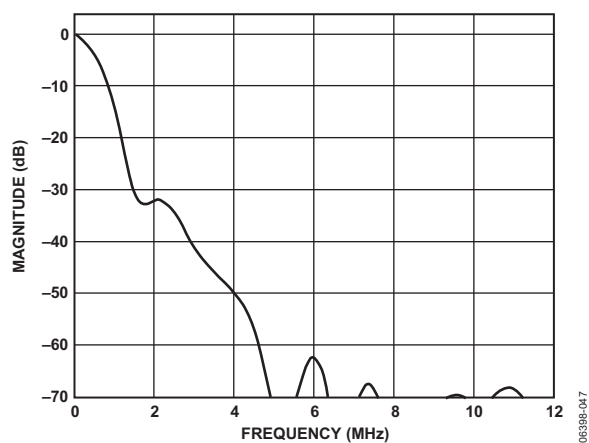


図47. SDクロミナンスQCIFローパス・フィルタ応答

MPUポート説明

マイクロプロセッサなどのデバイスは、次のいずれかのプロトコルを使用して、ADV7340/ADV7341と通信できます。

- 2線式シリアル（I²C互換）バス
- 4線式シリアル（SPI互換）バス

パワーアップまたはリセット時に、MPUポートはI²C動作用に設定されます。SPI動作は、「SPI動作」で説明する手順に従って、いつでも起動することができます。

I²C動作

ADV7340/ADV7341は、複数のペリフェラルを駆動する、2線式シリアル（I²C互換）マイクロプロセッサ・バスをサポートします。このポートは、オープンドレイン構成で動作します。バスに接続された任意のデバイスとADV7340/ADV7341の間では、シリアル・データ（SDA）とシリアル・クロック（SCL）の2つの入力によって情報が伝送されます。各スレーブ・デバイスは、独自のアドレスによって認識されます。ADV7340/ADV7341では、読出しと書き込みの動作に対して4つのスレーブ・アドレスを使用できます。これらはデバイスごとの独自のアドレスであり、図48に示します。読出し／書き込みの動作は、LSBで設定します。ロジック1は読出し動作に対応し、ロジック0は書き込み動作をサポートします。A1を制御するときは、ADV7340/ADV7341のALSB/SPI_SSピンをロジック0またはロジック1に設定します。

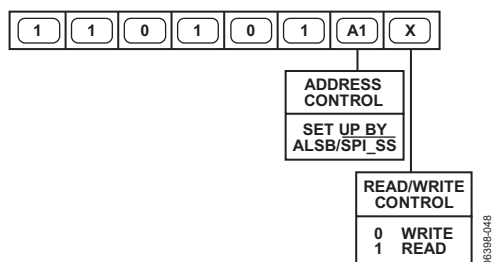


図48. ADV7340のスレーブ・アドレス=0xD4または0xD6

バス上のさまざまなデバイスを制御するときは、次のプロトコルを使用します。マスターは、スタート条件を設定してデータ転送を開始します。スタート条件は、SCLがハイレベルのときに、SDA上でハイレベルからローレベルへの変化として定義されます。これは、アドレス／データ・ストリームが後に続くことを示しています。すべてのペリフェラルは、スタート条件に応答して、次の8ビット（7ビット・アドレス+R/Wビット）をシフトします。各ビットは、MSBからLSBへの順に転送されます。送信されたアドレスに対応するアドレスを持つペリフェラ

ルは、9番目のクロック・パルス区間中に、データ・ラインをローレベルにして応答します。これはアクノレッジ・ビットと呼ばれています。この時点で、バス上の他のすべてのデバイスが接続を解除して、アイドル状態を維持します。アイドル状態では、各デバイスはSDAラインとSCLラインを監視して、スタート条件と自分のアドレスの受信を待ちます。R/Wビットがデータの転送方向を指定します。

先頭バイトのLSBがロジック0のとき、マスターがペリフェラルに情報を書き込むことを意味します。先頭バイトのLSBがロジック1のとき、マスターがペリフェラルから情報を読み込むことを意味します。

ADV7340/ADV7341は、バス上の標準スレーブ・デバイスとして機能します。SDAピン上のデータは8ビット長で、7ビット・アドレスとR/Wビットに対応しています。ADV7340/ADV7341は、先頭バイトをデバイス・アドレスとして、2番目のバイトをサブアドレスの先頭として解釈します。サブアドレスの自動インクリメント機能により、任意の有効なサブアドレスから始まる昇順のサブアドレス・シーケンスで、レジスタとの間でデータの書き込み／読出しが可能です。データ転送は常にストップ条件によって終了します。すべてのレジスタを更新しなくても、固有のサブアドレス・レジスタを1個ずつアクセスすることもできます。

ストップ条件とスタート条件は、データ転送の任意のステージで検出できます。通常の読出し／書き込み動作で、これらの条件が誤った順序でアサートされると、直ちにアイドル状態になります。特定のSCLハイレベル期間中は、1スタート条件、1ストップ条件、または1ストップ条件に続く1スタート条件のみを発生させます。無効なサブアドレスが指定されると、ADV7340/ADV7341はアクノレッジを発生しないでアイドル状態に戻ります。エンコーダのアドレッシングに自動インクリメント方式を使用し、最高サブアドレスを超えた場合は、次の動作が実行されます。

- 読出しモードでは、マスター・デバイスがノー・アクノレッジを発行するまで、最高サブアドレス・レジスタの値が出力され続けます。これは読出しの終了を意味します。ノー・アクノレッジ状態は、9番目のパルスでSDAラインがローレベルにならないときに発生します。
- 書き込みモードでは、無効バイトのデータはサブアドレス・レジスタにロードされず、ADV7340/ADV7341からノー・アクノレッジが発行されて、デバイスはアイドル状態に戻ります。

図49に、書込みシーケンス用のデータ転送例と、スタート/ストップ条件を示します。図50は、バスの書込み/読出しシーケンスを示します。

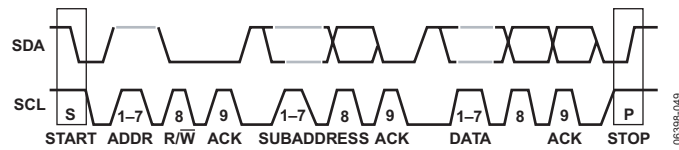


図49. I²Cデータ転送

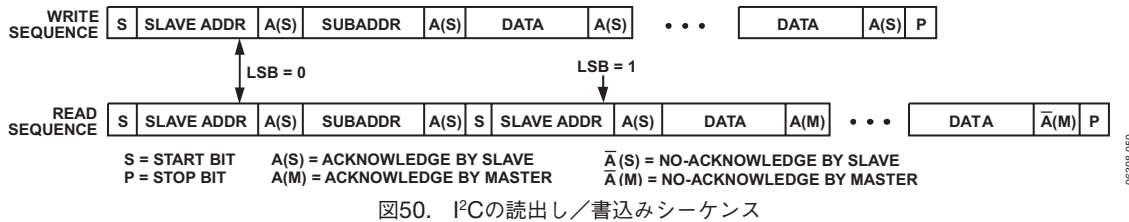


図50. I²Cの読出し/書込みシーケンス

SPI動作

ADV7340/ADV7341は、複数のペリフェラルを接続する4線式シリアル（SPI互換）バスをサポートします。バス上のマスターSPIペリフェラルとADV7340/ADV7341との間の情報伝送には、マスター出力/スレーブ入力（MOSI）とシリアル・クロック（SCLK）の2つの入力、ならびにマスター入力/スレーブ出力（MISO）の1つの出力を使用します。バス上の各スレーブ・デバイスのスレーブ・セレクト・ピンは、独自のスレーブ・セレクト・ラインによってマスターSPIペリフェラルに接続します。したがって、スレーブ・デバイスのアドレッシングは必要ありません。

SPI動作を起動するときは、マスターSPIペリフェラル（たとえば、マイクロプロセッサ）は、ADV7340/ADV7341のALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ ピンに3つのロー・パルスを出します。エンコーダがALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ ピン上で3番目の立上がりエッジを検出すると、自動的にSPI通信モードに切り替わります。ADV7340/ADV7341は、リセットまたはパワーダウンが行われるまで、SPI通信モードを維持します。

ADV7340/ADV7341を制御するときは、読出し/書込みトランザクションに対して次のプロトコルを使用します。まず、マスターは、ADV7340/ADV7341のALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ ピンをローレベルに駆動および保持することで、データ転送を開始します。ALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ がローレベルに駆動された後の最初のSCLK立上がりエッジで、0xD4と定義された書込みコマンドがMOSIラインを経由してADV7340/ADV7341に書き込まれます。MOSIラインに書き込まれた2番目のバイトは、サブアドレスの先頭と解釈されます。MOSIライン上のデータは、MSBファーストで書き込まれ、SCLKの立上がりエッジでクロック駆動されます。

サブアドレスのオートインクリメント機能もあります。これにより、任意の有効なサブアドレスから始まる昇順のサブアドレス・シーケンスで、レジスタとの間でデータの読込み/書込みが可能になります。ユーザは、独自のサブアドレス・レジスタに対して、個別にアクセスできます。

書込みデータ転送では、8ビットのデータバイトが、開始サブアドレス直後のMOSIライン上のADV7340/ADV7341にMSBファーストで書き込まれます。データバイトは、SCLKの立上がりエッジでADV7340/ADV7341に入力されます。すべてのデータバイトが書き込まれると、マスターは、ALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ ピンをハイレベルに駆動および保持することによって転送を完了します。

読出しデータ転送では、サブアドレスがMOSIライン上にクロック駆動された後で、ALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ ピンが駆動され、少なくとも1クロック・サイクルの間はハイレベルに保持されます。その後、ALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ ピンが駆動され、再びローレベルに保持されます。ALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ がローレベルに駆動された後の最初のSCLK立上がりエッジで、0xD5として定義された読出しコマンドが、MOSIラインを経由してADV7340/ADV7341にMSBファーストで書き込まれます。続いて、8ビットのデータバイトが、ADV7340/ADV7341からMSBファーストでMISOライン上に読み込まれます。データバイトは、SCLKの立下がりエッジでADV7340/ADV7341から出力されます。すべてのデータバイトが読み込まれると、マスターは、ALS $\overline{\text{B}}$ /SPI $\overline{\text{SS}}$ ピンをハイレベルに駆動および保持することによって転送を完了します。

レジスタ・マップのアクセス

マイクロプロセッサは、読出し専用／書込み専用と規定されているレジスタを除き、ADV7340/ADV7341のすべてのレジスタに対しMPUポートを介して読出し／書込みができます。

次の読出し／書込み動作の対象となるレジスタは、サブアドレス・レジスタによって指定されます。MPUポートを介するすべての通信は、サブアドレス・レジスタへのアクセスで始まります。続いて、ターゲット・アドレスに対して読出し／書込み動作が実行されます。これにより、トランザクションが完了するまで、次のアドレスへのインクリメントが行われます。

レジスタのプログラミング

表14～28に、各レジスタの機能を説明します。特に指定がない限り、すべてのレジスタに対して読出し／書込みができます。

サブアドレス・レジスタ (SR7～SR0)

サブアドレス・レジスタは、8ビットの書込み専用レジスタです。MPUポートにアクセスし、読出し／書込み動作を選択すると、サブアドレスが設定されます。動作の対象となるレジスタは、サブアドレス・レジスタによって指定されます。

表14. レジスタ0x00

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x00	Power Mode Register	Sleep Mode. With this control enabled the current consumption is reduced to μ A level. All DACs and the internal PLL circuit are disabled. I ² C registers can be read from and written to in sleep mode.								0	Sleep mode off.	0x12
										1	Sleep mode on.	
		PLL and Oversampling Control. This control allows the internal PLL circuit to be powered down and the oversampling to be switched off.							0		PLL on.	
									1		PLL off.	
		DAC 3: Power on/off.						0			DAC 3 off.	
								1			DAC 3 on.	
		DAC 2: Power on/off.					0				DAC 2 off.	
							1				DAC 2 on.	
		DAC 1: Power on/off.				0					DAC 1 off.	
						1					DAC 1 on.	
		DAC 6: Power on/off.			0						DAC 6 off.	
					1						DAC 6 on.	
		DAC 5: Power on/off.		0							DAC 5 off.	
				1							DAC 5 on.	
		DAC 4: Power on/off.	0								DAC 4 off.	
			1								DAC 4 on.	

表15. レジスタ0x01~0x09

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x01	Mode Select Register	Reserved.								0		0x00
		DDR Clock Edge Alignment. Note: Only used for ED ¹ and HD DDR modes.						0	0		Chroma clocked in on rising clock edge; luma clocked in on falling clock edge.	
								0	1		Reserved.	
								1	0		Reserved.	
								1	1		Luma clocked in on rising clock edge; chroma clocked in on falling clock edge.	
		Reserved.					0					
		Input Mode. Note: See Reg. 0x30, Bits[7:3] for ED/HD format selection.		0	0	0					SD input only. ED/HD-SDR input only. ED/HD-DDR input only. SD and ED/HD-SDR. SD and ED/HD-DDR. Reserved. Reserved. ED only (at 54 MHz).	
0x02	Mode Register 0	Y/C/S Bus Swap.	0								Allows data to be applied to data ports in various configurations (SD feature only).	0x20
			1									
		Reserved.							0	0	0 must be written to these bits.	
		Test Pattern Black Bar. ²						0	1		Disabled. Enabled.	
		Manual CSC Matrix Adjust.					0	1			Disable manual CSC matrix adjust. Enable manual CSC matrix adjust.	
		Sync on RGB.				0	1				No sync. Sync on all RGB outputs.	
		RGB/YPrPb Output Select.			0	1					RGB component outputs. YPrPb component outputs.	
0x03	ED/HD CSC Matrix 0	SD Sync Output Enable.		0	1						No sync output. Output SD syncs on S_HSYNC and S_VSYNC pins.	0x03
		ED/HD Sync Output Enable.	0	1							No sync output. Output ED/HD syncs on S_HSYNC and S_VSYNC pins.	
									x	x	LSBs for GY.	
									x	x	LSBs for RV. LSBs for BU. LSBs for GV. LSBs for GU.	
			x	x	x	x	x	x	x	x	Bits[9:2] for GY.	
			x	x	x	x	x	x	x	x	Bits[9:2] for GU.	
			x	x	x	x	x	x	x	x	Bits[9:2] for GV.	
0x04	ED/HD CSC Matrix 1						x	x			LSBs for RV. LSBs for BU. LSBs for GV. LSBs for GU.	0xF0
0x05	ED/HD CSC Matrix 2		x	x	x	x	x	x	x	x	Bits[9:2] for GY.	0x4E
0x06	ED/HD CSC Matrix 3		x	x	x	x	x	x	x	x	Bits[9:2] for GU.	0x0E
0x07	ED/HD CSC Matrix 4		x	x	x	x	x	x	x	x	Bits[9:2] for GV.	0x24
0x08	ED/HD CSC Matrix 5		x	x	x	x	x	x	x	x	Bits[9:2] for BU.	0x92
0x09	ED/HD CSC Matrix 6		x	x	x	x	x	x	x	x	Bits[9:2] for RV.	0x7C

¹ ED=拡張解像度=525pと625p。² サブアドレス0x31のビット2もイネーブルする必要があります (ED/HD)。サブアドレス0x84のビット6もイネーブルする必要があります (SD)。

ADV7340/ADV7341

表16. レジスタ0x0A~0x10

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x0A	DAC 4, DAC 5, DAC 6 Output Levels	Positive Gain to DAC Output Voltage.	0	0	0	0	0	0	0	0	0%	0x00
			0	0	0	0	0	0	0	1	+0.018%	
			0	0	0	0	0	0	1	0	+0.036%	
			...	...	...	...	...	...	...	...	...	
			0	0	1	1	1	1	1	1	+7.382%	
			0	1	0	0	0	0	0	0	+7.5%	
		Negative Gain to DAC Output Voltage.	1	1	0	0	0	0	0	0	-7.5%	
			1	1	0	0	0	0	0	1	-7.382%	
			1	0	0	0	0	0	1	0	-7.364%	
			...	...	...	...	...	...	...	...	...	
			1	1	1	1	1	1	1	1	-0.018%	
			...	...	...	...	...	...	...	...	...	
0x0B	DAC 1, DAC 2, DAC 3 Output Levels	Positive Gain to DAC Output Voltage.	0	0	0	0	0	0	0	0	0%	0x00
			0	0	0	0	0	0	0	1	+0.018%	
			0	0	0	0	0	0	1	0	+0.036%	
			...	...	...	...	...	...	...	...	...	
			0	0	1	1	1	1	1	1	+7.382%	
			0	1	0	0	0	0	0	0	+7.5%	
		Negative Gain to DAC Output Voltage.	1	1	0	0	0	0	0	0	-7.5%	
			1	1	0	0	0	0	0	1	-7.382%	
			1	0	0	0	0	0	1	0	-7.364%	
			...	...	...	...	...	...	...	...	...	
			1	1	1	1	1	1	1	1	-0.018%	
			...	...	...	...	...	...	...	...	...	
0x0D	DAC Power Mode	DAC 1 Low Power Enable.								0	DAC 1 low power disabled	0x00
										1	DAC 1 low power enabled	
		DAC 2 Low Power Enable.							0		DAC 2 low power disabled	
									1		DAC 2 low power enabled	
		DAC 3 Low Power Enable.						0			DAC 3 low power disabled	
0x10	Cable Detection							1			DAC 3 low power enabled	
		Reserved.	0	0	0	0	0					
		DAC 1 Cable Detect (Read Only).								0	Cable detected on DAC 1	0x00
										1	DAC 1 unconnected	
		DAC 2 Cable Detect (Read Only).								0	Cable detected on DAC 2	
										1	DAC 2 unconnected	
		Reserved.					0	0				
0x10	Cable Detection	Unconnected DAC Auto Power-Down.				0					DAC auto power-down disable	0x00
						1					DAC auto power-down enable	
		Reserved.	0	0	0							

表17. レジスタ0x12~0x17

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x12	Pixel Port Readback (S Bus MSBs)	S[9:2] Readback.	x	x	x	x	x	x	x	x	Read only	0xXX
0x13	Pixel Port Readback (Y Bus MSBs)	Y[9:2] Readback.	x	x	x	x	x	x	x	x	Read only	0xXX
0x14	Pixel Port Readback (C Bus MSBs)	C[9:2] Readback.	x	x	x	x	x	x	x	x	Read only	0xXX
0x15	Pixel Port Readback (S, Y, and C Bus LSBs)	C[1:0] Readback. Y[1:0] Readback. S[1:0] Readback. Reserved.	0	0	x	x	x	x	x	x	Read only	0xXX
0x16	Control Port Readback	P_BLANK. P_VSYNC. P_HSYNC. S_VSYNC. S_HSYNC. SFL/MISO. Reserved.	0	0	x	x	x	x	x	x	Read only	0xXX
0x17	Software Reset	Reserved.								0		0x00
		Software Reset.							0 1		Writing a 1 resets the device; this is a self- clearing bit	
		Reserved.	0	0	0	0	0	0				

ADV7340/ADV7341

表18. レジスタ0x30

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Note	Reset Value
			7	6	5	4	3	2	1	0			
0x30	ED/HD Mode Register 1	ED/HD Output Standard.							0	0	EIA770.2 output. EIA770.3 output.	ED HD	0x00
									0	1	EIA770.1 output.		
									1	0	Output levels for full input range.		
									1	1	Reserved.		
		ED/HD Input Synchronization Format.						0			External $\overline{\text{HSYNC}}$, $\overline{\text{VSYNC}}$ and field inputs. ¹		
								1			Embedded EAV/SAV codes.		
		ED/HD Input Mode.	0	0	0	0	0				SMPTE 293M, ITU-BT.1358.	525p @ 59.94 Hz	
			0	0	0	0	1				Nonstandard timing mode.		
			0	0	0	1	0				BTA-1004, ITU-BT.1362.	525p @ 59.94 Hz	
			0	0	0	1	1				ITU-BT.1358.	625p @ 50 Hz	
			0	0	1	0	0				ITU-BT.1362.	625p @ 50 Hz	
			0	0	1	0	1				SMPTE 296M-1, SMPTE 274M-2.	720p @ 60/59.94 Hz	
			0	0	1	1	0				SMPTE 296M-3.	720p @ 50 Hz	
			0	0	1	1	1				SMPTE 296M-4, SMPTE 274M-5.	720p @ 30/29.97 Hz	
			0	1	0	0	0				SMPTE 296M-6.	720p @ 25 Hz	
			0	1	0	0	1				SMPTE 296M-7, SMPTE 296M-8.	720p @ 24/23.98 Hz	
			0	1	0	1	0				SMPTE 240M.	1035i @ 60/59.94 Hz	
			0	1	0	1	1				Reserved.		
			0	1	1	0	0				Reserved.		
			0	1	1	0	1				SMPTE 274M-4, SMPTE 274M-5.	1080i @ 30/29.97 Hz	
			0	1	1	1	0				SMPTE 274M-6.	1080i @ 25 Hz	
			0	1	1	1	1				SMPTE 274M-7, SMPTE 274M-8.	1080p @ 0/29.97 Hz	
			1	0	0	0	0				SMPTE 274M-9.	1080p @ 25 Hz	
			1	0	0	0	1				SMPTE 274M-10, SMPTE 274M-11.	1080p @ 4/23.98 Hz	
			1	0	0	1	0				ITU-R BT.709-5.	1080Psf @ 24 Hz	
			10011–11111								Reserved.		

¹ 同期を制御するときは、サブアドレス0x34のビット6に応じて、 $\overline{\text{HSYNC}}$ 入力と $\overline{\text{VSYNC}}$ 入力の組み合わせ、または $\overline{\text{HSYNC}}$ 入力とフィールド入力の組み合わせを使用します。

表19. レジスタ0x31~0x33

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x31	ED/HD Mode Register 2	ED/HD Pixel Data Valid.								0 1	Pixel data valid off. Pixel data valid on.	0x00
		Reserved.							0			
		ED/HD Test Pattern Enable.						0 1			ED/HD test pattern off. ED/HD test pattern on.	
		ED/HD Test Pattern Hatch/Field.					0 1				Hatch. Field/frame.	
		ED/HD VBI Open.				0 1					Disabled. Enabled.	
		ED/HD Undershoot Limiter.		0 0 1 1	0 1 0 1						Disabled. -11 IRE. -6 IRE. -1.5 IRE.	
		ED/HD Sharpness Filter.	0 1								Disabled. Enabled.	
0x32	ED/HD Mode Register 3	ED/HD Y Delay with Respect to Falling Edge of HSYNC.						0 0 0 0 1	0 0 1 1 0	0 1 0 1 0	0 clock cycles. 1 clock cycle. 2 clock cycles. 3 clock cycles. 4 clock cycles.	0x00
		ED/HD Color Delay with Respect to Falling Edge of HSYNC.			0 0 0 0 1	0 0 1 1 0					0 clock cycles. 1 clock cycle. 2 clock cycles. 3 clock cycles. 4 clock cycles.	
		ED/HD CGMS.		0 1							Disabled. Enabled.	
		ED/HD CGMS CRC.	0 1								Disabled. Enabled.	
		ED/HD Cr/Cb Sequence.								0 1	Cb after falling edge of HSYNC. Cr after falling edge of HSYNC.	
		Reserved.							0		0 must be written to this bit.	
		ED/HD Input Format.						0 1			8-bit input. 10-bit input.	
0x33	ED/HD Mode Register 4	Sinc Compensation Filter on DAC 1, DAC 2, DAC 3.					0 1				Disabled. Enabled.	0x68
		Reserved.				0					0 must be written to this bit.	
		ED/HD Chroma SSAF.			0 1						Disabled. Enabled.	
		ED/HD Chroma Input.		0 1							4:4:4. 4:2:2.	
		ED/HD Double Buffering.	0 1								Disabled. Enabled.	
		ED/HD Y Delay with Respect to Falling Edge of HSYNC.						0 0 0 0 1	0 0 1 1 0	0 1 0 1 0	0 clock cycles. 1 clock cycle. 2 clock cycles. 3 clock cycles. 4 clock cycles.	
		ED/HD Color Delay with Respect to Falling Edge of HSYNC.			0 0 0 0 1	0 0 1 1 0					0 clock cycles. 1 clock cycle. 2 clock cycles. 3 clock cycles. 4 clock cycles.	

ADV7340/ADV7341

表20. レジスタ0x34～0x35

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x34	ED/HD Mode Register 5	ED/HD Timing Reset.								0	Internal ED/HD timing counters enabled.	0x48
										1	Resets the internal ED/HD timing counters.	
		ED/HD $\overline{\text{HSYNC}}$ Control. ¹							0		$\overline{\text{HSYNC}}$ output control.	
									1			
		ED/HD $\overline{\text{VSYNC}}$ Control. ¹						0			$\overline{\text{VSYNC}}$ output control.	
								1				
		ED/HD Blank Polarity.					0				$\overline{\text{P_BLANK}}$ active high.	
							1				$\overline{\text{P_BLANK}}$ active low.	
0x35	ED/HD Mode Register 6	ED Macrovision Enable.				0					Macrovision disabled.	0x00
						1					Macrovision enabled.	
		Reserved.			0						0 must be written to this bit.	
		ED/HD $\overline{\text{VSYNC}}$ /Field Input.		0							0 = field input.	
				1							1 = $\overline{\text{VSYNC}}$ input.	
		Horizontal/Vertical Counters. ²	0								Update field/line counter.	
			1								Field/line counter free running.	
		Reserved.								0		
		ED/HD RGB Input Enable.							0		Disabled.	
									1		Enabled.	
		ED/HD Sync on PrPb.						0			Disabled.	
								1			Enabled.	
		ED/HD Color DAC Swap.					0				DAC 2 = Pb, DAC 3 = Pr.	
							1				DAC 2 = Pr, DAC 3 = Pb.	
		ED/HD Gamma Correction Curve Select.				0					Gamma Correction Curve A.	
						1					Gamma Correction Curve B.	
		ED/HD Gamma Correction Enable.			0						Disabled.	
					1						Enabled.	
		ED/HD Adaptive Filter Mode.		0							Mode A.	
				1							Mode B.	
		ED/HD Adaptive Filter Enable.	0								Disabled.	
			1								Enablde.	

¹ サブアドレス0x02のビット7のED/HD同期（1に設定）と組み合わせて使用。

² 0に設定すると、選択した規格のライン／フィールド／フレームの最後で水平／垂直方向のカウントは自動的にラップします。1に設定すると、水平／垂直方向のカウントは自走し、外部同期信号の指示に従ってラップします。

表21. レジスタ0x34～0x35

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x36	ED/HD Y Level ¹	ED/HD Test Pattern Y Level.	x	x	x	x	x	x	x	x	Y level value	0xA0
0x37	ED/HD Cr Level ¹	ED/HD Test Pattern Cr Level.	x	x	x	x	x	x	x	x	Cr level value	0x80
0x38	ED/HD Cb Level ¹	ED/HD Test Pattern Cb Level.	x	x	x	x	x	x	x	x	Cb level value	0x80
0x39	ED/HD Mode Register 7	Reserved.				0	0	0	0	0		0x00
		ED/HD EIA/CEA-861B Synchronization Compliance.			0 1						Disabled Enabled	
		Reserved.	0	0								
0x40	ED/HD Sharpness Filter Gain	ED/HD Sharpness Filter Gain, Value A.					0 0 ... 0 1 ... 1 1	0 0 ... 1 0 ... 1 1	0 0 ... 1 1 ... 1 1	0 1 ... 1 0 ... 1 1	Gain A = 0 Gain A = +1 ... Gain A = +7 Gain A = -8 ... Gain A = -1	0x00
		ED/HD Sharpness Filter Gain, Value B.	0 0 ... 0 1 ... 1 1	0 0 ... 1 0 ... 1 1	0 0 ... 1 0 ... 1 1	0 1 ... 0 0 ... 1 1					Gain B = 0 Gain B = +1 ... Gain B = +7 Gain B = -8 ... Gain B = -1	
0x41	ED/HD CGMS Data 0	ED/HD CGMS Data Bits.	0	0	0	0	C19	C18	C17	C16	CGMS C19 to C16	0x00
0x42	ED/HD CGMS Data 1	ED/HD CGMS Data Bits.	C15	C14	C13	C12	C11	C10	C9	C8	CGMS C15 to C8	0x00
0x43	ED/HDCGMS Data 2	ED/HD CGMS Data Bits.	C7	C6	C5	C4	C3	C2	C1	C0	CGMS C7 to C0	0x00

¹ ED/HD内部テスト・パターンでのみ使用（サブアドレス0x31のビット2=1）。

表22. レジスタ0x44～0x57

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x44	ED/HD Gamma A0	ED/HD Gamma Curve A (Point 24).	x	x	x	x	x	x	x	x	A0	0x00
0x45	ED/HD Gamma A1	ED/HD Gamma Curve A (Point 32).	x	x	x	x	x	x	x	x	A1	0x00
0x46	ED/HD Gamma A2	ED/HD Gamma Curve A (Point 48).	x	x	x	x	x	x	x	x	A2	0x00
0x47	ED/HD Gamma A3	ED/HD Gamma Curve A (Point 64).	x	x	x	x	x	x	x	x	A3	0x00
0x48	ED/HD Gamma A4	ED/HD Gamma Curve A (Point 80).	x	x	x	x	x	x	x	x	A4	0x00
0x49	ED/HD Gamma A5	ED/HD Gamma Curve A (Point 96).	x	x	x	x	x	x	x	x	A5	0x00
0x4A	ED/HD Gamma A6	ED/HD Gamma Curve A (Point 128).	x	x	x	x	x	x	x	x	A6	0x00
0x4B	ED/HD Gamma A7	ED/HD Gamma Curve A (Point 160).	x	x	x	x	x	x	x	x	A7	0x00
0x4C	ED/HD Gamma A8	ED/HD Gamma Curve A (Point 192).	x	x	x	x	x	x	x	x	A8	0x00
0x4D	ED/HD Gamma A9	ED/HD Gamma Curve A (Point 224).	x	x	x	x	x	x	x	x	A9	0x00
0x4E	ED/HD Gamma B0	ED/HD Gamma Curve B (Point 24).	x	x	x	x	x	x	x	x	B0	0x00
0x4F	ED/HD Gamma B1	ED/HD Gamma Curve B (Point 32).	x	x	x	x	x	x	x	x	B1	0x00
0x50	ED/HD Gamma B2	ED/HD Gamma Curve B (Point 48).	x	x	x	x	x	x	x	x	B2	0x00
0x51	ED/HD Gamma B3	ED/HD Gamma Curve B (Point 64).	x	x	x	x	x	x	x	x	B3	0x00
0x52	ED/HD Gamma B4	ED/HD Gamma Curve B (Point 80).	x	x	x	x	x	x	x	x	B4	0x00
0x53	ED/HD Gamma B5	ED/HD Gamma Curve B (Point 96).	x	x	x	x	x	x	x	x	B5	0x00
0x54	ED/HD Gamma B6	ED/HD Gamma Curve B (Point 128).	x	x	x	x	x	x	x	x	B6	0x00
0x55	ED/HD Gamma B7	ED/HD Gamma Curve B (Point 160).	x	x	x	x	x	x	x	x	B7	0x00
0x56	ED/HD Gamma B8	ED/HD Gamma Curve B (Point 192).	x	x	x	x	x	x	x	x	B8	0x00
0x57	ED/HD Gamma B9	ED/HD Gamma Curve B (Point 224).	x	x	x	x	x	x	x	x	B9	0x00

ADV7340/ADV7341

表23. レジスタ0x58～0x5D

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x58	ED/HD Adaptive Filter Gain 1	ED/HD Adaptive Filter Gain 1, Value A.					0	0	0	0	Gain A = 0	0x00
							0	0	0	1	Gain A = +1	
							...	...	...	...	...	
							0	1	1	1	Gain A = +7	
							1	0	0	0	Gain A = -8	
							...	...	...	...	...	
							1	1	1	1	Gain A = -1	
		ED/HD Adaptive Filter Gain 1, Value B.	0	0	0	0					Gain B = 0	
			0	0	0	1					Gain B = +1	
			...	...	...	...					...	
			0	1	1	1					Gain B = +7	
			1	0	0	0					Gain B = -8	
			...	...	...	...					...	
			1	1	1	1					Gain B = -1	
0x59	ED/HD Adaptive Filter Gain 2	ED/HD Adaptive Filter Gain 2, Value A.					0	0	0	0	Gain A = 0	0x00
							0	0	0	1	Gain A = +1	
							...	...	...	...	...	
							0	1	1	1	Gain A = +7	
							1	0	0	0	Gain A = -8	
							...	...	...	...	...	
							1	1	1	1	Gain A = -1	
		ED/HD Adaptive Filter Gain 2, Value B.	0	0	0	0					Gain B = 0	
			0	0	0	1					Gain B = +1	
			...	...	...	...					...	
			0	1	1	1					Gain B = +7	
			1	0	0	0					Gain B = -8	
			...	...	...	...					...	
			1	1	1	1					Gain B = -1	
0x5A	ED/HD Adaptive Filter Gain 3	ED/HD Adaptive Filter Gain 3, Value A.					0	0	0	0	Gain A = 0	0x00
							0	0	0	1	Gain A = +1	
							...	...	...	...	...	
							0	1	1	1	Gain A = +7	
							1	0	0	0	Gain A = -8	
							...	...	...	...	...	
							1	1	1	1	Gain A = -1	
		ED/HD Adaptive Filter Gain 3, Value B.	0	0	0	0					Gain B = 0	
			0	0	0	1					Gain B = +1	
			...	...	...	...					...	
			0	1	1	1					Gain B = +7	
			1	0	0	0					Gain B = -8	
			...	...	...	...					...	
			1	1	1	1					Gain B = -1	
0x5B	ED/HD Adaptive Filter Threshold A	ED/HD Adaptive Filter Threshold A.	x	x	x	x	x	x	x	x	Threshold A	0x00
0x5C	ED/HD Adaptive Filter Threshold B	ED/HD Adaptive Filter Threshold B.	x	x	x	x	x	x	x	x	Threshold B	0x00
0x5D	ED/HD Adaptive Filter Threshold C	ED/HD Adaptive Filter Threshold C.	x	x	x	x	x	x	x	x	Threshold C	0x00

表24. レジスタ0x5E~0x6E

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x5E	ED/HD CGMS Type B Register 0	ED/HD CGMS Type B Enable.								0 1	Disabled Enabled	0x00
		ED/HD CGMS Type B CRC Enable.							0 1		Disabled Enabled	
		ED/HD CGMS Type B Header Bits.	H5	H4	H3	H2	H1	H0			H5 to H0	
0x5F	ED/HD CGMS Type B Register 1	ED/HD CGMS Type B Data Bits.	P7	P6	P5	P4	P3	P2	P1	P0	P7 to P0	0x00
0x60	ED/HD CGMS Type B Register 2	ED/HD CGMS Type B Data Bits.	P15	P14	P13	P12	P11	P10	P9	P8	P15 to P8	0x00
0x61	ED/HD CGMS Type B Register 3	ED/HD CGMS Type B Data Bits.	P23	P22	P21	P20	P19	P18	P17	P16	P23 to P16	0x00
0x62	ED/HD CGMS Type B Register 4	ED/HD CGMS Type B Data Bits.	P31	P30	P29	P28	P27	P26	P25	P24	P31 to P24	0x00
0x63	ED/HD CGMS Type B Register 5	ED/HD CGMS Type B Data Bits.	P39	P38	P37	P36	P35	P34	P33	P32	P39 to P32	0x00
0x64	ED/HD CGMS Type B Register 6	ED/HD CGMS Type B Data Bits.	P47	P46	P45	P44	P43	P42	P41	P40	P47 to P40	0x00
0x65	ED/HD CGMS Type B Register 7	ED/HD CGMS Type B Data Bits.	P55	P54	P53	P52	P51	P50	P49	P48	P55 to P48	0x00
0x66	ED/HD CGMS Type B Register 8	ED/HD CGMS Type B Data Bits.	P63	P62	P61	P60	P59	P58	P57	P56	P63 to P56	0x00
0x67	ED/HD CGMS Type B Register 9	ED/HD CGMS Type B Data Bits.	P71	P70	P69	P68	P67	P66	P65	P64	P71 to P64	0x00
0x68	ED/HD CGMS Type B Register 10	ED/HD CGMS Type B Data Bits.	P79	P78	P77	P76	P75	P74	P73	P72	P79 to P72	0x00
0x69	ED/HD CGMS Type B Register 11	ED/HD CGMS Type B Data Bits.	P87	P86	P85	P84	P83	P82	P81	P80	P87 to P80	0x00
0x6A	ED/HD CGMS Type B Register 12	ED/HD CGMS Type B Data Bits.	P95	P94	P93	P92	P91	P90	P89	P88	P95 to P88	0x00
0x6B	ED/HD CGMS Type B Register 13	ED/HD CGMS Type B Data Bits.	P103	P102	P101	P100	P99	P98	P97	P96	P103 to P96	0x00
0x6C	ED/HD CGMS Type B Register 14	ED/HD CGMS Type B Data Bits.	P111	P110	P109	P108	P107	P106	P105	P104	P111 to P104	0x00
0x6D	ED/HD CGMS Type B Register 15	ED/HD CGMS Type B Data Bits.	P119	P118	P117	P116	P115	P114	P113	P112	P119 to P112	0x00
0x6E	ED/HD CGMS Type B Register 16	ED/HD CGMS Type B Data Bits.	P127	P126	P125	P124	P123	P122	P121	P120	P127 to P120	0x00

ADV7340/ADV7341

表25. レジスタ0x80~0x83

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x80	SD Mode Register 1	SD Standard.							0	0	NTSC.	0x10
									0	1	PAL B/D/G/H/I.	
									1	0	PAL M.	
									1	1	PAL N.	
		SD Luma Filter.				0	0	0			LPF NTSC.	
						0	0	1			LPF PAL.	
						0	1	0			Notch NTSC.	
						0	1	1			Notch PAL.	
						1	0	0			SSAF luma.	
						1	0	1			Luma CIF.	
						1	1	0			Luma QCIF.	
						1	1	1			Reserved.	
SD Chroma Filter.	0	0	0						1.3 MHz.			
	0	0	1						0.65 MHz.			
	0	1	0						1.0 MHz.			
	0	1	1						2.0 MHz.			
	1	0	0						Reserved.			
	1	0	1						Chroma CIF.			
	1	1	0						Chroma QCIF.			
	1	1	1						3.0 MHz.			
0x82	SD Mode Register 2	SD PrPb SSAF.							0	Disabled.	0x0B	
									1	Enabled.		
		SD DAC Output 1.							0	Refer to Table 32 in the Output Configuration section.		
									1			
		SD DAC Output 2.						0	Refer to Table 32 in the Output Configuration section.			
								1				
		SD Pedestal.					0			Disabled. Enabled.		
							1					
SD Square Pixel Mode.				0				Disabled. Enabled.				
				1								
SD VCR FF/RW Sync.			0					Disabled. Enabled.				
			1									
SD Pixel Data Valid.		0						Disabled. Enabled.				
		1										
SD Active Video Edge Control.	0							Disabled. Enabled.				
	1											
0x83	SD Mode Register 3	SD Pedestal on YPrPb Output.							0	No pedestal on YPrPb. 7.5 IRE pedestal on YPrPb.	0x04	
									1			
		SD Output Levels Y.							0	Y = 700 mV/300 mV. Y = 714 mV/286 mV.		
									1			
			SD Output Levels PrPb.				0	0				700 mV p-p (PAL), 1000 mV p-p (NTSC). 700 mV p-p. 1000 mV p-p. 648 mV p-p.
							0	1				
		SD VBI Open.				0				Disabled. Enabled.		
				1								
		SD Closed Captioning Field Control.	0	0					Closed captioning disabled. Closed captioning on odd field only. Closed captioning on even field only. Closed captioning on both fields.			
			0	1								
			1	0								
			1	1								
		Reserved.	0						Reserved.			

表25. レジスタ0x80~0x83

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x84	SD Mode Register 4	SD $\overline{\text{VSYNC}}$ -3H.								0 1	Disabled. $\overline{\text{VSYNC}} = 2.5$ lines (PAL), $\overline{\text{VSYNC}} = 3$ lines (NTSC).	0x00
		SD SFL/SCR/TR Mode Select.					0 0 1 1	0 1 0 1	Disabled. Subcarrier phase reset mode enabled. Timing reset mode enabled. SFL mode enabled.			
		SD Active Video Length.					0 1		720 pixels. 710 (NTSC), 702 (PAL).			
		SD Chroma.				0 1			Chroma enabled. Chroma disabled.			
		SD Burst.			0 1				Enabled. Disabled.			
		SD Color Bars.		0 1					Disabled. Enabled.			
		SD Luma/Chroma Swap.	0 1						DAC 2 = luma, DAC 3 = chroma. DAC 2 = chroma, DAC 3 = luma.			
0x86	SD Mode Register 5	NTSC Color Subcarrier Adjust (Delay from the falling edge of output HSYNC pulse to start of color burst).							0 0 1 1	5.17 μs . 5.31 μs . 5.59 μs (must be set for Macrovision compliance). Reserved.	0x02	
		Reserved.						0				
		SD EIA/CEA-861B Synchro- nization Compliance.					0 1		Disabled. Enabled.			
		Reserved.			0 0							
		SD Horizontal/Vertical Counter Mode. ¹		0 1					Update field/line counter. Field/line counter free running.			
		SD RGB Color Swap.	0 1						Normal. Field/line counter free running.			
0x87	SD Mode Register 6	SD PrPb Scale.							0 1	Disabled. Enabled.	0x00	
		SD Y Scale.							0 1	Disabled. Enabled.		
		SD Hue Adjust.						0 1	Disabled. Enabled.			
		SD Brightness.					0 1		Disabled. Enabled.			
		SD Luma SSAF Gain.				0 1			Disabled. Enabled.			
		SD Input Standard Auto Detect.			0 1				Disabled. Enabled.			
		Reserved.		0					0 must be written to this bit.			
		SD RGB Input Enable.	0 1						SD YCrCb input. SD RGB input.			

ADV7340/ADV7341

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x88	SD Mode Register 7	Reserved.								0		0x00
		SD Noninterlaced Mode.							0 1		Disabled. Enabled.	
		SD Double Buffering.						0 1			Disabled. Enabled.	
		SD Input Format.				0 0 1 1	0 1 0 1				8-bit input. 16-bit input. 10-bit input. 20-bit input.	
		SD Digital Noise Reduction.			0 1						Disabled. Enabled.	
		SD Gamma Correction Enable.		0 1							Disabled. Enabled.	
		SD Gamma Correction Curve Select.	0 1								Gamma Correction Curve A. Gamma Correction Curve B.	
0x89	SD Mode Register 8	SD Undershoot Limiter.							0 0 1 1	0 1 0 1	Disabled. –11 IRE. –6 IRE. –1.5 IRE.	0x00
		Reserved.						0			0 must be written to this bit.	
		SD Black Burst Output on DAC Luma.					0 1				Disabled. Enabled.	
		SD Chroma Delay.			0 0 1 1	0 1 0 1					Disabled. 4 clock cycles. 8 clock cycles. Reserved.	
		Reserved.	0 0								0 must be written to these bits.	

¹ 0に設定すると、選択した規格のライン／フィールド／フレームの最後で水平／垂直方向のカウントは自動的にラップします。1に設定すると、水平／垂直方向のカウントは自走し、外部同期信号の指示に従ってラップします。

表27. レジスタ0x8A~0x98

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x8A	SD Timing Register 0	SD Slave/Master Mode.								0 1	Slave mode. Master mode.	0x08
		SD Timing Mode.						0 0 1 1	0 1 0 1		Mode 0. Mode 1. Mode 2. Mode 3.	
		Reserved.					1					
		SD Luma Delay.			0 0 1 1	0 1 0 1					No delay. 2 clock cycles. 4 clock cycles. 6 clock cycles.	
		SD Minimum Luma Value.		0 1							–40 IRE. –7.5 IRE.	
		SD Timing Reset.	x								A low-high-low transition resets the internal SD timing counters.	
0x8B	SD Timing Register 1 (Note: Applicable in master modes only, that is, Subaddress 0x8A, Bit 0 = 1)	SD HSYNC Width.							0 0 1 1	0 1 0 1	$t_a = 1$ clock cycle. $t_a = 4$ clock cycles. $t_a = 16$ clock cycles. $t_a = 128$ clock cycles.	0x00
		SD HSYNC to VSYNC Delay.					0 0 1 1	0 1 0 1			$t_b = 0$ clock cycles. $t_b = 4$ clock cycles. $t_b = 8$ clock cycles. $t_b = 18$ clock cycles.	
		SD HSYNC to VSYNC Rising Edge Delay (Mode 1 Only).			x x	0 1					$t_c = t_b$. $t_c = t_b + 32 \mu s$.	
		SD VSYNC Width (Mode 2 Only).			0 0 1 1	0 1 0 1					1 clock cycle. 4 clock cycles. 16 clock cycles. 128 clock cycles.	
		SD HSYNC to Pixel Data Adjust.	0 0 1 1	0 1 0 1							0 clock cycles. 1 clock cycle. 2 clock cycles. 3 clock cycles.	
0x8C	SD F _{SC} Register 0 ¹	Subcarrier Frequency Bits[7:0].	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits[7:0].	0x1F
0x8D	SD F _{SC} Register 1 ¹	Subcarrier Frequency Bits [15:8].	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits [15:8].	0x7C
0x8E	SD F _{SC} Register 2 ¹	Subcarrier Frequency Bits [23:16].	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits [23:16].	0xF0
0x8F	SD F _{SC} Register 3 ¹	Subcarrier Frequency Bits [31:24].	x	x	x	x	x	x	x	x	Subcarrier Frequency Bits [31:24].	0x21
0x90	SD F _{SC} Phase	Subcarrier Phase Bits[9:2].	x	x	x	x	x	x	x	x	Subcarrier Phase Bits[9:2].	0x00
0x91	SD Closed Captioning	Extended Data on Even Fields.	x	x	x	x	x	x	x	x	Extended Data Bits[7:0].	0x00
0x92	SD Closed Captioning	Extended Data on Even Fields.	x	x	x	x	x	x	x	x	Extended Data Bits[15:8].	0x00
0x93	SD Closed Captioning	Data on Odd Fields.	x	x	x	x	x	x	x	x	Data Bits[7:0].	0x00
0x94	SD Closed Captioning	Data on Odd Fields.	x	x	x	x	x	x	x	x	Data Bits[15:8].	0x00
0x95	SD Pedestal Register 0	Pedestal on Odd Fields.	17	16	15	14	13	12	11	10	Setting any of these bits to 1 disables pedestal on the line number indicated by the bit settings.	0x00
0x96	SD Pedestal Register 1	Pedestal on Odd Fields.	25	24	23	22	21	20	19	18		0x00
0x97	SD Pedestal Register 2	Pedestal on Even Fields.	17	16	15	14	13	12	11	10		0x00
0x98	SD Pedestal Register 3	Pedestal on Even Fields.	25	24	23	22	21	20	19	18		0x00

¹ SDサブキャリア周波数レジスタは、デフォルトでNTSCサブキャリア周波数値になります。

ADV7340/ADV7341

表28. レジスタ0x99~0xA5

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0x99	SD CGMS/WSS 0	SD CGMS Data.					x	x	x	x	CGMS Data Bits[C19:C16]	0x00
		SD CGMS CRC.				0 1					Disabled Enabled	
		SD CGMS on Odd Fields.			0 1						Disabled Enabled	
		SD CGMS on Even Fields.		0 1							Disabled Enabled	
		SD WSS.	0 1								Disabled Enabled	
0x9A	SD CGMS/WSS 1	SD CGMS/WSS Data.			x	x	x	x	x	x	CGMS Data Bits[C13:C8] or WSS Data Bits[W13:W8]	0x00
		SD CGMS Data.	x	x							CGMS Data Bits[C15:C14]	
0x9B	SD CGMS/WSS 2	SD CGMS/WSS Data.	x	x	x	x	x	x	x	x	CGMS Data Bits[C7:C0] or WSS Data Bits[W7:W0]	0x00
0x9C	SD Scale LSB Register	LSBs for SD Y Scale Value.							x	x	SD Y Scale Bits[1:0]	0x00
		LSBs for SD Cb Scale Value.					x	x			SD Cb Scale Bits[1:0]	
		LSBs for SD Cr Scale Value.			x	x					SD Cr Scale Bits[1:0]	
		LSBs for SD F _{SC} Phase.	x	x							Subcarrier Phase Bits[1:0]	
0x9D	SD Y Scale Register	SD Y Scale Value.	x	x	x	x	x	x	x	x	SD Y Scale Bits[9:2]	0x00
0x9E	SD Cb Scale Register	SD Cb Scale Value.	x	x	x	x	x	x	x	x	SD Cb Scale Bits[9:2]	0x00
0x9F	SD Cr Scale Register	SD Cr Scale Value.	x	x	x	x	x	x	x	x	SD Cr Scale Bits[9:2]	0x00
0xA0	SD Hue Register	SD Hue Adjust Value.	x	x	x	x	x	x	x	x	SD Hue Adjust Bits[7:0]	0x00
0xA1	SD Brightness/WSS	SD Brightness Value.		x	x	x	x	x	x	x	SD Brightness Bits[6:0]	0x00
		SD Blank WSS Data.	0 1								Disabled Enabled	
0xA2	SD Luma SSAF	SD luma SSAF Gain/Attenuation. Note: Only applicable if Register 0x87, Bit 4 = 1.					0 ... 0 ... 1	0 ... 1 ... 1	0 ... 1 ... 0	0 ... 0 ... 0	-4 dB ... 0 dB ... +4 dB	0x00
		Reserved.	0	0	0	0						

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0xA3	SD DNR 0	Coring Gain Border. Note: In DNR mode, the values in brackets apply.					0	0	0	0	No gain	0x00
							0	0	0	1	+1/16 [–1/8]	
							0	0	1	0	+2/16 [–2/8]	
							0	0	1	1	+3/16 [–3/8]	
							0	1	0	0	+4/16 [–4/8]	
							0	1	0	1	+5/16 [–5/8]	
							0	1	1	0	+6/16 [–6/8]	
							0	1	1	1	+7/16 [–7/8]	
							1	0	0	0	+8/16 [–1]	
		Coring Gain Data. Note: In DNR mode, the values in brackets apply.	0	0	0	0					No gain	
			0	0	0	1					+1/16 [–1/8]	
			0	0	1	0					+2/16 [–2/8]	
			0	0	1	1					+3/16 [–3/8]	
			0	1	0	0					+4/16 [–4/8]	
			0	1	0	1					+5/16 [–5/8]	
			0	1	1	0					+6/16 [–6/8]	
			0	1	1	1					+7/16 [–7/8]	
			1	0	0	0					+8/16 [–1]	
0xA4	SD DNR 1	DNR Threshold.			0	0	0	0	0	0	0	0x00
					0	0	0	0	0	1	1	
					...	...	...	...	...	...	...	
					1	1	1	1	1	0	62	
					1	1	1	1	1	1	63	
		Border Area.		0							2 pixels	
				1							4 pixels	
		Block Size Control.	0								8 pixels	
			1								16 pixels	
0xA5	SD DNR 2	DNR Input Select.						0	0	1	Filter A	0x00
								0	1	0	Filter B	
								0	1	1	Filter C	
								1	0	0	Filter D	
		DNR Mode.					0				DNR Mode	
							1				DNR sharpness mode	
		DNR Block Offset.	0	0	0	0					0 pixel offset	
			0	0	0	1					1 pixel offset	
			...	...	...	...					...	
			1	1	1	0					14 pixel offset	
			1	1	1	1					15 pixel offset	

ADV7340/ADV7341

表29. レジスタ0xA6～0xBB

SR7 to SR0	Register	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0xA6	SD Gamma A0	SD Gamma Curve A (Point 24).	x	x	x	x	x	x	x	x	A0	0x00
0xA7	SD Gamma A1	SD Gamma Curve A (Point 32).	x	x	x	x	x	x	x	x	A1	0x00
0xA8	SD Gamma A2	SD Gamma Curve A (Point 48).	x	x	x	x	x	x	x	x	A2	0x00
0xA9	SD Gamma A3	SD Gamma Curve A (Point 64).	x	x	x	x	x	x	x	x	A3	0x00
0xAA	SD Gamma A4	SD Gamma Curve A (Point 80).	x	x	x	x	x	x	x	x	A4	0x00
0xAB	SD Gamma A5	SD Gamma Curve A (Point 96).	x	x	x	x	x	x	x	x	A5	0x00
0xAC	SD Gamma A6	SD Gamma Curve A (Point 128).	x	x	x	x	x	x	x	x	A6	0x00
0xAD	SD Gamma A7	SD Gamma Curve A (Point 160).	x	x	x	x	x	x	x	x	A7	0x00
0xAE	SD Gamma A8	SD Gamma Curve A (Point 192).	x	x	x	x	x	x	x	x	A8	0x00
0xAF	SD Gamma A9	SD Gamma Curve A (Point 224).	x	x	x	x	x	x	x	x	A9	0x00
0xB0	SD Gamma B0	SD Gamma Curve B (Point 24).	x	x	x	x	x	x	x	x	B0	0x00
0xB1	SD Gamma B1	SD Gamma Curve B (Point 32).	x	x	x	x	x	x	x	x	B1	0x00
0xB2	SD Gamma B2	SD Gamma Curve B (Point 48).	x	x	x	x	x	x	x	x	B2	0x00
0xB3	SD Gamma B3	SD Gamma Curve B (Point 64).	x	x	x	x	x	x	x	x	B3	0x00
0xB4	SD Gamma B4	SD Gamma Curve B (Point 80).	x	x	x	x	x	x	x	x	B4	0x00
0xB5	SD Gamma B5	SD Gamma Curve B (Point 96).	x	x	x	x	x	x	x	x	B5	0x00
0xB6	SD Gamma B6	SD Gamma Curve B (Point 128).	x	x	x	x	x	x	x	x	B6	0x00
0xB7	SD Gamma B7	SD Gamma Curve B (Point 160).	x	x	x	x	x	x	x	x	B7	0x00
0xB8	SD Gamma B8	SD Gamma Curve B (Point 192).	x	x	x	x	x	x	x	x	B8	0x00
0xB9	SD Gamma B9	SD Gamma Curve B (Point 224).	x	x	x	x	x	x	x	x	B9	0x00
0xBA	SD Brightness Detect	SD Brightness Value.	x	x	x	x	x	x	x	x	Read only.	0xXX
0xBB	Field Count Register	Field Count.						x	x	x	Read only.	0x0X
		Reserved.			0	0	0				Reserved.	
		Revision Code.	0	0							Read only.	

表30. レジスタ0xE0～0xF1

SR7 to SR0	Register ¹	Bit Description	Bit Number								Register Setting	Reset Value
			7	6	5	4	3	2	1	0		
0xE0	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE1	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE2	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE3	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE4	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE5	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE6	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE7	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE8	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xE9	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEA	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEB	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEC	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xED	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEE	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xEF	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xF0	Macrovision	MV Control Bits.	x	x	x	x	x	x	x	x		0x00
0xF1	Macrovision	MV Control Bit.	0	0	0	0	0	0	0	x	Bits[7:1] must be 0.	0x00

¹ MacrovisionレジスタはADV7340でのみ、使用可能です。

入力設定

ADV7340/ADV7341はさまざまな入力モードをサポートします。所望の入力モードを選択するときは、サブアドレス0x01のビット[6:4]を使用します。デフォルトでは、ADV7340/ADV7341はパワーアップ時に標準解像度専用（SD専用）になります。表31に、可能なすべての入力設定の概要を示します。次に、各入力モードの詳細について説明します。

標準解像度専用

サブアドレス0x01のビット[6:4]=000

標準解像度（SD）のYCrCbデータは、4:2:2フォーマットで入力できます。標準解像度（SD）のRGBデータは、4:4:4フォーマットで入力できます。

CLKIN_Aピンには、27MHzのクロック信号を入力する必要があります。S_{HSYNC}ピンとS_{VSYNC}ピンには、入力同期信号が入力されます。

8/10ビットの4:2:2 YCrCbモード

サブアドレス0x87のビット7=0；サブアドレス0x88のビット3=0

8/10ビットの4:2:2 YCrCb入力モードでは、インターリーブされたピクセル・データは、ピンS9～S2/S0（またはサブアドレス0x01のビット7に応じて、ピンY9～Y2/Y0）に入力されます。S0/Y0は、10ビット入力モードでのLSBです。ITU-R BT.601/656入力規格をサポートしています。

16/20ビットの4:2:2 YCrCbモード

サブアドレス0x87のビット7=0；サブアドレス0x88のビット3=1

16/20ビットの4:2:2 YCrCb入力モードでは、Yピクセル・データは、ピンS9～S2/S0（またはサブアドレス0x01のビット7に応じて、ピンY9～Y2/Y0）に入力されます。S0/Y0は20ビット入力モードでのLSBです。

CrCbピクセル・データは、ピンY9～Y2/Y0（またはサブアドレス0x01のビット7に応じて、ピンC9～C2/C0）に入力されます。Y0/C0は、20ビット入力モードでのLSBです。

24/30ビットの4:4:4 RGBモード

サブアドレス0x87のビット7=1

24/30ビットの4:4:4 RGB入力モードでは、赤のピクセル・データはピンS9～S2/S0に入力され、緑のピクセル・データはピンY9～Y2/Y0に入力され、青のピクセル・データはピンC9～C2/C0に入力されます。S0、Y0、C0は、30ビット入力モードでの各バスのLSBです。

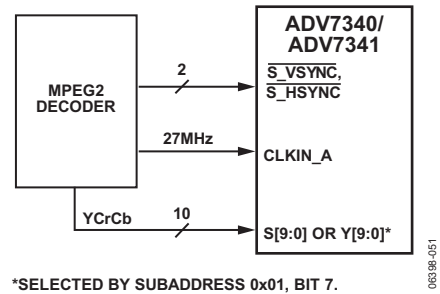


図51. SD専用のアプリケーション例

表31. 入力設定

Input Mode ¹		S										Y										C									
		9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
000	SD Only	Y/C/S Bus Swap (0x01[7]) = 0																													
	8-/10-Bit YCrCb ^{2,3}	YCrCb																													
	16-/20-Bit YCrCb ^{2,3,4}	Y										CrCb																			
		Y/C/S Bus Swap (0x01[7]) = 1																													
	8-/10-Bit YCrCb ^{2,3}											YCrCb																			
	16-/20-Bit YCrCb ^{2,3,4}											Y										CrCb									
		SD RGB Input Enable (0x87[7]) = 1																													
	24-/30-Bit RGB ⁴	R										G										B									
001	ED/HD-SDR Only ^{3,5,6,7}	ED/HD RGB Input Enable (0x35[1]) = 0																													
	16-/20-Bit YCrCb											Y										CrCb									
	24-/30-Bit YCrCb	Cr										Y										Cb									
		ED/HD RGB Input Enable (0x35[1]) = 1																													
	24-/30-Bit RGB ⁴	R										G										B									
010	ED/HD-DDR Only (8-/10-Bit) ^{3,6,7}											YCrCb																			
011	SD, ED/HD-SDR (24-/30-Bit) ^{3,6,7,8}	YCrCb (SD)										Y (ED/HD)										CrCb (ED/HD)									
100	SD, ED/HD-DDR (16-/20-Bit) ^{3,6,7,8}	YCrCb (SD)										YCrCb (ED/HD)																			
111	ED Only (54 MHz) (8-/10-Bit) ^{3,6,7}											YCrCb																			

¹ 入力モードは、サブアドレス0x01のビット[6:4]によって指定されます。

² SD専用（YCrCb）モードでは、入力データのフォーマットは、サブアドレス0x88のビット[4:3]によって指定されます。詳細については表26を参照。

³ 8/16/24ビットの入力では、該当する各入力バスの8つの最上位ビット（MSB）のみを使用。

⁴ この入力モードでは、外部同期信号を使用する必要があります。組込みEAV/SAVタイミング・コードはサポートしていません。

⁵ ED/HD-SDR専用（YCrCb）モードでは、入力データのフォーマットは、サブアドレス0x33のビット6によって指定されます。詳細については表19を参照。

⁶ ED=拡張解像度=525pと625p。

⁷ ED/HD入力データのバス幅は、サブアドレス0x33のビット2（0=8ビット、1=10ビット）によって指定されます。詳細については表19を参照。

⁸ SD入力データのバス幅は、サブアドレス0x88のビット4（0=8ビット、1=10ビット）によって指定されます。詳細については表26を参照。

ADV7340/ADV7341

拡張解像度／高解像度専用

サブアドレス0x01のビット[6:4]=001または010

拡張解像度 (ED) または高解像度 (HD) のYCrCbデータは、4:2:2または4:4:4のフォーマットで入力できます。所望の場合は、デュアル・データレート (DDR) のピクセル・データ入力を採用できます (4:2:2フォーマットのみ)。

拡張解像度 (ED) または高解像度 (HD) のRGBデータは、4:4:4フォーマットで入力できます (シングル・データレートのみ)。

CLKIN_Aピンにはクロック信号を入力する必要があります。P_HSYNCピン、P_VSYNCピン、P_BLANKピンには同期信号が入力されます。

16/20ビットの4:2:2 YCrCbモード (SDR)

サブアドレス0x35のビット1=0; サブアドレス0x33のビット6=1

16/20ビットの4:2:2 YCrCb入力モードでは、Yピクセル・データは、ピンY9~Y2/Y0に入力されます。Y0は20ビット入力モードでのLSBです。

CrCbピクセル・データは、ピンC9~C2/C0に入力されます。C0は20ビット入力モードでのLSBです。

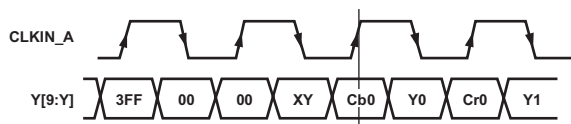
8/10ビットの4:2:2 YCrCbモード (DDR)

サブアドレス0x35のビット1=0; サブアドレス0x33のビット6=1

8/10ビットのDDR 4:2:2 YCrCb入力モードでは、Yピクセル・データは、CLKIN_Aの立上がりまたは立下がりエッジで、ピンY9~Y2/Y0に入力されます。Y0は10ビット入力モードでのLSBです。

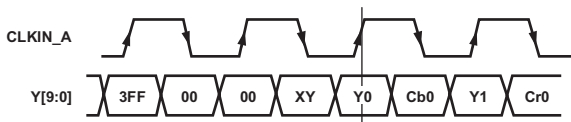
CrCbピクセル・データも、CLKIN_Aの反対側のエッジで、ピンY9~Y2/Y0に入力されます。Y0は10ビット入力モードでのLSBです。

Yデータのクロック入力CLKIN_Aの立上がりエッジになるか立下がりエッジになるかは、サブアドレス0x01のビット[2:1]によって指定されます (図52と図53を参照)。



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 00 IN THIS CASE.

図52. ED/HD-DDRの入力シーケンス (EAV/SAV) — オプションA



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 11 IN THIS CASE.

図53. ED/HD-DDRの入力シーケンス (EAV/SAV) — オプションB

24/30ビットの4:4:4 YCrCbモード

サブアドレス0x35のビット1=0; サブアドレス0x33のビット6=0

24/30ビットの4:4:4 YCrCb入力モードでは、Yピクセル・データは、ピンY9~Y2/Y0に入力されます。Y0は30ビット入力

モードでのLSBです。

Crピクセル・データは、ピンS9~S2/S0に入力されます。S0は30ビット入力モードでのLSBです。

Cbピクセル・データは、ピンC9~C2/C0に入力されます。C0は30ビット入力モードでのLSBです。

24/30ビットの4:4:4 RGBモード

サブアドレス0x35のビット1=1

24/30ビットの4:4:4 RGB入力モードでは、赤のピクセル・データはピンS9~S2/S0に入力され、緑のピクセル・データはピンY9~Y2/Y0に入力され、青のピクセル・データはピンC9~C2/C0に入力されます。S0、Y0、C0は30ビット入力モードでの各バスのLSBです。

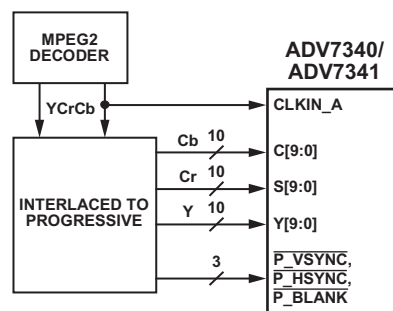


図54. ED/HD専用のアプリケーション例

標準解像度と拡張解像度／高解像度の同時処理

サブアドレス0x01のビット[6:4]=011または100

ADV7340/ADV7341では、SD 4:2:2 YCrCbデータとED/HD 4:2:2 YCrCbデータを同時に処理できます。CLKIN_Aピンには27MHzのSDクロック信号を入力する必要があります。CLKIN_BピンにはED/HDクロック信号を入力する必要があります。S_HSYNCピンとS_VSYNCピンには、SD入力同期信号が入力されます。P_HSYNCピン、P_VSYNCピン、P_BLANKピンには、ED/HD同期信号が入力されます。

SD 8/10ビットの4:2:2 YCrCbとED/HD-SDR 16/20ビットの4:2:2 YCrCb

SD 8/10ビットの4:2:2 YCrCbピクセル・データは、ピンS9~S2/S0に入力されます。S0は10ビット入力モードでのLSBです。

ED/HD 16/20ビットの4:2:2 Yピクセル・データは、ピンY9~Y2/Y0に入力されます。Y0は20ビット入力モードでのLSBです。

ED/HD 16/20ビットの4:2:2 CrCbピクセル・データは、ピンC9~C2/C0に入力されます。C0は20ビット入力モードでのLSBです。

SD 8/10ビットの4:2:2 YCrCbとED/HD-DDR 8/10ビットの4:2:2 YCrCb

SD 8/10ビットの4:2:2 YCrCbピクセル・データは、ピンS9~S2/S0に入力されます。S0は10ビット入力モードでのLSBです。

ED/HD-DDR 8/10ビットの4:2:2 Yピクセル・データは、CLKIN_Bの立上がりまたは立下がりエッジで、ピンY9~Y2/Y0に入力されます。Y0は10ビット入力モードでのLSBです。

ED/HD-DDR 8/10ビットの4:2:2 CrCbピクセル・データも、CLKIN_Bの反対側のエッジで、ピンY9~Y2/Y0に入力されます。Y0は10ビット入力モードでのLSBです。

ED/HD Yデータのクロック入力CLKIN_Bの立上がりエッジになるか立下がりエッジになるかは、サブアドレス0x01のビット[2:1]によって指定されます（図52と図53に示す入力シーケンスを参照）。

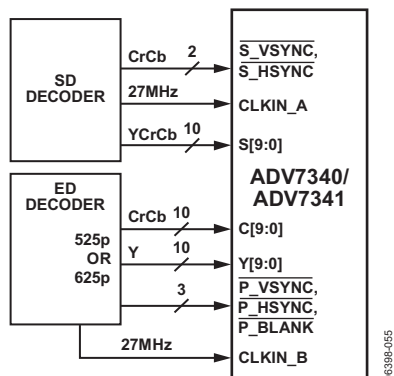


図55. SDとEDの同時処理アプリケーション例

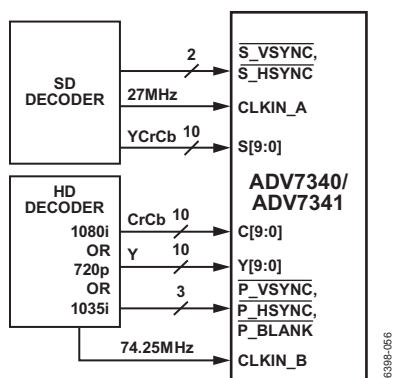


図56. SDとHDの同時処理アプリケーション例

拡張解像度専用（54MHz）

サブアドレス0x01のビット[6:4]=111

拡張解像度（ED）のYCrCbデータは、54MHzのレート、インターリーブされた4:2:2フォーマットで、8/10ビットのバスに入力できます。

CLKIN_Aピンには、54MHzのクロック信号を入力する必要があります。P_HSYNCピン、P_VSYNCピン、P_BLANKピンには、同期信号が入力されます。

インターリーブされたピクセル・データは、ピンY9～Y2/Y0に入力されます。Y0は10ビット入力モードでのLSBです。

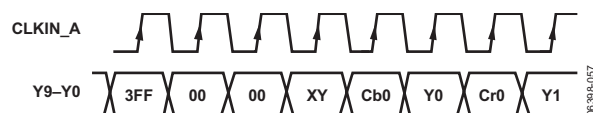


図57. ED専用（54MHz）の入力シーケンス（EAV/SAV）

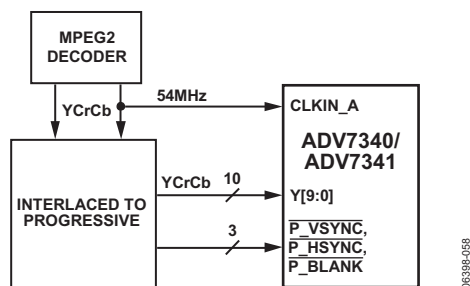


図58. ED専用（54MHz）のアプリケーション例

ADV7340/ADV7341

出力設定

ADV7340/ADV7341は、さまざまな出力設定をサポートします。表32～35に、可能なすべての出力設定を示します。

表32. SD専用の出力設定

RGB/YPrPb Output Select ¹ (0x02, Bit 5)	SD DAC Output 2 (0x82, Bit 2)	SD DAC Output 1 (0x82, Bit 1)	SD Luma/Chroma Swap (0x84, Bit 7)	DAC 1	DAC 2	DAC 3	DAC 4	DAC 5	DAC 6
0	0	0	0	G	B	R	CVBS	Luma	Chroma
0	0	0	1	G	B	R	CVBS	Chroma	Luma
0	0	1	0	CVBS	Luma	Chroma	G	B	R
0	0	1	1	CVBS	Chroma	Luma	G	B	R
0	1	0	0	CVBS	B	R	G	Luma	Chroma
0	1	0	1	CVBS	B	R	G	Chroma	Luma
0	1	1	0	G	Luma	Chroma	CVBS	B	R
0	1	1	1	G	Chroma	Luma	CVBS	B	R
1	0	0	0	Y	Pb	Pr	CVBS	Luma	Chroma
1	0	0	1	Y	Pb	Pr	CVBS	Chroma	Luma
1	0	1	0	CVBS	Luma	Chroma	Y	Pb	Pr
1	0	1	1	CVBS	Chroma	Luma	Y	Pb	Pr
1	1	0	0	CVBS	Pb	Pr	Y	Luma	Chroma
1	1	0	1	CVBS	Pb	Pr	Y	Chroma	Luma
1	1	1	0	Y	Luma	Chroma	CVBS	Pb	Pr
1	1	1	1	Y	Chroma	Luma	CVBS	Pb	Pr

¹ SD RGB出力が選択された場合は、サブアドレス0x86のビット7を使用してカラー・リバーサルが可能です。

表33. ED/HD専用の出力設定

RGB/YPrPb Output Select (0x02, Bit 5)	ED/HD Color DAC Swap (0x35, Bit 3)	DAC 1	DAC 2	DAC 3	DAC 4	DAC 5	DAC 6
0	0	G	B	R	N/A	N/A	N/A
0	1	G	R	B	N/A	N/A	N/A
1	0	Y	Pb	Pr	N/A	N/A	N/A
1	1	Y	Pr	Pb	N/A	N/A	N/A

表34. SDとED/HDの同時処理出力設定

RGB/YPrPb Output (0x02, Bit 5)	ED/HD Color DAC Swap (0x35, Bit 3)	SD Luma/Chroma Swap (0x84, Bit 7)	DAC 1 (ED/HD)	DAC 2 (ED/HD)	DAC 3 (ED/HD)	DAC 4 (SD)	DAC 5 (SD)	DAC 6 (SD)
0	0	0	G	B	R	CVBS	Luma	Chroma
0	0	1	G	B	R	CVBS	Chroma	Luma
0	1	0	G	R	B	CVBS	Luma	Chroma
0	1	1	G	R	B	CVBS	Chroma	Luma
1	0	0	Y	Pb	Pr	CVBS	Luma	Chroma
1	0	1	Y	Pb	Pr	CVBS	Chroma	Luma
1	1	0	Y	Pr	Pb	CVBS	Luma	Chroma
1	1	1	Y	Pr	Pb	CVBS	Chroma	Luma

表35. ED専用（54MHz）出力設定

RGB/YPrPb Output Select (0x02, Bit 5)	ED/HD Color DAC Swap (0x35, Bit 3)	DAC 1	DAC 2	DAC 3	DAC 4	DAC 5	DAC 6
0	0	G	B	R	N/A	N/A	N/A
0	1	G	R	B	N/A	N/A	N/A
1	0	Y	Pb	Pr	N/A	N/A	N/A
1	1	Y	Pr	Pb	N/A	N/A	N/A

特長

出力オーバーサンプリング

ADV7340/ADV7341には2つのオンチップ・フェーズ・ロック・ループ（PLL）があるため、SD、ED、およびHDビデオ・データのオーバーサンプリングが可能です。表36に、ADV7340/ADV7341がサポートするさまざまなオーバーサンプリング・レートを示します。

SD専用、ED専用、およびHD専用のモード

PLL 1は、SD専用ED専用およびHD専用のモードで使用します。PLL 2は、これらのモードでは使用しません。PLL 1は、デフォルトではディスエーブルされ、サブアドレス0x00のビット1=0を使用してイネーブルすることができます。

SDとED/HDの同時モード

同時モードでは、PLL 1とPLL 2の両方を使用します。2つのPLLを使用することで、SDとED/HDビデオの独立したオーバーサンプリングが可能になります。PLL 1はSDビデオ・データのオーバーサンプリングに使用し、PLL 2はED/HDビデオ・データのオーバーサンプリングに使用します。同時モードでは、PLL 2は常にイネーブルされます。PLL 1は、デフォルトではディスエーブルされ、サブアドレス0x00のビット1=0を使用してイネーブルすることができます。

ED/HD非標準タイミング・モード

サブアドレス0x30のビット[7:3]=00001

ED/HD入力モード・テーブルにある規格に準拠しないED/HD入力データの場合は（サブアドレス0x30のビット[7:3]）、ED/HD非標準タイミング・モードを使用してADV7340/

ADV7341に接続できます。ED/HD非標準タイミング・モードをイネーブルするときは、サブアドレス0x30のビット[7:3]を00001に設定します。

CLKIN_Aピンにはクロック信号を入力する必要があります。エンコーダからのアナログ出力上に適切な水平および垂直同期パルスを発生するときは、ユーザがP_HSYNCとP_VSYNCをトグルする必要があります。図59に、生成できるさまざまな出力レベルを示します。表37に、これらの出力レベルの発生に必要な変化を示します。

ED/HD非標準タイミング・モードでは、組込みEAV/SAVタイミング・コードは使用できません。

出力でブランキング・レベルが見込まれるエンコーダに対しては、適切なピクセル・データが入力されるよう保証する必要があります。

ED/HD非標準タイミング・モードでは、Macrovision（ADV7340のみ）と出力オーバーサンプリングは使用できません。

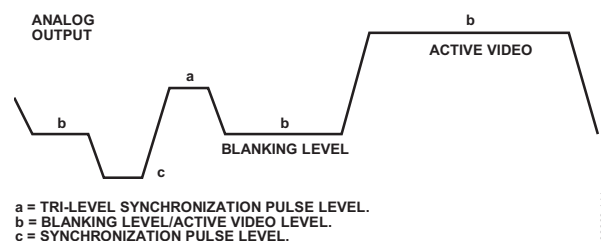


図59. ED/HD非標準タイミング・モードの出力レベル

表36. 出力オーバーサンプリングのモードとレート

Input Mode Subaddress 0x01[6:4]		PLL and Oversampling Control Subaddress 0x00, Bit 1	Oversampling Mode and Rate
000	SD only	1	SD (2×)
000	SD only	0	SD (16×)
001/010	ED only	1	ED (1×)
001/010	ED only	0	ED (8×)
001/010	HD only	1	HD (1×)
001/010	HD only	0	HD (4×)
011/100	SD and ED	1	SD (2×) and ED (8×)
011/100	SD and ED	0	SD (16×) and ED (8×)
011/100	SD and HD	1	SD (2×) and HD (4×)
011/100	SD and HD	0	SD (16×) and HD (4×)
111	ED only (at 54 MHz)	1	ED only (at 54 MHz) (1×)
111	ED only (at 54 MHz)	0	ED only (at 54 MHz) (8×)

表37. ED/HD非標準タイミング・モードの同期信号生成

Output Level Transition ¹	P_HSYNC	P_VSYNC
b → c	1 → 0	1 → 0 or 0 ²
c → a	0	0 → 1
a → b	0 → 1	1
c → b	0 → 1	0

¹ a=3レベル同期パルス・レベル、b=ブランキング・レベル/アクティブ・ビデオ・レベル、c=同期パルス・レベル。

² P_VSYNC=1の場合は0に変化します。P_VSYNC=0の場合は0にとどまります。3レベル同期パルス発生が必要でない場合は、P_VSYNCを常に0としてください。

ED/HDタイミング・リセット

サブアドレス0x34のビット0

ED/HDタイミング・リセットを行うときは、ED/HDタイミング・リセット制御ビット（サブアドレス0x34のビット0）を0から1にトグルします。この状態では、水平方向と垂直方向のカウナは、リセットされたままです。このビットが再び0に設定されると、内部カウンタはカウントを再開します。このタイミング・リセットは、ED/HDタイミング・カウンタにのみ適用されます。

SDサブキャリア周波数ロック、サブキャリア・フェーズ・リセット、タイミング・リセット

サブアドレス0x84のビット[2:1]

ADV7340/ADV7341は、SFL/MISOピンとSDモード・レジスタ4（サブアドレス0x84のビット[2:1]）と共に、タイミング・リセット・モード、サブキャリア・フェーズ・リセット・モード、またはSFLモードで使用できます。

タイミング・リセット（TR）モード

このモード（サブアドレス0x84のビット[2:1]=10）では、タイミング・リセットは、SFL/MISOピン（48番ピン）上のローレベルからハイレベルへの変化によって行われます。この状態では、水平方向と垂直方向のカウナはリセットされたままです。

このピンを解放（ローレベルに設定）すると、内部カウンタはフィールド1からカウントを再開し、サブキャリア・フェーズがリセットされます。ピンをハイレベルに保持しなければならない最小時間は1クロック・サイクルです。そうしないと、こ

のリセット信号は認識されないことがあります。このタイミング・リセットは、SDタイミング・カウンタにのみ適用されます。

サブキャリア・フェーズ・リセット（SCR）モード

このモード（サブアドレス0x84のビット[2:1]=01）では、SFL/MISOピン（48番ピン）上のローレベルからハイレベルへの変化によって、サブキャリア・フェーズ・リセット時に続くフィールドで、サブキャリア・フェーズが0にリセットされます。このリセット信号は、最小1クロック・サイクルの間、ハイレベルに保持する必要があります。

フィールド・カウンタはリセットされないため、リセット信号はフィールド7（PAL）またはフィールド3（NTSC）に入力することを推奨します。これによって、フェーズのリセットは、次のフィールド（つまり、フィールド1）で、内部カウンタと正しく整合して行われます。サブアドレス0xBBにあるフィールド・カウント・レジスタを使用すると、アクティブ・フィールドの数を識別できます。

サブキャリア周波数ロック（SFL）モード

このモード（サブアドレス0x84のビット[2:1]=11）では、ADV7340/ADV7341を使用して外部ビデオ・ソースにロックできます。SFLモードでは、ADV7340/ADV7341はサブキャリア周波数を自動的に変更してライン長の変動を補償できます。ADV7340/ADV7341を、SFLフォーマットでデジタル・データ・ストリームを出力するADV7403ビデオ・デコーダ（図62を参照）などのデバイスに接続すると、ラインごとの補償サブキャリア周波数に自動的に変化します。このデジタル・データ・ストリームは67ビット幅で、サブキャリアはビット0～21に格納されています。各ビットは2クロック・サイクル長です。

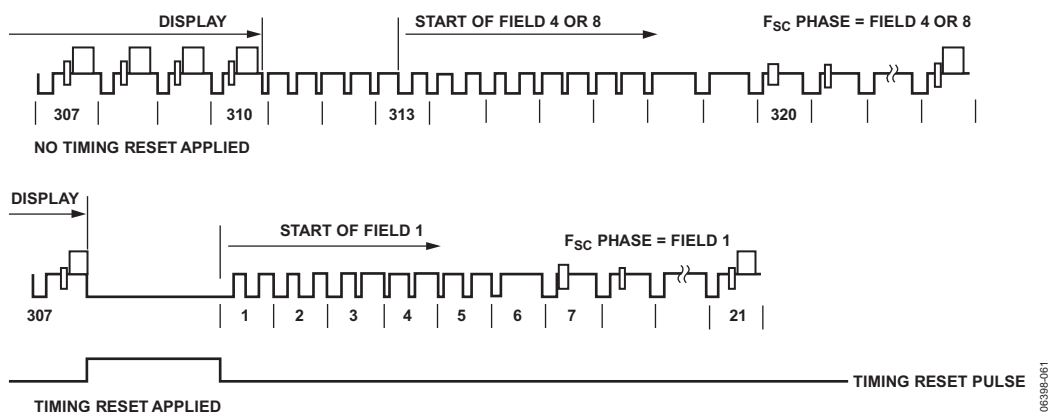


図60. SDタイミング・リセットのタイミング図（サブアドレス0x84のビット[2:1]=10）

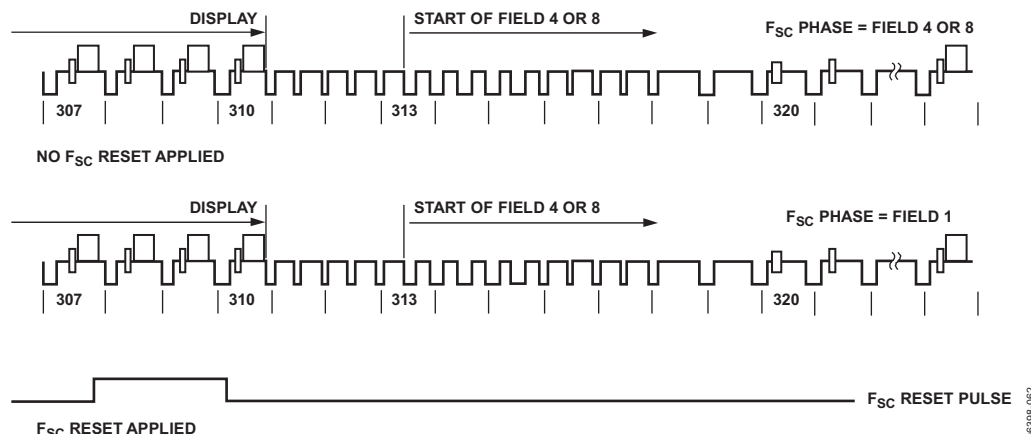


図61. SDサブキャリア・フェーズ・リセットのタイミング図（サブアドレス0x84のビット[2:1]=01）

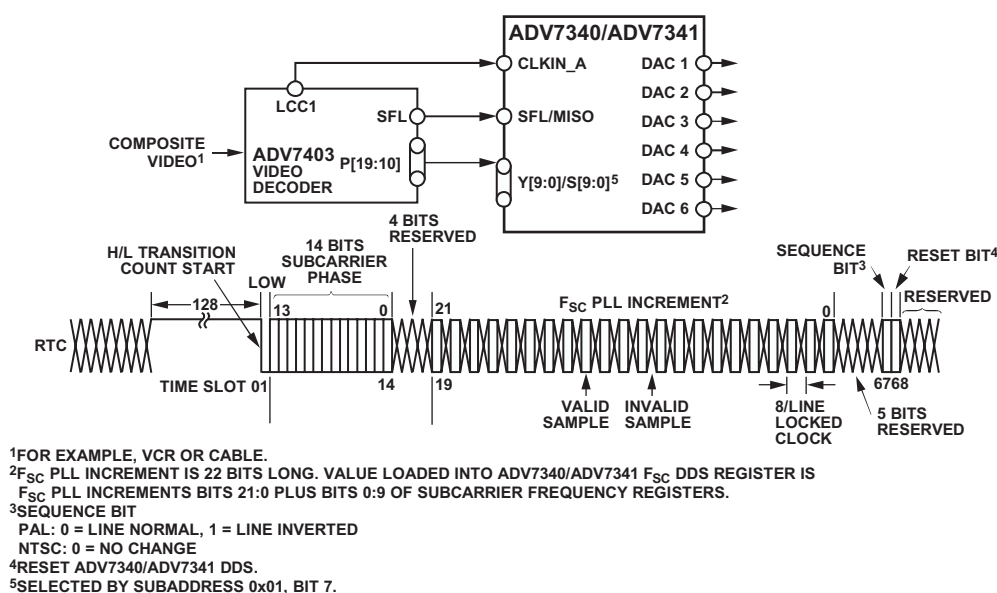


図62. SDサブキャリア周波数のロック・タイミングと接続図（サブアドレス0x84のビット[2:1]=11）

SD VCR FF/RW同期

サブアドレス0x82のビット5

エンコーダとデコーダを使用するDVDレコード・アプリケーションでは、非標準の入力ビデオ（早送りまたは巻戻しモード）に対してVCR FF/RW同期制御ビットを使用できます。

早送りモードでは、入力ビデオの新しいフィールドの先頭にある同期情報は、一般に、正しいライン／フィールド数に達する前に発生します。巻戻しモードでは、この同期信号は一般に、ライン／フィールドの合計数に達した後で発生します。通常、これは出力ビデオがフィールド信号を破壊したことを意味します。理由は、入力ビデオによって1つの信号が生成され、内部のライン／フィールド・カウンタがフィールドの最後に到達したときに別の信号が生成されるからです。

VCR FF/RW同期制御がイネーブルされ（サブアドレス0x82のビット5）、アナログ出力が入力VSYNC信号に一致すると、入力VSYNC信号に基づいてライン／フィールド・カウンタが更新されます。

この制御は、スレーブ・モード0を除くすべてのスレーブタイミング・モードで使用できます。

垂直ブランキング期間

サブアドレス0x31のビット4；サブアドレス0x83のビット4

ADV7340/ADV7341は、SD、ED、HDモードでVBIデータ（CGMS、WSS、VITSなど）を含む入力データを受け付けることができます。

VBIがディセーブル（ED/HDではサブアドレス0x31のビット4；SDではサブアドレス0x83のビット4）の場合は、VBIデータは出力に存在せず、VBI全体がブランクになります。これらの制御ビットは、マスターとスレーブのすべてのタイミング・モードで有効です。

VBIデータは、SMPTE 293M（525p）規格では各フレームのライン13～42に挿入でき、ITU-R BT.1358（625p）規格ではライン6～43に挿入できます。

VBIデータは、NTSCではライン10～20に存在でき、PALではライン7～22に存在できます。

SDタイミング・モード0（スレーブ・オプション）で、VBIがイネーブルされている場合は、EAV/SAVコードのブランキング・ビットは上書きされます。このタイミング・モードでは、VBIを使用することもできます。

CGMSがイネーブルされていてVBIがディセーブルされている場合も、CGMSデータは出力で使用可能です。

SDサブキャリア周波数レジスタ

サブアドレス0x8C～0x8F

サブキャリア周波数の設定には、4本の8ビット・レジスタを使用します。これらのレジスタの値は、次式で計算されます。

$$\text{Subcarrier Frequency Register} = \frac{\text{Number of subcarrier periods in one video line}}{\text{Number of 27 MHz clk cycles in one video line}} \times 2^{32}$$

ここで、合計値は最も近い整数に四捨五入されます。

たとえば、NTSCモードでは、

$$\text{Subcarrier Register Value} = \left(\frac{227.5}{1716} \right) \times 2^{32} = 569408543$$

ここで、

$$\text{Subcarrier Register Value} = 569408543d = 0 \times 21F07C1F$$

SD F_{SC}レジスタ0：0x1F

SD F_{SC}レジスタ1：0x7C

SD F_{SC}レジスタ2：0xF0

SD F_{SC}レジスタ3：0x21

ADV7340/ADV7341

F_{sc}のプログラミング

前の例に示すように、サブキャリア周波数レジスタ値は、4本のF_{sc}レジスタに分けられます。4本のサブキャリア周波数レジスタは、サブキャリア周波数レジスタ0からサブキャリア周波数レジスタ3まで、連続して更新する必要があります。サブキャリア周波数は、ADV7340/ADV7341が最後のサブキャリア周波数レジスタ・バイトを受信した後でのみ更新されます。

代表的なF_{sc}値

表38に、NTSCとPAL B/D/G/H/Iに関して、サブキャリア周波数レジスタに書き込むべき値を示します。

表38. 代表的なF_{sc}値

Subaddress	Description	NTSC	PAL B/D/G/H/I
0x8C	F _{sc} 0	0x1F	0xCB
0x8D	F _{sc} 1	0x7C	0x8A
0x8E	F _{sc} 2	0xF0	0x09
0x8F	F _{sc} 3	0x21	0x2A

SDノンインターレース・モード

サブアドレス0x88のビット1

ADV7340/ADV7341は、SDノンインターレース・モードをサポートします。このモードを使用すると、NTSCとPALのフレーム・レートの2倍（それぞれ、240p/59.94Hzと288p/50Hz）のプログレッシブ入力をADV7340/ADV7341に入力できます。

SDノンインターレース・モードは、サブアドレス0x88のビット1を使用してイネーブ爾することができます。

CLKIN_Aピンには、27MHzのクロック信号を入力する必要があります。入力ピクセル・データの同期をとるときは、S_HSYNCピンとS_VSYNCピンに入力される外部水平／垂直同期信号や組込みEAV/SAVタイミング・コードを使用できます。

NTSCモードとPALモードで使用可能なすべての入力設定、出力設定、および機能は、SDノンインターレース・モードで使用できます。

240p/59.94Hz入力の場合は、ADV7340/ADV7341をNTSC動作に設定し、サブアドレス0x88のビット1を1に設定します。

288p/50Hz入力の場合は、ADV7340/ADV7341をPAL動作に設定し、サブアドレス0x88のビット1を1に設定します。

SDスクエア・ピクセル・モード

サブアドレス0x82のビット4

ADV7340/ADV7341は、スクエア・ピクセル・モードで使用できます（サブアドレス0x82のビット4）。NTSC動作の場合は、24.5454MHzの入力クロックが必要です。PAL動作の場合は、29.5MHzの入力クロックが必要です。内部タイミング・ロジックは、スクエア・ピクセル・モードでの動作に合わせて調整します。スクエア・ピクセル・モードでは、図63と図64に示すタイミング図が適用されます。

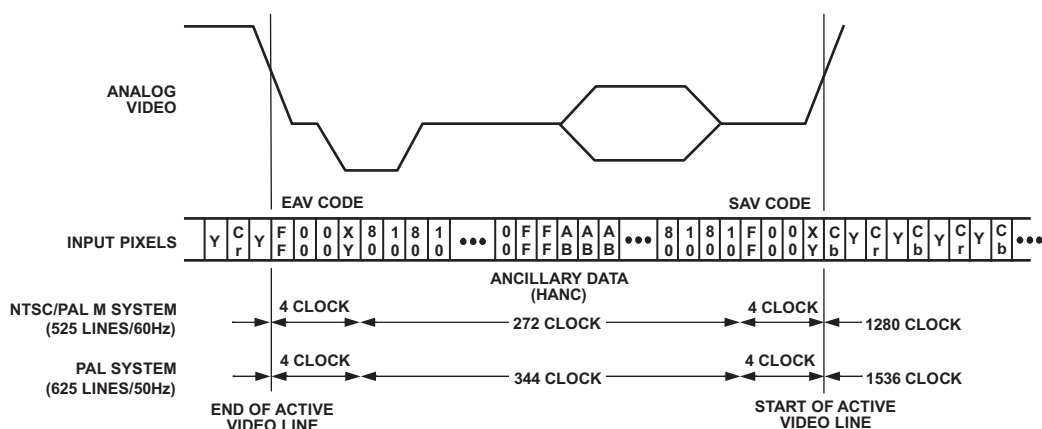


図63. スクエア・ピクセル・モードのEAV/SAV組込みタイミング

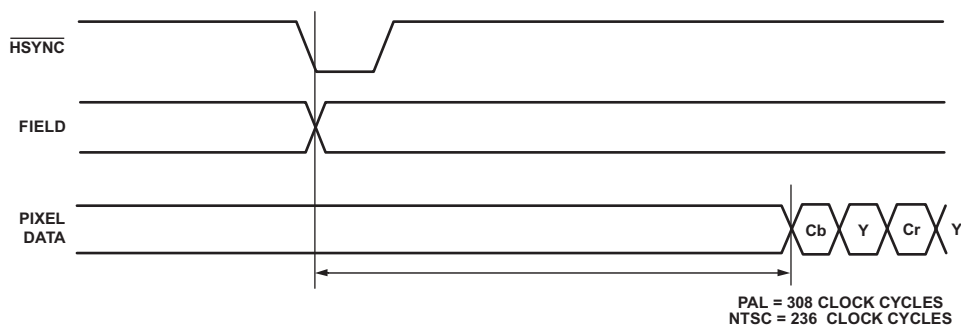


図64. スクエア・ピクセル・モードのアクティブ・ピクセル・タイミング

フィルタ

表39に、ADV7340/ADV7341で使用できるプログラマブル・フィルタの概要を示します。

表39. 選択可能なフィルタ

Filter	Subaddress
SD Luma LPF NTSC	0x80
SD Luma LPF PAL	0x80
SD Luma Notch NTSC	0x80
SD Luma Notch PAL	0x80
SD Luma SSAF	0x80
SD Luma CIF	0x80
SD Luma QCIF	0x80
SD Chroma 0.65 MHz	0x80
SD Chroma 1.0 MHz	0x80
SD Chroma 1.3 MHz	0x80
SD Chroma 2.0 MHz	0x80
SD Chroma 3.0 MHz	0x80
SD Chroma CIF	0x80
SD Chroma QCIF	0x80
SD PrPb SSAF	0x82
ED/HD Chroma Input	0x33
ED/HD Sinc Compensation Filter	0x33
ED/HD Chroma SSAF	0x33

SD内部フィルタ応答

サブアドレス0x80のビット[7:2]；サブアドレス0x82のビット0 Yフィルタは、2つのローパス応答、2つのノッチ応答、ゲインの増大／減衰がある場合とない場合の拡張（SSAF）応答、CIF応答、QCIF応答など、さまざまな周波数応答をサポートします。PrPbフィルタは、図39と図40に示すように、6つのローパス応答、CIF応答、QCIF応答など、さまざまな周波数応答をサポートします。

SD SSAFゲインがイネーブル（サブアドレス0x87のビット4）の場合は、 $-4 \sim +4$ dBのレンジで13の応答オプションがあります。所望の応答は、サブアドレス0xA2を使用してプログラムできます。図36～図38に、周波数応答のバリエーションを示します。

表39に記載したクロミナンス・フィルタのほかに、ADV7340/ADV7341には、色差コンポーネント出力（PrとPb）用に特に設計されたSSAFフィルタがあります。このフィルタは、約2.7MHzのカットオフ周波数と3.8MHzで -40 dBのゲインを持っています（図65を参照）。このフィルタは、サブアドレス0x82のビット0で制御できます。

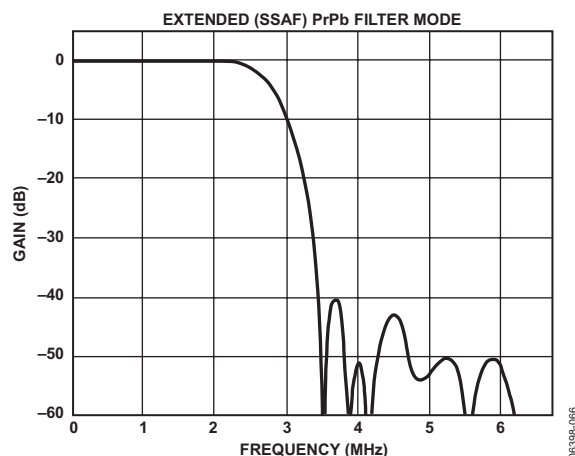


図65. PrPb SSAFフィルタ

このフィルタがデisableされている場合は、表40に示すクロミナンス・フィルタの1つを選択して、CVBS信号やルミナンス／クロミナンス信号に使用できます。

表40. 内部フィルタの仕様

Filter	Pass-Band Ripple (dB) ¹	3 dB Bandwidth (MHz) ²
Luma LPF NTSC	0.16	4.24
Luma LPF PAL	0.1	4.81
Luma Notch NTSC	0.09	2.3/4.9/6.6
Luma Notch PAL	0.1	3.1/5.6/6.4
Luma SSAF	0.04	6.45
Luma CIF	0.127	3.02
Luma QCIF	Monotonic	1.5
Chroma 0.65 MHz	Monotonic	0.65
Chroma 1.0 MHz	Monotonic	1
Chroma 1.3 MHz	0.09	1.395
Chroma 2.0 MHz	0.048	2.2
Chroma 3.0 MHz	Monotonic	3.2
Chroma CIF	Monotonic	0.65
Chroma QCIF	Monotonic	0.5

¹ 通過帯域リップルは、通過帯域における0 dB応答からの最大変動であり、dB単位で測定されます。通過帯域は、ローパス・フィルタでは0 Hz～ f_c (Hz) の周波数限界を持ち、ノッチ・フィルタでは0 Hz～ f_1 (Hz) および f_2 (Hz) ～無限大の周波数限界を持つと定義されます。ここで、 f_c 、 f_1 、 f_2 は -3 dBポイントです。

² 3 dB帯域幅は、 -3 dBのカットオフ周波数を表します。

ED/HD Sinc補償フィルタ応答

サブアドレス0x33のビット3

ADV7340/ADV7341には、ED/HDモードでの動作時に、DAC 1、DAC 2、DAC 3のsincロールオフの効果を阻止するように設計されたフィルタがあります。デフォルトでは、このフィルタはイネーブルされています。これをデisableするときは、サブアドレス0x33のビット3を使用します。図66と図67に、このフィルタの利点を示します。

ADV7340/ADV7341

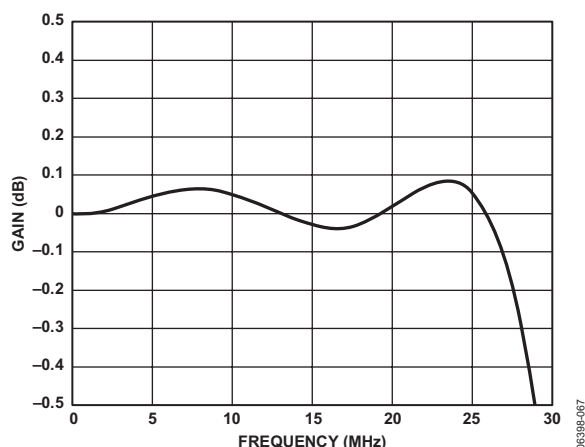


図66. ED/HD Sinc補償フィルタをイネーブル

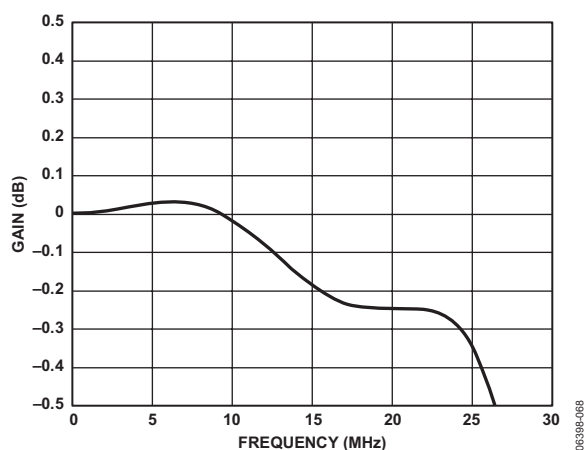


図67. ED/HD Sinc補償フィルタをディスエーブル

ED/HDテスト・パターンのカラー制御

サブアドレス0x36～0x38

サブアドレス0x36～0x38にある3本の8ビット・レジスタは、内部のED/HDテスト・パターン・ジェネレータ（サブアドレス0x31のビット2=1）の出力カラーのプログラムに使用します。これは、クロスハッチ・パターンのラインであっても、ユニフォーム・フィールドのテスト・パターンであってもかまいません。これらのレジスタは、外部ピクセル・データ入力のカラー制御には使えません。

白、黒、および飽和した原色と補色の取得に使用されるルミナンス（Y）信号と色差（CrとCb）信号の値は、ITU-R BT.601-4の規格に準拠します。

表41に、出力規格の選択がEIA 770.2/EIA770.3に設定（サブアドレス0x30のビット[1:0]=00）された場合に、カラー・レジスタにプログラムできるサンプル・カラー値を示します。

表41. EIA 770.2/EIA770.3のサンプル・カラー値
ED/HD出力規格の選択

Sample Color	Y Value	Cr Value	Cb Value
White	235 (0xEB)	128 (0x80)	128 (0x80)
Black	16 (0x10)	128 (0x80)	128 (0x80)
Red	81 (0x51)	240 (0xF0)	90 (0x5A)
Green	145 (0x91)	34 (0x22)	54 (0x36)
Blue	41 (0x29)	110 (0x6E)	240 (0xF0)
Yellow	210 (0xD2)	146 (0x92)	16 (0x10)
Cyan	170 (0xAA)	16 (0x10)	166 (0xA6)
Magenta	106 (0x6A)	222 (0xDE)	202 (0xCA)

色空間変換マトリックス

サブアドレス0x03～0x09

内部の色空間変換（CSC）マトリックスは、モード選択レジスタ（サブアドレス0x01のビット[6:4]）でプログラムされた入力モードに基づいて、すべての色空間変換を自動的に実行します。表42と表43に、このマトリックスで使用できるオプションを示します。

RGB入力からYPrPb出力へのSD色空間変換は可能です。RGB入力からYPrPb出力へのED/HD色空間変換はできません。

表42. SD色空間変換のオプション

Input	Output ¹	YPrPb/RGB Out (Reg. 0x02, Bit 5)	RGB In/YCrCb In (Reg. 0x87, Bit 7)
YCrCb	YPrPb	1	0
YCrCb	RGB	0	0
RGB	YPrPb	1	1
RGB	RGB	0	1

¹ CVBS/YC出力は、CSCのすべての組合わせに使用できます。

表43. ED/HD色空間変換のオプション

Input	Output	YPrPb/RGB Out (Reg. 0x02, Bit 5)	RGB In/YCrCb In (Reg. 0x35, Bit 1)
YCrCb	YPrPb	1	0
YCrCb	RGB	0	0
RGB	RGB	0	1

ED/HDマニュアルCSCマトリックス調整機能

ED/HDマニュアルCSCマトリックス調整機能は、EDモードとHDモードでのみ使用され、色空間変換に独自の係数操作を可能にします。ED/HDマニュアルCSCマトリックス調整機能をイネーブルするときは、サブアドレス0x02のビット3を使用します。

通常、この機能をイネーブルする必要はありません。理由は、CSCマトリックスは、選択された入力モード（EDまたはHD）と選択された入出力色空間（表43を参照）に基づいて、色空間変換を自動的に実行するからです。このため、デフォルトでは、ED/HDマニュアルCSCマトリックス機能調整はディスエーブルされています。

RGB出力が選択された場合は、ED/HD CSCマトリックス・スカラーは次式を使用します。

$$R = GY \times Y + RV \times Pr$$

$$G = GY \times Y - (GU \times Pb) - (GV \times Pr)$$

$$B = GY \times Y + BU \times Pb$$

なお、減算はハードウェアで実装されます。

YPrPb出力が選択された場合には、次式が使用されます。

$$Y = GY \times Y$$

$$Pr = RV \times Pr$$

$$Pb = BU \times Pb$$

ここで、

GY = サブアドレス0x05のビット[7:0]および
サブアドレス0x03のビット[1:0]

GU = サブアドレス0x06のビット[7:0]および
サブアドレス0x04のビット[7:6]

GV = サブアドレス0x07のビット[7:0]および
サブアドレス0x04のビット[5:4]

BU = サブアドレス0x08のビット[7:0]および
サブアドレス0x04のビット[3:2]

RV = サブアドレス0x09のビット[7:0]および
サブアドレス0x04のビット[1:0]

パワーアップ時に、CSCマトリックスは、表44に示すデフォルト値でプログラムされます。

表44. ED/HDマニュアルCSCマトリックスのデフォルト値

Subaddress	Default
0x03	0x03
0x04	0xF0
0x05	0x4E
0x06	0x0E
0x07	0x24
0x08	0x92
0x09	0x7C

ED/HDマニュアルCSCマトリックス調整機能がイネーブルされると、サブアドレス0x03～0x09のデフォルト係数値は、HD色空間に対してのみ正しくなります。カラー・コンポーネントは、次の1080iと720pの規格（SMPTE 274M、SMPTE 296M）に基づいて変換されます。

$$R = Y + 1.575Pr$$

$$G = Y - 0.468Pr - 0.187Pb$$

$$B = Y + 1.855Pb$$

変換係数は、315を乗算してから、ED/HD CSCマトリックス・レジスタに書き込みます。これは、 $GY=0x13B$ 、 $GU=0x03B$ 、 $GV=0x093$ 、 $BU=0x248$ 、 $RV=0x1F0$ のデフォルト値に反映されます。

ED/HDマニュアルCSCマトリックス調整機能がイネーブルさ

れ、別の入力規格（EDなど）が使用される場合は、 GY 、 GU 、 GV 、 BU 、 RV のスケール値は、この入力規格の色空間に基づいて調整する必要があります。カラー・コンポーネント変換ではさまざまなスケール値が使用される可能性があることを考慮してください。

たとえば、SMPTE 293Mでは次の変換を使用します。

$$R = Y + 1.402Pr$$

$$G = Y - 0.714Pr - 0.344Pb$$

$$B = Y + 1.773Pb$$

プログラマブルなCSCマトリックスは、外部のED/HDピクセル・データに使用されますが、内部テスト・パターンがイネーブルされると使用できません。

CSCマトリックスのプログラミング

YCrCbからRGBへの色空間変換にED/HD CSCマトリックス係数のカスタム操作が必要な場合は、次の手順に従ってください。

1. ED/HDマニュアルCSCマトリックス調整機能をイネーブルします（サブアドレス0x02のビット3）。
2. RGBへの出力を設定します（サブアドレス0x02のビット5）。
3. Sync on PrPbをデイスエーブルします（サブアドレス0x35のビット2）。
4. Sync on RGB（オプション）をイネーブルします（サブアドレス0x02のビット4）。

GY 値は緑の信号出力レベルを、 BU 値は青の信号出力レベルを、 RV 値は赤の信号出力レベルを制御します。

SDルミナンスとカラー制御

サブアドレス0x9C～0x9F

SD Yスケール、SD Cbスケール、SD Crスケールは、SDのY、Cb、およびCrの出力レベルをスケールリングする、3本の10ビット・コントロール・レジスタです。

これらの各レジスタは、CbまたはCrレベルをその初期値の0.0から2.0倍に、Yレベルをその初期レベルの0.0から1.5倍にスケールリングするために必要な値を表します。これらの10ビットの値は、次式で計算されます。

$$Y, Cb, \text{ or } Cr \text{ Scale Value} = \text{Scale Factor} \times 512$$

たとえば、スケール係数=1.3の場合は、

$$Y, Cb, \text{ or } Cr \text{ Scale Value} = 1.3 \times 512 = 665.6$$

$$Y, Cb, \text{ or } Cr \text{ Scale Value} = 666 \text{ (最も近い整数に四捨五入)}$$

$$Y, Cb, \text{ or } Cr \text{ Scale Value} = 1010 \ 0110 \ 10b$$

サブアドレス0x9C、SDスケールLSBレジスタ=0x2A

サブアドレス0x9D、SD Yスケール・レジスタ=0xA6

サブアドレス0x9E、SD Cbスケール・レジスタ=0xA6

サブアドレス0x9F、SD Crスケール・レジスタ=0xA6

なお、この機能は、インターレースされたすべての出力信号（つまり、CVBS、Y-C、YPrPb、RGB）に影響を与えます。

ADV7340/ADV7341

SD色相調整コントロール

サブアドレス0xA0

SD色相調整コントロール・レジスタ（サブアドレス0xA0）をイネーブルすると、SDコンポジット出力とクロミナンス出力の色相を調整できます。この機能は、サブアドレス0x87のビット2を使用してイネーブルすることができます。

サブアドレス0xA0には、ビデオ・データの色相の変動（つまり、カラー・バースト期間のサブキャリアの位相を基準にした、アクティブ・ビデオ期間のサブキャリアの位相の変動）に必要なビットがあります。ADV7340/ADV7341は、0.17578125°のインクリメントで±22.5°の範囲を提供します。通常動作（ゼロ調整）の場合は、このレジスタは0x80に設定されます。値0xFFと0x00は、それぞれ、NTSCモードで実現可能な調整の上限と下限を表します。値0xFFと0x01は、それぞれ、PALモードで実現可能な調整の上限と下限を表します。

色相調整値は、次式で計算されます。

$$\text{Hue Adjust (}^\circ\text{)} = 0.17578125^\circ (HCR_d - 128)$$

ここで、 HCR_d は色相調整コントロール・レジスタ（10進）

たとえば、色相を+4°だけ調整するときは、色相調整コントロール・レジスタに0x97を書き込みます。

$$\left(\frac{4}{0.17578125}\right) + 128 \div 151d = 0x97$$

ここで、合計値は最も近い整数に四捨五入されます。

色相を-4°だけ調整するときは、色相調整コントロール・レジスタに0x69を書き込みます。

$$\left(\frac{-4}{0.17578125}\right) + 128 \div 105d = 0x69$$

ここで、合計値は最も近い整数に四捨五入されます。

SDブライトネス検出

サブアドレス0xBA

ADV7340/ADV7341では、入力ビデオ・データのブライトネス・レベルを監視できます。SDブライトネス検出レジスタ（サブアドレス0xBA）は、読み出し専用のレジスタです。

SDブライトネス・コントロール

サブアドレス0xA1のビット[6:0]

この機能がイネーブルされると、SDブライトネス/WSSコントロール・レジスタ（サブアドレス0xA1）は、スケーリングされたYデータにプログラマブルなセットアップ・レベルを加算することによって、ブライトネスの制御に使用できます。この機能をイネーブルするときは、サブアドレス0x87のビット3を使用します。

ペDESTALありのNTSCでは、セットアップは0 IREから22.5 IREまで変動することができます。ペDESTALなしのNTSCと

PALでは、セットアップは-7.5 IREから+15 IREまで変動することができます。

SDブライトネス・コントロール・レジスタは、8ビット・レジスタです。この8ビット・レジスタの7つのLSBはブライトネス・レベルの制御に使用されます。ブライトネス・レベルは正または負の値とすることができます。

たとえば、ペDESTALありのNTSC信号に+20 IREのブライトネス・レベルを加算するときは、サブアドレス0xA1に0x28を書き込みます。

$$0 \times (\text{SD Brightness Value}) =$$

$$0 \times (\text{IRE Value} \times 2.015631) =$$

$$0 \times (20 \times 2.015631) = 0 \times (40.31262) \div 0x28$$

PAL信号に-7 IREのブライトネス・レベルを加算するときは、サブアドレス0xA1に0x72を書き込みます。

$$0 \times (\text{SD Brightness Value}) =$$

$$0 \times (\text{IRE Value} \times 2.075631) =$$

$$0 \times (7 \times 2.015631) = 0x(14.109417) \div 0001110b$$

$$0001110b \text{ into twos complement} = 1110010b = 0x72$$

表45. ブライトネス・コントロール値の例¹

Setup Level (NTSC) with Pedestal	Setup Level (NTSC) Without Pedestal	Setup Level (PAL)	Brightness Control Value
22.5 IRE	15 IRE	15 IRE	0x1E
15 IRE	7.5 IRE	7.5 IRE	0x0F
7.5 IRE	0 IRE	0 IRE	0x00
0 IRE	-7.5 IRE	-7.5 IRE	0x71

¹ 0x3F~0x44の値を使用すると、無効な出力信号になることがあります。

SD入力規格の自動検出

サブアドレス0x87のビット5

ADV7340/ADV7341には、SD入力規格の自動検出機能があります。このSD機能をイネーブルするときは、サブアドレス0x87のビット5を1に設定します。

この機能がイネーブルされると、NTSCまたはPALのB/D/G/H/I入力ストリームを自動的に識別できます。ADV7340/ADV7341は、識別された規格用の適切な値で、サブキャリア周波数レジスタを自動的に更新します。また、識別された規格を正しくエンコードするようにも設定されます。

SD規格ビット（サブアドレス0x80のビット[1:0]）とサブキャリア周波数レジスタは、識別された規格を反映するように更新されません。すべてのレジスタは、そのデフォルト値またはユーザ定義値を保持します。

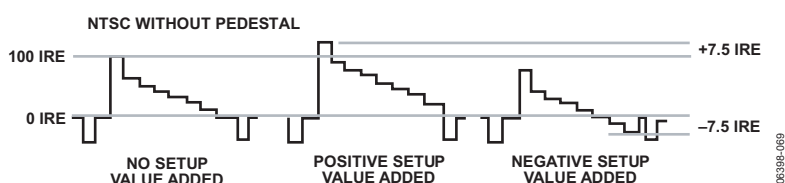


図68. ブライトネス・コントロール値の例

ダブル・バッファリング

サブアドレス0x33のビット7 (ED/HD)

サブアドレス0x88のビット2 (SD)

ダブル・バッファリングされたレジスタは、フィールドごとに1回更新されます。ダブル・バッファリングによって、アクティブ・ビデオ期間中のレジスタ設定の変更は行われず、次のフィールドでのアクティブ・ビデオ開始前に反映されるため、全体的な性能が改善します。

ダブル・バッファリングは、サブアドレス0x33のビット7を使用して、次のED/HDレジスタでアクティブにできます：ED/HDガンマA／ガンマB曲線、およびED/HD CGMSレジスタ。

ダブル・バッファリングは、サブアドレス0x88のビット2を使用して、次のSDレジスタでアクティブにできます：SDガンマA／ガンマB曲線、SD Yスケール、SD Crスケール、SD Cbスケール、SDブライトネス、SDクローズド・キャプショニング、SD Macrovisionビット[5:0] (サブアドレス0xE0のビット[5:0])。

プログラマブルなDACゲイン制御

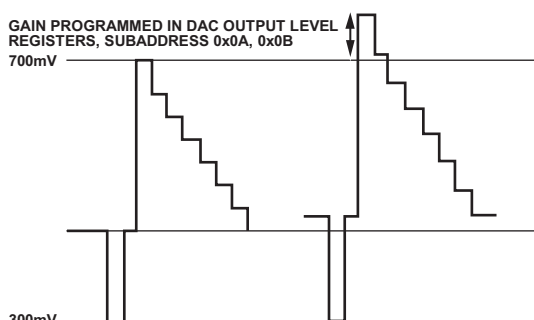
サブアドレス0x0A～0x0B

DAC出力信号のゲインは、その絶対レベルから上下に調整することができます。これを図69に示します。

DAC 4～DAC 6は、レジスタ0x0Aによって制御されます。

DAC 1～DAC 3は、レジスタ0x0Bによって制御されます。

CASE A



CASE B

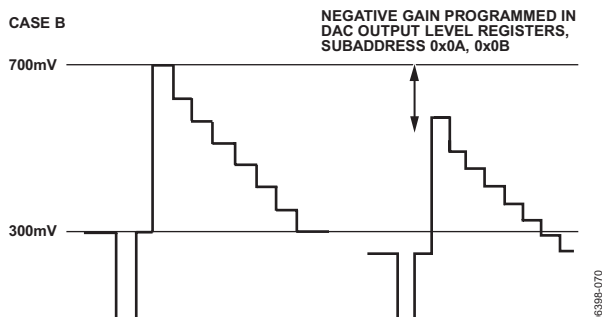


図69. プログラマブルなDACゲイン—正と負のゲイン

図69のCASE Aでは、ビデオ出力信号が大きくなります。同期チップの絶対レベルとブランキング・レベルは、リファレンス・ビデオ出力信号と比較して、いずれも増加します。信号の全ゲインは、リファレンス信号よりも増加します。

図69のCASE Bでは、ビデオ出力信号が小さくなります。同期チップの絶対レベルとブランキング・レベルは、リファレンス・ビデオ出力信号と比較して、いずれも低下します。信号の全ゲインは、リファレンス信号よりも低下します。

この機能の範囲は、DACからの公称出力の±7.5%で規定されています。たとえば、DACの出力電流が4.33mAの場合には、DACゲイン制御機能により、この出力電流を4.008mA (−7.5%) から4.658mA (+7.5%) まで変更できます。

コントロール・レジスタのリセット値は0x00です。つまり、公称DAC電流が出力されます。表46に、DACの出力電流が4.33mAの公称出力電流に対して変化する例を示します。

表46. DACのゲイン制御

Reg. 0x0A or Reg. 0x0B	DAC Current (mA)	% Gain	Note
0100 0000 (0x40)	4.658	7.5000%	Reset value, nominal
0011 1111 (0x3F)	4.653	7.3820%	
0011 1110 (0x3E)	4.648	7.3640%	
...	...	...	
...	...	...	
0000 0010 (0x02)	4.43	0.0360%	
0000 0001 (0x01)	4.38	0.0180%	
0000 0000 (0x00)	4.33	0.0000%	
1111 1111 (0xFF)	4.25	−0.0180%	
1111 1110 (0xFE)	4.23	−0.0360%	
...	...	...	
...	...	...	
1100 0010 (0xC2)	4.018	−7.3640%	
1100 0001 (0xC1)	4.013	−7.3820%	
1100 0000 (0xC0)	4.008	−7.5000%	

ガンマ補正

サブアドレス0x44～0x57 (ED/HD)

サブアドレス0xA6～0xB9 (SD)

一般にガンマ補正は、信号の入力と出力との（CRT上で認識される）ブライトネス・レベルの非線形な関係を補償するために実行されます。また、非線形な処理が使用される場合にも実行できます。

ガンマ補正では、次の関数を使用します。

$$Signal_{OUT} = (Signal_{IN})^{\gamma}$$

ここで、 γ = ガンマ補正係数です。

ガンマ補正は、SDとED/HDのビデオに使用できます。いずれのバリエーションにも、20本の8ビット・レジスタがあります。これらは、ガンマ補正曲線Aとガンマ補正曲線Bのプログラミングに使用されます。

ED/HDガンマ補正は、サブアドレス0x35のビット5を使用してイネーブルされます。ED/HDガンマ補正曲線Aは、サブアドレス0x44～0x4Dでプログラムされます。ED/HDガンマ補正曲線Bは、サブアドレス0x4E～0x57でプログラムされます。

ADV7340/ADV7341

SDガンマ補正をイネーブルするときは、サブアドレス0x88のビット6を使用します。SDガンマ補正曲線Aはサブアドレス0xA6～0xAFでプログラムし、SDガンマ補正曲線Bはサブアドレス0xB0～0xB9でプログラムします。

ガンマ補正は、ルマ・データでのみ実行されます。曲線Aまたは曲線Bのうちいずれかの補正曲線を選択できます。一度に使用できる曲線は1つだけです。ED/HDガンマ補正では、曲線の選択は、サブアドレス0x35のビット4を使用して制御します。SDガンマ補正では、曲線の選択は、サブアドレス0x88のビット7を使用して制御します。

ガンマ補正曲線の形状を制御するときは、曲線に沿った10個の位置で曲線応答を定義します。これらの位置で応答を変更することにより、ガンマ補正曲線の形状を変更できます。これらのポイント間では、中間値を発生するために線形補間を使用します。この曲線の合計長が256ポイントであるとする、10個のプログラマブルな位置は、ポイント24、32、48、64、80、96、128、160、192、および224です。位置0、16、240、および255は固定されており、変更できません。

曲線位置16～240の、プログラマブルな位置にある値（したがって、ガンマ補正曲線の応答）が計算されて次の結果が得られます。

$$x_{DESIRED} = (x_{INPUT})^{\gamma}$$

ここで、

$x_{DESIRED}$ は所望するガンマ補正出力

x_{INPUT} は線形入力信号

γ はガンマ補正係数

ガンマ補正レジスタをプログラムするときは、次式を使用して、10個のプログラマブルな曲線値を計算します。

$$\gamma_n = \left(\left(\frac{n-16}{240-16} \right)^{\gamma} \times (240-16) \right) + 16$$

ここで、

γ_n は、ガンマ補正曲線上のポイントnに関して、ガンマ補正レジスタに書き込む値

$n=24, 32, 48, 64, 80, 96, 128, 160, 192$ 、または224

γ はガンマ補正係数

たとえば、すべてのプログラマブルな曲線データ・ポイントに対して $\gamma=0.5$ を設定すると、次の γ_n 値が得られます。

$$\gamma_{24} = [(8/224)^{0.5} \times 224] + 16 = 58$$

$$\gamma_{32} = [(16/224)^{0.5} \times 224] + 16 = 76$$

$$\gamma_{48} = [(32/224)^{0.5} \times 224] + 16 = 101$$

$$\gamma_{64} = [(48/224)^{0.5} \times 224] + 16 = 120$$

$$\gamma_{80} = [(64/224)^{0.5} \times 224] + 16 = 136$$

$$\gamma_{96} = [(80/224)^{0.5} \times 224] + 16 = 150$$

$$\gamma_{128} = [(112/224)^{0.5} \times 224] + 16 = 174$$

$$\gamma_{160} = [(144/224)^{0.5} \times 224] + 16 = 195$$

$$\gamma_{192} = [(176/224)^{0.5} \times 224] + 16 = 214$$

$$\gamma_{224} = [(208/224)^{0.5} \times 224] + 16 = 232$$

ここで、各式の合計値は、最も近い整数に四捨五入されます。

図70と図71のガンマ曲線は、単なる例です。16～240の範囲にある任意のユーザ定義曲線が許容されます。

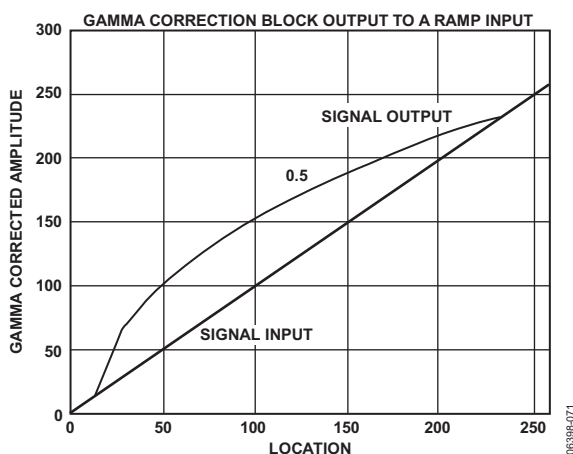


図70. ガンマ0.5に対する信号入力（ランプ）と信号出力

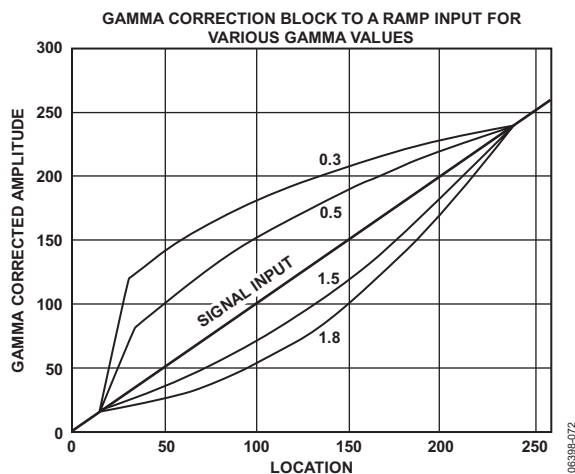


図71. 信号入力（ランプ）と選択可能な出力曲線

ED/HDシャープネス・フィルタとアダプティブ・フィルタの制御

サブアドレス0x40、サブアドレス0x58~0x5D

ADV7340/ADV7341では、1つのシャープネス・フィルタ・モードと2つのアダプティブ・フィルタ・モードの、3つのフィルタ・モードを使用できます。

ED/HDシャープネス・フィルタ・モード

図72に示す周波数範囲でY信号をエンハンスまたは減衰させるときは、ED/HDシャープネス・フィルタをイネーブルして(サブアドレス0x31のビット7)、ED/HDアダプティブ・フィルタをディスブルエーブする(サブアドレス0x35のビット7)必要があります。

256個の応答の中から1つを選択するときは、サブアドレス0x40にあるED/HDシャープネス・フィルタ・ゲイン・レジスタに対して、フィルタごとに-8~+7の範囲で対応するゲイン値をプログラムする必要があります。

ED/HDアダプティブ・フィルタ・モード

アダプティブ・フィルタ・モードでは、ED/HDアダプティブ・フィルタ・スレッシュホールドA、B、Cレジスタ、ED/HDアダプティブ・フィルタ・ゲイン1、2、3レジスタ、およびED/HDシャープネス・フィルタ・ゲイン・レジスタが使用されます。アダプティブ・フィルタ制御をアクティブにするときは、ED/HDシャープネス・フィルタとED/HDアダプティブ・フィルタをイネーブルする必要があります(それぞれ、サブアドレス0x31のビット7と、サブアドレス0x35のビット7)。

入力信号の微分係数は、ED/HDアダプティブ・フィルタ・スレッシュホールドA、B、C(それぞれ、サブアドレス0x5B、サブアドレス0x5C、サブアドレス0x5D)という、プログラマブルな3つのスレッシュホールド値と比較されます。推奨されるスレッシュホールド範囲は16~235ですが、0~255の範囲で任意の値を使用できます。

その後、ED/HDアダプティブ・フィルタ・ゲイン1、2、3のレジスタ(それぞれ、サブアドレス0x58、サブアドレス0x59、サブアドレス0x5A)とED/HDシャープネス・フィルタ・ゲイン・レジスタ(サブアドレス0x40)での設定値により、エッジを減衰させることができます。

2つのアダプティブ・フィルタ・モードが使用できます。モードを選択するときは、ED/HDアダプティブ・フィルタ・モード・コントロール(サブアドレス0x35のビット6)を使用します。

- ED/HDアダプティブ・フィルタ・モード・コントロールが0に設定されると、モードAが使用されます。この場合は、アダプティブ・フィルタ・ブロックでフィルタB(LPF)が使用されます。さらに、必要に応じて、ED/HDシャープネス・フィルタ・ゲイン・レジスタとED/HDアダプティブ・フィルタ・ゲイン1、2、3レジスタ内のゲインBの設定値のみが適用されます。ゲインA値は固定されており、変更できません。
- ED/HDアダプティブ・フィルタ・モード・コントロールが1に設定されると、モードBが使用されます。このモードでは、フィルタAとフィルタBがカスケード接続されて使用されます。必要ならば、ED/HDシャープネス・フィルタ・ゲイン・レジスタとED/HDアダプティブ・フィルタ・ゲイン1、2、3レジスタ内のゲインAとゲインBの両方の設定がアクティブになります。

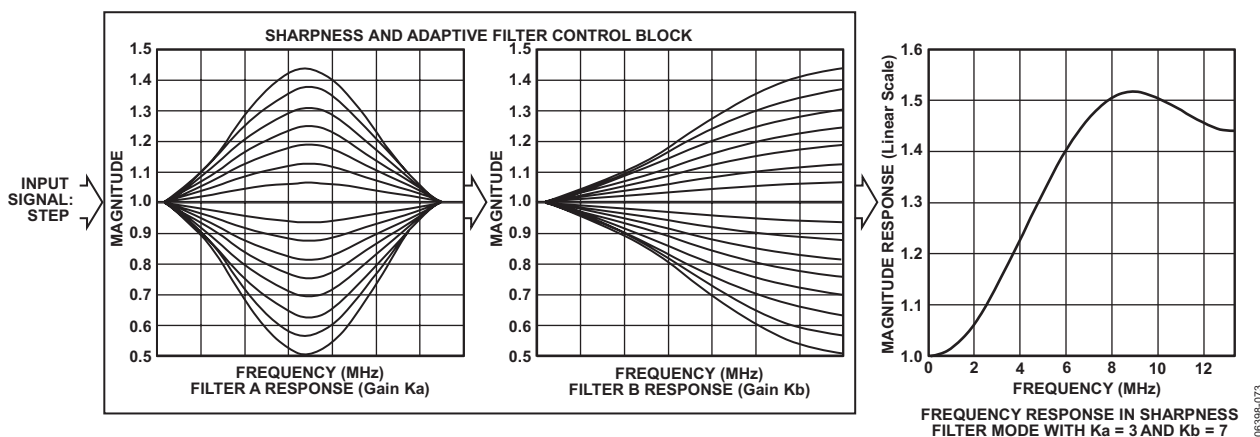


図72. ED/HDシャープネス・フィルタとアダプティブ・フィルタの制御ブロック

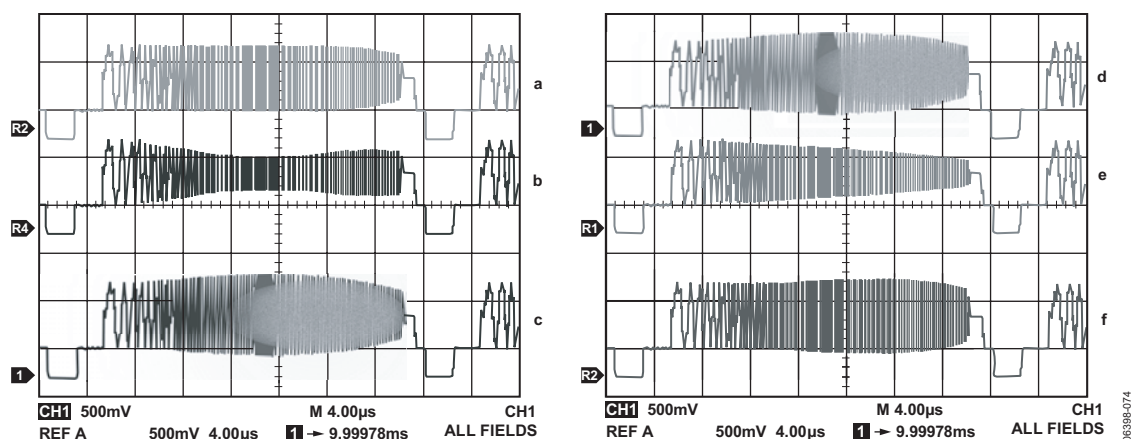


図73. ED/HDシャープネス・フィルタ・ゲイン値のゲイン設定の変更による、ED/HDシャープネス・フィルタの制御

ED/HDシャープネス・フィルタとアダプティブ・フィルタのアプリケーション例

シャープネス・フィルタのアプリケーション

ED/HDシャープネス・フィルタを使用して、Yビデオ出力信号をエンハンスまたは減衰させることができます。表47のレジスタ設定を使用すると、図73に示す結果が得られます。入力データは、外部信号ソースによって生成されています。

表47. ED/HDシャープネス制御

Subaddress	Register Setting	Reference ¹
0x00	0xFC	
0x01	0x10	
0x02	0x20	
0x30	0x00	
0x31	0x81	
0x40	0x00	a
0x40	0x08	b
0x40	0x04	c
0x40	0x40	d
0x40	0x80	e
0x40	0x22	f

¹ 図73を参照。

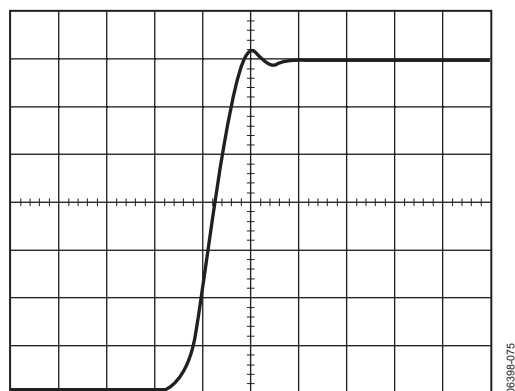


図74. ED/HDアダプティブ・フィルタへの入力信号

アダプティブ・フィルタ制御のアプリケーション

表48のレジスタ設定を使用すると、図75に示す結果が得られます。つまり、図74に示すように、入力Y信号上のリングングが除去されます。入力データは、外部信号ソースによって生成されます。

表48. 図75用のレジスタ設定

Subaddress	Register Setting
0x00	0xFC
0x01	0x38
0x02	0x20
0x30	0x00
0x31	0x81
0x35	0x80
0x40	0x00
0x58	0xAC
0x59	0x9A
0x5A	0x88
0x5B	0x28
0x5C	0x3F
0x5D	0x64

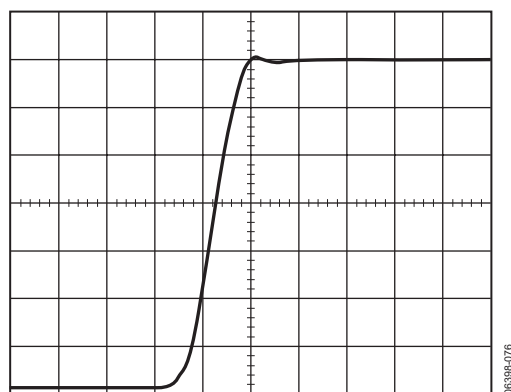


図75. ED/HDアダプティブ・フィルタ（モードA）からの出力信号

アダプティブ・フィルタのモードをモードBに変更すると（サブアドレス0x35のビット6）、図76に示す出力が得られます。

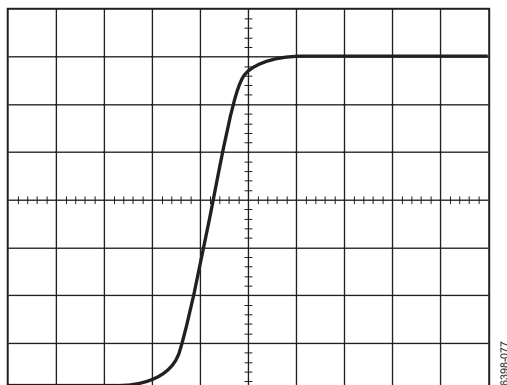


図76. ED/HDアダプティブ・フィルタ（モードB）からの出力信号

SDデジタル・ノイズ・リダクション

サブアドレス0xA3~0xA5

デジタル・ノイズ・リダクション（DNR）は、Yデータにのみ適用されます。フィルタ・ブロックでは、入力信号の高周波で小さい振幅の成分を選択します（DNR入力セレクト）。フィルタ出力の絶対値は、プログラマブルなスレッシュールド値と比較されます（DNRスレッシュールド制御）。DNRモードとDNRシャープネス・モードという、2つのDNRモードがあります。

DNRモードでは、フィルタ出力の絶対値がスレッシュールドより小さい場合、ノイズと見なされます。このノイズ信号のプログラム可能な量（コアリング・ゲイン境界、コアリング・ゲイン・データ）が、元の信号から減算されます。DNRシャープネス・モードでは、フィルタ出力の絶対値がプログラムされたスレッシュールドより小さい場合に、ノイズと見なされます。そうではなく、レベルがスレッシュールドを超える場合は、有効な信号であると識別され、信号の一部（コアリング・ゲイン境界、コアリング・ゲイン・データ）が元の信号に加算され、高周波成分をブーストしてビデオ画像が鮮明になります。

MPEGシステムの場合は、一般にビデオ情報は8×8ピクセル（MPEG 2システム）または16×16ピクセル（MPEG 1システム）のブロック単位で処理されます（ブロック・サイズ制御）。DNRは、ノイズを含むことが知られている、ブロック変化領域に適用できます。一般に、ブロック変化領域には2つのピクセルが含まれています。この領域が4つのピクセルを含むように定義することは可能です（境界領域）。

DNRブロック・オフセットを使用すれば、YCrCbピクセル・タイミングにおける可変ブロックの位置づけや差異を補償することも可能です。

デジタル・ノイズ・リダクション・レジスタは、3本の8ビット・レジスタです。これらは、DNR処理の制御に使用します。

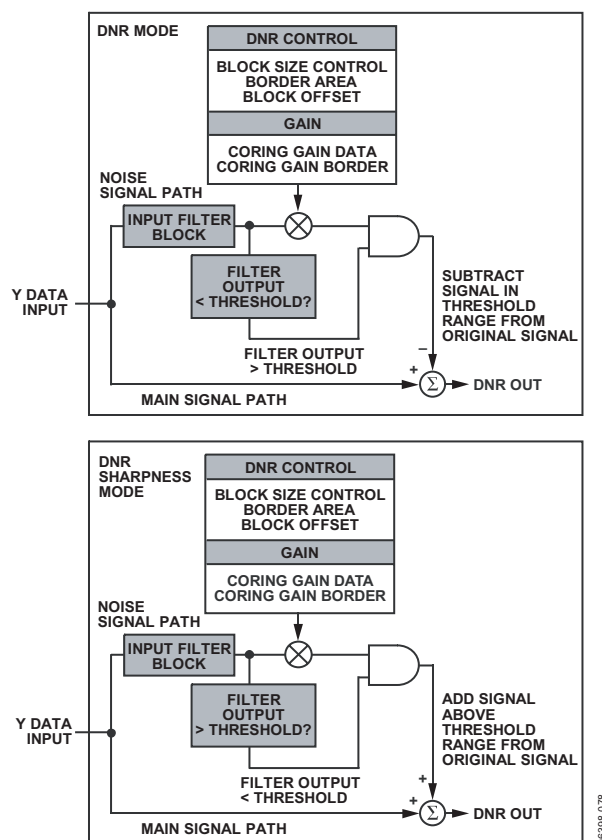


図77. SD DNRのブロック図

コアリング・ゲイン境界—サブアドレス0xA3のビット[3:0]

これらの4ビットは、境界領域に適用されるゲイン係数に割り当てられます。DNRモードでは、ゲイン値の範囲は0~1です（1/8のインクリメント）。この係数は、設定されたスレッシュールド範囲を下回るDNRフィルタ出力に適用されます。その結果は元の信号から減算されます。

DNRシャープネス・モードでは、ゲイン値の範囲は0~0.5です（1/16のインクリメント）。この係数は、スレッシュールド範囲を上回るDNRフィルタ出力に適用されます。その結果は元の信号に加算されます。

コアリング・ゲイン・データ—サブアドレス0xA3のビット[7:4]

これらの4ビットは、MPEGピクセル・ブロック内のルマ・データに適用されるゲイン係数に割り当てられます。DNRモードでは、ゲイン値の範囲は0~1です（1/8のインクリメント）。この係数は、設定されたスレッシュールド範囲を下回るDNRフィルタ出力に適用されます。その結果は元の信号から減算されます。

DNRシャープネス・モードでは、ゲイン値の範囲は0~0.5です（1/16のインクリメント）。この係数は、スレッシュールド範囲を上回るDNRフィルタ出力に適用されます。その結果は元の信号に加算されます。

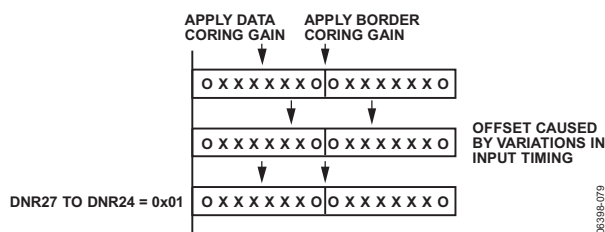


図78. SD DNRのオフセット制御

DNRスレッシュホールド—サブアドレス0xA4のビット[5:0]

これらの6ビットは、0～63の範囲にあるスレッシュホールド値の定義に使用されます。範囲は絶対値です。

境界領域—サブアドレス0xA4のビット6

このビットをロジック1に設定すると、4つのピクセルで構成されるブロック変化領域を定義できます。このビットをロジック0に設定した場合は、境界変化領域は2つのピクセルで構成され、1つのピクセルは27MHzで2つのクロック・サイクルを表します。

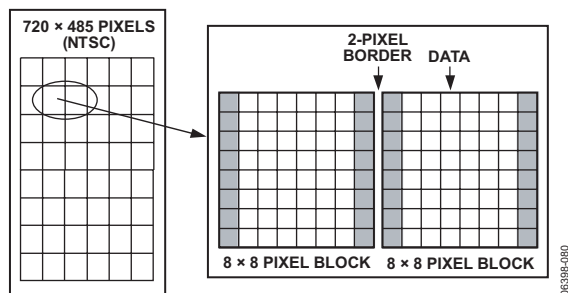


図79. SD DNRの境界領域

ブロック・サイズ制御—サブアドレス0xA4のビット7

このビットは、処理するデータ・ブロックのサイズの選択に使用します。ブロック・サイズ制御機能をロジック1に設定して、16×16ピクセルのデータ・ブロックを定義します。ロジック0に設定すると、8×8ピクセルのデータ・ブロックが定義されます。1つのピクセルは27MHzで2つのクロック・サイクルを表します。

DNR入力セレクト制御—サブアドレス0xA5のビット[2:0]

これらの3ビットは、入力Yデータに適用するフィルタの選択に割り当てられます。DNR処理される信号は、選択されたフィルタの通過帯域内にある信号です。図80にこの制御により選択できるフィルタ応答を示します。

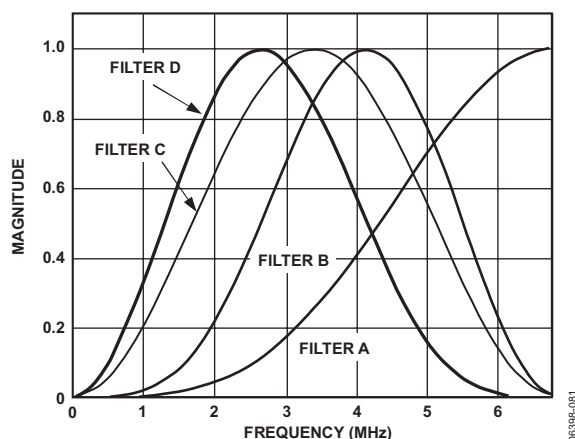


図80. SD DNRの入力セレクト

DNRモード制御—サブアドレス0xA5のビット4

このビットは、選択されたDNRモードを制御します。ロジック0ではDNRモードを、ロジック1ではDNRシャープネス・モードを選択します。

DNRは、小さい振幅の高周波信号を推定ノイズと見なす原理で動作し、このノイズを元の信号から減算します。

DNRモードでは、設定されたスレッシュホールドを下回ってノイズと想定される信号の一部を、元の信号から減算することができます。このスレッシュホールドは、DNRレジスタ1で設定されます。

DNRシャープネス・モードがイネーブルされると、設定されたスレッシュホールドを上回る信号の一部を元の信号に加算することができます。理由は、このデータはノイズではなく有効なデータであると見なされるからです。全体的な効果として、信号がブーストされます（拡張SSAFフィルタを使用するのと同様）。

DNRブロック・オフセット制御—サブアドレス0xA5のビット[7:4]

4ビットがこの制御に割り当てられ、最大15ピクセルのデータ・ブロックのシフトが可能です。コアリング・ゲインの位置は固定されていると見なします。ブロック・オフセットでは、1ピクセルのステップでデータをシフトすることにより、データの入力タイミングの変動とは無関係に、境界のコアリング・ゲイン係数を同じ位置で適用できます。

SDアクティブ・ビデオ・エッジ制御

サブアドレス0x82のビット7

リングングを最小限に抑えるため、ADV7340/ADV7341では、アクティブ・ビデオの開始（SAV）と終了（EAV）において高速な立上がり信号と立下がり信号を制御できます。

アクティブ・ビデオ・エッジ制御機能がイネーブルされると（サブアドレス0x82のビット7=1）、ルミナンス・チャンネル上のアクティブ・ビデオの最初と最後のそれぞれ3つのピクセルが、これらのピクセルでの最大変化が発生しないようにスケールリングされます。

SAVでは、最初の3つのピクセルは、それぞれ、1/8、1/2、7/8倍されます。EAVに近づく、最後の3つのピクセルが、それぞれ、7/8、1/2、1/8倍されます。他のすべてのアクティブ・ビデオ・ピクセルは、加工されずに通過します。

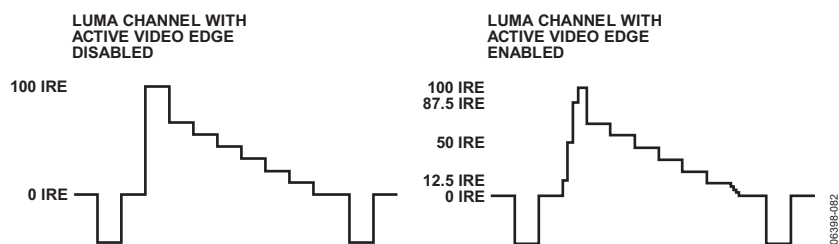


図81. アクティブ・ビデオ・エッジ機能の例

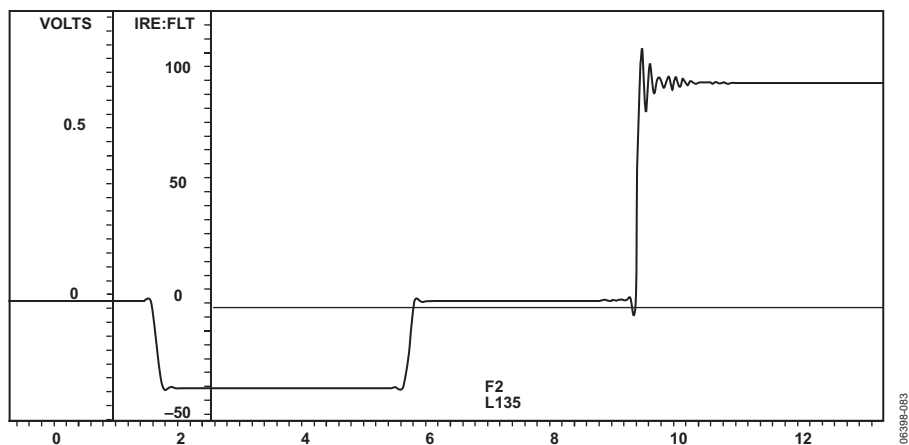


図82. サブアドレス0x82のビット7=0によるビデオ出力の例

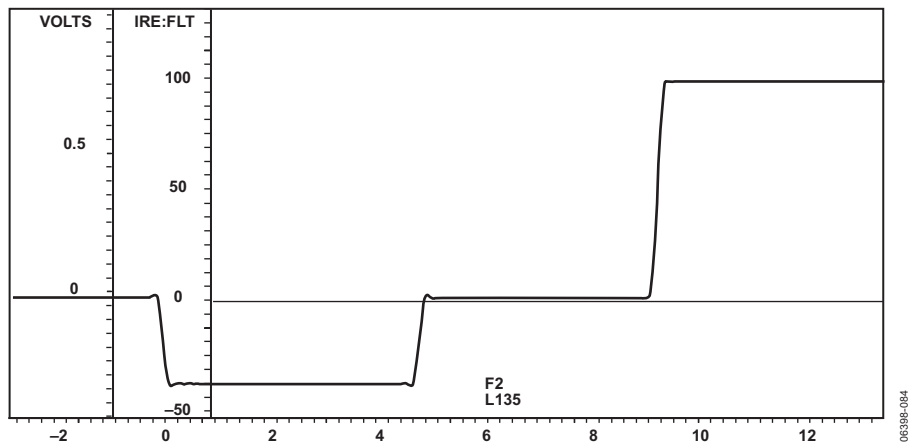


図83. サブアドレス0x82のビット7=1によるビデオ出力の例

ADV7340/ADV7341

水平／垂直外部同期制御

同期をとるために、ADV7340/ADV7341は、入力ピクセル・データに組み込まれたタイム・コード、あるいは $\overline{S_HSYNC}$ 、 $\overline{S_VSYNC}$ 、 $\overline{P_HSYNC}$ 、 $\overline{P_VSYNC}$ 、 $\overline{P_BLANK}$ ピンに入力される外部同期信号を受け付けることができます（表49を参照）。また、 $\overline{S_HSYNC}$ ピンと $\overline{S_VSYNC}$ ピンに同期信号を出力することもできます（表50～表52を参照）

表49. タイミング同期信号の入力オプション

Signal	Pin	Condition
SD $\overline{HSYNC}$ In	$\overline{S_HSYNC}$	SD Slave Timing Mode 1, 2, or 3 selected (Subaddress 0x8A[2:0]). ¹
SD $\overline{VSYNC}$ In	$\overline{S_VSYNC}$	SD Slave Timing Mode 1, 2, or 3 selected (Subaddress 0x8A[2:0]). ¹
ED/HD $\overline{HSYNC}$ In	$\overline{P_HSYNC}$	ED/HD Timing Sync. Inputs enabled (Subaddress 0x30, Bit 2 = 0).
ED/HD $\overline{VSYNC}$ In	$\overline{P_VSYNC}$	ED/HD Timing Sync. Inputs enabled (Subaddress 0x30, Bit 2 = 0).
ED/HD $\overline{BLANK}$ In	$\overline{P_BLANK}$	

¹ SDとED/HDのタイミング同期出力もディスブルエーブルすることが必要です（サブアドレス0x02[7:6]=00）。

表50. タイミング同期信号の出力オプション

Signal	Pin	Condition
SD $\overline{HSYNC}$ Out	$\overline{S_HSYNC}$	SD Timing Sync. Outputs enabled (Subaddress 0x02, Bit 6 = 1). ¹
SD $\overline{VSYNC}$ Out	$\overline{S_VSYNC}$	SD Timing Sync. Outputs enabled (Subaddress 0x02, Bit 6 = 1). ¹
ED/HD $\overline{HSYNC}$ Out	$\overline{S_HSYNC}$	ED/HD Timing Sync. Outputs enabled (Subaddress 0x02, Bit 7 = 1).
ED/HD $\overline{VSYNC}$ Out	$\overline{S_VSYNC}$	ED/HD Timing Sync. Outputs enabled (Subaddress 0x02, Bit 7 = 1).

¹ ED/HDタイミング同期出力もディスブルエーブルすることが必要です（サブアドレス0x02のビット7=0）。

表51. $\overline{HSYNC}$ 出力制御¹

ED/HD Input Sync Format (0x30, Bit 2)	ED/HD $\overline{HSYNC}$ Control (0x34, Bit 1)	ED/HD Sync Output Enable (0x02, Bit 7)	SD Sync Output Enable (0x02, Bit 6)	Signal on $\overline{S_HSYNC}$ Pin	Duration
x	x	0	0	Tristate.	—
x	x	0	1	Pipelined SD $\overline{HSYNC}$.	See Appendix 5—SD Timing.
0	0	1	x	Pipelined ED/HD $\overline{HSYNC}$.	As per $\overline{HSYNC}$ timing.
1	0	1	x	Pipelined ED/HD $\overline{HSYNC}$ based on AV Code H bit.	Same as line blanking interval.
x	1	1	x	Pipelined ED/HD $\overline{HSYNC}$ based on horizontal counter.	Same as embedded $\overline{HSYNC}$.

¹ $\overline{HSYNC}$ 出力が存在するすべてのED/HD規格では、 $\overline{HSYNC}$ パルスの開始は、出力ビデオ内の組込み $\overline{HSYNC}$ の立下がりエッジと一致します。

表52. $\overline{VSYNC}$ 出力制御¹

ED/HD Input Sync Format (0x30, Bit 2)	ED/HD $\overline{VSYNC}$ Control (0x34, Bit 2)	ED/HD Sync Output Enable (0x02, Bit 7)	SD Sync Output Enable (0x02, Bit 6)	Video Standard	Signal on $\overline{S_VSYNC}$ Pin	Duration
x	X	0	0	x	Tristate.	—
x	X	0	1	Interlaced	Pipelined SD $\overline{VSYNC}$ /Field.	See Appendix 5—SD Timing.
0	0	1	x	x	Pipelined ED/HD $\overline{VSYNC}$ or field signal.	As per $\overline{VSYNC}$ or field signal timing.
1	0	1	x	All HD interlaced standards	Pipelined field signal based on AV Code F bit.	Field.
1	0	1	x	All ED/HD progressive standards	Pipelined $\overline{VSYNC}$ based on AV Code V bit.	Vertical blanking interval.
x	1	1	x	All ED/HD standards except 525p	Pipelined ED/HD $\overline{VSYNC}$ based on vertical counter.	Aligned with serration lines.
x	1	1	x	525p	Pipelined ED/HD $\overline{VSYNC}$ based on vertical counter.	Vertical blanking interval.

¹ $\overline{VSYNC}$ 出力が存在するすべてのED/HD規格では、 $\overline{VSYNC}$ パルスの開始は、出力ビデオ内の組込み $\overline{VSYNC}$ の立下がりエッジと一致します。

低消費電力モード

サブアドレス0x0Dのビット[2:0]

電源条件の厳しいアプリケーションでは、ADV7340/ADV7341は、DAC 1、DAC 2、DAC 3上でアナログ・デバイス社独自の低消費電力動作モードをサポートします。この低消費電力モードを使用するときは、これらのDACはフルドライブ・モードで動作している必要があります ($R_{SET}=510\Omega$ 、 $R_L=37.5\Omega$)。低消費電力モードは、ロードライブ・モードでは使用できません ($R_{SET}=4.12k\Omega$ 、 $R_L=300\Omega$)。DAC 1、DAC 2、DAC 3では、サブアドレス0x0Dのビット[2:0]を使用して、低消費電力モードを個別にイネーブル/ディスエーブルすることができます。デフォルトでは、各DACで低消費電力モードはディスエーブルされています。

低消費電力モードでは、DACの消費電流はコンテンツに依存します。代表的なビデオ・ストリームでは、消費電流を40%も削減できます。最高のビデオ性能を必要とするアプリケーションの場合には、低消費電力モードをディスエーブルしてください。

ケーブル検出

サブアドレス0x10

ADV7340/ADV7341は、アナログ・デバイス社独自のケーブル検出機能を内蔵しています。

ケーブル検出機能は、フルドライブ・モードで動作するDAC 1とDAC 2で使用できます ($R_{SET1}=510\Omega$ 、 $R_{L1}=37.5\Omega$ 、接続されたケーブルを想定)。この機能は、ロードライブ・モードでは使用できません ($R_{SET}=4.12k\Omega$ 、 $R_L=300\Omega$)。DACの監視を行うときは、DACをサブアドレス0x00でパワーアップする必要があります。

ケーブル検出機能は、すべてのSD、ED、HDビデオ規格で使用できます。また、すべての出力設定 (CVBS、YC、YPrPb、RGBの出力設定) で使用できます。

CVBS/YC出力設定については、DAC 1とDAC 2の両方が監視されます。つまり、CVBSとYCのルミナンス出力が監視されます。YPrPbとRGBの出力設定については、DAC 1のみが監視されます。つまり、ルミナンスまたは緑の出力が監視されます。

ADV7340/ADV7341はフレームごとに1回、DAC 1またはDAC 2 (あるいはその両方) を監視し、それぞれサブアドレス0x10のビット0とビット1を更新します。いずれかのDACでケーブルが検出された場合は、関連するビットが0に設定されます。そうでない場合は、そのビットは1に設定されます。

DACの自動パワーダウン

サブアドレス0x10のビット4

電源条件の厳しいアプリケーションでは、サブアドレス0x10のビット4を使用して、DACの自動パワーダウン機能をイネーブルすることができます。この機能を使用するときは、ケーブル検出機能がイネーブルされていることが必要です。

この機能をイネーブルすると、ケーブル検出回路は、DAC 1またはDAC 2 (あるいはその両方) をフレームごとに1回監視します。ケーブルが未接続の場合は、DACの一部または全部が自動的にパワーダウンします。パワーダウンするDACは、選択された出力設定に依存します。

CVBS/YC出力設定では、DAC 1が未接続の場合は、DAC 1のみがパワーダウンします。DAC 2が未接続の場合は、DAC 2とDAC 3がパワーダウンします。

YPrPbとRGBの出力設定では、DAC 1が未接続の場合は、3つのDACすべてがパワーダウンします。YPrPbとRGBの出力設定では、DAC 2は監視されません。

DAC 1またはDAC 2 (あるいはその両方) は、フレームごとに1回監視されます。ケーブルが検出された場合は、該当する1つまたは複数のDACが、フレームの継続時間にわたってパワーアップ状態を維持します。ケーブルが検出されない場合は、このプロセスが繰り返される次のフレームまで、該当する1つまたは複数のDACがパワーダウンします。

ピクセルとコントロール・ポートのリードバック

サブアドレス0x12~0x16

ADV7340/ADV7341は、I²C/SPI MPUポートを介して、ほとんどのデジタル入力のリードバックをサポートします。この機能は、上流デバイスによるボードレベルの接続テストに役立ちます。

ピクセル・ポート ($S[9:0]$ 、 $Y[9:0]$ 、 $C[9:0]$)、コントロール・ポート (S_HSYNC 、 S_VSYNC 、 P_HSYNC 、 P_VSYNC 、 P_BLANK)、およびSFL/MISOピンは、MPUポートを介してリードバックに使用できます。リードバック・レジスタはサブアドレス0x12~0x16にあります。

この機能を使用するときは、入力ピンに入力されるレベルを記録するために、CLKIN_Aピンにクロック信号を入力してください。

リセットのメカニズム

サブアドレス0x17のビット1

ADV7340/ADV7341は、I²C/SPI MPUポートを介して、ソフトウェア・リセットを使用できます。ソフトウェア・リセットを起動するときは、サブアドレス0x17のビット1に1を書き込みます。これにより、すべてのレジスタがデフォルト値にリセットされます。このビットはセルフクリアです。つまり、1を書き込むと、このビットは自動的に0に戻ります。

SPIモードで動作しているとき、ソフトウェア・リセットを行っても、デバイスはI²Cモードに戻りません。I²Cモードに戻すためには、ADV7340/ADV7341をパワーダウンする必要があります。

ADV7340/ADV7341は、パワーアップ後の正しい動作を保証するために、パワーオン・リセット (POR) 回路を内蔵しています。

プリント回路ボードのレイアウトと設計

DACの設定

ADV7340/ADV7341は6個のDACを内蔵しています。6個のDACすべてを、ロードドライブ・モードで動作するように設定できます。ロードドライブ・モードは、 300Ω の負荷 R_L に流入する 4.33mA のフルスケール電流と定義されます。

DAC 1、DAC 2、DAC 3も、フルドライブ・モードで動作するように設定できます。フルドライブ・モードは、 37.5Ω の負荷 R_L に流入する 34.7mA のフルスケール電流と定義されます。DAC 1、DAC 2、DAC 3に対しては、フルドライブが推奨動作モードです。

ADV7340/ADV7341は2本の R_{SET} ピンを持っています。 R_{SET1} ピンとAGNDとの間に接続した抵抗を使用して、フルスケール出力電流（したがってDAC 1、DAC 2、DAC 3のDAC出力電圧レベル）を制御します。ロードドライブ動作では、 R_{SET1} の値は $4.12\text{k}\Omega$ 、 R_L の値は 300Ω であることが必要です。フルドライブ動作では、 R_{SET1} の値は 510Ω 、 R_L の値は 37.5Ω であることが必要です。

R_{SET2} ピンとAGNDとの間に接続した抵抗を使用して、フルスケール出力電流（したがって、DAC 4、DAC 5、DAC 6のDAC出力電圧レベル）を制御します。 R_{SET2} の値は $4.12\text{k}\Omega$ 、 R_L の値は 300Ω であることが必要です（つまり、ロードドライブ動作のみ）。

R_{SET1} ピンと R_{SET2} ピンに接続する抵抗には誤差1%を使用してください。

ADV7340/ADV7341には、COMP1とCOMP2の2本の補償ピンがあります。これらの各ピンと V_{AA} との間に 2.2nF の補償コンデンサで接続してください。

リファレンス電圧

ADV7340/ADV7341は、 V_{REF} ピンを介してボードレベルのリファレンス電圧として使用できる、オンチップリファレンス電圧を内蔵しています。ADV7340/ADV7341を外部リファレンス電圧で使用するときは、リファレンス源を V_{REF} ピンに接続します。最適性能を得るときは、AD1580などの外部リファレンス電圧をADV7340/ADV7341と共に使用してください。外部リファレンス電圧を使用しない場合には、 V_{REF} ピンと V_{AA} との間に $0.1\mu\text{F}$ のコンデンサを接続してください。

ビデオ出力バッファとオプションの出力フィルタ

ロードドライブ・モード（ $R_{SET}=4.12\text{k}\Omega$ 、 $R_L=300\Omega$ ）で動作するDACには、出力バッファが必要です。アナログ・デバイセズ社は、このようなアプリケーションに適した一連のオペアンプ（たとえば、AD8061）を製造しています。ライン・ドライバのバッファ回路の詳細については、関連するオペアンプのデータシートを参照してください。

ADV7340/ADV7341のDAC出力では、オプションの再生（折り返し防止）ローパス・フィルタ（LPF）が必要な場合があります。これは、このようなフィルタリングを必要とするデバイスにADV7340/ADV7341を接続する場合に必要となります。フィルタ仕様は、アプリケーションによって変化します。 $16\times$ （SD）、 $8\times$ （ED）、または $4\times$ （HD）のオーバーサンプリングを使用すると、再成フィルタを不要にすることができます。

出力バッファと再成フィルタを必要とするアプリケーションでは、ADA4430-1、ADA4411-3、およびADA4410-6内蔵ビデオ・フィルタ・バッファの使用をご検討ください。

表53. ADV7340/ADV7341の出力レート

Input Mode (0x01, Bits[6:4])	PLL Control (0x00, Bit 1)	Output Rate (MHz)	
SD Only	Off	27	(2x)
	On	216	(16x)
ED Only	Off	27	(1x)
	On	216	(8x)
HD Only	Off	74.25	(1x)
	On	297	(4x)

表54. 出力フィルタの条件

Application	Oversampling	Cutoff Frequency (MHz)	Attenuation -50 dB @ (MHz)
SD	$2\times$	>6.5	20.5
SD	$16\times$	>6.5	209.5
ED	$1\times$	>12.5	14.5
ED	$8\times$	>12.5	203.5
HD	$1\times$	>30	44.25
HD	$4\times$	>30	267

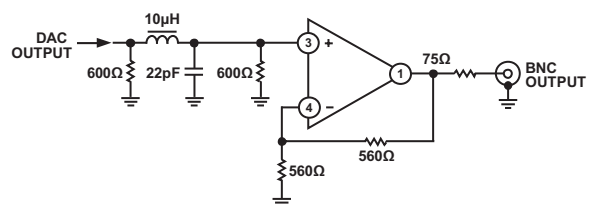


図84. SD用の出力フィルタ例、16倍オーバーサンプリング

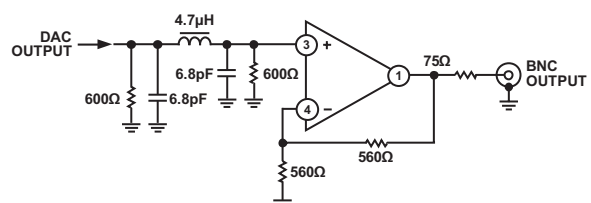


図85. ED用の出力フィルタ例、8倍オーバーサンプリング

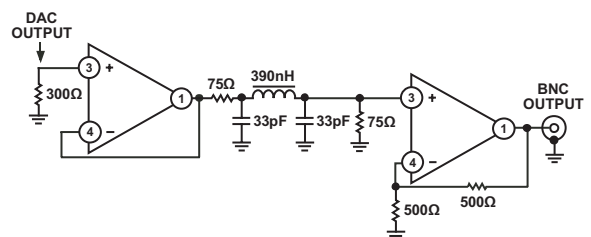


図86. HD用の出力フィルタ例、4倍オーバーサンプリング

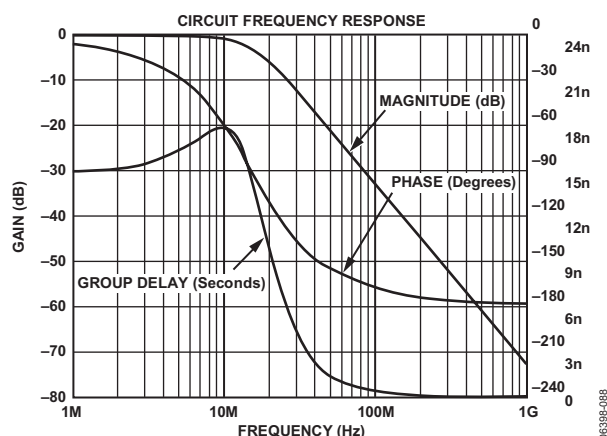


図87. SD用の出力フィルタ・プロット、16倍オーバーサンプリング

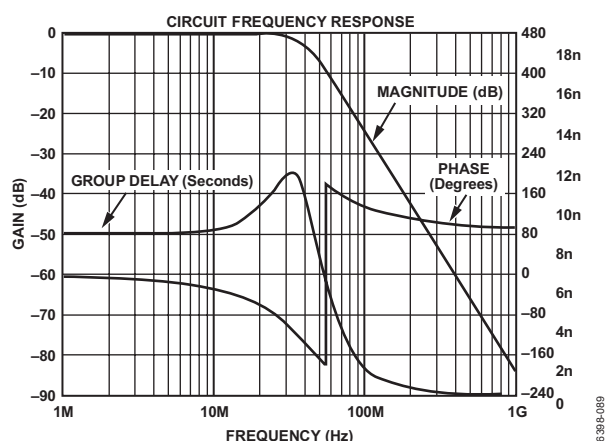


図88. ED用の出力フィルタ・プロット、8倍オーバーサンプリング

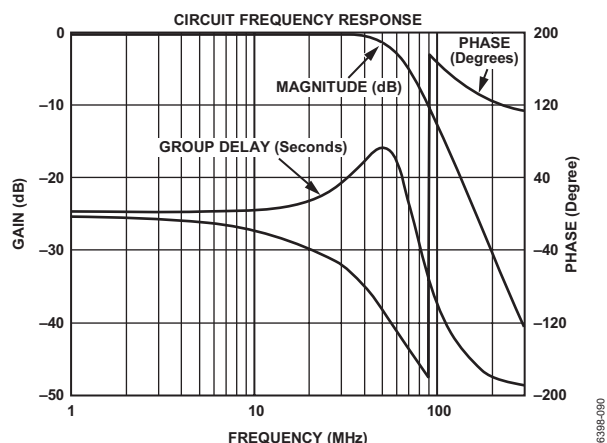


図89. HD用の出力フィルタ・プロット、4倍オーバーサンプリング

プリント回路ボード（PCB）のレイアウト

ADV7340/ADV7341は、高精度アナログ回路と高速デジタル回路を内蔵する非常に集積度の高い回路です。高速デジタル回路からアナログ回路への干渉を最小にするように設計されています。最高の性能を達成するためには、これと同じ設計／レイアウト技術をシステム・レベルの設計にも適用する必要があります。

デジタル入力をシールドし、適切な電源デカップリングを使用することにより、ADV7340/ADV7341の電源プレーンとグラウンド・プレーン上のノイズを最小にするように、レイアウトを最適化してください。

グラウンド・プレーンと電源プレーンで信号パターン層とハンダ面層を分離する、4層のプリント回路ボードの使用を推奨します。

部品の配置

部品の配置については、クロック信号などのノイズの多い回路や高速デジタル回路をアナログ回路から分離するように注意してください。

外部ループ・フィルタの部品や、COMPピン、 V_{REF} ピン、 R_{SET} ピンに接続された部品は、ADV7340/ADV7341と同じ側のPCB上で、できるだけ近づけて配置してください。PCBにビアを追加して部品をADV7340/ADV7341に近づけることは、推奨できません。

ADV7340/ADV7341は、DAC出力パターンをできるだけ短くして、出力コネクタのできるだけ近くに配置することを推奨します。

DAC出力パターン上の終端抵抗は、ADV7340/ADV7341と同じ側のPCB上で、できるだけ近づけて配置してください。終端抵抗は、PCBグラウンド・プレーンに重ねるように配置します。

隣接する回路からノイズが混入する可能性を最小限に抑え、パターン配線の容量が出力帯域幅に与える影響を最小限に抑えるためには、DAC出力に接続する外付けフィルタとバッファの部品を、ADV7340/ADV7341のできるだけ近くに配置してください。ロードドライブ・モード ($R_{SET}=4.12k\Omega$, $R_L=300\Omega$) で動作するとき、これは特に重要です。

電源

電源領域 (V_{AA} 、 V_{DD} 、 V_{DDIO} 、 PV_{DD}) ごとに別個の安定化電源を使用することを推奨します。最高性能を得るためには、スイッチ・モード・レギュレータではなくリニア・レギュレータを使用してください。スイッチ・モード・レギュレータを使用する必要がある場合には、リップルとノイズの観点から、出力電圧の品質に関して注意してください。これは、 V_{AA} と PV_{DD} の電源領域について特に当てはまります。各電源は、フェライト・ビーズなどの適切なフィルタリング・デバイスを経由して、システム電源に個別に一点接続してください。

ADV7340/ADV7341

電源のデカップリング

各電源ピンに10nFと0.1μFのセラミック・コンデンサを接続し、デカップリングすることを推奨します。 V_{AA} 、 PV_{DD} 、 $V_{DD_{IO}}$ 、および2本の V_{DD} ピンは、グラウンドに個々にデカップリングしてください。リード線のインダクタンスを最小限に抑えるためには、コンデンサのリード線をできるだけ短くして、デカップリング・コンデンサをADV7340/ADV7341のできるだけ近くに配置します。

V_{AA} 電源の両端では、10nFと0.1μFのセラミック・コンデンサに加えて、1μFのタンタル・コンデンサの使用を推奨します。

電源シーケンス

ADV7340/ADV7341は、電源シーケンスのあらゆる組合せに十分に対応できます。任意のシーケンスを使用できます。

デジタル信号の相互接続

デジタル信号パターンは、アナログ出力およびその他のアナログ回路からできるだけ離す必要があります。デジタル信号パターンは、 V_{AA} や PV_{DD} の電源プレーンに重ねないようにします。

使用するクロック・レートが高いため、ノイズの混入を最小限に抑えるためには、ADV7340/ADV7341へのクロック・パターンを短くします。

デジタル入力用のプルアップ終端抵抗は、 V_{DD} 電源に接続します。

未使用のデジタル入力は、グラウンドに接続します。

アナログ信号の相互接続

DAC出力パターンは、最高性能を保証するために適切な措置を講じた（たとえば、インピーダンスの一致したパターン）伝送ラインとして扱ってください。DAC出力パターンは、できるだけ短くします。DAC出力パターン上の終端抵抗は、ADV7340/ADV7341と同じ側のPCB上で、できるだけ近づけて配置します。

DAC出力間のクロストークを回避するためには、DAC出力ピンに接続するパターン間のスペースをできるだけ大きくしてください。DAC出力パターン間にグラウンド・パターンを追加することも推奨します。

代表的なアプリケーション回路

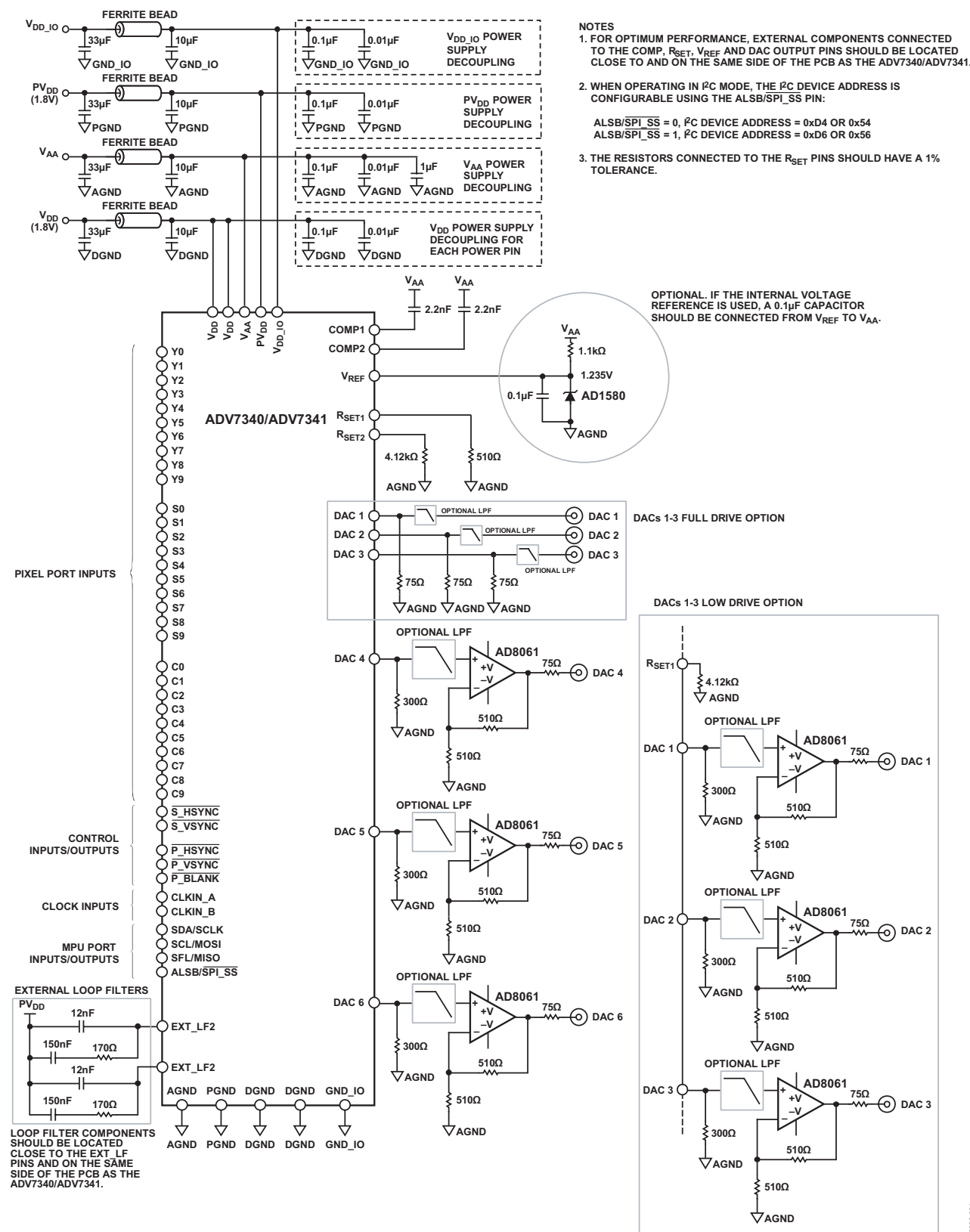


図90. ADV7340/ADV7341の代表的なアプリケーション回路

付録1—コピー・ジェネレーション・マネジメント・システム

SD CGMS

サブアドレス0x99～0x9B

ADV7340/ADV7341は、EIAJ CPR-1204とARIB TR-B15の規格に準拠したコピー・ジェネレーション・マネジメント・システム（CGMS）をサポートします。CGMSデータは、奇数フィールドのライン20と偶数フィールドのライン283に送信されます。CGMSデータが奇数フィールドに出力されるか、偶数フィールドに出力されるか、あるいはその両方に出力されるかは、サブアドレス0x99のビット[6:5]で制御されます。

SD CGMSデータを送信できるのは、ADV7340/ADV7341をNTSCモードに設定したときのみです。CGMSデータは20ビット長です。CGMSデータは、CGMSビットと同じ振幅と継続時間を持つリファレンス・パルスの後ろに続きます（図91を参照）。

ED CGMS

サブアドレス0x41～0x43

サブアドレス0x5E～0x6E

525p

ADV7340/ADV7341は、EIAJ CPR-1204-1に従って、525pモードでCGMSをサポートします。

ED CGMSをイネーブルすると（サブアドレス0x32のビット6=1）、525pのCGMSデータは、ライン41に挿入されます。525pのCGMSデータ・レジスタは、サブアドレス0x41、0x42、0x43にあります。

ADV7340/ADV7341は、CEA-805-Aに従って、525pモードでCGMS Type Bパッケージもサポートします。

ED CGMS Type Bをイネーブルすると（サブアドレス0x5Eのビット0=1）、525pのCGMS Type Bデータは、ライン40に挿入されます。525pのCGMS Type Bデータ・レジスタは、サブアドレス0x5E～0x6Eにあります。

625p

ADV7340/ADV7341は、IEC 62375（2004）に従って、625pモードでCGMSをサポートします。

ED CGMSをイネーブルすると（サブアドレス0x32のビット6=1）、625pのCGMSデータは、ライン43に挿入されます。625pのCGMSデータ・レジスタは、サブアドレス0x42と0x43にあります。

HD CGMS

サブアドレス0x41～0x43

サブアドレス0x5E～0x6E

ADV7340/ADV7341は、EIAJ CPR-1204-2に従って、HDモード（720pと1080i）でCGMSをサポートします。

HD CGMSをイネーブルすると（サブアドレス0x32のビット6=1）、720pのCGMSデータは、ルミナンス垂直ブランキング期間のライン24に印加されます。

HD CGMSをイネーブルすると（サブアドレス0x32のビット6=1）、1080iのCGMSデータは、ルミナンス垂直ブランキング期間のライン19とライン582に印加されます。

HD CGMSデータ・レジスタは、サブアドレス0x41、0x42、0x43にあります。

ADV7340/ADV7341は、CEA-805-Aに従って、HDモード（720pと1080i）でCGMS Type Bパッケージもサポートします。

HD CGMS Type Bをイネーブルすると（サブアドレス0x5Eのビット0=1）、720pのCGMSデータは、ルミナンス垂直ブランキング期間のライン23に挿入されます。

HD CGMS Type Bをイネーブルすると（サブアドレス0x5Eのビット0=1）、1080iのCGMSデータは、ルミナンス垂直ブランキング期間のライン18とライン581に挿入されます。

HD CGMS Type Bデータ・レジスタは、サブアドレス0x5E～0x6Eにあります。

CGMS CRC機能

SD CGMS CRC（サブアドレス0x99のビット4）またはED/HD CGMS CRC（サブアドレス0x32のビット7）をイネーブルした場合は、6ビットのCRCチェック・シーケンスを構成する上位6つのCGMSデータビット（C19～C14）が、ADV7340/ADV7341上で自動的に計算されます。この計算は、CGMSデータ・レジスタ内のデータの低位14ビット（C13～C0）に基づきます。その結果は、残りの14ビットと共に出力されて、完全な20ビットのCGMSデータを形成します。CRCシーケンスの計算は、初期値=111111の多項式 x^6+x+1 に基づきます。

SD CGMS CRCまたはED/HD CGMS CRCをディスエーブルした場合は、全20ビット（C19～C0）がCGMSレジスタから直接出力されます（CRCは、手作業で計算する必要があります）。

ED/HD CGMS Type B CRC（サブアドレス0x5Eのビット1）をイネーブルした場合は、6ビットのCRCチェック・シーケンスを構成する上位6つのCGMS Type Bデータビット（P122～P127）が、ADV7340/ADV7341上で自動的に計算されます。この計算は、CGMS Type Bデータ・レジスタ内のデータの低位128ビット（H0～H5とP0～P121）に基づきます。その結果は、残りの128ビットと共に出力されて、完全な134ビットのCGMS Type Bデータを形成します。CRCシーケンスの計算は、初期値=111111の多項式 x^6+x+1 に基づきます。

ED/HD CGMS Type B CRCをディスエーブルした場合は、全134ビット（H0～H5とP0～P127）がCGMS Type Bレジスタから直接出力されます（CRCは手作業で計算する必要があります）。

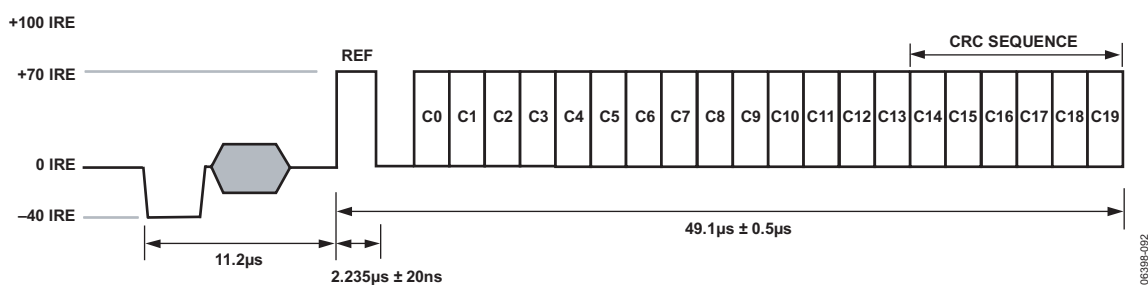


図91. 標準解像度のCGMS波形

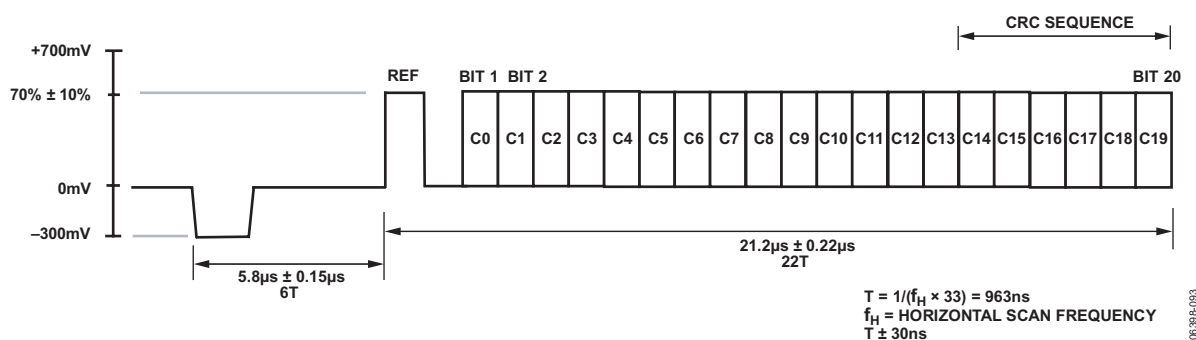


図92. 拡張解像度（525p）のCGMS波形

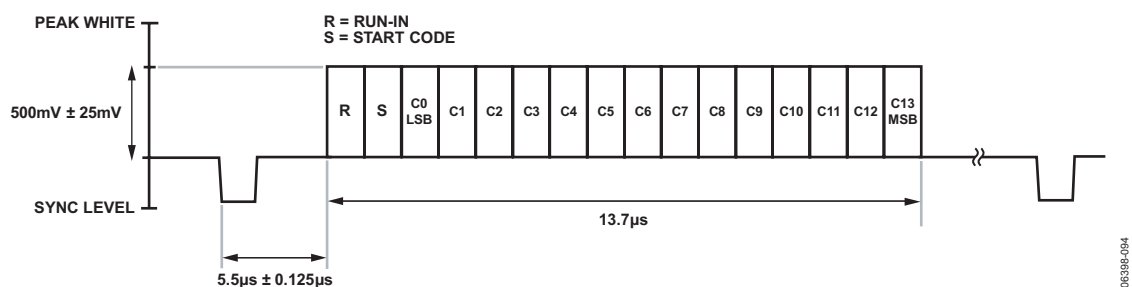


図93. 拡張解像度（625p）のCGMS波形

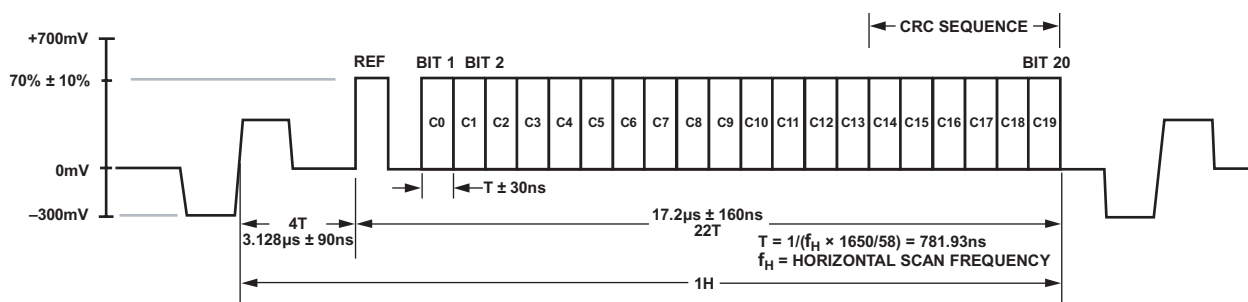


図94. 高解像度（720p）のCGMS波形

ADV7340/ADV7341

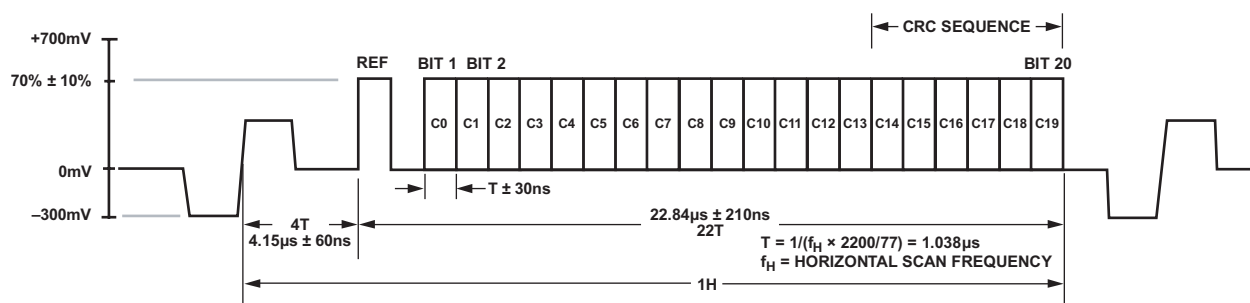
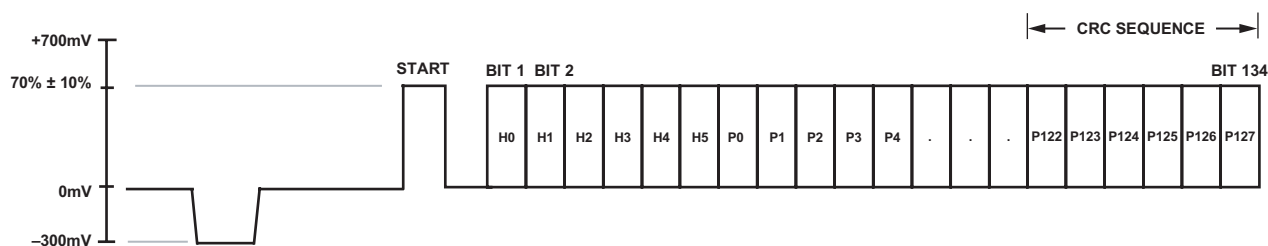
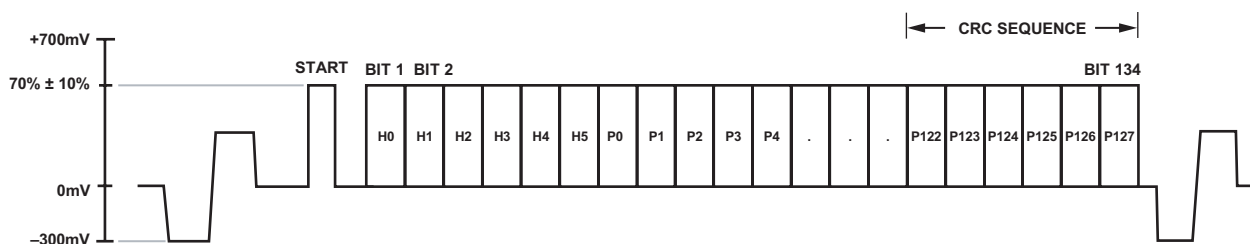


図95. 高解像度 (1080i) のCGMS波形



NOTES
1. PLEASE REFER TO THE CEA-805-A SPECIFICATION FOR TIMING INFORMATION.

図96. 拡張解像度 (525p) のCGMS Type B波形



NOTES
1. PLEASE REFER TO THE CEA-805-A SPECIFICATION FOR TIMING INFORMATION.

図97. 高解像度 (720pと1080i) のCGMS Type B波形

付録2—SDワイド・スクリーン・シグナリング

サブアドレス0x99、0x9A、0x9B

ADV7340/ADV7341は、ETSI 300 294規格に準拠して、ワイド・スクリーン・シグナリング（WSS）をサポートします。WSSデータは、ライン23で送信されます。WSSデータを送信できるのは、デバイスがPALモードに設定されている場合のみです。WSSデータは14ビット長です。表55に、各ビットの機能を示します。

WSSデータは、ラン・イン・シーケンスとスタート・コードの後ろに続きます（図98を参照）。SD WSS（サブアドレス0x99のビット7）がロジック1に設定された場合には、WSSデータをライン23で送信できます。ライン23の後ろの部分（HSYNCの立下がりエッジから42.5秒）は、ビデオの挿入に使用できます。サブアドレス0xA1のビット7により、ライン23のWSS部分はブランクにできます。

表55. WSSの機能

Bit Description	Bit Number														Setting
	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Aspect Ratio, Format, Position											1	0	0	0	4:3, full format, N/A
											0	0	0	1	14:9, letterbox, center
											0	0	1	0	14:9, letterbox, top
											1	0	1	1	16:9, letterbox, center
											0	1	0	0	16:9, letterbox, top
											1	1	0	1	>16:9, letterbox, center
											1	1	1	0	14:9, full format, center
											0	1	1	1	16:0, N/A, N/A
Mode										0					Camera mode
										1					Film mode
Color Encoding									0						Normal PAL
									1						Motion Adaptive ColorPlus
Helper Signals								0							Not present
								1							Present
Reserved							0								
Teletext Subtitles						0									No
						1									Yes
Open Subtitles				0	0										No
				0	1										Subtitles in active image area
				1	0										Subtitles out of active image area
				1	1										Reserved
Surround Sound			0												No
			1												Yes
Copyright		0													No copyright asserted or unknown
		1													Copyright asserted
Copy Protection	0														Copying not restricted
	1														Copying restricted

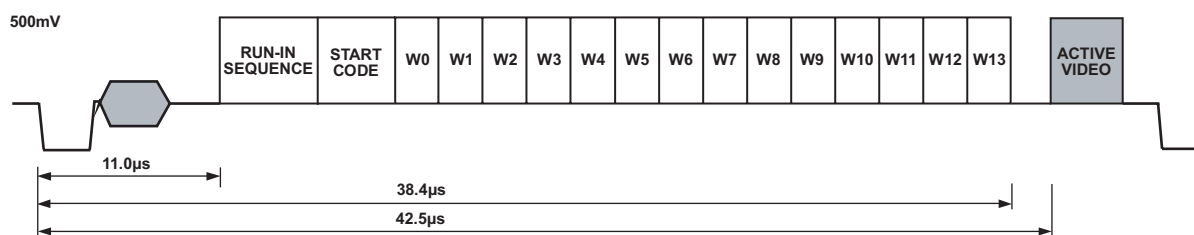


図98. WSSの波形図

00398-099

付録3—SDクローズド・キャプショニング

サブアドレス0x91～0x94

ADV7340/ADV7341は、カラー送信用の標準テレビ同期波形に準拠したクローズド・キャプショニングをサポートしています。クローズド・キャプショニングは、奇数フィールドのライン21と偶数フィールドのライン284のブランク・アクティブ・ライン区間で送信されます。

クローズド・キャプショニングは、キャプション・データに周波数ロックおよび位相ロックした7サイクルのサイン波バーストで構成されています。クロック・ラン・イン信号の後、ブランキング・レベルが2データ・ビットの間維持され、その後にロジック1のスタート・ビットが続きます。スタート・ビットの後には16ビットのデータが続きます。これらは、2個の8ビット・バイト、7ビットのデータ、1ビットの奇数パリティで構成されます。これらのバイトのデータは、SDクローズド・キャプショニング・レジスタ（サブアドレス0x93～0x94）に格納されます。

ADV7340/ADV7341は、拡張クローズド・キャプショニング動作もサポートしています。この機能は、偶数フィールドでアクティブになり、スキャン・ライン284上にエンコードされています。この動作のデータは、SDクローズド・キャプショニング・レジスタ（サブアドレス0x91～0x92）に格納されます。

ADV7340/ADV7341は、ライン21とライン284上でクローズド・キャプショニングをサポートするためのすべてのクロック・ラン・イン信号とタイミングを自動生成します。クローズド・キャプショニングがイネーブルされた場合は、ライン21区間とライン284区間のすべてのピクセル入力は無視されます。

ライン21とライン284に対するクローズド・キャプショニング情報は、FCC Code of Federal Regulations (CFR) 47 Section 15.119およびEIA-608により規定されています。

ADV7340/ADV7341は、シングル・バッファリング方式を採用しています。これは、クローズド・キャプショニング・バッファの深さが1バイトであり、深さ2バイトの他のバッファリング・システムとは異なり、クローズド・キャプショニング・データの出力でフレーム遅延が存在しないことを意味します。データは、ライン21とライン284に出力される1ライン前にロードする必要があります。この方式の代表的な実装環境には、VSYNCを使ってマイクロプロセッサに割り込み、各フィールドに新しいデータ（2バイト）をロードする方法があります。送信する新しいデータがない場合は、2本のデータ・レジスタにゼロを挿入します。これは、ゼロ設定と呼ばれています。制御コードをロードすることも重要です。すべての制御コードはダブル・バイトでライン21に配置されます。そうでない場合は、TVはこれらを認識しません。「Hello World」のような奇数文字数のメッセージがある場合には、最後にブランク文字を追加して、キャプションの最後で2バイトの制御コードが同じフィールドに配置されるようにする必要があります。

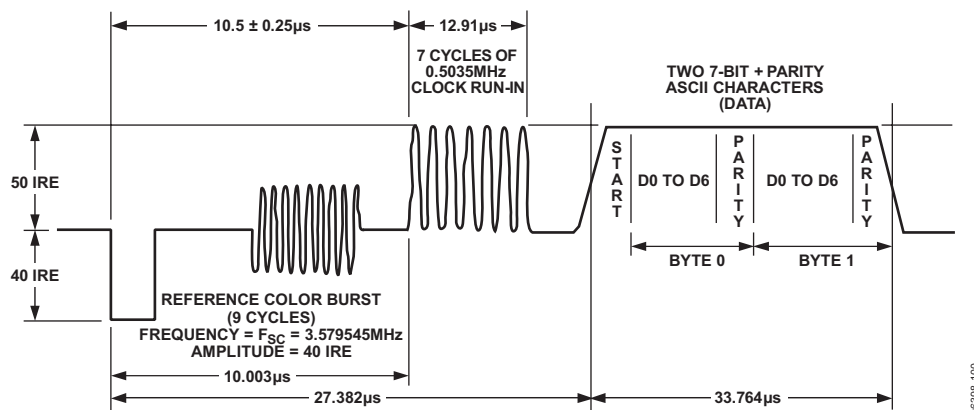


図99. SDクローズド・キャプショニングの波形、NTSC

付録4—内部テスト・パターン生成

SDテスト・パターン

ADV7340/ADV7341は、SDカラー・バーとブラック・バーのテスト・パターンを生成できます。

表56のレジスタ設定は、SD NTSC 75%のカラー・バー・テスト・パターンの生成に使用します。CVBS出力はDAC 4で得られ、Sビデオ（Y/C）出力はDAC 5とDAC 6上にあり、YPrPb出力はDAC 1からDAC 3上にあります。パワーアップ時にデフォルトで、サブキャリア周波数レジスタはNTSC用の適切な値になります。その他すべてのレジスタは、通常／デフォルトとして設定されます。

表56. SD NTSCのカラー・バー・テスト・パターン・レジスタの書込み

Subaddress	Setting
0x00	0xFC
0x82	0xC9
0x84	0x40

SD NTSCブラック・バー・テスト・パターンを生成するときは、表56と同じ設定を使用し、サブアドレス0x02に0x24を追加で書き込みます。

PAL出力のテスト・パターンの場合には、同じ設定を使用しますが、サブアドレス0x80には0x11を設定し、サブキャリア周波数レジスタについては、表57に示すように設定します。

表57. PALのF_{sc}レジスタの書込み

Subaddress	Description	Setting
0x8C	F _{sc0}	0xCB
0x8D	F _{sc1}	0x8A
0x8E	F _{sc2}	0x09
0x8F	F _{sc3}	0x2A

なお、F_{sc}レジスタの設定に際しては、F_{sc0}、F_{sc1}、F_{sc2}、F_{sc3}の順序で値を書き込む必要があります。書き込まれるF_{sc}値全体が受け付けられるのは、F_{sc3}の書込みが完了した後です。

ED/HDテスト・パターン

ADV7340/ADV7341は、ED/HDのカラー・バー、ブラック・バー、およびハッチのテスト・パターンを生成できます。

表58のレジスタ設定は、ED 525pのハッチ・テスト・パターンの生成に使用します。YPrPb出力は、DAC 1からDAC 3上で得られます。その他すべてのレジスタは、通常／デフォルトとして設定されます。

表58. ED 525pのハッチ・テスト・パターン・レジスタの書込み

Subaddress	Setting
0x00	0x1C
0x01	0x10
0x31	0x05

ED 525pのブラック・バー・テスト・パターンを生成するときは、表58と同じ設定を使用し、サブアドレス0x02に0x24を追加で書き込みます。

ED 525pのフラット・フィールド・テスト・パターンを生成するときは、表58と同じ設定を使用しますが、サブアドレス0x31には0x0Dを書き込みます。

ハッチとフラット・フィールドのテスト・パターンのY、Cr、Cbレベルを制御するときは、それぞれ、サブアドレス0x36、0x37、0x38を使用します。

525p以外のED/HD規格の場合には、表58（およびそれ以降の解説）と同じ設定を使用しますが、サブアドレス0x30のビット[7:3]は適宜更新されます。

付録5—SDタイミング

モード0 (CCIR-656) —スレーブ・オプション (サブアドレス0x8A=XXXXX000)

ADV7340/ADV7341は、ピクセル・データに組み込まれたSAV (start of active video) とEAV (end of active video) のタイム・コードによって制御されます。すべてのタイミング情報は、4バイトの同期パターンを使用して送信されます。同期パターンは、アクティブ・ピクチャおよびリトレースの間に、各ラインの直前直後に送信されます。S_VSYNCピンとS_HSYNCピンが使用されない場合は、このモードでは、これらのピンをハイレベルに接続しておく必要があります。

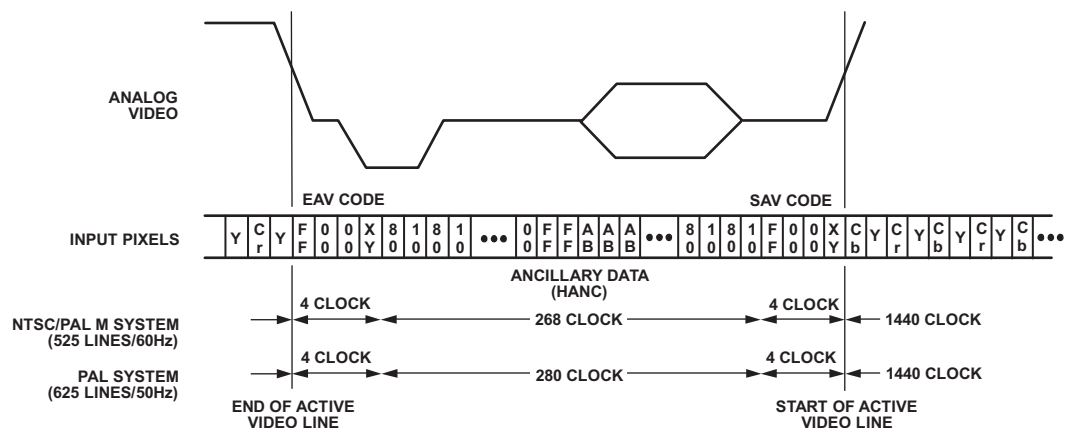


図100. SDスレーブ・モード0

モード0 (CCIR-656) —マスター・オプション (サブアドレス0x8A=XXXXX001)

ADV7340/ADV7341は、CCIR656規格でのSAVとEAVのタイム・コードに必要なH信号とF信号を生成します。HビットはS_HSYNCに出力され、FビットはS_VSYNCに出力されます。

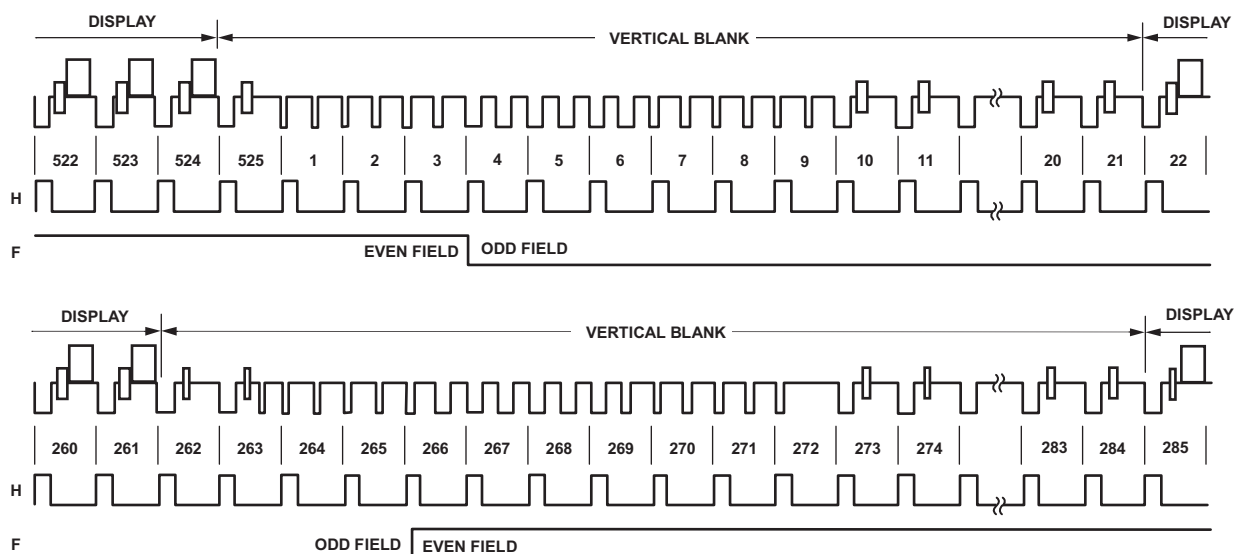


図101. SDマスター・モード0、NTSC

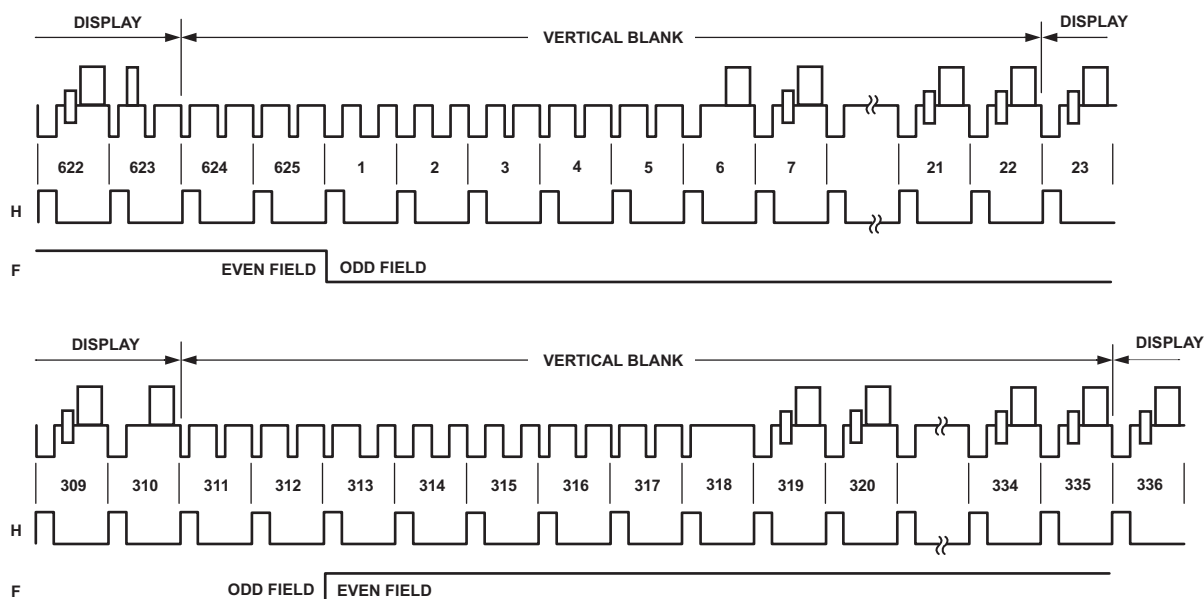


図102. SDマスター・モード0、PAL

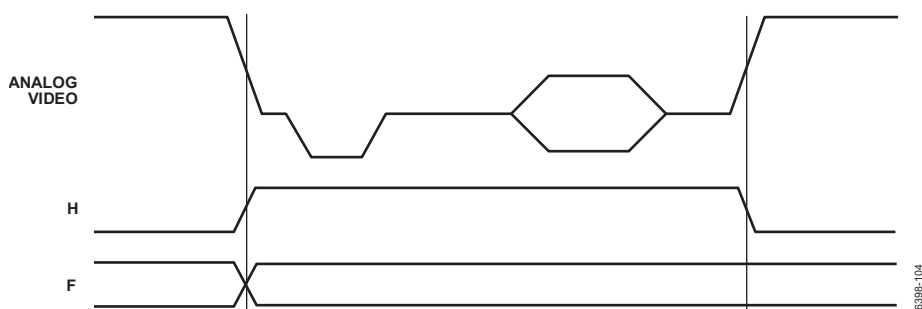


図103. SDマスター・モード0、データ変化

モード1—スレーブ・オプション（サブアドレス0x8A=XXXXX010）

このモードでは、ADV7340/ADV7341は水平同期信号と奇数／偶数フィールド信号を受け付けます。 $\overline{\text{HSYNC}}$ がローレベルのとき、フィールド入力の変化は、新しいフレーム（つまり、垂直リトレース）を意味します。ADV7340/ADV7341は、CCIR-624に従って、通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ とFIELDは、それぞれS_HSYNCピンとS_VSYNCピンの入力です。

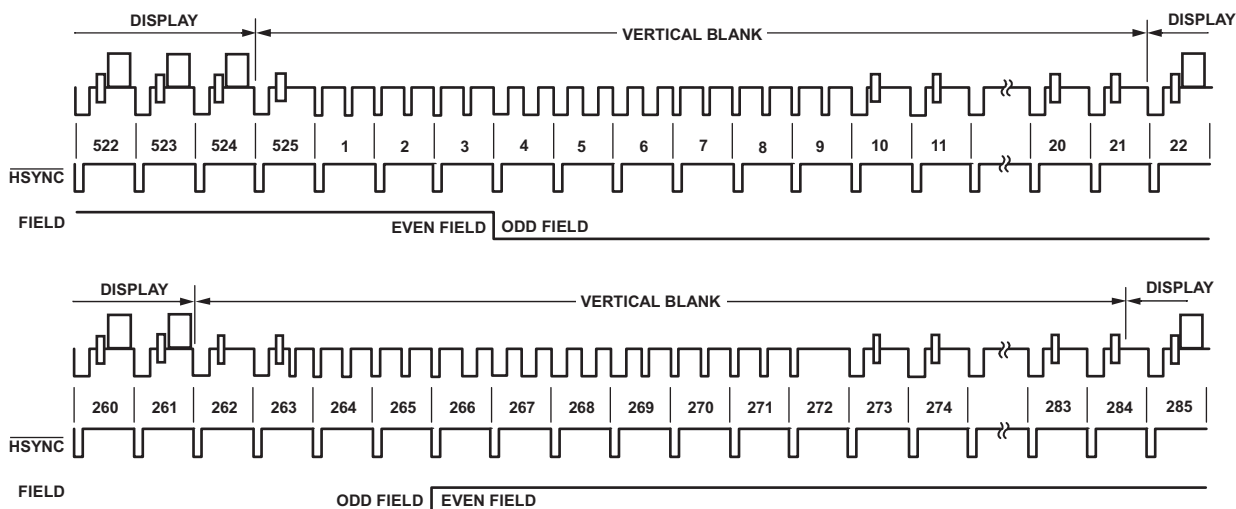


図104. SDスレーブ・モード1、NTSC

ADV7340/ADV7341

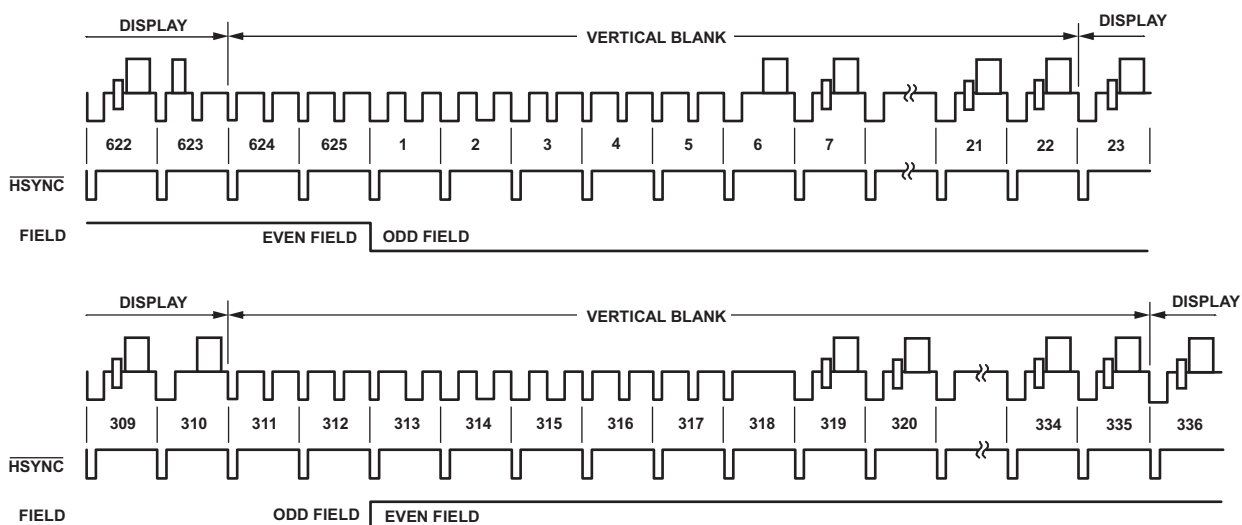


図105. SDスレープ・モード1、PAL

モード1—マスター・オプション（サブアドレス0x8A=XXXXX011）

このモードでは、ADV7340/ADV7341は水平同期信号と奇数／偶数フィールド信号を生成できます。 $\overline{\text{HSYNC}}$ がローレベルのとき、フィールド入力の変化は、新しいフレーム（つまり、垂直リトレース）を意味します。ADV7340/ADV7341は、CCIR-624に従って、通常ブランクの全ラインを自動的にブランクにします。ピクセル・データは、タイミング信号の変化の後に続く立上がりクロック・エッジでラッチされます。 $\overline{\text{HSYNC}}$ とFIELDは、それぞれS_HSYNCピンとS_VSYNCピンの出力です。

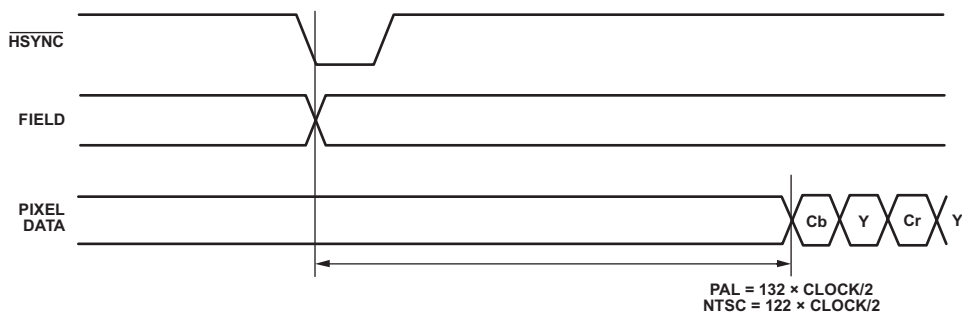


図106. SDタイミング・モード1、奇数／偶数フィールド変化（マスター／スレーブ）

モード2—スレーブ・オプション（サブアドレス0x8A=XXXXX100）

このモードでは、ADV7340/ADV7341は水平と垂直の同期信号を受け付けます。 $\overline{\text{HSYNC}}$ 入力と $\overline{\text{VSYNC}}$ 入力でのローレベル変化が同時に発生すると、奇数フィールドの開始を意味します。 $\overline{\text{HSYNC}}$ がハイレベルのときの $\overline{\text{VSYNC}}$ ローレベル変化は、偶数フィールドの開始を意味します。ADV7340/ADV7341は、CCIR-624に従って、通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ と $\overline{\text{VSYNC}}$ は、それぞれS_HSYNCピンとS_VSYNCピンの入力です。

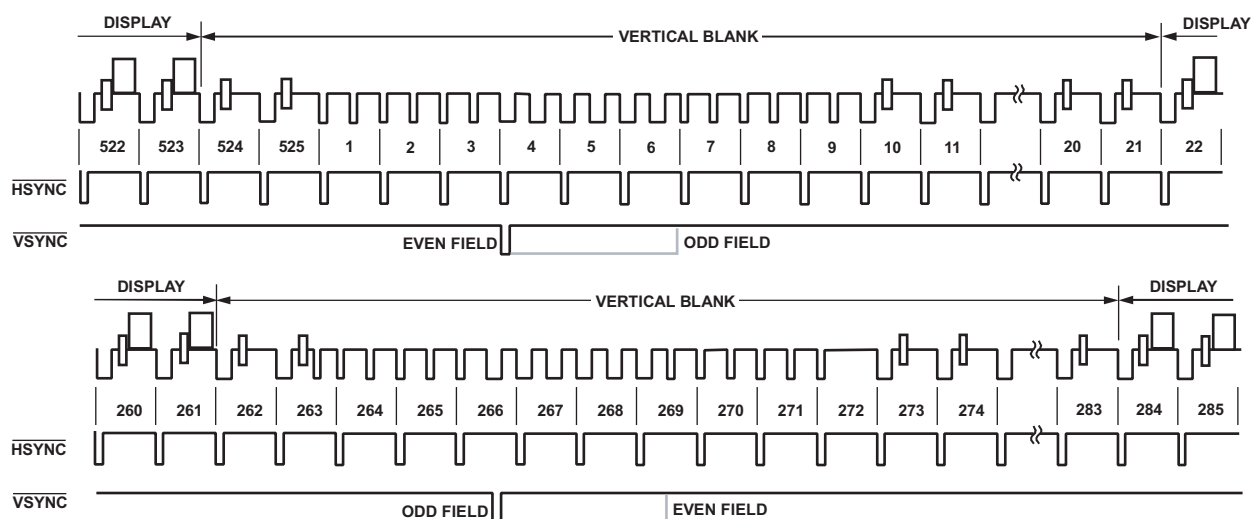


図107. SDスレーブ・モード2、NTSC

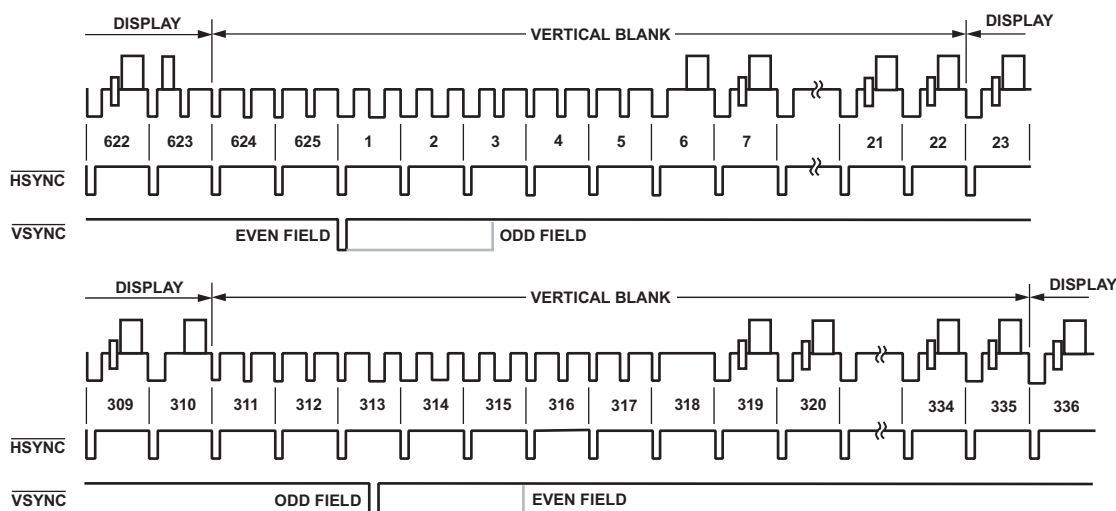


図108. SDスレーブ・モード2、PAL

モード2—マスター・オプション（サブアドレス0x8A=XXXXX101）

このモードでは、ADV7340/ADV7341は水平と垂直の同期信号を生成できます。 $\overline{\text{HSYNC}}$ 入力と $\overline{\text{VSYNC}}$ 入力でローレベル変化が同時に発生すると、奇数フィールドの開始を意味します。

$\overline{\text{HSYNC}}$ がハイレベルのときの $\overline{\text{VSYNC}}$ のローレベル変化は、偶数フィールドの開始を意味します。ADV7340/ADV7341は、CCIR-624に従って、通常ブランクの全ラインを自動的にブランクにします。 $\overline{\text{HSYNC}}$ と $\overline{\text{VSYNC}}$ は、それぞれ S_HSYNC ピンと S_VSYNC ピンの出力です。

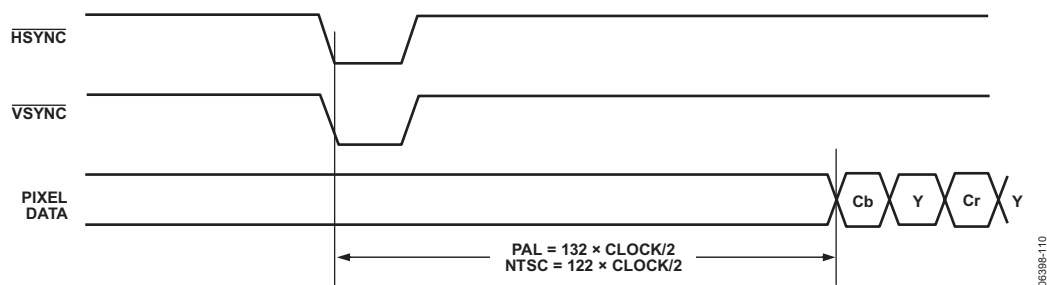


図109. SDタイミング・モード2、偶数から奇数へのフィールド変化（マスター／スレーブ）

ADV7340/ADV7341

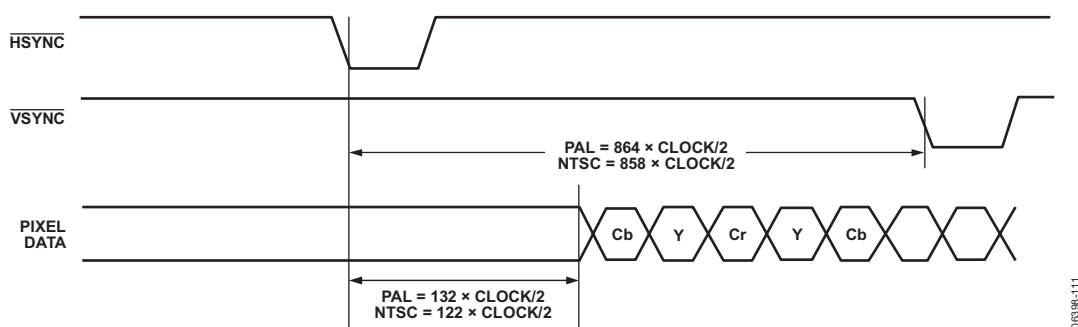


図110. SDタイミング・モード2、奇数から偶数へのフィールド変化（マスター／スレーブ）

モード3—マスター／スレーブ・オプション（サブアドレス0x8A=XXXXX110またはXXXXX111）

このモードでは、ADV7340/ADV7341は水平同期信号と奇数／偶数フィールド信号を受け付けるか、あるいは生成します。HSYNCがハイレベルのとき、フィールド入力の変化は、新しいフレーム（つまり、垂直リトレース）を示します。ADV7340/ADV7341は、CCIR-624に従って、通常ブランクの全ラインを自動的にブランクにします。HSYNCとVSYNCは、それぞれS_HSYNCピンとS_VSYNCピン上で、マスター・モードでは出力、スレーブ・モードでは入力です。

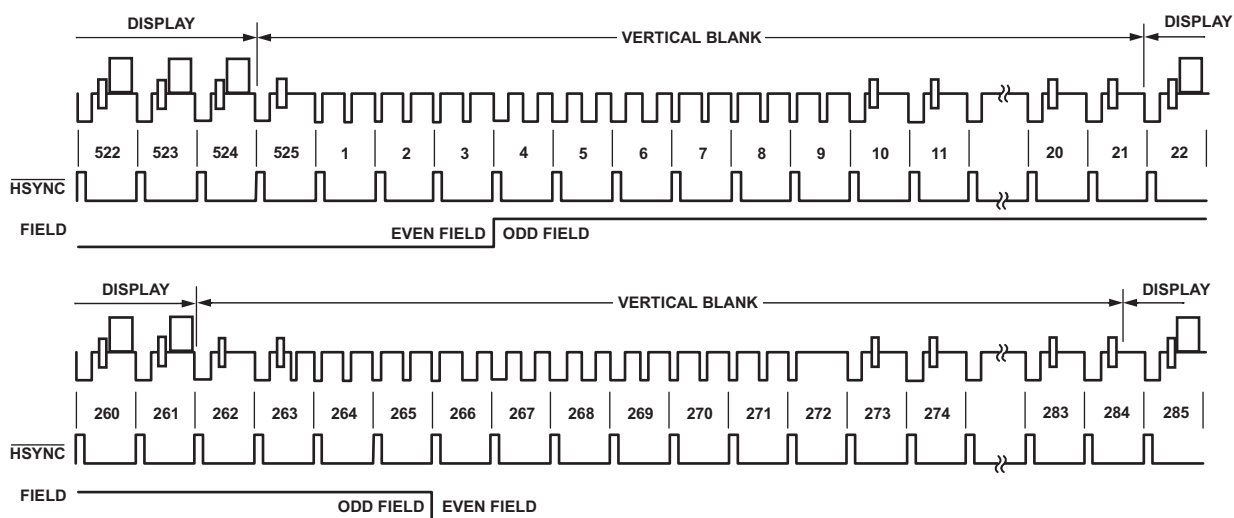


図111. SDタイミング・モード3、NTSC

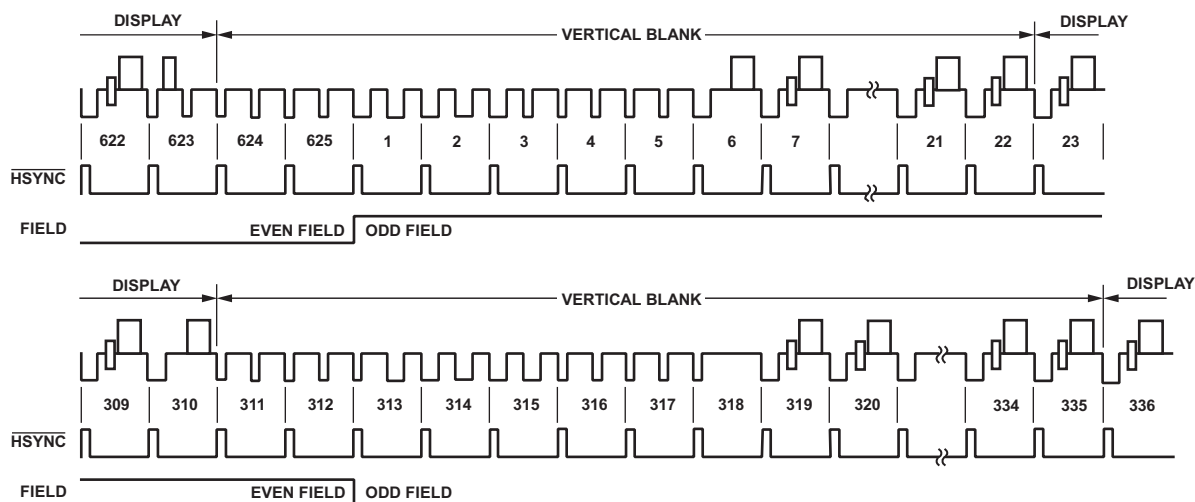


図112. SDタイミング・モード3、PAL

付録6—HDタイミング

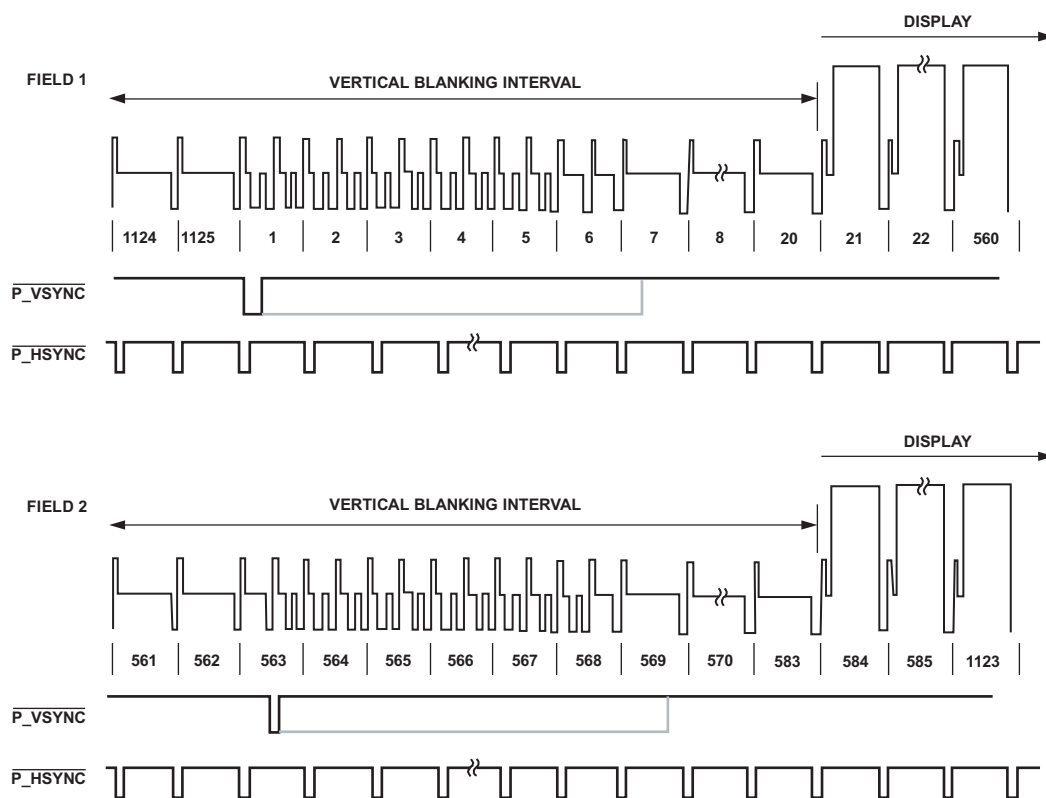


図113. 1080i HSYNCとVSYNCの入カタイミング

06398-114

付録7—ビデオ出力レベル

SD YPrPb出力レベル—SMPTE/EBU N10

パターン：100%のカラー・バー

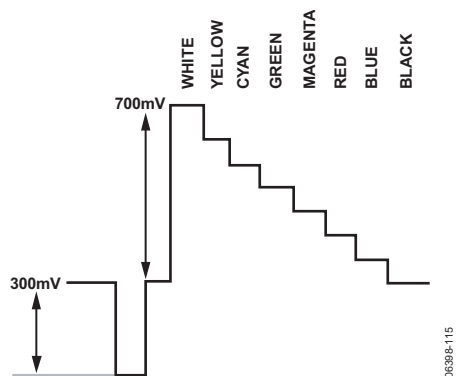


図114. Yレベル—NTSC

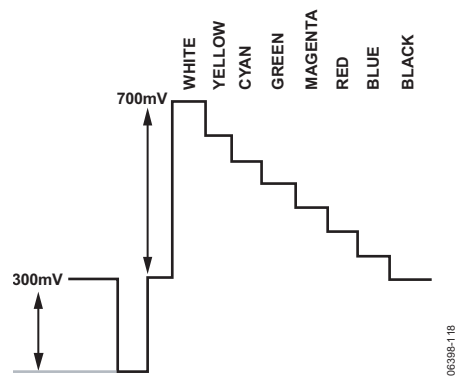


図117. Yレベル—PAL

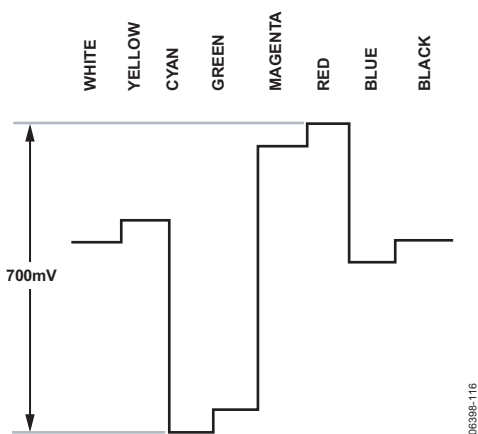


図115. Prレベル—NTSC

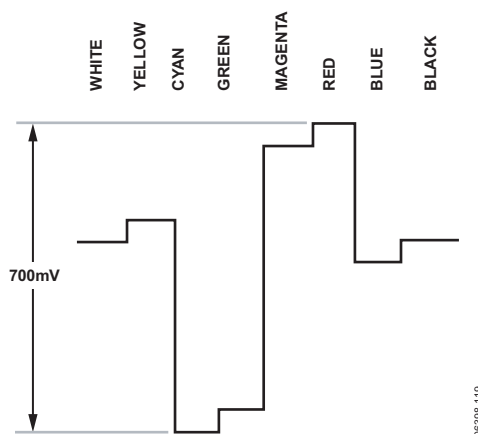


図118. Prレベル—PAL

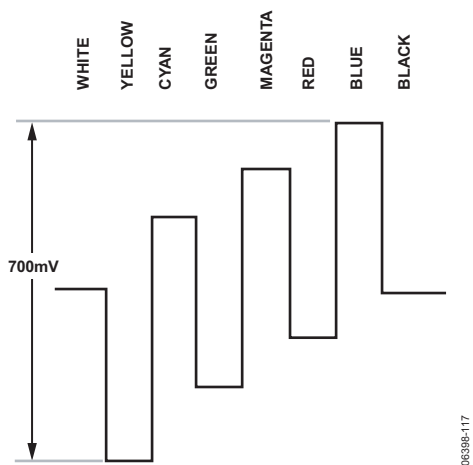


図116. Pbレベル—NTSC

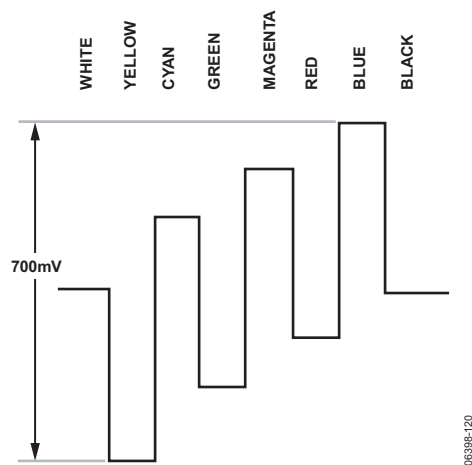


図119. Pbレベル—PAL

ED/HD YPrPb出力レベル

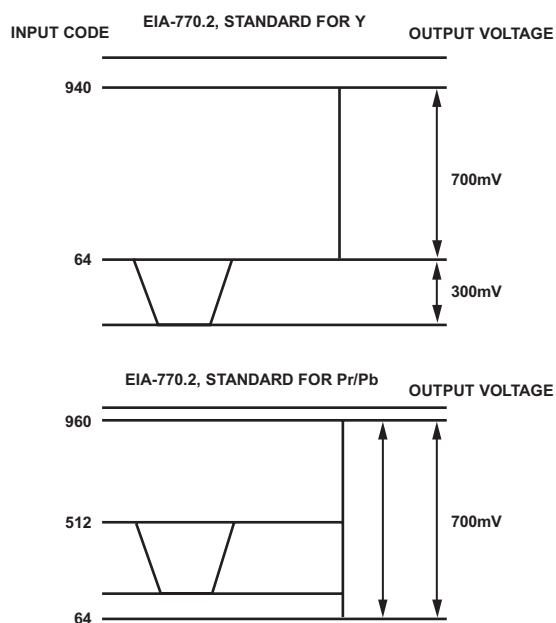


図120. EIA-770.2規格の出力信号 (525p/625p)

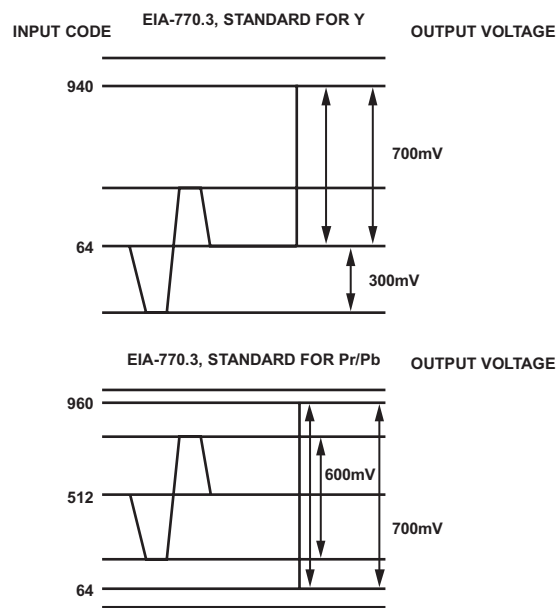


図122. EIA-770.3規格の出力信号 (1080i/720p)

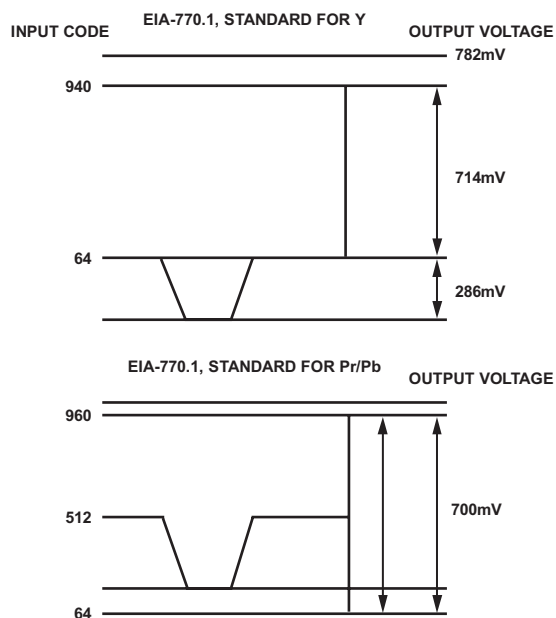


図121. EIA-770.1規格の出力信号 (525p/625p)

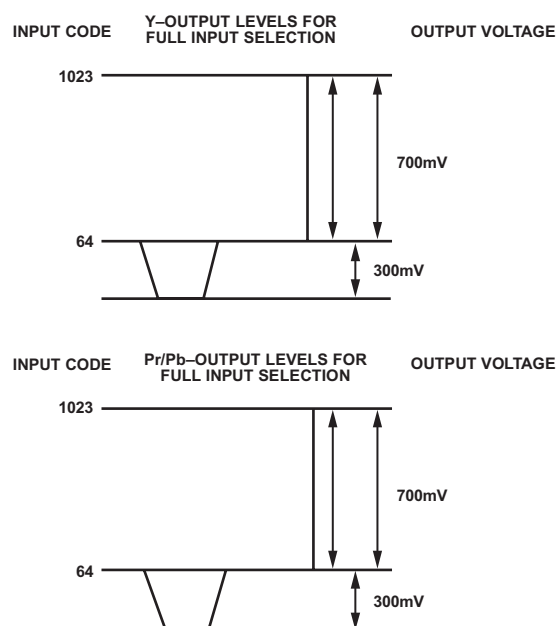


図123. フル入力選択用の出力レベル

ADV7340/ADV7341

SD/ED/HD RGB出力レベル

パターン：100/75%のカラー・バー

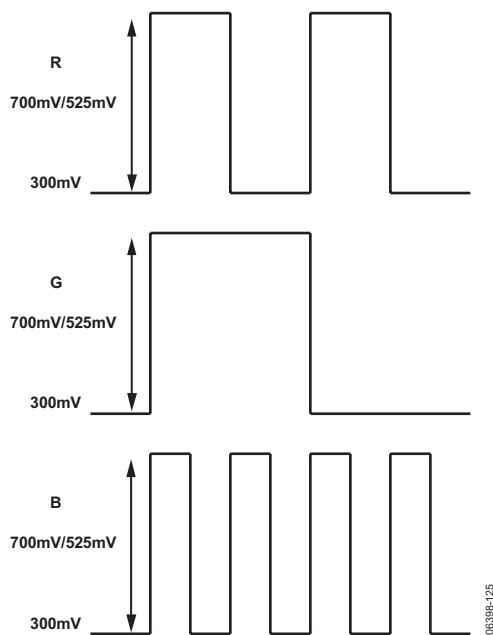


図124. SD/ED RGB出力レベル—RGB同期
ディスエーブル

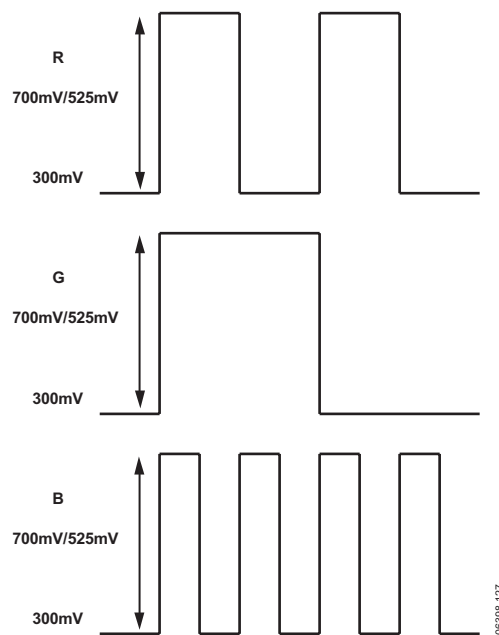


図126. HD RGB出力レベル—RGB同期ディスエーブル

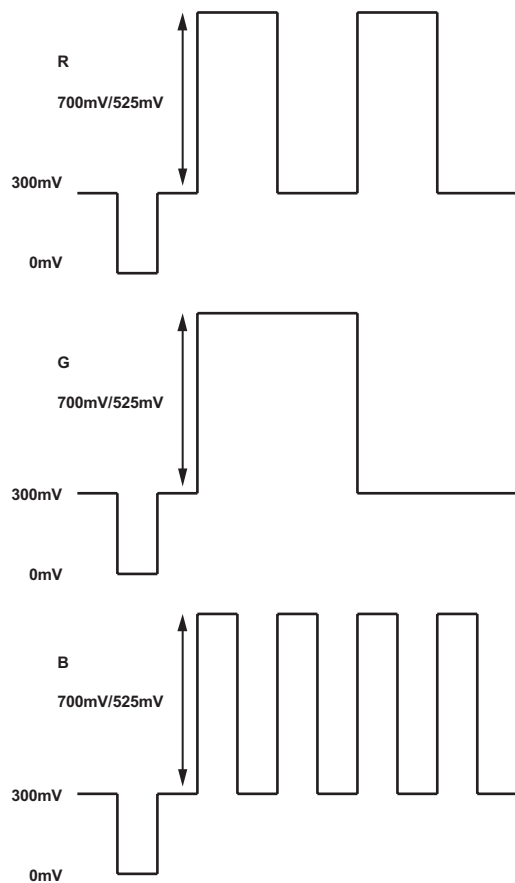


図125. SD/ED RGB出力レベル—RGB同期イネーブル

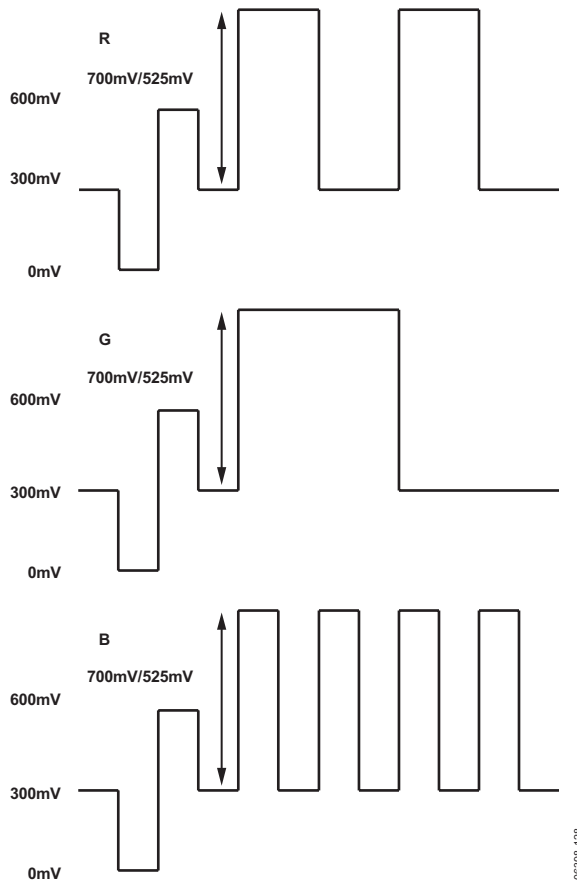
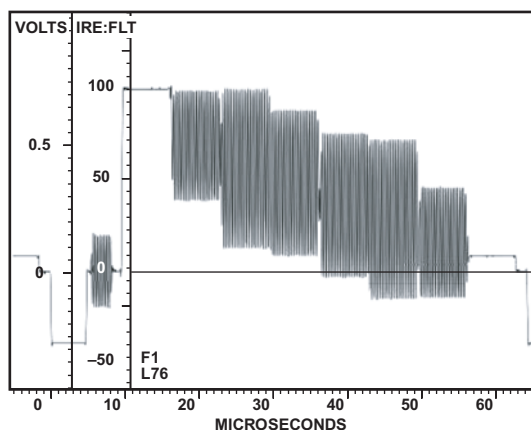


図127. HD RGB出力レベル—RGB同期イネーブル

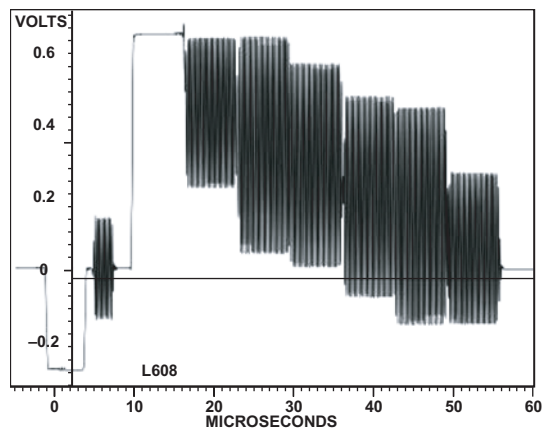
SD出カプロット



APL = 44.5%
525 LINE NTSC
SLOW CLAMP TO 0.00V AT 6.72μs
PRECISION MODE OFF
SYNCHRONOUS SYNC = A
FRAMES SELECTED 1, 2

06398-129

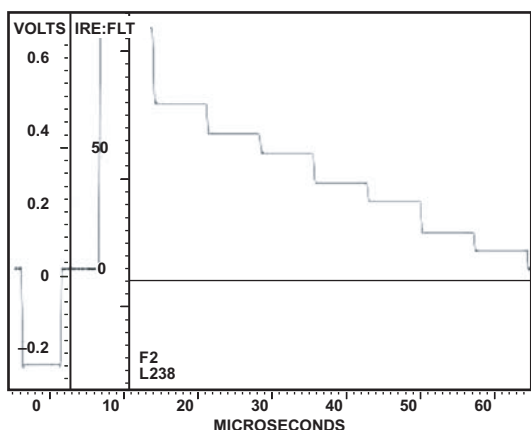
図128. NTSCカラー・バー (75%)



NOISE REDUCTION: 0.00dB
APL = 39.1%
625 LINE NTSC NO FILTERING
SLOW CLAMP TO 0.00 AT 6.72μs
PRECISION MODE OFF
SYNCHRONOUS SOUND-IN-SYNC OFF
FRAMES SELECTED 1, 2, 3, 4

06398-132

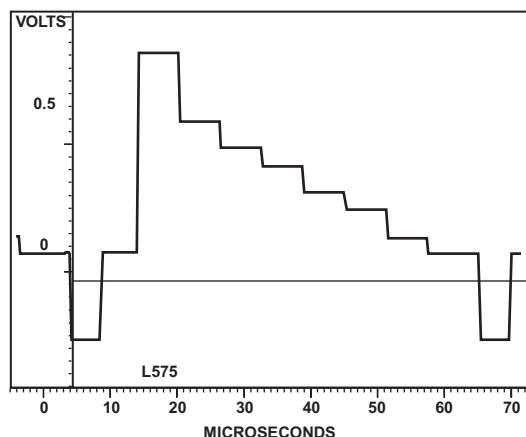
図131. PALカラー・バー (75%)



NOISE REDUCTION: 15.05dB
APL = 44.3%
525 LINE NTSC NO FILTERING
SLOW CLAMP TO 0.00V AT 6.72μs
PRECISION MODE OFF
SYNCHRONOUS SYNC = SOURCE
FRAMES SELECTED 1, 2

06398-130

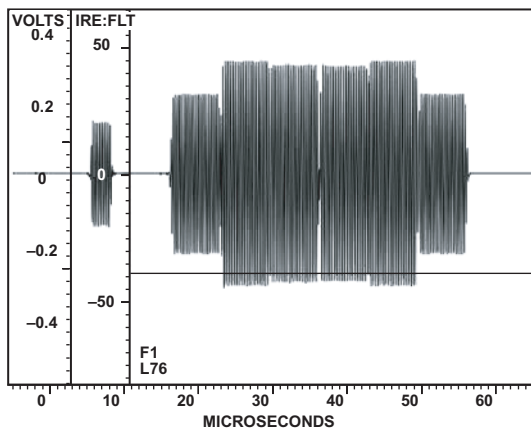
図129. NTSCルミナンス



APL NEEDS SYNC SOURCE.
625 LINE PAL NO FILTERING
SLOW CLAMP TO 0.00 AT 6.72μs
NO BUNCH SIGNAL
PRECISION MODE OFF
SYNCHRONOUS SOUND-IN-SYNC OFF
FRAMES SELECTED 1

06398-133

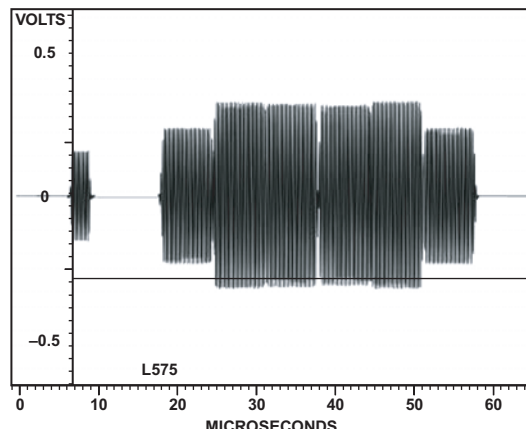
図132. PALルミナンス



NOISE REDUCTION: 15.05dB
APL NEEDS SYNC SOURCE.
525 LINE NTSC NO FILTERING
SLOW CLAMP TO 0.00 AT 6.72μs
PRECISION MODE OFF
SYNCHRONOUS SYNC = B
FRAMES SELECTED 1, 2

06398-131

図130. NTSCクロミナンス



APL NEEDS SYNC SOURCE.
625 LINE PAL NO FILTERING
SLOW CLAMP TO 0.00 AT 6.72μs
NO BUNCH SIGNAL
PRECISION MODE OFF
SYNCHRONOUS SOUND-IN-SYNC OFF
FRAMES SELECTED 1

06398-134

図133. PALクロミナンス

付録8—ビデオ規格

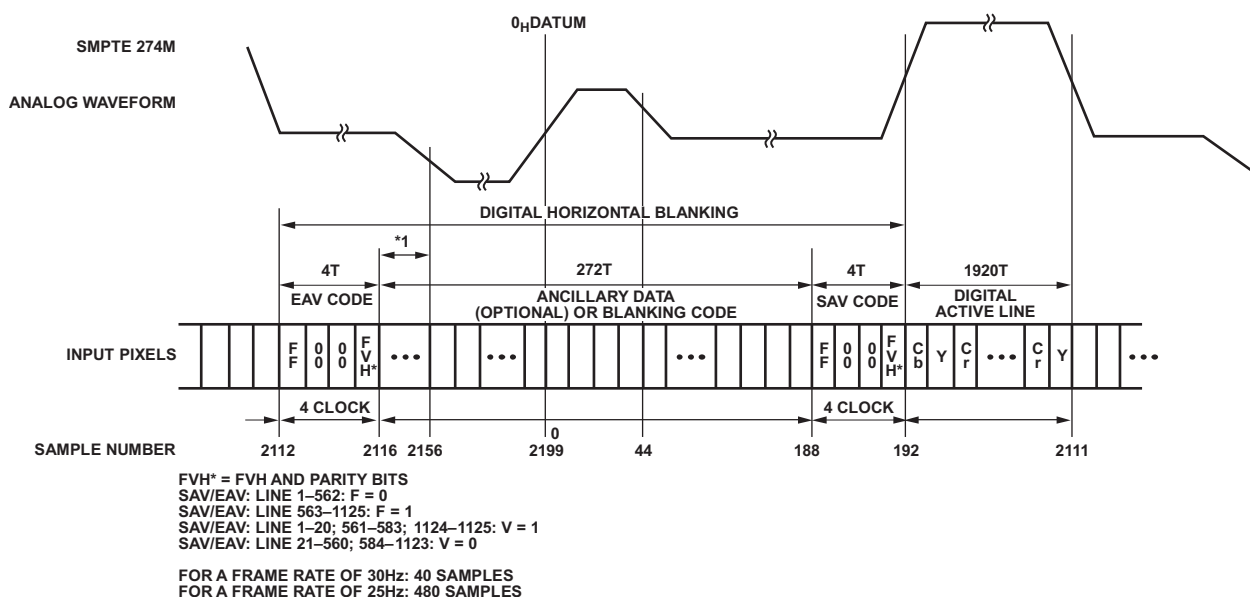


図134. EAV/SAV入力データのタイミング図 (SMPTE 274M)

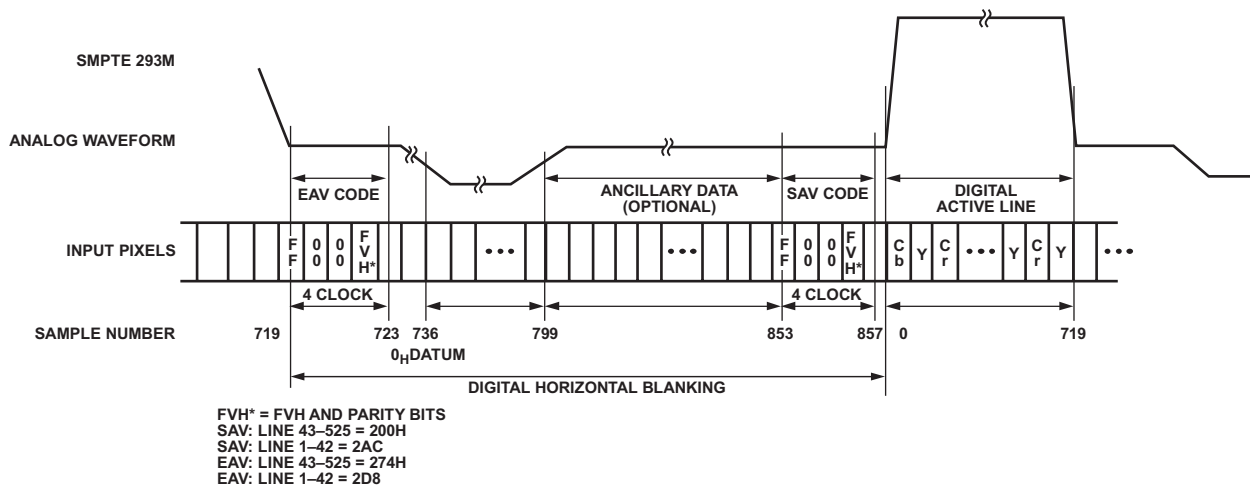


図135. EAV/SAV入力データのタイミング図 (SMPTE 293M)

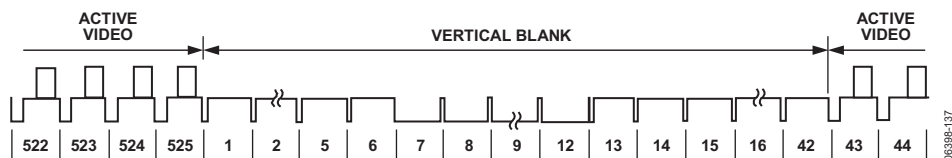


図136. SMPTE 293M (525p)

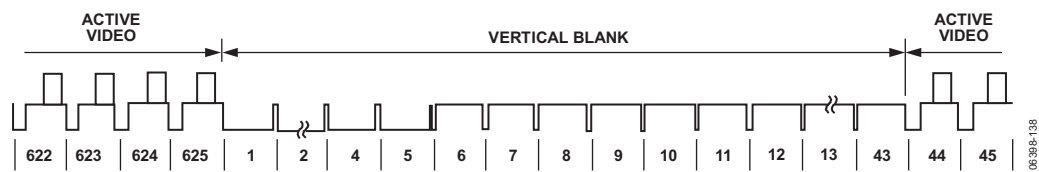


图137. ITU-R BT.1358 (625p)

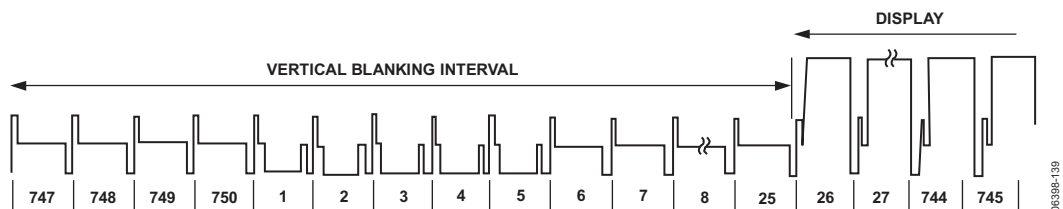


图138. SMPTE 296M (720p)

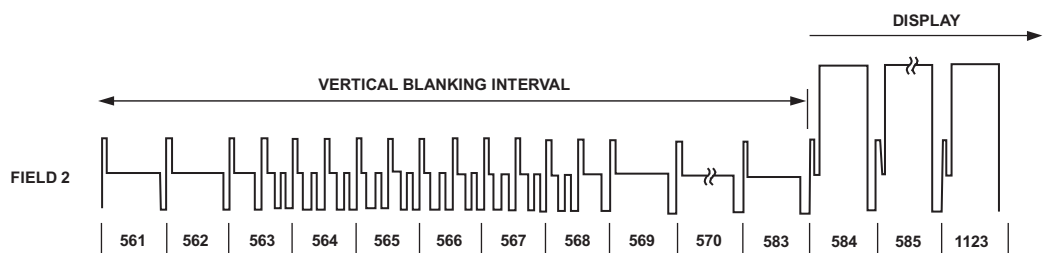
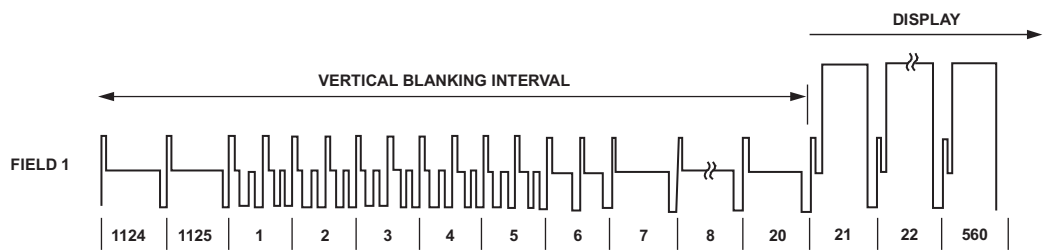


图139. SMPTE 274M (1080i)

外形寸法

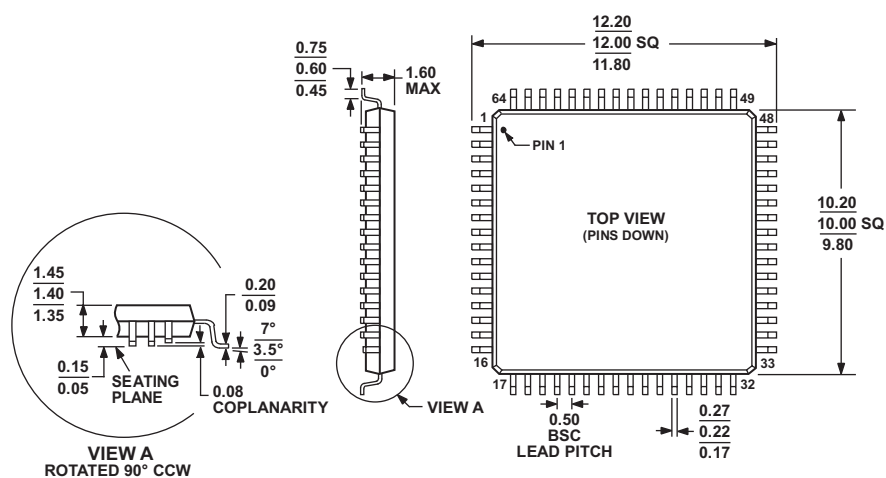


図140. 64ピン薄型クワッド・フラット・パッケージ [LQFP]
(ST-64-2)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Macrovision ¹ Antitaping	Package Description	Package Option
ADV7340BSTZ ²	−40℃ to +85℃	Yes	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
ADV7341BSTZ ²	−40℃ to +85℃	No	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-ADV7340EBZ ²		Yes	ADV7340 Evaluation Platform	
EVAL-ADV7341EBZ ²		No	ADV7341 Evaluation Platform	

¹ Macrovision対応のICでは、購入者は、Macrovision Rev 7.1.L1準拠のビデオを出力できるICの承認されたライセンシー（正規の購入者）であることが必要です。

² Z=鉛フリー製品