



**ANALOG
DEVICES**

12ビットADC、DDS DAC内蔵の高精度アナログ・ マイクロコントローラARM7TDMI MCU

ADuC7128/ADuC7129

特長

アナログI/O

- マルチチャンネル、12ビット、1MSPS ADC
 - 最大14チャンネルのA/Dコンバータ (ADC)
 - 完全差動モードとシングルエンド・モード
 - 0~V_{REF}のアナログ入力範囲
- 10ビットD/Aコンバータ (DAC)
 - 32ビット、21MHzダイレクト・デジタル・シンセサイザ (DDS)
 - 電流/電圧 (I/V) 変換
 - 2次ローパス・フィルタ (LPF) 内蔵
 - DACへのDDS入力
 - 100Ωライン・ドライバ

オンチップ電圧リファレンス

オンチップ温度センサー (±3°C)

電圧コンパレータ

マイクロコントローラ

- ARM7TDMIコア、16/32ビットRISCアーキテクチャ
- コードのダウンロードとデバッグに対応するJTAGポート
- 外部時計水晶発振器/クロック源
- 8種類の設定ができる分周器を備えた41.78MHz PLL
- オプションのトリミング済みオンチップ発振器

メモリ

126KBのフラッシュ/EEメモリ、8KBのSRAM

インサーキットのダウンロード、JTAGベースのデバッグ
ソフトウェアでトリガするインサーキット・リプログラミング機能

オンチップ・ペリフェラル

- 2個のUART、2個のI²C、SPIシリアルI/O
- 最大40ピンのGPIOポート
- 5個の汎用タイマ
- ウェークアップ・タイマとウォッチドッグ・タイマ (WDT)
- 電源モニタ
- 16ビットPWMジェネレータ
- 直交エンコーダ
- プログラマブル・ロジック・アレイ (PLA)

電源

- 3V電源で仕様を規定
- アクティブ・モード
- 11mA (@5.22MHz)
- 45mA (@41.78MHz)

パッケージと温度範囲

- 64ピン、9mm×9mmのLFCSPパッケージ、
-40~+125°C
- 64ピンLQFP、-40~+125°C
- 80ピンLQFP、-40~+125°C

ツール

- 低価格のQuickStart開発システム
- サードパーティによる完全なサポート

機能ブロック図

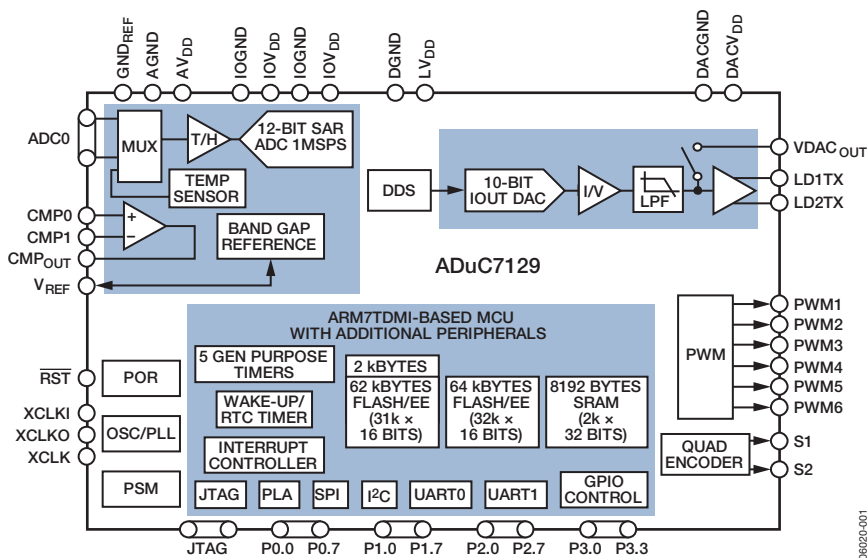


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

目次

特長	1	SRAMおよびフラッシュ/EEからの実行時間.....	43
機能ブロック図	1	リセットと再マッピング.....	44
改訂履歴.....	2	その他のアナログ・ペリフェラル	45
概要	3	DAC	45
仕様	4	DDS.....	46
タイミング仕様.....	8	電源モニタ.....	47
絶対最大定格	15	コンパレータ.....	47
ESDに関する注意.....	15	発振器とPLL—消費電力の制御.....	49
ピン配置と機能の説明	16	デジタル・ペリフェラル	51
代表的な性能特性	21	PWMの概要.....	51
用語の説明	24	PWM変換スタート・コントロール.....	52
ADC仕様	24	汎用I/O	55
DACの仕様	24	シリアル・ポート・マルチプレクサ.....	57
ARM7TDMIコアの概要.....	25	UARTシリアル・インターフェース	57
Thumbモード (T).....	25	シリアル・ペリフェラル・インターフェース.....	63
ロング乗算 (M)	25	I ² C互換インターフェース	65
EmbeddedICE (I)	25	I ² Cレジスタ	65
例外.....	25	プログラマブル・ロジック・アレイ (PLA).....	69
ARMレジスタ	25	プロセッサのリファレンス・ペリフェラル	72
割込み遅延.....	26	割込みシステム.....	72
メモリの構成	27	タイマ.....	73
メモリのアクセス.....	27	タイマ0—ライフタイム・タイマ	73
フラッシュ/EEメモリ	27	タイマ1—汎用タイマ	75
SRAM	27	タイマ2—ウェークアップ・タイマ	77
メモリ・マップ・レジスタ.....	27	タイマ3—ウォッチドッグ・タイマ	79
MMRの詳細リスト.....	28	タイマ4—汎用タイマ	81
ADC回路の概要.....	32	外部メモリ・インターフェース.....	83
ADCの伝達関数	32	タイミング図.....	84
代表的な動作.....	33	ハードウェア設計のポイント	87
コンバータの動作.....	36	電源.....	87
アナログ入力駆動.....	37	グラウンディングと	
温度センサー.....	37	ボード・レイアウトに関する推奨事項.....	87
バンドギャップ・リファレンス.....	38	クロック発振器.....	88
不揮発性フラッシュ/EEメモリ.....	39	パワーオン・リセット動作.....	89
フラッシュ/EEメモリの概要	39	開発ツール	90
フラッシュ/EEメモリ	39	インサーキット・シリアル・ダウンロード.....	90
フラッシュ/EEメモリのセキュリティ	40	外形寸法	91
フラッシュ/EEのコントロール・インターフェース	40	オーダー・ガイド.....	92

改訂履歴

4/07—Revision 0: Initial Version

概要

ADuC7128/ADuC7129は高性能、マルチチャンネルのA/Dコンバータ（ADC）、ライン・ドライバ付きDDS、16/32ビットMCU、フラッシュ/EEメモリをシングル・チップに搭載した1MSPS、12ビットの完全集積データ・アキュイジション・システムです。

ADCは、最大14チャンネルのシングルエンド入力で構成されており、シングルエンド入力または差動入力で動作します。ADCの入力電圧範囲は0～ V_{REF} です。また、ADCのペリフェラル・セットとして低ドリフトのバンドギャップ電圧リファレンス、温度センサー、電圧コンパレータが内蔵されています。

ADuC7128/ADuC7129は、差動のライン・ドライバ出力を備えています。これは、オンチップDDSが計算したサイン波やDACDAT MMRに基づく電圧出力を送信します。

デバイスは、41.78MHzの高周波数内部クロックを生成するオンチップ発振器とPLLで動作します。このクロックはプログラマブル・クロック分周器を経由して送信され、ここからMCUコアのクロック動作周波数が生成されます。

マイクロコントローラ・コアは、最大41MIPSのピーク性能を備える16/32ビットの縮小命令セット・コンピュータ（RISC）ARM7TDMI®です。126KBの不揮発性フラッシュ/EEのほか、8KBのSRAMも内蔵しています。ARM7TDMIコアは、メモリとレジスタのすべてを1つのリニア・アレイとして扱います。

工場出荷時に設定済みのオンチップ・ファームウェアは、UARTシリアル・インターフェース・ポートを介したインサーキットのシリアル・ダウンロードに対応し、JTAGインターフェースによる非侵入式のエミュレーションにも対応します。これらの機能は、このMicroConverter®ファミリーに対応する低価格のQuickStart™開発システムに組み込まれています。

デバイスは3.0～3.6Vの電源で動作し、 $-40\sim+125^{\circ}\text{C}$ の工業用温度範囲で仕様が規定されています。41.78MHzの動作時の消費電力は135mWです。ライン・ドライバ出力をイネーブルにすると、消費電力が30mW増加します。

ADuC7128/ADuC7129

仕様

$AV_{DD}=IOV_{DD}=3.0\sim 3.6V$ 、 $V_{REF}=2.5V$ 内部リファレンス、 $f_{CORE}=41.78MHz$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC CHANNEL SPECIFICATIONS					
ADC Power-Up Time		5		μs	Eight acquisition clocks and $f_{ADC}/2$
DC Accuracy ^{1,2}					
Resolution	12			Bits	
Integral Nonlinearity ³		± 0.7	± 2.0	LSB	2.5 V internal reference 85°C to 125°C only
		± 0.7	± 1.5	LSB	2.5 V internal reference -40°C to +85°C
		± 2.0		LSB	1.0 V external reference
Differential Nonlinearity ³		± 0.5	$+1/-0.9$	LSB	2.5 V internal reference
		± 0.6		LSB	1.0 V external reference
DC Code Distribution		1		LSB	ADC input is a dc voltage
ENDPOINT ERRORS⁴					
Offset Error			± 5	LSB	
Offset Error Match		± 1		LSB	
Gain Error			± 5	LSB	
Gain Error Match		± 1		LSB	
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR)		69		dB	$F_{IN} = 10\text{ kHz sine wave}$, $f_{SAMPLE} = 1\text{ MSPS}$
Total Harmonic Distortion (THD)		-78		dB	
Peak Harmonic or Spurious Noise		-75		dB	
Channel-to-Channel Crosstalk		-80		dB	
Crosstalk Between Channel 12 and Channel 13		-60		dB	
ANALOG INPUT					
Input Voltage Ranges					
Differential Mode ⁵			$V_{CM} \pm V_{REF}/2$	V	
Single-Ended Mode			0 to V_{REF}	V	
Leakage Current			± 15	μA	85°C to 125°C only
	± 1		± 3	μA	-40°C to +85°C
Input Capacitance	20			pF	During ADC acquisition
ON-CHIP VOLTAGE REFERENCE					
Output Voltage	2.5			V	0.47 μF from V_{REF} to AGND
Accuracy			± 2.5	mV	Measured at $T_A = 25^\circ C$
Reference Drop When DAC Enabled	9			mV	Reference drop when DAC enabled
Reference Temperature Coefficient	± 40			ppm/°C	
Power Supply Rejection Ratio	80			dB	
Output Impedance	40			Ω	
Internal V_{REF} Power-On Time	1			ms	
EXTERNAL REFERENCE INPUT⁶					
Input Voltage Range	0.625		AV_{DD}	V	
Input Impedance	38			k Ω	
DAC CHANNEL SPECIFICATIONS					
VDAC Output					$R_L = 5\text{ k}\Omega$, $C_L = 100\text{ pF}$
Voltage Swing		$(0.33 \times V_{REF} \pm 0.2 \times V_{REF}) \times 1.33$			V_{REF} is the internal 2.5 V reference
I/V Output Resistance			7	Ω	V mode selected
Low-Pass Filter 3 dB Point	1			MHz	2-pole at 1.5 MHz and 2 MHz
Resolution	10			Bits	

ADuC7128/ADuC7129

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Relative Accuracy		±2		LSB	
Differential Nonlinearity, +VE		0.35		LSB	
Differential Nonlinearity, -VE		-0.15		LSB	
Offset Error			-190	mV	
Gain Error			+150	mV	
Voltage Output Settling Time to 0.1%			5	μs	
Line Driver Output					As measured into a range of specified loads (see Figure 2) at LD1TX and LD2TX, unless otherwise noted
Total Harmonic Distortion		-52		dB	PLM operating at 691.2 kHz
Output Voltage Swing		±1.768		Vrms	
COMMON MODE					
AC Mode		1.65		V	Each output has a common mode of $0.5\text{ V} \times AV_{DD}$ and swings $0.5\text{ V} \times V_{REF}$ above and below this; V_{REF} is the internal 2.5 V reference
DC Mode		1.5		V	Each output has a common mode of $0.5\text{ V} \times V_{REF}$ and swings $0.6\text{ V} \times V_{REF}$ above and below this; V_{REF} is the internal 2.5 V reference
DIFFERENTIAL INPUT IMPEDANCE					
Leakage Current LD1TX, LD2TX	11	13	7	kΩ	Line driver buffer disabled
Short-Circuit Current		±50		μA	Line driver buffer disabled
Line Driver Tx Power-Up Time			20	mA	No protection diodes, max allowable current
COMPARATOR					
Input Offset Voltage		±15		mV	
Input Bias Current		1		μA	
Input Voltage Range	AGND		$AV_{DD} - 1.2\text{ V}$		
Input Capacitance		7		pF	
Hysteresis ^{3,5}	2		15	mV	Hysteresis can be turned on or off via the CMPHYST bit in the CMPCON register
Response Time		1		μs	Response time can be modified via the CMPRES bits in the CMPCON register
TEMPERATURE SENSOR					
Voltage Output at 25°C		780		mV	
Voltage Temperature Coefficient		-1.3		mV/°C	
Accuracy		±3		°C	
POWER SUPPLY MONITOR (PSM)					
IOV _{DD} Trip Point Selection		2.79		V	Two selectable trip points
		3.07		V	
Power Supply Trip Point Accuracy		±2.5		%	Of the selected nominal trip point voltage
GLITCH IMMUNITY ON $\overline{\text{RST}}$ PIN ³		50		μs	
WATCHDOG TIMER (WDT)					
Timeout Period	0		512	ms	
				sec	
FLASH/EE MEMORY ^{7,8}					
Endurance	10,000			Cycles	
Data Retention	20			Years	$T_J = 85^\circ\text{C}$
DIGITAL INPUTS					
Logic 1 Input Current (Leakage Current)		±0.2	±1	μA	All digital inputs, including XCLKI and XCLKO $V_{INH} = V_{DD}$ or $V_{INH} = 5\text{ V}$
Logic 0 Input Current (Leakage Current)		-40	-65	μA	$V_{INL} = 0\text{ V}$, except TDI
		-80	+125	μA	$V_{INL} = 0\text{ V}$, TDI Only
Input Capacitance		15		pF	

ADuC7128/ADuC7129

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS³					All logic inputs, including XCLKI and XCLKO
V_{INL} , Input Low Voltage	2.0		0.8	V	
V_{INH} , Input High Voltage				V	
Quadrature Encoder Inputs S1/S2/CLR (Schmitt-Triggered Inputs)					
V_{T+}		1.65		V	
V_{T-}		1.2		V	
$V_{T+} - V_{T-}$		0.75		V	
LOGIC OUTPUTS⁹					
V_{OH} , Output High Voltage	$IOV_{DD} - 400\text{ mV}$			V	$I_{SOURCE} = 1.6\text{ mA}$
V_{OL} , Output Low Voltage			0.4	V	$I_{SINK} = 1.6\text{ mA}$
CRYSTAL INPUTS XCLKI and XCLKO					
V_{INL} , Input Low Voltage		1.1		V	Logic inputs, XCLKI only
V_{INH} , Input High Voltage		1.7		V	Logic inputs, XCLKI only
XCLKI, Input Capacitance		20		pF	
XCLKO, Output Capacitance		20		pF	
MCU CLOCK RATE (PLL)					
	326.4		41.77920	kHz MHz	Eight programmable core clock selections within this range (32.768 kHz $\times$ 1275)/128 (32.768 kHz $\times$ 1275)/1
INTERNAL OSCILLATOR		32.768		kHz	
Tolerance			± 3 ± 4	% %	-40°C to 85°C 85°C to 125°C only
STARTUP TIME					Core clock = 41.78 MHz
At Power-On		70		ms	
From Sleep Mode		1.6		ms	
From Stop Mode		1.6		ms	
PROGRAMMABLE LOGIC ARRAY (PLA)					
Pin Propagation Delay		12		ns	From input pin to output pin
Element Propagation Delay		2.5		ns	
POWER REQUIREMENTS					
Power Supply Voltage Range					
IOV_{DD} , AV_{DD} , and $DACV_{DD}$ (Supply Voltage to Chip)	3.0		3.6	V	
LV_{DD} (Regulator Output from Chip)	2.5	2.6	2.7	V	
Power Supply Current ^{10, 11}					
Normal Mode		15	19	mA	5.22 MHz clock
		42	49	mA	41.78 MHz clock
Additional Line Driver Tx Supply Current			30	mA	691 kHz, maximum load (see Figure 2)
Pause Mode			37	mA	41.78 MHz clock
Sleep Mode		0.3	3.6	mA	External crystal or internal OSC ON

¹ ADCチャンネルの全仕様は、通常のMicroConverterコア動作時について保証されています。

² すべてのADC入力チャンネルに適用されます。

³ 出荷テストを実施していませんが、設計および出荷リリース時のデータの特性評価によって保証しています。

⁴ 図42に示すように、入力バッファ段にAD845オペアンプを外付けして測定しています。外部ADCシステム部品に基づいています。

⁵ ADCの規定された入力電圧範囲内であれば、任意のDC同相電圧 (V_{CM}) の中心に入力信号を設定できます。

⁶ 外部リファレンス入力ピンを使用する場合は、REFCONメモリ・マップ・レジスタのLSBを0に設定して、内部リファレンスをディセーブルにする必要があります。

⁷ 耐久性はJEDEC規格22 Method A117に準拠し、 -40°C 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$ の温度条件で測定しています。

⁸ JEDEC規格22 Method A117に準拠し、ジャンクション温度 (T_J) = 85°C 時の等価データ保持寿命期間です。データ保持寿命期間は、ジャンクション温度にともなって短くなります。

⁹ 最大8つのI/Oセットを低出力レベルに設定してテストを実施しています。

¹⁰ 電源電流の消費量は、ノーマル、一時停止、スリープの各モード時に、ノーマル・モード=3.6V電源、一時停止モード=3.6V電源、スリープ・モード=3.6V電源の条件で測定しています。

¹¹ IOV_{DD} 電源電流は、フラッシュ/EEの消去サイクル時に2mA (typ) 減少します。

ライン・ドライバの最小負荷

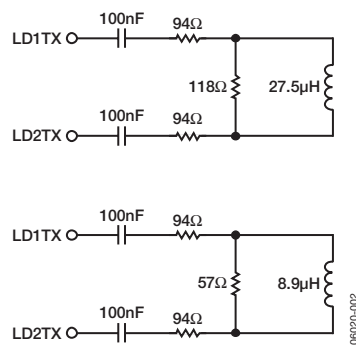


図2. ライン・ドライバの最小負荷（上側）と最大負荷（下側）

ADuC7128/ADuC7129

タイミング仕様

表2. 外部メモリ書き込みサイクル

Parameter	Min	Typ	Max	Unit
CLK		UCLK		
$t_{MS_AFTER_CLKH}$	0		4	ns
$t_{ADDR_AFTER_CLKH}$	4		8	ns
$t_{AE_H_AFTER_MS}$		$\frac{1}{2} CLK$		
t_{AE}		$(XMxPAR[14:12] + 1) \times CLK$		
$t_{HOLD_ADDR_AFTER_AE_L}$		$\frac{1}{2} CLK + (!XMxPAR[10]) \times CLK$		
$t_{HOLD_ADDR_BEFORE_WR_L}$		$(!XMxPAR[8]) \times CLK$		
$t_{WR_L_AFTER_AE_L}$		$\frac{1}{2} CLK + (!XMxPAR[10] + !XMxPAR[8]) \times CLK$		
$t_{DATA_AFTER_WR_L}$	8		12	ns
t_{WR}		$(XMxPAR[7:4] + 1) \times CLK$		
$t_{WR_H_AFTER_CLKH}$	0		4	ns
$t_{HOLD_DATA_AFTER_WR_H}$		$(!XMxPAR[8]) \times CLK$		
$t_{BEN_AFTER_AE_L}$		$\frac{1}{2} CLK$		
$t_{RELEASE_MS_AFTER_WR_H}$		$(!XMxPAR[8] + 1) \times CLK$		

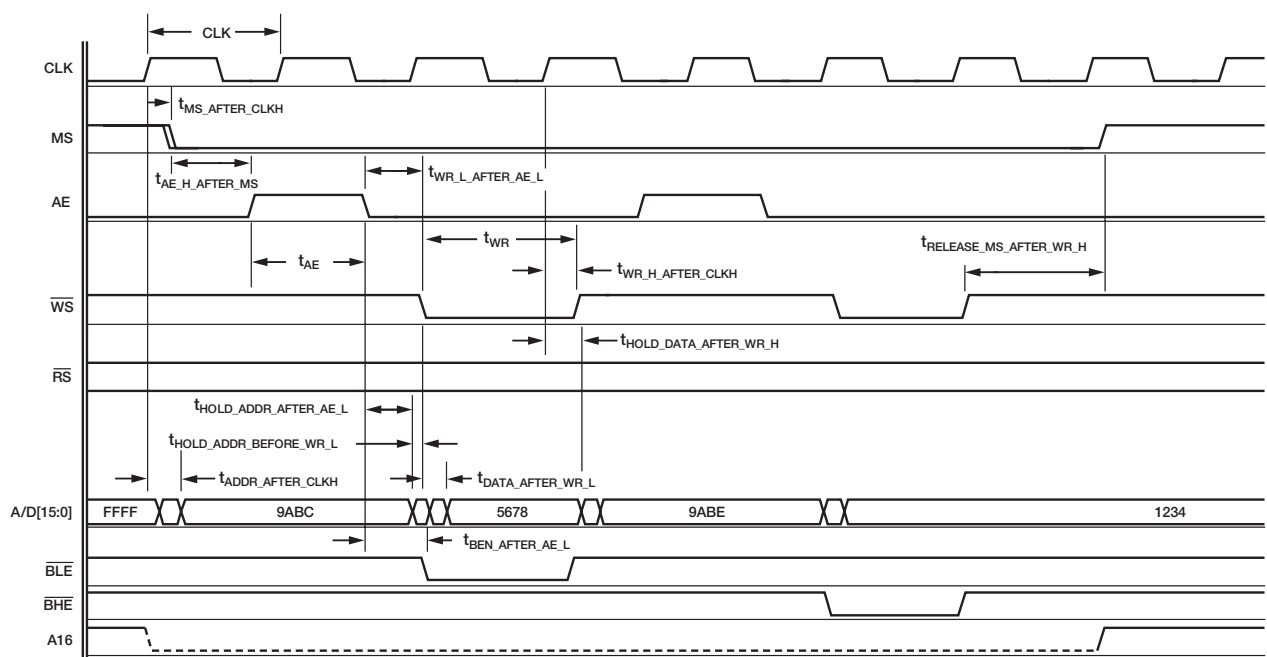


図3. 外部メモリ書き込みサイクル

表3. 外部メモリ読出しサイクル

Parameter	Min	Typ	Max	Unit
CL		$1/\text{MD Clock}$	$\text{ns typ} \times (\text{CDPOWCON}[2:0] + 1)$	
$t_{\text{MS_AFTER_CLKH}}$	4		8	ns
$t_{\text{ADDR_AFTER_CLKH}}$	4		16	ns
$t_{\text{AE_H_AFTER_MS}}$		$1/2 \text{ CLK}$		
t_{AE}		$(\text{XMxPAR}[14:12] + 1) \times \text{CLK}$		
$t_{\text{HOLD_ADDR_AFTER_AE_L}}$		$1/2 \text{ CLK} + (! \text{XMxPAR}[10]) \times \text{CLK}$		
$t_{\text{RD_L_AFTER_AE_L}}$		$1/2 \text{ CLK} + (! \text{XMxPAR}[10] + ! \text{XMxPAR}[9]) \times \text{CLK}$		
$t_{\text{RD_H_AFTER_CLKH}}$	0		4	ns
t_{RD}		$(\text{XMxPAR}[3:0] + 1) \times \text{CLK}$		
$t_{\text{DATA_BEFORE_RD_H}}$	16			ns
$t_{\text{DATA_AFTER_RD_H}}$	8	$+ (! \text{XMxPAR}[9]) \times \text{CLK}$		
$t_{\text{RELEASE_WS_AFTER_RD_H}}$		$1 \times \text{CLK}$		

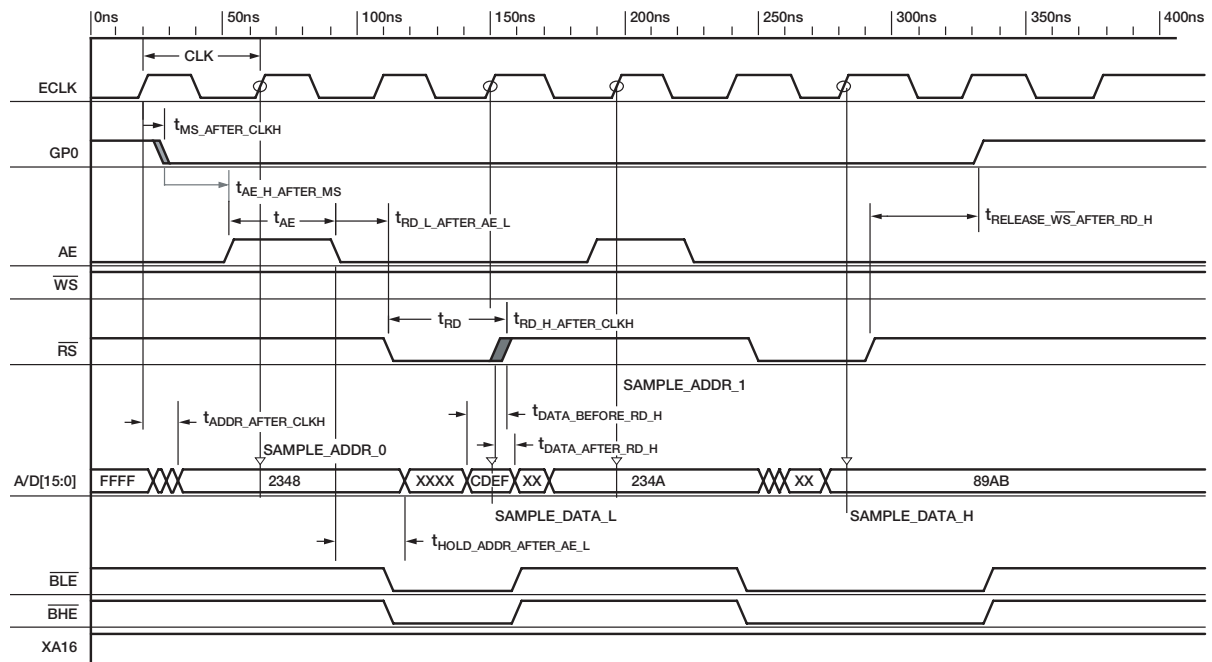


図4. 外部メモリ読出しサイクル

ADuC7128/ADuC7129

I²C® タイミング仕様

表4. 高速モード（400kHz）時のI²C タイミング

Parameter	Description	Slave Min	Slave Max	Master Typ	Unit
t_L	SCLOCK low pulse width ¹	200		1360	ns
t_H	SCLOCK high pulse width ¹	100		1140	ns
t_{SHD}	Start condition hold time	300		251,350	ns
t_{DSU}	Data setup time	100		740	ns
t_{DHD}	Data hold time	0		400	ns
t_{RSU}	Setup time for repeated start	100		12.51350	ns
t_{PSU}	Stop condition setup time	100		400	ns
t_{BUF}	Bus-free time between a stop condition and a start condition	1.3			μs
t_R	Rise time for both SCLOCK and SDATA	100	300	200	ns
t_F	Fall time for both SCLOCK and SDATA	60	300	20	ns
t_{SUP}	Pulse width of spike suppressed		50		ns

¹ t_{HCLK} は、クロック分周比またはPLLCON MMRのCDビットにより異なり、 $t_{HCLK} = t_{UCLK} / 2^{CD}$ です。

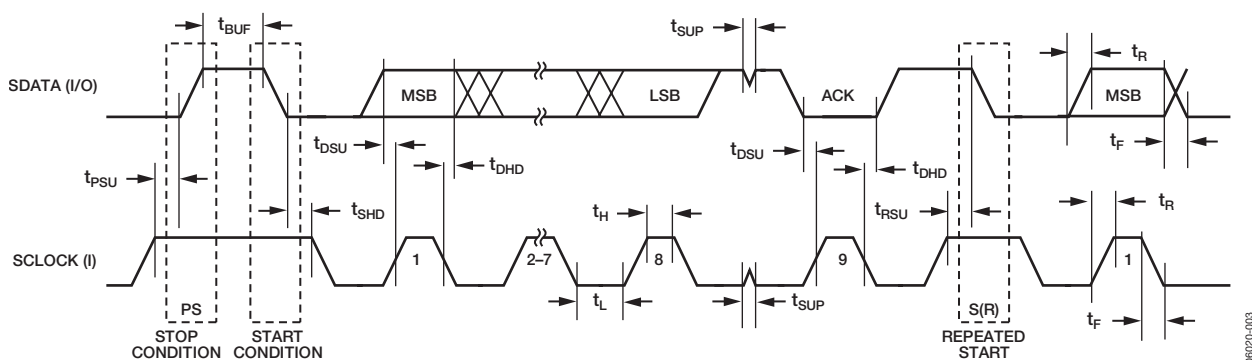


図5. I²C 互換インターフェースのタイミング

06020-003

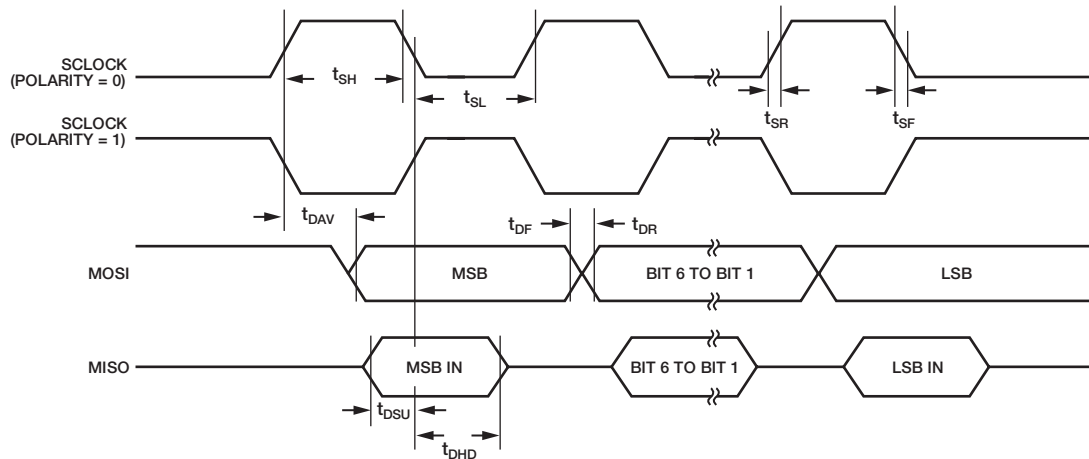
SPIタイミング仕様

表5. SPIマスター・モードのタイミング（フェーズ・モード=1）

Parameter	Description	Min	Typ	Max	Unit
t_{SL}	SCLOCK low pulse width ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCK high pulse width ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	Data output valid after SCLOCK edge			$2 \times t_{HCLK} + 2 \times t_{UCLK}$	ns
t_{DSU}	Data input setup time before SCLOCK edge ²	$1 \times t_{UCLK}$			ns
t_{DHD}	Data input hold time after SCLOCK edge ²	$2 \times t_{UCLK}$			ns
t_{DF}	Data output fall time		5	12.5	ns
t_{DR}	Data output rise time		5	12.5	ns
t_{SR}	SCLOCK rise time		5	12.5	ns
t_{SF}	SCLOCK fall time		5	12.5	ns

¹ t_{HCLK} は、クロック分周比またはPLLCON MMRのCDビットにより異なり、 $t_{HCLK} = t_{UCLK} / 2^{CD}$ です。

² $t_{UCLK} = 23.9\text{ns}$ 。クロック分周器前段のPLLから発生する41.78MHzの内部クロックに対応します。



06020-004

図6. SPIマスター・モードのタイミング（フェーズ・モード=1）

ADuC7128/ADuC7129

表6. SPIマスター・モードのタイミング（フェーズ・モード=0）

Parameter	Description	Min	Typ	Max	Unit
t_{SL}	SCLOCK low pulse width ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCK high pulse width ¹		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	Data output valid after SCLOCK edge			$2 \times t_{HCLK} + 2 \times t_{UCLK}$	ns
t_{DOSU}	Data output setup before SCLOCK edge			75	ns
t_{DSU}	Data input setup time before SCLOCK edge ²	$1 \times t_{UCLK}$			ns
t_{DHD}	Data input hold time after SCLOCK edge ²	$2 \times t_{UCLK}$			ns
t_{DF}	Data output fall time	5		12.5	ns
t_{DR}	Data output rise time	5		12.5	ns
t_{SR}	SCLOCK rise time	5		12.5	ns
t_{SF}	SCLOCK fall time	5		12.5	ns

¹ t_{HCLK} は、クロック分周比またはPLLCON MMRのCDビットにより異なり、 $t_{HCLK} = t_{UCLK} / 2^{CD}$ です。

² $t_{UCLK} = 23.9\text{ns}$ 。クロック分周器前段のPLLから発生する41.78MHzの内部クロックに対応します。

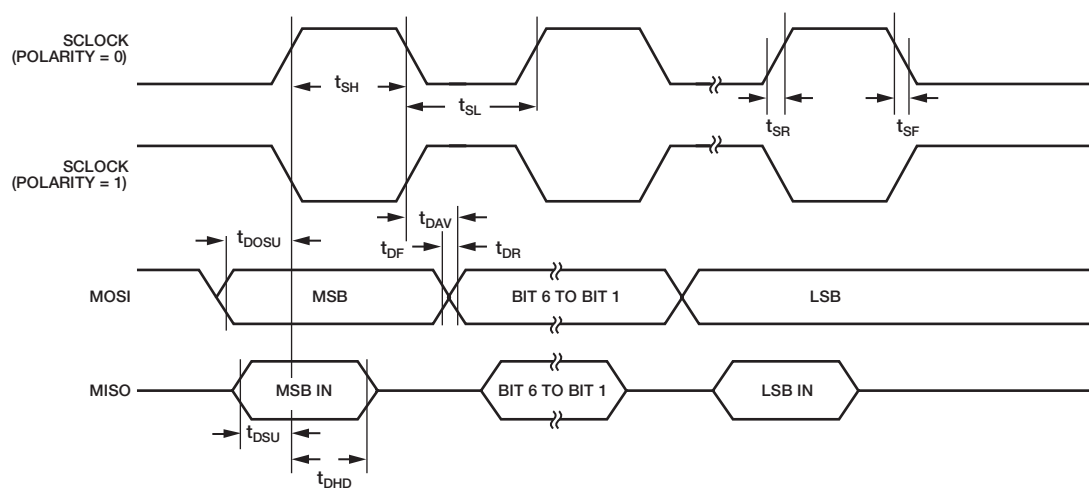


図7. SPIマスター・モードのタイミング（フェーズ・モード=0）

06020-005

表7. SPIスレーブ・モードのタイミング（フェーズ・モード=1）

Parameter	Description	Min	Typ	Max	Unit
t_{CS}	CS to SCLOCK edge ¹	$2 \times t_{UCLK}$			ns
t_{SL}	SCLOCK low pulse width ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCK high pulse width ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	Data output valid after SCLOCK edge			$2 \times t_{HCLK} + 2 \times t_{UCLK}$	ns
t_{DSU}	Data input setup time before SCLOCK edge ¹	$1 \times t_{UCLK}$			ns
t_{DHD}	Data input hold time after SCLOCK edge ¹	$2 \times t_{UCLK}$			ns
t_{DF}	Data output fall time		5	12.5	ns
t_{DR}	Data output rise time		5	12.5	ns
t_{SR}	SCLOCK rise time		5	12.5	ns
t_{SF}	SCLOCK fall time		5	12.5	ns
t_{SFS}	CS high after SCLOCK edge	0			ns

¹ $t_{UCLK} = 23.9\text{ns}$ 。クロック分周器前段のPLLから発生する41.78MHzの内部クロックに対応します。

² t_{HCLK} は、クロック分周比またはPLLCON MMRのCDビットにより異なり、 $t_{HCLK} = t_{UCLK} / 2^{CD}$ です。

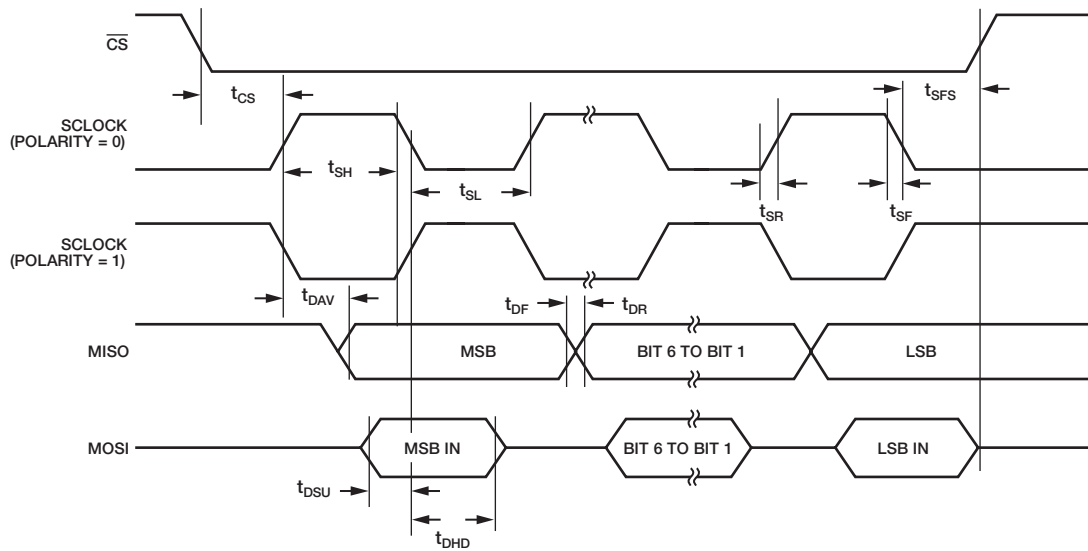


図8. SPIスレーブ・モードのタイミング（フェーズ・モード=1）

06020-006

ADuC7128/ADuC7129

表8. SPIスレーブ・モードのタイミング（フェーズ・モード=0）

Parameter	Description	Min	Typ	Max	Unit
t_{CS}	CS to SCLOCK edge ¹	$2 \times t_{UCLK}$			ns
t_{SL}	SCLOCK low pulse width ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLOCK high pulse width ²		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	Data output valid after SCLOCK edge			$2 \times t_{HCLK} + 2 \times t_{UCLK}$	ns
t_{DSU}	Data input setup time before SCLOCK edge ¹	$1 \times t_{UCLK}$			ns
t_{DHD}	Data input hold time after SCLOCK edge ¹	$2 \times t_{UCLK}$			ns
t_{DF}	Data output fall time		5	12.5	ns
t_{DR}	Data output rise time		5	12.5	ns
t_{SR}	SCLOCK rise time		5	12.5	ns
t_{SF}	SCLOCK fall time		5	12.5	ns
t_{DOCS}	Data output valid after CS edge			25	ns
t_{SFS}	CS high after SCLOCK edge	0			ns

¹ $t_{UCLK} = 23.9\text{ns}$ 。クロック分周器前段のPLLから発生する41.78MHzの内部クロックに対応します。

² t_{HCLK} は、クロック分周比またはPLLCON MMRのCDビットにより異なり、 $t_{HCLK} = t_{UCLK} / 2^{CD}$ です。

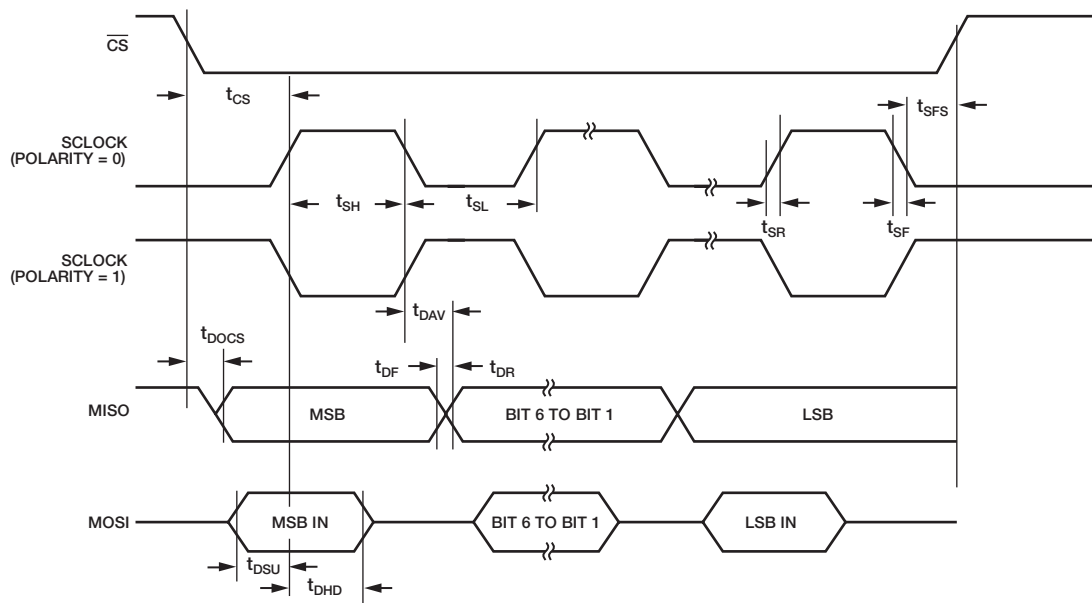


図9. SPIスレーブ・モードのタイミング（フェーズ・モード=0）

06020-007

絶対最大定格

$DV_{DD}=IOV_{DD}$ 、 $AGND=REFGND=DACGND=GND_{REF}$ 。
特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表9

Parameter	Rating
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
$AGND$ to $DGND$	-0.3 V to +0.3 V
IOV_{DD} to $IOGND$, AV_{DD} to $AGND$	-0.3 V to +6 V
Digital Input Voltage to $IOGND$	-0.3 V to $IOV_{DD} + 0.3$ V
Digital Output Voltage to $IOGND$	-0.3 V to $IOV_{DD} + 0.3$ V
V_{REF} to $AGND$	-0.3 V to $AV_{DD} + 0.3$ V
Analog Inputs to $AGND$	-0.3 V to $AV_{DD} + 0.3$ V
Analog Output to $AGND$	-0.3 V to $AV_{DD} + 0.3$ V
Operating Temperature Range Industrial	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ_{JA} Thermal Impedance	
64-Lead LFCSP	24°C/W
64-Lead LQFP	47°C/W
80-Lead LQFP	38°C/W
Peak Solder Reflow Temperature	
SnPb Assemblies (10 sec to 30 sec)	240°C
RoHS Compliant Assemblies (20 sec to 40 sec)	260°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

1つでもパラメータの絶対最大定格を超えると、デバイスに影響を与える可能性があります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

ADuC7128/ADuC7129

ピン配置と機能の説明

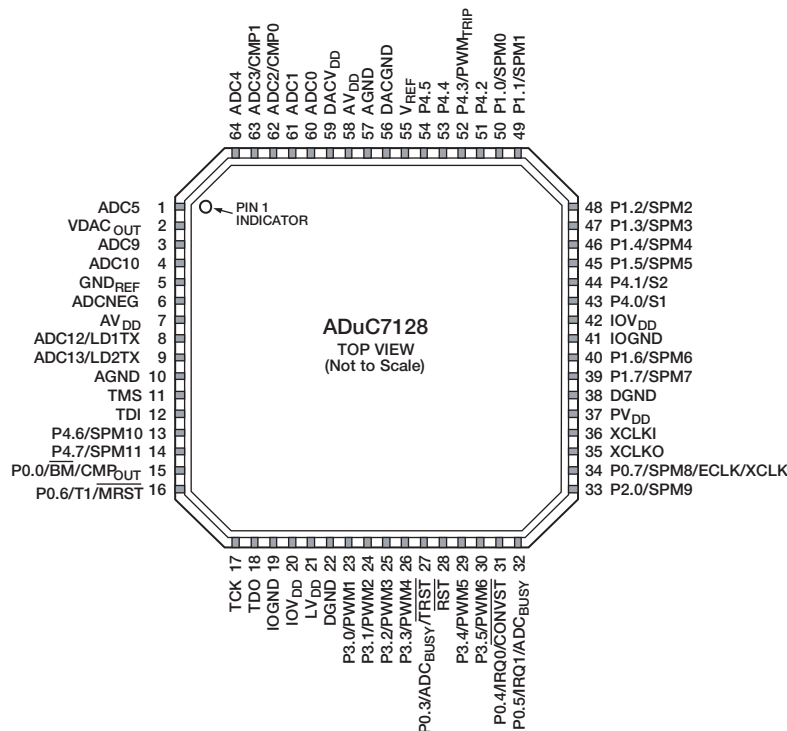


図10. ADuC7128のピン配置

表10. ADuC7128のピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	ADC	I	シングルエンドまたは差動のアナログ入力5／ライン・ドライバ入力
2	VDAC _{OUT}	O	DACバッファからの出力
3	ADC9	I	シングルエンドまたは差動のアナログ入力9
4	ADC10	I	シングルエンドまたは差動のアナログ入力10
5	GND _{REF}	S	ADCのグラウンド電圧リファレンス。最適な性能を得るには、アナログ電源をIOGNDおよびDGNDから離してください。
6	ADCNEG	I	疑似差動モード時のADCのバイアス・ポイントまたは負のアナログ入力。変換する信号のグラウンドに接続する必要があります。バイアス・ポイントは、必ず0～1Vの間にしてください。
7, 58	AV _{DD}	S	アナログ電源
8	ADC12/LD1TX	I/O	シングルエンドまたは差動のアナログ入力12／DACの差動出力 (–)
9	ADC13/LD2TX	I/O	シングルエンドまたは差動のアナログ入力13／DACの差動出力 (+)
10, 57	AGND	S	アナログ・グラウンド。アナログ回路用のグラウンド基準ポイント
11	TMS	I	JTAGテスト・ポート入力、テスト・モード選択。デバッグおよびダウンロードのアクセス
12	TDI	I	JTAGテスト・ポート入力、テスト・データ入力。デバッグおよびダウンロードのアクセス
13	P4.6/SPM10	I/O	汎用入出力ポート4.6／シリアル・ポート・マルチプレクサ・ピン10
14	P4.7/SPM11	I/O	汎用入出力ポート4.7／シリアル・ポート・マルチプレクサ・ピン11
15	P0.0/BM/CMP _{OUT}	I/O	汎用入出力ポート0.0／ブート・モード。リセット時にBMがローレベルの場合ADuC7128はダウンロード・モードに入り、リセット時に1kΩ抵抗／電圧コンパレータ出力を介してBMがハイレベルになるとコードを実行します。
16	P0.6/T1/MRST	O	汎用出力ポート0.6／タイマ1入力／パワーオン・リセット出力
17	TCK	I	JTAGテスト・ポート入力、テスト・クロック。デバッグおよびダウンロードのアクセス
18	TDO	O	JTAGテスト・ポート出力、テスト・データ出力。デバッグおよびダウンロードのアクセス
19, 41	IOGND	S	GPIO用のグラウンド。通常はDGNDに接続
20, 42	IOVDD	S	GPIO用の3.3V電源およびオンチップ電圧レギュレータの入力

ピン番号	記号	タイプ ¹	説明
21	LV _{DD}	S	オンチップ電圧レギュレータの2.5V出力。0.47μFのコンデンサをDGNDに接続する必要があります。
22	DGND	S	コア・ロジック用のグラウンド
23	P3.0/PWM1	I/O	汎用入出力ポート3.0/PWM1出力
24	P3.1/PWM2	I/O	汎用入出力ポート3.1/PWM2出力
25	P3.2/PWM3	I/O	汎用入出力ポート3.2/PWM3出力
26	P3.3/PWM4	I/O	汎用入出力ポート3.3/PWM4出力
27	P0.3/ADC _{BUSY} /TRST	I/O	汎用入出力ポート0.3/ADC _{BUSY} 信号/JTAGテスト・ポート入力、テスト・リセット。デバッグおよびダウンロードのアクセス
28	TRST	I	リセット入力（アクティブ・ロー）
29	P3.4/PWM5	I/O	汎用入出力ポート3.4/PWM5出力
30	P3.5/PWM6	I/O	汎用入出力ポート3.5/PWM6出力
31	P0.4/IRQ0/CONVST	I/O	汎用入出力ポート0.4/外部割込み要求0、アクティブ・ハイ/ADCの変換スタート入力信号
32	P0.5/IRQ1/ADC _{BUSY}	I/O	汎用入出力ポート0.5/外部割込み要求1、アクティブ・ハイ/ADC _{BUSY} 信号
33	P2.0/SPM9	I/O	汎用入出力ポート2.0/シリアル・ポート・マルチプレクサ・ピン9
34	P0.7/SPM8/ECLK/XCLK	I/O	汎用入出力ポート0.7/シリアル・ポート・マルチプレクサ・ピン8/外部クロック信号出力/内部クロック・ジェネレータ回路の入力
35	XCLKO	O	水晶発振器インバータからの出力
36	XCLKI	I	水晶発振器インバータの入力および内部クロック・ジェネレータ回路の入力
37	PV _{DD}	S	2.5VのPLL電源。0.1μFのコンデンサをDGNDに接続する必要があります。2.5VのLDO出力に接続してください。
38	DGND	S	PLL用のグラウンド
39	P1.7/SPM7	I/O	汎用入出力ポート1.7/シリアル・ポート・マルチプレクサ・ピン7
40	P1.6/SPM6	I/O	汎用入出力ポート1.6/シリアル・ポート・マルチプレクサ・ピン6
43	P4.0/S1	I/O	汎用入出力ポート4.0/直交入力1
44	P4.1/S2	I/O	汎用入出力ポート4.1/直交入力2
45	P1.5/SPM5	I/O	汎用入出力ポート1.5/シリアル・ポート・マルチプレクサ・ピン5
46	P1.4/SPM4	I/O	汎用入出力ポート1.4/シリアル・ポート・マルチプレクサ・ピン4
47	P1.3/SPM3	I/O	汎用入出力ポート1.3/シリアル・ポート・マルチプレクサ・ピン3
48	P1.2/SPM2	I/O	汎用入出力ポート1.2/シリアル・ポート・マルチプレクサ・ピン2
49	P1.1/SPM1	I/O	汎用入出力ポート1.1/シリアル・ポート・マルチプレクサ・ピン1
50	P1.0/SPM0	I/O	汎用入出力ポート1.0/シリアル・ポート・マルチプレクサ・ピン0
51	P4.2	I/O	汎用入出力ポート4.2
52	P4.3/ PWM _{TRIP}	I/O	汎用入出力ポート4.3/PWM安全遮断
53	P4.4	I/O	汎用入出力ポート4.4
54	P4.5	I/O	汎用入出力ポート4.5
55	V _{REF}	I/O	2.5Vの内部電圧リファレンス。内部リファレンスを使用する場合は、0.47μFのコンデンサに接続する必要があります。
56	DACGND	S	DAC用のグラウンド。通常はAGNDに接続します
59	DACV _{DD}	S	DAC用の電源。このピンに2.5V電源を加える必要があります。LDO出力に接続できます。
60	ADC0	I	シングルエンドまたは差動のアナログ入力0
61	ADC1	I	シングルエンドまたは差動のアナログ入力1
62	ADC2/CMP0	I	シングルエンドまたは差動のアナログ入力2/コンパレータの正側入力
63	ADC3/CMP1	I	シングルエンドまたは差動のアナログ入力3/コンパレータの負側入力
64	ADC4	I	シングルエンドまたは差動のアナログ入力4

¹ I=入力、O=出力、S=電源

ADuC7128/ADuC7129

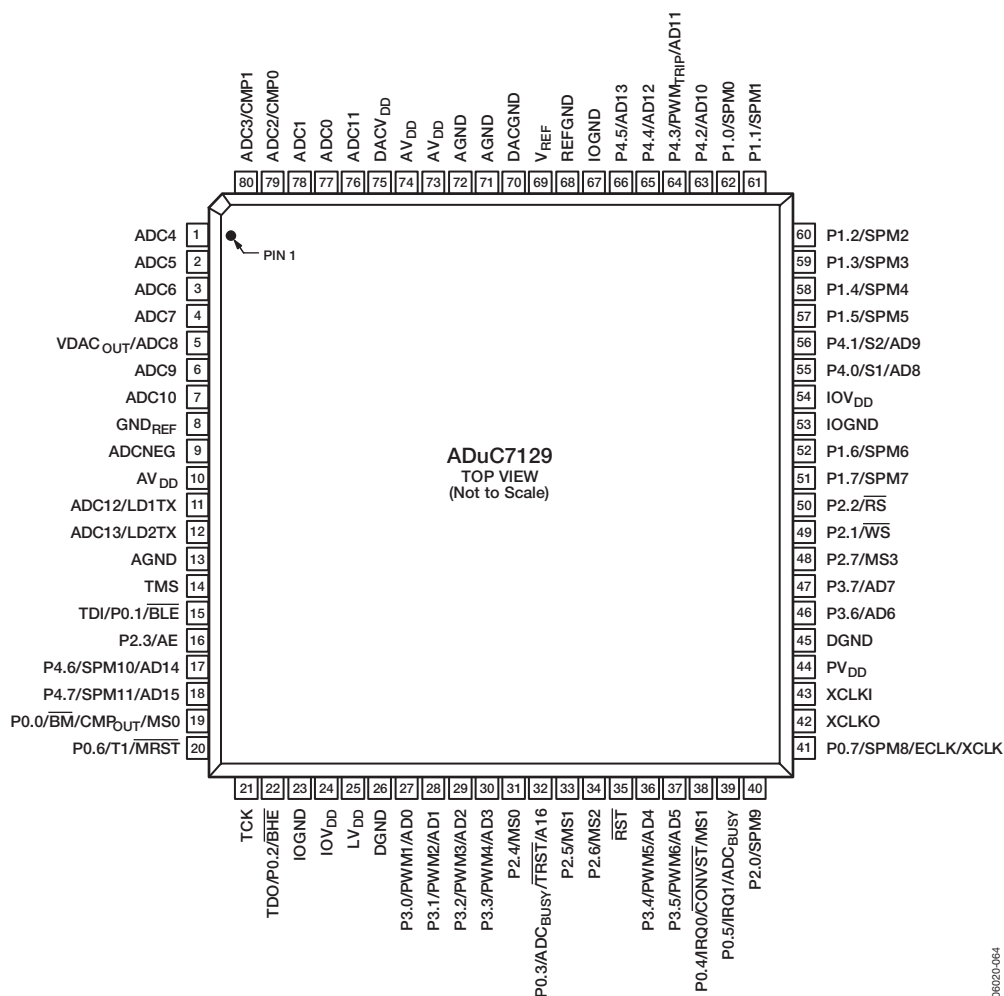


図11. ADuC7129のピン配置

表11. ADuC7129のピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	ADC4	I	シングルエンドまたは差動のアナログ入力4
2	ADC5	I	シングルエンドまたは差動のアナログ入力5
3	ADC6	I	シングルエンドまたは差動のアナログ入力6
4	ADC7	I	シングルエンドまたは差動のアナログ入力7
5	VDAC _{OUT} /ADC8	I	DACバッファからの出力/シングルエンドまたは差動のアナログ入力8
6	ADC9	I	シングルエンドまたは差動のアナログ入力9
7	ADC10	I	シングルエンドまたは差動のアナログ入力10
8	GND _{REF}	S	ADCのグラウンド電圧リファレンス。最適な性能を得るには、アナログ電源をIOGNDおよびDGNDから離してください。
9	ADCNEG	I	疑似差動モード時のADCのバイアス・ポイントまたは負のアナログ入力。変換する信号のグラウンドに接続する必要があります。バイアス・ポイントは、必ず0～1Vの間にしてください。
10, 73, 74	AV _{DD}	S	3.3Vアナログ電源
11	ADC12/LD1TX	I/O	シングルエンドまたは差動のアナログ入力12/DACの負側の差動出力
12	ADC13/LD2TX	I/O	シングルエンドまたは差動のアナログ入力13/DACの正側の差動出力
13	AGND	S	アナログ・グラウンド。アナログ回路用のグラウンド基準ポイント
14	TMS	I	JTAGテスト・ポート入力、テスト・モード選択。デバッグおよびダウンロードのアクセス
15	TDI/P0.1/BLE	I/O	JTAGテスト・ポート入力、テスト・データ入力。デバッグおよびダウンロード・アクセス/汎用入出力ポート0.1/外部メモリBLE
16	P2.3/AE	I/O	汎用入出力ポート2.3/AE出力

ADuC7128/ADuC7129

ピン番号	記号	タイプ ¹	説明
17	P4.6/SPM10/AD14	I/O	汎用入出力ポート4.6/シリアル・ポート・マルチプレクサ・ピン10/外部メモリAD14
18	P4.7/SPM11/AD15	I/O	汎用入出力ポート4.7/シリアル・ポート・マルチプレクサ・ピン11/外部メモリAD15
19	P0.0/BM/CMP _{OUT} /MS0	I/O	汎用入出力ポート0.0/ブート・モード。リセット時にBMがローレベルの場合ADuC7129はダウンロード・モードに入り、リセット時に1kΩ抵抗/電圧コンパレータ出力/外部メモリMS0を介してBMがハイレベルになるとコードを実行します。
20	P0.6/T1/MRST	O	汎用出力ポート0.6/タイマ1入力/パワーオン・リセット出力/外部メモリAE
21	TCK	I	JTAGテスト・ポート入力、テスト・クロック。デバッグおよびダウンロードのアクセス
22	TDO/P0.2/BHE	O	JTAGテスト・ポート出力、テスト・データ出力。デバッグおよびダウンロードのアクセス/汎用入出力ポート0.2/外部メモリBHE
23, 53, 67	IOGND	S	GPIO用のグラウンド。通常はDGNDに接続
24, 54	IOV _{DD}	S	GPIO用の3.3V電源およびオンチップ電圧レギュレータの入力
25	LV _{DD}	S	オンチップ電圧レギュレータの2.5V出力。0.47μFのコンデンサをDGNDに接続する必要があります
26	DGND	S	コア・ロジック用のグラウンド
27	P3.0/PWM1/AD0	I/O	汎用入出力ポート3.0/PWM1出力/外部メモリAD0
28	P3.1/PWM2/AD1	I/O	汎用入出力ポート3.1/PWM2出力/外部メモリAD1
29	P3.2/PWM3/AD2	I/O	汎用入出力ポート3.2/PWM3出力/外部メモリAD2
30	P3.3/PWM4/AD3	I/O	汎用入出力ポート3.3/PWM4出力/外部メモリAD3
31	P2.4/MS0	I/O	汎用入出力ポート2.4/メモリ選択0
32	P0.3/ADC _{BUSY} /TRST/A16	I/O	汎用入出力ポート0.3/ADC _{BUSY} 信号/JTAGテスト・ポート入力、テスト・リセット。デバッグおよびダウンロードのアクセス/外部メモリA16
33	P2.5/MS1	I/O	汎用入出力ポート2.5/メモリ選択1
34	P2.6/MS2	I/O	汎用入出力ポート2.6/メモリ選択2
35	RST	I	リセット入力（アクティブ・ロー）
36	P3.4/PWM5/AD4	I/O	汎用入出力ポート3.4/PWM5出力/外部メモリAD4
37	P3.5/PWM6/AD5	I/O	汎用入出力ポート3.5/PWM6出力/外部メモリAD5
38	P0.4/IRQ0/CONVST/MS1	I/O	汎用入出力ポート0.4/外部割込み要求0、アクティブ・ハイ/ADCの変換スタート入力信号/メモリMS1
39	P0.5/IRQ1/ADC _{BUSY}	I/O	汎用入出力ポート0.5/外部割込み要求1、アクティブ・ハイ/ADC _{BUSY} 信号
40	P2.0/SPM9	I/O	汎用入出力ポート2.0/シリアル・ポート・マルチプレクサ・ピン9
41	P0.7/SPM8/ECLK/XCLK	I/O	汎用入出力ポート0.7/シリアル・ポート・マルチプレクサ・ピン8/外部クロック信号出力/内部クロック・ジェネレータ回路の入力
42	XCLKO	O	水晶発振器インバータからの出力
43	XCLKI	I	水晶発振器インバータの入力および内部クロック・ジェネレータ回路の入力
44	PV _{DD}	S	2.5VのPLL電源。0.1μFのコンデンサをDGNDに接続する必要があります。2.5VのLDO出力に接続してください。
45	DGND	S	PLL用のグラウンド
46	P3.6/AD6	I/O	汎用入出力ポート3.6/PWM1出力/外部メモリAD6
47	P3.7/AD7	I/O	汎用入出力ポート3.7/PWM1出力/外部メモリAD7
48	P2.7/MS3	I/O	汎用入出力ポート2.7/メモリ選択3
49	P2.1/WS	I/O	汎用入出力ポート2.1/メモリ書き込み選択
50	P2.2/RS	I/O	汎用入出力ポート2.2/メモリ書き込み選択
51	P1.7/SPM7	I/O	汎用入出力ポート1.7/シリアル・ポート・マルチプレクサ・ピン7
52	P1.6/SPM6	I/O	汎用入出力ポート1.6/シリアル・ポート・マルチプレクサ・ピン6
55	P4.0/S1/AD8	I/O	汎用入出力ポート4.0/直交入力1/外部メモリAD8
56	P4.1/S2/AD9	I/O	汎用入出力ポート4.1/直交入力2/外部メモリAD9
57	P1.5/SPM5	I/O	汎用入出力ポート1.5/シリアル・ポート・マルチプレクサ・ピン5
58	P1.4/SPM4	I/O	汎用入出力ポート1.4/シリアル・ポート・マルチプレクサ・ピン4
59	P1.3/SPM3	I/O	汎用入出力ポート1.3/シリアル・ポート・マルチプレクサ・ピン3
60	P1.2/SPM2	I/O	汎用入出力ポート1.2/シリアル・ポート・マルチプレクサ・ピン2
61	P1.1/SPM1	I/O	汎用入出力ポート1.1/シリアル・ポート・マルチプレクサ・ピン1
62	P1.0/SPM0	I/O	汎用入出力ポート1.0/シリアル・ポート・マルチプレクサ・ピン0

¹ I=入力、O=出力、S=電源

ADuC7128/ADuC7129

ピン番号	記号	タイプ ¹	説明
63	P4.2/AD10	I/O	汎用入出力ポート4.2／外部メモリAD10
64	P4.3/PWM _{TRIP} /AD11	I/O	汎用入出力ポート4.3／PWM安全遮断／外部メモリAD11
65	P4.4/AD12	I/O	汎用入出力ポート4.4／外部メモリAD12
66	P4.5/AD13	I/O	汎用入出力ポート4.5／外部メモリAD13
68	REFGND	S	V _{REF} 用のグラウンド。通常はDGNDに接続します。
69	V _{REF}	I/O	2.5Vの内部電圧リファレンス。内部リファレンスを使用する場合は、0.47μFのコンデンサに接続する必要があります。
70	DACGND	S	DAC用のグラウンド。通常はAGNDに接続します。
71, 72	AGND	S	アナロググラウンド
75	DACV _{DD}	S	DAC用の電源。このピンに2.5V電源を加える必要があります。LDO出力に接続できます。
76	ADC11	I	シングルエンドまたは差動のアナログ入力11
77	ADC0	I	シングルエンドまたは差動のアナログ入力0
78	ADC1	I	シングルエンドまたは差動のアナログ入力1
79	ADC2/CMP0	I	シングルエンドまたは差動のアナログ入力2／コンパレータの正側入力
80	ADC3/CMP1	I	シングルエンドまたは差動のアナログ入力3／コンパレータの負側入力

¹ I=入力、O=出力、S=電源

代表的な性能特性

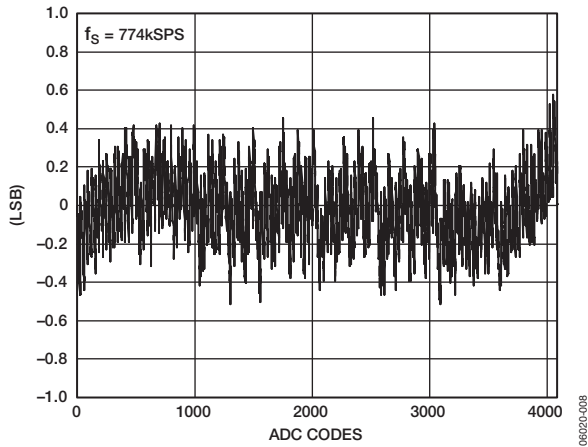


図12. 代表的なINL誤差 ($f_s=774\text{kSPS}$)

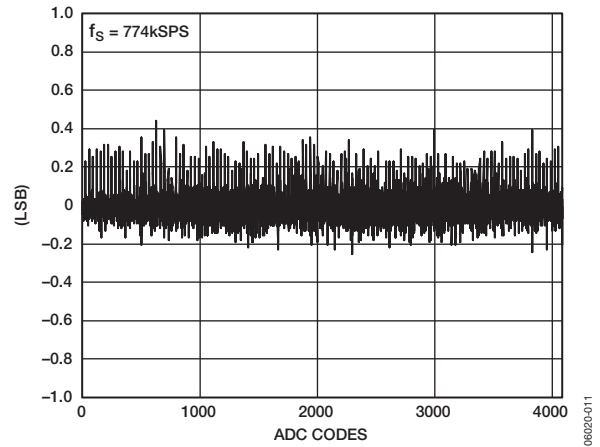


図15. 代表的なDNL誤差 ($f_s=774\text{kSPS}$)

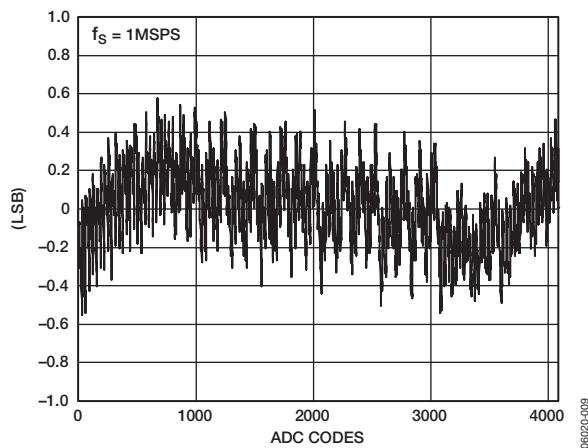


図13. 代表的なINL誤差 ($f_s=1\text{MSPS}$)

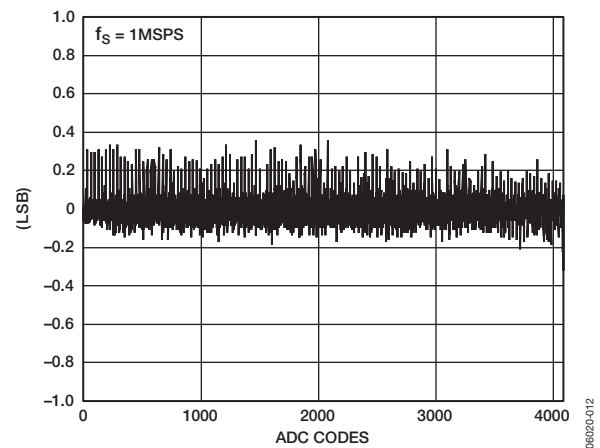


図16. 代表的なDNL誤差 ($f_s=1\text{MSPS}$)

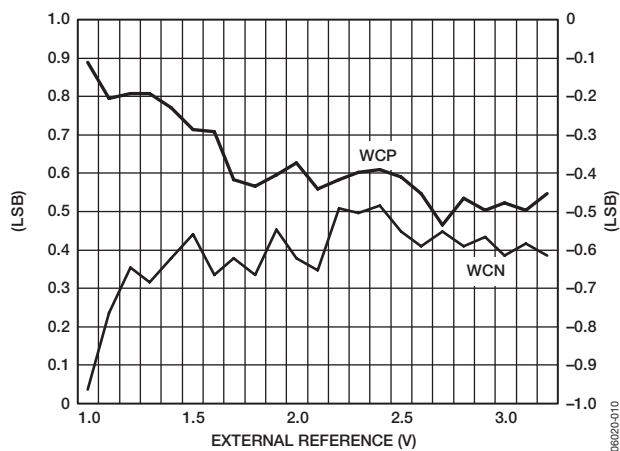


図14. V_{REF} 対 最悪時のINL誤差の代表的特性 ($f_s=774\text{kSPS}$)

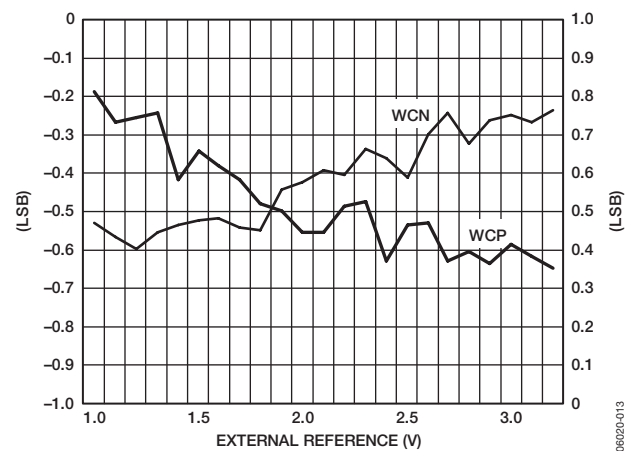


図17. V_{REF} 対 最悪時のDNL誤差の代表的特性 ($f_s=774\text{kSPS}$)

ADuC7128/ADuC7129

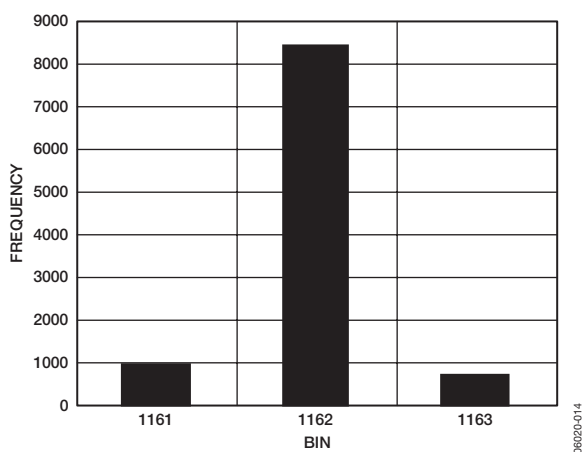


図18. コードのヒストグラム・プロット

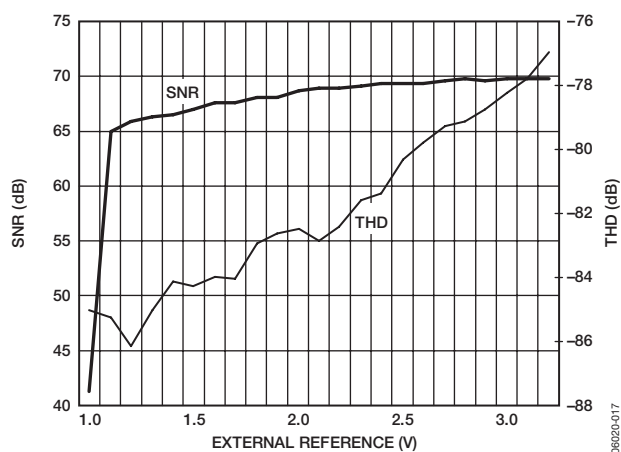


図21. V_{REF} 対 動的性能の代表的特性

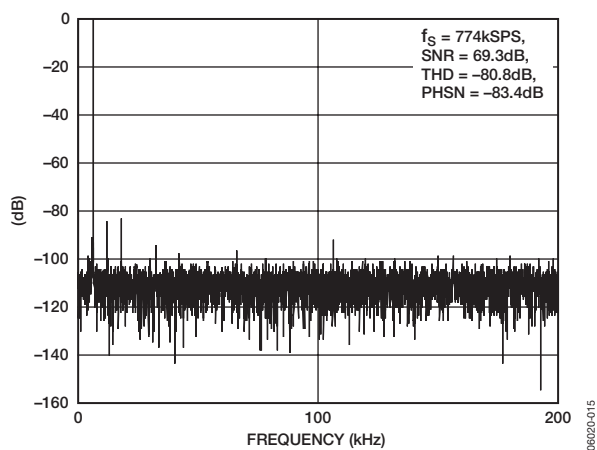


図19. 動的性能 ($f_s=774\text{kSPS}$)

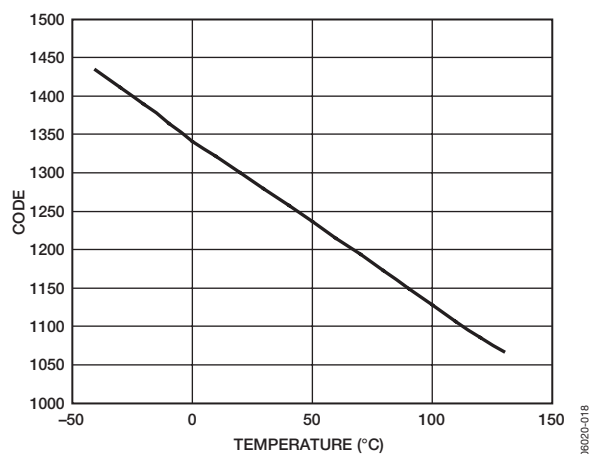


図22. オンチップ温度センサーの出力電圧の温度特性

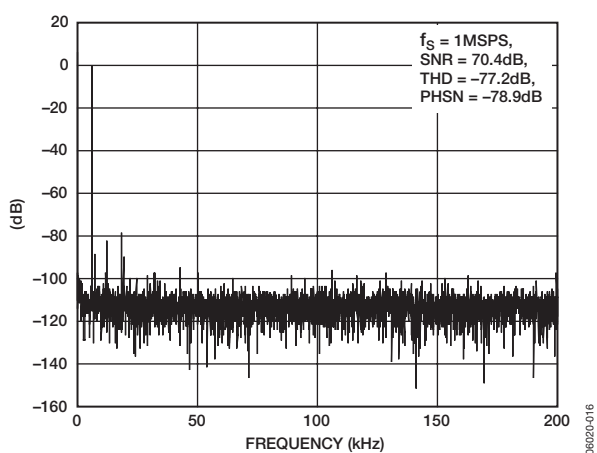


図20. 動的性能 ($f_s=1\text{MSPS}$)

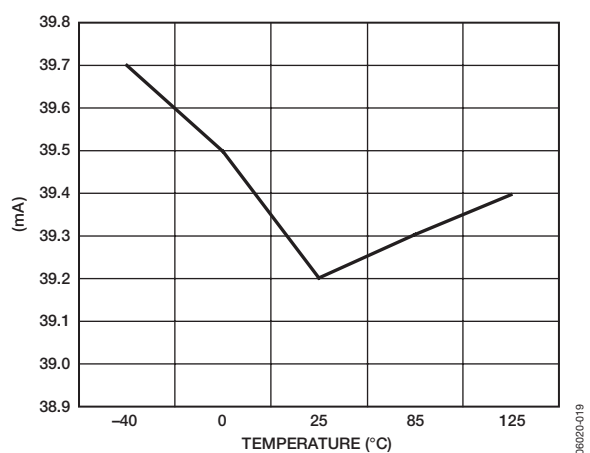


図23. 消費電流の温度特性 (@ $CD=0$)

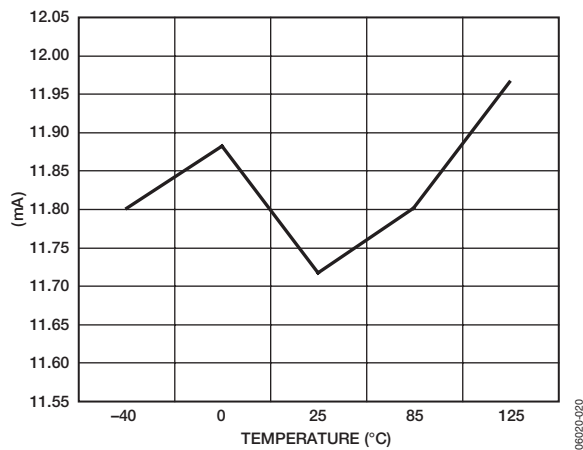


図24. 消費電流の温度特性 (@CD=3)

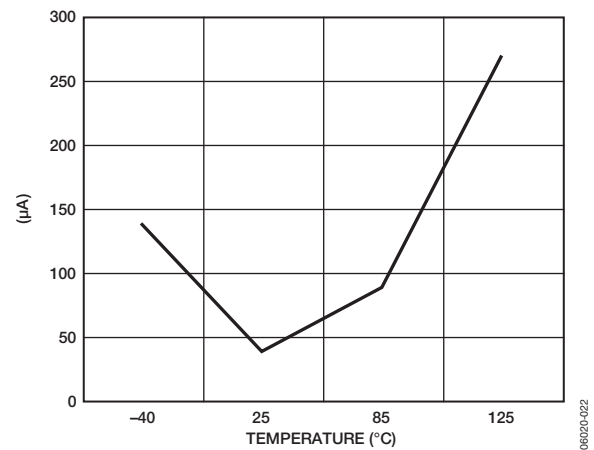


図26. スリープ・モード時の消費電流の温度特性

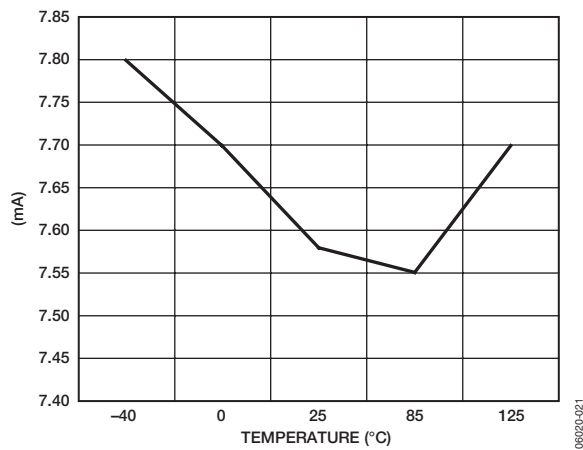


図25. 消費電流の温度特性 (@CD=7)

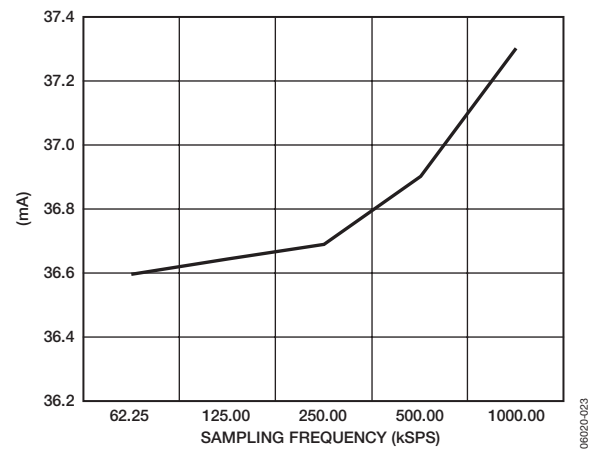


図27. ADC速度 対 消費電流

用語の説明

ADC仕様

積分非直線性

ADC伝達関数の2つのエンドポイントを結ぶ直線からの任意のコードの最大偏差です。伝達関数のエンドポイントは、最初のコード遷移より1/2LSB下のゼロスケールと最後のコード遷移より1/2LSB高いフルスケールになります。

微分非直線性

ADCの任意の隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

オフセット誤差

理論値、すなわち+1/2LSBと(0000...000)から(0000...001)への最初のコード遷移値の偏差です。

ゲイン誤差

オフセット誤差を調整した後の、最後のコード遷移のAIN電圧理論値(フルスケール-1.5LSB)からの偏差です。

S/N (ノイズ+歪み) 比

これは、ADCの出力で測定した信号対(ノイズ+歪み)の比です。この信号は、基本波の振幅のRMS値です。ノイズは、サンプリング周波数の半分($f_s/2$)までの基本波以外の波形のRMS合計値であって、直流成分を除いたものです。この比は、デジタル化のプロセスにおける量子化レベルの数に依存し、レベルの数が多いほど量子化ノイズは小さくなります。

サイン波入力の理想的なNビットのコンバータに対する理論的な信号対(ノイズ+歪み)比は次式で得られます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76) \text{ dB}$$

12ビットのコンバータでは、74dBとなります。

全高調波歪み

高調波のRMS値総和と基本波の比です。

DACの仕様

相対精度

エンドポイント直線性とも言います。相対精度は、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差の測定値です。ゼロスケール誤差とフルスケール誤差を調整した後に測定します。

電圧出力セトリング時間

フルスケール入力変化において、出力が1LSBのレベル以内にセトリングするまでにかかる時間です。

ARM7TDMIコアの概要

ARM7コアは、32ビットの縮小命令セット・コンピュータ (RISC) です。命令用とデータ用に32ビット・バスを1つ使用します。データ長は8ビット、16ビット、32ビットが可能です。命令ワード長は32ビットです。

ARM7TDMIは、以下の4つの追加機能を備えたARM7コアです。

- Thumb® (16ビット) 命令セットに対応するT
- デバッグに対応するD
- ロング乗算に対応するM
- 組込みシステムのデバッグに対応する組込み型ICEモジュールを含むI

Thumbモード (T)

ARM®命令は32ビット長ですが、ARM7TDMIプロセッサは16ビットに圧縮された第2の命令セット、Thumb命令セットに対応します。ARM命令セットの代わりにThumb命令セットを使用することで、一般に16ビット・メモリからの高速実行とコードの高密度化が可能になります。このため、ARM7TDMIコアは特に組込みアプリケーションに適しています。

ただし、Thumbモードには次の2つの制限があります。

- 一般にThumbコードは、同じジョブに対しARMコードよりも多くの命令が必要です。したがって、処理時間を最優先するコードの性能を最大限に高めるには、ARMコードが最適です。
- Thumb命令セットには、例外処理に必要な一部の命令が含まれていません。このため、例外処理を実行する場合はコアが自動的にARMコードにスイッチします。

コアのアーキテクチャ、プログラミング・モデル、ARMとThumbの命令セットに関する詳細については、ARM7TDMIユーザ・ガイドを参照してください。

ロング乗算 (M)

ARM7TDMI命令セットには、64ビットを算出する32ビット×32ビット乗算と64ビットを算出する32ビット×32ビット積和 (MAC) を実行する4つの特別な命令があります。標準のARM7コアに必要なサイクルよりも少ないサイクルで結果が得られます。

EmbeddedICE (I)

EmbeddedICEは、集積化されたオンチップのコア・サポート機能です。EmbeddedICEモジュールには、デバッグのためにコードを停止できるブレイクポイント・レジスタとウォッチポイント・レジスタが含まれています。これらのレジスタは、JTAGテスト・ポートを介して制御します。

ブレイクポイントまたはウォッチポイントを検出すると、プロセッサは動作を停止し、デバッグ状態に入ります。デバッグ状態に入ると、プロセッサのレジスタのほか、フラッシュ/EE、SRAM、メモリ・マップ・レジスタをチェックできます。

例外

ARMは5つの例外タイプに対応し、タイプごとに特権処理モードを実行します。5つの例外タイプとは、次のとおりです。

- 通常の割り込み (IRQ)。内部および外部イベントの一般的な割り込み処理に使用します。
- 高速割り込み (FIQ)。遅延が少ないデータ転送または通信チャンネルに使用します。IRQよりもFIQの方が優先されます。
- メモリ・アボート
- 未定義命令の実行の試み
- ソフトウェア割り込み命令 (SWI)。オペレーティング・システムに対するコールとして利用できます。

プログラマは通常、割り込みをIRQとしますが、優先度の高い割り込みで、応答時間を早くする場合は割り込みをFIQにすることができます。

ARMレジスタ

ARM7TDMIには、31個の汎用レジスタと6個のステータス・レジスタの合計37個のレジスタが備わっています。各動作モードには、専用のバンク・レジスタがあります。

ユーザ・レベルのプログラムを書き込む場合は、15個の汎用32ビット・レジスタ (R0~R14)、プログラム・カウンタ (R15)、カレント・プログラム・ステータス・レジスタ (CPSR) を利用できます。残りのレジスタは、システム・レベルのプログラミングと例外処理にのみ使用します。

例外の発生時は、標準レジスタの一部が例外モードに指定されたレジスタに代わります。すべての例外モードで、図28に示すようにスタック・ポインタ (R13) とリンク・レジスタ (R14) に代わりのバンク・レジスタを使用します。高速割り込みモードのときは、高速割り込み処理のために使用するレジスタが多くなります (R8~R12)。割り込み処理では、これらのレジスタのデータを保存したり再生することなく開始できるため、割り込み処理プロセスで重要な時間の節約になります。

プログラマのモデルとARM7TDMIコアのアーキテクチャに関する詳細については、ARM社が直接提供している以下のARM7TDMIテクニカル・マニュアルとARMアーキテクチャ・マニュアルを参照してください。

- DDI0029G、ARM7TDMIテクニカル・リファレンス・マニュアル
- DDI-0100、ARMアーキテクチャ・リファレンス・マニュアル

ADuC7128/ADuC7129

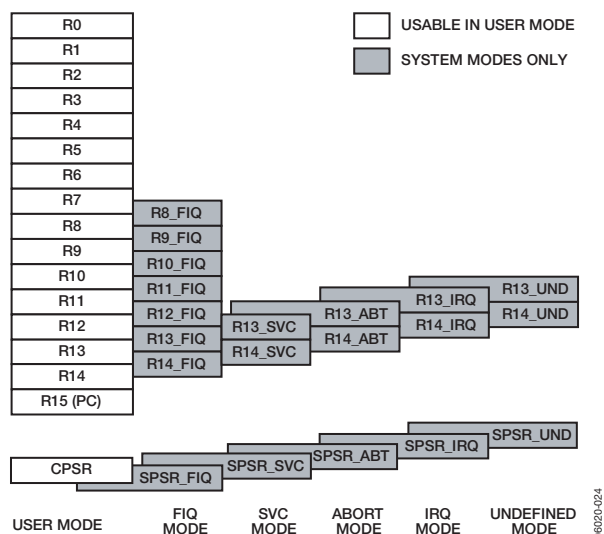


図28. レジスタの構成

割込み遅延

FIQの最悪時の遅延は、次の時間からなります。

- 要求がシンクロナイザを通過するのにかかる最長時間
- を含め、全レジスタにロードする最長命令が完了するまでの時間（最長命令はLDM）
- データ・アボートに入るまでの時間
- FIQに入るまでの時間

この時間が経過した後で、ARM7TDMIはアドレス0x1C（FIQ割込みベクトル・アドレス）で命令を実行します。最大合計時間は50プロセッサ・サイクルです。これは、41.78MHzの連続プロセッサ・クロックを使用するシステムで1.2μs以下に相当します。

IRQの最大遅延時間も上記のように計算しますが、この場合はFIQのほうが優先度が高く、IRQ処理ルーチンに入るまでに任意の時間長の遅延が発生する可能性があることを考慮に入れる必要があります。LDMコマンドを使用しない場合は、この時間を42サイクルに短縮できます。一部のコンパイラには、このコマンドを使用せずにコンパイルを実行するオプションが用意されています。もう1つの方法は、22サイクルに時間を短縮するThumbモードでデバイスを動作させることです。

FIQまたはIRQ割込みの最小遅延は5サイクルです。これは、要求がシンクロナイザを通過する最短時間と例外モードに入るまでの時間になります。

特権モードの場合、すなわち割込みサービス・ルーチンを実行するときは、ARM7TDMIは必ずARM（32ビット）モードで動作します。

メモリの構成

ADuC7128/ADuC7129は、1個の8KB SRAMと2個の64KB オンチップ・フラッシュ/EEメモリからなる3個のメモリ・ブロックを内蔵しています。ユーザは126KBのオンチップ・フラッシュ/EEメモリを使用できますが、残りの2KBは工場設定のブート・ページ用の予備になります。この2つのブロックは、図29に示すようにマッピングされています。

フラッシュ/EEメモリはデフォルトで、リセット後にアドレス0x00000000でミラーされます。REMAP MMRのビット0をクリアすることで、アドレス0x00000000でSRAMを再マッピングできます。この再マッピング機能については、「フラッシュ/EEメモリ」で詳述します。

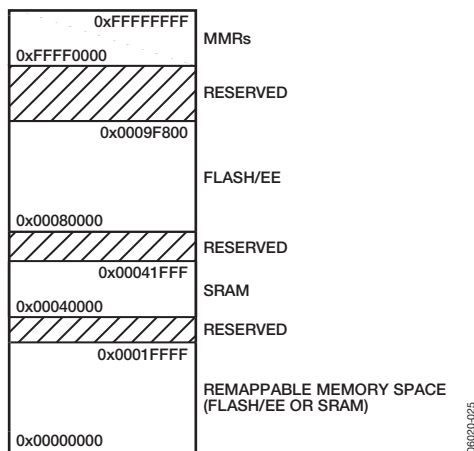


図29. 物理的なメモリ・マップ

メモリのアクセス

ARM7コアは、メモリを図29に示すようにさまざまなメモリ・ブロックがマッピングされている2³²バイトのロケーションの1つのリニア・アレイと見なします。

ADuC7128/ADuC7129のメモリ構成は、リトル・エンディアンのフォーマットで設定され、最下位バイトは最下位バイト・アドレスに、最上位バイトは最上位バイト・アドレスに配置されます。

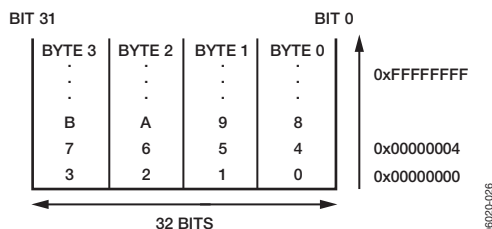


図30. リトル・エンディアンのフォーマット

フラッシュ/EEメモリ

128KBのフラッシュ/EEメモリは、32k×16ビットの2つのバンクで構成されています。最初のブロックの31k×16ビットはユーザ用のスペースで、1k×16ビットは工場設定のブート・ページ用の予備になります。このフラッシュ/EEメモリのページ・サイズは512バイトです。

2番目の64KBブロックも同じような構成です。このブロックは、32k×16ビットです。すべてユーザ用のスペースとして利用できます。

126KBのフラッシュ/EEは、コード・メモリおよび不揮発性データ・メモリとして利用できます。ARMコードは同じスペースを共有するため、データとプログラムの区別はありません。フラッシュ/EEメモリの実際の幅は16ビットで、ARMモード（32ビット命令）では命令のフェッチごとにフラッシュ/EEに2回アクセスする必要があります。したがって、フラッシュ/EEメモリの実行でアクセス速度を最適化するには、Thumbモードを推奨します。フラッシュ/EEメモリの最大アクセス速度はThumbモード時で41.78MHz、完全なARMモード時で20.89MHzです（「SRAMおよびフラッシュ/EEからの実行時間」を参照）。

SRAM

2k×32ビット、すなわち2kワードで構成されている8KBのSRAMを利用できます。SRAMアレイを32ビット幅のメモリ・アレイとすれば、ARMコードを41.78MHzでSRAMから直接実行できます（「SRAMおよびフラッシュ/EEからの実行時間」を参照）。

メモリ・マップ・レジスタ

メモリ・マップ・レジスタ（MMR）スペースは、上位2ページのメモリ・アレイにマッピングされており、ARM7バンク・レジスタを介した間接アドレッシングによってアクセスします。

MMRスペースは、CPUとオンチップの全ペリフェラルの間のインターフェースになります。コア・レジスタを除くすべてのレジスタがMMR領域に常駐します。図31の網かけ部分はすべて空または予備の場所であるため、ユーザのソフトウェアではアクセスできません。詳細なMMRメモリ・マップについては、表12～31を参照してください。

MMRの読出しまたは書込みアクセス時間は、ペリフェラルのアクセスに使用するアドバンスド・マイクロコントローラ・バス・アーキテクチャ（AMBA）によります。プロセッサには、システム・モジュール用のアドバンスド高性能バス（AHB）と比較的性能の低いペリフェラル用のアドバンスド・ペリフェラル・バス（APB）の2つのAMBAバスが備わっています。AHBに対するアクセスは1サイクル、APBに対するアクセスは2サイクルです。ADuC7128/ADuC7129の内蔵ペリフェラルは、フラッシュ/EEメモリとGPIOを除きすべてAPBに接続します。

ADuC7128/ADuC7129

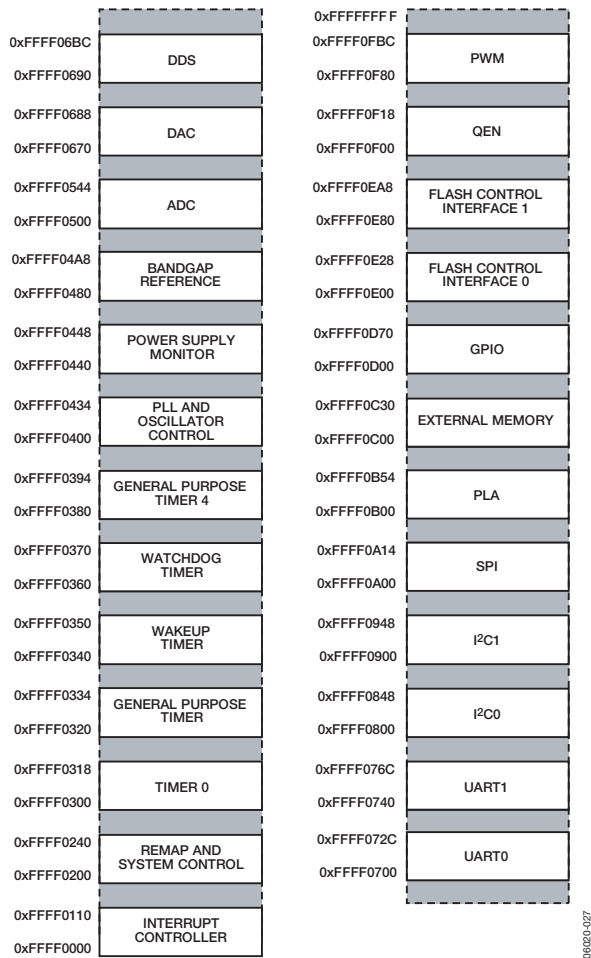


図31. メモリ・マップ・レジスタ

MMRの詳細リスト

アクセス・タイプの欄は、MMRの読みまたは書き込みアクセス時間に対応しています。これは、ペリフェラルのアクセスに使用するAMBAバスによります。プロセッサには、システム・モジュール用のAHB（アドバンスド高性能バス）と比較的性能の低いペリフェラル用のAPB（アドバンスド・ペリフェラル・バス）の2つのAMBAバスが備わっています。

表12. IRQベース・アドレス=0xFFFF0000

Address	Name	Byte	Access Type	Cycle
0x0000	IRQSTA	4	R	1
0x0004	IRQSIG	4	R	1
0x0008	IRQEN	4	R/W	1
0x000C	IRQCLR	4	W	1
0x0010	SWICFG	4	W	1
0x0100	FIQSTA	4	R	1
0x0104	FIQSIG	4	R	1
0x0108	FIQEN	4	R/W	1
0x010C	FIQCLR	4	W	1

表13. システム・コントロール・ベース・アドレス=0xFFFF0200

Address	Name	Byte	Access Type	Cycle
0x0220	REMAP	1	R/W	1
0x0230	RSTSTA	1	R	1
0x0234	RSTCLR	1	W	1

表14. タイマ・ベース・アドレス=0xFFFF0300

Address	Name	Byte	Access Type	Cycle
0x0300	T0LD	2	R/W	2
0x0304	T0VAL0	2	R	2
0x0308	T0VAL1	4	R	2
0x030C	T0CON	4	R/W	2
0x0310	T0ICLR	1	W	2
0x0314	T0CAP	2	R	2
0x0320	T1LD	4	R/W	2
0x0324	T1VAL	4	R	2
0x0328	T1CON	4	R/W	2
0x032C	T1ICLR	1	W	2
0x0330	T1CAP	4	R	2
0x0340	T2LD	4	R/W	2
0x0344	T2VAL	4	R	2
0x0348	T2CON	4	R/W	2
0x034C	T2ICLR	1	W	2
0x0360	T3LD	2	R/W	2
0x0364	T3VAL	2	R	2
0x0368	T3CON	2	R/W	2
0x036C	T3ICLR	1	W	2
0x0380	T4LD	4	R/W	2
0x0384	T4VAL	4	R	2
0x0388	T4CON	4	R/W	2
0x038C	T4ICLR	1	W	2
0x0390	T4CAP	4	R	2

表15. PLLベース・アドレス=0xFFFF0400

Address	Name	Byte	Access Type	Cycle
0x0404	POWKEY1	2	W	2
0x0408	POWCON	2	R/W	2
0x040C	POWKEY2	2	W	2
0x0410	PLLKEY1	2	W	2
0x0414	PLLCON	2	R/W	2
0x0418	PLLKEY2	2	W	2

表16. PSMベース・アドレス=0xFFFF0440

Address	Name	Byte	Access Type	Cycle
0x0440	PSMCON	2	R/W	2
0x0444	CMPCON	2	R/W	2

表17. リファレンス・ベース・アドレス=0xFFFF0480

Address	Name	Byte	Access Type	Cycle
0x048C	REFCON	1	R/W	2

ADuC7128/ADuC7129

表18. ADCベース・アドレス=0xFFFF0500

Address	Name	Byte	Access Type	Cycle
0x0500	ADCCON	2	R/W	2
0x0504	ADCCP	1	R/W	2
0x0508	ADCCN	1	R/W	2
0x050C	ADCSTA	1	R	2
0x0510	ADCDAT	4	R	2
0x0514	ADCRST	1	W	2

表19. DACおよびDDSベース・アドレス=0xFFFF0670

Address	Name	Byte	Access Type	Cycle
0x0670	DACCON	2	R/W	2
0x0690	DDSCON	1	R/W	2
0x0694	DDSFRQ	4	R/W	2
0x0698	DDSPHS	2	R/W	2
0x06A4	DACKEY0	1	R/W	2
0x06B4	DACDAT	2	R/W	2
0x06B8	DACEN	1	R/W	2
0x06BC	DACKEY1	1	R/W	2

表20. UART0ベース・アドレス=0xFFFF0700

Address	Name	Byte	Access Type	Cycle
0x0700	COM0TX	1	R/W	2
	COM0RX	1	R	2
	COM0DIV0	1	R/W	2
0x0704	COM0IEN0	1	R/W	2
	COM0DIV1	1	R/W	2
	COM0IID0	1	R	2
0x0708	COM0IID0	1	R	2
0x070C	COM0CON0	1	R/W	2
0x0710	COM0CON1	1	R/W	2
0x0714	COM0STA0	1	R	2
0x0718	COM0STA1	1	R	2
0x071C	COM0SCR	1	R/W	2
0x0720	COM0IEN1	1	R/W	2
0x0724	COM0IID1	1	R	2
0x0728	COM0ADR	1	R/W	2
0x072C	COM0DIV2	2	R/W	2

表21. UART1ベース・アドレス=0xFFFF0740

Address	Name	Byte	Access Type	Cycle
0x0740	COM1TX	1	R/W	2
	COM1RX	1	R	2
	COM1DIV0	1	R/W	2
0x0744	COM1IEN0	1	R/W	2
	COM1DIV1	1	R/W	2
	COM1IID0	1	R	2
0x0748	COM1IID0	1	R	2
0x074C	COM1CON0	1	R/W	2
0x0750	COM1CON1	1	R/W	2
0x0754	COM1STA0	1	R	2
0x0758	COM1STA1	1	R	2
0x075C	COM1SCR	1	R/W	2
0x0760	COM1IEN1	1	R/W	2
0x0764	COM1IID1	1	R	2
0x0768	COM1ADR	1	R/W	2
0x076C	COM1DIV2	2	R/W	2

表22. I2C0ベース・アドレス=0xFFFF0800

Address	Name	Byte	Access Type	Cycle
0x0800	I2C0MSTA	1	R	2
0x0804	I2C0SSTA	1	R	2
0x0808	I2C0SRX	1	R	2
0x080C	I2C0STX	1	W	2
0x0810	I2C0MRX	1	R	2
0x0814	I2C0MTX	1	W	2
0x0818	I2C0CNT	1	R/W	2
0x081C	I2C0ADR	1	R/W	2
0x0824	I2C0BYT	1	R/W	2
0x0828	I2C0ALT	1	R/W	2
0x082C	I2C0CFG	1	R/W	2
0x0830	I2C0DIV	2	R/W	2
0x0838	I2C0ID0	1	R/W	2
0x083C	I2C0ID1	1	R/W	2
0x0840	I2C0ID2	1	R/W	2
0x0844	I2C0ID3	1	R/W	2
0x0848	I2C0SSC	1	R/W	2
0x084C	I2C0FIF	1	R/W	2

表23. I2C1ベース・アドレス=0xFFFF0900

Address	Name	Byte	Access Type	Cycle
0x0900	I2C1MSTA	1	R	2
0x0904	I2C1SSTA	1	R	2
0x0908	I2C1SRX	1	R	2
0x090C	I2C1STX	1	W	2
0x0910	I2C1MRX	1	R	2
0x0914	I2C1MTX	1	W	2
0x0918	I2C1CNT	1	R/W	2
0x091C	I2C1ADR	1	R/W	2
0x0924	I2C1BYT	1	R/W	2
0x0928	I2C1ALT	1	R/W	2
0x092C	I2C1CFG	1	R/W	2
0x0930	I2C1DIV	2	R/W	2
0x0938	I2C1ID0	1	R/W	2
0x093C	I2C1ID1	1	R/W	2
0x0940	I2C1ID2	1	R/W	2
0x0944	I2C1ID3	1	R/W	2
0x0948	I2C1SSC	1	R/W	2
0x094C	I2C1FIF	1	R/W	2

表24. SPIベース・アドレス=0xFFFF0A00

Address	Name	Byte	Access Type	Cycle
0x0A00	SPISTA	1	R	2
0x0A04	SPIRX	1	R	2
0x0A08	SPITX	1	W	2
0x0A0C	SPIDIV	1	R/W	2
0x0A10	SPICON	2	R/W	2

ADuC7128/ADuC7129

表25. PLAベース・アドレス=0xFFFF0B00

Address	Name	Byte	Access Type	Cycle
0x0B00	PLAELM0	2	R/W	2
0x0B04	PLAELM1	2	R/W	2
0x0B08	PLAELM2	2	R/W	2
0x0B0C	PLAELM3	2	R/W	2
0x0B10	PLAELM4	2	R/W	2
0x0B14	PLAELM5	2	R/W	2
0x0B18	PLAELM6	2	R/W	2
0x0B1C	PLAELM7	2	R/W	2
0x0B20	PLAELM8	2	R/W	2
0x0B24	PLAELM9	2	R/W	2
0x0B28	PLAELM10	2	R/W	2
0x0B2C	PLAELM11	2	R/W	2
0x0B30	PLAELM12	2	R/W	2
0x0B34	PLAELM13	2	R/W	2
0x0B38	PLAELM14	2	R/W	2
0x0B3C	PLAELM15	2	R/W	2
0x0B40	PLACLK	1	R/W	2
0x0B44	PLAIRQ	4	R/W	2
0x0B48	PLAADC	4	R/W	2
0x0B4C	PLADIN	4	R/W	2
0x0B50	PLAOUT	4	R	2

表26. 外部メモリ・ベース・アドレス=0xFFFF0C00

Address	Name	Byte	Access Type	Cycle
0x0C00	XMCFG	1	R/W	2
0x0C10	XM0CON	1	R/W	2
0x0C14	XM1CON	1	R/W	2
0x0C18	XM2CON	1	R/W	2
0x0C1C	XM3CON	1	R/W	2
0x0C20	XM0PAR	2	R/W	2
0x0C24	XM1PAR	2	R/W	2
0x0C28	XM2PAR	2	R/W	2
0x0C2C	XM3PAR	2	R/W	2

表27. GPIOベース・アドレス=0xFFFF0D00

Address	Name	Byte	Access Type	Cycle
0x0D00	GP0CON	4	R/W	1
0x0D04	GP1CON	4	R/W	1
0x0D08	GP2CON	4	R/W	1
0x0D0C	GP3CON	4	R/W	1
0x0D10	GP4CON	4	R/W	1
0x0D20	GP0DAT	4	R/W	1
0x0D24	GP0SET	1	W	1
0x0D28	GP0CLR	1	W	1
0x0D2C	GP0PAR	4	R/W	1
0x0D30	GP1DAT	4	R/W	1
0x0D34	GP1SET	1	W	1
0x0D38	GP1CLR	1	W	1
0x0D3C	GP1PAR	4	R/W	1
0x0D40	GP2DAT	4	R/W	1
0x0D44	GP2SET	1	W	1
0x0D48	GP2CLR	1	W	1
0x0D50	GP3DAT	4	R/W	1
0x0D54	GP3SET	1	W	1
0x0D58	GP3CLR	1	W	1
0x0D5C	GP3PAR	4	R/W	1
0x0D60	GP4DAT	4	R/W	1
0x0D64	GP4SET	1	W	1
0x0D68	GP4CLR	1	W	1
0x0D6C	GP4PAR	1	W	1

表28. フラッシュ/EEブロック0ベース・アドレス=0xFFFF0E00

Address	Name	Byte	Access Type	Cycle
0x0E00	FEE0STA	1	R	1
0x0E04	FEE0MOD	1	R/W	1
0x0E08	FEE0CON	1	R/W	1
0x0E0C	FEE0DAT	2	R/W	1
0x0E10	FEE0ADR	2	R/W	1
0x0E18	FEE0SGN	3	R	1
0x0E1C	FEE0PRO	4	R/W	1
0x0E20	FEE0HID	4	R/W	1

表29. フラッシュ/EEブロック1ベース・アドレス=0xFFFF0E80

Address	Name	Byte	Access Type	Cycle
0x0E80	FEE1STA	1	R	1
0x0E84	FEE1MOD	1	R/W	1
0x0E88	FEE1CON	1	R/W	1
0x0E8C	FEE1DAT	2	R/W	1
0x0E90	FEE1ADR	2	R/W	1
0x0E98	FEE1SGN	3	R	1
0x0E9C	FEE1PRO	4	R/W	1
0x0EA0	FEE1HID	4	R/W	1

表30. QENベース・アドレス=0xFFFF0F00

Address	Name	Byte	Access Type	Cycle
0x0F00	QENCON	2	R/W	2
0x0F04	QENSTA	1	R	2
0x0F08	QENDAT	2	R/W	2
0x0F0C	QENVAL	2	R	2
0x0F14	QENCLR	1	W	2
0x0F18	QENSET	1	W	2

表31. PWMベース・アドレス=0xFFFF0F80

Address	Name	Byte	Access Type	Cycle
0x0F80	PWMCON1	2	R/W	2
0x0F84	PWM1COM1	2	R/W	2
0x0F88	PWM1COM2	2	R/W	2
0x0F8C	PWM1COM3	2	R/W	2
0x0F90	PWM1LEN	2	R/W	2
0x0F94	PWM2COM1	2	R/W	2
0x0F98	PWM2COM2	2	R/W	2
0x0F9C	PWM2COM3	2	R/W	2
0x0FA0	PWM2LEN	2	R/W	2
0x0FA4	PWM3COM1	2	R/W	2
0x0FA8	PWM3COM2	2	R/W	2
0x0FAC	PWM3COM3	2	R/W	2
0x0FB0	PWM3LEN	2	R/W	2
0x0FB4	PWMCON2	2	R/W	2
0x0FB8	PWMICLR	2	W	2

ADC回路の概要

A/Dコンバータ（ADC）は、マルチチャンネルの高速12ビットADCです。3.0～3.6Vの電源で動作し、クロック源が41.78MHzのときに最大1MSPSのスループットが可能です。このブロックには、マルチチャンネル・マルチプレクサ、差動トラック&ホールド、オンチップ・リファレンス、ADCが備わっています。

ADCは、2個のコンデンサDACを中心とする12ビット逐次比較型コンバータです。入力信号の構成によって、以下の3つのモードのいずれかによる動作が可能です。

- 小信号と平衡信号に対応する完全差動モード
- すべてのシングルエンド信号に対応するシングルエンド・モード
- すべてのシングルエンド信号に対応し、疑似差動入力から得られる同相ノイズ除去性能を利用する疑似差動モード

シングルエンド・モードまたは疑似差動モードの動作時に、コンバータは $0V \sim V_{REF}$ のアナログ入力を受け入れます。完全差動モードのときは、 $0V \sim AV_{DD}$ の範囲で最大振幅を $2V_{REF}$ とし、同相電圧 V_{CM} を中心に入力信号を平衡させる必要があります（図32を参照）。

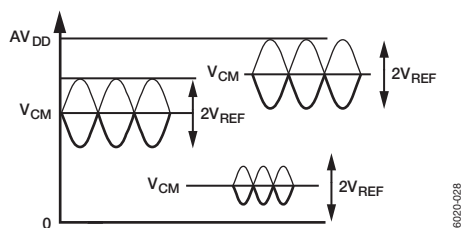


図32. 完全差動モードの平衡信号の例

工場出荷時にキャリブレーション済みの高精度、低ドリフトの2.5Vリファレンスが内蔵されています。「バンドギャップ・リファレンス」で説明するように、外部リファレンスを接続することが可能です。

シングル変換モードまたは連続変換モードをソフトウェアにより開始できます。外部のCONVSTピン、つまりオンチップのPLA、タイマ0、タイマ1のオーバーフローから生成された出力を使用して、ADC変換を繰返しトリガすることもできます。

ADC変換が完了するまでに信号のアサートが解除されなければ、2番目の変換が自動的に開始されます。

絶対温度に比例するオンチップのバンドギャップ・リファレンスからの電圧出力を、フロントエンドのADCマルチプレクサを通して、ADCのチャンネル入力の一つに転送することもできます。これにより、内部温度センサー・チャンネルで $\pm 3^{\circ}\text{C}$ 精度のダイ温度計測が可能になります。

ADCの伝達関数

疑似差動モードとシングルエンド・モード

疑似差動モードまたはシングルエンド・モードでの入力範囲は、 $0 \sim V_{REF}$ です。疑似差動およびシングルエンド・モードの出力コーディングはストレート・バイナリで、以下が当てはまります。

$$\begin{aligned} V_{REF} &= 2.5V \text{のときに、} \\ 1\text{LSB} &= FS/4096 \text{すなわち} \\ 2.5V/4096 &= 0.61\text{mVすなわち} 610\mu\text{V} \end{aligned}$$

理想的なコード遷移は、連続的な整数LSB値の間の中間（つまり、 $1/2\text{LSB}$ 、 $3/2\text{LSB}$ 、 $5/2\text{LSB}$ 、...、 $FS - 3/2\text{LSB}$ ）で発生します。理想的な入力／出力伝達特性を図33に示します。

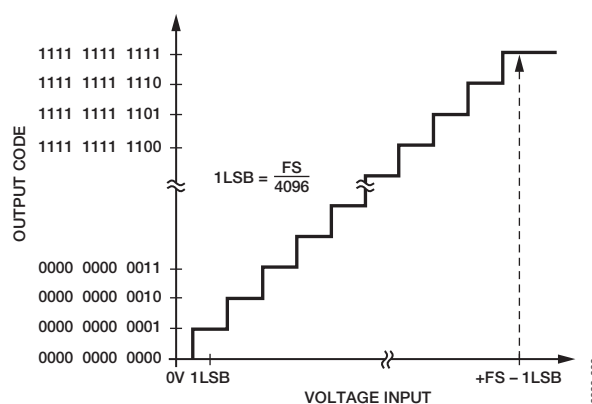


図33. 疑似差動モードまたはシングルエンド・モードのADCの伝達関数

完全差動モード

差動信号の振幅は、 V_{IN+} と V_{IN-} の各ピンに送られた信号の差（すなわち、 $V_{IN+} - V_{IN-}$ ）です。したがって、差動信号の最大振幅は $-V_{REF} \sim +V_{REFp-p}$ （ $2 \times V_{REF}$ ）になります。これは、同相（CM）電圧とは無関係です。同相電圧は2つの信号の平均、つまり $(V_{IN+} + V_{IN-})/2$ であるため、2つの入力間の中心に相当する電圧です。その結果、各入力のスパンは $CM \pm V_{REF}/2$ となります。この電圧は外部から設定する必要があり、その範囲は V_{REF} に応じて異なります（「アナログ入力の駆動」を参照）。

完全差動モード時の出力コーディングは2の補数で、 $V_{REF} = 2.5V$ のときに $1\text{LSB} = 2V_{REF}/4096$ 、すなわち $2 \times 2.5V/4096 = 1.22\text{mV}$ になります。出力結果は ± 11 ビットですが、右側に1ビットだけシフトします。したがって、Cコードの作成時にADCDATの結果を符号付き整数として宣言できます。設計に基づくコード遷移は、連続的な整数LSB値の間の中間（つまり、 $1/2\text{LSB}$ 、 $3/2\text{LSB}$ 、 $5/2\text{LSB}$ 、...、 $FS - 3/2\text{LSB}$ ）で発生します。理想的な入力／出力伝達特性を図34に示します。

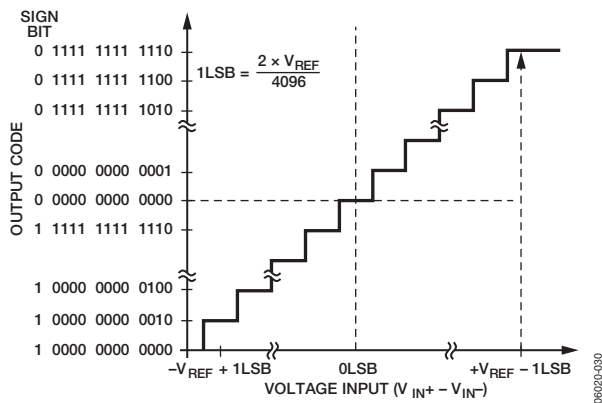


図34. 差動モード時のADCの伝達関数

代表的な動作

ADCコントロール・レジスタとチャンネル選択レジスタによる設定が完了すると、ADCはアナログ入力を変換し、ADCデータ・レジスタに11ビットの変換結果を格納します。

図35に示すように、上位4ビットは符号ビットであり、12ビット結果はビット16～27に割り当てられます。完全差動モード時の変換結果は±11ビットです。完全差動モードの変換結果は、2の補数のフォーマットで出力され、1ビットだけ右側にシフトし、疑似差動モードとシングルエンド・モードの変換結果はストレート・バイナリのフォーマットで出力されます。

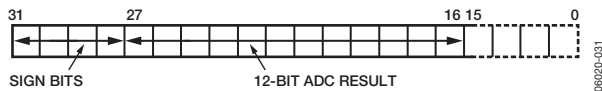


図35. ADCの変換結果のフォーマット

消費電流

ADCがスタンバイ・モードのとき、すなわちパワーアップ状態にあって変換を実行していない場合の消費電流は640μA (typ)です。内部リファレンスによって、これに140μAが追加されます。変換動作中は、さらに0.3μA×サンプリング周波数 (kHz 単位) の電流を消費します。

タイミング

図36に、ADCタイミングの詳細を示します。ADCCONのMMRによって、ADCのクロック速度とアキュイジション・クロック数を制御します。デフォルトのアキュイジション時間は8クロック、クロック分周比は2になります。その他のクロック数（ビット・トライアルまたは書き込みなどに使用）は19に設定されているため、774kSPSのサンプリング・レートが可能です。温度センサーの信号変換では、ADCのアキュイジション時間は16クロック、クロック分周比は32に自動的に設定されます。温度センサーを含めた複数のチャンネルを使用する場合は、温度センサー・チャンネルの読出しが完了した後、タイミングの設定はユーザー定義の値に戻ります。

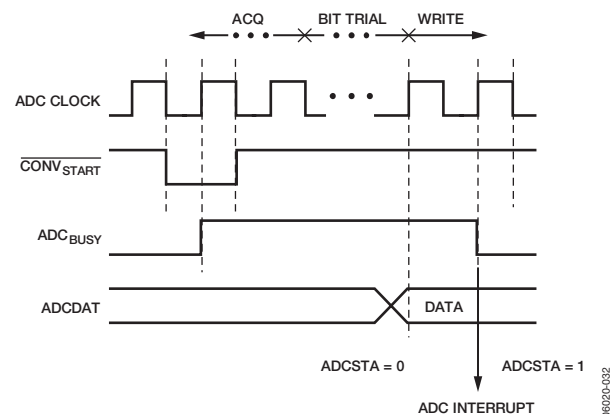


図36. ADCのタイミング

ADCのMMRのインターフェース

さまざまなMMR（表32を参照）でADCの制御および設定を行います。その詳細について、以下に説明します。

表32. ADCのMMR

名称	説明
ADCCON	ADCコントロール・レジスタ。ADCペリフェラルのイネーブル設定、ADCの動作モード（シングルエンド、疑似差動、完全差動のいずれかのモード）の選択、変換タイプの選択ができます（表33を参照）。
ADCCP	ADCの正チャンネル選択レジスタ
ADCCN	ADCの負チャンネル選択レジスタ
ADCSTA	ADCステータス・レジスタ。ADCの変換結果がいつレディー状態になっているかを示します。ADCSTAレジスタには、ADCのステータスを表すビット、ADCREADY（ビット0）のみがあります。このビットはADC変換が終了すると設定され、ADC割込みを発生します。ADCDAT MMRの読出しを行うと、自動的にクリアされます。ADCの変換実行中に、ADC _{Busy} ピンを使用して外部からADCのステータスを読み出すことができます。このピンは、変換動作時にハイレベルです。変換が終了すると、ローレベルに戻ります。GP0CONレジスタでイネーブルにすれば、この情報をP0.5上に出力できます（「汎用I/O」を参照）。
ADCDAT	ADCデータ結果レジスタ。表35に示すように、12ビットのADC変換結果を保持します。
ADCRST	ADCリセット・レジスタ。ADCのすべてのレジスタをデフォルト値にリセットします。

ADuC7128/ADuC7129

表33. ADCCON MMRのビット指定

ビット	値	説明
12:1		ADCクロック速度 (fADC=F _{CORE} 、変換=19 ADCクロック+アキュイジション時間)
	000	fADC/1。この分周比によって、外部クロック速度が41.78MHzを下回る場合に1MSPSのADC動作が実現します。
	001	fADC/2 (デフォルト値)
	010	fADC/4
	011	fADC/8
	100	fADC/16
	101	fADC/32
9:8		ADCアキュイジション時間 (ADCクロック数)
	00	2クロック
	01	4クロック
	10	8クロック (デフォルト値)
	11	16クロック
7		変換イネーブル このビットを設定すると、変換モードがイネーブルになります。 このビットをクリアすると、変換モードがディスエーブルになります。
6		予備。このビットは0に設定してください。
5		ADCの消費電力コントロール このビットを設定すると、ADCはノーマル・モード動作になります。ADCが正しい変換を行うには、その動作に入る前に少なくとも5μs間パワーアップ状態になっている必要があります。 このビットをクリアすると、ADCはパワーダウン・モードに入ります。
4:3		変換モード
	00	シングルエンド・モード
	01	差動モード
	10	疑似差動モード
	11	予備
2:0		変換のタイプ
	000	CONVSTピンを変換入力としてイネーブルにします。
	001	タイマ1を変換入力としてイネーブルにします。
	010	タイマ0を変換入力としてイネーブルにします。
	011	シングル・ソフトウェア変換。変換終了後に000に設定してください。シングル・ソフトウェア変換を開始した後ADCCON MMRのビット7をクリアし、CONVSTピンによってさらに変換がトリガされないようにしてください。
	100	連続ソフトウェア変換
	101	PLA変換
	110	PWM変換
	その他	予備

表34. ADCCP¹ MMRのビット指定

ビット	値	説明
7:5		予備
4:0		正チャンネル選択ビット
	00000	ADC0
	00001	ADC1
	00010	ADC2
	00011	ADC3
	00100	ADC4
	00101	ADC5
	00110	ADC6
	00111	ADC7
	01000	ADC8
	01001	ADC9
	01010	ADC10
	01011	ADC11
	01100	ADC12/LD2TX ²
	01101	ADC13/LD1TX ²
	01110	予備
	01111	予備
	10000	温度センサー
	10001	AGND
	10010	リファレンス
	10011	AV _{DD} /2
	その他	予備

¹ ADCチャンネルは、製品モデルによっては利用できないことがあります。

² ADC12とADC13はライン・ドライバのTXピンと共有するため、ADCモードでの使用時にこれらのピン上に高レベルのクロストークが現れます。

表35. ADCCN¹ MMRのビット指定

ビット	値	説明
7:5		予備
4:0		負チャンネル選択ビット
	00000	ADC0
	00001	ADC1
	00010	ADC2
	00011	ADC3
	00100	ADC4
	00101	ADC5
	00110	ADC6
	00111	ADC7
	01000	ADC8
	01001	ADC9
	01010	ADC10
	01011	ADC11
	01100	ADC12/LD2TX
	01101	ADC13/LD1TX
	01110	予備
	01111	予備
	10000	温度センサー
	その他	予備

¹ ADCチャンネルは、製品モデルによっては利用できないことがあります。

表36. ADCSTA MMRのビット指定

ビット	値	説明
0	1	ADC変換が完了したことを示します。ADC変換が完了すると、自動的に設定されます。
0	0	ADCDAT MMRの読出しによって、自動的にクリアされます。

表37. ADCDAT MMRのビット指定

ビット	値	説明
27:16		ADCの変換結果を保持します（図35を参照）。

表38. ADCRST MMRのビット指定

ビット	値	説明
0	1	このビットを1に設定すると、すべてのADCレジスタがデフォルト値にリセットされます。

ADuC7128/ADuC7129

コンバータの動作

ADCには、電荷サンプリング入力段を含む逐次比較（SAR）アーキテクチャが備わっています。差動モード、疑似差動モード、シングルエンド・モードのそれぞれについて、このアーキテクチャを説明します。

差動モード

ADuC7128/ADuC7129は、2個の容量DACをベースとする逐次比較型ADCを内蔵しています。図37と図38に、アキュイジション時と変換時のADCの簡略回路図を示します。ADCには、コントロール・ロジック、SAR、2個の容量DACがあります。図37（アキュイジション時）では、SW3が閉じ、SW1とSW2が位置Aにあります。コンパレータは平衡状態にあり、サンプリング・コンデンサ・アレイは入力信号の差動信号を収集します。

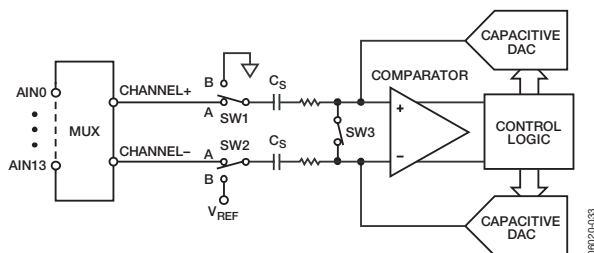


図37. アキュイジション時のADC

ADCが変換を開始すると（図38を参照）、SW3が開き、SW1とSW2が位置Bに移動し、コンパレータが不平衡の状態になります。変換が開始すると、入力の接続が2つとも切断されます。コントロール・ロジックと電荷再分配DACを使用して、サンプリング・コンデンサ・アレイに対する一定の電荷量の加算と減算を行い、これによってコンパレータを平衡状態に戻します。コンパレータが再び平衡になると、変換が終了します。コントロール・ロジックは、ADC出力コードを生成します。 V_{IN+} ピンと V_{IN-} ピンを駆動する信号源の出力インピーダンスをマッチングさせる必要があります。このようにしないと、2つの入力のセトリング時間が相違し、誤差が生じます。

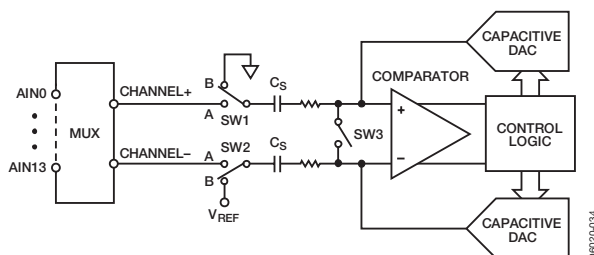


図38. 変換時のADC

疑似差動モード

疑似差動モードのときは、負チャンネルがADuC7128/ADuC7129の V_{IN-} ピンに接続され、SW2はA（負チャンネル）とB（ V_{REF} ）の間をスイッチします。 V_{IN-} ピンは、グラウンドまたは低電圧に接続する必要があります。 V_{IN+} ピン上の入力信号は、 V_{IN-} から $V_{REF}+V_{IN-}$ の範囲で変化することがあります。 $V_{REF}+V_{IN-}$ が AV_{DD} を超えないように、 V_{IN-} の値を選択する必要があります。

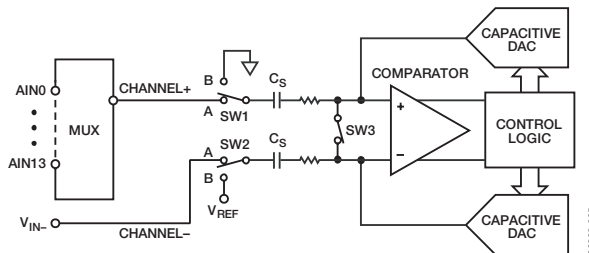


図39. 疑似差動モードのADC回路

シングルエンド・モード

シングルエンド・モードのときは、SW2が常に内部でグラウンドに接続します。 V_{IN-} ピンはフローティング状態にできます。 V_{IN+} ピン上の入力信号の範囲は、 $0V \sim V_{REF}$ です。

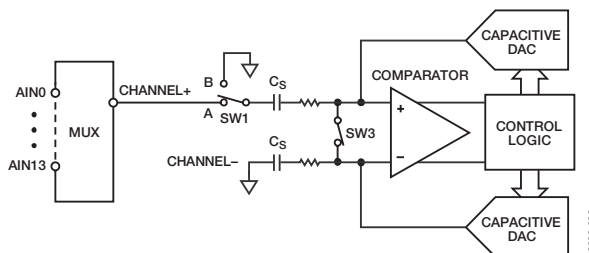


図40. シングルエンド・モードのADC回路

アナログ入力構造

図41にADCのアナログ入力構造の等価回路を示します。4個のダイオードでアナログ入力のESD保護を行っています。アナログ入力信号が電源レールを300mV以上超えないように注意してください。入力電圧が300mVを上回ると、ダイオードが順方向にバイアスし、サブストレートに電流が流れ始めます。これらのダイオードはデバイスに回復不能な損傷を与えることなく、10mAまでの電流に対応できます。

図41に示すコンデンサC1の容量は4pF（typ）ですが、ピン容量の方が支配的となってしまうことがあります。抵抗はスイッチのオン抵抗からなる集中部品であり、通常約100Ωです。コンデンサC2はADCサンプリング・コンデンサであり、容量は16pF（typ）です。

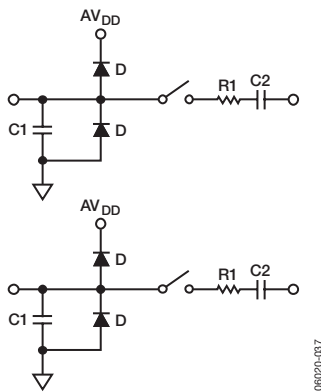


図41. アナログ入力等価回路

変換時：スイッチ開、トラック時：スイッチ閉

ACアプリケーションの場合は、該当するアナログ入力ピンにRCローパス・フィルタを配置し、アナログ入力信号の高周波数成分を除去することを推奨します。高調波歪みとS/N比が重要なアプリケーションでは、低インピーダンスの信号源からアナログ入力を駆動してください。信号源インピーダンスが大きいとADCのAC性能を著しく阻害するため、入力バッファ・アンプが必要になることがあります。オペアンプの選択は、アプリケーションによって異なります。図42と図43にADCフロントエンドの例を示します。

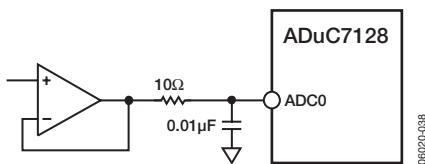


図42. シングルエンド／疑似差動入力のバッファリング

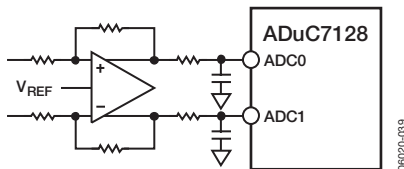


図43. 差動入力のバッファリング

アナログ入力の駆動にアンプを使用しない場合は、信号源インピーダンスを $1k\Omega$ 未満に抑えてください。信号源インピーダンスの最大値は、全高調波歪み（THD）の許容値によって異なります。THDは信号源インピーダンスが大きいくほど高くなり、これにともなって性能が低下します。

アナログ入力の駆動

ADCに関しては、内部または外部のリファレンスを使用できます。差動動作モードの場合、使用するリファレンスと電源電圧の値に依存する同相入力信号（ V_{CM} ）に制限があり、電源レールの範囲内に収まるようにします。表39に、 V_{CM} の最大値と最小値を計算したものをいくつか示します。

表39. V_{CM} の範囲

AV_{DD}	V_{REF}	V_{CM} Min	V_{CM} Max	Signal Peak-to-Peak
3.3 V	2.5 V	1.25 V	2.05 V	2.5 V
	2.048 V	1.024 V	2.276 V	2.048 V
	1.25 V	0.75 V	2.55 V	1.25 V
3.0 V	2.5 V	1.25 V	1.75 V	2.5 V
	2.048 V	1.024 V	1.976 V	2.048 V
	1.25 V	0.75 V	2.25 V	1.25 V

温度センサー

ADuC7128/ADuC7129は、絶対温度に比例する電圧をオンチップのバンドギャップ・リファレンスから出力します。電圧出力は、フロントエンドのADCマルチプレクサ（ADCの追加チャンネル入力）からも転送でき、内部温度センサー・チャンネルで $\pm 3^\circ\text{C}$ 精度のダイ温度計測が簡単にできます。

ADCを内部温度センサーに使用するための設定方法について、以下にコード例を示します。

```
int main(void)
{
    float a = 0;
    short b;

    ADCCON = 0x20;           // power-on the ADC
    delay(2000);

    ADCCP = 0x10; // Select Temperature Sensor as
                  // an input to the ADC

    REFCON = 0x01; // connect internal 2.5V
                  // reference to Vref pin

    ADCCON = 0xE4; // continuous conversion

    while(1)
    {
        while (!ADCSTA){};
        b = (ADCDAT >> 16);
        // To calculate temperature in °C, use
        the formula:

        a = 0x525 - b;
        // ((Temperature = 0x525 - Sensor
        Voltage) / 1.3)
        a /= 1.3;
        b = floor(a);

        printf("Temperature: %d oC\n",b);
    }
    return 0;
}
```

ADuC7128/ADuC7129

バンドギャップ・リファレンス

ADuC7128/ADuC7129には、ADCとDACに使用できる2.5Vのバンドギャップ・リファレンスが内蔵されています。この内部リファレンスは、 V_{REF} ピンにも出力されます。内部リファレンスを使用する場合は、ADCの変換中の安定性と高速応答性のために、外部 V_{REF} ピンとAGNDの間に0.47 μ Fのコンデンサを接続する必要があります。このリファレンスは外部ピン（ V_{REF} ）にも接続でき、システム内部の他の回路のリファレンスに利用することができます。

V_{REF} 出力は駆動力が低いため、外部バッファが必要です。プログラマブル・オプションによって、 V_{REF} ピンに外部リファレンスを入力することもできます。ちなみに、内部リファレンスはディスエーブルにできません。したがって、外部リファレンス源を使用する場合には、内部リファレンス源をオーバードライブする力が必要です。

バンドギャップ・リファレンス・インターフェースは、表40で説明するように8ビットのREFCON MMRで構成されています。

表40. REFCON MMRのビット指定

ビット	説明
7:1	予備
0	内部リファレンス出力イネーブル このビットを設定すると、2.5Vの内部リファレンスが V_{REF} ピンに接続されます。このリファレンスを外部部品に利用することもできますが、バッファリングが必要です。 このビットをクリアすると、内部リファレンスと V_{REF} ピンの接続が切断されます。 注：オンチップのDACは、内部リファレンス出力イネーブル・ビットを設定している場合のみ機能します。このDACは外部リファレンスでは動作しません。

不揮発性フラッシュ／EEメモリ

フラッシュ／EEメモリの概要

ADuC7128/ADuC7129は、フラッシュ／EEメモリ技術を内蔵しており、インサーキットで再設定可能な不揮発性メモリ空間を利用できます。

EEPROMと同様、フラッシュ・メモリもシステム内部でバイト・レベルで設定できますが、最初に消去する必要があります。消去はページ・ブロックで実行します。このため、フラッシュ・メモリはフラッシュ／EEメモリと呼ばれ、この名前のほうが適切といえます。

全体的に見れば、フラッシュ／EEメモリは、インサーキットで再設定でき、高密度、低価格の理想的な不揮発性メモリ・デバイスにほぼ近いものです。ADuC7128/ADuC7129にはフラッシュ／EEメモリ技術が組み込まれているため、プログラム・コード空間をインサーキットで更新でき、遠隔操作ノードのワンタイム・プログラマブル (OTP) デバイスを置き換える必要がありません。

フラッシュ／EEメモリ

ADuC7128/ADuC7129は、2個の64KBのフラッシュ／EEメモリ・アレイを内蔵しています。最初のブロックでは、下位62KBがユーザが利用できるメモリ空間で、フラッシュ／EEプログラム・メモリ・アレイの上位2KBには、インサーキットのシリアル・ダウンロードができる恒久的に組み込まれたファームウェアが含まれています。2KBの組込みファームウェアには、バンドギャップ・リファレンスなど各種キャリブレーション済みペリフェラルに対して工場でのキャリブレーションを行った係数をダウンロードするパワーオン設定ルーチンも入っています。この2KBの組込みファームウェアは、ユーザ・コードから隠されています。このページの読出し、書込み、消去はできません。2番目のブロックでは、64KBすべてのフラッシュ／EEメモリを利用できます。

シリアル・ダウンロード・モードまたは利用可能なJTAGモードを使用して、126KBのフラッシュ／EEメモリをインサーキットで設定できます。

フラッシュ／EEメモリの信頼性

ADuC7128/ADuC7129のフラッシュ／EEメモリ・アレイでは、主要な2つのフラッシュ／EEメモリ特性、すなわちフラッシュ／EEメモリ・サイクル耐久性とフラッシュ／EEメモリ・データ保持について完全な特性評価が行われています。

耐久性の評価では、数多くのプログラム、読出し、消去のサイクルでフラッシュ／EEメモリを繰返し使用する能力を確認します。耐久性の1サイクルは、以下の4つの独立した連続イベントで構成されています。

1. 最初のページ消去シーケンス
2. 1つのフラッシュ／EEロケーションの読出し／検証シーケンス
3. バイト・プログラムのシーケンス・メモリ
4. 2番目の読出し／検証シーケンスによる耐久性サイクル

信頼性の評価では、フラッシュ／EEメモリの3ページ（上部、中央、下部）のうちハーフ・ワード（16ビット幅）に相当するロケーションのすべてを0x0000～0xFFFFのアドレス範囲で10000回サイクリングします。

「仕様」の表1に示すように、フラッシュ／EEメモリの耐久性評価は、 $-40\sim+125^{\circ}\text{C}$ の工業用温度範囲でJEDECデータ保持寿命仕様A117に準拠して行われています。この結果、供給温度において10000サイクルという最小耐久性の仕様が可能になっています。

データ保持の評価では、長期間にわたるフラッシュ／EEメモリのプログラミング・データ保持能力を確認します。ここでも、規定のジャンクション温度 ($T_J=85^{\circ}\text{C}$) で正式なJEDECデータ保持寿命仕様 (A117) に準拠して評価が行われています。この評価手順の一部として、上述のようにフラッシュ／EEメモリを規定の耐久性限界値までサイクリングしてからデータ保持の特性評価を行います。すなわち、フラッシュ／EEメモリは、設定変更を行うたびに、完全に規定されたデータ保持寿命期間にわたりデータを保持することが保証されています。図44に示すように、0.6eVの活性化エネルギーに基づき、データ保持寿命期間は T_J が上がるほど短くなります。

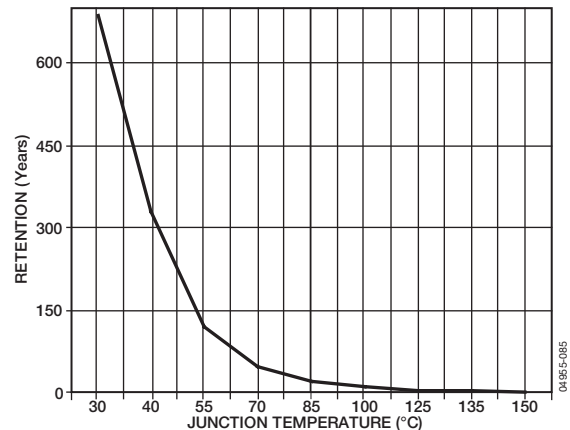


図44. フラッシュ／EEメモリのデータ保持

シリアル・ダウンロード (インサーキット・プログラミング)

ADuC7128/ADuC7129では、標準のUARTシリアル・ポートを介してコードのダウンロードができます。1k Ω の抵抗を外付けして、 $\overline{\text{BM}}$ ピンをローレベルにすると、ADuC7128/ADuC7129はリセットまたは電源サイクルの後でシリアル・ダウンロード・モードに入ります。シリアル・ダウンロード・モードに入ると、デバイスがそのターゲット・アプリケーション・ハードウェアの回路内に組み込まれているときに最大126KBのフラッシュ／EEメモリにコードをダウンロードできます。UARTによるシリアル・ダウンロードに対応する開発システムの一部として、PCによるシリアル・ダウンロード用の実行ファイルが用意されています。

詳細については、UARTによるシリアル・ダウンロードのプロトコルについて解説するアプリケーション・ノートを参照してください。www.analog.com/microconverterから入手できます。

JTAGアクセス

JTAGプロトコルは、オンチップのJTAGインターフェースを使用してコードのダウンロードとデバッグを行います。

ADuC7128/ADuC7129

フラッシュ/EEメモリのセキュリティ

ユーザが利用できる126KBのフラッシュ/EEメモリでは、読出しや書き込みの保護ができます。FEE0PRO/FEE0HID MMRのビット31を使用して、JTAGを介した読出しとパラレル・プログラミング・モードでの読出しに対して126KBを保護します。このレジスタの他の31ビットを使用して、フラッシュ/EEメモリに対する書き込み保護を行います。各ビットが4ページ、すなわち2KBを保護します。書き込み保護は、すべてのタイプのアクセスに対して有効です。FEE1PROとFEE1HIDは同様に2番目の64KBブロックを保護します。この32ビットすべてを使用して、一度に4ページを保護します。

3つの保護レベル

FEExHID MMRへの直接の書き込みによって、保護の設定と解除ができます。この保護はリセット後に無効になります。

FEExPRO MMRへの書き込みによって、保護を設定できます。この保護が有効になるのは、保護保存コマンド (0x0C) とリセットの実行後です。FEExPRO MMRは、直接アクセスできないようにキーで保護されます。このキーは一度保存されますが、FEExPROを変更するときに再入力する必要があります。一括消去によってキーを0xFFFFにリセットできますが、同時にユーザ・コードもすべて消去されます。

FEEPRO MMRと特定値の0xDEADDEADキーを使用することで、フラッシュ/EEメモリを常時保護できます。キーの再入力によってFEExPROレジスタを変更できません。

キーの書き込みシーケンス

1. 保護の対象となるページに対応するFEExPROのビットを書き込みます。
2. FEExMODのビット6を設定して (ビット5は0とします)、キー保護をイネーブルにします。
3. FEExADR、FEExDATに32ビット・キーを書き込みます。
4. FEExCONでキー書き込みコマンド0x0Cを実行します。FEExSTAを監視して、読出しが完了するまで待機します。
5. デバイスをリセットします。

保護を解除または変更するには、FEExPROの値を変更して、上記と同じ手順を行います。選択したキーの値が0xDEADの場合は、メモリ保護を解除できません。一括消去によってデバイスの保護を解除できますが、ユーザ・コードもすべて消去されます。

キーの書き込みシーケンスを以下の例に示します。これによって、フラッシュ/EEメモリのページ4～7の書き込みを保護します。

```
FEE0PRO=0xFFFFFFFF; //Protect pages 4 to 7
FEE0MOD=0x48;        //Write key enable
FEE0ADR=0x1234;       //16 bit key value
FEE0DAT=0x5678;       //16 bit key value
FEE0CON= 0x0C;        // Write key command
```

デバイスを常時保護するには、FEExADR=0xDEADおよびFEExDAT=0xDEADに設定し、上記と同じ手順を行ってください。

フラッシュ/EEのコントロール・インターフェース

FEE0DATレジスタ

Name	Address	Default Value	Access
FEE0DAT	0xFFFFF0E0C	0XXXXX	R/W

FEE0DATは、16ビットのデータ・レジスタです。

FEE0ADRレジスタ

Name	Address	Default Value	Access
FEE0ADR	0xFFFFF0E10	0x0000	R/W

FEE0ADRは、16ビットのアドレス・レジスタです。

FEE0SGNレジスタ

Name	Address	Default Value	Access
FEE0SGN	0xFFFFF0E18	0FFFFFFF	R

FEE0SGNは、24ビットのコード署名レジスタです。

FEE0PROレジスタ

Name	Address	Default Value	Access
FEE0PRO	0xFFFFF0E1C	0x00000000	R/W

FEE0PROは、リセット後に保護を行うMMRです。ソフトウェア・キーが必要です (表44を参照)。

FEE0HIDレジスタ

Name	Address	Default Value	Access
FEE0HID	0xFFFFF0E20	0xFFFFFFFF	R/W

FEE0HIDは、ただちに保護を行うMMRです。ソフトウェア・キーは必要ありません (表44を参照)。

一括消去を実行するためのコマンド・シーケンス

```
FEE0DAT = 0x3CFF;
FEE0ADR = 0xFFC3;
FEE0MOD = FEE0MOD|0x8; //Erase key enable
FEE0CON = 0x06; //Mass erase command
```

FEE1DATレジスタ

Name	Address	Default Value	Access
FEE1DAT	0xFFFF0E8C	0XXXXX	R/W

FEE1DATは、16ビットのデータ・レジスタです。

FEE1ADRレジスタ

Name	Address	Default Value	Access
FEE1ADR	0xFFFF0E90	0x0000	R/W

FEE1ADRは、16ビットのアドレス・レジスタです。

FEE1SGNレジスタ

Name	Address	Default Value	Access
FEE1SGN	0xFFFF0E98	0FFFFFFF	R

FEE1SGNは、24ビットのコード署名レジスタです。

FEE1PROレジスタ

Name	Address	Default Value	Access
FEE1PRO	0xFFFF0E9C	0x00000000	R/W

FEE1PROは、リセット後に保護を行うMMRです。ソフトウェア・キーが必要です（表45を参照）。

FEE1HIDレジスタ

Name	Address	Default Value	Access
FEE1HID	0xFFFF0EA0	0xFFFFFFFF	R/W

FEE1HIDは、ただちに保護を行うMMRです。ソフトウェア・キーは必要ありません（表45を参照）。

FEE0STAレジスタ

Name	Address	Default Value	Access
FEE0STA	0xFFFF0E00	0x0000	R/W

FEE1STAレジスタ

Name	Address	Default Value	Access
FEE1STA	0xFFFF0E80	0x0000	R/W

FEE0MODレジスタ

Name	Address	Default Value	Access
FEE0MOD	0xFFFF0E04	0x80	R/W

FEE1MODレジスタ

Name	Address	Default Value	Access
FEE1MOD	0xFFFF0E84	0x80	R/W

FEE0CONレジスタ

Name	Address	Default Value	Access
FEE0CON	0xFFFF0E08	0x0000	R/W

FEE1CONレジスタ

Name	Address	Default Value	Access
FEE1CON	0xFFFF0E88	0x0000	R/W

ADuC7128/ADuC7129

表41. FEEExSTA MMRのビット指定

ビット	説明
15:6	予備
5	予備
4	予備
3	フラッシュ／EE割込みステータス・ビット 割込みの発生時、すなわちコマンドの実行が完了し、FEEExMODレジスタのフラッシュ／EE割込みイネーブル・ビットが設定されると、自動的に設定されます。 FEEExSTAレジスタの読出し時に、クリアされます。
2	フラッシュ／EEコントローラ・ビジー コントローラがビジー状態のときに、自動的に設定されます。 コントローラがビジー状態でないときに、自動的にクリアされます。
1	コマンド失敗 コマンドの実行が失敗に終わったときに、自動的に設定されます。 FEEExSTAレジスタの読出し時に、自動的にクリアされます。
0	コマンド完了 コマンドの実行が完了したときに、MicroConverterによって設定されます。 FEEExSTAレジスタの読出し時に、自動的にクリアされます。

表42. FEEExMOD MMRのビット指定

ビット	説明
7:5	予備
4	フラッシュ／EE割込みイネーブル このビットを設定すると、フラッシュ／EE割込みがイネーブルになります。コマンドの実行が完了すると、割込みが発生します。 このビットをクリアすると、フラッシュ／EE割込みがディスエーブルになります。
3	消去／書込みコマンド保護 このビットを設定すると、消去コマンドと書込みコマンドがイネーブルになります。 このビットをクリアすると、消去／書込みコマンドに対してフラッシュ／EEメモリが保護されます。
2	予備。このビットは必ず0に設定してください。
1:0	フラッシュ／EE待ち状態。変更を有効にするには、2つのフラッシュ／EEブロックに同じ待ち状態の値を指定する必要があります。

表43. FEEExCONのコマンド・コード

コード	コマンド	説明
0x00 ¹	ヌル	アイドル状態
0x01 ¹	シングル読出し	FEEExADRによってインデックス・アドレッシングが行われた16ビット・データをFEEExDATにロードします。
0x02 ¹	シングル書込み	FEEExADRによってポイントされたアドレスでFEEExDATに書込みを行います。所要時間は50μsです。
0x03 ¹	消去／書込み	FEEExADRによってインデックス・アドレッシングが行われたページを消去し、FEEExADRによってポイントされた場所でFEEExDATに書込みを行います。所要時間は20msです。
0x04 ¹	シングル検証	FEEExADRによってポイントされた場所のデータとFEEExDATのデータを比較します。結果は、FEEExSTAのビット1で返します。
0x05 ¹	シングル消去	FEEExADRによってインデックス・アドレッシングが行われたページを消去します。
0x06 ¹	一括消去	ユーザ空間を消去します。2KBのカーネルはブロック0で保護されています。所要時間は2.48秒です。誤って実行しないように、この命令を実行するにはコマンド・シーケンスが必要です。
0x07	予備	予備
0x08	予備	予備
0x09	予備	予備
0x0A	予備	予備
0x0B	署名	24ビットのFEEExSIGN MMRで64KBのフラッシュ／EEの署名を指定します。所要のクロック・サイクルは32778サイクルです。
0x0C	保護	このコマンドを実行できるのは、一回のみです。FEEExPROの値は保存され、一括消去（0x06）またはキーを使用しないと削除できません。
0x0D	予備	予備
0x0E	予備	予備
0x0F	ピンゲ	動作は実行されず、割込みが発生します。

¹ これらのコマンドのいずれかを実行すると、直後にFEEExCONレジスタは常に0x07になります。

表44. FEE0PROおよびFEE0HID MMRのビット指定

ビット	説明
31	読出し保護 このビットをクリアすると、ブロック0の読出し保護が行われます。 このビットを設定すると、ブロック0の読出しができます。
30:0	ページ123～120、ページ119～116、ページ3～0の書き込み保護 これらのビットをクリアすると、上記ページの書き込み保護が行われます。 これらのビットを設定すると、上記ページの書き込みができます。

表45. FEE1PROおよびFEE1HID MMRのビット指定

ビット	説明
31	読出し保護 このビットをクリアすると、ブロック1の読出し保護が行われます。 このビットを設定すると、ブロック1の読出しができます。
30	ページ127～120の書き込み保護 このビットをクリアすると、上記ページの書き込み保護が行われます。 このビットを設定すると、上記ページの書き込みができます。
31:0	ページ119～116、ページ3～0の書き込み保護 これらのビットをクリアすると、上記ページの書き込み保護が行われます。 これらのビットを設定すると、上記ページの書き込みができます。

SRAMおよびフラッシュ／EEからの実行時間

ここでは、実行時間が特に重要なアプリケーションのために実行中のSRAMとフラッシュ／EEのアクセス時間について説明します。

SRAMからの実行

SRAMのアクセス時間は2ns、クロック・サイクルは最小22nsであるため、SRAMからの命令のフェッチは1クロック・サイクルで行われます。ただし、命令がメモリのデータ読出しまたは書き込みに関連する場合は、データがSRAMに格納されていれば、1サイクル（またはデータがフラッシュ／EEに格納されていれば、3サイクル）追加し、命令の実行に1サイクル、フラッシュ／EEからの32ビット・データの取込みに2サイクルが必要です。分岐命令などの制御フロー命令ではフェッチに1サイクル必要ですが、新しい命令をパイプラインにフィルするにはさらに2サイクルが必要です。

フラッシュ／EEからの実行

フラッシュ／EEは16ビット幅であり、16ビット・ワードのアクセス時間は23nsであるため、1サイクルで（CDビット=0のときのSRAMからのように）は実行できません。さらに、CDビットがどのような値でもデータのアクセスの前にいくつかのデッド・タイムが必要です。

32ビット命令のARMモードの場合は、CDビット=0のときに命令のフェッチに2サイクル必要です。16ビット命令のThumbモードの場合は、命令のフェッチに1サイクル必要です。

データ・メモリにフラッシュ／EEを使用する場合の命令の実行では、どちらのモードでもタイミングは同じです。実行する命令が制御フロー命令の場合は、プログラム・カウンタの新しいアドレスをデコードするためにさらに1サイクル必要で、またパイプラインのフィルに4サイクル必要です。コア・レジスタのみに関連するデータ処理命令にはクロック・サイクルを追加する必要はありませんが、命令がフラッシュ／EEに格納されたデータに関連する場合は、データのアドレスをデコードするために1サイクル追加する必要がある、さらにフラッシュ／EEから32ビット・データを取るために2サイクル必要です。別の命令をフェッチする場合は、その前にさらに1サイクル追加しなければなりません。データ転送命令は他の命令よりも複雑です。表46にその概要を示します。

表46. ARM/Thumbモード時の実行サイクル

Instructions	Fetch Cycles	Dead Time	Data Access	Dead Time
LD	2/1	1	2	1
LDH	2/1	1	1	1
LDM/PUSH	2/1	N	2 × N	N
STR	2/1	1	2 × 20 μs	1
STRH	2/1	1	20 μs	1
STRM/POP	2/1	N	2 × N × 20 μs	N

1 < N ≤ 16の場合、Nは複数のロード／ストア命令でロードまたはストアされるデータのバイト数です。SWAP命令はLDとSTRを1つの命令として1サイクルでフェッチし、実行サイクルは8サイクルと40μsの合計になります。

ADuC7128/ADuC7129

リセットと再マッピング

図45に示すように、ARM例外ベクトルはすべてアドレス0x00000000~0x00000020のメモリ・アレイの最下部に割り当てられます。

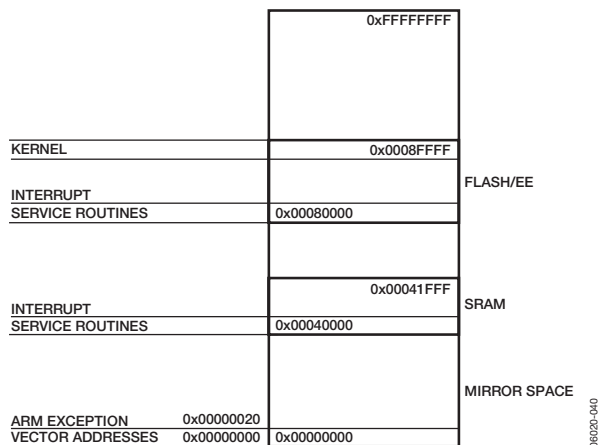


図45. 例外実行の再マッピング

デフォルト設定もしくはリセット後に、フラッシュ/EEはメモリ・アレイの最下部でミラーされます。再マッピング機能によりプログラマがメモリ・アレイの最下部でSRAMをミラーできるため、フラッシュ/EEからではなくSRAMから例外ルーチンを簡単に実行できます。すなわち、16ビット幅のフラッシュ/EEメモリに対しSRAMは32ビット幅であるため、ARMモード(32ビット)の場合を除き、2倍の速度で例外処理が実行されます。

再マッピング動作

ADuC7128/ADuC7129上でリセットが発生すると、工場設定の内部設定コードで自動的に実行を開始します。このカーネルは非表示であり、ユーザ・コードではアクセスできません。ADuC7128/ADuC7129がノーマル・モード（BMピンがハイレベル）の場合、カーネルのパワーオン設定ルーチンを実行した後、リセットされたベクトル・アドレス0x00000000にジャンプして、ユーザのリセット例外ルーチンを実行します。フラッシュ/EEはリセット時にメモリ・アレイの最下部でミラーされるため、リセット割込みルーチンを常にフラッシュ/EEに書き込む必要があります。

REMAPレジスタのビット0を設定することにより、フラッシュ/EEから再マッピングが行われます。このコマンドはフラッシュ/EEのアドレス0x00080020よりも上位のアドレスから実行するようにし、SRAMに置き換えられるアレイの最下部からは行わないように注意してください。

この動作は逆にすることができます。すなわち、REMAP MMRのビット0をクリアすることにより、フラッシュ/EEをアドレス0x00000000で再マッピングできます。この場合も、ミラーされる領域以外の場合から再マッピング機能を実行するように注意してください。どのような種類のリセットでも、フラッシュ/EEはアレイの最下部で再マッピングされます。

リセット動作

リセットには、外部リセット、パワーオン・リセット、ウォッチドッグ・タイムアウト、ソフトウェア強制の4つのタイプがあります。**RSTSTA**レジスタが最後のリセット・ソースを指定し、**RSTCLR**が**RSTSTA**レジスタをクリアします。これらのレジスタをリセット例外サービス・ルーチンを実行するときに使用すれば、リセット・ソースを識別できます。**RSTSTA**がゼロの場合は、リセットは外部からのものです。**RSTSTA**をクリアするときは、1になっているビットをすべてクリアしてください。これらのビットをクリアしないと、リセット・イベントが発生します。

表47. REMAP MMRのビット指定

ビット	名称	説明
0	再マッピング	再マッピング・ビット このビットを設定すると、SRAMがアドレス0x00000000に再マッピングされます。 リセット後に自動的にクリアされ、フラッシュ／EEがアドレス0x00000000に再マッピングされます。

表48. RSTSTA MMRのビット指定

ビット	説明
7:3	予備
2	ソフトウェア・リセット このビットを設定すると、ソフトウェア・リセットが強制設定されます。 RSTCLRの該当ビットを設定することによってクリアされます。
1	ウォッチドッグ・タイムアウト ウォッチドッグ・タイムアウトの発生時に、自動的に設定されます。 RSTCLRの該当ビットを設定することによってクリアされます。
0	パワーオン・リセット パワーオン・リセットの発生時に、自動的に設定されます。 RSTCLRの該当ビットを設定することによってクリアされます。

その他のアナログ・ペリフェラル

DAC

ADuC7128/ADuC7129は、ユーザ定義波形またはDDSからのサイン波を生成するために使用する10ビットの電流出力DACを備えています。DACは、10ビットのIDACとその後段の電流／電圧変換回路で構成されています。

IDACの電流出力は抵抗とコンデンサのネットワークを通過し、そこでフィルタ処理と電流／電圧変換が行われます。電圧は次いでオペアンプによってバッファされ、ライン・ドライバに送られます。

DACが機能するには、REFCON=0x01を設定して2.5Vの内部電圧リファレンスをイネーブルにし、外部コンデンサを接続して駆動する必要があります。

DACをイネーブルに設定すると、内部リファレンス電圧が5mV低下します。これは、DAC回路で使用されるリファレンスからバイアス電流が発生するためです。DACを使用する場合は、ADC変換の結果が変動しないようにDACをパワーオンの状態にしておくことを推奨します。

表49. DACCON MMRのビット指定

ビット	値	説明
10:9		予備。これらのビットに0を書き込んでください。
8		予備。このビットに0を書き込んでください。
7		予備。このビットに0を書き込んでください。
6		予備。このビットに0を書き込んでください。
5		出力イネーブル。このビットはすべてのモードで機能します。ライン・ドライバ・モードのときは、このビットを設定してください。 このビットを設定すると、ライン・ドライバ出力がイネーブルになります。 このビットをクリアすると、ライン・ドライバ出力がディスエーブルになります。このモード時に、ライン・ドライバ出力はハイ・インピーダンスの状態になります。
4		シングルエンドまたは差動出力コントロール このビットを設定すると、差動モードの動作に入り、出力はLD1TXとLD2TXの間の差電圧になります。電圧出力範囲は $V_{REF}/2 \pm V_{REF}/2$ です。 このビットをクリアすると、LD1TX出力はAGNDを基準とします。電圧出力範囲は $AV_{DD}/2 \pm V_{REF}/2$ です。
3		予備。このビットに0を書き込んでください。
2:1	00 01 10 11	動作モード・コントロール。これらのビットでDACの動作モードを選択します。 パワーダウン 予備 予備 DDSモードとDACモード。DACENを使用して選択します。
0		DAC更新レート・コントロール。DDSモードのときは、このビットは無効です。 このビットを設定すると、タイマ1の立下がりエッジでDAC出力が更新されます。これによって、コアCLK、OSC CLK、ボーCLK、ユーザCLKのいずれか1つを使用して、クロックを1、16、256、32768分周することができます。RAMからDACデータ・レジスタにデータを書き込み、タイマ1によって規則的なインターバルでDAC出力を更新することにより、波形を生成できます。 このビットをクリアすると、HCLKの立下がりエッジでDAC出力が更新されます。

ADuC7128/ADuC7129

DACENレジスタ

Name	Address	Default Value	Access
DACEN	0xFFFF06B8	0x00	R/W

表50. DACEN MMRのビット指定

ビット	説明
7:1	予備
0	このビットを1に設定すると、DACモードがイネーブルになります。 このビットを0に設定すると、DDSモードがイネーブルになります。

DACDATレジスタ

Name	Address	Default Value	Access
DACDAT	0xFFFF06B4	0x0000	R/W

表51. DACDAT MMRのビット指定

ビット	説明
15:10	予備
9:0	DACの10ビット・データ

表53. DDSCON MMRのビット指定

ビット	説明																				
7:6	予備																				
5	DDS出力イネーブル このビットを設定すると、DDS出力がイネーブルになります。DACCONでDDSを選択している場合のみ有効です。 このビットをクリアすると、DDS出力がデイスエーブルになります。																				
4	予備																				
3:0	バイナリ分周コントロール <table> <tr> <th>DIV</th><th>スケール比</th></tr> <tr><td>0000</td><td>0.000</td></tr> <tr><td>0001</td><td>0.125</td></tr> <tr><td>0010</td><td>0.250</td></tr> <tr><td>0011</td><td>0.375</td></tr> <tr><td>0100</td><td>0.500</td></tr> <tr><td>0101</td><td>0.625</td></tr> <tr><td>0110</td><td>0.750</td></tr> <tr><td>0111</td><td>0.875</td></tr> <tr><td>1xxx</td><td>1.000</td></tr> </table>	DIV	スケール比	0000	0.000	0001	0.125	0010	0.250	0011	0.375	0100	0.500	0101	0.625	0110	0.750	0111	0.875	1xxx	1.000
DIV	スケール比																				
0000	0.000																				
0001	0.125																				
0010	0.250																				
0011	0.375																				
0100	0.500																				
0101	0.625																				
0110	0.750																				
0111	0.875																				
1xxx	1.000																				

DACDAT MMRは、DACの出力を制御します。このレジスタに書き込まれるデータは、±9ビットの符号付き数値です。すなわち、0x0000はミッドスケール、0x0200はゼロスケール、0x01FFはフルスケールを表します。

DACENとDACDATには、キー・アクセスが必要です。これらのMMRに書き込みを行う場合は、表52に示すシーケンスを使用します。

表52. DACENおよびDACDATの書き込みシーケンス

DACEN	DACDAT
DACKEY0 = 0x07	DACKEY0 = 0x07
DACEN = user value	DACDAT = user value
DACKEY1 = 0xB9	DACKEY1 = 0xB9

DDS

DDSは、デジタル・サイン波信号を生成し、ADuC7128/ADuC7129のDACに送るために使用します。DDSをフリーラン・モードでイネーブルにすることもできます。

位相および周波数の両方を制御することができます。

DDSFRQレジスタ

Name	Address	Default Value	Access
DDSFRQ	0xFFFF0694	0x00000000	R/W

表54. DDSFRQ MMRのビット指定

ビット	説明
31:0	周波数選択ワード (FSW)

DDSFRQ MMRを使用して、DDSの周波数を制御します。このMMRには、以下の式に従って周波数を制御する32ビット・ワード (FSW) が含まれています。

$$Frequency = \frac{FSW \times 20.8896MHz}{2^{32}}$$

DDSPHSレジスタ

Name	Address	Default Value	Access
DDSPHS	0xFFFF0698	0x00000000	R/W

表55. DDSPHS MMRのビット指定

ビット	説明
31:12	予備
11:0	位相

DDSPHS MMRを使用して、DDSの位相オフセットを制御します。このMMRには、以下の式に従ってDDS出力の位相を制御する12ビット値が含まれています。

$$Phase\ Offset = \frac{2 \times \pi \times Phase}{2^{12}}$$

電源モニタ

ADuC7128/ADuC7129の電源モニタは、IOV_{DD}電源ピンの電圧が2つの電源トリップ・ポイントのいずれかを下回ったときにこれを表示します。このモニタ機能は、PSMCONレジスタで制御します (表56を参照)。IRQENまたはFIQENレジスタで電源モニタをイネーブルに設定すると、PSMCON MMRのPSMIビットを使用してコアに割込みをかけます。CMPがハイレベルになると、このビットはただちにクリアされます。CMPがハイレベルになる前に、発生した割込みが終了すると (IOV_{DD}がトリップ・ポイントを上回るとき)、CMPがハイレベルに復帰するまで次の割込みは発生しません。CMPがハイレベ

表56. PSMCON MMRのビット指定

ビット	名称	説明
3	CMP	コンパレータ・ビット。コンパレータの状態を直接反映する読出し専用ビットです。 1が読み出されるときは、IOV _{DD} 電源が選択されたトリップ・ポイントよりも高いか、PSMがパワーダウン・モードに入っていることを示します。 0が読み出されるときは、IOV _{DD} 電源が選択されたトリップ・ポイントよりも低いことを示します。割込みサービス・ルーチンを終了する前に、このビットを設定してください。
2	TP	トリップ・ポイント選択ビット 0 = 2.79 V 1 = 3.07 V
1	PSMEN	電源モニタ・イネーブル・ビット このビットを1に設定すると、電源モニタ回路がイネーブルになります。 このビットを0にクリアすると、電源モニタ回路がデイスエーブルになります。
0	PSMI	電源モニタ割込みビット。CMPがローレベルのとき、MicroConverterによってハイレベルに設定され、I/O電源が低下していることを示します。PSMIビットを使用して、プロセッサに割込みをかけることができます。CMPがハイレベルに復帰した後で、この場所に1を書き込むことによりPSMIビットをクリアできます。このビットに0を書き込んでも無効です。タイムアウト遅延は発生しません。CMPがハイレベルになった直後に、PSMIをクリアできます。

ルに復帰するまで、コード実行を必ずISRの設定範囲内に維持してください。

このモニタ機能を利用して動作するレジスタを節約し、電源電圧の低下や電源遮断の場合にデータが消失しないようにすることができます。さらに、安全な電源レベルが確立されるまで、通常のコード実行を再開しないようにします。

JTAGデバッグの使用時は、PSMが正しく動作しません。JTAGデバッグ・モードのときはPSMをデイスエーブルにしてください。

コンパレータ

ADuC7128/ADuC7129は、他でも利用できる電圧コンパレータを集積化しています。正側入力にはADC2とマルチプレクスされ、負側入力にはADC3または内部リファレンスと接続する2つのオプションがあります。コンパレータの出力は、システム割込みを発生するように設定したり、プログラマブル・ロジック・アレイに直接送ったり、ADC変換のスタートに使用したり、外部ピンのCMP_{OUT}に出力できます。

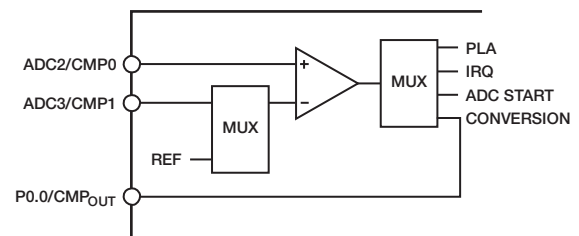


図46. コンパレータ

ヒステリシス

入力オフセット電圧とヒステリシスの各項を定義する方法を図47に示します。入力オフセット電圧 (V_{OS}) は、ヒステリシス範囲の中心とグラウンド・レベルの間の差であり、正または負のいずれも可能です。ヒステリシス電圧 (V_H) は、ヒステリシス範囲の1/2の幅に相当します。

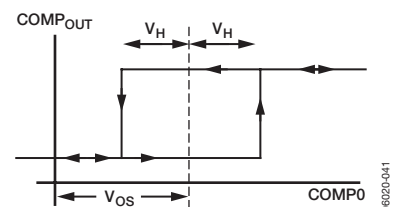


図47. コンパレータ・ヒステリシスの伝達関数

ADuC7128/ADuC7129

コンパレータのインターフェース

コンパレータのインターフェースは、表57で説明するように16ビットのMMRであるCMPCONで構成されています。

表57. CMPCON MMRのビット指定

ビット	値	名称	説明
15:11			予備
10		CMPEN	コンパレータ・イネーブル・ビット このビットを設定すると、コンパレータがイネーブルになります。 このビットをクリアすると、コンパレータがディスエーブルになります。 注：コンパレータのイネーブル時にコンパレータ割込みが発生します。ユーザ・ソフトウェアでこれをクリアしてください。
9:8	00 01 10 11	CMPIN	コンパレータの負入力選択ビット AVDD/2 ADC3入力 $V_{REF} \times 0.6$ 予備
7:6	00 01 10 11	CMPOC	コンパレータ出力設定ビット IRQおよびPLA接続をディスエーブル IRQおよびPLA接続をディスエーブル PLA接続をイネーブル IRQ接続をイネーブル
5		CMPOL	コンパレータ出力ロジック状態ビット ローレベルの場合、正側入力（CMP0）が負側入力（CMP1）よりも高いときにコンパレータ出力がハイレベルになります。 ハイレベルの場合、正側入力（CMP0）が負側入力よりも低いときにコンパレータ出力がハイレベルになります。
4:3	00 01 10 11	CMPRES	応答時間 大信号（2.5Vの差動電圧）の場合は、5 μ s（typ）の応答時間 小信号（0.65mVの差動電圧）の場合は、17 μ s（typ）の応答時間 予備 予備 いずれのタイプの信号に対しても3 μ s（typ）の応答時間
2		CMPHYST	コンパレータ・ヒステリシス・ビット このビットを設定すると、約7.5mVのヒステリシスが組み込まれます。 このビットをクリアすると、ヒステリシスは組み込まれません。
1		CMPORI	コンパレータ出力立上がりエッジ割込み 監視対象の電圧（CMP0）に立上がりエッジが発生すると、このビットが自動的に設定されます。 このビットに1を書き込むと、自動的にクリアされます。
0		CMPOFI	コンパレータ出力立下がりエッジ割込み 監視対象の電圧（CMP0）に立下がりエッジが発生すると、このビットが自動的に設定されます。 このビットはユーザがクリアします。

発振器とPLL—消費電力の制御

ADuC7128/ADuC7129は、32.768kHzの発振器、クロック分周器、PLLを集積化しています。PLLは内部発振器の倍数（1275倍）でロックされ、41.78MHzの安定したクロックをシステムに供給します。コアはこの周波数か、これを分周した任意の周波数で動作し、消費電力を節約できます。コア・クロックのデフォルト値は、PLLクロックを8分周した周波数（CD=3）、すなわち5.2MHzです。図48に示すように、コア・クロック周波数をECLKピンから出力できます。ECLKピンを使用するコア・クロックの出力では出力信号がバッファされていないため、外付けバッファなしに外部デバイスのクロック源として使用するには適していません。

ADuC7128/ADuC7129には、パワーダウン・モードがあります。

動作モード、クロッキング・モード、プログラマブル・クロック分周器は、PLLCON（表61を参照）とPOWCON（表62を参照）の2個のMMRを使用して制御します。PLLCONはクロック・システムの動作モードを制御し、POWCONはコア・クロック周波数とパワーダウン・モードを制御します。

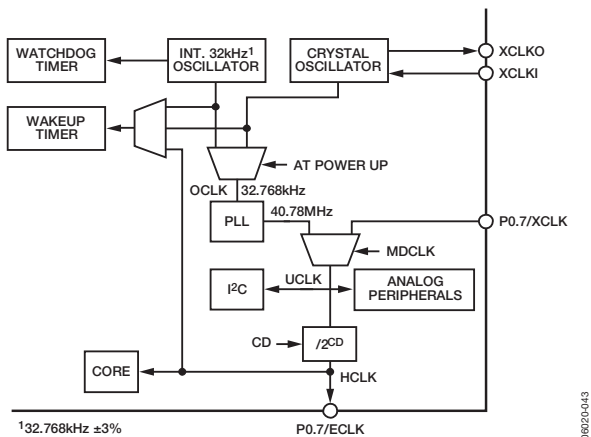


図48. クロッキング・システム

外部水晶発振器の選択

外部水晶発振器に切り替える場合は、以下の手順に従ってください。

1. タイマ2割込みをイネーブルにし、タイムアウト期間が120μs以上になるようにタイマ2を設定します。
2. PLLCONレジスタの書き込みシーケンスに従い、MDCLKビットを01に設定し、OSELビットをクリアします。
3. POWCONレジスタの正しい書き込みシーケンスに従って、デバイスをナップ・モードに強制設定します。
4. タイマ2割込みソースによってナップ・モード中のデバイスに割込みが発生するときにクロック源が外部クロックに切り替えられます。

ソース・コード例

```
T2LD = 5;
TCON = 0x480;
while ((T2VAL == t2val_old) || (T2VAL > 3)) //ensures timer value loaded
    IRQEN = 0x10;
//enable T2 interrupt
PLLKEY1 = 0xAA;
PLLCON = 0x01;
PLLKEY2 = 0x55;

POWKEY1 = 0x01;
POWCON = 0x27;
// Set Core into Nap mode
POWKEY2 = 0xF4;
```

ノイズが発生しやすい環境では、外部水晶発振器ピンにノイズが結合し、PLLのロックが瞬間的に消失することがあります。割込みコントローラにPLL割込みが発生します。コア・クロックがただちに停止し、ロックが回復してから割込みサービスが行われます。

水晶発振器のクロック消失時には、ウォッチドッグ・タイマを使用してください。初期化の実行時にRSTSTAのテストにより、ウォッチドッグ・タイマからリセットが行われているかどうか確認できます。

外部クロックの選択

P0.7の外部クロックに切り替えるには、P0.7をモード1に設定します。外部クロックは許容誤差1%で、最大44MHzが可能です。

ソース・コード例

```
T2LD = 5;
TCON = 0x480;
while ((T2VAL == t2val_old) || (T2VAL > 3)) //ensures timer value loaded
    IRQEN = 0x10;
//enable T2 interrupt
PLLKEY1 = 0xAA;
PLLCON = 0x03; //Select external clock
PLLKEY2 = 0x55;

POWKEY1 = 0x01;
POWCON = 0x27; // Set Core into Nap mode
POWKEY2 = 0xF4;
```

消費電力制御システム

ADuC7128/ADuC7129では、さまざまな動作モードを選択できます。表58に、各モードでADuC7128/ADuC7129のどの部分がパワーオンするかをパワーアップ時間とともに示します。表59には、クロック分周器ビットによって異なる、各モードの合計消費電流（アナログ+デジタル電源電流）の代表値を示します。ADCはターンオフしています。

これらの値には、測定に使用したテスト・ボードに実装されているレギュレータやその他の回路の消費電流も含まれています。

ADuC7128/ADuC7129

表58. 動作モード

Mode	Core	Peripherals	PLL	XTAL/T2/T3	XIRQ	Start-Up/Power-On Time
Active	On	On	On	On	On	130 ms at CD = 0
Pause		On	On	On	On	24 ns at CD = 0; 3.06 μ s at CD = 7
Nap			On	On	On	24 ns at CD = 0; 3.06 μ s at CD = 7
Sleep				On	On	1.58 ms
Stop					On	1.7 ms

表59. 消費電流の代表値 (25℃時)

PC[2:0]	Mode	CD = 0	CD = 1	CD = 2	CD = 3	CD = 4	CD = 5	CD = 6	CD = 7
000	Active	33.1	21.2	13.8	10	8.1	7.2	6.7	6.45
001	Pause	22.7	13.3	8.5	6.1	4.9	4.3	4	3.85
010	Nap	3.8	3.8	3.8	3.8	3.8	3.8	3.8	3.8
011	Sleep	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
100	Stop	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4

MMRとキー

誤ってプログラミングが行われないように、PLLCONおよびPOWCONレジスタに書き込む場合は一定のシーケンスに従う必要があります (表60を参照)。

PLLKEYxレジスタ

Name	Address	Default Value	Access
PLLKEY1	0xFFFF0410	0x0000	W
PLLKEY2	0xFFFF0418	0x0000	W

PLLCONレジスタ

Name	Address	Default Value	Access
PLLCON	0xFFFF0414	0x21	R/W

POWKEYxレジスタ

Name	Address	Default Value	Access
POWKEY1	0xFFFF0404	0x0000	W
POWKEY2	0xFFFF040C	0x0000	W

POWCONレジスタ

Name	Address	Default Value	Access
POWCON	0xFFFF0408	0x0003	R/W

表60. PLLCONおよびPOWCONの書き込みシーケンス

PLLCON	POWCON
PLLKEY1 = 0xAA	POWKEY1 = 0x01
PLLCON = 0x01	POWCON = user value
PLLKEY2 = 0x55	POWKEY2 = 0xF4

表61. PLLCON MMRのビット指定

ビット	値	名称	説明
7:6			予備
5		OSEL	32kHz PLL入力選択 このビットを設定すると、32kHzの内部発振器を使用します。これはデフォルト設定です。このビットをクリアすると、32kHzの外部水晶発振器を使用します。
4:2			予備
1:0	00 01 10 11	MDCLK	クロッキング・モード 予備 PLL。デフォルト設定 予備 P0.7ピンの外部クロック

表62. POWCON MMRのビット指定

ビット	値	名称	説明
7			予備
6:4	000 001 010 011 100 その他	PC	動作モード アクティブ・モード 一時停止モード ナップ スリープ・モード。IRQ0~IRQ3とタイマ2でADuC7128/ADuC7129をウェークアップさせることができます。 ストップ・モード 予備
3		RSVD	予備
2:0	000 001 010 011 100 101 110 111	CD	CPUクロック分周器ビット 41.779200 MHz 20.889600 MHz 10.444800 MHz 5.222400 MHz 2.611200 MHz 1.305600 MHz 654.800 kHz 326.400 kHz

デジタル・ペリフェラル

PWMの概要

ADuC7128/ADuC7129は、6チャンネルのPWMインターフェースを集積化しています。PWM出力をHブリッジの駆動に設定するか、あるいは標準のPWM出力として利用できます。パワーアップ時に、PWM出力はデフォルト設定でHブリッジ・モードになります。これにより、デフォルトでモータが確実にターンオフします。標準のPWMモードのときは、3ペアのPWMピンによる出力構成になります。各ペアの出力の周期と各出力のデューティ・サイクルは個別に制御できます。

表63. PWM MMR

名称	説明
PWMCON1	PWMコントロール
PWM1COM1	PWM出力1および2の比較レジスタ1
PWM1COM2	PWM出力1および2の比較レジスタ2
PWM1COM3	PWM出力1および2の比較レジスタ3
PWM1LEN	PWM出力1および2の周波数コントロール
PWM2COM1	PWM出力3および4の比較レジスタ1
PWM2COM2	PWM出力3および4の比較レジスタ2
PWM2COM3	PWM出力3および4の比較レジスタ3
PWM2LEN	PWM出力3および4の周波数コントロール
PWM3COM1	PWM出力5および6の比較レジスタ1
PWM3COM2	PWM出力5および6の比較レジスタ2
PWM3COM3	PWM出力5および6の比較レジスタ3
PWM3LEN	PWM出力5および6の周波数コントロール
PWMCON2	PWM変換スタート・コントロール
PWMICLR	PWM割込みクリア

あらゆるモードで、PWMxCOMx MMRはPWM出力の状態が変化するポイントを制御します。最初のPWM出力ペア(PWM1とPWM2)の例を図49に示します。

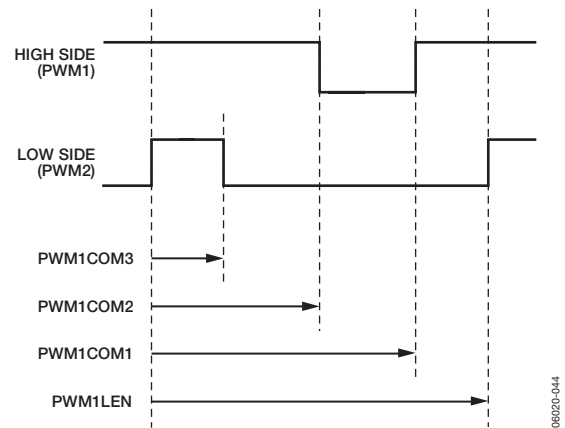


図49. PWMのタイミング

PWMクロックは、UCLK/2、4、8、16、32、64、128、256の値のいずれかによってPWMCON1レジスタから選択できます。PWMの周期長はPWMxLENで定義します。

PWM波形は、上記のPWM1およびPWM2波形で示すように、16ビット・タイマのカウント値と比較レジスタの内容によって設定されます。

ロー・サイド波形PWM2は、タイマのカウントがPWM1LENに達したときにハイレベルになり、PWM1COM3に保持されている値になったとき、またはハイ・サイド波形PWM1がローレベルになったときにローレベルに移移します。

ハイ・サイド波形PWM1は、タイマのカウントがPWM1COM1に保持されている値に達したときにハイレベルになり、PWM1COM2に保持されている値になったときにローレベルになります。

表64. PWMCON1 MMRのビット指定

ビット	名称	説明
14	SYNC	PWM同期イネーブル このビットを1に設定すると、SYNCピンのハイレベルからローレベルへの遷移を検出した後、次のクロック・エッジでPWMカウンタがすべてリセットされます。 このビットをクリアすると、SYNCピンの遷移を無視します。
13	PWM6INV	このビットを1に設定すると、PWM6が反転します。 このビットをクリアすると、PWM6をノーマル・モードで使用します。
12	PWM4NV	このビットを1に設定すると、PWM4が反転します。 このビットをクリアすると、PWM4をノーマル・モードで使用します。
11	PWM2INV	このビットを1に設定すると、PWM2が反転します。 このビットをクリアすると、PWM2をノーマル・モードで使用します。
10	PWMTRIP	このビットを1に設定すると、PWMトリップ割込みがイネーブルになります。PWMTRIP入力がローレベルのときに、PWMENビットがクリアされて、割込みが発生します。 このビットをクリアすると、PWMトリップ割込みがディスエーブルになります。
9	ENA	HOFF=0およびHMODE=1の場合 このビットを1に設定すると、PWM出力がイネーブルになります。 このビットをクリアすると、PWM出力がディスエーブルになります。 HOFF=1およびHMODE=1の場合は、表65を参照してください。 Hブリッジ・モードでない場合、このビットは無効です。
8	PWMCP2	PWMクロック・プリスケアラ・ビット
7	PWMCP1	UCLK分周設定

ADuC7128/ADuC7129

ビット	名称	説明
6	PWMCP0	2 4 8 16 32 64 128 256
5	POINV	このビットを1に設定すると、すべてのPWM出力が反転します。 このビットをクリアすると、PWM出力を通常どおり使用します。
4	HOFF	ハイ・サイド・オフ このビットを1に設定すると、PWM1出力とPWM3出力がハイレベルに強制設定されます。また、PWM2とPWM4がローレベルに強制設定されます。 このビットをクリアすると、PWM出力を通常どおり使用します。
3	LCOMP	比較レジスタ・ロード このビットを1に設定すると、PWMタイマが次に0x00から0x01に遷移するときに、PWMxCOMxの値を内部比較レジスタにロードします。 このビットをクリアすると、内部比較レジスタに以前に格納した値を使用します。
2	DIR	方向コントロール このビットを1に設定すると、PWM3とPWM4がローレベルに保持され、PWM1とPWM2が出力信号としてイネーブルになります。 このビットをクリアすると、PWM1とPWM2がローレベルに保持され、PWM3とPWM4が出力信号としてイネーブルになります。
1	HMODE	Hブリッジ・モード・イネーブル このビットを1に設定すると、Hブリッジ・モードとPWMCON1のビット1からビット5までがイネーブルになります。 このビットをクリアすると、PWMは標準モードで動作します。
0	PWMEN	このビットを1に設定すると、すべてのPWM出力がイネーブルになります。 このビットをクリアすると、すべてのPWM出力がデイスエーブルになります。

Hブリッジ・モードのときは、HMODE=1です。PWM出力を決めるには、表65を参照してください。

表65. PWM出力の選択

PWMCON1 MMR				PWM Outputs			
ENA	HOFF	POINV	DIR	PWM1	PWM2	PWMR3	PWM4
0	0	x	x	1	1	1	1
x	1	x	x	1	0	1	0
1	0	0	0	0	0	HS ¹	LS ¹
1	0	0	1	HS ¹	LS ¹	0	0
1	0	1	0	HS ¹	LS ¹	1	1
1	0	1	1	1	1	HS ¹	LS ¹

¹ HS=ハイ・サイド、LS=ロー・サイド

パワーアップ時に、PWMCON1はデフォルトで0x12 (HOFF=1およびHMODE=1) に設定されます。PWMに関連するすべてのGPIOピンは、デフォルトでPWMモードに設定されます (表66を参照)。

表66. 比較レジスタ

Name	Address	Default Value	Access
PWM1COM1	0xFFFF0F84	0x00	R/W
PWM1COM2	0xFFFF0F88	0x00	R/W
PWM1COM3	0xFFFF0F8C	0x00	R/W
PWM2COM1	0xFFFF0F94	0x00	R/W
PWM2COM2	0xFFFF0F98	0x00	R/W
PWM2COM3	0xFFFF0F9C	0x00	R/W
PWM3COM1	0xFFFF0FA4	0x00	R/W
PWM3COM2	0xFFFF0FA8	0x00	R/W
PWM3COM3	0xFFFF0FAC	0x00	R/W

PWMICLR MMRに任意の値を書き込むことにより、PWMトリップ割込みをクリアできます。PWMトリップ割込みを使用する場合は、ISRを終了する前にPWM割込みをクリアする必要があります。これによって、複数の割込みの発生を防止します。

PWM変換スタート・コントロール

アクティブなロー・サイド信号がハイレベルになってからADC変換スタート信号を発生するようにPWMを設定できます。ロー・サイド信号がハイレベルになった後、変換スタート信号が発生するまでの間の遅延を調整できます。

PWMCON2 MMRを使用して制御します。選択した遅延がPWMパルス幅よりも長い場合は、割込みはローレベルのままです。

表67. PWMCON2 MMRのビット指定

ビット	値	名称	説明
7		CSEN	このビットを1に設定すると、PWMがイネーブルになり、変換スタート信号を発生します。 このビットをクリアすると、PWM変換スタート信号がデイスエーブルになります。
6:4		RSVD	予備。このビットは0に設定してください。
3:0		CSD3 CSD2 CSD1 CSD0	変換スタート遅延。以下のクロック・パルス数だけ変換スタート信号を遅延させます。
	0000		4クロック・パルス
	0001		8クロック・パルス
	0010		12クロック・パルス
	0011		16クロック・パルス
	0100		20クロック・パルス
	0101		24クロック・パルス
	0110		28クロック・パルス
	0111		32クロック・パルス
	1000		36クロック・パルス
	1001		40クロック・パルス
	1010		44クロック・パルス
	1011		48クロック・パルス
	1100		52クロック・パルス
	1101		56クロック・パルス
	1110		60クロック・パルス
	1111		64クロック・パルス

変換スタート遅延が経過してからADC変換が開始されるまでの時間を計算する際に、内部遅延を考慮に入れる必要があります。以下の例は、4クロック遅延の場合です。変換スタート信号をADCロジックに送り込むために、1クロックを追加してください。ADCロジックが変換スタート信号を受信すると、次のADCクロック・エッジが発生するときにADC変換を開始します（図50を参照）。

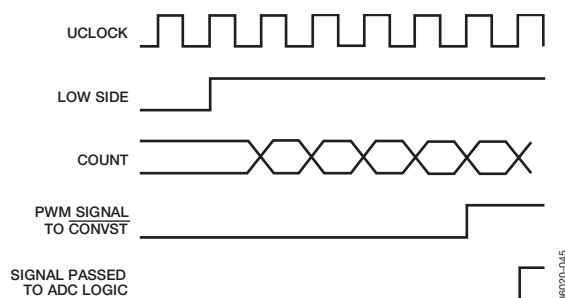


図50. ADC変換

直交エンコーダ

直交エンコーダを使用して、回転軸の速度と方向の両方を決めます。最も一般的な形式では、S1とS2の2つのデジタル出力を使用します。軸が回転すると、S1とS2がトグルしますが、これらの出力は位相が90°ずれています。最初の出力で回転方向が決まります。各遷移の時間によって回転速度が決まります。

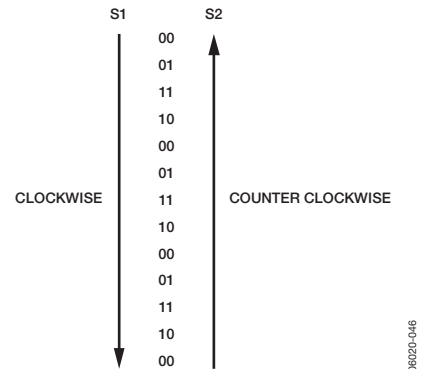


図51. 直交エンコーダの入力値

直交エンコーダは、図51に示すようなインクリメンタル入力を受け入れ、回転軸の方向と速度に従ってカウンタをインクリメントまたはデクリメントします。

ADuC7128/ADuC7129では、S1入力の立上がりエッジで内部カウンタがクロック動作し、S2入力が回転／カウンタの方向を指示します。カウンタはS2がハイレベルのときにインクリメントし、S2がローレベルのときにデクリメントします。

さらに、ソフトウェアが回転方向を事前に認識している場合は、入力の1つ（S2）を無視し、もう1つ（S1）をクロックにすることも可能です。

さらに柔軟に設定できるように、使用する前にすべての入力を内部で反転させることができます。

直交エンコーダは、システム・クロックと非同期で動作します。

入力のフィルタ処理

QENCONのFILTENビットを設定することで、S1入力のフィルタ処理が可能です。通常S1はカウンタのクロックとして動作しますが、フィルタを使用することで、S1の2つの立上がりエッジの間にS2にハイ・パルスまたはロー・パルスが発生しない限りS1の立上がりエッジを無視できます（図52を参照）。

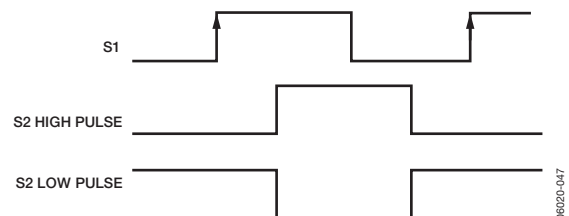


図52. 入力のフィルタ処理

ADuC7128/ADuC7129

表68. QENCON MMRのビット指定

ビット	名称	説明
15:11	RSVD	予備
10	FILTEN	このビットを1に設定すると、S1ピン上のフィルタ処理がイネーブルになります。 このビットをクリアすると、S1ピン上のフィルタ処理がディスエーブルになります。
9	RSVD	予備。このビットは0に設定してください。
8	S2INV	このビットを1に設定すると、S2入力が反転します。 このビットをクリアすると、S2入力を通常どおり使用します。 DIRCONビットを設定する場合は、S2INVでカウンタの方向を制御します。 この場合、このビットを1に設定すると、カウンタはインクリメント・モードで動作します。 このビットをクリアすると、カウンタはデクリメント・モードで動作します。
7	S1INV	このビットを1に設定すると、S1入力が反転します。 このビットをクリアすると、S1入力を通常どおり使用します。
6	DIRCON	方向コントロール このビットを1に設定すると、S1がカウンタ・クロックの入力としてイネーブルになります。カウンタの方向は、S2INVビットで制御します。 このビットをクリアすると、ノーマル・モードで動作します。
5	S1IRQEN	このビットを1に設定すると、S1のローレベルからハイレベルへの遷移を検出したときにIRQを発生します。 このビットをクリアすると、割込みがディスエーブルになります。
4	RSVD	このビットは0に設定してください。
3	UIRQEN	アンダーフローIRQイネーブル このビットを1に設定すると、QENVALのアンダーフロー時に割込みが発生します。 このビットをクリアすると、割込みがディスエーブルになります。
2	OIRQEN	オーバーフローIRQイネーブル このビットを1に設定すると、QENVALのオーバーフロー時に割込みが発生します。 このビットをクリアすると、割込みがディスエーブルになります。
1	RSVD	このビットは0に設定してください。
0	ENQEN	直交エンコーダ・イネーブル このビットを1に設定すると、直交エンコーダがイネーブルになります。 このビットをクリアすると、直交エンコーダがディスエーブルになります。

表69. QENSTA MMRのビット指定

ビット	名称	説明
7:5	RSVD	予備
4	S1EDGE	S1立上がりエッジ S1の立上がりエッジで、このビットが自動的に設定されます。 QENSTAの読出しによってクリアされます。
3	RSVD	予備
2	UNDER	アンダーフロー・フラグ アンダーフローが発生すると、このビットが自動的に設定されます。 QENSTAの読出しによってクリアされます。
1	OVER	オーバーフローが発生すると、このビットが自動的に設定されます。 QENSTAの読出しによってクリアされます。
0	DIR	カウンタの方向 ハードウェアによって1に設定されるときに、カウンタがインクリメントしていることを示します。 ハードウェアによって0に設定されるときに、カウンタがデクリメントしていることを示します。

QENDATレジスタ

Name	Address	Default Value	Access
QENDAT	0xFFFF0F08	0Xffff	R/W

QENDATレジスタには、QENVALレジスタの最大許容値が入ります。このレジスタの値に達してからもQENVALレジスタがインクリメントすると、オーバーフロー状態が発生します。オーバーフローが発生すると、QENVALレジスタが0x0000にリセットされます。アンダーフローのときにゼロに達してから

もQENVALレジスタがデクリメントすると、QENDATの値がQENVALレジスタにロードされます。

QENVALレジスタ

Name	Address	Default Value	Access
QENVAL	0xFFFF0F0C	0x0000	R/W

QENVALレジスタには、直交エンコーダ・カウンタの現在の値が入ります。

QENCLRレジスタ

Name	Address	Default Value	Access
QENCLR	0xFFFF0F14	0x00000000	R/W

QENCLRレジスタに任意の値を書き込むと、QENVALレジスタが0x0000にクリアされます。このレジスタのビットは未定義です。

QENSETレジスタ

Name	Address	Default Value	Access
QENSET	0xFFFF0F18	0x00000000	R/W

QENSETレジスタに任意の値を書き込むと、QENDATレジスタの値がQENVALレジスタにロードされます。このレジスタのビットは未定義です。

割込み条件は論理和をとるため、割込みコントローラに対して割込みは1つになります。割込みサービス・ルーチンで、QENSTAレジスタをチェックし、割込みの原因を調べる必要があります。

- S1とS2の各入力、GPIOリストでQENS1およびQENS2入力と表示されます。
- タイマ0またはタイマ1のキャプチャ機能を利用して、モータ速度を計測できます。
- ISRを使用するか、またはIRQSIGをチェックすることで、いずれかのタイマのオーバーフローをチェックできます。

クロックの境界で信頼性の高いデータ転送が行われるように、カウンタは直交エンコーダとともにグレイ・コードで符号化されます。アンダーフローまたはオーバーフローが発生すると、カウント値はスケールの反対側にジャンプしないで、カウントの方向を変えます。このような場合、グレイ・カウントから導出された値からQENDATの値が減算されます。

QENDATの値が変化すると、これに応じてQENVALから読み出される値が変化します。ただし、グレイ・コードで符号化された値は変化しません。これが発生するのは、アンダーフローまたはオーバーフローの後だけです。QENDATの値が変化した場合は、有効な値がQENVALから読み出されるようにQENSETまたはQENCLRに書き込みを行う必要があります。

汎用I/O

ADuC7128/ADuC7129は、40本の汎用、双方向I/O（GPIO）ピンを備えています。I/Oピンにはすべて5Vの耐圧性があるため、GPIOは5Vの入力電圧に対応します。一般に、GPIOピンの多くには複数の機能があります（表70を参照）。GPIOピンは、デフォルトでGPIOモードに設定されています。

すべてのGPIOピンには内部プルアップ抵抗（約100kΩ）があり、その駆動力は1.6mAになります。最大20本のGPIOで同時に1.6mAの電流を駆動できます。P0.0、P0.4、P0.5、P0.6、P0.7、P1の8本のGPIOでは、プルアップ抵抗の設定を調整できます。

40本のGPIOは、ポート0からポート4まで5つのポートごとにまとめられています。各ポートは4個または5個のMMRによって制御され、xはポート番号を表します。

GPxCONレジスタ

Name	Address	Default Value	Access
GP0CON	0xFFFF0D00	0x00000000	R/W
GP1CON	0xFFFF0D04	0x00000000	R/W
GP2CON	0xFFFF0D08	0x00000000	R/W
GP3CON	0xFFFF0D0C	0x11111111	R/W
GP4CON	0xFFFF0D10	0x00000000	R/W

カーネルは、リセット（ $\overline{\text{MRST}}$ ）時のデフォルト設定からGPIOモードにP0.6を変更します。外部回路に $\overline{\text{MRST}}$ を使用する場合は、外部プルアップ抵抗を使用し、カーネルがモードをスイッチするときにP0.6のレベルが低下しないようにする必要があります。このようにしないと、リセット期間中にP0.6がローレベルになります。たとえば、パワーダウんに $\overline{\text{MRST}}$ が必要な場合は、GP0CON MMRで再設定できます。

ピンがGPIO以外のモードに設定されていても、GPxDAT MMRからどのGPIOの入力レベルもいつでも読出しできます。PLA入力は常にアクティブです。

ADuC7128/ADuC7129が消エネ・モードに入っても、GPIOピンはそのままの状態を保持します。

GPxCONはポートxのコントロール・レジスタであり、表70に示すようにポートxの各ピンの機能を選択します。

ADuC7128/ADuC7129

表70. GPIOピンの機能指定

Port	Pin	Configuration			
		00	01	10	11
0	P0.0	GPIO	CMP	MS0	PLAI[7]
	P0.1 ¹	GPIO		BLE	-
	P0.2 ¹	GPIO		BHE	
	P0.3	GPIO	$\overline{\text{TRST}}$	A16	ADC _{BUSY}
	P0.4	GPIO/IRQ0	$\overline{\text{CONVST}}$	MS1	PLAO[1]
	P0.5	GPIO/IRQ1	ADC _{BUSY}	PLM_COMP	PLAO[2]
	P0.6	GPIO/T1	MRST	AE	PLAO[3]
	P0.7	GPIO	ECLK/XCLK ²	SIN0	PLAO[4]
1	P1.0	GPIO/T1	SIN0	SCL0	PLAI[0]
	P1.1	GPIO	SOUT0	SDA0	PLAI[1]
	P1.2	GPIO	RTS0	SCL1	PLAI[2]
	P1.3	GPIO	CTS0	SDA1	PLAI[3]
	P1.4	GPIO/IRQ2	RI0	CLK	PLAI[4]
	P1.5	GPIO/IRQ3	DCD0	MISO	PLAI[5]
	P1.6	GPIO	DSR0	MOSI	PLAI[6]
	P1.7	GPIO	DTR0	CSL	PLAO[0]
2	P2.0	GPIO	SYNC	SOUT	PLAO[5]
	P2.1 ¹	GPIO		WS	PLAO[6]
	P2.2 ¹	GPIO	RTS1	RS	PLAO[7]
	P2.3 ¹	GPIO	CTS1	AE	
	P2.4 ¹	GPIO	RI1	MS0	
	P2.5 ¹	GPIO	DCD1	MS1	
	P2.6 ¹	GPIO	DSR1	MS2	
	P2.7 ¹	GPIO	DTR1	MS3	
3	P3.0	GPIO	PWM1	AD0	PLAI[8]
	P3.1	GPIO	PWM2	AD1	PLAI[9]
	P3.2	GPIO	PWM3	AD2	PLAI[10]
	P3.3	GPIO	PWM4	AD3	PLAI[11]
	P3.4	GPIO	PWM5	AD4	PLAI[12]
	P3.5	GPIO	PWM6	AD5	PLAI[13]
	P3.6 ¹	GPIO	PWM1	AD6	PLAI[14]
	P3.7 ¹	GPIO	PWM3	AD7	PLAI[15]
4	P4.0	GPIO	QENS1	AD8	PLAO[8]
	P4.1	GPIO	QENS2	AD9	PLAO[9]
	P4.2	GPIO	RSVD	AD10	PLAO[10]
	P4.3	GPIO	Trip (Shutdown)	AD11	PLAO[11]
	P4.4	GPIO	PLMIN	AD12	PLAO[12]
	P4.5	GPIO	PLMOUT	AD13	PLAO[13]
	P4.6	GPIO	SIN1	AD14	PLAO[14]
	P4.7	GPIO	SOUT1	AD15	PLAO[15]

¹ 80ピンのADuC7129のみに用意されています。

² モード1の設定時に、P0.7はデフォルトでECLKに設定されるか、またはコア・クロック出力になります。これをクロック出力にするには、PLLCONのMDCLKビットを11に設定する必要があります。

表71. GPxCON MMRのビット指定

ビット	説明
31:30	予備
29:28	Px.7ピンの機能選択
27:26	予備
25:24	Px.6ピンの機能選択
23:22	予備
21:20	Px.5ピンの機能選択
19:18	予備
17:16	Px.4ピンの機能選択
15:14	予備
13:12	Px.3ピンの機能選択
11:10	予備
9:8	Px.2ピンの機能選択
7:6	予備
5:4	Px.1ピンの機能選択
3:2	予備
1:0	Px.0ピンの機能選択

GPxPARレジスタ

Name	Address	Default Value	Access
GP0PAR	0xFFFFF0D2C	0x20000000	R/W
GP1PAR	0xFFFFF0D3C	0x00000000	R/W
GP3PAR	0xFFFFF0D5C	0x00222222	R/W
GP4PAR	0xFFFFF0D6C	0x00000000	R/W

GPxPARは、ポート0、ポート1、ポート3、ポート4のパラメータを設定します。GPxPAR MMRを変更した後は、必ずGPxDAT MMRに書き込みを行う必要があります。

表72. GPxPAR MMRのビット指定

ビット	説明
31:29	予備
28	Px.7ピンのプルアップ・ディスエーブル
27:25	予備
24	Px.6ピンのプルアップ・ディスエーブル
23:21	予備
20	Px.5ピンのプルアップ・ディスエーブル
19:17	予備
16	Px.4ピンのプルアップ・ディスエーブル
15:13	予備
12	Px.3ピンのプルアップ・ディスエーブル
11:9	予備
8	Px.2ピンのプルアップ・ディスエーブル
7:5	予備
4	Px.1ピンのプルアップ・ディスエーブル
3:1	予備
0	Px.0ピンのプルアップ・ディスエーブル

GPxDATレジスタ

Name	Address	Default value	Access
GP0DAT	0xFFFF0D20	0x000000XX	R/W
GP1DAT	0xFFFF0D30	0x000000XX	R/W
GP2DAT	0xFFFF0D40	0x000000XX	R/W
GP3DAT	0xFFFF0D50	0x000000XX	R/W
GP4DAT	0xFFFF0D60	0x000000XX	R/W

GPxDATは、ポートxの設定およびデータ・レジスタです。ポートxのGPIOピンの方向を設定し、出力として構成されたピンの出力値を設定するとともに、入力として構成されたピンの入力値を受信および格納します。

表73. GPxDAT MMRのビット指定

ビット	説明
31:24	データの方向 これらのビットを1に設定すると、GPIOピンが出力として構成されます。 これらのビットを0にクリアすると、GPIOピンが入力として構成されます。
23:16	ポートxのデータ出力
15:8	リセット時のポートxピンの状態を表します（読出し専用）。
7:0	ポートxのデータ入力（読出し専用）

GPxSETレジスタ

Name	Address	Default value	Access
GP0SET	0xFFFF0D24	0x000000XX	W
GP1SET	0xFFFF0D34	0x000000XX	W
GP2SET	0xFFFF0D44	0x000000XX	W
GP3SET	0xFFFF0D54	0x000000XX	W
GP4SET	0xFFFF0D64	0x000000XX	W

GPxSETは、ポートxのデータ設定レジスタです。

表74. GPxSET MMRのビット指定

ビット	説明
31:24	予備
23:16	ポートxデータ設定ビット これらのビットを1に設定すると、ポートx上のビットが設定されます。また、GPxDAT MMRの該当ビットも設定されます。 これらのビットを0にクリアすると、データ出力に対する影響はまったくありません。
15:0	予備

GPxCLRレジスタ

Name	Address	Default value	Access
GP0CLR	0xFFFF0D28	0x000000XX	W
GP1CLR	0xFFFF0D38	0x000000XX	W
GP2CLR	0xFFFF0D48	0x000000XX	W
GP3CLR	0xFFFF0D58	0x000000XX	W
GP4CLR	0xFFFF0D68	0x000000XX	W

GPxCLRは、ポートxのデータ・クリア・レジスタです。

表75. GPxCLR MMRのビット指定

ビット	説明
31:24	予備
23:16	ポートxデータ・クリア・ビット これらのビットを1に設定すると、ポートx上のビットがクリアされます。また、GPxDAT MMRの該当ビットもクリアされます。 これらのビットを0にクリアすると、データ出力に対する影響がまったくなくなります。
15:0	予備

シリアル・ポート・マルチプレクサ

シリアル・ポート・マルチプレクサは、シリアル・ポート・ペリフェラル（2本のI²C、1本のSPI、2本のUART）とプログラマブル・ロジック・アレイ（PLA）を10本のGPIOピンにマルチプレクスします。表76に示すように、この各ピンを特定のI/O機能に設定する必要があります。

表76. SPMの設定

Pin	GPIO (00)	UART (01)	UART/I2C/SPI (10)	PLA (11)
SPM0	P1.0	SIN0	I2C0SCL	PLAI[0]
SPM1	P1.1	SOUT0	I2C0SDA	PLAI[1]
SPM2	P1.2	RTS0	I2C1SCL	PLAI[2]
SPM3	P1.3	CTS0	I2C1SDA	PLAI[3]
SPM4	P1.4	RI0	SPICLK	PLAI[4]
SPM5	P1.5	DCD0	SPIMISO	PLAI[5]
SPM6	P1.6	DSR0	SPIMOSI	PLAI[6]
SPM7	P1.7	DTR0	SPICSL	PLAO[0]
SPM8	P0.7	ECLK	SIN0	PLAO[4]
SPM9	P2.0 ¹	PWMSYNC	SOUT0	PLAO[5]
SPM10	P2.2 ¹	RTS1	RS	PLAO[7]
SPM11	P2.3 ¹	CTS1	AE	
SPM12	P2.4 ¹	RI1	MS0	
SPM13	P2.5 ¹	DCD1	MS1	
SPM14	P2.6 ¹	DSR1	MS2	
SPM15	P2.7 ¹	DTR1	MS3	
SPM16	P4.6	SIN1	AD14	PLAO[14]
SPM17	P4.7	SOUT1	AD15	PLAO[15]

¹ 80ピンのADuC7129のみに用意されています。

表76に、SPMUX GPIOピンのそれぞれのモードを詳述しています。GP0CON、GP1CON、GP2CONの各MMRを使用して設定する必要があります。これらのピンは、デフォルトでGPIOに設定されています。

UARTシリアル・インターフェース

ADuC7128/ADuC7129は、同一のUARTブロックを2つ内蔵しています。ここではUART0についてのみ説明しますが、UART1の機能もまったく同じです。

UARTペリフェラルは、16450シリアル・ポート規格に完全に適合する全二重のユニバーサル非同期レシーバ／トランスミッタです。

UARTは、ペリフェラル・デバイスまたはモデムから受信したデータ文字のシリアル／パラレル変換を実行するとともに、CPUから受信したデータ文字のパラレル／シリアル変換を実行します。UARTには、ボーレートを生成するフラクショナル分周器が含まれ、ネットワーク・アドレスラブル・モードが備わっています。UART機能は、ADuC7128/ADuC7129の10ピンで利用できます（表77を参照）。

ADuC7128/ADuC7129

表77. UART信号の説明

ピン	信号	説明
SPM0 (モード1)	SIN0	シリアル受信データ
SPM1 (モード1)	SOUT0	シリアル送信データ
SPM2 (モード1)	RTS0	送信要求
SPM3 (モード1)	CTS0	送信クリア
SPM4 (モード1)	RI0	リング・インジケータ
SPM5 (モード1)	DCD0	データ・キャリア検出
SPM6 (モード1)	DSR0	データ設定レディー
SPM7 (モード1)	DTR0	データ終端レディー
SPM8 (モード2)	SIN0	シリアル受信データ
SPM9 (モード2)	SOUT0	シリアル送信データ

シリアル通信は、ワード長、ストップ・ビット、パリティ生成などのさまざまなオプションに対応する非同期プロトコルを採用しており、これらのオプションは設定レジスタで選択できます。

ボーレートの生成

UARTのボーレートを生成するには、通常の450 UARTボーレート生成とフラクショナル分周器を使用する2つの方法があります。

通常の450 UARTボーレート生成

COM0DIV0およびCOM0DIV1 MMRの値（16ビット値、DL）を使用して、コア・クロックを分周した周波数としてボーレートを設定します。

$$\text{Baud Rate} = \frac{41.78\text{MHz}}{2^{CD} \times 16 \times 2 \times DL}$$

表78によく使用されるボーレート値をいくつか示します。

表78. 通常のボーレート・ジェネレータによるボーレート

Baud Rate	CD	DL	Actual Baud Rate	% Error
9600	0	0x88	9600	0%
19,200	0	0x44	19,200	0%
115,200	0	0x0B	118,691	3%
9600	3	0x11	9600	0%
19,200	3	0x08	20,400	6.25%
115,200	3	0x01	163,200	41.67%

フラクショナル分周器の使用

フラクショナル分周器と通常のボーレート・ジェネレータを組み合わせて使用することにより、精度の高い広範なボーレートを生成できます。

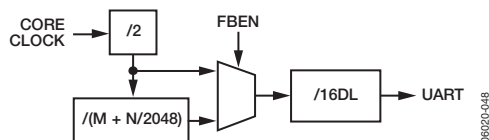


図53. ボーレート生成オプション

フラクショナル分周器を使用する場合のボーレート計算は、以下のとおりです。

$$\text{Baud Rate} = \frac{41.78\text{MHz}}{2^{CD} \times 16 \times DL \times 2 \times \left(M + \frac{N}{2048}\right)}$$

$$M + \frac{N}{2048} = \frac{41.78\text{MHz}}{\text{Baud Rate} \times 2^{CD} \times 16 \times DL \times 2}$$

たとえば、CDビット=3で、19200のボーレートを生成するとします。表78より、DL=0x08になります。

$$M + \frac{N}{2048} = \frac{41.78\text{MHz}}{19200 \times 2^3 \times 16 \times 8 \times 2}$$

$$M + \frac{N}{2048} = 1.06$$

ここで、

$$M = 1$$

$$N = 0.06 \times 2048 = 128$$

$$\text{Baud Rate} = \frac{41.78\text{MHz}}{2^3 \times 16 \times 8 \times 2 \times \left(\frac{128}{2048}\right)}$$

ここで、

$$\text{Baud Rate} = 19200\text{bps}$$

誤差=通常のボーレート・ジェネレータの場合の6.25%に対して0%

UARTレジスタの定義

UARTインターフェースは、12個のレジスタで構成されています。

表79. UART MMR

レジスタ	説明
COMxTX	8ビット送信レジスタ
COMxRX	8ビット受信レジスタ
COMxDIV0	除数ラッチ（下位バイト）
COMxTX, COMxRX, and COMxDIV0	同一アドレスの共有 COMxCON0レジスタのビット7をクリアすると、COMxTXとCOMxRXにアクセスできます。 COMxCON0のビット7を設定すると、COMxDIV0にアクセスできます。
COMxDIV1	除数ラッチ（上位バイト）
COMxCON0	ライン・コントロール・レジスタ
COMxSTA0	ライン・ステータス・レジスタ
COMxIEN0	割込みイネーブル・レジスタ
COMxIID0	割込み識別レジスタ
COMxCON1	モデム・コントロール・レジスタ
COMxSTA1	モデム・ステータス・レジスタ
COMxDIV2	16ビット・フラクショナル・ボーレートレジスタ
COMxSCR	一時的な格納用の8ビット・スクラッチ・レジスタ。ネットワーク・アドレスサブルUARTモードでも使用します。

表80. COMxCON0 MMRのビット指定

ビット	値	名称	説明
7		DLAB	除数ラッチ・アクセス このビットを設定すると、COMxDIV0およびCOMxDIV1レジスタに対するアクセスがイネーブルになります。 このビットをクリアすると、COMxDIV0およびCOMxDIV1に対するアクセスがディスエーブルになり、COMxRXおよびCOMxTXに対するアクセスがイネーブルになります。
6		BRK	設定中断 このビットを設定すると、SOUTを強制的に0に設定します。 このビットをクリアすると、ノーマル・モードで動作します。
5		SP	パリティ・スティック このビットを設定すると、パリティが定義された値に強制設定されます。 EPS=1およびPEN=1の場合は1 EPS=0およびPEN=1の場合は0
4		EPS	偶数パリティ選択ビット このビットを設定すると、偶数パリティを選択します。 このビットをクリアすると、奇数パリティを選択します。
3		PEN	パリティ・イネーブル・ビット このビットを設定すると、パリティ・ビットの送信とチェックを行います。 このビットをクリアすると、パリティ・ビットの送信またはチェックを行いません。
2		STOP	ストップ・ビット このビットを設定すると、ワード長が5ビットの場合に1.5ストップ・ビット、ワード長が6ビット、7ビット、8ビットの場合に2ストップ・ビットを送信します。選択されたストップ・ビット数に関係なく、レシーバは最初のストップ・ビットのみをチェックします。 このビットをクリアすると、送信されたデータに1ストップ・ビットを生成します。
1:0	00 01 10 11	WLS	ワード長選択 5ビット 6ビット 7ビット 8ビット

表81. COMxSTA0 MMRのビット指定

ビット	名称	説明
7	RSVD	予備
6	TEMT	COMxTX空ステータス・ビット COMxTXが空状態の場合に、自動的に設定されます。 COMxTXに書き込みが行われると、自動的にクリアされます。
5	THRE	COMxTXおよびCOMxRX空 COMxTXおよびCOMxRXが空状態の場合に、自動的に設定されます。 これらのレジスタのいずれかがデータを受信すると、自動的にクリアされます。
4	BI	中断エラー 最大ワード長を超えてもSINがローレベルに保持されると、設定されます。 自動的にクリアされます。
3	FE	フレーミング・エラー ストップ・ビットが無効のときに、設定されます。 自動的にクリアされます。
2	PE	パリティ・エラー パリティ・エラーが発生すると、設定されます。 自動的にクリアされます。
1	OE	オーバーラン・エラー データが読み出される前に上書きが行われると、自動的に設定されます。 自動的にクリアされます。
0	DR	データ・レディー COMxRXが満杯状態のときに、自動的に設定されます。 COMxRXの読出しによってクリアされます。

ADuC7128/ADuC7129

表82. COMxIEN0 MMRのビット指定

ビット	名称	説明
7:4	RSVD	予備
3	EDSSI	モデム・ステータス割込みイネーブル・ビット このビットを設定すると、COMxSTA1[3:0]のいずれかが設定されている場合に割込みの発生がイネーブルになります。 このビットはユーザがクリアします。
2	ELSI	RXステータス割込みイネーブル・ビット このビットを設定すると、COMxSTA0[3:1]のいずれかが設定されている場合に割込みの発生がイネーブルになります。 このビットはユーザがクリアします。
1	ETBEI	送信バッファ空状態割込みイネーブル このビットを設定すると、送信時にバッファが空状態のときに割込みがイネーブルになります。 このビットはユーザがクリアします。
0	ERBFI	受信バッファ満杯状態割込みイネーブル このビットを設定すると、受信時にバッファが満杯状態のときに割込みがイネーブルになります。 このビットはユーザがクリアします。

表83. COMxIID0 MMRのビット指定

ビット2:1 ステータス・ビット	ビット0 NINT	優先順位	定義	クリア動作
00	1		割込みなし	
11	0	1	受信ライン・ステータス割込み	COMxSTA0の読出し
10	0	2	受信バッファ満杯状態割込み	COMxRXの読出し
01	0	3	送信バッファ空状態割込み	COMxTXのデータ書込みまたはCOMxIID0の読出し
00	0	4	モデム・ステータス割込み	COMxSTA1の読出し

表84. COMxCON1 MMRのビット指定

ビット	名称	説明
7:5	RSVD	予備
4	LOOPBACK	ループバック このビットを設定すると、ループバック・モードがイネーブルになります。ループバック・モード時は、SOUTがハイレベルに強制設定されます。また、モデム信号がステータス入力に直接接続します（RTSとCTS、DTRとDSR、OUT1とRI、OUT2とDCD）。
3		予備
2		予備
1	RTS	送信要求 このビットを設定すると、RTS出力が0に強制設定されます。 このビットをクリアすると、RTS出力が1に強制設定されます。
0	DTR	データ終端レディー このビットを設定すると、DTR出力が0に強制設定されます。 このビットをクリアすると、DTR出力が1に強制設定されます。

表85. COMxSTA1 MMRのビット指定

ビット	名称	説明
7	DCD	データ・キャリア検出
6	RI	リング・インジケータ
5	DSR	データ設定レディー
4	CTS	送信クリア
3	DDCD	デルタ・データ・キャリア検出 COMxSTA1を最後に読み出した後DCDの状態が変化すると、自動的に設定されます。 COMxSTA1の読出しによって、自動的にクリアされます。
2	TERI	立下がりエッジ・リング・インジケータ COMxSTA1を最後に読み出した後NRIが0から1に変化すると、設定されます。 COMxSTA1の読出しによって、自動的にクリアされます。
1	DDSR	デルタ・データ設定レディー COMxSTA1を最後に読み出した後DSRの状態が変化すると、自動的に設定されます。 COMxSTA1の読出しによって、自動的にクリアされます。
0	DCTS	デルタ送信クリア COMxSTA1を最後に読み出した後CTSの状態が変化すると、自動的に設定されます。 COMxSTA1の読出しによって、自動的にクリアされます。

表86. COMxDIV2 MMRのビット指定

ビット	名称	説明
15	FBEN	フラクショナル・ボーレート・ジェネレータ・イネーブル・ビット このビットを設定すると、フラクショナル・ボーレート・ジェネレータがイネーブルになります。 このビットをクリアすると、標準の450 UARTボーレート・ジェネレータを使用してボーレートを生成します。
14:13	RSVD	予備
12:11	FBM[1 to 0]	M。FBM=0の場合はM=4（「フラクショナル分周器の使用」を参照）
10:0	FBN[10 to 0]	N（「フラクショナル分周器の使用」を参照）

ネットワーク・アドレスサブルUARTモード

このモードでは、MicroConverterをハードウェアのシングル・マスターとして、もしくはマルチマスター・ネットワークのソフトウェアを介して256ノードのシリアル・ネットワークに接続できます。ネットワーク・アドレスサブル・モードでは、COMxIEN1のビット7（ENAMビット）を設定して、UARTをイネーブルにする必要があります。

このモードでは、パリティ・チェックが行われません。パリティ・ビットは、アドレス指定に使用します。

ネットワーク・アドレスサブルUARTレジスタの定義

ネットワーク・アドレスサブルUARTモード専用として、COMxIEN0、COMxIEN1、COMxIID1、COMxADRの4個の追加レジスタを使用します。

ネットワーク・アドレスサブル・モードでは、COMxIEN1レジスタの最下位ビットが送信されたネットワーク・アドレスのコントロール・ビットです。このビットを1に設定すると、デバイスはアドレスを送信します。このビットを0にクリアすると、デバイスはデータを送信します。たとえば、以下に示すマスター・ベースのコードは、スレーブ・アドレスの後に続いてデータを送信します。

```
COM0IEN1 = 0xE7;           //Setting ENAM, E9BT, E9BR, ETD, NABP
COM0TX = 0xA0;             // Slave address is 0xA0
while(!(0x020==(COM0STA0 & 0x020))){} // wait for adr tx to finish.
COM0IEN1 = 0xE6;           // Clear NAB bit to indicate Data is coming
COM0TX = 0x55;             // Tx data to slave: 0x55
```

ADuC7128/ADuC7129

表87. COMxIEN1 MMRのビット指定

ビット	名称	説明
7	ENAM	ネットワーク・アドレス・モード・イネーブル・ビット このビットを設定すると、ネットワーク・アドレス・モードがイネーブルになります。 このビットをクリアすると、ネットワーク・アドレス・モードがディスエーブルになります。
6	E9BT	9ビット送信イネーブル・ビット このビットを設定すると、9ビット送信がイネーブルになります。ENAMの設定が必要です。 このビットをクリアすると、9ビット送信がディスエーブルになります。
5	E9BR	9ビット受信イネーブル・ビット このビットを設定すると、9ビット受信がイネーブルになります。ENAMの設定が必要です。 このビットをクリアすると、9ビット受信がディスエーブルになります。
4	ENI	ネットワーク割込みイネーブル・ビット
3	E9BD	ワード長 このビットを設定すると、9ビット・データのワード長になります。E9BTをクリアしておく必要があります。 このビットをクリアすると、8ビット・データのワード長になります。
2	ETD	トランスミッタ・ピン・ドライバ・イネーブル・ビット このビットを設定すると、スレーブ・モードまたはマルチマスター・モード時にSOUTが出力としてイネーブルになります。 このビットをクリアすると、SOUTがスリーステート状態になります。
1	NABP	ネットワーク・アドレス・ビット、割込み極性ビット
0	NAB	ネットワーク・アドレス・ビット このビットを設定すると、スレーブのアドレスが送信されます。 このビットをクリアすると、データが送信されます。

表88. COMxIID1 MMRのビット指定

ビット3:1 ステータス・ビット	ビット0 NINT	優先順位	定義	クリア動作
000	1		割込みなし	
110	0	2	ネットワーク・アドレスの一致	COMxRXの読出し
101	0	3	アドレス送信、バッファ空状態	COMxTXのデータ書込みまたは COMxIID0の読出し
011	0	1	受信ライン・ステータス割込み	COMxSTA0の読出し
010	0	2	受信バッファ満杯状態割込み	COMxRXの読出し
001	0	3	送信バッファ空状態割込み	COMxTXのデータ書込みまたは COMxIID0の読出し
000	0	4	モデム・ステータス割込み	COMxSTA1レジスタの読出し

ネットワーク・アドレス割込みを受信するためには、COMxIEN0のビット0（受信バッファ満杯状態割込みイネーブル）が1に設定されていることをスレーブが確認する必要があります。

COMxADRは、ネットワーク・アドレスサブルUARTがチェックするアドレスが入っている8ビットの読出し／書込みネットワーク・アドレス・レジスタです。このアドレスを受信すると、デバイスはプロセッサに割込みをかけたり、COMxIID1の該当するステータス・ビットを設定します。

シリアル・ペリフェラル・インターフェース

ADuC7128/ADuC7129は、完全なハードウェアのシリアル・ペリフェラル・インターフェース（SPI）をチップに集積化しています。SPIは業界標準の同期式シリアル・インターフェースであり、8ビットのデータの同期送信と同期受信が可能です。最大3.4Mbpsのビット・レートによる全二重通信に対応します。SPIインターフェースは、コア・クロック分周器ビットPOWCON[2:0]が0、1、2の場合のみ動作します。

SPIポートは、マスターまたはスレーブ動作に設定でき、通常MISO、MOSI、SCL、CSの4本のピンで構成されています。

MISO（マスター入力、スレーブ出力）データI/Oピン

MISOピンはマスター・モードで入力ライン、スレーブ・モードで出力ラインに設定されます。マスター上のMISOライン（データ入力）をスレーブ・デバイスのMISOライン（データ出力）に接続してください。バイト幅（8ビット）のシリアル・データをMSBファーストで転送します。

MOSI（マスター出力、スレーブ入力）ピン

MOSIピンはマスター・モードで出力ライン、スレーブ・モードで入力ラインに設定されます。マスター上のMOSIライン（データ出力）をスレーブ・デバイスのMOSIライン（データ入力）に接続してください。バイト幅（8ビット）のシリアル・データをMSBファーストで転送します。

SCL（シリアル・クロック）I/Oピン

マスターのシリアル・クロック（SCL）を使用して、MOSI SCL期間に送信データと受信データを同期させます。したがって、SCLの8サイクル後に1バイトが送受信されます。SCLピンはマスター・モードで出力、スレーブ・モードで入力に設定されます。

マスター・モードでは、クロックの極性と位相をSPICONレジスタで制御し、ビットレートはSPIDIVレジスタで以下のように定義されます。

$$f_{\text{SERIAL CLOCK}} = \frac{f_{\text{HCLK}}}{2 \times (1 + \text{SPIDIV})}$$

スレーブ・モードでは、予測される入力クロックの極性と位相をSPICONレジスタで設定する必要があります。スレーブは、CD=0のときに最大3.4Mbpsで外部マスターからデータを受信します。

マスターとスレーブの両モードで、データが送信されるSCL信号のエッジとサンプリングが行われるエッジが異なります。このため、マスターとスレーブの極性と位相を同じ値に設定することが重要です。

SPIクロックの最大速度は、クロック分周器ビットの設定によります。表89にその概要を示します。

表89. マスター・モード時のクロック分周器ビットに対するSPI速度

CD Bits	0	1	2	3	4	5
SPIDIV in hex	0x05	0x0B	0x17	0x2F	0x5F	0xBF
SPI speed in MHz	3.482	1.741	0.870	0.435	0.218	0.109

スレーブ・モードでは、予測される入力クロックの位相と極性をSPICONレジスタで設定する必要があります。スレーブは、CD=0のときに最大10.4Mbpsで外部マスターからデータを受信します。最大速度は、以下の式によって求めることができます。

$$f_{\text{SERIAL CLOCK}} = \frac{f_{\text{HCLK}}}{4}$$

マスターとスレーブの両モードで、データが送信されるSCL信号のエッジとサンプリングが行われるエッジが異なります。このため、マスターとスレーブの極性と位相を同じ値に設定することが重要です。

チップ・セレクト（CS）入力ピン

SPIスレーブ・モードのときに、アクティブ・ローの入力信号であるCSがアサートされると、転送動作を開始します。SPIポートは、CSのアサート解除によって転送動作が終了するまで、8ビット・データの送受信を行います。スレーブ・モードでは、CSは常に入力です。

SPIレジスタ

SPISTA、SPIRX、SPITX、SPIDIV、SPICONの各MMRレジスタを使用して、SPIインターフェースを制御します。

GPxSETレジスタ

Name	Address	Default Value	Access
SPISTA	0xFFFF0A00	0x00	R

SPISTAは、8ビットの読出し専用ステータス・レジスタです。

表90. SPISTA MMRのビット指定

ビット	説明
7:6	予備
5	SPIRXデータ・レジスタ・オーバーフロー・ステータス・ビット SPIRXがオーバーフロー状態のときに、設定されます。 SPIRXレジスタの読出しによって、クリアされます。
4	SPIRXデータ・レジスタIRQ ビット3またはビット5が設定されると、自動的に設定されます。 SPIRXレジスタの読出しによってクリアされます。
3	SPIRXデータ・レジスタ満杯ステータス・ビット SPIRXレジスタに有効なデータが存在すると、自動的に設定されます。 SPIRXレジスタの読出しによってクリアされます。
2	SPITXデータ・レジスタ・アンダーフロー・ステータス・ビット SPITXがアンダーフロー状態のときに、設定されます。 SPITXレジスタの書込みによって、クリアされます。
1	SPITXデータ・レジスタIRQ ビット0がクリアされるか、ビット2が設定されると、自動的に設定されます。 SPITXレジスタの書込みによってクリアされるか、または送信が終了している場合はSPIをディスエーブルにすることによって、クリアされます。
0	SPITXデータ・レジスタ空ステータス・ビット SPITXの書込みによって設定され、データを送信します。このビットはデータの送信時に設定されます。 SPITXが空状態のときに、クリアされます。

ADuC7128/ADuC7129

SPIRXレジスタ

Name	Address	Default Value	Access
SPIRX	0xFFFF0A04	0x00	R

SPIRXは、8ビットの読出し専用受信レジスタです。

SPITXレジスタ

Name	Address	Default Value	Access
SPITX	0xFFFF0A08	0x00	W

SPITXは、8ビットの書き込み専用送信レジスタです。

SPIDIVレジスタ

Name	Address	Default Value	Access
SPIDIV	0xFFFF0A0C	0x1B	R/W

SPIDIVは、8ビットのシリアル・クロック分周器レジスタです。

SPICONレジスタ

Name	Address	Default Value	Access
SPICO	0xFFFF0A10	0x0000	R/W

SPICONは、16ビットのコントロール・レジスタです。

表91. SPISTA MMRのビット指定

ビット	説明
15:13	予備
12	連続転送イネーブル このビットを設定すると、連続転送がイネーブルになります。マスター・モードでは、TXレジスタに利用できる有効データがなくなるまで転送を継続します。TXが空状態になるまで8ビットの各シリアル転送サイクルの間、CSがアサートされ、アサートされた状態を維持します。 このビットをクリアすると、連続転送がディスエーブルになります。各転送動作は、1回の8ビット・シリアル転送になります。有効なデータがSPITXレジスタにあれば、ストール期間が終わってから新しい転送を開始します。
11	ループバック・イネーブル このビットを設定すると、MISOとMOSIが接続され、ソフトウェアのテストを実行します。 このビットをクリアすると、ノーマル・モードの動作が行われます。
10	スレーブ出力イネーブル このビットを設定すると、スレーブ出力がイネーブルになります。 このビットをクリアすると、スレーブ出力がディスエーブルになります。
9	スレーブ選択入力イネーブル マスター・モードでこのビットを設定すると、出力がイネーブルになります。
8	SPIRXオーバーフロー上書きイネーブル このビットを設定すると、RXレジスタ内の有効データが、新たに受信したシリアル・バイトによって上書きされます。 このビットをクリアすると、新たに受信したシリアル・バイトを放棄します。
7	SPITXアンダーフロー・モード このビットを設定すると、0が送信されます。 このビットをクリアすると、前のデータが送信されます。
6	転送および割込みモード（マスター・モード） このビットを設定すると、SPITXレジスタへの書き込みで転送を開始します。TXが空状態の場合は、割込みが発生します。 このビットをクリアすると、SPIRXレジスタの読出しで転送が開始されます。RXが満杯状態になると、割込みが発生します。
5	LSBファースト転送イネーブル・ビット このビットを設定すると、LSBファーストで転送が行われます。 このビットをクリアすると、MSBファーストで転送が行われます。
4	予備。0に設定してください。
3	シリアル・クロック極性モード・ビット このビットを設定すると、シリアル・クロックがハイレベルのアイドル状態になります。 このビットをクリアすると、シリアル・クロックがローレベルのアイドル状態になります。
2	シリアル・クロック位相モード・ビット このビットを設定すると、シリアル・ビット転送が開始されるたびにシリアル・クロック・パルスが出力されます。 このビットをクリアすると、シリアル・ビット転送の終了時にシリアル・クロック・パルスが出力されます。
1	マスター・モード・イネーブル・ビット このビットを設定すると、マスター・モードがイネーブルになります。 このビットをクリアすると、スレーブ・モードがイネーブルになります。
0	SPIイネーブル・ビット このビットを設定すると、SPIがイネーブルになります。 このビットをクリアすると、SPIがディスエーブルになります。

I²C互換インターフェース

ADuC7128/ADuC7129は、ライセンスを完全に取得した2つのI²Cインターフェースに対応します。I²Cインターフェースは、マスターおよびスレーブの完全なハードウェア・インターフェースとして実装されています。2つのI²Cインターフェースは同一であるため、I²C0のみについて詳しく説明します。ただし、2つのマスターとスレーブにはそれぞれの割込みがありません。

ADuC7128/ADuC7129をI²Cマスター・デバイスとして設定する場合、繰返しスタート条件は生成できません。

データ転送に使用するSDAとSCLの2本のピンは、論理積ワイヤード・フォーマットに設定されており、マルチマスター・システムでアービトラーションが可能です。これらのピンには、外部プルアップ抵抗が必要です。プルアップ抵抗は一般に10kΩです。

I²Cバス・システムのI²Cバス・ペリフェラルのアドレスは、ユーザが設定します。このIDは、転送の実行中以外いつでも変更できます。4つのスレーブ・アドレスに応答するようにインターフェースを設定できます。

I²Cシステムの転送シーケンスは、バスがアイドル状態のときにマスター・デバイスがスタート条件を出して転送を開始します。マスターは、最初のアドレス転送でスレーブ・デバイスのアドレスとデータの転送方向を送信します。マスターがアービトラーションを失わず、スレーブがアクノレッジを行うと、データ転送が開始されます。マスターがストップ条件を発行し、バスがアイドル状態になるまでこの動作を続行します。

I²Cペリフェラルのマスターとスレーブの機能は独立していますが、同時にアクティブにすることができます。バス上で転送が開始されたときにスレーブがアクティブになります。

スレーブが指定されていなければ、次の転送が開始されるまで非アクティブのままになります。これによって、アービトラーションを失ったマスター・デバイスが同じサイクルでスレーブとして応答できます。

シリアル・クロックの生成

システムのI²Cマスターが転送用のシリアル・クロックを生成します。マスター・チャンネルは、高速モード（400kHz）または標準モード（100kHz）の動作を設定できます。

ビットレートは、I2C0DIV MMRで以下のように定義します。

$$f_{\text{SERIAL CLOCK}} = \frac{f_{\text{UCLK}}}{(2 + \text{DIVH}) + (2 + \text{DIVL})}$$

ここで、
 f_{UCLK} は、クロック分周器前段のクロックです。
 DIVH は、クロックのハイレベル周期です。
 DIVL は、クロックのローレベル周期です。

したがって、100kHz動作の場合は、

$$\text{DIVH} = \text{DIVL} = 0 \times \text{CF}$$

400kHz動作の場合は、

$$\text{DIVH} = 0 \times 28 \quad \text{DIVL} = 0 \times 3\text{C}$$

I2CxDIVレジスタは、DIVH:DIVLに対応します。

スレーブ・アドレス

I2C0ID0、I2C0ID1、I2C0ID2、I2C0ID3の各レジスタにはデバイスIDが格納されています。デバイスはこれらの4つのI2C0IDxレジスタの値とアドレス・バイトを比較します。正しいアドレスリングが行われるためには、各IDレジスタの最上位7ビットが最初に受信されたアドレス・バイトの最上位7ビットと一致する必要があります。転送方向ビットであるIDレジスタのLSBは、アドレス認識のプロセスでは無視されます。

I²Cレジスタ

I²Cペリフェラル・インターフェースは、18個のMMRで構成されています。ここでは、これらのレジスタについて説明します。

I2CxMSTAレジスタ

Name	Address	Default Value	Access
I2C0MSTA	0xFFFFF0800	0x00	R
I2C1MSTA	0xFFFFF0900	0x00	R

I2CxMSTAは、マスター・チャンネルのステータス・レジスタです。

表92. I2C0MSTA MMRのビット指定

ビット	説明
7	マスター送信FIFOフラッシュ このビットを設定すると、マスター送信FIFOがフラッシュされます。 マスター送信FIFOがフラッシュされると、自動的にクリアされます。このビットは、スレーブ受信FIFOもフラッシュします。
6	マスター・ビジー マスターがビジー状態のときに、自動的に設定されます。 自動的にクリアされます。
5	アービトラーション喪失 マルチマスター・モードで別のマスターがバスを所有すると、設定されます。 バスが利用可能になると、クリアされます。
4	ノー・アクノレッジ スレーブ・デバイスがアドレスのアクノレッジを行わないと、自動的に設定されます。 I2C0MSTAレジスタの読出しによって、自動的にクリアされます。
3	マスター受信IRQ データの受信後に設定されます。 I2C0MRXレジスタの読出しによって、自動的にクリアされます。
2	マスター送信IRQ 送信の終了時に設定されます。 I2C0MTXレジスタの書込みによって、自動的にクリアされます。
1	マスター送信FIFOアンダーフロー マスター送信FIFOがアンダーフロー状態のときに自動的に設定されます。 I2C0MTXレジスタの書込みによって、自動的にクリアされます。
0	マスター送信FIFO非満杯状態 スレーブ送信FIFOが満杯状態になっていないときに自動的に設定されます。 I2C0STXレジスタの2回の書込みによって、自動的にクリアされます。

ADuC7128/ADuC7129

I2CxSSTAレジスタ

Name	Address	Default value	Access
I2C0SSTA	0xFFFFF0804	0x01	R
I2C1SSTA	0xFFFFF0904	0x01	R

I2CxSSTAは、スレーブ・チャンネルのステータス・レジスタです。

表93. I2CxSSTA MMRのビット指定

ビット	値	説明
31:15		予備。これらのビットには0を書き込んでください。
14		スタート・デコード・ビット 有効なスタート条件と一致アドレスをデバイスが受信すると、ハードウェアによって設定されます。 PCストップ条件またはPCリセット一斉呼出しによって、クリアされます。
13		繰返しスタート・デコード・ビット 有効な繰返しスタート条件と一致アドレスをデバイスが受信すると、ハードウェアによって設定されます。 PCストップ条件、I2CxSSTAレジスタの読出し、またはPCリセット一斉呼出しによってクリアされます。
12:11	00 01 10 11	IDデコード・ビット 受信アドレス一致IDレジスタ0 受信アドレス一致IDレジスタ1 受信アドレス一致IDレジスタ2 受信アドレス一致IDレジスタ3
10		スタート後のストップおよび一致アドレス割込み 前にPCスタート条件と一致アドレスをスレーブ・デバイスが受信した後、PCストップ条件を受信すると、ハードウェアによって設定されます。 I2CxSSTAレジスタの読出しによって、クリアされます。
9:8	00 01 10 11	一斉呼出しID 一斉呼出しは発生しません。 リセットおよびプログラム・アドレスの一斉呼出し プログラム・アドレスの一斉呼出し 一致代替アドレスの一斉呼出し
7		一斉呼出し割込み スレーブ・デバイスが任意のタイプの一斉呼出しを受信すると、設定されます。 I2CxCFGレジスタのビット8を設定すると、クリアされます。リセット一斉呼出しを受信すると、すべてのレジスタがデフォルト値にリセットされます。ハードウェア一斉呼出しを受信した場合は、一斉呼出しの2番目のバイトが受信FIFOに入ります。このFIFOは、I2C0ALTレジスタと同じです（デバイス・アドレスの設定変更を行う一斉呼出しではない場合）。詳細については、2000年1月発行のPCバス仕様、バージョン2.1を参照してください。
6		スレーブ・ビジー スレーブがビジー状態のときに、自動的に設定されます。 自動的にクリアされます。
5		ノー・アクノレッジ マスターがデータを要求しているが、そのデータがない場合に設定されます。 I2C0SSTAレジスタの読出しによって、自動的にクリアされます。
4		スレーブ受信FIFOオーバーフロー スレーブ受信FIFOがオーバーフロー状態のときに、自動的に設定されます。 I2C0SRXレジスタの読出しによって、自動的にクリアされます。
3		スレーブ受信IRQ データの受信後に設定されます。 I2C0SRXレジスタの読出ししかFIFOのフラッシュによって、自動的にクリアされます。
2		スレーブ送信IRQ 送信の終了時に設定されます。 I2C0STXレジスタの書込みによって、自動的にクリアされます。
1		スレーブ送信FIFOアンダーフロー スレーブ送信FIFOがアンダーフロー状態のときに、自動的に設定されます。 I2C0STXレジスタの書込みによって、自動的にクリアされます。
0		スレーブ送信FIFO空状態 スレーブ送信FIFOが空状態のときに、自動的に設定されます。 I2C0STXレジスタの2回の書込みによって、自動的にクリアされます。

I2CxSRXレジスタ

Name	Address	Default Value	Access
I2C0SRX	0xFFFFF0808	0x00	R
I2C1SRX	0xFFFFF0908	0x00	R

I2CxSRXは、スレーブ・チャンネルの受信レジスタです。

I2CxSTXレジスタ

Name	Address	Default Value	Access
I2C0STX	0xFFFFF080C	0x00	W
I2C1STX	0xFFFFF090C	0x00	W

I2CxSTXは、スレーブ・チャンネルの送信レジスタです。

I2CxMRXレジスタ

Name	Address	Default Value	Access
I2C0MRX	0xFFFFF0810	0x00	R
I2C1MRX	0xFFFFF0910	0x00	R

I2CxMRXは、マスター・チャンネルの受信レジスタです。

I2CxMTXレジスタ

Name	Address	Default Value	Access
I2C0MTX	0xFFFFF0814	0x00	W
I2C1MTX	0xFFFFF0914	0x00	W

I2CxMTXは、マスター・チャンネルの送信レジスタです。

I2CxCNTレジスタ

Name	Address	Default Value	Access
I2C0CNT	0xFFFFF0818	0x00	R/W
I2C1CNT	0xFFFFF0918	0x00	R/W

I2CxCNTは、マスター受信データ・カウント・レジスタです。マスターの読み出し転送シーケンスが開始されると、I2CxCNTレジスタがスレーブ・デバイスから読み出されるバイト数（-1）を示します。このカウンタはデフォルトで0に設定されており、予測される1バイトに相当します。

表94. I2C0CFG MMRのビット指定

ビット	説明
31:15	予備。これらのビットには0を書き込んでください。
14	ストップ割込みイネーブル このビットを設定すると、有効なスタート条件と一致アドレスを受信した後にストップ条件を受信すると割込みが発生します。 このビットをクリアすると、ストップ条件を受信したときの割込み発生がディスエーブルになります。
13	予備。このビットには0を書き込んでください。
12	予備。このビットには0を書き込んでください。
11	SCLストレッチ・イネーブル。SCLをローレベルに保持します。 このビットを設定すると、SCLラインがストレッチされます。 このビットをクリアすると、SCLラインのストレッチがディスエーブルになります。
10	予備。このビットには0を書き込んでください。
9	スレーブ送信FIFO割込み要求イネーブル このビットをクリアすると、R/Wビット用のクロックの立下がりエッジの直後に、割込み要求が発生します。これによって、スレーブ送信FIFOが空状態であれば、ここにデータを入力できます。400kSPSのデータレートで41.78MHzで動作するコア・クロックの場合、割込み遅延も考慮に入れた上でユーザが適切な処置をできるよう45クロック・サイクルが与えられています。 このビットを設定すると、スレーブ送信FIFO割込み要求がディスエーブルになります。
8	一斉呼出しステータス・ビット・クリア このビットを設定すると、一斉呼出しステータス・ビットがクリアされます。 一斉呼出しステータス・ビットがクリアされた後、ハードウェアによって自動的にクリアされます。

I2CxADRレジスタ

Name	Address	Default Value	Access
I2C0ADR	0xFFFFF081C	0x00	R/W
I2C1ADR	0xFFFFF091C	0x00	R/W

I2CxADRは、マスター・アドレス・バイト・レジスタです。I2CxADRの値は、マスターが通信しようとしているデバイスのアドレスです。マスター・イネーブル・ビットが設定されているとき、I2CxMTXレジスタに有効なデータがない場合は、マスターによる転送シーケンスの開始時にこのアドレスが自動的に送信されます。

I2CxBYTレジスタ

Name	Address	Default Value	Access
I2C0BYT	0xFFFFF0824	0x00	R/W
I2C1BYT	0xFFFFF0924	0x00	R/W

I2CxBYTは、ブロードキャスト・バイト・レジスタです。

I2CxALTレジスタ

Name	Address	Default Value	Access
I2C0ALT	0xFFFFF0828	0x00	R/W
I2C1ALT	0xFFFFF0928	0x00	R/W

I2CxALTは、スレーブ・モードで使用するハードウェア一斉呼出しIDレジスタです。

I2CxCFGレジスタ

Name	Address	Default Value	Access
I2C0CFG	0xFFFFF082C	0x00	R/W
I2C1CFG	0xFFFFF092C	0x00	R/W

I2CxCFGは設定レジスタです。

ADuC7128/ADuC7129

ビット	説明
7	マスター・シリアル・クロック・イネーブル・ビット このビットを設定すると、マスター・モードでシリアル・クロックの発生がイネーブルになります。 このビットをクリアすると、マスター・モードでシリアル・クロックの発生がデイスエーブルになります。
6	ループバック・イネーブル・ビット このビットを設定すると、内部で遷移が受信に接続され、ユーザ・ソフトウェアをテストできます。 このビットをクリアすると、ノーマル・モードで動作します。
5	バックオフ・スタート・デイスエーブル・ビット マルチマスター・モードのときに、このビットを設定します。アービトラージを失うと、マスターがただちに再送信を試みます。 このビットをクリアすると、バックオフのスタートがイネーブルになります。アービトラージを失った後、マスターは待機してから再送信を試みます。
4	ハードウェア一斉呼出しイネーブル。このビットとビット3が設定されていて、一斉呼出し（アドレス0x00）と1つのデータバイトを受信すると、デバイスは受信レジスタとI2CALTのデータをチェックします。データが一致すれば、デバイスはハードウェア一斉呼出しを受信していることになります。マスター・デバイスを緊急に必要としているが、どのマスターを参照すべきかわからないときにこれを使用します。これは、「関係があるかもしれないデバイスに対する」呼出しです。ADuC7128/ADuC7129は、これらのアドレスを調べます。要求しているデバイスは、メッセージの中に自分のアドレスを埋め込みます。すべてのマスターにこの要求が届きますが、そのデバイスを扱うことができるマスターだけがスレーブにコンタクトし、適切な動作を実行します。2000年1月のI ² C仕様に従い、I2C0ALTのLSBには必ず1を書き込んでください。
3	一斉呼出しイネーブル・ビット このビットを設定すると、スレーブ・デバイスによるアドレス0x00（書込み）のI ² C一斉呼出しのアクノレッジがイネーブルになります。その後、デバイスはデータビットを認識します。デバイスが0x06（ハードウェアで設定できるスレーブ・デバイスのリセットおよび書込み部分）をデータバイトとして受信する場合、2000年1月のI ² C仕様に従ってI ² Cインターフェースがリセットされます。このコマンドを使用して、I ² Cシステム全体をリセットできます。一斉呼出し割込みステータス・ビットは、一斉呼出しの実行時に常に設定されます。ユーザはリセット後にI ² Cインターフェースを設定して、これを是正する必要があります。デバイスが0x04（ハードウェアで設定できるスレーブ・デバイスの書込み部分）をデータバイトとして受信した場合は、一斉呼出しの実行時に一斉呼出し割込みステータス・ビットが常に設定されます。ユーザはデバイス・アドレスの設定を変更して、これを是正する必要があります。
2	予備
1	マスター・イネーブル・ビット このビットを設定すると、マスターのI ² Cチャンネルがイネーブルになります。 このビットをクリアすると、マスターのI ² Cチャンネルがデイスエーブルになります。
0	スレーブ・イネーブル・ビット このビットを設定すると、スレーブのI ² Cチャンネルがイネーブルになります。スレーブの転送シーケンスを監視して、I2C0ID0、I2C0ID1、I2C0ID2、I2C0ID3のデバイス・アドレスを調べます。デバイス・アドレスが認識されると、そのデバイスはスレーブの転送シーケンスに参加します。 このビットをクリアすると、スレーブのI ² Cチャンネルがデイスエーブルになります。

I2CxDIVレジスタ

Name	Address	Default Value	Access
I2C0DIV	0xFFFF0830	0x1F1F	R/W
I2C1DIV	0xFFFF0930	0x1F1F	R/W

I2CxDIVは、クロック分周器レジスタです。

I2CxIDxレジスタ

Name	Address	Default Value	Access
I2C0ID0	0xFFFF0838	0x00	R/W
I2C0ID1	0xFFFF083C	0x00	R/W
I2C0ID2	0xFFFF0840	0x00	R/W
I2C0ID3	0xFFFF0844	0x00	R/W
I2C1ID0	0xFFFF0938	0x00	R/W
I2C1ID1	0xFFFF093C	0x00	R/W
I2C1ID2	0xFFFF0940	0x00	R/W
I2C1ID3	0xFFFF0944	0x00	R/W

I2CxID0、I2CxID1、I2CxID2、I2CxID3は、I2Cxのスレーブ・アドレス・デバイスIDレジスタです。

I2CxSSCレジスタ

Name	Address	Default Value	Access
I2C0SSC	0xFFFF0848	0x01	R/W
I2C1SSC	0xFFFF0948	0x01	R/W

I2CxSSCは、8ビットのスタート／ストップ生成カウンタです。スタート条件とストップ条件のときに、SDAをローレベルに保持します。

I2CxFIFレジスタ

Name	Address	Default Value	Access
I2C0FIF	0xFFFF084C	0x0000	R
I2C1FIF	0xFFFF094C	0x0000	R

I2CxFIFは、FIFOステータス・レジスタです。

表95. I2C0FIF MMRのビット指定

ビット	値	説明
15:10		予備
9		マスター送信FIFOフラッシュ このビットを設定すると、マスター送信FIFOがフラッシュされます。 マスター送信FIFOがフラッシュされると、自動的にクリアされます。このビットは、スレーブ受信FIFOもフラッシュします。
8		スレーブ送信FIFOフラッシュ このビットを設定すると、スレーブ送信FIFOがフラッシュされます。 スレーブ送信FIFOがフラッシュされると、自動的にクリアされます。
7:6	00 01 10 11	マスター受信FIFOステータス・ビット FIFOが空 FIFOに書き込まれるバイト FIFO内に1バイト FIFOが満杯
5:4	00 01 10 11	マスター送信FIFOステータス・ビット FIFOが空 FIFOに書き込まれるバイト FIFO内に1バイト FIFOが満杯
3:2	00 01 10 11	スレーブ受信FIFOステータス・ビット FIFOが空 FIFOに書き込まれるバイト FIFO内に1バイト FIFOが満杯
1:0	00 01 10 11	スレーブ送信FIFOステータス・ビット FIFOが空 FIFOに書き込まれるバイト FIFO内に1バイト FIFOが満杯

プログラマブル・ロジック・アレイ (PLA)

ADuC7128/ADuC7129は、完全プログラマブルなロジック・アレイ (PLA) を集積化しています。これは、それぞれ独立しているながら相互に接続されている2個のPLAブロックで構成されています。各ブロックに8個のPLA要素、合計16個のPLA要素があります。

1個のPLA要素には、図54に示すように2つの入力をもとに任意のロジック出力機能の生成を設定できる2入力ルックアップ・テーブルとフリップフロップが含まれています。

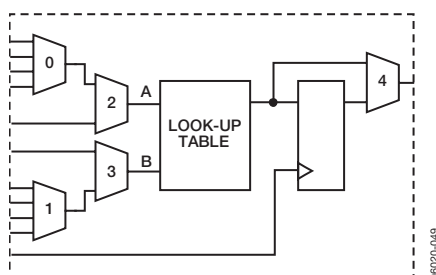


図54. PLA要素

ADuC7128/ADuC7129には、PLA用に合計30本のGPIOピンが用意されています。これには、16本の入力ピンと14本の出力ピンがあります。PLAピンとしてGPxCONレジスタで設定してからPLAを使用する必要があります。コンパレータ出力も16本の入力ピンの1に含まれています。

ユーザMMRを使用してPLAの設定を行い、PLAの出力を内部割込みシステム、ADCの $\overline{\text{CONVST}}$ 信号、MMR、または16本のPLA出力ピンのいずれかに送ることができます。

2個のブロック間は、ブロック1の要素7の出力をブロック0の要素0のマルチプレクサ0の入力0に帰還させることによって相互に接続します。ブロック0の要素7の出力はブロック1の要素0のマルチプレクサ0の入力0に帰還します。

ADuC7128/ADuC7129

表96. 要素の入出力

PLA Block 0			PLA Block 1		
Element	Input	Output	Element	Input	Output
0	P1.0	P1.7	8	P3.0	P4.0
1	P1.1	P0.4	9	P3.1	P4.1
2	P1.2	P0.5	10	P3.2	P4.2
3	P1.3	P0.6	11	P3.3	P4.3
4	P1.4	P0.7	12	P3.4	P4.4
5	P1.5	P2.0	13	P3.5	P4.5
6	P1.6	P2.1	14	P3.6	P4.6
7	P0.0	P2.2	15	P3.7	P4.7

PLA MMRインターフェース

PLAペリフェラル・インターフェースは、表97に示すように21個のMMRで構成されています。

表97. PLA MMR

名称	説明
PLAELMx	要素0～要素15コントロール・レジスタ。各要素の入力および出力マルチプレクサを設定し、ルックアップ・テーブルで機能を選択し、フリップフロップのバイパスまたは使用を設定します。
PLACLK	ブロック0のフリップフロップ用のクロック選択とブロック1のフリップフロップ用のクロック選択
PLAIRQ	IRQ0および／またはIRQ1をイネーブルにします。IRQのソースを選択します。
PLAADC	ADC変換スタート信号からのPLAソース
PLADIN	PLA用のデータ入力MMR
PLAOUT	PLA用のデータ出力MMR。このレジスタは常に更新されます。

PLAの設定が簡単にできるように、開発システムにはPLAツールが用意されています。

表98. PLAELMx MMRのビット指定

ビット	値	PLAELM0	PLAELM1～PLAELM7	PLAELM8	PLAELM9～PLAELM15	説明
31:11						予備
10:9	00 01 10 11	要素15 要素2 要素4 要素6	要素0 要素2 要素4 要素6	要素7 要素10 要素12 要素14	要素8 要素10 要素12 要素14	マルチプレクサ (0) コントロール。帰還ソースを選択します。
8:7	00 01 10 11	要素1 要素3 要素5 要素7	要素1 要素3 要素5 要素7	要素9 要素11 要素13 要素15	要素9 要素11 要素13 要素15	マルチプレクサ (1) コントロール。帰還ソースを選択します。
6						マルチプレクサ (2) コントロール。 このビットを設定すると、マルチプレクサ (0) の出力が選択されます。 このビットをクリアすると、PLADINからのビット値が選択されます。
5						マルチプレクサ (3) コントロール。 このビットを設定すると、特定要素の入力ピンが選択されます。 このビットをクリアすると、マルチプレクサ (1) の出力が選択されます。
4:1	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111					ルックアップ・テーブル・コントロール 0 NOR B AND NOT A NOT A A AND NOT B NOT B EXOR NAND AND EXNOR B NOT A OR B A A OR NOT B OR 1
0						マルチプレクサ (4) コントロール。 このビットを設定すると、フリップフロップをバイパスします。 このビットをクリアすると、フリップフロップが選択されます。 デフォルトでクリアされています。

表99. PLACLK MMRのビット指定

ビット	値	説明
7		予備
6:4		ブロック1のクロック源選択
	000	P0.5上のGPIOクロック
	001	P0.0上のGPIOクロック
	010	P0.7上のGPIOクロック
	011	HCLK
	100	OCLK
	101	タイマ1オーバーフロー
	110	タイマ4オーバーフロー
	その他	予備
3		予備
2:0		ブロック0のクロック源選択
	000	P0.5上のGPIOクロック
	001	P0.0上のGPIOクロック
	010	P0.7上のGPIOクロック
	011	HCLK
	100	OCLK
	101	タイマ1オーバーフロー
	110	タイマ4オーバーフロー
	その他	予備

表100. PLAIRQ MMRのビット指定

ビット	値	説明
15:13		予備
12		PLA IRQ1 イネーブル・ビット このビットを設定すると、PLAからのIRQ1出力がイネーブルになります。 このビットをクリアすると、PLAからのIRQ1出力がディスエーブルになります。
11:8		PLA IRQ1 ソース
	0000	PLA要素0
	0001	PLA要素1
	...	
	1111	PLA要素15
7:5		予備
4		PLA IRQ0 イネーブル・ビット このビットを設定すると、PLAからのIRQ0出力がイネーブルになります。 このビットをクリアすると、PLAからのIRQ0出力がディスエーブルになります。
3:0		PLA IRQ0 ソース
	0000	PLA要素0
	0001	PLA要素1
	...	
	1111	PLA要素15

表101. PLAADC MMRのビット指定

ビット	値	予備
31:5		Reserved.
4		ADC変換スタート・イネーブル・ビット このビットを設定すると、PLAからのADC変換スタートがイネーブルになります。 このビットをクリアすると、PLAからのADC変換スタートがディスエーブルになります。
3:0		ADC変換スタート・ソース
	0000	PLA要素0
	0001	PLA要素1
	...	
	1111	PLA要素15

表102. PLADIN MMRのビット指定

ビット	説明
31:16	予備
15:0	要素15～要素0の入力ビット

表103. PLAOUT MMRのビット指定

ビット	説明
31:16	予備
15:0	要素15～要素0の出力ビット

プロセッサのリファレンス・ペリフェラル

割込みシステム

ADuC7128/ADuC7129には30の割込みソースがあり、割込みコントローラが制御します。大部分の割込みは、ADCやUARTなどのオンチップ・ペリフェラルから発生します。そのほかに、XIRQ0とXIRQ1の外部割込み要求ピンから2つの割込みソースが生成されます。ARM7TDMI CPUコアは、通常の割込み要求（IRQ）か高速割込み要求（FIQ）のいずれかのタイプによってのみ認識します。すべての割込みを個別にマスクできます。

割込みシステムの制御と設定は、4個のIRQ専用MMR、4個のFIQ専用MMR、設定済みの割込みソースを選択するために使用するもう1つのMMRで構成される9個の割込み関連レジスタを使用して管理します。IRQレジスタとFIQレジスタのビットは、表104に示すように同じ割込みソースを表します。

表104. IRQ/FIQ MMRのビット指定

ビット	説明
0	FIQソース
1	SWI。IRQENCLRおよびFIQENCLRでは使用しません。
2	タイマ0
3	タイマ1
4	ウェークアップ・タイマータイマ2
5	ウォッチドッグ・タイマータイマ3
6	タイマ4
7	フラッシュ・コントローラ0
8	フラッシュ・コントローラ1
9	ADC
10	直交エンコーダ
11	I2C0スレーブ
12	I2C1スレーブ
13	I2C0マスター
14	I2C1マスター
15	SPIスレーブ
16	SPIマスター
17	UART0
18	UART1
19	外部IRQ0
20	コンパレータ
21	PSM
22	外部IRQ1
23	PLA IRQ0
24	PLA IRQ1
25	外部IRQ2
26	外部IRQ3
27	PWMトリップ
28	PLLクロック
29	予備
30	予備

IRQ

割込み要求（IRQ）は、プロセッサのIRQモードに入るための例外信号です。これは、内部および外部イベントの汎用割込み処理サービスに使用します。

IRQ専用の4個の32ビット・レジスタの説明を表105に示します。

表105. IRQインターフェースMMR

レジスタ	説明
IRQSIG	さまざまなIRQソースのステータスを示します。ペリフェラルがIRQ信号を出すと、IRQSIGの該当ビットが設定されます。それ以外の場合は、クリアされています。特定のペリフェラルの割込みがクリアされると、IRQSIGビットがクリアされます。すべてのIRQソースはIRQEN MMRでマスクできます。IRQSIGは読出し専用です。
IRQEN	現在イネーブルのマスクの値を示します。これを1に設定すると、ソース要求がイネーブルになり、IRQ例外が作成されます。0に設定すると、ソース要求がディスエーブルになるか、またはマスクされますが、IRQ例外は作成されません。IRQENのビットをクリアするには、IRQCLR MMRを使用します。
IRQCLR	この書き込み専用レジスタで、IRQENレジスタをクリアして、割込みソースをマスクします。各ビットを1に設定すると、その他のビットを変えずにIRQENレジスタの該当ビットがクリアされます。IRQENとIRQCLRのレジスタ・ペアは、自動的な読出し／変更／書き込みをしないで、イネーブル・マスクの処理のみを行うことができます。
IRQSTA	この読出し専用レジスタで、現在イネーブルになっているIRQソースのステータスを示します。これを1に設定すると、このソースがARM7TDMI コアに対してアクティブなIRQ要求を生成します。優先度を設定するエンコーダや割込みベクトル生成はありません。この機能は、一般的な割込みハンドラ・ルーチンでソフトウェアによって実行されます。32ビットすべての論理和をとることにより、ARM7TDMI コアに対するIRQ信号が生成されます。

FIQ

高速割込み要求（FIQ）は、プロセッサのFIQモードに入るための例外信号です。遅延の小さいデータ転送や通信チャンネル・タスクに対応するために使用します。FIQインターフェースは、第2レベルの割込み（最高の優先度）を提供するIRQインターフェースに相当します。FIQSIG、FIQEN、FIQCLR、FIQSTAの4個のFIQ専用32ビット・レジスタが用意されています。

FIQSTAのビット31～1の論理和をとることで、コア対するFIQ信号およびFIQとIRQ両方のレジスタのビット0（FIQソース）が生成されます。

FIQENとFIQCLRのロジックでは、IRQとFIQのマスクで割込みソースをイネーブルにできません。FIQENで1つのビットを1に設定すると、その副作用でIRQENの同じビットがクリアされます。IRQENで1つのビットを1に設定すると、その副作用でFIQENの同じビットがクリアされます。IRQENとFIQENのマスクで割込みソースをディスエーブルにできます。

設定済みの割込み

設定済みの割込みはマスクが不可能であるため、IRQSTAとIRQSIGのレジスタおよび／またはFIQSTAとFIQSIGのレジスタに同時に書込みを行うSWICFGレジスタによって制御します。ソフトウェア割込み専用の32ビット・レジスタは、表106に示すSWICFGです。このMMRによって、設定済みのソース割込みを制御できます。

表106. SWICFG MMRのビット指定

ビット	説明
31:3	予備
2	設定済みの割込み (FIQ)。このビットの設定／クリアは、FIQSTAとFIQSIGのビット1の設定／クリアに対応します。
1	設定済みの割込み (IRQ)。このビットの設定／クリアは、IRQSTAとIRQSIGのビット1の設定／クリアに対応します。
0	予備

すべての割込み信号は、少なくとも割込み遅延時間に等しい時間アクティブでなければなりません。これによって、アクティブ時間が割込みコントローラによって検出され、IRQSTA/FIQSTAレジスタでユーザもこれを確認できるようになります。

タイマ

ADuC7128/ADuC7129は、以下に示す5個の汎用タイマ／カウンタを備えています。

- ・ タイマ0
- ・ タイマ1
- ・ タイマ2 (ウェークアップ・タイマ)
- ・ タイマ3 (ウォッチドッグ・タイマ)
- ・ タイマ4

ノーマル動作モードにおいて、5個のタイマはフリーランまたは周期的動作を行います。

フリーランモードのときは、ゼロスケールまたはフルスケールに達するまでカウンタがその最大値または最小値からデクリメントもしくはインクリメントし、最後までくると最大値または最小値から再スタートします。

周期モードでは、カウンタがロード・レジスタ (TxLD MMR) の値からデクリメントあるいはインクリメントし、ゼロスケールまたはフルスケールに達するとロード・レジスタに格納されている値から再スタートします。

カウンタの値は、その数値レジスタ (TxVAL) にアクセスすれば、いつでも読み出せます。該当するタイマのコントロール・レジスタ (TxCON) の書込みによって、タイマがスタートします。

ノーマル・モードでは、カウントダウンの場合はカウンタ値がゼロに達するたびに、カウントアップの場合はカウンタ値がフルスケールに達するたびに、IRQが発生します。特定のタイマのレジスタ (TxICLR) をクリアするには、任意の値を書き込むことでIRQをクリアできます。

表107. イベント選択番号

ES	割込み番号	名称
00000	2	RTOSタイマ (タイマ0)
00001	3	GPタイマ0 (タイマ1)
00010	4	ウェークアップ・タイマ (タイマ2)
00011	5	ウォッチドッグ・タイマ (タイマ3)
00100	6	GPタイマ1 (タイマ4)
00101	7	フラッシュ・コントロール0
00110	8	フラッシュ・コントロール1
00111	9	ADCチャンネル
01000	10	直交エンコーダ
01001	11	I2Cスレーブ0
01010	12	I2Cスレーブ1
01011	13	I2Cマスター0
01100	14	I2Cマスター1
01101	15	SPIスレーブ
01110	16	SPIマスター
01111	17	UART0
10000	18	UART1
10001	19	外部IRQ0

タイマ0—ライフタイム・タイマ

タイマ0は、48ビットのカウントアップまたは16ビットのカウントアップ／ダウンの汎用タイマで、プログラマブル・プリスケアラが備わっています。タイマ0はコア・クロックによって動作し、プリスケアラは1、16、256、32768に設定できます。コアが41.78MHzで動作し、プリスケアラを1とすると、最小分解能が22nsになります。

48ビット・モードでは、タイマ0はゼロからカウントアップします。T0VAL0とT0VAL1から現在のカウンタ値を読み出すことができます。

16ビット・モードでは、タイマ0はカウントアップまたはカウントダウンします。T0LDに16ビット値を書き込むことができ、この値がカウンタにロードされます。T0VAL0から現在のカウンタ値を読み出すことができます。タイマ0にはキャプチャ・レジスタ (T0CAP) があり、選択したIRQソースの初期アサートによってトリガできます。トリガされると、その時点のタイマ値がT0CAPにコピーされ、タイマが動作を継続します。これを利用することで、割込みサービスのみよりも高い精度でイベントのアサートを判別できます。

タイマ0がオーバーフローの状態になったとき、あるいはT0ICLRに書込みが行われるとただちにT0LDの値がタイマ0に再ロードされます。

ADuC7128/ADuC7129

表108に示すように、タイマ0のインターフェースは6個のMMRで構成されています。

表108. タイマ0のインターフェースMMR

名称	説明
TOLD	カウンタにロードする16ビット値を保持する16ビット・レジスタ。16ビット・モード専用です。
TOCAP	イネーブルになっているIRQイベントによって取り込まれた16ビット値を保持する16ビット・レジスタ。16ビット・モード専用です。
T0VAL0/ T0VAL1	T0VAL0は、16個の最下位ビット（LSB）を保持する16ビット・レジスタです。 T0VAL1は、32個の最上位ビット（MSB）を保持する32ビット・レジスタです。 T0VAL0とT0VAL1は読出し専用です。16ビット・モード時に、16ビットのT0VAL0を使用します。48ビット・モード時は、16ビットのT0VAL0と32ビットのT0VAL1の両方を使用します。
TOICLR	8ビット・レジスタ。このレジスタに任意の値を書き込むと、割込みがクリアされます。16ビット・モード専用です。
TOCON	設定MMR（表109を参照）

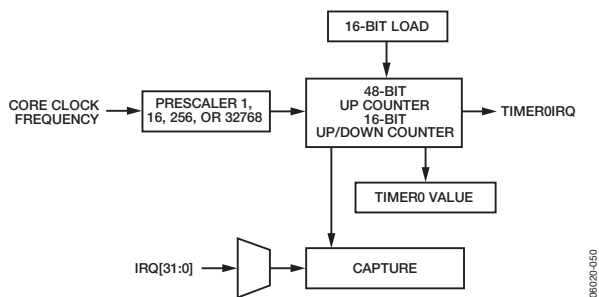


図55. タイマ0のブロック図

タイマ0値レジスタ

Name	Address	Default Value	Access
T0VAL0	0xFFFFF0304	0x00	R
T0VAL1	0xFFFFF0308	0x00	R

T0VAL0とT0VAL1は、それぞれ16個の最下位ビットと32個の最上位ビットを保持する16ビットと32ビットのレジスタです。T0VAL0とT0VAL1は読出し専用です。16ビット・モードでは16ビットのT0VAL0を使用し、48ビット・モードでは16ビットのT0VAL0と32ビットのT0VAL1の両方を使用します。

タイマ0キャプチャ・レジスタ

Name	Address	Default Value	Access
TOCAP	0xFFFFF0314	0x00	R

イネーブルになっているIRQイベントによって取り込まれた16ビット値を保持する16ビット・レジスタです。16ビット・モード専用です。

タイマ0コントロール・レジスタ

Name	Address	Default Value	Access
TOCON	0xFFFFF030C	0x00	R/W

この17ビットMMRで、タイマ0の動作モードを設定します。

表109. TOCON MMRのビット指定

ビット	値	説明
31:18		予備
17		イベント選択ビット このビットを設定すると、イベントのタイム・キャプチャがイネーブルになります。 このビットをクリアすると、イベントのタイム・キャプチャがデイスエーブルになります。
16:12		0～31のイベント選択範囲。イベントについては、「タイマ」で説明しているとおりです。
11		予備
10:9		予備
8		カウントアップ。16ビット・モード専用です。 このビットを設定すると、タイマ0がカウントアップします。 このビットをクリアすると、タイマ0がカウントダウンします（デフォルト）。
7		タイマ0イネーブル・ビット このビットを設定すると、タイマ0がイネーブルになります。 このビットをクリアすると、タイマ0がデイスエーブルになります（デフォルト）。
6		タイマ0モード このビットを設定すると、タイマ0が周期モードで動作します。 このビットをクリアすると、タイマ0が自由継続モードで動作します（デフォルト）。
5		予備
4	0 1	タイマ0動作モード 16ビット動作（デフォルト） 48ビット動作
3:0	0000 0100 1000 1111	プリスケラ ソース・クロック/1（デフォルト） ソース・クロック/16 ソース・クロック/256 ソース・クロック/32768

タイマ0ロード・レジスタ

Name	Address	Default Value	Access
TOLD	0xFFFFF0300	0x00	R/W

TOLDは、カウンタにロードする16ビット値を保持する16ビット・レジスタです。16ビット・モード専用です。

タイマ0クリア・レジスタ

Name	Address	Default Value	Access
TOICLR	0xFFFFF0310	0x00	W

この8ビットの書き込み専用MMRには、ユーザ・コードを書き込み（任意の値）、タイマ0をリフレッシュ（再ロード）します。

タイマ1—汎用タイマ

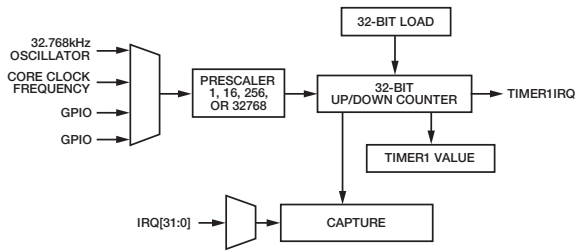


図56. タイマ1のブロック図

タイマ1は、32ビットの汎用カウントダウンまたはカウントアップ・タイマで、プログラマブル・プリスケアラが備わっています。プリスケアラのソースは、32kHz発振器、コア・クロック、または2つの外部GPIOのいずれかにすることができます。このソースは1、1/16、1/256、1/32768にスケールリングできます。これによって、CD=0の動作で、コアの動作周波数を41.78MHz、プリスケアラを1とする（外部GPIOを無視する場合、最小分解能は42nsになります）。

このカウンタは標準の32ビット値、または時:分:秒:1/100にフォーマット化できます。

タイマ1にはキャプチャ・レジスタ（TICAP）があり、選択したIRQソースの初期アサートによってトリガできます。トリガされると、その時点のタイマ値がTICAPにコピーされ、タイマが動作を継続します。これを利用することで、高い精度でイベントのアサートを判別できます。

表110に示すように、タイマ1のインターフェースは5個のMMRで構成されています。

表110. タイマ1のインターフェースMMR

名称	説明
TILD	32ビット・レジスタ。32ビットの符号なし整数を保持します。このレジスタは読出し専用です。
TIVAL	32ビット・レジスタ。32ビットの符号なし整数を保持します。
TICAP	32ビット・レジスタ。32ビットの符号なし整数を保持します。このレジスタは読出し専用です。
THICLR	8ビット・レジスタ。このレジスタに任意の値を書き込むと、タイマ1割込みがクリアされます。
TICON	設定MMR（表111を参照）

デバイスが低消費電力モードになっており、GPIOまたは低消費電力の発振器源のクロックがタイマ1に供給される場合、タイマ1は動作を継続します。

タイマ1がオーバーフローの状態になったとき、あるいはTHICLRに書き込みが行われるとただちにTILDの値がタイマ1に再ロードされます。

タイマ1ロード・レジスタ

Name	Address	Default Value	Access
TILD	0xFFFF0320	0x00000	R/W

TILDは、カウンタにロードする32ビット値を保持する32ビット・レジスタです。

タイマ1クリア・レジスタ

Name	Address	Default Value	Access
THICLR	0xFFFF032C	0x00	W

この8ビット書き込み専用MMRには、ユーザ・コードを書き込み（任意の値）、タイマ1をリフレッシュ（再ロード）します。

タイマ1値レジスタ

Name	Address	Default Value	Access
TIVAL	0xFFFF0324	0x0000	R

TIVALは、タイマ1の現在の値を保持する32ビットのレジスタです。

タイマ1キャプチャ・レジスタ

Name	Address	Default Value	Access
TICAP	0xFFFF0330	0x00	R

イネーブルになっているIRQイベントによって取り込まれた32ビット値を保持する32ビット・レジスタです。

タイマ1コントロール・レジスタ

Name	Address	Default Value	Access
TICON	0xFFFF0328	0x0000	R/W

この32ビットMMRは、タイマ1の動作モードを設定します。

ADuC7128/ADuC7129

表111. T1CON MMRのビット指定

ビット	値	説明
31:18		予備。これらのビットは0に設定してください。
17		イベント選択ビット このビットを設定すると、イベントのタイム・キャプチャがイネーブルになります。 このビットをクリアすると、イベントのタイム・キャプチャがディスエーブルになります。
16:12		0~31のイベント選択範囲。イベントについては、タイマの概要で説明しています。
11:9	000 001 010 011	クロック選択 コア・クロック（デフォルト） 32.768kHz発振器 P1.0 P0.6
8		カウントアップ このビットを設定すると、タイマ1がカウントアップします。 このビットをクリアすると、タイマ1がカウントダウンします（デフォルト）。
7		タイマ1イネーブル・ビット このビットを設定すると、タイマ1がイネーブルになります。 このビットをクリアすると、タイマ1がディスエーブルになります（デフォルト）。
6		タイマ1モード このビットを設定すると、タイマ1が周期モードで動作します。 このビットをクリアすると、タイマ1が自由継続モードで動作します（デフォルト）。
5:4	00 01 10 11	フォーマット バイナリ（デフォルト） 予備 時:分:秒:1/100:23時から0時 時:分:秒:1/100:255時から0時
3:0	0000 0100 1000 1111	プリスケアラ ソース・クロック/1（デフォルト） ソース・クロック/16 ソース・クロック/256 ソース・クロック/32768

タイマ2—ウェークアップ・タイマ

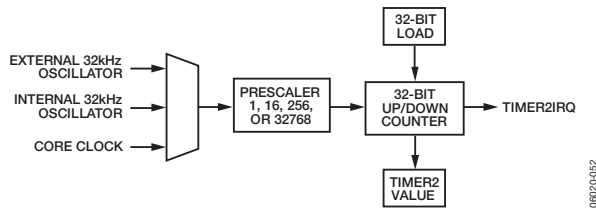


図57. タイマ2のブロック図

タイマ2は、カウントダウンまたはカウントアップの32ビット・ウェークアップ・タイマで、プログラマブル・プリスケラが備わっています。プリスケラのクロックは、コア・クロック（デフォルトで選択）、内部32.768kHz発振器、外部32.768kHz時計水晶発振器から直接供給します。選択したクロック源は1、1/16、1/256、1/32768にスケールリングできます。コア・クロックをデイスエーブルにしても、ウェークアップ・タイマは動作を継続します。これによって、コアの動作周波数を41.78MHz、プリスケラを1とする場合、最小分解能は22nsになります。タイマ2割込みをIRQEN[4]を使用してイネーブルにすると、その時点でのタイマ値のキャプチャがイネーブルになります。

このカウンタは標準の32ビット値、または時:分:秒:1/100にフォーマット化できます。

タイマ2がオーバーフローの状態になったとき、あるいはT2ICLRに書き込みが行われるとただちにT2LDの値がタイマ2に再ロードされます。

表112に示すように、タイマ2のインターフェースは4個のMMRで構成されています。

表112. タイマ2のインターフェースMMR

名称	説明
T2LD	32ビット・レジスタ。32ビットの符号なし整数を保持します。
T2VAL	32ビット・レジスタ。32ビットの符号なし整数を保持します。このレジスタは読み出し専用です。
T2ICLR	8ビット・レジスタ。このレジスタに任意の値を書き込むと、タイマ2割込みがクリアされます。
T2CON	設定MMR（表113を参照）

タイマ2ロード・レジスタ

Name	Address	Default Value	Access
T2LD	0xFFFFF0340	0x00000	R/W

T2LDは、カウンタにロードする32ビット値を保持する32ビット・レジスタです。

タイマ2クリア・レジスタ

Name	Address	Default Value	Access
T2ICLR	0xFFFFF034C	0x00	W

この8ビット書き込み専用MMRには、ユーザ・コードを書き込み（任意の値）、タイマ2をリフレッシュ（再ロード）します。

タイマ2値レジスタ

Name	Address	Default Value	Access
T2VAL	0xFFFFF0344	0x0000	R

T2VALは、タイマ2の現在の値を保持する32ビットのレジスタです。

タイマ2コントロール・レジスタ

Name	Address	Default Value	Access
T2CON	0xFFFFF0348	0x0000	R/W

この32ビットMMRは、タイマ2の動作モードを設定します。

ADuC7128/ADuC7129

表113. T2CON MMRのビット指定

ビット	値	説明
31:11		予備
10:9	00 01 10 11	クロック選択 コア・クロック（デフォルト） 32.768kHz発振器 外部32.768kHz時計水晶発振器 外部32.768kHz時計水晶発振器
8		カウントアップ このビットを設定すると、タイマ2がカウントアップします。 このビットをクリアすると、タイマ2がカウントダウンします（デフォルト）。
7		タイマ2イネーブル・ビット このビットを設定すると、タイマ2がイネーブルになります。 このビットをクリアすると、タイマ2がディスエーブルになります（デフォルト）。
6		タイマ2モード このビットを設定すると、タイマ2が周期モードで動作します。 このビットをクリアすると、タイマ2が自由継続モードで動作します（デフォルト）。
5:4	00 01 10 11	フォーマット バイナリ（デフォルト） 予備 時:分:秒:1/100:23時から0時 時:分:秒:1/100:255時から0時
3:0	0000 0100 1000 1111	プリスケアラ ソース・クロック/1（デフォルト） ソース・クロック/16 ソース・クロック/256。この設定はタイマ2フォーマット1、0および1、1と併用してください。 ソース・クロック/32768

タイマ3—ウォッチドッグ・タイマ

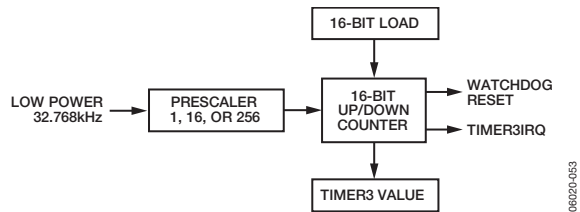


図58. タイマ3のブロック図

タイマ3には、ノーマル・モードとウォッチドッグ・モードの2つの動作モードがあります。ウォッチドッグ・タイマは、違法なソフトウェア状態からの復帰に使用します。タイマ3をイネーブルにした後は、プロセッサの強制的なリセットを防止するために周期的に動作させる必要があります。

タイマ3がオーバーフローの状態になったとき、あるいはT3ICLRに書き込みが行われるとただちにT3LDの値がタイマ3に再ロードされます。

ノーマル・モード

ノーマル・モードのタイマ3は、クロック源を除き16ビット・モードのタイマ0と同じです。クロック源は32.768kHz発振器で、1、1/16、または1/256にスケールできます。タイマ3には、キャプチャ機能も備わっています。これによって、タイマ3割込みをIRQEN[5]を使用してイネーブルにする場合、その時点でのタイマ値をキャプチャできます。

ウォッチドッグ・モード

T3CON[5]を設定すると、ウォッチドッグ・モードに入ります。タイマ3は、T3LDレジスタに格納されているタイムアウト値から0までデクリメントします。プリスケアラの最大値256とT3LDのフルスケールを使用することで、最大タイムアウトは512秒になります。

ユーザ・ソフトウェアでは30msの最小タイムアウト期間のみを設定してください。これは、1ページの消去サイクルとカーネルの実行に20msを必要とするフラッシュ/EEメモリのページ消去サイクルと抵触しないようにするためです。

T3VALが0に達すると、T3CON[1]の設定に応じてリセットまたは割込みが発生します。リセットまたは割込みイベントが生じないように、T3VALが0に達する前にT3ICLRに任意の値を書き込んでください。この書き込みによってT3LDの値がカウンタにロードされ、新しいタイムアウト期間を開始します。

ウォッチドッグ・モードに入ると、T3LDとT3CONの書き込み保護が行われます。パワーオン・リセット・イベントがウォッチドッグ・タイマをリセットするまで、この2つのレジスタを変更することはできません。他のリセット・イベントが発生した後は、ウォッチドッグ・タイマのカウンタが続行します。ウォッチドッグ・タイマはユーザ・コードの最初の行で設定し、ウォッチドッグ・リセットが無限にループしないようにします。

タイマ3は、JTAGデバッグのアクセス時に自動的に停止し、JTAGがARM7コアのコントロールを放棄してからカウント動作を再開します。デフォルト設定では、パワーダウン中もタイマ3はカウントを続行します。T3CONのビット0を設定することで、これをディスエーブルにできます。デフォルト値を使用し、パワーダウン中もウォッチドッグ・タイマにカウントを継続させることを推奨します。

タイマ3のインターフェース

表114に示すように、タイマ3のインターフェースは4個のMMRで構成されています。

表114. タイマ3のインターフェースMMR

名称	説明
T3CON	設定MMR（表115を参照）
T3LD	16ビット・レジスタ（ビット0～15）。16ビットの符号なし整数を保持します。
T3VAL	16ビット・レジスタ（ビット0～15）。16ビットの符号なし整数を保持します。このレジスタは読み出し専用です。
T3ICLR	8ビット・レジスタ。このレジスタに任意の値を書き込むと、ノーマル・モードではタイマ3割込みがクリアされ、ウォッチドッグ・モードでは新しいタイムアウト期間がリセットされます。

タイマ3ロード・レジスタ

Name	Address	Default Value	Access
T3LD	0xFFFFF0360	0x03D7	R/W

この16ビットMMRは、タイマ3に再ロードする値を保持します。

タイマ3値レジスタ

Name	Address	Default Value	Access
T3VAL	0xFFFFF0364	0x03D7	R

この16ビット読み出し専用MMRは、タイマ3の現在のカウンタ値を保持します。

タイマ3クリア・レジスタ

Name	Address	Default Value	Access
T3ICLR	0xFFFFF036C	0x00	W

この8ビット書き込み専用MMRには、ウォッチドッグ・モードのときにユーザ・コードを書き込み（任意の値）、タイマ3をリフレッシュ（再ロード）し、ウォッチドッグ・タイマのリセット・イベントが発生しないようにします。

タイマ3コントロール・レジスタ

Name	Address	Default Value	Access
T3CON	0xFFFFF0368	0x00	R/W once only

表115に詳述するように、この16ビットMMRはタイマ3の動作モードを設定します。

ADuC7128/ADuC7129

表115. T3CON MMRのビット指定

ビット	値	説明
16:9		これらのビットは予備です。ユーザ・コードで0を書き込んでください。
8		カウントアップ／ダウン・イネーブル ユーザ・コードでこのビットを設定すると、タイマ3がカウントアップに設定されます。 ユーザ・コードでこのビットをクリアすると、タイマ3がカウントダウンに設定されます。
7		タイマ3イネーブル ユーザ・コードでこのビットを設定すると、タイマ3がイネーブルになります。 ユーザ・コードでこのビットをクリアすると、タイマ3がディスエーブルになります。
6		タイマ3動作モード ユーザ・コードでこのビットを設定すると、タイマ3が周期モードで動作する設定になります。 ユーザ・コードでこのビットをクリアすると、タイマ3が自由継続モードで動作する設定になります。
5		ウォッチドッグ・タイマ・モード・イネーブル ユーザ・コードでこのビットを設定すると、ウォッチドッグ・モードがイネーブルになります。 ユーザ・コードでこのビットをクリアすると、ウォッチドッグ・モードがディスエーブルになります。
4		安全クリア・ビット このビットを設定すると、安全クリア・オプションが使用されます。 このビットをクリアすると、デフォルトにより安全クリア・オプションがディスエーブルになります。
3:2	0000 0100 1000 1111	タイマ3クロック (32.768kHz) プリスケアラ ソース・クロック/1 (デフォルト) 予備 予備 予備
1		ウォッチドッグ・タイマIRQイネーブル ユーザ・コードでこのビットを設定すると、ウォッチドッグが0に達したときにリセットせず、IRQを生成します。 ユーザ・コードでこのビットをクリアすると、IRQオプションがディスエーブルになります。
0		PD_OFF ユーザ・コードでこのビットを設定すると、POWCON MMRのビット4によってペリフェラルがパワーダウンすると、タイマ3が停止します。 ユーザ・コードでこのビットをクリアすると、POWCON MMRのビット4によってペリフェラルをパワーダウンすると、タイマ3がイネーブルになります。

安全クリア・ビット（ウォッチドッグ・モードのみ）

保護レベルを強化するために、安全クリア・ビットが用意されています。このビットを設定すると、特定のシーケンシャル値をT3ICLRに書き込まないとウォッチドッグのリセットが行われません。図59に示すように、この値は8ビットのリニア帰還シフト・レジスタ（LFSR）の多項式によって生成されるシーケンス値であり、 $X^8+X^6+X^5+X+1$ になります。

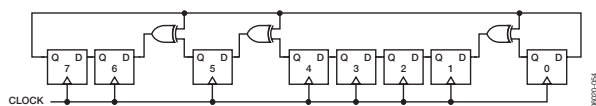


図59. 8ビットLFSR

ウォッチドッグ・モードに入る前に、初期値すなわちシードをT3ICLRに書き込みます。ウォッチドッグ・モードに入った後、T3ICLRに書き込まれる値はこの期待値と一致していなければなりません。これらの値が一致すれば、カウンタの再ロード時にLFSRが次の状態に進みます。この値が期待される状態と一致しなければ、カウントがまだタイムアウトしていなくても即時にリセットが行われます。

多項式の性質のため、初期シード値には0x00の値を使用しないでください。0x00の値は常に即時リセットを強制するものとなっています。LFSRの値を読み出すことはできません。ソフトウェアでこの値をトラッキング／生成する必要があります。

以下にシーケンス例を示します。

1. 初期シード値の0xAAをT3ICLRに入力してから、ウォッチドッグ・モードでタイマ3を起動します。
2. 0xAAをT3ICLRに入力します。この値がタイマ3に再ロードされます。
3. 0x37をT3ICLRに入力します。この値がタイマ3に再ロードされます。
4. 0x6EをT3ICLRに入力します。この値がタイマ3に再ロードされます。
5. 0x66を入力します。期待されていた値は0xDCの入力でした。ウォッチドッグがチップをリセットします。

タイマ4—汎用タイマ

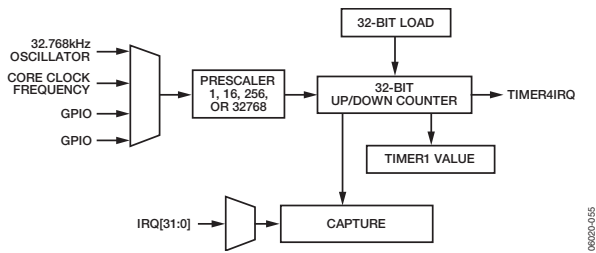


図60. タイマ4のブロック図

タイマ4は、32ビットの汎用カウントダウンまたはカウントアップ・タイマで、プログラマブル・プリスケアラが備わっています。プリスケアラのソースは、32kHz発振器、コア・クロック、または2つの外部GPIOのいずれかにすることができます。このソースは1、1/16、1/256、1/32768にスケールリングできます。これによって、CD=0の動作で、コアの動作周波数を41.78MHz、プリスケアラを1とする（外部GPIOを無視する場合、最小分解能は42nsになります）。

このカウンタは標準の32ビット値、または時:分:秒:1/100にフォーマット化できます。

タイマ4にはキャプチャ・レジスタ（T4CAP）があり、選択したIRQソースの初期アサートによってトリガできます。トリガされると、その時点のタイマ値がT4CAPにコピーされ、タイマが動作を継続します。これを利用することで、高い精度でイベントのアサートを判別できます。

タイマ4のインターフェースは、5個のMMRで構成されています。

表116. タイマ4のインターフェースMMR

名称	説明
T4LD	32ビット・レジスタ。32ビットの符号なし整数を保持します。
T4VAL	32ビット・レジスタ。32ビットの符号なし整数を保持します。このレジスタは読み出し専用です。
T4CAP	32ビット・レジスタ。32ビットの符号なし整数を保持します。このレジスタは読み出し専用です。
T4ICLR	8ビット・レジスタ。このレジスタに任意の値を書き込むと、タイマ4割込みがクリアされます。
T4CON	設定MMR（表117を参照）

デバイスが低消費電力モードになっており、GPIOまたは低消費電力の発振器源のクロックがタイマ4に供給される場合、タイマ4は動作を継続します。

タイマ4がオーバーフローの状態になったとき、あるいはT4ICLRに書き込みが行われるとただちにT4LDの値がタイマ4に再ロードされます。

タイマ4ロード・レジスタ

Name	Address	Default Value	Access
T4LD	0xFFFFF0380	0x00000	R/W

T4LDは、カウンタにロードする32ビット値を保持する32ビット・レジスタです。

タイマ4クリア・レジスタ

Name	Address	Default Value	Access
T4ICLR	0xFFFFF038C	0x00	W

この8ビット書き込み専用MMRには、ユーザ・コードを書き込み（任意の値）、タイマ4をリフレッシュ（再ロード）します。

タイマ4値レジスタ

Name	Address	Default Value	Access
T4VAL	0xFFFFF0384	0x0000	R

T4VALは、タイマ4の現在の値を保持する32ビットのレジスタです。

タイマ4キャプチャ・レジスタ

Name	Address	Default Value	Access
T4CAP	0xFFFFF0390	0x00	R

イネーブルになっているIRQイベントによって取り込まれた32ビット値を保持する32ビット・レジスタです。

タイマ4コントロール・レジスタ

Name	Address	Default Value	Access
T4CON	0xFFFFF0388	0x0000	R/W

この32ビットMMRは、タイマ4の動作モードを設定します。

ADuC7128/ADuC7129

表117. T4CON MMRのビット指定

ビット	値	説明
31:18		予備。これらのビットは0に設定してください。
17		イベント選択ビット このビットを設定すると、イベントのタイム・キャプチャがイネーブルになります。 このビットをクリアすると、イベントのタイム・キャプチャがディスエーブルになります。
16:12		0~31のイベント選択範囲。イベントについては、タイマの概要で説明しています。
11:9	000 001 010 011	クロック選択 コア・クロック（デフォルト） 32.768kHz発振器 P4.6 P4.7
8		カウントアップ このビットを設定すると、タイマ4がカウントアップします。 このビットをクリアすると、タイマ4がカウントダウンします（デフォルト）。
7		タイマ4イネーブル・ビット このビットを設定すると、タイマ4がイネーブルになります。 このビットをクリアすると、タイマ4がディスエーブルになります（デフォルト）。
6		タイマ4モード このビットを設定すると、タイマ4が周期モードで動作します。 このビットをクリアすると、タイマ4が自由継続モードで動作します（デフォルト）。
5:4	00 01 10 11	フォーマット バイナリ（デフォルト） 予備 時:分:秒:1/100:23時から0時 時:分:秒:1/100:255時から0時
3:0	0000 0100 1000 1111	プリスケアラ ソース・クロック/1（デフォルト） ソース・クロック/16 ソース・クロック/256 ソース・クロック/32768

外部メモリ・インターフェース

ADuC7129は、この製品シリーズの中で外部メモリ・インターフェースを提供する唯一のモデルです。外部メモリ・インターフェースには多数のピンが必要です。このため、ピン数の多いパッケージのみでこれを提供しています。外部ポートを使用するには、XMCFG MMRを1に設定する必要があります。

32ビット・アドレスには内部で対応しますが、アドレスの下位16ビットのみは外部ピンに割り当てられています。

メモリ・インターフェースは、非同期メモリ（SRAMおよび／またはEEPROM）の最大4つの128KB領域に対するアドレッシングに対応します。

外部メモリのインターフェースに必要なピンを表118に示します。

表118. 外部メモリ・インターフェース・ピン

ピン	機能
AD[15:0]	アドレス／データ・バス
A16	8ビット・メモリ専用の拡張アドレッシング
MS[3:0]	メモリ選択
WR ($\overline{\text{WR}}$)	書き込みストロブ
RS ($\overline{\text{RS}}$)	読出しストロブ
AE	アドレス・ラッチ・イネーブル
$\overline{\text{BHE}}$, $\overline{\text{BLE}}$	バイト書き込み機能

表119に示すように、4つの外部メモリ領域を利用できます。各領域に関連するMS[3:0]ピンが用意されています。これらの信号により、外部メモリの特定領域にアクセスできます。各メモリ領域のサイズを最大128KB、64k×16あるいは128k×8とすることができます。8ビット・メモリで128KBにアクセスするために、アドレス・ライン（A16）が追加されています。（図61の例を参照してください。）4つの領域は個別に設定します。

表119. メモリ領域

開始アドレス	終了アドレス	内容
0x10000000	0x1000FFFF	外部メモリ0
0x20000000	0x2000FFFF	外部メモリ1
0x30000000	0x3000FFFF	外部メモリ2
0x40000000	0x4000FFFF	外部メモリ3

XMCFG、XMxCON、XMxPARの3個のMMRを使用して、外部メモリ領域を個別に制御できます。

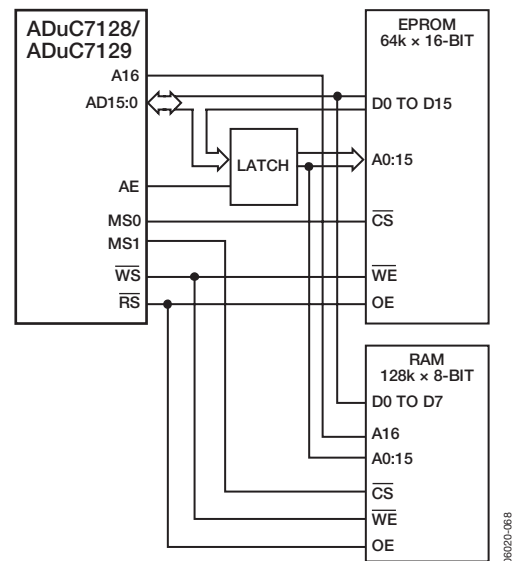


図61. 外部EPROM/RAMとのインターフェース

XMCFGレジスタ

Name	Address	Default Value	Access
XMCFG	0xFFFFF000	0x00	R/W

XMCFGを1に設定すると、外部メモリ・アクセスがイネーブルになります。これを1に設定しておかないと、ポート・ピンが外部メモリ・アクセス用のピンとして機能しません。ポート・ピンは、GPxCON MMRを使用して個別にイネーブルにする必要があります。

XMxCONレジスタ

Name	Address	Default Value	Access
XM0CON	0xFFFFF010	0x00	R/W
XM1CON	0xFFFFF014	0x00	R/W
XM2CON	0xFFFFF018	0x00	R/W
XM3CON	0xFFFFF01C	0x00	R/W

XMxCONレジスタは、各メモリ領域に対応するコントロール・レジスタです。これらのレジスタでメモリ領域をイネーブル／ディスエーブルに設定し、メモリ領域のデータ・バス幅を制御できます。

表120. XMxCON MMRのビット指定

ビット	説明
1	データ・バス幅選択 このビットを設定すると、16ビットのデータ・バスが選択されます。 このビットをクリアすると、8ビットのデータ・バスが選択されます。
0	メモリ領域イネーブル このビットを設定すると、メモリ領域がイネーブルになります。 このビットをクリアすると、メモリ領域がディスエーブルになります。

XMxPARレジスタ

Name	Address	Default Value	Access
XM0PAR	0xFFFFF020	0x70FF	R/W
XM1PAR	0xFFFFF024	0x70FF	R/W
XM2PAR	0xFFFFF028	0x70FF	R/W
XM3PAR	0xFFFFF02C	0x70FF	R/W

ADuC7128/ADuC7129

XMxPARは、外部メモリの各メモリ領域にアクセスするために使用するプロトコルを定義するレジスタです。

表121. XMxPAR MMRのビット指定

ビット	説明
15	バイト書き込みストロープ・イネーブル。このビットは、同じメモリ領域を共有する2つの8ビット・メモリ専用です。 このビットを設定すると、AD0出力が $\overline{WS}$ 出力でゲートされます。これにより、 $\overline{BHE}$ 信号や $\overline{BLE}$ 信号を使用せずにバイトの書き込みができます。 このビットをクリアすると、 $\overline{BHE}$ 信号および $\overline{BLE}$ 信号を使用します。
14:12	アドレス・ラッチ・イネーブル・ストロープの待ち状態回数
11	予備
10	追加アドレス・ホールド時間 このビットを設定すると、追加ホールド時間がディセーブルになります。 このビットをクリアすると、読出しと書き込み時に1クロック・サイクルのアドレス・ホールド時間がイネーブルになります。
9	読出し時の追加バス遷移時間 このビットを設定すると、追加バス遷移時間がディセーブルになります。 このビットをクリアすると、読出し選択 ($\overline{RS}$) の前後に1クロックの追加がイネーブルになります。
8	書き込み時の追加バス遷移時間 このビットを設定すると、追加バス遷移時間がディセーブルになります。 このビットをクリアすると、書き込み選択 ($\overline{WS}$) の前後に1クロックの追加がイネーブルになります。
7:4	書き込み待ち状態回数。 $\overline{WS}$ パルス長に追加される待ち状態の回数を選択します。0x0が1クロック・サイクル、0xFが16クロック・サイクル（デフォルト値）です。
3:0	読出し待ち状態回数。 $\overline{RS}$ パルス長に追加される待ち状態の回数を選択します。0x0が1クロック・サイクル、0xFが16クロック・サイクル（デフォルト値）です。

タイミング図

図62～65には、読出しサイクル（図62を参照）、アドレス・ホールド・サイクルとバス・ターン・サイクルをともなう読出しサイクル（図63を参照）、アドレス・ホールド・サイクルと書き込みホールド・サイクルをともなう書き込みサイクル（図64を参照）、待ち状態をともなう書き込みサイクル（図65を参照）のタイミングをそれぞれ示します。

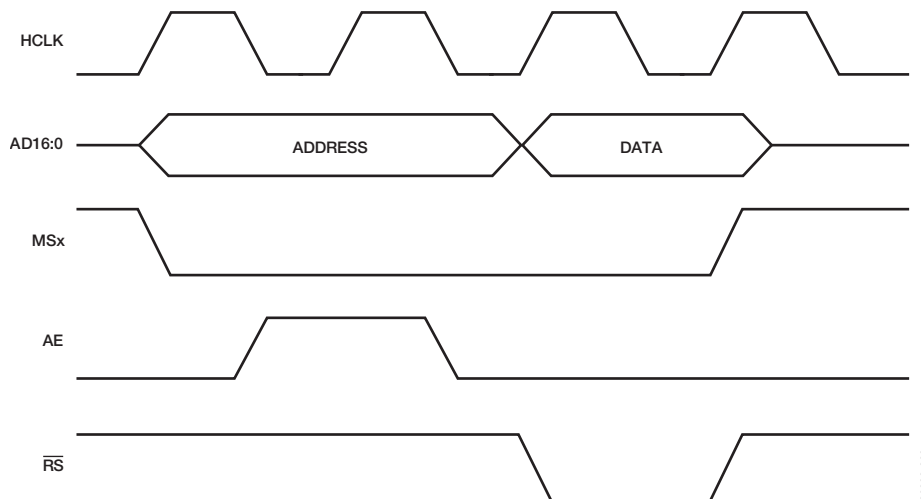


図62. 外部メモリ読出しサイクル

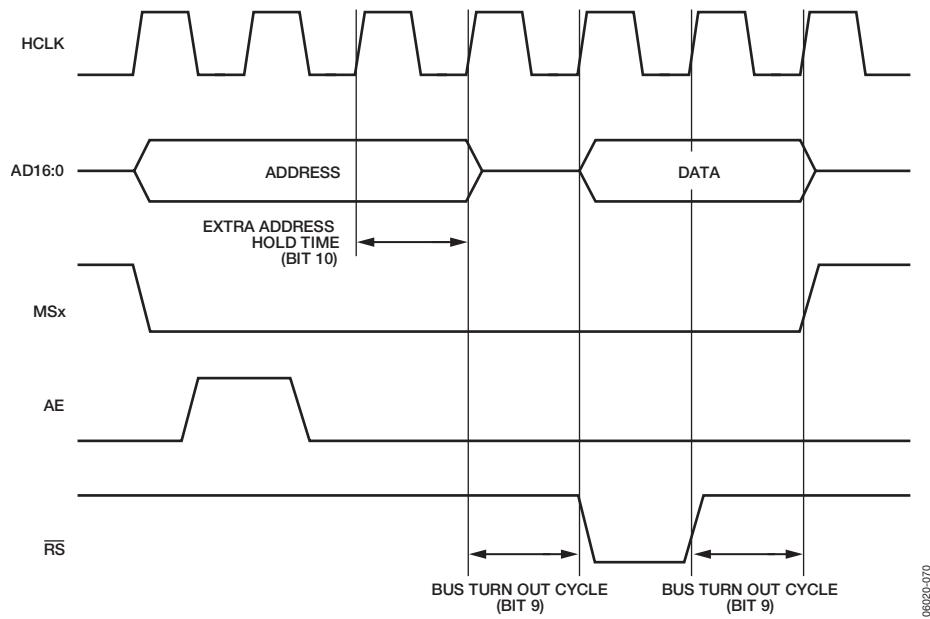


図63. アドレス・ホールド・サイクルとバス・ターン・サイクルをとこなう外部メモリ

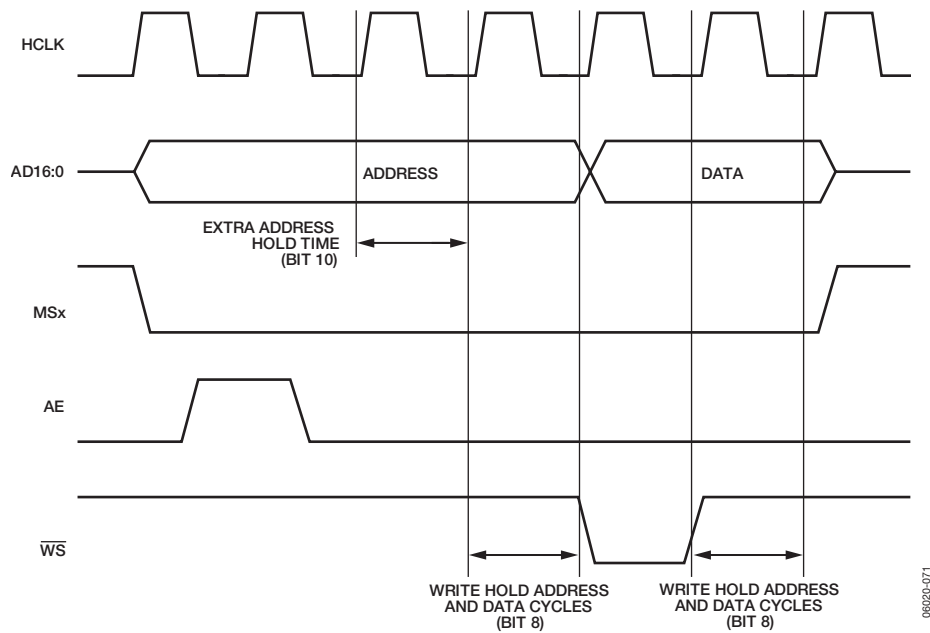


図64. アドレス・ホールド・サイクルと書き込みホールド・サイクルをとこなう外部メモリ書き込みサイクル

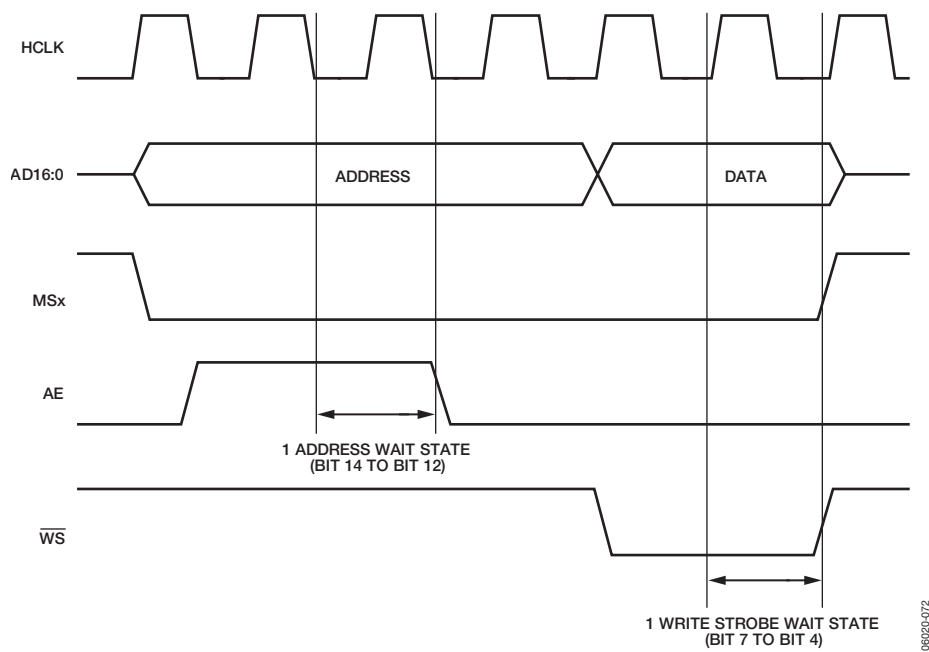


図65. 待ち状態をともなう外部メモリ書き込みサイクル

ハードウェア設計のポイント

電源

ADuC7128/ADuC7129の動作電源電圧範囲は、3.0~3.6Vです。アナログ電源ピンとデジタル電源ピン(それぞれ AV_{DD} と IOV_{DD})を分ければ、 AV_{DD} がシステムの IOV_{DD} ライン上に生じやすいノイズの多いデジタル信号の影響を比較的受けることはありません。このモードでは、分離電源を使用し、電源ごとに異なるレベルを利用してデバイスを動作させることもできます。たとえば、必要に応じて IOV_{DD} の電圧レベルを3.3V、 AV_{DD} を3Vとしたり、この逆に設定してシステムの動作を設計できます。図66に代表的な分離電源の構成を示します。

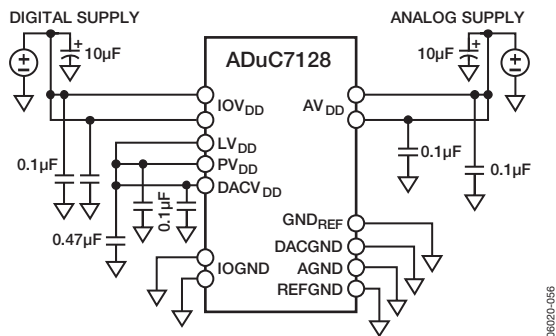


図66. 外部の両電源接続

2つの分離電源を用意する代わりに、 AV_{DD} と IOV_{DD} の間に小さな直列抵抗かフェライト・ビーズまたはその両方を接続し、さらにグラウンドに対して AV_{DD} を個別にデカップリングすることによって、 AV_{DD} のノイズを低減することができます。図67にこの構成の例を示します。この場合は、他のアナログ回路（オペアンプや電圧リファレンスなど）の電源も AV_{DD} 電源ラインから得られます。

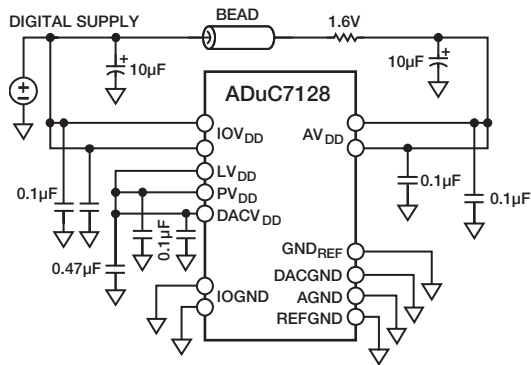


図67. 外部の両電源接続

図66でも図67でも、容量の大きい（10μF）電荷蓄積コンデンサを IOV_{DD} に接続し、別に10μFコンデンサを AV_{DD} に接続しています。さらに、ローカルな容量の小さい（0.1μF）コンデンサをチップの AV_{DD} ピンと IOV_{DD} ピンに外付けしています。標準的な設計手法に従って、これらのコンデンサをすべて配置し、パターン配線長をできるだけ短くしながら容量の小さいコンデンサを各 AV_{DD} ピンの近くに置いてください。

各コンデンサのグラウンド端子は、その下のグラウンド・プレーンに直接接続してください。ADuC7128/ADuC7129のアナログ・グラウンド・ピンとデジタル・グラウンド・ピンは、同じシステム・グラウンドのリファレンス・ポイントを基準にする必要があります。

最後に、LFCSPパッケージでは、パッケージ底部のパドルを金属プレートにハンダ付けして、機械的な安定性を得る必要があります。金属プレートは、グラウンドに接続してください。

リニア電圧レギュレータ

ADuC7128/ADuC7129には3.3Vの単電源が必要ですが、コア・ロジックには2.5V電源が必要です。オンチップのリニア・レギュレータは、コア・ロジック用の2.5Vを IOV_{DD} から生成します。 LV_{DD} ピンがコア・ロジック用の2.5V電源になります。DACロジックとPLLロジックにも2.5V電源が必要で、 LV_{DD} ピンから $DACV_{DD}$ ピンと PV_{DD} ピンに2.5V電源を外部接続する必要があります。図68に示すように、0.47μFの外部補償コンデンサを LV_{DD} と $DGND$ の間（これらのピンにできるだけ近い場所）に接続し、電荷タンクの役割を果たすようにしてください。さらに、0.1μFのデカップリング用コンデンサを PV_{DD} ピンと $DACV_{DD}$ ピンのできるだけ近くに配置する必要があります。

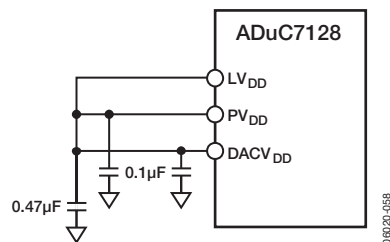


図68. 電圧レギュレータ接続

LV_{DD} ピンは、他のチップに使用しないでください。また、 IOV_{DD} には効果的な電源デカップリングを行い、オンチップの電圧レギュレータのライン・レギュレーション性能を改善することを推奨します。

グラウンディングとボード・レイアウトに関する推奨事項

あらゆる高分解能データ・コンバータの場合と同様、ADCとDACの最適な性能を引き出すにはグラウンディングとPCボードのレイアウトに特に注意して設計する必要があります。

ADuC7128/ADuC7129には、アナログとデジタルのグラウンド・ピン（AGNDとIOGND）が別々に用意されていますが、図69aの簡略図の例に示すように、2枚のグラウンド・プレーンと一緒にADuC7128/ADuC7129に近接させて接続する場合を除き、これらのピンを2つの異なるグラウンド・プレーンに接続しないようにしてください。デジタルとアナログのグラウンド・プレーンがどこか別の場所（たとえば、システム電源）で相互に接続されているシステムでは、グラウンド・ループができてしまうため、2つのグラウンド・プレーンをADuC7128/ADuC7129の近くに接続することはできません。

ADuC7128/ADuC7129

このような場合は、図69bに示すようにADuC7128/ADuC7129のAGNDピンとIOGNDピンをアナログ・グラウンド・プレーンに接続してください。グラウンド・プレーンが1つのみのシステムでは、デジタル部品とアナログ部品をボードの異なる半分に物理的に分離して配置し、デジタル・リターン電流がアナログ回路の近くに流れないように、あるいはアナログ・リターン電流がデジタル回路の近くに流れないようにします。このように配慮すれば、図69cに示すようにADuC7128/ADuC7129をデジタル・セクションとアナログ・セクションの間に実装できます。

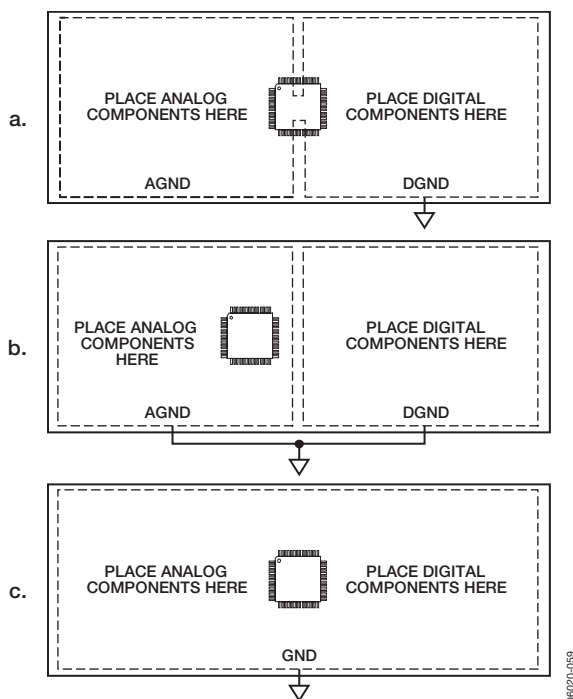


図69. システム・グラウンディング手法

これらのシナリオのすべてについて、そしてさらに複雑な現実のアプリケーションにおいては、電源からの電流の流れとグラウンドに戻る電流の流れに注意する必要があります。すべての電流のリターン・パスは電流が目的の場所へゆくのに通った経路のできる限り近くに設けてください。たとえば、アナログ側の部品（図69bを参照）にIOV_{DD}から電源を供給しないでください。IOV_{DD}からのリターン電流がAGNDに流れてしまいます。デジタル電流はアナログ回路の下を通さないようにしてください。ノイズが多いデジタル・チップをボードの左半分に配置すると、このようになることがあります（図69cを参照）。グラウンド・プレーンに大きい不連続（同じレイヤ上の長いパターン配線によって生じるものなど）があると、リターン信号が長いパスを移動することになるため、できる限りこのような不連続が生じないようにしてください。グラウンド・プレーンに直接すべての接続を行い、グラウンドに続くビアからピンを分離するパターン配線はできる限り使用しないようにしてください。

ADuC7128/ADuC7129のデジタル入力に高速のロジック信号（立上がり／立下がり時間が5ns未満）を接続する場合は、ADuC7128/ADuC7129の入力ピンの立上がり／立下がり時間を5nsよりも長くするために、該当する各ラインに直列抵抗を追加してください。

高速信号のADuC7128/ADuC7129に対する容量性結合やADC変換の精度の低下を防ぐには、一般に100Ωまたは200Ωの抵抗で十分です。

クロック発振器

内部PLLまたは外部クロック入力を使用して、ADuC7128/ADuC7129のクロック源を生成できます。内部PLLを使用するには、図70に示すように32.768kHzの共振水晶発振器をXCLKIとXCLKOの間に並列接続します。水晶発振器メーカーの推奨に従って、外部コンデンサを接続してください。ちなみに、水晶発振器のパッドには一般に10pFの内部容量があります。合計容量（10pFの内部容量と外部容量）がメーカーの定格値を超えないようにしてください。

32kHzの水晶発振器を使用すると、PLLが正しくロックして、41.78MHzの周波数が得られます。外部水晶発振器がない場合は、内部発振器を使用し、41.78MHz±3%（typ）の周波数が得られます。

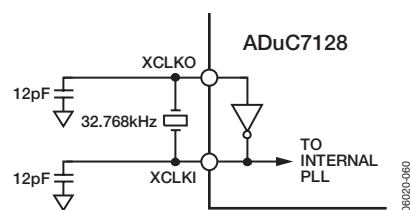


図69. システム・グラウンディング手法

PLLの代わりに外部ソースのクロック入力を使用するときは、PLLCONのビット1とビット0を変更する必要があります。外部クロックはXCLKピンを使用します。

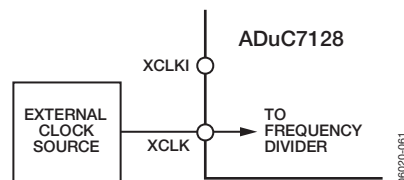


図71. 外部クロック源の接続

内部PLLまたは外部クロック源のいずれを使用しても、ADuC7128/ADuC7129の動作クロック速度範囲は50kHz～41.78MHzに規定されており、アナログ・ペリフェラルとフラッシュ/EEが正しく動作します。

パワーオン・リセット動作

ADuC7128/ADuC7129には、内部パワーオン・リセット (POR) が実装されています。LV_{DD}が2.45Vよりも低下すると、内部PORがADuC7128/ADuC7129をリセット状態に保持します。LV_{DD}が2.45Vよりも高くなると、内部タイマが64ms (typ) でタイムアウトし、デバイスがリセットから解放されます。このときまでに、IOV_{DD}電源が3.0Vの最小レベルで安定するようにしてください。パワーダウン時には、LV_{DD}が2.45Vよりも低くなるまで、内部PORがADuC7128/ADuC7129をリセット状態に保持します。図72に内部POR動作の詳細を示します。

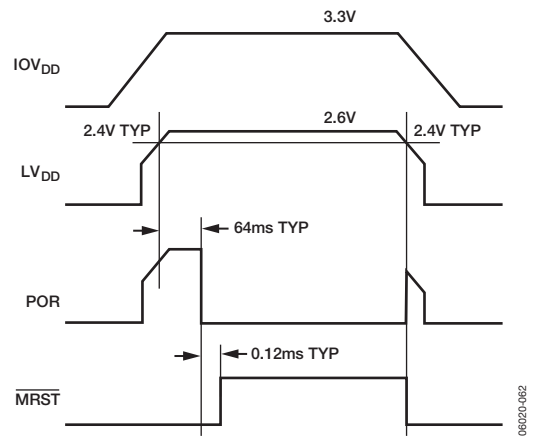


図72. 内部パワーオン・リセット動作

開発ツール

ADuC7128/ADuC7129向けに、初心者向けの低価格開発システムが用意されています。このシステムは、以下のPCベース（Windows®互換）のハードウェアおよびソフトウェア開発ツールで構成されています。

ハードウェア

- ADuC7128/ADuC7129評価用ボード
- シリアル・ポート・プログラミング用ケーブル
- JTAGエミュレータ

ソフトウェア

- アセンブラ、コンパイラ、非侵入式のJTAGベース・デバッグを含む統合型開発環境
- シリアル・ダウンローダ・ソフトウェア
- コード例

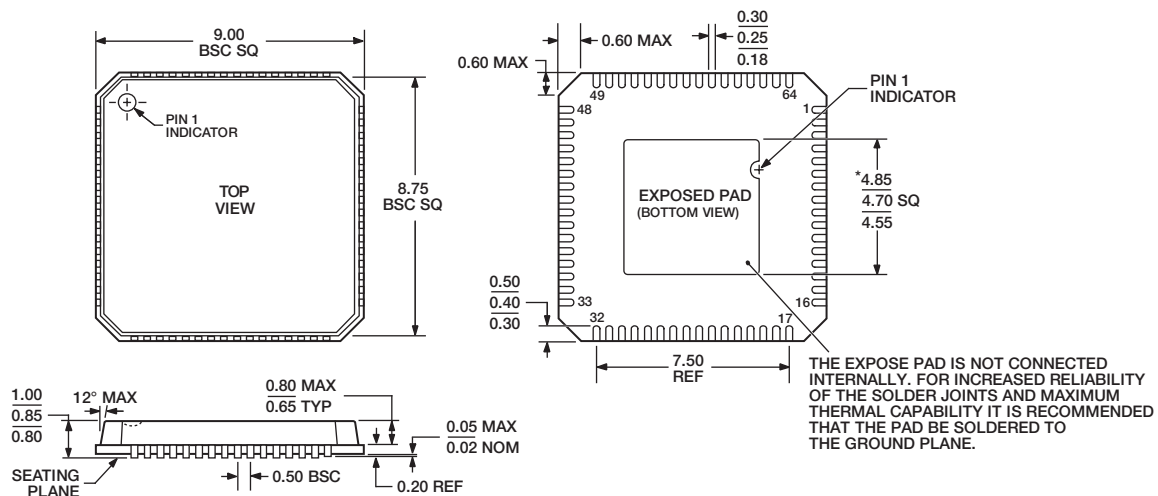
その他

- CD-ROMの説明書

インサーキット・シリアル・ダウンローダ

シリアル・ダウンローダは、標準PCのシリアル・ポートを使用してアセンブリ済みのプログラムをオンチップのプログラム・フラッシュ/EEメモリにシリアルにダウンロードできるWindowsアプリケーションです。

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4
EXCEPT FOR EXPOSED PAD DIMENSION

図73. 64ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]

9mm×9mmボディ、極薄クワッド

(CP-64-1)

寸法単位：mm

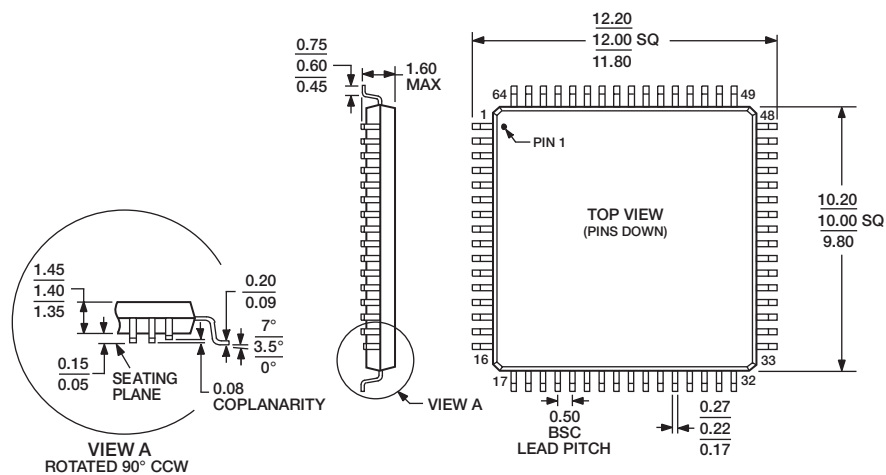
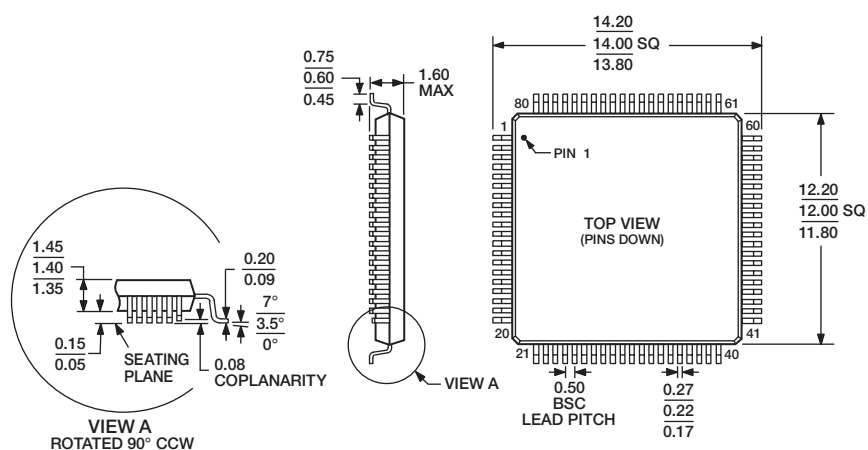


図74. 64ピン薄型クワッド・フラット・パッケージ [LQFP]

(ST-64-2)

寸法単位：mm

ADuC7128/ADuC7129



COMPLIANT TO JEDEC STANDARDS MS-026-BDD

051706-A

D06020-0-4/07(0)-J

図75. 80ピン薄型クワッド・フラット・パッケージ [LQFP]
(ST-80-1)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Product Description	Package Option
ADUC7128BCPZ126 ²	−40℃ to +125℃	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-1
ADUC7128BCPZ126-RL ²	−40℃ to +125℃	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-1
ADUC7128BSTZ126 ²	−40℃ to +125℃	64-Lead LQFP	ST-64-2
ADUC7128BSTZ126-RL ²	−40℃ to +125℃	64-Lead LQFP	ST-64-2
ADUC7129BSTZ126 ²	−40℃ to +125℃	80-Lead LQFP	ST-80-1
ADUC7129BSTZ126-RL ²	−40℃ to +125℃	80-Lead LQFP	ST-80-1
EVAL-ADUC7128QSPZ ²		Evaluation Board	

¹ リール数量はLFCSPが2500個、LQFPが1000個です。

² Z=RoHS準拠製品