

3.3V、16 チャンネル、E1/T1/J1 短距離ラインインタフェースユニット

japan.maxim-ic.com

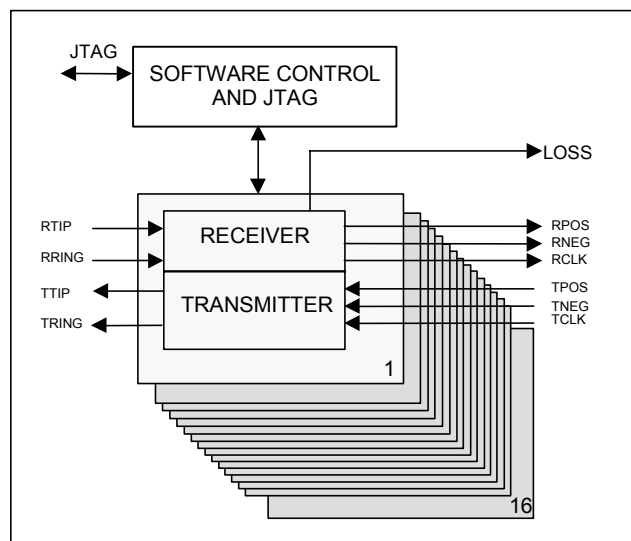
概要

DS26324 は、3.3V の単一電源で E1/T1/J1 に対応する 16 チャンネル短距離ラインインタフェースユニット(LIU)です。内部でのインピーダンス整合によって幅広いアプリケーションがサポートされます。1 種類の資材仕様書があれば、E1/T1/J1 のすべてを最小限の外付け部品で賄うことができます。冗長性は、非侵入型監視、最適のハイインピーダンスモード、および構成可能な 1:1 または 1+1 バックアップ強化によってサポートされます。オンチップシンセサイザは、多様な周波数の単一マスタクロック入力によって、E1/T1/J1 クロックレートを発生します。2 つのクロック出力リファレンスも提供されます。この製品は、16 チャンネル LIU では最小パッケージである 256 端子 TEBGA パッケージで提供されます。

アプリケーション

T1 デジタルクロスコネクト
ATM およびフレームリレー装置
ワイヤレス基地局
ISDN 一次群インタフェース
E1/T1/J1 マルチプレクサおよびチャネルバンク
E1/T1/J1 LAN/WAN ルータ

ファンクションダイアグラム



特長

- 16 個の E1、T1、または J1 の短距離ラインインタフェースユニット
- E1、T1、または J1 を個別に選択
- 送信および受信側インピーダンス整合をソフトウェアで選択可能
- 水晶不要のジッタ減衰器
- シングルレイルおよびデュアルレイルモード、および AMI または HDB3/B8ZS ラインエンコーディングとデコーディングを選択可能
- AIS の検出および生成
- T1.231、G.775、および ETSI 300 233 に対応したデジタル/アナログの信号消失の検出
- 外部マスタクロックを T1/J1 または E1 動作用に 2.048MHz または 1.544MHz の倍数に設定可能(このクロックは T1 または E1 用に内部で適用される。)
- 2.5dB ~ -20dB の範囲で 2.5dB 単位で増加の受信機信号レベルのインジケータ
- 診断用の 2 個の内蔵 BERT テスタ
- Intel または Motorola モードに対応した 8 ビットパラレルインタフェース、または 4 線式シリアルインタフェース
- 送信部の短絡回路保護
- G.772 非侵入型監視
- 受信モニタモードは 12dB ~ 30dB のケーブル減衰に従って 14dB または 20dB の抵抗減衰の組合せを処理
- 最新 T1/E1 規格の ANSI T1.102、AT&T Pub 62411、T1.231、T1.403、ITU G.703、G.742、G.775、G.823、ETSI 300 166、および ETSI 300 233 に準拠した仕様
- 5V 耐圧の I/O 付き 3.3V 単一電源
- IEEE 1149.1 に準拠した JTAG バウンダリスキャン

型番

PART	TEMP RANGE	PIN-PACKAGE
DS26324G	0°C to +70°C	256 TEBGA
DS26324GN	-40°C to +85°C	256 TEBGA

目次

1	規格準拠	6
1.1	テレコム仕様準拠	6
2	詳細説明	7
3	ブロック図	8
4	端子説明	10
5	機能説明	18
5.1	ポートの動作	18
5.1.1	シリアルポートの動作	18
5.1.2	パラレルポートの動作	19
5.1.3	割込み処理	19
5.2	パワーアップおよびリセット	20
5.3	マスタクロック	20
5.4	送信機	21
5.4.1	送信ラインテンプレート	23
5.4.2	LIU送信フロントエンド	26
5.4.3	デュアルレイル	27
5.4.4	シングルレイルモード	27
5.4.5	ゼロ抑制—B8ZSまたはHDB3	27
5.4.6	送信パワーダウン	27
5.4.7	すべて1を送信	28
5.4.8	ドライバ異常モニタ	28
5.5	受信機	28
5.5.1	受信機受信モニタモード	28
5.5.2	ピーク検出器およびスライサ	28
5.5.3	受信レベルインジケータ	28
5.5.4	クロックおよびデータの再生	29
5.5.5	ロスオブシグナル	29
5.5.6	AIS	30
5.5.7	バイポーラ違反および過剰ゼロ検出器	31
5.6	ジッタ減衰器	31
5.7	G.772 モニタ	32
5.8	ループバック	32
5.8.1	アナログループバック	32
5.8.2	デジタルループバック	33
5.8.3	遠隔ループバック	34
5.9	BERT	34
5.9.1	概要	34
5.9.2	設定と監視	35
5.9.3	受信パターンの検出	36
5.9.4	送信パターンの発生	38
6	レジスタマップおよび定義	39
6.1	レジスタの説明	48
6.1.1	一次レジスタバンク	48
6.1.2	二次レジスタバンク	60
6.1.3	個別LIUレジスタバンク	62
6.1.4	BERTレジスタ	78

7	JTAGバウンダリスキャンアーキテクチャおよび試験アクセスポート	85
7.1	TAPコントローラの状態遷移	86
7.2	命令レジスタ	89
7.3	試験レジスタ	90
7.4	バウンダリスキャンレジスタ	90
7.5	バイパスレジスタ	90
7.6	識別レジスタ	90
8	DC電气的特性	91
9	ACタイミング特性	92
9.1	ラインインタフェースの特性	92
9.2	パラレルホストインタフェースのタイミング特性	93
9.3	シリアルポート	105
9.4	システムのタイミング	106
9.5	JTAGのタイミング	108
10	端子配置	109
11	パッケージ情報	110
12	熱情報	111
13	改訂履歴	112

図のリスト

図 3-1. ブロック図	8
図 3-2. 受信ロジックの詳細	9
図 3-3. 送信ロジックの詳細	9
図 5-1. 書込みアクセスの場合のシリアルポート動作	18
図 5-2. CLKE = 0 での読取りアクセスの場合のシリアルポート動作	18
図 5-3. CLKE = 1 での読取りアクセスの場合のシリアルポート動作	19
図 5-4. 割込み処理の流れ図	20
図 5-5. プリスケアラPLLおよびクロック発生器	21
図 5-6. T1 送信パルステンプレート	24
図 5-7. E1 送信パルステンプレート	25
図 5-8. LIUフロントエンド	26
図 5-9. ジッタ減衰	32
図 5-10. アナログループバック	33
図 5-11. デジタルループバック	33
図 5-12. 遠隔ループバック	34
図 5-13. PRBSの同期状態図	36
図 5-14. 繰返しパターンの同期状態図	37
図 7-1. JTAG機能ブロック図	85
図 7-2. TAPコントローラ状態図	88
図 9-1. Intel非多重読取りサイクル	94
図 9-2. Intel多重読取りサイクル	95
図 9-3. Intel非多重書込みサイクル	97
図 9-4. Intel多重書込みサイクル	98
図 9-5. Motorola非多重読取りサイクル	100
図 9-6. Motorola多重読取りサイクル	101
図 9-7. Motorola非多重書込みサイクル	103
図 9-8. Motorola多重書込みサイクル	104
図 9-9. シリアルバスタイミング書込み動作	105
図 9-10. CLKE = 0 でのシリアルバスタイミング読取り動作	105
図 9-11. CLKE = 1 でのシリアルバスタイミング読取り動作	105
図 9-12. 送信機システムのタイミング	106
図 9-13. 受信機システムのタイミング	107
図 9-14. JTAGのタイミング	108
図 10-1. 256 ボールTEBGA	109

表のリスト

表 4-1. 端子説明	10
表 5-1. パラレルポートモード選択および端子機能	19
表 5-2. DS26324 送信機のテレコム仕様準拠	22
表 5-3. DS26324 送信機の制御に関するレジスタ	22
表 5-4. 短距離モードに関するDS26324 のテンプレート選択	23
表 5-5. LIUフロントエンド値	27
表 5-6. 損失基準T1.231、G.775、およびETSI 300 233 仕様	29
表 5-7. AIS基準T1.231、G.775、およびETSI 300 233 仕様	30
表 5-8. AIS検出およびリセット基準	30
表 5-9. AIS検出に關係するレジスタ	30
表 5-10. BPV、コード違反、および過剰ゼロエラーの報告	31
表 5-11. 擬似ランダムパターンの発生	35
表 5-12. 繰返しパターンの発生	35
表 6-1. 主レジスタセット	40
表 6-2. 補助レジスタセット	41
表 6-3. 個別LIUレジスタセット	42
表 6-4. BERTレジスタセット	43
表 6-5. 主レジスタセットのビットマップ	44
表 6-6. 補助レジスタセットのビットマップ	45
表 6-7. 個別LIUレジスタセットのビットマップ	46
表 6-8. BERTレジスタのビットマップ	47
表 6-9. G.772 監視制御(LIU 1)	52
表 6-10. G.772 監視制御(LIU 9)	53
表 6-11. TSTテンプレート選択送信機レジスタ(LIU 1~8)	56
表 6-12. TSTテンプレート選択送信機レジスタ(LIU 9~16)	56
表 6-13. テンプレートの選択	57
表 6-14. アドレスポインタバンクの選択	59
表 6-15. DS26324 のMCLK選択	65
表 6-16. 受信機受信感度/モニタモード利得の選択	69
表 6-17. 受信機の信号レベル	70
表 6-18. チャンネル 1~8 に対するビットエラーレートトランシーバの選択	73
表 6-19. チャンネル 9~16 に対するビットエラーレートトランシーバの選択	74
表 6-20. PLLクロックの選択	76
表 6-21. クロックAの選択	76
表 7-1. IEEE 1149.1 アーキテクチャの命令コード	89
表 7-2. IDコードの構成	90
表 7-3. デバイスのIDコード	90
表 8-1. DC端子のロジックレベル	91
表 8-2. 端子容量	91
表 8-3. 消費電流および出力電圧	91
表 9-1. 送信機特性	92
表 9-2. 受信機特性	92
表 9-3. Intel読取りモードの特性	93
表 9-4. Intel書込みサイクルの特性	96
表 9-5. Motorola読取りサイクルの特性	99
表 9-6. Motorola書込みサイクルの特性	102
表 9-7. シリアルポートのタイミングの特性	105
表 9-8. 送信機システムのタイミング	106
表 9-9. 受信機システムのタイミング	107
表 9-10. JTAGのタイミング特性	108
表 12-1. 熱特性	111

1 規格準拠

1.1 テレコム仕様準拠

LIU の DS26324 は、最新の関連テレコム仕様をすべて満たしています。以下に、T1 および E1 仕様と DS26324 に適用可能な関連セクションを列挙します。

- **T1 関連のテレコム仕様**
 - ANSI T1.102 デジタル階層構造の電氣的インタフェース
 - ANSI T1.231 デジタル階層構造、サービス性能監視におけるレイヤ 1
 - ANSI T1.403 ネットワークおよび顧客設置インタフェース、DS1 電氣的インタフェース
 - G.736 2048kbps で動作する同期デジタル多重化装置の特性
 - G.823 2048kbps 階層構造を基本とするデジタルネットワーク内のジッタおよびゆらぎの制御
 - Pub 62411 大容量地上デジタルサービス
 - ITUT G.772 デジタル送信システムに設けられた保護監視点
- **E1 関連のテレコム仕様**
 - ITUT G.703 G.703 階層型デジタルインタフェースの物理的/電氣的特性
 - ITUT G.736 2048kbps で動作する同期デジタル多重化装置の特性
 - ITUT G.742 8448kbps で動作する二次デジタル多重化装置
 - ITUT G.772 デジタル送信システムに設けられた保護監視点
 - ITUT G.775 信号消失(LOS)およびアラーム表示信号(AIS)欠陥検出およびクリアランス基準
 - ETSI 300 166 2048kbps ベースの独立同期または同期デジタル階層構造を採用した装置の階層型デジタルインタフェースの物理的/電氣的特性
 - ETSI 300 233 統合サービスデジタル網(ISDN)
 - G.736 2048kbps で動作する同期デジタル多重化装置の特性
 - G.823 2048kbps 階層構造を基本とするデジタルネットワーク内のジッタおよびゆらぎの制御
 - Pub 62411 大容量地上デジタルサービス

2 詳細説明

DS26324 は、T1 (1.544Mbps)および E1 (2.048Mbps)アプリケーション向けの単一チップ、16 チャンネル、短距離ラインインタフェースユニットです。16 個の独立したレシーバおよびトランスミッタが単一の TEBGA パッケージに収納されています。LIU は、T1、J1、または E1 動作に対して個別に選択することができます。LIU には単一のマスタリファレンスクロックが必要です。このクロックは 1.544MHz または 2.048MHz またはこれらの倍数とすることができ、どの周波数も内部で T1、J1、または E1 モードに適合させることができます。送信と受信の両経路に対して内部でインピーダンス整合を取ることによって、外付け部品点数が低減されています。送信波形は G.703 および T1.102 仕様に準拠しています。DS26324 は、100Ω T1 ツイストペア、110Ω J1 ツイストペア、120Ω E1 ツイストペア、および 75Ω E1 同軸アプリケーションをソフトウェアで選択することによって内部の送信側で終端することができます。トランスミッタは高速ハイインピーダンス機能を備えており、個別にパワーダウンすることができます。

レシーバは、受信信号が最大 18dB 減衰した状態で機能します。また、14dB と 20dB の抵抗利得が得られるようにモニタの利得を設定することができます。DS26324 は、G.772 に準拠してチャンネル 1 と 9 を非侵入型監視に使用した 14 チャンネル LIU として構成することができます。レシーバとトランスミッタは、シングルまたはデュアルレイルモードに設定することができます。AMI または HDB3/B8ZS エンコーディングおよびデコーディングは、シングルレイルモードで選択可能です。各 LIU 用の 128 ビット、水晶不要、内蔵のジッタ減衰器は、受信または送信方向に配置することができます。ジッタ減衰器は、ETSI CTR12/13 ITU G.736、G.742、G.823、および AT&T Pub 62411 の各仕様を満たしています。

DS26324 は、T1.231、G.775、および ETSI 300 233 に準拠して AIS を検出/生成します。信号の消失は、T1.231、G.775、および ETSI 300 233 に準拠して検出されます。DS26324 は、個々の LIU でデジタル、アナログ、遠隔、およびデュアルループバックを行うことができます。デジタルピンに対しては JTAG バウンダリスキャンが提供されます。

DS26324 は、8 ビットの多重または非多重の Intel または Motorola ポートを使って構成することができます。デバイスの設定と監視には、4 ピンシリアルポートの選択も利用することができます。

E1 ラインの AMI/HDB3 波形、または T1 ラインの AMI/B8ZS 波形は、DS26324 の RTIP ピンおよび RRING ピンにトランス結合されます。ユーザには、1 個の外付け抵抗器を使用して 75Ω、100Ω、110Ω、または 120Ω の内部インピーダンス整合を選択するオプションがあります。デバイスは、アナログ信号からクロックとデータを再生して選択可能なジッタ減衰器を通過させ、受信したラインクロックを RCLK に、データを RPOS と RNEG に出力します。

DS26324 レシーバは、送信された信号の最大 18dB の減衰に対してデータとクロックを再生することができます。レシーバ 1 は、レシーバ 2~8 またはトランスミッタ 2~8 の性能を監視することができます。レシーバ 9 は、レシーバ 10~16 またはトランスミッタ 10~16 の性能を監視することができます。

DS26324 は、16 個の全く同じトランスミッタを内蔵しています。デジタル送信データは、TCLK を基準にして TPOS/TNEG で入力されます。これらのピンにおけるデータは、シングルレイル、デュアルレイルのいずれであっても構いません。このデータは、波形整形回路とラインドライバによって処理され、ANSI T1.102 (T1/J1 マスクの場合)または G.703 (E1 マスクの場合)に準拠して TTIP ピンおよび TRING ピンに出力されます。

DS26324 は、1:2 の結合トランスによって、TTIP ピンおよび TRING ピンから E1 または T1 ラインを駆動します。DS26324 は、レシーバ巻数比(RTR)ビットによって受信側の 1:1 または 1:2 のどちらか一方のトランスの使用に対応します。受信側の内部インピーダンス整合によって、1 つの外部抵抗値で T1/J1/E1 の全モードの動作が可能になります。

3 ブロック図

図 3-1. ブロック図

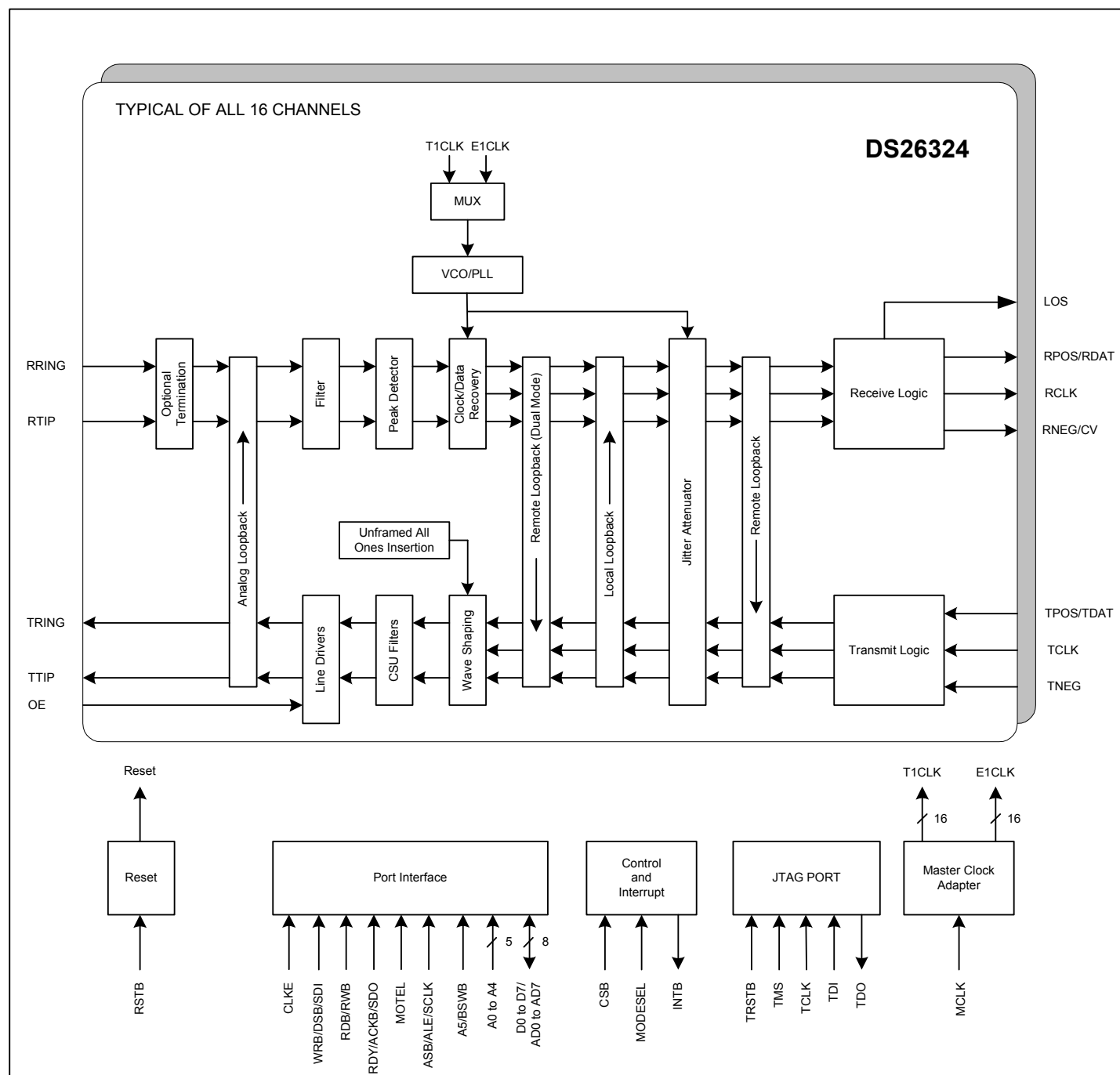


図 3-2. 受信ロジックの詳細

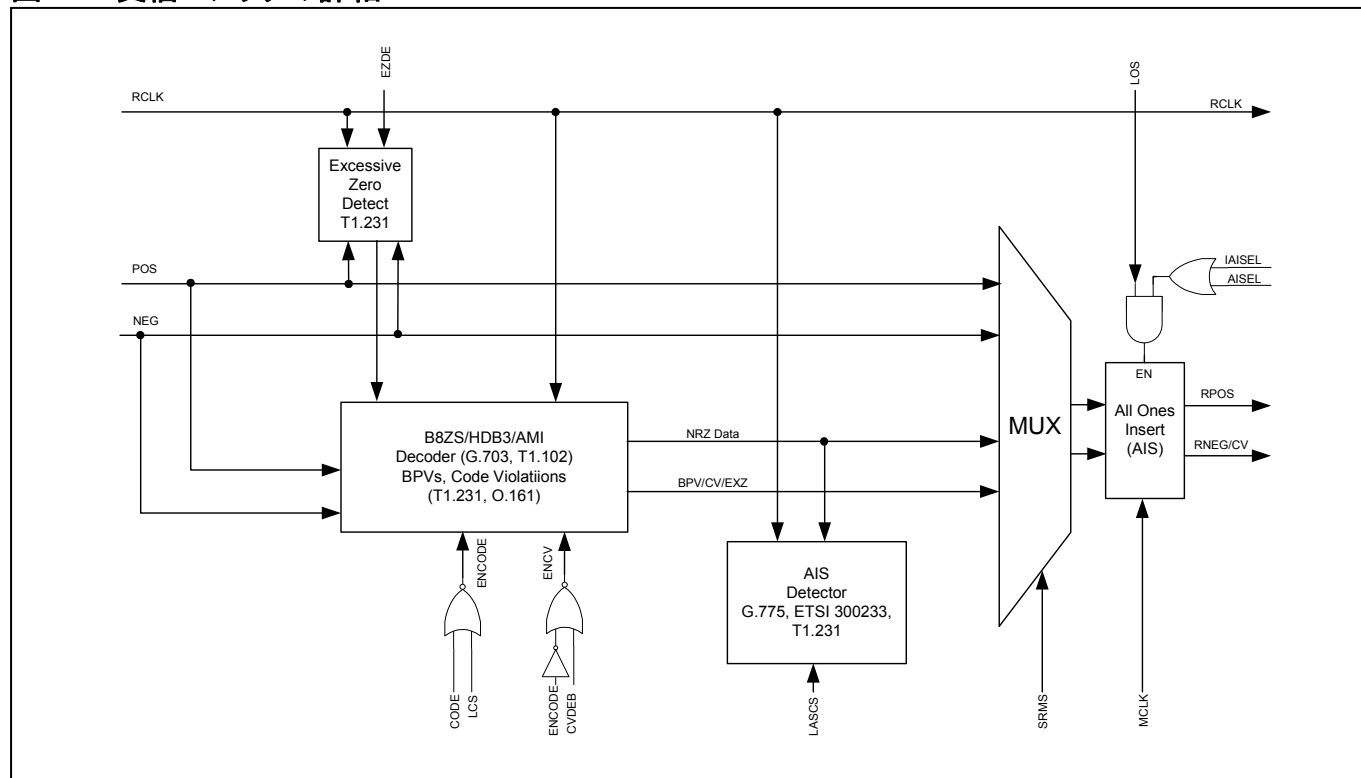
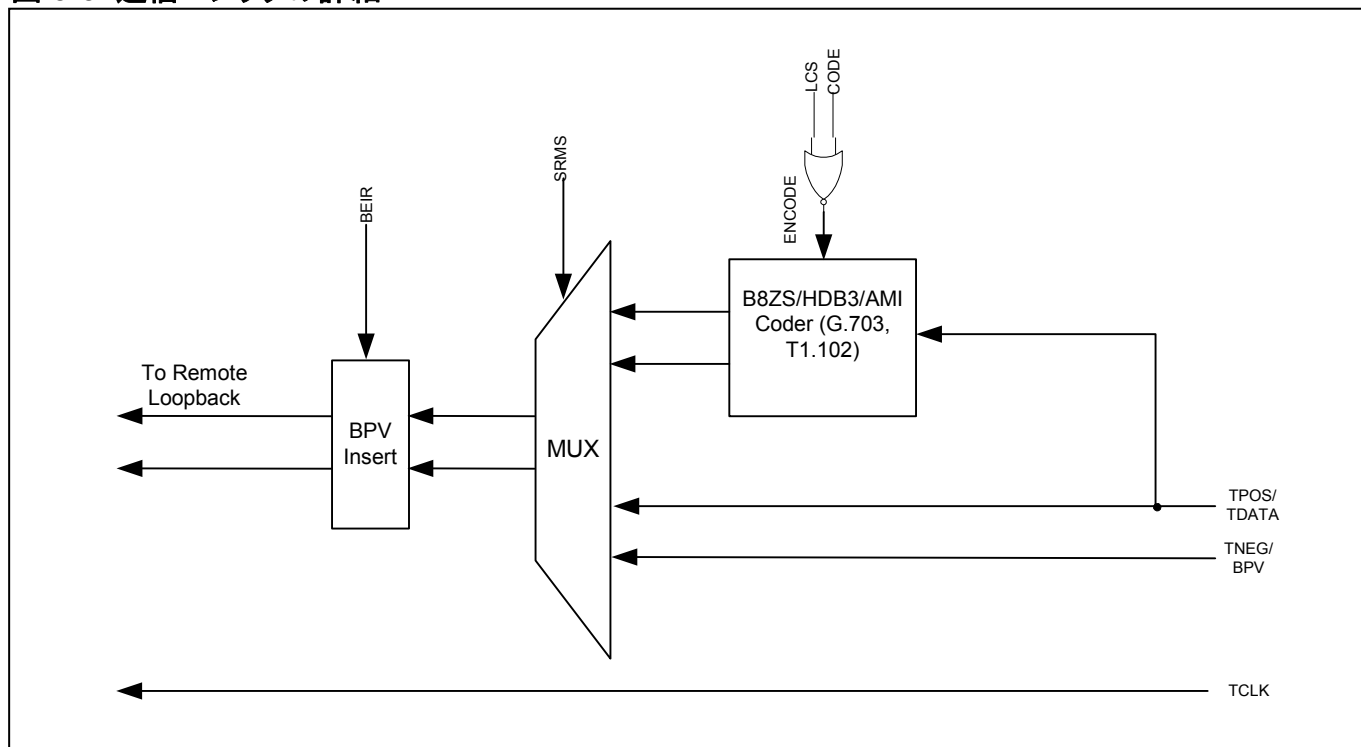


図 3-3. 送信ロジックの詳細



4 端子説明

表 4-1. 端子説明

名称	端子	タイプ	機能
アナログ送受信			
TTIP1	E1	アナログ出力	チャンネル 1～16 に対する送信バイポーラチップ:これらのピンは差動ラインドライバチップ出力です。ピンOEがローの場合、これらのピンはハイインピーダンスになります。出力イネーブルレジスタの OE ビットに「1」が設定されていると、OEピンがハイのとき関連するTTIPnピンがイネーブルされます。TTIPnとTRINGnの差動出力は、E1 75Ω、E1 120Ω、T1 100Ω、またはJ1 110Ωに対して内部でインピーダンスを整合させることができます。 所定の LIU に対する TCLK 入力が 64 個の MCLK に対してローに保たれると、その LIU のトランスミッタはパワーダウンされて TTIP/TRING 出力がハイインピーダンスになります。
TTIP2	F1		
TTIP3	K1		
TTIP4	L1		
TTIP5	T5		
TTIP6	T6		
TTIP7	T10		
TTIP8	T11		
TTIP9	M16		
TTIP10	L16		
TTIP11	G16		
TTIP12	F16		
TTIP13	A12		
TTIP14	A11		
TTIP15	A7		
TTIP16	A6		
TRING1	E2	アナログ出力	チャンネル 1～16 に対する送信バイポーラリング:これらのピンは差動ラインドライバリング出力です。ピンOEがローの場合、これらのピンはハイインピーダンスになります。出力イネーブルレジスタの OE ビットに「1」が設定されていると、OEピンがハイのとき関連するTRINGnピンがイネーブルされます。TTIPnとTRINGnの差動出力は、E1 75Ω、E1 120Ω、T1 100Ω、またはJ1 110Ωに対して内部でインピーダンスを整合させることができます。 所定の LIU に対する TCLK 入力が 64 個の MCLK に対してローに保たれると、その LIU のトランスミッタはパワーダウンされて TTIP/TRING 出力がハイインピーダンスになります。
TRING2	F2		
TRING3	K2		
TRING4	L2		
TRING5	R5		
TRING6	R6		
TRING7	R10		
TRING8	R11		
TRING9	M15		
TRING10	L15		
TRING11	G15		
TRING12	F15		
TRING13	B12		
TRING14	B11		
TRING15	B7		
TRING16	B6		
RTIP1	A1	アナログ入力	チャンネル 1～16 に対する受信バイポーラチップ:差動レシーバの受信アナログ入力。データとクロックが再生されて、それぞれ RPOS/RNEG ピンと RCLK ピンに出力されます。RTIPnとRRINGnの差動入力は、E1 75Ω、E1 120Ω、T1 100Ω、または J1 110Ω に対して外部抵抗によってインピーダンスを整合させることができます。
RTIP2	C1		
RTIP3	H1		
RTIP4	N1		
RTIP5	T1		
RTIP6	T3		
RTIP7	T8		
RTIP8	T13		
RTIP9	T16		
RTIP10	P16		
RTIP11	J16		
RTIP12	D16		
RTIP13	A16		
RTIP14	A14		
RTIP15	A9		
RTIP16	A4		

名称	端子	タイプ	機能															
RRING1	A2	アナログ 入力	チャンネル 1～16 に対する受信バイポーラリング: 差動レシーバの受信アナログ入力。データとクロックが再生されて、それぞれ RPOS/RNEG ピンと RCLK ピンに出力されます。RTIPn と RRINGn の差動入力は、E1 75Ω、E1 120Ω、T1 100Ω、または J1 110Ω に対して外部抵抗によってインピーダンスを整合させることができます。															
RRING2	C2																	
RRING3	H2																	
RRING4	N2																	
RRING5	R1																	
RRING6	R3																	
RRING7	R8																	
RRING8	R13																	
RRING9	T15																	
RRING10	P15																	
RRING11	J15																	
RRING12	D15																	
RRING13	B16																	
RRING14	B14																	
RRING15	B9																	
RRING16	B4																	
デジタル Tx/Rx																		
TPOS1/TDATA1	F6	I	チャンネル 1～16 に対する送信正データ入力: DS26324 がデュアルレイルモードに設定されていると、TPOSn へのデータ入力はライン上に正パルスとして出力されます(チップとリング)。 チャンネル 1～16 に対する送信データ入力: デバイスがシングルレイルモードに設定されていると、NRZ データは TDATA _n に入力されます。このデータは TCLK _n の立下りエッジでサンプリングされて、ラインに出力される前に HDB3/B8ZS または AMI コーディングされます。															
TPOS2/TDATA2	G7																	
TPOS3/TDATA3	J6																	
TPOS4/TDATA4	K6																	
TPOS5/TDATA5	L9																	
TPOS6/TDATA6	N5																	
TPOS7/TDATA7	P12																	
TPOS8/TDATA8	M11																	
TPOS9/TDATA9	L11																	
TPOS10/TDATA10	J11																	
TPOS11/TDATA11	G11																	
TPOS12/TDATA12	C14																	
TPOS13/TDATA13	F9																	
TPOS14/TDATA14	E7																	
TPOS15/TDATA15	N12																	
TPOS16/TDATA16	D5																	
TNEG1	C3	I	チャンネル 1～16 に対する送信負データ入力: DS26324 がデュアルレイルモードに設定されていると、TNEG _n へのデータ入力はライン上に負マークとして出力されます。デュアルレイルモードの TPOS と TNEG は、正と負のパルスとなってライン上で送出されます。 <table><tr><th>TPOS_n</th><th>TNEG_n</th><th>出力パルス</th></tr><tr><td>0</td><td>0</td><td>スペース</td></tr><tr><td>0</td><td>1</td><td>負マーク</td></tr><tr><td>1</td><td>0</td><td>正マーク</td></tr><tr><td>1</td><td>1</td><td>スペース</td></tr></table>	TPOS _n	TNEG _n	出力パルス	0	0	スペース	0	1	負マーク	1	0	正マーク	1	1	スペース
TPOS _n	TNEG _n			出力パルス														
0	0			スペース														
0	1			負マーク														
1	0			正マーク														
1	1			スペース														
TNEG2	J14																	
TNEG3	J5																	
TNEG4	G10																	
TNEG5	M6																	
TNEG6	P6																	
TNEG7	P7																	
TNEG8	K9																	
TNEG9	L12																	
TNEG10	J12																	
TNEG11	H11																	
TNEG12	E13																	
TNEG13	G8																	
TNEG14	F7																	
TNEG15	C6																	
TNEG16	C5																	
TCLK1	F5	I	チャンネル 1～16 に対する送信クロック: 送信クロックは、T1 モードでは 1.544MHz、E1 モードでは 2.048MHz であるものとします。TCLK _n は、データ TPOS/TNEG または TDATA を立下りエッジでサンプリング															
TCLK2	G4																	
TCLK3	G9																	

名称	端子	タイプ	機能
TCLK4	H6		するために使用されるクロックです。求められる TCLK は反転することができます。 TCLKn が 16 個以上の MCLK に対して「ハイ」の場合、すべて 1 を送信 (TAO) は対応する送信チャネルのライン側に送信されます。TCLKn がクロッキングを再開すると、対応する送信チャネルに対する通常動作が再び始まります。 TCLKn が 64 個以上の MCLK に対して「ロー」の場合、ライン側の対応する送信チャネルがパワーダウンしてハイインピーダンスになります。TCLKn がクロッキングを再開すると、対応する送信チャネルがパワーアップしてハイインピーダンスから抜け出します。
TCLK5	M7		
TCLK6	L8		
TCLK7	L10		
TCLK8	P9		
TCLK9	K11		
TCLK10	K12		
TCLK11	F14		
TCLK12	E12		
TCLK13	C11		
TCLK14	D12		
TCLK15	N7		
TCLK16	D11		
RPOS1/RDATA1	F4	O、 トライステート	チャンネル 1～16 に対する受信正データ出力:デュアルレイルモードでは、NRZデータ出力はRTIP/RRINGの正パルスを示します。LOSが検出されると、GCのAISELビットが設定されている場合はAISを挿入することができますが、それ以外の場合はピンがアクティブになります。また、AIS挿入は AISEL レジスタによってLIUごとに個別に制御することができます。所定のレシーバがパワーダウンモードにあれば、関連するRPOSピンはハイインピーダンスになります。 チャンネル 1～16 に対する受信データ出力:シングルレイルモードでは、NRZ データはこのピンに送出されます。所定のレシーバがパワーダウンモードにあれば、関連する RPOS ピンはハイインピーダンスになります。 注:LOS 状態では、RPOS/RDATA 出力がアクティブな状態を保ちます。
RPOS2/RDATA2	F3		
RPOS3/RDATA3	L3		
RPOS4/RDATA4	L4		
RPOS5/RDATA5	K8		
RPOS6/RDATA6	M9		
RPOS7/RDATA7	P8		
RPOS8/RDATA8	M12		
RPOS9/RDATA9	M14		
RPOS10/RDATA10	K13		
RPOS11/RDATA11	G12		
RPOS12/RDATA12	E14		
RPOS13/RDATA13	C12		
RPOS14/RDATA14	C10		
RPOS15/RDATA15	C8		
RPOS16/RDATA16	E5		
RNEG1/CV1	E3	O、 トライステート	チャンネル 1～16 に対する受信負データ出力:デュアルレイルモードでは、NRZデータ出力はRTIP/RRINGの負パルスを示します。LOSが検出されると、GCのAISELビットが設定されている場合はAISを挿入することができますが、それ以外の場合はピンがアクティブになります。また、AIS挿入は AISEL レジスタによってLIUごとに個別に制御することができます。所定のレシーバがパワーダウンモードにあれば、関連するRNEGピンはハイインピーダンスになります。 チャンネル 1～16 に関するコード違反:シングルレイルモードでは、バイポーラ違反、コード違反、および過剰ゼロが CVn で報告されます。HDB3 または B8ZS が選択されていなければ、このピンは BPV のみを示します。所定のレシーバがパワーダウンモードにあれば、関連する CV ピンはハイインピーダンスになります。
RNEG2/CV2	G5		
RNEG3/CV3	K4		
RNEG4/CV4	M3		
RNEG5/CV5	L7		
RNEG6/CV6	M10		
RNEG7/CV7	P11		
RNEG8/CV8	K10		
RNEG9/CV9	M13		
RNEG10/CV10	L14		
RNEG11/CV11	F13		
RNEG12/CV12	F11		
RNEG13/CV13	E10		
RNEG14/CV14	C9		
RNEG15/CV15	C7		
RNEG16/CV16	J3		
RCLK1	D3	O、 トライステート	チャンネル 1～16 に対する受信クロック:受信データ(RPOS/RNEG)は RCLK の立上りエッジでクロックアウトされます。所定のレシーバがパワーダウンモードにあれば、RCLK はハイインピーダンスになります。LOS が検出されると、RCLK は再生されたクロックから MCLK に切り替えられます。RCLK は RCLKI レジスタによって反転することができます。
RCLK2	G6		
RCLK3	K3		
RCLK4	K5		
RCLK5	P5		
RCLK6	M8		
RCLK7	P10		
RCLK8	P13		

名称	端子	タイプ	機能
RCLK9	L13		
RCLK10	K14		
RCLK11	G13		
RCLK12	F12		
RCLK13	E8		
RCLK14	E9		
RCLK15	F8		
RCLK16	E6		
MCLK	H12	I	マスタクロック:これは、E1 モードでは 2.048MHz $\pm$50ppm、T1 モードでは 1.544MHz $\pm$50ppmの倍数とすることができる独立した自走クロックです。クロックの選択は、MCビット、MPS0、MPS1、FREQS、および PLLEによって行うことができます。2.048MHzの倍数は内部で 1.544MHzに適合され、1.544MHzの倍数は内部で 2.048MHzに適合されます。
LOS1	D2	O	信号出力の消失:規定の時間間隔にわたって受信信号に遷移がなければ、この出力はハイになります。受信信号に 1 が十分な密度で存在すれば、この出力はローになります。アサーションおよびデアサーション基準に対するLOS基準は 5.5.5項に記載されています。LOS出力は、T1.231、ITU G.775、またはETSI 300 233 に合わせて設定することができます。 T1/E1 クロック(TECLK) (ボールE11 のみ):この出力は、レジスタ MCによってイネーブルされるとT1 またはE1 モードでプログラム可能なクロック出力になります。T1 またはE1 周波数の選択については、レジスタ CCRをご覧ください。 クロックA (CLKA) (ボールF10 のみ):この出力は、レジスタ MCによってイネーブルされるとプログラム可能なクロック出力になります。周波数オプションについては、レジスタ CCRをご覧ください。
LOS2	G2		
LOS3	J2		
LOS4	M2		
LOS5	R2		
LOS6	T2		
LOS7	R4		
LOS8	R7		
LOS9	R14		
LOS10	N15		
LOS11	K15		
LOS12	H15		
LOS13	B10		
LOS14	B8		
LOS15/TECLK	E11		
LOS16/CLKA	F10		

名称	端子	タイプ	機能
ホスト選択			
MODESEL	A3	I	モード選択: このピンは、DS26324 の制御モードの選択に使用されます。 ロー → シリアルホストモード ハイ → パラレルホストモード
MOTEL	B3	I	Motorola Intel 選択: このピンがローのとき Motorola モードが選択されます。このピンがハイのとき Intel モードが選択されます。
CSB	P14	I	チップ選択バー: この信号は、各レジスタへのすべてのアクセスの間はローであるものとします。
SCLK/ALE/ASB	N14	I	シフトクロック: シリアルホストモードでは、このピンはシリアルクロックです。SDI のデータは、SCLK の立上りエッジでクロック駆動されます。CLKE がハイの場合、SDO のデータは SCLK の立上りエッジでクロック駆動されます。CLKE がローの場合、SDO のデータは SCLK の立下りエッジでクロック駆動されます。 アドレスラッチイネーブル: パラレル Intel 多重モードでは、アドレスラインは ALE の立下りエッジでラッチされます。 アドレスストローブバー: パラレル Motorola 多重モードでは、アドレスは ASB の立下りエッジでサンプリングされます。 注: 非多重モードを使用する場合、ALE/ASB ピンはハイになります。
RDB/RWB	H14	I	読取りバー: Intel ホストモードでは、このピンは読取り動作に対してローにする必要があります。 読取り書込みバー: Motorola モードでは、このピンは書込み動作に対してローで、読取り動作に対してハイです。
SDI/WRB/DSB	G14	I	シリアルデータ入力: シリアルホストモードでは、このピンはシリアル入力 SDI です。これは SCLK の立上りエッジでサンプリングされます。 書込みバー: Intel ホストモードでは、このピンは書込み動作中アクティブローです。データまたはアドレス(多重モード)は、WRB の立上りエッジでサンプリングされます。 データストローブバー: パラレル Motorola モードでは、このピンはアクティブローです。書込み動作中、データまたはアドレスは DSB の立上りエッジでサンプリングされます。読取り動作中、データまたはアドレスは DSB の立上りエッジで駆動されます。非多重 Motorola モードでは、アドレスバス(A[5:0])は DSB の立下りエッジでラッチされます。
SDO/RDYB/ACKB	C13	O	シリアルデータ出力: シリアルホストモードでは、SDO データがこのピンに出力されます。シリアル書込みが進行中であれば、このピンはハイインピーダンスです。読取り中、SDI がコマンド/アドレスモードにあるときは、SDO はハイインピーダンスです。CLKE がローであれば、SDO は SCLK の立上りエッジで出力され、CLKE がハイであれば立下りエッジで出力されます。 準備バー出力: このピンがハイであれば、サイクルが未完であり待ち状態の挿入が必要であることがホストに報告されます。ローはサイクルが終了していることを示します。 確認応答バー: パラレル Motorola モードでは、このピンがローであれば、ホストによるデータの読取りが可能であるか、または書込みデータサイクルが終了していることを示します。

名称	端子	タイプ	機能
INTB	D7	O、オープン ドレイン	割込みバー(アクティブロー): この信号は、RST ピンがローのときトリス状態です。レジスタバンクのどれかにおいてイネーブル済み割込み源のどれかでイベントが検出されたとき、この割込み信号はローに駆動されます。アクティブなイネーブル済み割込み源がないとき、このピンを設定によってハイに駆動することもオープンドレインとすることもできます。アクティブなイネーブル済み割込み源がないとき、デフォルトのリセットはオープンドレインです。RST = 0 のときすべての割込み源はディセーブルされます。これらはイネーブルされるように設定する必要があります。
D7/AD7	N3	I/O、 トリスステート	データバス 7~0: 非多重ホストモードでは、これらのピンは双方向データバスです。 アドレス/データバス 7~0: 多重ホストモードでは、これらのピンは双方向アドレス/データバスです。 注: AD7 と AD6 はアドレス情報を含んでいません。 シリアルホストモードでは、これらのピンをグランドに接続するものとします。
D6/AD6	P3		
D5/AD5	M4		
D4/AD4	L5		
D3/AD3	K7		
D2/AD2	P4		
D1/AD1	M5		
D0/AD0	L6		
A5/BSWP	E4	I	アドレス 5: 非多重ホストモードでは、これはアドレスバスの最上位ビットです。 ビット交換: シリアルホストモードでは、このビットはローのとき MSB が先頭に来るように、またハイのとき LSB が先頭に来るようにシリアルデータ位置を定めます。 多重ホストモードでは、このピンをグランドに接続するものとします。
A4	C4	I	アドレスバス 4~0: これら 5 つのピンは、パラレルホストモードでのアドレスピンです。シリアルホストモードおよび多重ホストモードでは、これらのピンをグランドに接続するものとします。
A3	H5		
A2	G3		
A1	H3		
A0	N10		
OE	R12	I	出力イネーブル: このピンがローに駆動されると、すべてのトランスミッタ出力(TTIPとTRING)はハイインピーダンスになります。ハイに駆動されると、関連する出力イネーブル OE ビットが設定されたときすべてのトランスミッタがイネーブルされます。 GC.RTCTL が設定されると、OE ピンはレシーバの内部終端の制御を許可されます。OE がローのとき、レシーバの内部終端はハイインピーダンスになります。OE がハイのとき、レシーバ終端はイネーブルされます。終端がハイインピーダンスのときも、レシーバは受信信号を監視することができます。
CLKE/MUX	T14	I	クロックエッジ: SDO は、CLKE がハイであれば SCLK の立下りエッジでクロックアウトされ、CLKE がローであれば SCLK の立上りエッジでクロックアウトされます。 多重/非多重選択ピン: パラレルポートモードにあるとき、このピンは多重アドレスおよびデータ動作の選択、またはアドレスとデータの分離に使用されます。MUX がハイのとき多重アドレスおよびデータが使用され、MUX がローのとき非多重が使用されます。

名称	端子	タイプ	機能
JTAG			
TRSTB	E15	I、 プルアップ	JTAG 試験ポートリセット: ローであれば、このピンは JTAG ポートをリセットします。これを使用しない場合は、フローティングにしておくことができます。
TMS	B13	I、 プルアップ	JTAG 試験モード選択: このピンは、TCK の立上りエッジでクロック駆動され、スキャンと試験機制御からの JTAG 選択に使用されます。
TCK	D14	I	JTAG 試験クロック: データ TDI と TMS は TCK の立上りエッジでクロック駆動され、TDO は TCK の立下りエッジでクロックアウトされます。
TDO	A15	O、 ハイ Z	JTAG 試験データ出力: これは JTAG ポートのシリアル出力です。データは TCK の立下りエッジでクロックアウトされます。
TDI	B15	I、 プルアップ	試験データ入力: このピン入力は JTAG 試験のシリアルデータです。TDI のデータは TCK の立上りエッジでクロック駆動されます。このピンは無接続のままにすることができます。
リセット			
RSTB	B5	I、 プルアップ	リセットバー: これは非同期リセット入力バーです。これは内部でハイに駆動されます。このピンを 1 μ s の間ローにすると、DS26324 レジスタがデフォルト値にリセットされます。
電源			
DVDD	H8, J9	I	3.3V デジタル電源
DVSS	H9, J8, R9	I	デジタルグランド
VDDT1	D1	I	トランスミッタ用 3.3V 電源: すべての VDDT ピンを VDDT に接続する必要があります。これは 3.3V でなければなりません。
VDDT2	G1		
VDDT3	J1		
VDDT4	M1		
VDDT5	T4		
VDDT6	T7		
VDDT7	T9		
VDDT8	T12		
VDDT9	N16		
VDDT10	K16		
VDDT11	H16		
VDDT12	E16		
VDDT13	A13		
VDDT14	A10		
VDDT15	A8		
VDDT16	A5		

名称	端子	タイプ	機能
GNDT1	D4	I	トランスミッタ用アナロググランド
GNDT2	H4		
GNDT3	J4		
GNDT4	N4		
GNDT5	N6		
GNDT6	N8		
GNDT7	N9		
GNDT8	N11		
GNDT9	N13		
GNDT10	J13		
GNDT11	H13		
GNDT12	D13		
GNDT13	D10		
GNDT14	D9		
GNDT15	D8		
GNDT16	D6		
AVDD	B1, C16, P1, R16, H7, J10	I	3.3V アナログコア電源: 各ピンを別々に減結合してください。
AVSS	B2, C15, P2, R15, H10, J7	I	アナログコアグランド

5 機能説明

5.1 ポートの動作

5.1.1 シリアルポートの動作

MODESEL = 「ロー」に設定すると、DS26324 のシリアルバスインタフェースがイネーブルされます。ポート読み取り/書き込みのタイミングはシステム送受信のタイミングと関係がないため、ホストによる非同期の読み取りや書き込みが可能です。シリアルポートのACタイミングについては、[9.3](#)項をご覧ください。BSWPピンがハイのときすべてのシリアルポートへのアクセスはLSBが先頭で、BSWPがローのときMSBが先頭です。[図 5-1](#)～[図 5-3](#)はLSBが先頭の動作を示します。

このポートは、Motorola プロセッサで規定された SPI インタフェースに対応しています。この 1 例は Motorola 製の MMC2107 です。

内部レジスタに対して読み取りや書き込みを行う際は、レジスタデータの転送に先立って 1 アドレス/コマンドバイトを書き込む必要があります。書き込まれるアドレス/コマンドバイトの最初のビット(LSB)は、アクセスが読み取り(1)であるかまたは書き込み(0)であるかを指定します。次の 6 ビットは、レジスタアドレス(A1～A6)を特定します(A7 は無視)。

データ転送はすべて、CSB 入力をローに駆動することによって開始されます。CLKE がローのとき SDO データは SCLK の立上りエッジで出力され、CLKE がハイのときデータは SCLK の立下りエッジで出力されます。データは次の立下りまたは立上りエッジまで保持されます。CSB 入力がハイに遷移すると、すべてのデータ転送が終了します。CSB がハイのとき、ポート制御ロジックはディセーブルされ、SDO はトライステートになります。SDI は、常に SCLK の立上りエッジでサンプリングされます。

図 5-1. 書き込みアクセスの場合のシリアルポート動作

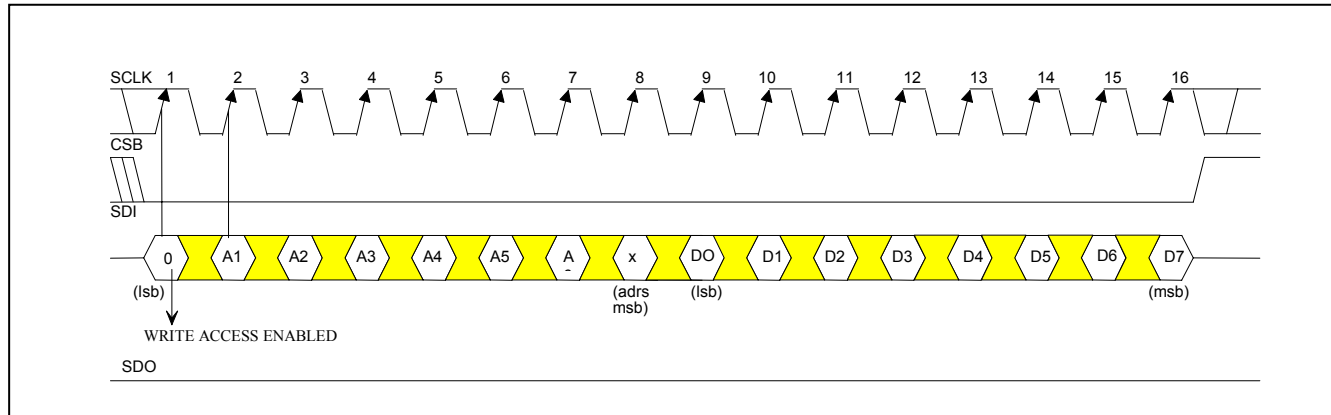


図 5-2. CLKE = 0 での読み取りアクセスの場合のシリアルポート動作

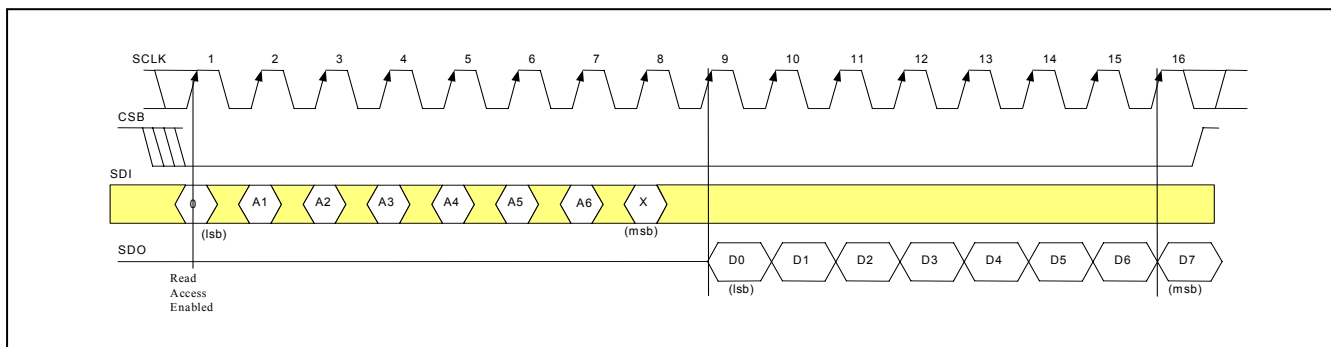
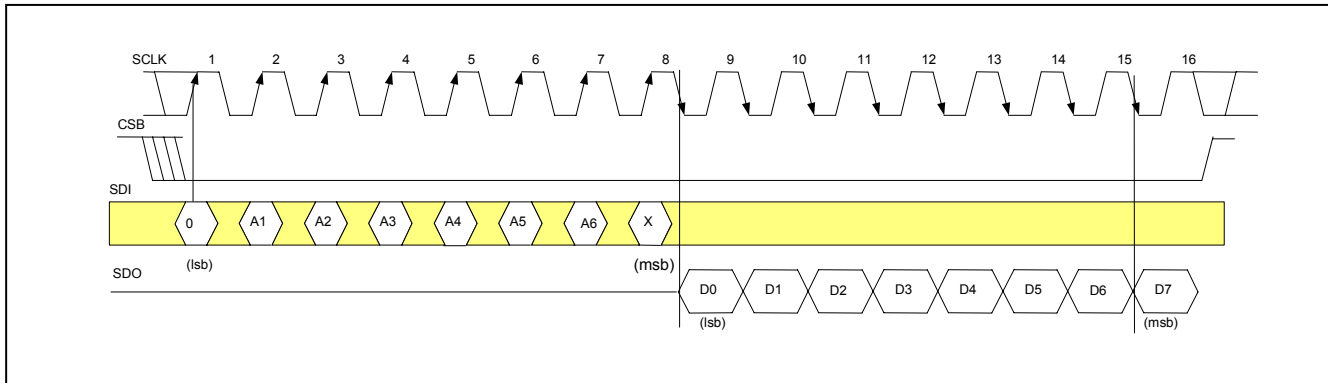


図 5-3. CLKE = 1 での読取りアクセスの場合のシリアルポート動作



5.1.2 パラレルポートの動作

DS26324 にパラレルインタフェースを使用するとき、ユーザは多重化バス動作または非多重化バス動作のいずれかを選択することができます。ALEピンは非多重化バス動作でハイに駆動されます。DS26324 は、MOTELピンで選択されたIntel またはMotorolaのいずれかのバスタイミング設定で動作します。このピンがハイのとき、Intelモードが選択されます。MODESELピンがハイに駆動された場合のみ、パラレルポートが使用可能になります。下表は、パラレルポートモードにおけるすべてのピンとそれらの機能を示します。詳しくは、[9](#)項のタイミング図をご覧ください。

表 5-1. パラレルポートモード選択および端子機能

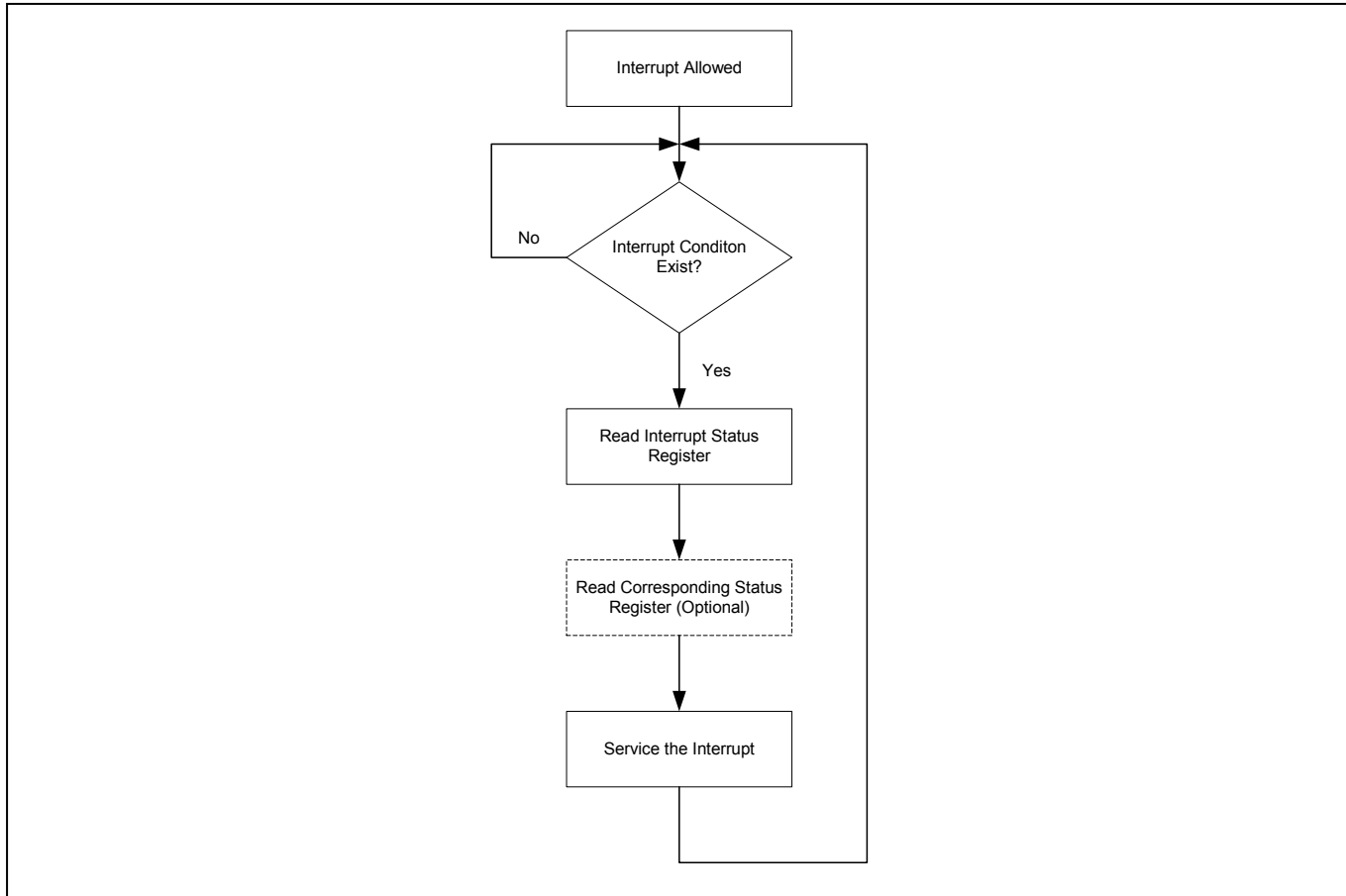
MODESEL, MOTEL, MUX	PARALLEL HOST INTERFACE	ADDRESS, DATA, AND CONTROL
100	Nonmultiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, A[5:0], D[7:0], INTB
110	Nonmultiplexed Intel	CSB, RDYB, WRB, RDB, ALE, A[5:0], D[7:0], INTB
101	Multiplexed Motorola	CSB, ACKB, DSB, RWB, ASB, AD[7:0], INTB
111	Multiplexed Intel	CSB, RDYB, WRB, RDB, ALE, AD[7:0], INTB

5.1.3 割込み処理

割込みをトリガする可能性のあるイベントは 4 つあります。割込みは次のように働きます。

- ステータスが割込み可能なイベントによって変化するとき、対応する割込みイネーブルレジスタによってそのイベントがイネーブルされるとINTBピンがローになります。ワイヤドOR動作が必要な場合は、INTBを 10kΩ抵抗器によって外部でハイに駆動する必要があります。ワイヤドOR動作が必要でなければ、レジスタ [GISC.INTM](#) の設定によって、アクティブでないときにINTBピンがハイになるように設定することができます。
- 割込みが発生したとき、ホストプロセッサは割込みステータスレジスタを読み取って割込み源を特定する必要があります。この読取りによって割込みステータスレジスタがクリアされますが、これによって出力INTBピンがクリアされます。割込みステータスレジスタは、レジスタ [GISC.CWE](#) による書込み時のクリアと同様に設定することもできます。書込み時にクリアするように設定しても、割込みステータスレジスタビット(およびこれが生成する割込み)は、割込みステータスレジスタのそのビット位置に「1」を書き込む際にクリアされるだけです。このため、レジスタ内の全ビットの割込みをクリアせずに一部のビットの割込みをクリアすることができます。
- 続いて、ホストプロセッサは対応するステータスレジスタを読み取ってイベントのリアルタイムステータスをチェックすることができます。

図 5-4. 割り込み処理の流れ図



5.2 パワーアップおよびリセット

内蔵パワーオンリセット回路は、パワーアップの際にリセットを生成します。これによって、すべてのレジスタがデフォルト値にリセットされます。ソフトウェアリセットレジスタへの書込みによって、少なくとも 1μs のリセットサイクルが生成します。これにはパワーアップリセットと同じ効果があります。

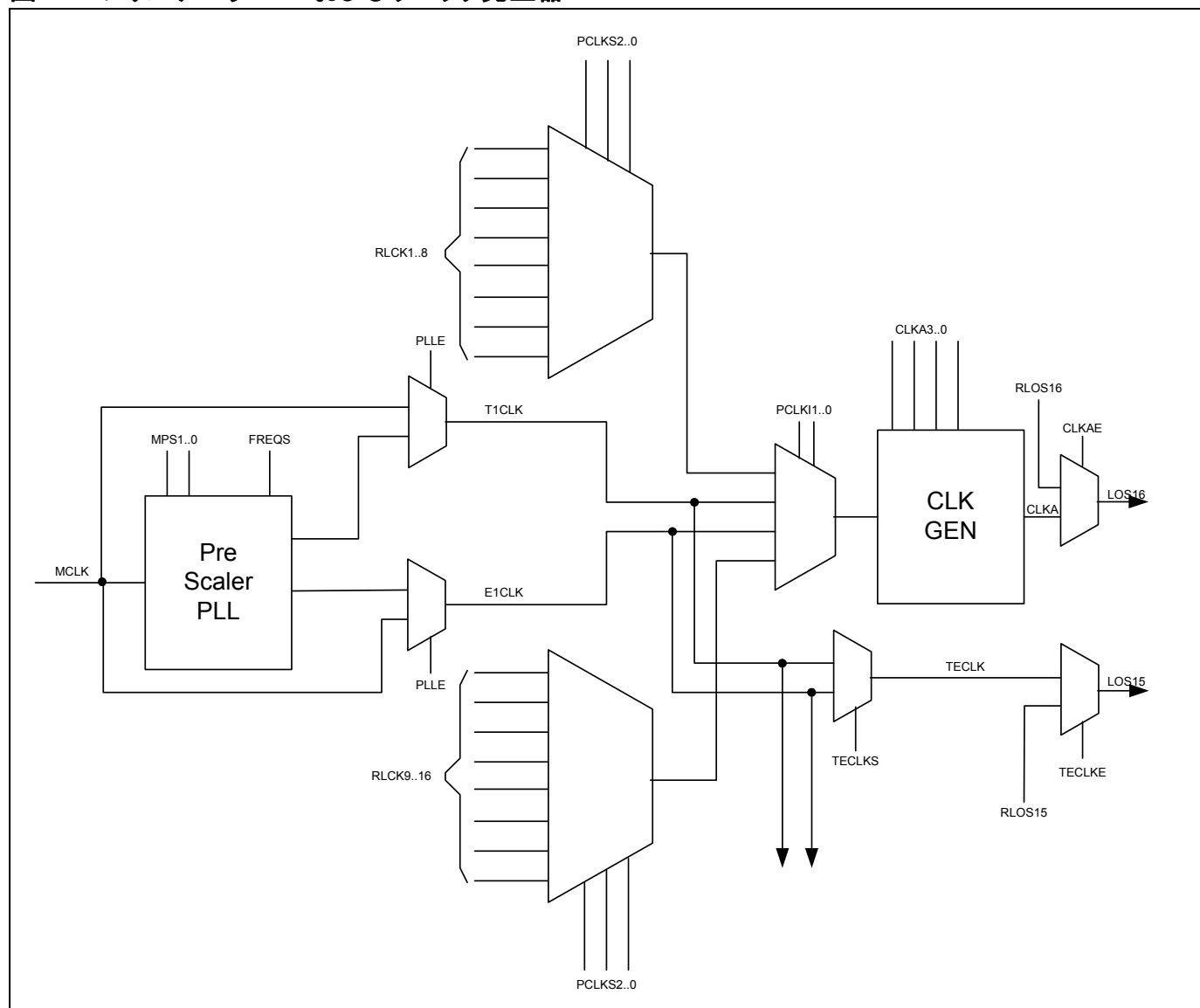
DS26324 は、ローになるパルスがRSTBピンに加わることによってリセットされます(表 4-1参照)。また、[SWR](#)レジスタに任意の値を書き込むことによってソフトウェアでリセットすることもできます。

5.3 マスタクロック

DS26324 は、2.048MHz ±50ppmまたは 1.544MHz ±50ppmまたはこれらの倍数を必要とします。レシーバでは、クロック再生、ジッタ減衰、およびLOS時のRCLK生成のためのリファレンスとしてMCLKが使用されます。AISの送信では、すべて 1 を送信の条件にMCLKが使用されます。所望の受信周波数の設定については、レジスタ [MC](#)をご覧ください。PLLEビットが設定されると、マスタクロックアダプタは 2.048MHz (E1)と 1.544MHz (T1)の両クロックを生成します。PLLEビットがクリアされると、内部リファレンスクロックはいずれもMCLKに追尾します。

また、MCLKやRCLKはLOS16 ピンにCLKAを出力するのに使用することもできます。レジスタ [CCR](#)は、CLKA用に生成されるクロックとTECLKの選択に使用されます。また、このレジスタを使うと、どのRCLKもクロック発生器への入力として選択することができます。利用可能な選択肢の詳細については、[図 5-5](#)をご覧ください。

図 5-5. プリスケーラ PLL およびクロック発生器



5.4 送信機

NRZ データは、送信システム側の TPOS と TNEG に到達します。TPOS および TNEG データは、TCLK の立下りエッジでサンプリングされます。

シングルレイルモードが選択されているとき(データ源としてTPOSのみ)、このデータはHDB3、B8ZSまたはNRZエンコーディングによってコード化されます。シングルレイルモードにあるときのみ、BPVエラーがレジスタ [BEIR](#)によって試験のために挿入されます。デュアルレイルモードが選択されているときは、事前にコード化されたデータが求められます。ジッタ減衰器が送信経路用にイネーブルされていれば、コード化されたデータはこの減衰器を通過します。デジタルシーケンサとDACが、T1.102 およびG.703 パルスマスクに準拠した送信波形の生成に使用されます。

ラインドライバは、75Ω、100Ω、110Ω、および 120Ω の各モードに対する内部インピーダンス整合をサポートしています。

DS26324 ドライバは、短絡および開放のドライバ異常監視検出を備えています。ローになると、トランスミッタ出力をハイインピーダンスに切り替えて保護することができるOEピンがあります。各トランスミッタは、デフォルトではハイインピーダンスです。レジスタOEは、OEピンがハイのときトランスミッタを個別にイネーブルするために使用されます。DS26324 は、レジスタを設定してからOEピンをハイに駆動することによってトランスミッタをイネーブルさせる必要があります。トランスミッタの動作を制御するレジスタを [図 5-2](#)に示します。

表 5-2. DS26324 送信機のテレコム仕様準拠

TRANSMITTER FUNCTION	TELECOMMUNICATIONS COMPLIANCE
AMI Coding, B8ZS Substitution, DS1 Electrical Interface	ANSI T1.102
T1 Telecom Pulse Mask compliance	ANSI T1.403
T1 Telecom Pulse Mask compliance	ANSI T1.102
Transmit Electrical Characteristics for E1 Transmission and Return Loss Compliance	ITU-T G.703

表 5-3. DS26324 送信機の制御に関するレジスタ

REGISTER NAME	ACRONYM	FUNCTION
Transmit All Ones Enable	TAOE	Transmit All Ones Enable
Driver Fault Monitor Status	DFMS	Driver Fault Status
Driver Fault Monitor Interrupt Enable	DFMIE	Driver Fault Status Interrupt Mask
Driver Fault Monitor Interrupt Status	DFMIS	Driver Fault Status Interrupt Mask
Automatic Transmit All Ones Select	ATAOS	Transmit All Ones enabled automatically on LOS
Global Configuration Register	GC	Global control of Jitter Attenuator, line coding and short circuit protection.
Template Select Transmitter	TST	The Transmitter that the Template Select Register Applies to.
Template Select	TS	The TS2 to TS0 bits for Selection of the Templates for Transmitter and TIMPOFF and TIMPRIM bits to control transmit impedance match
Output Enable Configuration Register	OE	These register bits can be used to enable the Transmitter outputs
Master Clock Selection	MC	Selects the MCLK frequency used for Transmit and Receive.
Transmit Single-Rail Mode Select Register	SRMS	This register can be used to select between single-rail and dual-rail mode.
Line Code Selection	LCS	The individual Transceiver Line Codes can be selected to overwrite the global setting.
Transmit Power-down	TPDE	Individual Transmitters can be powered down.
Individual Jitter Attenuator Enable	JAE	Enables the jitter attenuator
Individual Jitter Attenuator Position Select	JAPS	Selects whether jitter attenuator is in transmit or receive path
Individual Jitter Attenuator FIFO Depth Select	JAFDS	Selects depth of jitter attenuator FIFO.
Individual Jitter Attenuator FIFO Limit Trip	JAFLT	Indicates jitter attenuator FIFO within 4 bits of its useful limit
Individual Short Circuit Protection Disable	ISCPD	This register allows the individual Transmitters to have Short Circuit Protection Disable.
BERT Control Register	BTCR	This register allows mapping of the internal BERTs into an individual transmit path.
Transmit clock invert	TCLKI	Inverts TCLK input.
BPV Error insertion	BEIR	Inserts a bipolar error in the transmit path when in single-rail mode.

5.4.1 送信ラインテンプレート

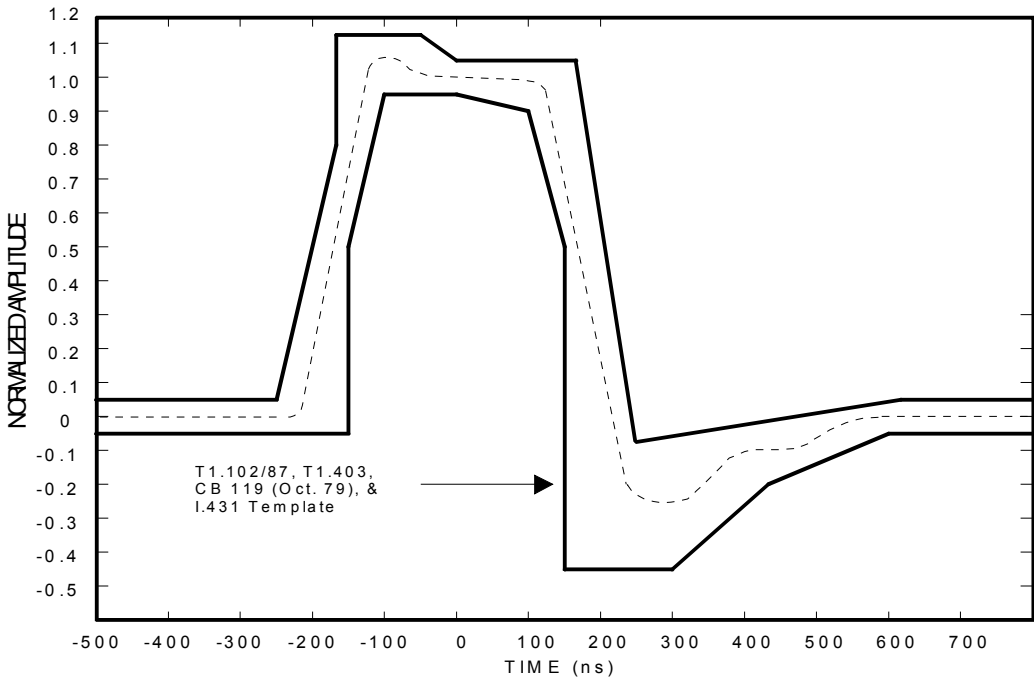
DS26324 トランスミッタは、E1 および T1/J1 モードのパルスマスクを満たすよう個別に選択することができます。T1/J1 パルスマスクは、送信パルステンプレートに示されており、LIUごとに設定することができます。送信テンプレートは [TS](#)レジスタの TS2～TS0 ビットによって選択されます。送信インピーダンス整合は、同じレジスタの TIMPOFF および TIMPRM ビットを使用して選択されます。送信インピーダンス整合がイネーブルされているとき、E1 テンプレートが選択されると TIMPRM は 75Ω～120Ω のインピーダンスを選択し、T1/J1 テンプレートが選択されると TIMPRM は 100Ω～110Ω のインピーダンスを選択します。E1 モードでは、TIMPRM ビットによって 75Ω が選択されると出力パルス振幅が 2.37V になり、TIMPRM ビットによって 120Ω が選択されると出力パルス振幅が 3.0V になります。

E1 パルステンプレートを [図 5-7](#)に、また T1 パルステンプレートを [図 5-6](#)に示します。

表 5-4. 短距離モードに関する DS26324 のテンプレート選択

TS2, TS1, TS0	APPLICATION
000	E1
001	Reserved
010	
011	
100	DSX-1 (0-133 ft)
101	DSX-1 (133-266 ft)
110	DSX-1 (266-399 ft)
111	DSX-1 (399-533 ft)
	DSX-1 (533-655 ft)

図 5-6. T1 送信パルステンプレート



DSX-1 Template (per ANSI T1.102 -1993) DS1 Template (per ANSI T1.403 -1995)

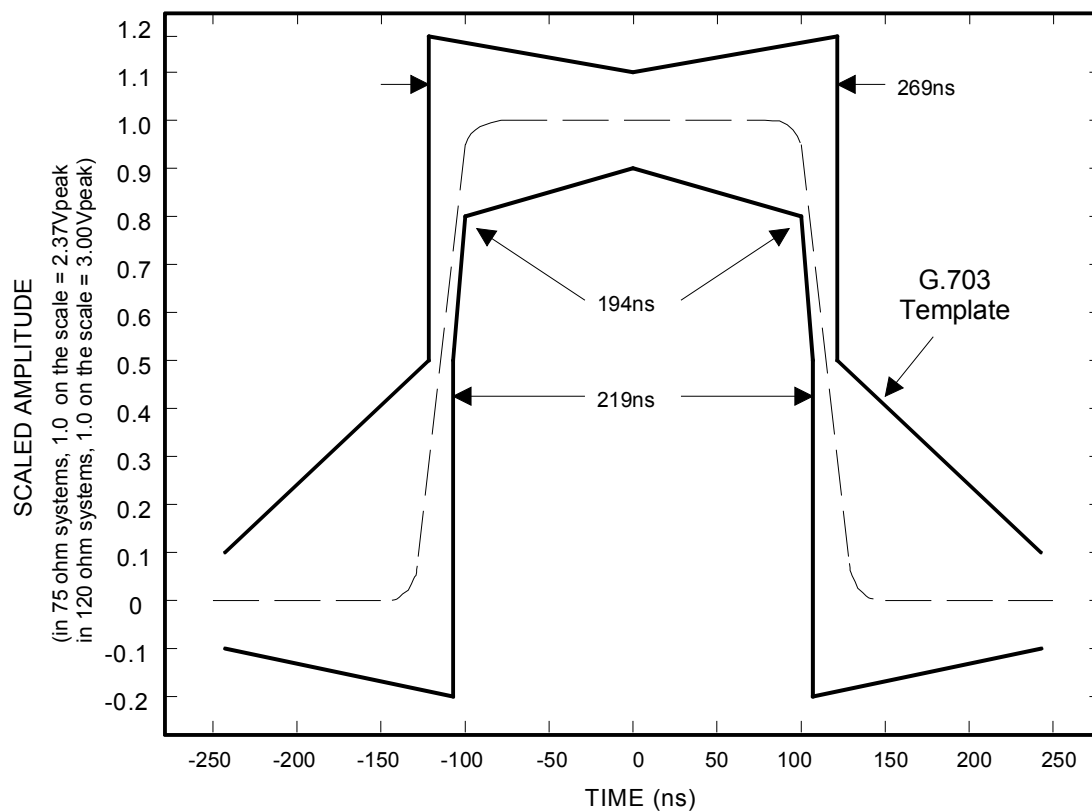
MAXIMUM CURVE		
UI	Time	Amp.
-0.77	-500	0.05
-0.39	-255	0.05
-0.27	-175	0.80
-0.27	-175	1.15
-0.12	-75	1.15
0.00	0	1.05
0.27	175	1.05
0.35	225	-0.07
0.93	600	0.05
1.16	750	0.05

MINIMUM CURVE		
UI	Time	Amp.
-0.77	-500	-0.05
-0.23	-150	-0.05
-0.23	-150	0.50
-0.15	-100	0.95
0.00	0	0.95
0.15	100	0.90
0.23	150	0.50
0.23	150	-0.45
0.46	300	-0.45
0.66	430	-0.20
0.93	600	-0.05
1.16	750	-0.05

MAXIMUM CURVE		
UI	Time	Amp.
-0.77	-500	0.05
-0.39	-255	0.05
-0.27	-175	0.80
-0.27	-175	1.20
-0.12	-75	1.20
0.00	0	1.05
0.27	175	1.05
0.34	225	-0.05
0.77	600	0.05
1.16	750	0.05

MINIMUM CURVE		
UI	Time	Amp.
-0.77	-500	-0.05
-0.23	-150	-0.05
-0.23	-150	0.50
-0.15	-100	0.95
0.00	0	0.95
0.15	100	0.90
0.23	150	0.50
0.23	150	-0.45
0.46	300	-0.45
0.61	430	-0.26
0.93	600	-0.05
1.16	750	-0.05

図 5-7. E1 送信パルステンプレート



5.4.2 LIU 送信フロントエンド

トランスミッタのLIUは、[図 5-8](#)と [表 5-5](#)の説明のように構成することをお奨めします。

図 5-8. LIU フロントエンド

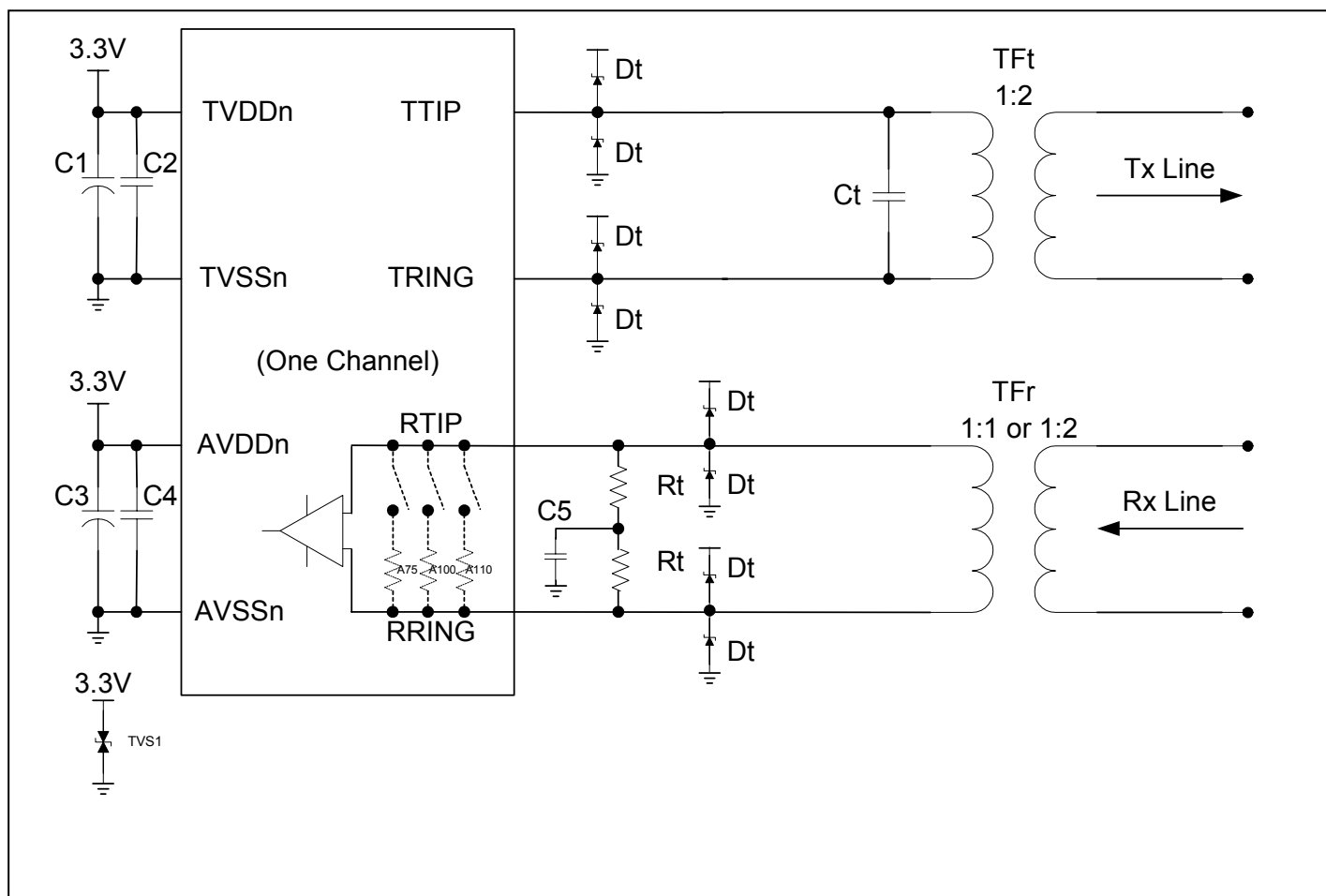


表 5-5. LIU フロントエンド値

MODE	COMPONENT	75Ω COAX, 120Ω TWISTED PAIR, 100/110Ω TWISTED PAIR
Tx Capacitance	Ct	560pF typical. Adjust for board parasitics for optimal return loss.
Tx Protection	Dt ¹	International Rectifier 11DQ04 or 10BQ060 Motorola MBR0540T1
Rx Transformer RTR 1:1	TFR	Pulse TX1475
Tx Transformer 1:2	TFt	Halo TG83-S005NU
Rx Transformer RTR 1:2	TFR	Pulse T1124 (0°C to +70°C)
Tx Transformer 1:2	TFt	Pulse T1114 (-40°C to +85°C)
Tx Decoupling (TVDDn)	C1	Common decoupling for all 16 channels = 68μF.
Tx Decoupling (TVDDn)	C2	Recommended decoupling per channel = 0.1μF.
Rx Decoupling (AVDD)	C3	Common decoupling for all 16 channels = 68μF.
Rx Decoupling (AVDD)	C4	Decouple all six pins separately with a 0.1μF capacitor.
Rx Termination	C5 ¹	Rx capacitance for all 16 channels = 0.1μF.
Rx Termination RTR 1:1	Rt ¹	Needed two resistors for all modes = 60.4Ω ±1%.
Rx Termination RTR 1:2	Rt ¹	Needed two resistors for all modes = 15.0Ω ±1%.
Voltage Protection	TVS1	SGS-Thomson SMLVT 3V3 (3.3V Transient Suppressor)

¹ アプリケーションに必要な場合のみ使用してください。

5.4.3 デュアルレイル

デュアルレイルモードは、システム側のTPOS、TNEG、およびTCLKの各ピンから成ります。NRZデータは、[図 9-12](#)に示すようにTCLKの立下りエッジでサンプリングされます。B8ZSまたはHDB3 コードを 0 で置き換えることはできません。TPOSピンに現れるデータはTTIPに出力され、TNEGに現れるデータはパルス整形後にTRINGに出力されます。シングルレイルモード選択レジスタ([SRMS](#))は、デュアルレイルまたはシングルレイルモードの選択に使用されます。TPOSとTNEGに到達するデータは、BERT制御レジスタ([BTCCR](#))を設定することによって保守モードで上書きすることができます。

5.4.4 シングルレイルモード

シングルレイルモードは、システム側のTPOS、TNEG、およびTCLKの各ピンから成ります。NRZデータは、[図 9-12](#)に示すようにTCLKの立下りエッジでサンプリングされます。B8ZSまたはHDB3 コードを 0 で置き換えることができます。TPOSデータは、パルス整形後にTTIPとTRINGの各ピンでAMIまたはB8ZS/HDB3 形式でコード化されます。シングルレイルモード選択レジスタ([SRMS](#))は、デュアルレイルまたはシングルレイルモードの選択に使用されます。TPOSに到達するデータは、BERT制御レジスタ([BTCCR](#))を設定することによって保守モードで上書きすることができます。

5.4.5 ゼロ抑制—B8ZS または HDB3

デバイスがT1 モード([TS](#)レジスタのTS2、TS1、およびTS0 の各ビットで選択された)にあるとき、B8ZSコーディングを利用することができます。B8ZS/HDB3 コーディングは、シングルレイルモードにおいてデフォルトでイネーブルされます。[LCS](#)レジスタのLCSビットを設定すると、B8ZS/HDB3 がディセーブルされます。各LIUをE1 モードで設定すると、HDB3コードの置換えが選択されます。バイポーラ違反は、B8ZSまたはHDB3 コーディングがオフの場合にのみBEIRレジスタまたは送信保守レジスタの設定によって挿入することができます。

B8ZSコードの置換えは、ANSI T1.102 および ITUT G.703 規格のHDB3で規定されています。

5.4.6 送信パワーダウン

[TPDE](#)の関連ビットが設定されていれば、トランスミッタはパワーダウンします。TPDEが設定されているとき、TTIP/TRING出力はハイインピーダンスになります。

5.4.7 すべて 1 を送信

すべて 1 を送信が呼び出されると、MCLK をタイミングリファレンスとして使って連続した 1 が送信されます。TPOS と TNEG でのデータ入力は無視されます。

すべて 1 を送信は、[TAOE](#)レジスタのビットを設定することによって送信されます。また、レジスタ [ATAOS](#)のビットが設定され、かつ対応するレシーバがステータスレジスタ [LOSS](#)でLOS状態に入ると、すべて 1 を送信はイネーブルされます。

5.4.8 ドライバ異常モニタ

ドライバ異常モニタはTTIPとTRINGの各ピンに接続されます。これは、送信トランスの二次側の短絡または開放を検出します。短絡が検出されると、駆動電流は 50mAに制限されます。[DFMS](#)ステータスレジスタならびに対応する割込みおよびイネーブルレジスタは、ドライバ異常の監視に使用することができます。

5.5 受信機

DS26324 の 16 個のレシーバはすべて全く同じです。受信側には 2:1 または 1:1 のいずれかのトランスを使用することができます(RTRビットによって選択)。DS26324 は、受信側の外付け抵抗器を変更せずにE1 およびT1/J1 に対して完全にソフトウェアで選択可能なように設計されています。受信インピーダンス整合の設定は、送信テンプレート/インピーダンス選択によって制御されます。外付け部品の値については、[図 5-8](#)と [表 5-5](#)をご覧ください。内部のインピーダンス整合はRIMPONビットによってイネーブルされます。

ピーク検出器とデータスライサは受信信号を処理します。データスライサの出力はクロックとデータの再生に使われます。2.048/1.544 PLLは、別の内蔵PLLによって内部で 16 倍され、クロック再生システムに供給されてE1 またはT1 クロックを生成します。クロック再生システムでは、PLL回路のクロックを使用して、クロックとデータの再生に使用される 16 倍のオーバーサンプリングを形成します。このオーバーサンプリング法は、ジッタ許容仕様を満足する優れた性能を提供します。オプションの選択に応じて、B8ZS/HDB3/AMIデコーディングが行われます。これらのデコードされたデータは、シングルレイルまたはデュアルレイルモードのいずれかでシステム側に供給されます。シングルレイルまたはデュアルレイルの選択は、[SRMS](#)レジスタでの設定によって行われます。

レシーバは、最大 18dB 相当まで減衰した信号を再生することができます。レシーバは、モニタモードに対して最大 20dB の抵抗利得を提供する機能を含んでいます。

5.5.1 受信機受信モニタモード

受信イコライザは、[RSMM1~4](#) レジスタに示すように、6dB~24dBのケーブル減衰に対して最大 20dBの抵抗利得が得られるモニタモード機能を備えています。

5.5.2 ピーク検出器およびスライサ

スライサは、受信データの極性と存在を判定します。スライサの出力は、データとクロックを抽出するためのクロックおよびデータ再生回路に送られます。スライサは、スライシングスレッショルドを決定するピーク検出器を内蔵しています。

5.5.3 受信レベルインジケータ

DS26324 は、[RSL1~4](#) レジスタに存在するレジスタビットCnRL3~CnRL0 によって、[表 6-17](#)に記載された刻みでRTIPとRRINGの信号強度を報告します。

5.5.4 クロックおよびデータの再生

2.048/1.544 PLL から得られた E1 または T1 クロックは、別の内蔵 PLL によって内部で 16 倍され、クロック再生システムに供給されます。クロック再生システムでは、PLL 回路のクロックを使用して、クロックとデータの再生に使用される 16 倍のオーバーサンプリングを形成します。このオーバーサンプリング法は、ジッタ許容仕様を満足する優れた性能を提供します。

5.5.5 ロスオブシグナル

DS26324 では、T1/J1 動作モードに対する最新の T1.231、および E1 動作モードに対する ITU G.775 または ETSI 300 233 に準拠したデジタルとアナログの両消失検出法を採用しています。

レシーバレベルがある期間アナログスレッショルド電圧以下に低下すると、LOS が検出されます。あるいは、これは、ある期間「複数のゼロ」を受信しているとも言えます。信号レベルとタイミング期間は、T1.231、G.775、または ETSI 300 233 仕様に準拠して規定されます。

消失検出のスレッショルドは、T1 と E1 の両モードに対する 18dB のケーブル損失に基づいて決まります。

レシーバが信号消失を検出すると、RCLKはMCLKで置き換えられます。AISELビットが [GC](#)レジスタで設定されるか、または [IAISEL](#)ビットが設定されると、RPOS/RNEGデータはAISで置き換えられます。レシーバが消失検出レベルよりも高い信号レベルで一定数の 1 密度を検出すると、消失状態から抜けます。消失検出信号レベルと消失リセット信号レベルは、レシーバが「LOS」状態と「無LOS」状態の間でバウンスしないようヒステリシスを用いて定められます。

下表は、消失機能を管理する仕様の概要を示します。

表 5-6. 損失基準 T1.231、G.775、および ETSI 300 233 仕様

CRITERIA	STANDARD		
	T1.231	ITU G.775	ETSI 300 233
Loss Detection Criteria	No pulses are detected for 175 $\pm$ 75 bits.	No pulses are detected for duration of 10- to 255-bit periods.	No pulses are detected for a duration of 2048-bit periods or 1ms.
Loss Reset Criteria	Loss is terminated if a duration of 12.5% ones are detected over duration of 175 $\pm$ 75 bits. Loss is not terminated if 8 consecutive zeros are found if B8ZS encoding is used. If B8ZS is not used loss is not terminated if 100 consecutive pulses are zero.	The incoming signal has transitions for duration of 10- to 255-bit periods.	Loss reset criteria is not defined.

5.5.5.1 T1 および J1 モードに関する ANSI T1.231

受信信号レベルが 192 ビットの期間中に 200mV 未満であれば消失が検出されます。以下の基準のすべてが満たされると LOS はリセットされます。

- RTIP と RRING で測定される 300mV の検出スレッショルドで 192 ビットの期間に 24 個以上の 1 が検出される。
- 192 ビットの間に連続した 100 個未満の 0 が検出される。
- B8ZS が設定されている場合に連続した 8 個の 0 が検出されない。

5.5.5.2 E1 モードに関する ITU G.775

受信信号レベルが 192 ビットの連続期間中に 200mV 未満であれば LOS が検出されます。受信信号レベルが 192 ビットの期間中に 300mV よりも高ければ LOS はリセットされます。

5.5.5.3 E1 モードに関する ETSI 300 233

受信信号レベルが 2048 (1ms)ビットの連続期間中に 200mV 未満であれば LOS が検出されます。受信信号レベルが 192 ビットの期間中に 300mV よりも高ければ LOS はリセットされます。

5.5.6 AIS

[表 5-7](#)は、DS26324 のAIS関連仕様の概要を示します。[表 5-8](#)は、DS26324 のAISの機能を示します。AIS検出に関するレジスタを [表 5-9](#)に示します。

表 5-7. AIS 基準 T1.231、G.775、および ETSI 300 233 仕様

CRITERIA	STANDARD		
	ITU G.775 for E1	ETSI 300 233 for E1	ANSI T1.231 for T1
AIS Detection Criteria	2 or fewer zeros in each of 2 consecutive 512-bit streams received.	Less than 3 zeros detected in 512-bit period.	Fewer than 9 zeros detected in a 8192-bit period (a ones density of 99.9% over a period of 5.3ms) are received.
AIS Clearance Criteria	3 or more zeros in each of 2 consecutive 512-bit streams received.	3 or more zeros in 512-bits received.	9 or more zeros detected in a 8192-bit period are received.

表 5-8. AIS 検出およびリセット基準

CRITERIA	STANDARD		
	ITU G.775 for E1	ETSI 300 233 for E1	ANSI T1.231 for T1
AIS Detection Criteria	2 or less zeros in each of 2 consecutive 512-bit streams received.	Less than 3 zeros detected in 512-bit period.	Fewer than 9 zeros contained in 8192-bits.
AIS Clearance Criteria	3 or more zeros in each of 2 consecutive 512-bit streams received.	3 or more zeros in 512-bits received.	9 or more bits received in a 8192-bit stream.

表 5-9. AIS 検出に関するレジスタ

REGISTER	ACRONYM POINTER	FUNCTIONALITY
LOS/AIS Criteria	LASCS	Section criteria for AIS (T1.231, G.775, ETSI 300 233 for E1)
AIS Register	AIS	Set when AIS is detected.
AIS Enable Register	AISIE	If reset interrupt due to AIS is not generated.
AIS Interrupt	AISL	Latched if there is a change in AIS and the interrupt is enabled.

5.5.7 バイポーラ違反および過剰ゼロ検出器

DS26324 はコード違反、BPV、および過剰ゼロエラーを検出します。エラーの報告はピン RNEGn/CVn を通じて行われます。

B8ZS がイネーブルされた状態で 8 個の連続ゼロが検出された場合、および HDB3 がイネーブルされた状態で 4 個の連続ゼロが検出された場合に過剰ゼロが検出されます。シングルレイルモードおよび HDB3/B8ZS エンコーディング/デコーディングが選択されているとき、過剰ゼロ検出が選択可能です。

[EZDE](#)および [CVDEB](#)レジスタのビットは、報告されるエラーの組合せを決定します。[表 5-10](#)は機能の概要を示します。

表 5-10. BPV、コード違反、および過剰ゼロエラーの報告

CONDITIONS	CVn PIN REPORTS
EZDE is reset, CVDEB is reset	BPV + Code violation
EZDE is set, CVDEB is reset	BPV + Code violation + Excessive zero
EZDE is reset, CVDEB is set	BPV
EZDE is set, CVDEB is set	BPV + Excessive zero

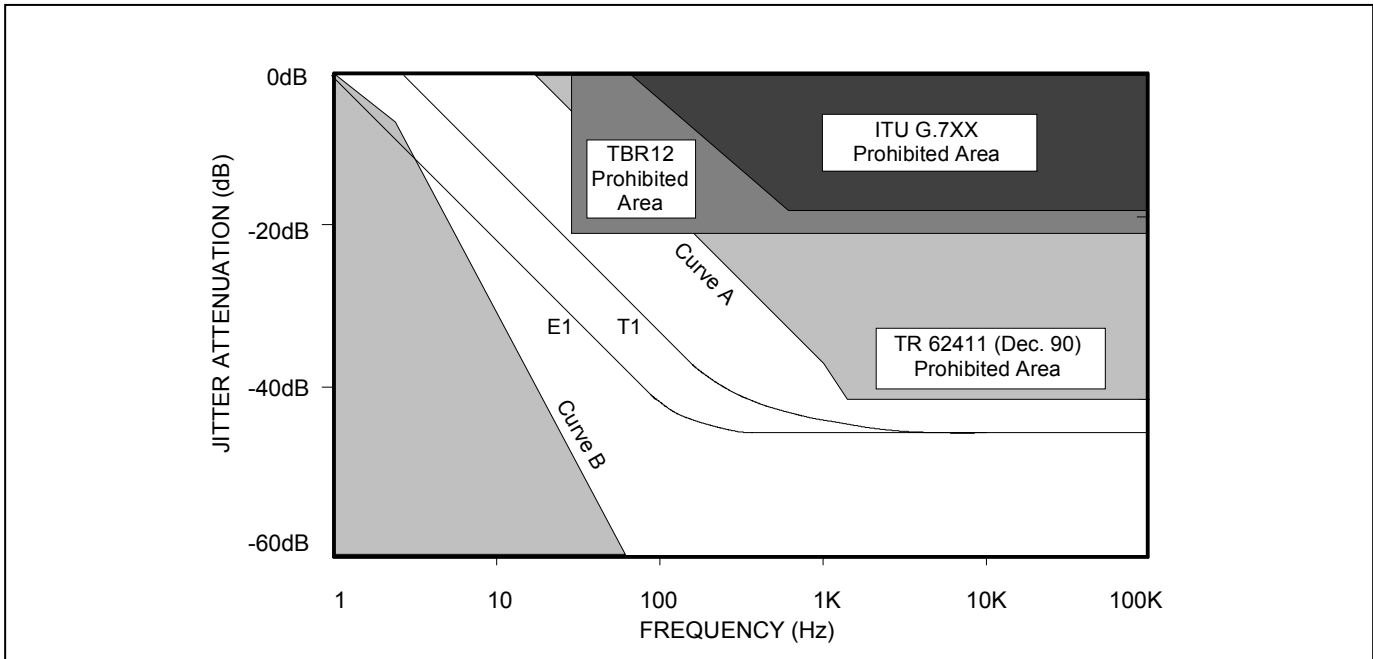
5.6 ジッタ減衰器

DS26324 は、レジスタ [GC](#)のJADSビットによって 32 ビットまたは 128 ビットのいずれかの深度に設定することができるジッタ減衰器を内蔵しています。また、これは、[IJAFDS](#)レジスタでの設定によってLIUごとに制御することができます。

128 ビットモードは、大きな変移のゆらぎが予想されるアプリケーションに使用されます。32 ビットモードは、遅延が生じやすいアプリケーションに使用されます。減衰特性を [図 5-9](#)に示します。ジッタ減衰器は、受信経路や送信経路に配置することができますが、レジスタ [GC](#)でJAPSおよびJAEビットを適切に設定すれば配置しなくて済みます。これらの選択肢は、[JAPS](#)と [JAE](#)での設定によってLIUごとに変更することができます。

ジッタ減衰器を正しく動作させるためには、クロック 2.048MHzまたはその倍数、もしくはクロック 1.544MHzまたはその倍数をMCLKに適用する必要があります。ITU仕様のG.703 では、T1 とE1 の両アプリケーションに±50ppmの精度を必要とします。TR62411 およびANSI仕様では、T1 インタフェースに±32ppmの精度を必要とします。内蔵の回路はクロック/データ再生ブロックからの再生済みクロックまたはTCLKピンに印加されたクロックを調整してスムーズなジッタのないクロックを生成し、これがジッタ減衰器FIFOからのデータをクロック駆動するのに使用されます。ジッタ減衰器を送信側に配置する場合は、TCLKピンにジッタを含むクロックを供給することが許容されます。受信ジッタが 120UI_{P-P} (バッファ深度が 128 ビット)または 28UI_{P-P} (バッファ深度が 32 ビット)のいずれかを超えると、DS26324 は内部の公称 32.768MHz (E1)または 24.704MHz (T1)のクロックを通常の 1/16 ではなく 1/15 または 1/17 のいずれかによって分周して、バッファのオーバーフローを防止します。デバイスは、1/15 または 1/17 のいずれかで分周するとき、記載された [JJAFLT](#)レジスタのジッタ減衰器リミットトリップ(JALT)ビットも設定します。

図 5-9. ジッタ減衰



5.7 G.772 モニタ

このアプリケーションでは、14 個のトランシーバのみが動作し、2 個のトランシーバは他の 14 チャンネルの入力と出力の非侵入型監視に使用されます。チャンネル 9 はチャンネル 10～16 に使用され、チャンネル 1 はチャンネル 2～8 に使用されます。G.772 の監視は [GMC](#) レジスタによって設定されます([表 6-9](#)参照)。監視中のチャンネル 1 は遠隔ループバックで設定することができ、モニタ信号は TTIP1 と TRING1 に出力することができます。監視中のチャンネル 9 は遠隔ループバックで設定することができ、モニタ信号は TTIP9 と TRING9 に出力することができます。

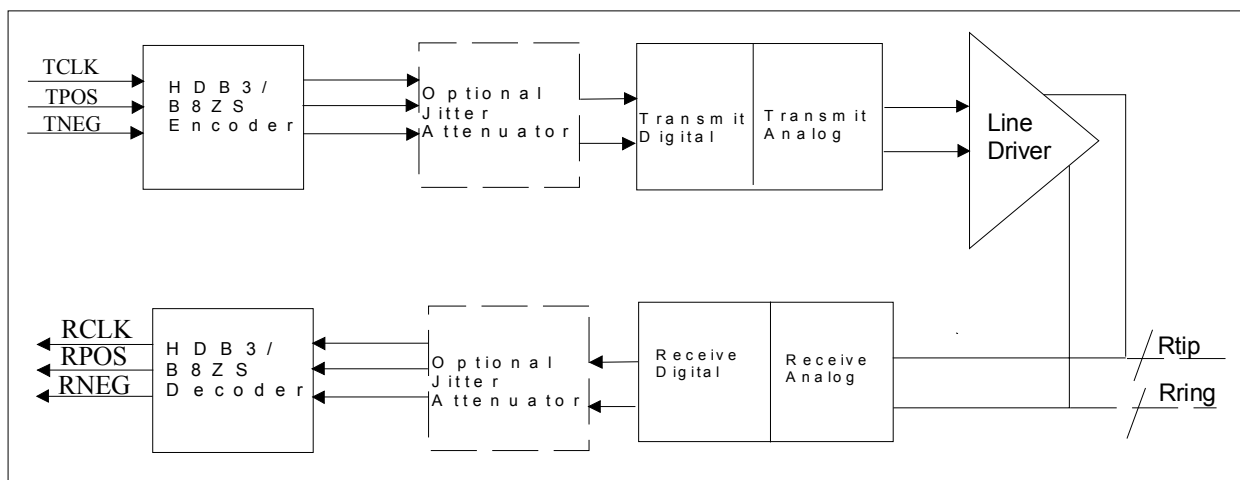
5.8 ループバック

DS26324 は、診断用に、アナログループバック、デジタルループバック、遠隔ループバック、およびデュアルループバックの 4 つのループバックを備えています。デュアルループバックは、デジタルループバックと遠隔ループバックを同時にオンにすることによって達成されます。

5.8.1 アナログループバック

トランスミッタ TTIP と TRING のアナログ出力は、レシーバの RTIP と RRING にループバックされます。RTIP と RRING のデータはアナログループバックでは無視されます。これを [図 5-10](#) に示します。

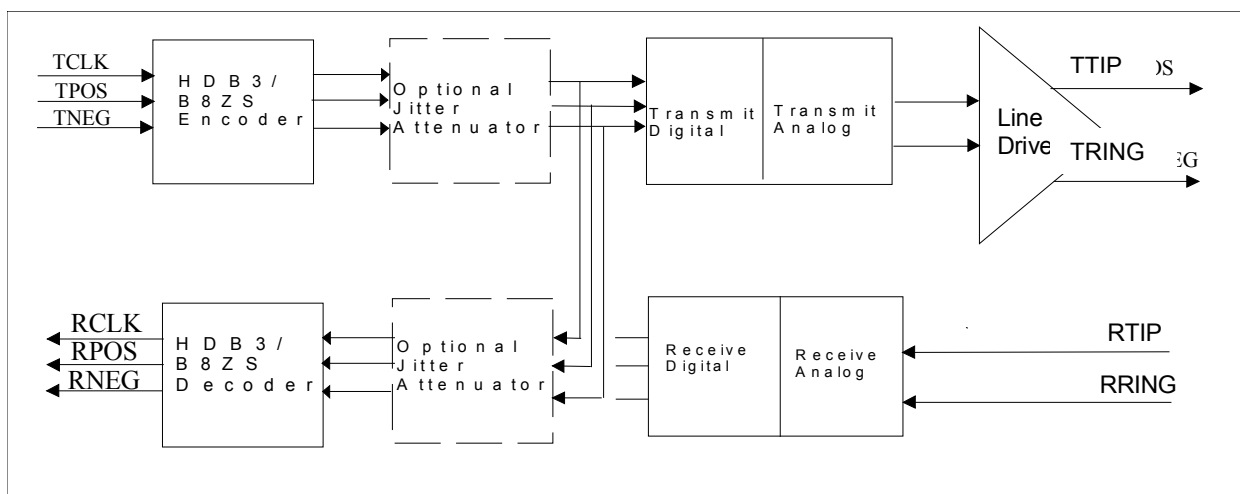
図 5-10. アナログループバック



5.8.2 デジタルループバック

送信システムのデータTPOS、TNEG、およびTCLKは、RCLK、RPOS、およびRNEGの出力にループバックされます。TPOSとTNEGのデータ入力はコード化されてTTIPとTRINGに出力されます。RTIPとRRINGの信号は無視されます。このループバックの概念を [図 5-11](#) に示します。

図 5-11. デジタルループバック

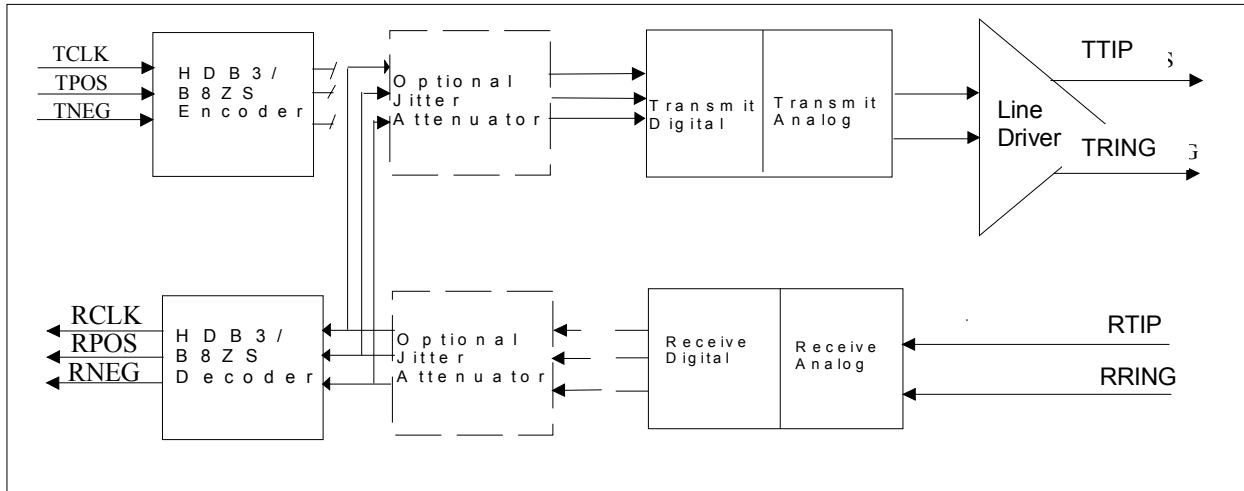


5.8.3 遠隔ループバック

RTIPとRRINGの入力は、TTIPとTRINGにループバックされます。TCLK、TPOS、およびTNEGでの入力は、遠隔ループバックの際に無視されます。このループバックの概念を [図 5-12](#) に示します。

注：遠隔ループバックは、送信パワーダウンに優先せず、動作には TCLK を必要とします。トランスミッタでは、遠隔ループバックに再生済みの RCLK が使用されます。TCLK がなければトランスミッタはパワーダウンしたり(TCLK がローに保持される)すべて 1 を送信したり(TCLK がハイに保持される)するため、TCLK はやはり必要です。

図 5-12. 遠隔ループバック



5.9 BERT

DS26324 には 2 個のビットエラーレートテストが使用されます。[BTCR](#)レジスタによって、1 個のBERTをLIU 1~8 に、もう 1 個をLIU 9~16 に割り当てることができます。2 個のBERTは互いに無関係に動作します。

5.9.1 概要

BERT は、ソフトウェアでプログラム可能なテストパターン発生器およびモニターで、ディジタル送信装置に関するほとんどのエラー性能要件を満たすことが可能です。これは、形式 $x^n + x^y + 1$ の生成多項式の擬似ランダムパターンを発生しこれに同期して動作します。ここで、 n と y は、1~32 の値をとり、最大 32 ビットまでの任意長の繰返しパターンに対応することができます。

送信方向は、プログラム可能なテストパターンを発生して、このテストパターンペイロードをデータストリームに挿入します。

受信方向は、テストパターンペイロードを受信データストリームから抽出して、プログラム可能なテストパターンに関するテストパターンペイロードを監視します。

特長

- **プログラム可能な PRBS パターン** – 擬似ランダムビットシーケンス(PRBS)多項式($x^n + x^y + 1$)およびシードがプログラム可能です(長さ $n = 1 \sim 32$ 、タップ $y = 1 \sim (n - 1)$ 、およびシード $= 0 \sim (2^n - 1)$)。
- **プログラム可能な繰返しパターン** – 繰返しパターンの長さパターンはプログラム可能です(長さ $n = 1 \sim 32$ 、およびパターン $= 0 \sim (2^n - 1)$)。
- **24 ビットエラーカウントレジスタおよび 32 ビットビットカウントレジスタ**
- **プログラム可能なビットエラー挿入** – エラーは、ピンが遷移する際に、または特定レートで、個別に挿入することができます。レート $1/10^n$ ($n = 1 \sim 7$)はプログラム可能です。
- **10^{-3} BER におけるパターン同期化** – パターン同期化は、 10^{-3} のランダムビットエラーレート(BER)が存在する場合でも実現します。

5.9.2 設定と監視

BERT をイネーブルするためには $\text{BTCR.BERTE} = 1$ を設定してください。下表は、一般的なパターンを送受信するための内蔵 BERT の設定方法を示します。

表 5-11. 擬似ランダムパターンの発生

PATTERN TYPE	BPCR REGISTER				BERT. PCR	BERT. SPR2	BERT. SPR1	BERT.CR TPIC, RPIC
	PTF[4:0] (hex)	PLF[4:0] (hex)	PTS	QRSS				
2^9-1 O.153 (511 type)	04	08	0	0	0x0408	0xFFFF	0xFFFF	0
$2^{11}-1$ O.152 and O.153 (2047 type)	08	0A	0	0	0x080A	0xFFFF	0xFFFF	0
$2^{15}-1$ O.151	0D	0E	0	0	0x0D0E	0xFFFF	0xFFFF	1
$2^{20}-1$ O.153	10	13	0	0	0x1013	0xFFFF	0xFFFF	0
$2^{20}-1$ O.151 QRSS	02	13	0	1	0x0253	0xFFFF	0xFFFF	0
$2^{23}-1$ O.151	11	16	0	0	0x1116	0xFFFF	0xFFFF	1

表 5-12. 繰返しパターンの発生

PATTERN TYPE	BPCR REGISTER				BERT. PCR	BERT. SPR2	BERT. SPR1
	PTF[4:0] (hex)	PLF[4:0] (hex)	PTS	QRSS			
All ones	NA	00	1	0	0x0020	0xFFFF	0xFFFF
All zeros	NA	00	1	0	0x0020	0xFFFF	0xFFFE
Alternating ones and zeros	NA	01	1	0	0x0021	0xFFFF	0xFFFE
Double alternating and zeros	NA	03	1	0	0x0023	0xFFFF	0xFFFC
3 in 24	NA	17	1	0	0x0037	0xFF20	0x0022
1 in 16	NA	0F	1	0	0x002F	0xFFFF	0x0001
1 in 8	NA	07	1	0	0x0027	0xFFFF	0xFF01
1 in 4	NA	03	1	0	0x0023	0xFFFF	0xFFF1

上記ビットの設定後、パターンをBERTにロードする必要があります。ロードは、[BCR.TNPL](#)と [BCR.RNPL](#)での 0 から 1 への遷移によって実現します。

BERTの監視には [BSR](#)レジスタの読取りが必要です。この読取りにはビットエラーカウント(BEC)ビットと同期外れ(OOS)ビットが含まれます。BECビットは、ビットエラーカウンタが 1 以上であるとき 1 になります。OOSは受信パターン発生器が受信パターンに同期していないとき 1 になり、これは 64 ビットウィンドウ内で 6 ビット以上のエラーを受信したとき発生します。受信BERTビットカウントレジスタ([RBCR](#))および受信BERTビットエラーカウントレジスタ([RBECDR](#))は、性能モニタ更新信号([BCR.LPMU](#)など)の受信時に更新されます。この信号は、最終更新以後のカウンタの値で上記レジスタを更新して、カウンタをリセットします。

5.9.3 受信パターンの検出

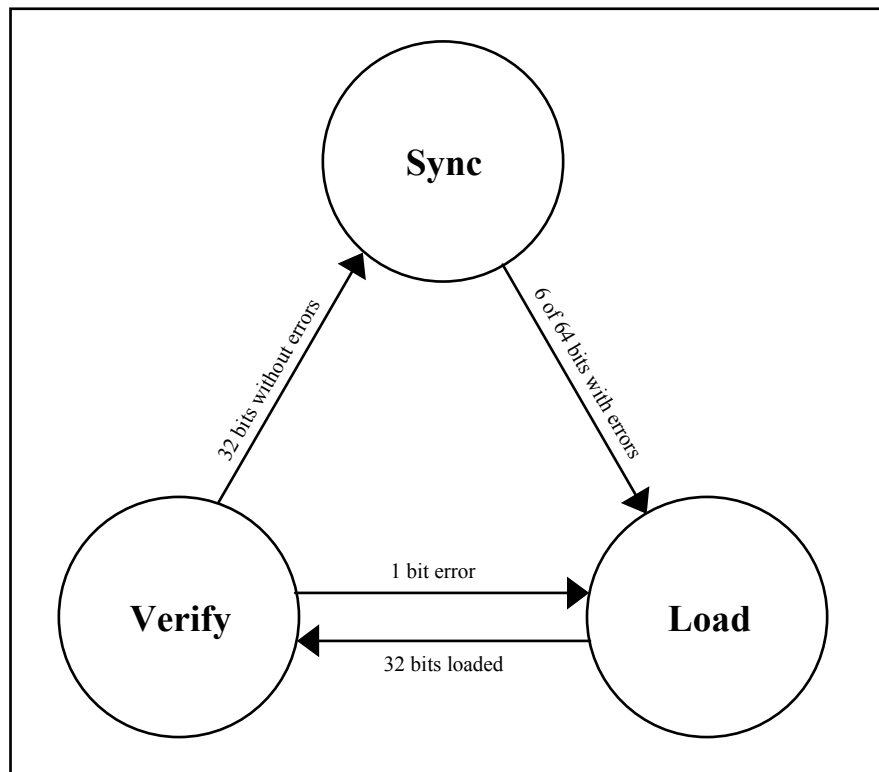
受信 BERT は、ペイロードデータのみを受信して受信パターン発生器を受信パターンに同期させます。受信パターン発生器は、データを最下位ビット(LSB)またはビット 1 から最上位ビット(MSB)またはビット 32 にシフトする 32 ビットシフトレジスタです。ビット 1 に対する入力フィードバックです。PRBS パターン(多項式 $x^n + x^y + 1$ を生成する)の場合、フィードバックはビット n とビット y の XOR です。繰返しパターン(長さ n)の場合、フィードバックはビット n です。 n と y の値は個別にプログラム可能です(1~32)。受信パターン発生器の出力はフィードバックです。QRSS がイネーブルされていればフィードバックはビット 17 と 20 の XOR で、次の 14 ビットがすべて 0 であれば出力は 1 に強制されます。QRSS はプログラム可能です(オンまたはオフ)。PRBS および QRSS パターンの場合、ビット 1~31 がすべて 0 であればフィードバックは 1 に強制されます。パターン検出では、プログラムされたパターンの種類に応じて PRBS 同期化または繰返しパターン同期化のいずれかが行われます。

5.9.3.1 受信 PRBS 同期化

PRBS 同期化では、受信パターン発生器が受信 PRBS または QRSS パターンに同期化されます。受信パターン発生器は、32 データストリームビットを受信パターン発生器にロードし、さらに次の 32 データストリームビットをチェックすることによって同期化されます。32 ビットすべてが受信パターンに一致すると同期化が実現します。現在の 64 ビットウィンドウ内で 6 個以上の受信ビットが受信パターン発生器と一致しなければ、自動パターン再同期化が開始されます。自動パターン再同期化はディセーブルすることができます。

PRBS同期化状態図については、[図 5-13](#)をご覧ください。

図 5-13. PRBS の同期状態図

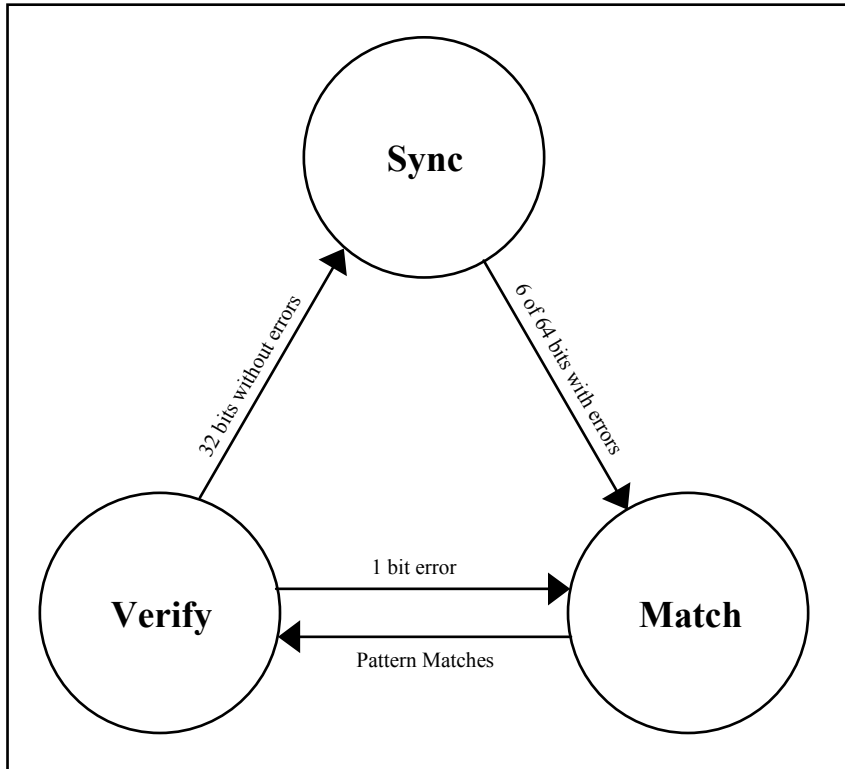


5.9.3.2 受信繰返しパターンの同期化

繰返しパターン同期化では、受信パターン発生器が受信繰返しパターンに同期化されます。受信パターン発生器は、繰返しパターンの各受信データストリームビット位置を探索し、さらに次の 32 データストリームビットをチェックすることによって同期化されます。32 ビットすべてが受信パターンに一致すると同期化が実現します。現在の 64 ビットウィンドウ内で 6 個以上の受信ビットが受信 PRBS パターン発生器と一致しなければ、自動パターン再同期化が開始されます。自動パターン再同期化はディセーブルすることができます。

図 5-14 は、繰返しパターン同期化状態図を示します。

図 5-14. 繰返しパターンの同期状態図



5.9.3.3 受信パターンの監視

受信パターン監視は、OOS 状態とビットエラーの両方に対して受信データストリームを監視して、受信ビットをカウントします。同期化状態機械が「同期」状態にないとき、同期外れ(OOS)状態が宣言されます。同期化状態機械が「同期」状態になると、OOS 状態は終了します。

ビットエラーは、受信データストリームビットを受信パターン発生器出力と比較することによって判定されます。これらが一致しなければビットエラーが宣言され、ビットエラーとビットカウントがインクリメントされます。これらが一致すれば、ビットカウントのみがインクリメントされます。OOS 状態が存在するとき、ビットカウントとビットエラーカウントはインクリメントされません。

5.9.4 送信パターンの発生

パターン発生では、送出テストパターンが発生され、これにエラーが挿入されます。送信パターン発生器は、データを最下位ビット(LSB)またはビット 1 から最上位ビット(MSB)またはビット 32 にシフトする 32 ビットシフトレジスタです。ビット 1 に対する入力フィードバックです。PRBS パターン(多項式 $x^n + x^y + 1$ を生成する)の場合、フィードバックはビット n とビット y の XOR です。繰返しパターン(長さ n)の場合、フィードバックはビット n です。 n と y の値は個別にプログラム可能です(1~32)。受信パターン発生器の出力はフィードバックです。QRSS がイネーブルされていればフィードバックはビット 17 と 20 の XOR で、次の 14 ビットがすべて 0 であれば出力は 1 に強制されます。QRSS はプログラム可能です(オンまたはオフ)。PRBS および QRSS パターンの場合、ビット 1~31 がすべて 0 であればフィードバックは 1 に強制されます。新たなパターンがロードされる時、パターン発生の開始前にパターン発生器にはシード/パターン値がロードされます。シード/パターン値はプログラム可能です($0 - 2^n - 1$)。

5.9.4.1 送信エラーの挿入

エラー挿入では、エラーが送出パターンデータストリームに挿入されます。エラーは、一度に 1 つずつ、または 10^n ビットに 1 つの割合で挿入されます。 n の値はプログラム可能です(1~7 またはオフ)。単一ビットエラーの挿入は、マイクロプロセッサインタフェースから、もしくは手動エラー挿入入力(TMEI)によって開始することができます。単一エラーの挿入方法はプログラム可能です(レジスタまたは入力)。パターン反転がイネーブルされると、オーバーヘッド/スタンプビットの挿入前にデータストリームが反転されます。パターン反転はプログラム可能です(オンまたはオフ)。

6 レジスタマップおよび定義

レジスタ設定の制御には 6 個のアドレスビットが使用されます。パラレル非多重モードでは、アドレス[5:0]が使用されます。多重モードではAD[5:0]が使用され、シリアルモードではA[6:1]が使用されます。レジスタ空間には、2 つの独立したレジスタセットがあります。下位のレジスタセットは、アドレス 00 (16 進)~1F (16 進)に存在し、LIU 1~8 の制御を含みます。上位のレジスタセットは、下位のセットの複製でアドレス 20 (16 進)~3F (16 進)に存在し、LIU 9~16 を制御します。これらレジスタセットは、各々が 4 つのバンク(主、補助、個別LIU、およびBERT)で構成されます。下位のレジスタセットに対応する [ADDP](#)レジスタは、アドレス 1F (16 進)に存在します。このレジスタは、下位(LIU 1~8)レジスタセット内の 4 つのレジスタバンクにアクセスするためのポインタとして使用されます。同様に、上位のレジスタセットに対応する [ADDP](#)レジスタは、アドレス 3F (16 進)に存在します。このレジスタは、上位(LIU 9~16)レジスタセット内の 4 バンクのレジスタにアクセスするためのポインタとして使用されます。ADDPレジスタをAA (16 進)に設定すると、補助レジスタバンクがアクセスされ、01 (16 進)では個別LIUレジスタバンクがアクセスされ、02 (16 進)ではBERTレジスタバンクがアクセスされ、00 (16 進) (パワーアップ時のデフォルト)では主レジスタバンクがアクセスされます。下位のレジスタセットに対するバンクの選択は 1F (16 進)のADDPのみによって制御され、上位のレジスタセットに対するバンクの選択は 3F (16 進)のADDPのみによって制御されます。

表 6-1. 主レジスタセット

NAME	SYMBOL	HEX FOR CH 1–8	ADDRESS FOR CH 1–8		HEX FOR CH 9–16	ADDRESS FOR CH 9–16		RW
			PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)		PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)	
Identification	ID	00	xx000000	x000000	20	Not used	Not used	R
Analog Loopback Configuration	ALBC	01	xx000001	x000001	21	xx100001	x100001	RW
Remote Loopback Configuration	RLBC	02	xx000010	x000010	22	xx100010	x100010	RW
Transmit All Ones Enable	TAOE	03	xx000011	x000011	23	xx100011	x100011	RW
LOS Status	LOSS	04	xx000100	x000100	24	xx100100	x100100	R
Driver Fault Monitor Status	DFMS	05	xx000101	x000101	25	xx100101	x100101	R
LOS Interrupt Enable	LOSIE	06	xx000110	x000110	26	xx100110	x100110	RW
Driver Fault Monitor Interrupt Enable	DFMIE	07	xx000111	x000111	27	xx100111	x100111	RW
LOS Interrupt Status	LOSIS	08	xx001000	x001000	28	xx101000	x101000	R
Driver Fault Monitor Interrupt Status	DFMIS	09	xx001001	x001001	29	xx101001	x101001	R
Software Reset	SWR	0A	xx001010	x001010	2A	xx101010	x101010	W
G.772 Monitor Configuration	GMC	0B	xx001011	x001011	2B	xx101011	x101011	RW
Digital Loopback Configuration	DLBC	0C	xx001100	x001100	2C	xx101100	x101100	RW
LOS/AIS Criteria Selection	LASCS	0D	xx001101	x001101	2D	xx101101	x101101	RW
Automatic Transmit All Ones Select	ATAOS	0E	xx001110	x001110	2E	xx101110	x101110	RW
Global Configuration	GC	0F	xx001111	x001111	2F	xx101111	x101111	RW
Template Select Transceiver Register	TST	10	xx010000	x010000	30	xx110000	x110000	RW
Template Select	TS	11	xx010001	x010001	31	xx110001	x110001	RW
Output Enable	OE	12	xx010010	x010010	32	xx110010	x110010	RW
Alarm Indication Signal	AIS	13	xx010011	x010011	33	xx110011	x110011	R
AIS Interrupt Enable	AISIE	14	xx010100	x010100	34	xx110100	x110100	RW
AIS Interrupt Status	AISIS	15	xx010101	x010101	35	xx110101	x110101	R
Reserved	—	16–1E	xx010110– xx011110	x010110– x011110	36–3E	xx110110– x111110	x110110– x111110	—
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表 6-2. 補助レジスタセット

NAME	SYMBOL	HEX FOR CH 1–8	ADDRESS FOR CHANNELS 1–8		HEX FOR CH 9–16	ADDRESS FOR CHANNELS 9–16		RW
			PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)		PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)	
Single-Rail Mode Select	SRMS	00	xx000000	x000000	20	xx100000	x100000	RW
Line Code Selection	LCS	01	xx000001	x000001	21	xx100001	x100001	R
Not Used	—	02	xx000010	x000010	22	xx100010	x100010	R
Receive Power-Down Enable	RPDE	03	xx000011	x000011	23	xx100011	x100011	RW
Transmit Power-Down Enable	TPDE	04	xx000100	x000100	24	xx100100	x100100	RW
Excessive Zero Detect Enable	EZDE	05	xx000101	x000101	25	xx100101	x100101	R
Code Violation Detect Enable Bar	CVDEB	06	xx000110	x000110	26	xx100110	x100110	R
Not Used	—	07–1E	xx000111– xx011110	x000111– x011110	27–3E	xx100111– xx111110	x100111– x111110	W
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表 6-3. 個別 LIU レジスタセット

NAME	SYMBOL	HEX FOR CH 1–8	ADDRESS FOR CHANNELS 1–8		HEX FOR CH 9–16	ADDRESS FOR CHANNELS 9–16		RW
			PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)		PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)	
Individual JA Enable	IJAE	00	xx000000	x000000	20	xx100000	x100000	RW
Individual JA Position Select	IJAPS	01	xx000001	x000001	21	xx100001	x100001	RW
Individual JA FIFO Depth Select	IJAFDS	02	xx000010	x000010	22	xx100010	x100010	RW
Individual JA FIFO Limit Trip	IJAFLT	03	xx000011	x000011	23	xx100011	x100011	R
Individual Short Circuit Protection Disable	ISCPD	04	xx000100	x000100	24	xx100100	x100100	RW
Individual AIS Select	IAISEL	05	xx000101	x000101	25	xx100101	x100101	RW
Master Clock Select	MC	06	xx000110	x000110	26	Not used	Not used	RW
Receive Sensitivity Monitor Mode 1–4	RSMM1–4	08–0B	xx001000– xx001011	x001000– x001011	28–2B	xx101000– xx101011	x101000– x101011	RW
Receive Signal Level Indicator 1–4	RSL1–4	0C–0F	xx001100– xx001111	x001100– x001111	2C–2F	xx101100– xx101111	x101100– x101111	R
Bit Error Rate Tester Control Register	BTCR	10	xx010000	x010000	30	xx110000	x110000	RW
Line Violation Detect Status	LVDS	12	xx010010	x010010	32	xx110010	x110010	R
Receive Clock Invert	RCLKI	13	xx010011	x010011	33	xx110011	x110011	RW
Transmit Clock Invert	TCLKI	14	xx010100	x010100	34	xx110100	x110100	RW
Clock Control Register	CCR	15	xx010101	x010101	35	Not used	Not used	RW
RCLK Disable Upon LOS Register	RDULR	16	xx010110	x010110	36	xx110110	x110110	RW
Global Interrupt Status Control	GISC	1E	xx011110	x011110	3E	Not used	Not used	RW
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表 6-4. BERT レジスタセット

NAME	SYMBOL	HEX FOR CH 1–8	ADDRESS FOR CHANNELS 1–8		HEX FOR CH 9–16	ADDRESS FOR CHANNELS 9–16		RW
			PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)		PARALLEL INTERFACE A7–A0 (HEX)	SERIAL INTERFACE A7–A1 (HEX)	
BERT Control Register	BCR	00	xx000000	x000000	20	xx100000	x100000	RW
Reserved	—	01	xx000001	x000001	21	xx100001	x100001	
BERT Pattern Configuration 1	BPCR1	02	xx000010	x000010	22	xx100010	x100010	RW
BERT Pattern Configuration 2	BPCR2	03	xx000011	x000011	23	xx100011	x100011	RW
BERT Seed/Pattern 1	BSPR1	04	xx000100	x000100	24	xx100100	x100100	RW
BERT Seed/Pattern 2	BSPR2	05	xx000101	x000101	25	xx100101	x100101	RW
BERT Seed/Pattern 3	BSPR3	06	xx000110	x000110	26	xx100110	x100110	RW
BERT Seed/Pattern 4	BSPR4	07	xx000111	x000111	27	xx100111	x100111	RW
Transmit Error Insertion Control	TEICR	08	xx001000	x001000	28	xx101000	x101000	RW
Reserved	—	09–0A	xx001001– x001010	—	29–2A	xx101001– x101010	—	—
BERT Status Register	BSR	0C	xx001100	x001100	2C	xx101100	x101100	R
Reserved		0D	xx001101	x001101	2D	xx101101	x101101	
BERT Status Register Latched	BSRL	0E	xx010011	x010011	2E	xx110011	x110011	RW
BERT Status Register Interrupt Enable	BSRIE	10	xx010000	x010000	30	xx110000	x110000	RW
Reserved	—	11–13	xx010001– xx010011	x010001– x010011	31–33	xx110001– xx110011	x110001– x110011	—
Receive Bit Error Count Register 1	RBECR1	14	xx010100	x010100	34	xx110100	x110100	R
Receive Bit Error Count Register 2	RBECR2	15	xx010101	x010101	35	xx110101	x110101	R
Receive Bit Error Count Register 3	RBECR3	16	xx010110	x010110	36	xx110110	x110110	R
Receive Bit Error Count Register 4	RBECR4	17	xx010111	x010111	37	xx110111	x110111	R
Receive Bit Count Register 1	RBCR1	18	xx011000	x011000	38	xx111000	x111000	R
Receive Bit Count Register 2	RBCR2	19	xx011001	x011001	39	xx111001	x111001	R
Receive Bit Count Register 3	RBCR3	1A	xx011010	x011010	3A	xx111010	x111010	R
Receive Bit Count Register 4	RBCR4	1B	xx011011	x011011	3B	xx111011	x111011	R
Reserved	—	1C–1E	xx011100– xx011110	x011100– x011110	3C–3E	xx111100– xx111110	x111100– x111110	—
Address Pointer for Bank Selection	ADDP	1F	xx011111	x011111	3F	xx111111	x111111	RW

表 6-5. 主レジスタセットのビットマップ

REGISTER	ADDRESS FOR LIUS 1-8	R/W	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ID	00	R	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
ALBC	01	RW	ALC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
RLBC	02	RW	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
TAOE	03	RW	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
LOSS	04	RW	LOSS8	LOSS7	LOSS6	LOSS5	LOSS4	LOSS3	LOSS2	LOSS1
DFMS	05	RW	DFMS8	DFMS7	DFMS6	DFMS5	DFMS4	DFMS3	DFMS2	DFMS1
LOSIE	06	RW	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
DFMIE	07	RW	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
LOSI8	08	R	LOSI8	LOSI7	LOSI6	LOSI5	LOSI4	LOSI3	LOSI2	LOSI1
DFMIS	09	R	DFMIS8	DFMIS7	DFMIS6	DFMIS5	DFMIS4	DFMIS3	DFMIS2	DFMIS1
SWR	0A	W	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL	SWRL
GMC	0B	RW	—	—	—	—	GMC4	GMC3	GMC2	GMC1
DLBC	0C	RW	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
LASCS	0D	RW	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
ATAOS	0E	RW	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
GC	0F	RW	—	AISEL	SCPD	CODE	JADS	RTCTL	JAPS	JAE
TST	10	RW	—	—	—	—	—	TST2	TST1	TST0
TS	11	RW	RIMPON	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
OE	12	RW	OE8	OE7	OE6	OE5	OE4	OE3	OE2	OE1
AIS	13	R	AIS8	AIS7	AIS6	AIS5	AIS4	AIS3	AIS2	AIS1
AISIE	14	RW	AISIE8	AISIE7	AISIE6	AISIE5	AISIE4	AISIE3	AISIE2	AISIE1
AISI	15	R	AISI8	AISI7	AISI6	AISI5	AISI4	AISI3	AISI2	AISI1
Not Used	16-1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

REGISTER	ADDRESS FOR LIUs 9-16	R/W	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Not Used	20	R	—	—	—	—	—	—	—	—
ALBC	21	RW	ALC16	ALBC15	ALBC14	ALBC13	ALBC12	ALBC11	ALBC10	ALBC9
RLBC	22	RW	RLBC16	RLBC15	RLBC14	RLBC13	RLBC12	RLBC11	RLBC10	RLBC9
TAOE	23	RW	TAOE16	TAOE15	TAOE14	TAOE13	TAOE12	TAOE11	TAOE10	TAOE9
LOSS	24	RW	LOSS16	LOSS15	LOSS14	LOSS13	LOSS12	LOSS11	LOSS10	LOSS9
DFMS	25	RW	DFMS16	DFMS15	DFMS14	DFMS13	DFMS12	DFMS11	DFMS10	DFMS9
LOSIE	26	RW	LOSIE16	LOSIE15	LOSIE14	LOSIE13	LOSIE12	LOSIE11	LOSIE10	LOSIE9
DFMIE	27	RW	DFMIE16	DFMIE15	DFMIE14	DFMIE13	DFMIE12	DFMIE11	DFMIE10	DFMIE9
LOSI8	28	R	LOSI8	LOSI15	LOSI14	LOSI13	LOSI12	LOSI11	LOSI10	LOSI9
DFMIS	29	R	DFMIS16	DFMIS15	DFMIS14	DFMIS13	DFMIS12	DFMIS11	DFMIS10	DFMIS9
SWR	2A	W	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU
GMC	2B	RW	—	—	—	—	GMC4	GMC3	GMC2	GMC1
DLBC	2C	RW	DLBC16	DLBC15	DLBC14	DLBC13	DLBC12	DLBC11	DLBC10	DLBC9
LASCS	2D	RW	LASCS16	LASCS15	LASCS14	LASCS13	LASCS12	LASCS11	LASCS10	LASCS9
ATAOS	2E	RW	ATAOS16	ATAOS15	ATAOS14	ATAOS13	ATAOS12	ATAOS11	ATAOS10	ATAOS9
GC	2F	RW	—	AISEL	SCPD	CODE	JADS	—	JAPS	JAE
TST	30	RW	—	—	—	—	—	TST2	TST1	TST0
TS	31	RW	RIMPON	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
OE	32	RW	OE16	OE15	OE14	OE13	OE12	OE11	OE10	OE9
AIS	33	R	AIS16	AIS15	AIS14	AIS13	AIS12	AIS11	AIS10	AIS9
AISIE	34	RW	AISIE16	AISIE15	AISIE14	AISIE13	AISIE12	AISIE11	AISIE10	AISIE9
AISI	35	R	AISI16	AISI15	AISI14	AISI13	AISI12	AISI11	AISI10	AISI9
Not Used	36-3E	—	—	—	—	—	—	—	—	—
ADDP	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 6-6. 補助レジスタセットのビットマップ

REGISTER	ADDRESS FOR LIUs 1–8	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SRS	00	RW	SRMS8	SRMS7	SRMS6	SRMS5	SRMS4	SRMS3	SRMS2	SRMS1
LCS	01	RW	LCS8	LCS7	LCS6	LCS5	LSC4	LCS3	LSC2	LSC1
Not Used	02	RW	—	—	—	—	—	—	—	—
RPDE	03	RW	RPDE8	RPDE7	RPDE6	RPDE5	RPDE4	RPDE3	RPDE2	RPDE1
TPDE	04	RW	TPDE8	TDPE7	TPDE6	TPDE5	TPDE4	TPDE3	TPDE2	TPDE1
EZDE	05	RW	EZDE8	EZDE7	EZDE6	EZDE5	EZDE4	EZDE3	EZDE2	EZDE1
CVDEB	06	RW	CVDEB8	CVDEB7	CVDEB6	CVDEB5	CVDEB4	CVDEB3	CVDEB2	CVDEB1
Not Used	07-1E	—	—	—	—	—	—	—	—	—
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

REGISTER	ADDRESS FOR LIUs 9–16	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SRS	20	RW	SRMS16	SRMS15	SRMS14	SRMS13	SRMS12	SRMS11	SRMS10	SRMS9
LCS	21	RW	LCS16	LCS15	LCS14	LCS13	LSC12	LCS11	LSC10	LSC9
Not Used	22	RW	—	—	—	—	—	—	—	—
RPDE	23	RW	RPDE16	RPDE15	RPDE14	RPDE13	RPDE12	RPDE11	RPDE10	RPDE9
TPDE	24	RW	TPDE16	TDPE15	TPDE14	TPDE13	TPDE12	TPDE11	TPDE10	TPDE9
EZDE	25	RW	EZDE16	EZDE15	EZDE14	EZDE13	EZDE12	EZDE11	EZDE10	EZDE9
CVDEB	26	RW	CVDEB16	CVDEB15	CVDEB14	CVDEB13	CVDEB12	CVDEB11	CVDEB10	CVDEB9
Not Used	27-3E	—	—	—	—	—	—	—	—	—
ADDP	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 6-7. 個別 LIU レジスタセットのビットマップ

REGISTER	ADDRESS FOR LIUs 1-8	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IJAE	00	RW	IJAE8	IJAE7	IJAE6	IJAE5	IJAE4	IJAE3	IJAE2	IJAE1
IJAPS	01	RW	IJAPS8	IJAPS7	IJAPS6	IJAPS5	IJAPS4	IJAPS3	IJAPS2	IJAPS1
IJAFDS	02	RW	IJAFDS8	IJAFDS7	IJAFDS6	IJAFDS5	IJAFDS4	IJAFDS3	IJAFDS2	IJAFDS1
IJAFLT	03	R	IJAFLT8	IJAFLT7	IJAFLT6	IJAFLT5	IJAFLT4	IJAFLT3	IJAFLT2	IJAFLT1
ISCPD	04	RW	ISCPD8	ISCPD7	ISCPD6	ISCPD5	ISCPD4	ISCPD3	ISCPD2	ISCPD1
IAISEL	05	RW	IAISEL8	IAISEL7	IAISEL6	IAISEL5	IAISEL4	IAISEL3	IAISEL2	IAISEL1
MC	06	RW	PCLKI1	PCLKI0	TECLKE	CLKAE	MPS1	MPS0	FREQS	PLLE
RSMM1	08	RW	RTR2	C2RSM2	C2RSM1	C2RSM0	RTR1	C1RSM2	C1RSM1	C1RSM0
RSMM2	09	RW	RTR4	C4RSM2	C4RSM1	C4RSM0	RTR3	C3RSM2	C3RSM1	C3RSM0
RSMM3	0A	RW	RTR6	C6RSM2	C6RSM1	C6RSM0	RTR5	C5RSM2	C5RSM1	C5RSM0
RSMM4	0B	RW	RTR8	C8RSM2	C8RSM1	C8RSM0	RTR7	C7RSM2	C7RSM1	C7RSM0
RSL1	0C	R	C2RSL3	C2RSL2	C2RSL1	C2RSL0	C1RSL3	C1RSL2	C1RSL1	C1RSL0
RSL2	0D	R	C4RSL3	C4RSL2	C4RSL1	C4RSL0	C3RSL3	C3RSL2	C3RSL1	C3RSL0
RSL3	0E	R	C6RSL3	C6RSL2	C6RSL1	C6RSL0	C5RSL3	C5RSL2	C5RSL1	C5RSL0
RSL4	0F	R	C8RSL3	C8RSL2	C8RSL1	C8RSL0	C7RSL3	C7RSL2	C7RSL1	C7RSL0
BTCR	10	RW	BTS2	BTS1	BTS0	—	—	—	—	BERTE
BEIR	11	RW	BEIR8	BEIR7	BEIR6	BEIR5	BEIR4	BEIR3	BEIR2	BEIR1
LVDS	12	R	LVDS8	LVDS7	LVDS6	LVDS5	LVDS4	LVDS3	LVDS2	LVDS1
RCLKI	13	RW	RCLKI8	RCLKI7	RCLKI6	RCLKI5	RCLKI4	RCLKI3	RCLKI2	RCLKI1
TCLKI	14	RW	TCLKI8	TCLKI7	TCLKI6	TCLKI5	TCLKI4	TCLKI3	TCLKI2	TCLKI1
CCR	15	RW	PCLKS2	PCLKS1	PCLKS0	TECLKS	CLKA3	CLKA2	CLKA1	CLKA0
RDULR	16	RW	RDULR8	RDULR7	RDULR6	RDULR5	RDULR4	RDULR3	RDULR2	RDULR1
GISC	1E	RW	—	—	—	—	—	—	INTM	CWE
ADDP	1F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

REGISTER	ADDRESS FOR LIUs 9-16	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IJAE	20	RW	IJAE16	IJAE15	IJAE14	IJAE13	IJAE12	IJAE11	IJAE10	IJAE9
IJAPS	21	RW	IJAPS16	IJAPS15	IJAPS14	IJAPS13	IJAPS12	IJAPS11	IJAPS10	IJAPS9
IJAFDS	22	RW	IJAFDS16	IJAFDS15	IJAFDS14	IJAFDS13	IJAFDS12	IJAFDS11	IJAFDS10	IJAFDS9
IJAFLT	23	R	IJAFLT16	IJAFLT15	IJAFLT14	IJAFLT13	IJAFLT12	IJAFLT11	IJAFLT10	IJAFLT9
ISCPD	24	RW	ISCPD16	ISCPD15	ISCPD14	ISCPD13	ISCPD12	ISCPD11	ISCPD10	ISCPD9
IAISEL	25	RW	IAISEL16	IAISEL15	IAISEL14	IAISEL13	IAISEL12	IAISEL11	IAISEL10	IAISEL9
Not Used	26	RW	—	—	—	—	—	—	—	—
RSMM1	28	RW	RTR10	C10RSM2	C10RSM1	C10RSM0	RTR9	C9RSM2	C9RSM1	C9RSM0
RSMM2	29	RW	RTR12	C12RSM2	C12RSM1	C12RSM0	RTR11	C11RSM2	C11RSM1	C11RSM0
RSMM3	2A	RW	RTR14	C14RSM2	C14RSM1	C14RSM0	RTR13	C13RSM2	C13RSM1	C13RSM0
RSMM4	2B	RW	RTR8	C16RSM2	C16RSM1	C16RSM0	RTR16	C16RSM2	C16RSM1	C16RSM0
RSL1	2C	R	C10RSL3	C10RSL2	C10RSL1	C10RSL0	C9RSL3	C9RSL2	C9RSL1	C9RSL0
RSL2	2D	R	C12RSL3	C12RSL2	C12RSL1	C12RSL0	C11RSL3	C11RSL2	C11RSL1	C11RSL0
RSL3	2E	R	C14RSL3	C14RSL2	C14RSL1	C14RSL0	C13RSL3	C13RSL2	C13RSL1	C13RSL0
RSL4	2F	R	C16RSL3	C16RSL2	C16RSL1	C16RSL0	C15RSL3	C15RSL2	C15RSL1	C15RSL0
BTCR	30	RW	BTS2	BTS1	BTS0	—	—	—	—	BERTE
BEIR	31	RW	BEIR16	BEIR15	BEIR14	BEIR13	BEIR12	BEIR11	BEIR10	BEIR9
LVDS	32	R	LVDS16	LVDS15	LVDS14	LVDS13	LVDS12	LVDS11	LVDS10	LVDS9
RCLKI	33	RW	RCLKI16	RCLKI15	RCLKI14	RCLKI13	RCLKI12	RCLKI11	RCLKI10	RCLKI9
TCLKI	34	RW	TCLKI16	TCLKI15	TCLKI14	TCLKI13	TCLKI12	TCLKI11	TCLKI10	TCLKI9
Not Used	35	RW	—	—	—	—	—	—	—	—
RDULR	36	RW	RDULR16	RDULR15	RDULR14	RDULR13	RDULR12	RDULR11	RDULR10	RDULR9
GISC	3E	RW	—	—	—	—	—	—	INTM	CWE
ADDP	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

表 6-8. BERT レジスタのビットマップ

REG	ADDRESS FOR LIUs 1–8	ADDRESS FOR LIUs 9–16	RW	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
BCR	00	20	RW	PMUM	LPMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
Not Used	01	<u>21</u>	—	—	—	—	—	—	—	—	—
BPCR1	02	22	RW	—	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
BPCR2	03	<u>23</u>	—	—	—	—	PTF4	PTF3	PTF2	PTF1	PTF0
BSPR1	04	24	RW	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
BSPR2	05	<u>25</u>	—	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
BSPR3	06	26	RW	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
BSPR4	07	<u>27</u>	—	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
TEICR	08	28	RW	—	—	TEIR2	TEIR1	TEIR0	BEI	TSEI	MEIMS
Not Used	09–0B	<u>29–2B</u>	—	—	—	—	—	—	—	—	—
BSR	0C	2C	R/W	—	—	—	—	PMS	—	<u>BEC</u>	<u>OOS</u>
Not Used	0D	<u>2D</u>	—	—	—	—	—	—	—	—	—
BSRL	0E	2E	RL/W	—	—	—	—	PMSL	<u>BEL</u>	<u>BEC</u>	<u>OOS</u>
Not Used	0F	<u>2F</u>	—	—	—	—	—	—	—	—	—
BSRIE	10	30	RW	—	—	—	—	PMSIE	BEIE	BECIE	OOSIE
Not Used	11–13	<u>31–33</u>	—	—	—	—	—	—	—	—	—
RBECR1	14	34	R	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
RBECR2	15	35	R	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
RBECR3	16	36	R	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
Not Used	17	<u>37</u>	—	—	—	—	—	—	—	—	—
RBCR1	18	38	R	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
RBCR2	19	39	R	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
RBCR3	1A	3A	R	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
RBCR4	1B	3B	R	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
Not Used	1C–1E	3C–3E	—	—	—	—	—	—	—	—	—
ADDP	1F	3F	RW	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0

注: 下線付きのビットは読取り専用です。

6.1 レジスタの説明

この項では、レジスタのビットについて詳しく説明します。イタリック体の変数「 n 」は、レジスタの説明のどこで使用されているものであれ 1～16 を表わします。レジスタの説明では、LIU 1～8 と LIU 9～16 に関して複製レジスタがあることに留意してください。LIU 1～8 には、LIU 9～16 のレジスタセットの中に複製を持たないレジスタがあります。これらのレジスタについては、1 つのアドレスのみを示します。その他すべてのレジスタについては、2 つのアドレス (LIU 1～8 に対して 1 つと LIU 9～16 に対して 1 つ) を示します。

6.1.1 一次レジスタバンク

このバンクにアクセスするためには、ADDP レジスタを 00h に設定する必要があります。

Register Name: **ID**
 Register Description: **ID Register**
 Register Address: **00h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>ID7</u>	<u>ID6</u>	<u>ID5</u>	<u>ID4</u>	<u>ID3</u>	<u>ID2</u>	<u>ID1</u>	<u>ID0</u>

ビット 7: デバイスコード ID ビット 7 (ID7)。このビットは短距離動作の場合「0」です。

ビット 6～3: デバイスコード ID ビット 6～3 (ID6～ID3)。これらのビットはデバイスに含まれるポート数を表わします。

ビット 2～0: デバイスコード ID ビット 2～0 (ID2～ID0)。これらのビットはデバイスの改訂を表わします。詳しくはお問い合わせください。

Register Name: **ALBC**
 Register Description: **Analog Loopback Control**
 Register Address (LIUs 1-8): **01h**

Bit #	7	6	5	4	3	2	1	0
Name	ALBC8	ALBC7	ALBC6	ALBC5	ALBC4	ALBC3	ALBC2	ALBC1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **21h**

Bit #	7	6	5	4	3	2	1	0
Name	ALBC16	ALBC15	ALBC14	ALBC13	ALBC12	ALBC11	ALBC10	ALBC9
Default	0	0	0	0	0	0	0	0

ビット 7～0: アナログループバック制御ビットチャンネル n (ALBC n)。このビットが設定されると、LIU n がアナログループバックに配置されます。TTIP と TRING は RTIP と RRING にループバックされます。RTIP と RRING のデータは無視されます。それでも、LOS 検出器は動作しています。ジッタ減衰器はトランスミッタまたはレシーバに対してイネーブルされていれば使用されます。

Register Name: **RLBC**
 Register Description: **Remote Loopback Control**
 Register Address (LIUs 1-8): **02h**

Bit #	7	6	5	4	3	2	1	0
Name	RLBC8	RLBC7	RLBC6	RLBC5	RLBC4	RLBC3	RLBC2	RLBC1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **22h**

Bit #	7	6	5	4	3	2	1	0
Name	RLBC16	RLBC15	RLBC14	RLBC13	RLBC12	RLBC11	RLBC10	RLBC9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 遠隔ループバック制御ビットチャンネル n (RLBC n)。このビットが設定されると、遠隔ループバックが LIU n でイネーブルされます。アナログ受信信号が、Receive Digital を通ってトランスミッタにループバックされます。TPOS と TNEG のデータは無視されます。ジッタ減衰器はイネーブルされていなければ使用されます。

Register Name: **TAOE**
 Register Description: **Transmit All Ones Enable**
 Register Address (LIUs 1-8): **03h**

Bit #	7	6	5	4	3	2	1	0
Name	TAOE8	TAOE7	TAOE6	TAOE5	TAOE4	TAOE3	TAOE2	TAOE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **23h**

Bit #	7	6	5	4	3	2	1	0
Name	TAOE16	TAOE15	TAOE14	TAOE13	TAOE12	TAOE11	TAOE10	TAOE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: すべて 1 を送信イネーブルチャンネル n (TAOE n)。このビットが設定されると、TTIP と TRING 上のすべて 1 の連続ストリームはチャンネル n に送られます。MCLK がすべて 1 を送信信号のリファレンスクロックとして使用されます。TPOS と TNEG に到達したデータは無視されます。

Register Name: **LOSS**
 Register Description: **Loss of Signal Status**
 Register Address (LIUs 1-8): **04h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>LOS8</u>	<u>LOS7</u>	<u>LOS6</u>	<u>LOS5</u>	<u>LOS4</u>	<u>LOS3</u>	<u>LOS2</u>	<u>LOS1</u>
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **24h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>LOS16</u>	<u>LOS15</u>	<u>LOS14</u>	<u>LOS13</u>	<u>LOS12</u>	<u>LOS11</u>	<u>LOS10</u>	<u>LOS9</u>
Default	0	0	0	0	0	0	0	0

ビット 7～0: 信号消失ステータスチャンネル n (LOS n)。このビットが設定されると、LOS 状態が LIU n で検出されています。LOS の基準と状態は「ロスオブシグナル」に記載されています。

Register Name: **DFMS**
Register Description: **Driver Fault Monitor Status**
Register Address (LIUs 1-8): **05h**

Bit #	7	6	5	4	3	2	1	0
Name	DFMS8	DFMS7	DFMS6	DFMS5	DFMS4	DFMS3	DFMS2	DFMS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **25h**

Bit #	7	6	5	4	3	2	1	0
Name	DFMS16	DFMS15	DFMS14	DFMS13	DFMS12	DFMS11	DFMS10	DFMS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: ドライバ障害モニタステータスチャンネル n (DFMS n)。このビットが設定されると、LIU n の送信ドライバに短絡または開放があることを示します。

Register Name: **LOSIE**
Register Description: **Loss of Signal Interrupt Enable**
Register Address (LIUs 1-8): **06h**

Bit #	7	6	5	4	3	2	1	0
Name	LOSIE8	LOSIE7	LOSIE6	LOSIE5	LOSIE4	LOSIE3	LOSIE2	LOSIE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **26h**

Bit #	7	6	5	4	3	2	1	0
Name	LOSIE16	LOSIE15	LOSIE14	LOSIE13	LOSIE12	LOSIE11	LOSIE10	LOSIE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 信号消失割込みイネーブルチャンネル n (LOSIE n)。このビットが設定されると、LIU n の LOS ステータスの変化によって割込みが発生します。

Register Name: **DFMIE**
Register Description: **Driver Fault Monitor Interrupt Enable**
Register Address (LIUs 1-8): **07h**

Bit #	7	6	5	4	3	2	1	0
Name	DFMIE8	DFMIE7	DFMIE6	DFMIE5	DFMIE4	DFMIE3	DFMIE2	DFMIE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **27h**

Bit #	7	6	5	4	3	2	1	0
Name	DFMIE16	DFMIE15	DFMIE14	DFMIE13	DFMIE12	DFMIE11	DFMIE10	DFMIE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: ドライバ障害モニタ割込みイネーブルチャンネル n (DFMIE n)。このビットが設定されると、DFM ステータスの変化によってモニタ n に割込みが発生します。

Register Name: **LOSI8**
 Register Description: **Loss of Signal Interrupt Status**
 Register Address (LIUs 1-8): **08h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>LOSI8</u>	<u>LOSI7</u>	<u>LOSI6</u>	<u>LOSI5</u>	<u>LOSI4</u>	<u>LOSI3</u>	<u>LOSI2</u>	<u>LOSI1</u>
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **28h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>LOSI16</u>	<u>LOSI15</u>	<u>LOSI14</u>	<u>LOSI13</u>	<u>LOSI12</u>	<u>LOSI11</u>	<u>LOSI10</u>	<u>LOSI9</u>
Default	0	0	0	0	0	0	0	0

ビット7～0: 信号消失割込みステータスチャンネル n (LOSI n)。このビットが設定されると、LOS ステータスが「0 から 1」または「1 から 0」に遷移しており LIUn で検出されたことを示します。LIUn のビットはレジスタ LOSIE(06h)によってイネーブルされます。ラッチされたこのビットは、読取り動作の際にクリアされます。

Register Name: **DFMIS**
 Register Description: **Driver Fault Monitor Interrupt Status**
 Register Address (LIUs 1-8): **09h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>DFMIS8</u>	<u>DFMIS7</u>	<u>DFMIS6</u>	<u>DFMIS5</u>	<u>DFMIS4</u>	<u>DFMIS3</u>	<u>DFMIS2</u>	<u>DFMIS1</u>
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **29h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>DFMIS16</u>	<u>DFMIS15</u>	<u>DFMIS14</u>	<u>DFMIS13</u>	<u>DFMIS12</u>	<u>DFMIS11</u>	<u>DFMIS10</u>	<u>DFMIS9</u>
Default	0	0	0	0	0	0	0	0

ビット7～0: ドライバ障害ステータスレジスタチャンネル n (DFMIS n)。このビットが設定されると、DFM ステータスが「0 から 1」または「1 から 0」に遷移しており LIUn で検出されたことを示します。LIUn のビットはレジスタ DFMIE(07h)によってイネーブルされます。ラッチされたこのビットは、読取り動作の際にクリアされます。

Register Name: **SWR**
 Register Description: **Software Reset**
 Register Address (LIUs 1-8): **0Ah**

Bit #	7	6	5	4	3	2	1	0
Name	<u>SWRL</u>	<u>SWRL</u>	<u>SWRL</u>	<u>SWRL</u>	<u>SWRL</u>	<u>SWRL</u>	<u>SWRL</u>	<u>SWRL</u>
Default	0	0	0	0	0	0	0	0

ビット 7～0: ソフトウェアリセット(SWR)。このレジスタに書込みが行われると、少なくとも 1 μ s のリセットパルスが生成されて、下位のレジスタセット(LIU 1～8)がリセットされます。すべてのレジスタはそのデフォルト値に戻ります。読取り動作では常にすべて 0 が読み戻されます。

Register Address (LIUs 9-16): **2Ah**

Bit #	7	6	5	4	3	2	1	0
Name	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU	SWRU
Default	0	0	0	0	0	0	0	0

ビット 7～0:ソフトウェアリセット(SWR)。このレジスタに書込みが行われると、少なくとも 1μs のリセットパルスが生成されて、上位のレジスタセット(LIU 9～16)がリセットされます。すべてのレジスタはそのデフォルト値に戻ります。読取り動作では常にすべて0が読み戻されます。

Register Name: **GMC**
 Register Description: **G.772 Monitoring Control**
 Register Address (LIUs 1-8): **0Bh**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	GMC3	GMC2	GMC1	GMC0
Default	0	0	0	0	0	0	0	0

ビット 7～0:G.772 監視制御(GMC)。これらのビットは、非侵入型監視用のトランスミッタまたはレシーバの選択に使用されます。レシーバ 1 は、RTIP2～8/RRING2～8 の 1 個のレシーバ、またはTTIP2～8/TRING2～8 の 1 個のトランスミッタのチャンネル 2～8 を監視するために使用されます。[表 6-9](#)をご覧ください。

Register Address (LIUs 9-16): **2Bh**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	GMC3	GMC2	GMC1	GMC0
Default	0	0	0	0	0	0	0	0

ビット 7～0:G.772 監視制御(GMC)。これらのビットは、非侵入型監視用のトランスミッタまたはレシーバの選択に使用されます。レシーバ 9 は、RTIP10～16/RRING10～16 の 1 個のレシーバ、またはTTIP10～16/TRING10～16 の 1 個のトランスミッタのチャンネル 10～16 を監視するために使用されます。[表 6-10](#)をご覧ください。

表 6-9. G.772 監視制御(LIU 1)

GMC3	GMC2	GMC1	GMC0	SELECTION
0	0	0	0	No Monitoring
0	0	0	1	Receiver 2
0	0	1	0	Receiver 3
0	0	1	1	Receiver 4
0	1	0	0	Receiver 5
0	1	0	1	Receiver 6
0	1	1	0	Receiver 7
0	1	1	1	Receiver 8
1	0	0	0	No Monitoring
1	0	0	1	Transmitter 2
1	0	1	0	Transmitter 3
1	0	1	1	Transmitter 4
1	1	0	0	Transmitter 5
1	1	0	1	Transmitter 6
1	1	1	0	Transmitter 7
1	1	1	1	Transmitter 8

表 6-10. G.772 監視制御(LIU 9)

GMC3	GMC2	GMC1	GMC0	SELECTION
0	0	0	0	No Monitoring
0	0	0	1	Receiver 10
0	0	1	0	Receiver 11
0	0	1	1	Receiver 12
0	1	0	0	Receiver 13
0	1	0	1	Receiver 14
0	1	1	0	Receiver 15
0	1	1	1	Receiver 16
1	0	0	0	No Monitoring
1	0	0	1	Transmitter 10
1	0	1	0	Transmitter 11
1	0	1	1	Transmitter 12
1	1	0	0	Transmitter 13
1	1	0	1	Transmitter 14
1	1	1	0	Transmitter 15
1	1	1	1	Transmitter 16

Register Name: **DLBC**
Register Description: **Digital Loopback Control**
Register Address (LIUs 1-8): **0Ch**

Bit #	7	6	5	4	3	2	1	0
Name	DLBC8	DLBC7	DLBC6	DLBC5	DLBC4	DLBC3	DLBC2	DLBC1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **2Ch**

Bit #	7	6	5	4	3	2	1	0
Name	DLBC16	DLBC15	DLBC14	DLBC13	DLBC12	DLBC11	DLBC10	DLBC9
Default	0	0	0	0	0	0	0	0

ビット 7～0: デジタルループバック制御チャネル n (DLBC n)。このビットが設定されると、LIU n がデジタルループバックに配置されます。TPOS/TNEG のデータはコード化されてデコーダにループバックされ、RPOS/RNEG に出力されます。ジッタ減衰器をオプションとして送信または受信経路に含めることができます。

Register Name: **LASCS**
 Register Description: **LOS/AIS Criteria Selection**
 Register Address (LIUs 1-8): **0Dh**

Bit #	7	6	5	4	3	2	1	0
Name	LASCS8	LASCS7	LASCS6	LASCS5	LASCS4	LASCS3	LASCS2	LASCS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **2Dh**

Bit #	7	6	5	4	3	2	1	0
Name	LASCS16	LASCS15	LASCS14	LASCS13	LASCS12	LASCS11	LASCS10	LASCS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: LOS/AIS 基準選択チャンネル n (LASCS n)。このビットは、LIU n の LOS/AIS 選択基準に使用されます。E1 モードでは、これを設定すると ETSI 300 233 モードが選択されます。これをリセットすると G.775 基準が使用されます。T1/J1 モードでは、T1.231 基準が選択されます。

Register Name: **ATAOS**
 Register Description: **Automatic Transmit All Ones Select**
 Register Address (LIUs 1-8): **0Eh**

Bit #	7	6	5	4	3	2	1	0
Name	ATAOS8	ATAOS7	ATAOS6	ATAOS5	ATAOS4	ATAOS3	ATAOS2	ATAOS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **2Eh**

Bit #	7	6	5	4	3	2	1	0
Name	ATAOS16	ATAOS15	ATAOS14	ATAOS13	ATAOS12	ATAOS11	ATAOS10	ATAOS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 自動すべて 1 を送信選択チャンネル n (ATAOS n)。このビットが設定されると、ロスオブシグナルが LIU n で検出された場合、すべて 1 信号が送られます。「すべて 1 信号」には MCLK がリファレンスクロックとして使用されます。

Register Name: **GC**
 Register Description: **Global Configuration**
 Register Address (LIUs 1-8): **0Fh**

Bit #	7	6	5	4	3	2	1	0
Name	—	AISEL	SCPD	CODE	JADS	RTCTL	JAPS	JAE
Default	0	0	0	0	0	0	0	0

RTCTL は 16 個の LIU すべてを制御します。他のビットはすべて LIU 1～8 専用です。

ビット 6: 損失時の AIS イネーブル (AISEL)。このビットが設定されると、各チャンネルで LOS が検出された際に AIS がシステム側に送られます。このビットが設定されると、個別 LIU レジスタ [AISEL](#) の設定は無視されます。リセットされると、[AISEL](#) レジスタによる制御が行われます。

ビット 5: 短絡保護ディセーブル (SCPD)。このビットが設定されると、短絡保護がすべてのトランスミッタに対してディセーブルされます。このビットが設定されると、個別 LIU レジスタ [SCPD](#) の設定は無視されます。リセットされると、[SCPD](#) レジスタによる制御が行われます。

ビット 4:コード。このビットが設定されると、AMIエンコーダ/デコーダが選択されます。このビットが設定されると、[LCS](#)レジスタの設定は無視されます。リセットされると、[LCS](#)レジスタによる制御が行われます。

ビット 3:ジッタ減衰器深度選択(JADS)。このビットが設定されると、ジッタ減衰器FIFO深度は 128 ビットになります。このレジスタが設定されると、[IJAFDS](#)レジスタでの設定は無視されます。リセットされると、[IJAFDS](#)レジスタによる制御が行われます。

ビット 2:受信終端制御(RTCTL)。このビットが設定されると、OE ピンは、すべての LIU レシーバの全内部終端を制御します。設定しない場合は RIMPON ビットを参照してください。

ビット 1:ジッタ減衰器位置選択(JAPS)。JAPSEビットがハイに設定されると、JAは受信経路に設置され、デフォルトのときやローに設定されたときは送信経路に設置されます。これらの設定は、[IJAPS](#)レジスタでの設定によって個々のLIUに対して変更することができます。ビットJAEが設定されると、[IJAPS](#)レジスタでの設定は無視されます。

ビット 0:ジッタ減衰器イネーブル(JAE)。このビットが設定されると、JAはイネーブルされます。このレジスタが設定されると、[IJAE](#)レジスタでの設定は無視されます。リセットされると、IJAEレジスタによる制御が行われます。

Register Address (LIUs 9-16): **2Fh**

Bit #	7	6	5	4	3	2	1	0
Name	—	AISEL	SCPD	CODE	JADS	—	JAPS	JAE
Default	0	0	0	0	0	0	0	0

ビット 6:損失時のAISイネーブル(AISEL)。このビットが設定されると、各チャンネルでLOSが検出された際にAISがシステム側に送られます。このビットが設定されると、個別LIUレジスタ [IAISEL](#) の設定は無視されます。リセットされると、[IAISEL](#)レジスタによる制御が行われます。

ビット 5:短絡保護ディセーブル(SCPD)。このビットが設定されると、短絡保護がすべてのトランスミッタに対してディセーブルされます。このビットが設定されると、個別LIUレジスタ [ISCPD](#) の設定は無視されます。リセットされると、[ISCPD](#)レジスタによる制御が行われます。

ビット 4:コード。このビットが設定されると、AMIエンコーダ/デコーダが選択されます。このビットが設定されると、[LCS](#)レジスタの設定は無視されます。リセットされると、[LCS](#)レジスタによる制御が行われます。

ビット 3:ジッタ減衰器深度選択(JADS)。このビットが設定されると、ジッタ減衰器FIFO深度は 128 ビットになります。このレジスタが設定されると、[IJAFDS](#)レジスタでの設定は無視されます。リセットされると、[IJAFDS](#)レジスタによる制御が行われます。

ビット 1:ジッタ減衰器位置選択(JAPS)。JAPSEビットがハイに設定されると、JAは受信経路に設置され、デフォルトのときやローに設定されたときは送信経路に設置されます。これらの設定は、[IJAPS](#)レジスタでの設定によって個々のLIUに対して変更することができます。ビットJAEが設定されると、[IJAPS](#)レジスタでの設定は無視されます。

ビット 0:ジッタ減衰器イネーブル(JAE)。このビットが設定されると、JAはイネーブルされます。このレジスタが設定されると、[IJAE](#)レジスタでの設定は無視されます。リセットされると、IJAEレジスタによる制御が行われます。

Register Name: **TST**
 Register Description: **Template Select Transmitter Register**
 Register Address (LIUs 1-8): **10h**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	TST2	TST1	TST0
Default	0	0	0	0	0	0	0	0

ビット2～0: TST テンプレート選択トランシーバ [2:0] (TST[2:0])。TST[2:0]は、送信テンプレート選択レジスタ(16進 11)が LIU 1～8 に対して適用されるトランシーバの選択に使用されます。[表 6-11](#)をご覧ください。

Register Address (LIUs 9-16): **30h**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	TST2	TST1	TST0
Default	0	0	0	0	0	0	0	0

ビット2～0: TST テンプレート選択トランシーバ [2:0] (TST[2:0])。TST[2:0]は、送信テンプレート選択レジスタ(16進 11)が LIU 9～16 に対して適用されるトランシーバの選択に使用されます。[表 6-12](#)をご覧ください。

表 6-11. TST テンプレート選択送信機レジスタ(LIU 1～8)

TST[2:0]	CHANNEL	TST[2:0]	CHANNEL
000	1	100	5
001	2	101	6
010	3	110	7
011	4	111	8

表 6-12. TST テンプレート選択送信機レジスタ(LIU 9～16)

TST[2:0]	CHANNEL	TST[2:0]	CHANNEL
000	9	100	13
001	10	101	14
010	11	110	15
011	12	111	16

Register Name: **TS**
Register Description: **Template Select Register**
Register Address (LIUs 1-8): **11h**
Register Address (LIUs 9-16): **31h**

Bit #	7	6	5	4	3	2	1	0
Name	RIMPON	TIMPOFF	—	—	TIMPRM	TS2	TS1	TS0
Default	0	0	0	0	0	0	0	0

ビット 7: 受信インピーダンス整合オン(RIMPON)。このビットが設定されると、受信インピーダンス整合はオンになります。さもなければ、レシーバはハイインピーダンス状態にあります。GC.RTCTL ビットが設定されると、ビット 7 に代って OE ピンによる制御が可能になります。

ビット 6: 送信インピーダンス終端オフ(TIMPOFF)。このビットが設定されると、すべての内部終端インピーダンスがオフになります。

ビット 3: 送信インピーダンス受信整合(TIMPRM)。このビットによって、E1 モードと T1/J1 モードに対して内部の送信終端インピーダンスおよび受信インピーダンス整合が選択されます。

0 = 75Ω (E1 モードの場合)、または 100Ω (T1 モードの場合)

1 = 120Ω (E1 モードの場合)、または 110Ω (J1 モードの場合)

ビット 2~0: テンプレート選択[2:0] (TS[2:0])。ビット TS[2:0] は、E1 または T1/J1 モード、テンプレート、および各種ケーブル長の設定の選択に使用されます。トランスミッタのインピーダンス終端およびレシーバのインピーダンス整合は、ビット TIMPRM によって指定されます。TS[2:0] のビット選択については、[表 6-13](#) をご覧ください。

表 6-13. テンプレートの選択

TEMPLATE SELECTION			
TS[2:0]	LINE LENGTH (ft)	CABLE LOSS (dB)	IMPEDANCE (Ω)
011	0–133 ABAM	0.6	100/110
100	133–266 ABAM	1.2	100/110
101	266–399 ABAM	1.8	100/110
110	399–533 ABAM	2.4	100/110
111	533–655 ABAM	3.0	100/110
000	G.703 Coaxial & Twisted pair cable		75/120
001 and 010	Reserved	—	—

Register Name: **OE**
Register Description: **Output Enable**
Register Address (LIUs 1-8): **12h**

Bit #	7	6	5	4	3	2	1	0
Name	OE8	OE7	OE6	OE5	OE4	OE3	OE2	OE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **32h**

Bit #	7	6	5	4	3	2	1	0
Name	OE16	OE15	OE14	OE13	OE12	OE11	OE10	OE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 出力イネーブルチャンネル n (OEn)。このビットがデフォルトであるとき、LIUn のトランスミッタ出力はハイインピーダンス状態にあります。このビットが設定されると、LIUn のトランスミッタ出力はイネーブルされます。OEピンは、ローのときこの設定を無視します。

Register Name: **AIS**
 Register Description: **Alarm Indication Signal Status**
 Register Address (LIUs 1-8): **13h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>AIS8</u>	<u>AIS7</u>	<u>AIS6</u>	<u>AIS5</u>	<u>AIS4</u>	<u>AIS3</u>	<u>AIS2</u>	<u>AIS1</u>
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **33h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>AIS16</u>	<u>AIS15</u>	<u>AIS14</u>	<u>AIS13</u>	<u>AIS12</u>	<u>AIS11</u>	<u>AIS10</u>	<u>AIS9</u>
Default	0	0	0	0	0	0	0	0

ビット 7～0: アラーム表示信号チャンネル n (AISn)。LIUnでAISが検出されると、このビットが設定されます。AIS選択に関する基準は、AISの項に詳述されています。AIS基準の選択は、[LASCS](#) (0D)レジスタでの設定によって行われます。

Register Name: **AISIE**
 Register Description: **AIS Interrupt Enable**
 Register Address (LIUs 1-8): **14h**

Bit #	7	6	5	4	3	2	1	0
Name	AISIE8	AISIE7	AISIE6	AISIE5	AISIE4	AISIE3	AISIE2	AISIE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **34h**

Bit #	7	6	5	4	3	2	1	0
Name	AISIE16	AISIE15	AISIE14	AISIE13	AISIE12	AISIE11	AISIE10	AISIE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: AIS 割込みマスクチャンネル n (AISIE n)。このビットが設定されると、AIS ステータスが遷移した場合に LIUn に対して割込みを発生することができます。

Register Name: **AISI**
 Register Description: **AIS Interrupt**
 Register Address (LIUs 1-8): **15h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>AISI8</u>	<u>AISI7</u>	<u>AISI6</u>	<u>AISI5</u>	<u>AISI4</u>	<u>AISI3</u>	<u>AISI2</u>	<u>AISI1</u>
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **35h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>AISI16</u>	<u>AISI15</u>	<u>AISI14</u>	<u>AISI13</u>	<u>AISI12</u>	<u>AISI11</u>	<u>AISI10</u>	<u>AISI9</u>
Default	0	0	0	0	0	0	0	0

ビット 7～0: AIS 割込みチャンネル n (AISIn)。AIS が「0 から 1」または「1 から 0」に遷移し、かつ LIU n に対する割込みが [AISIE](#) (14) レジスタによってイネーブルされると、このビットが設定されます。設定されたこのビットは、読取り動作の際、または割込みイネーブルレジスタがディセーブルされたときにクリアされます。

Register Name: **ADDP**
 Register Description: **Address Pointer**
 Register Address (LIUs 1-8): **1Fh**
 Register Address (LIUs 9-16): **3Fh**

Bit #	7	6	5	4	3	2	1	0
Name	ADDP7	ADDP6	ADDP5	ADDP4	ADDP3	ADDP2	ADDP1	ADDP0
Default	0	0	0	0	0	0	0	0

ビット 7～0: アドレスポインタ(ADDP)。このポインタは、主レジスタ、補助レジスタ、個別レジスタ、および BERT レジスタへのポインティングの切替えに使用されます。バンクの選択については、[表 6-14](#)をご覧ください。レジスタ空間は、アドレス 00 (16 進)～1F (16 進)のチャンネル 1～8 の制御、およびアドレス 20 (16 進)～3F (16 進)のチャンネル 9～16 を制御する複製レジスタセットを含んでいます。アドレス 1F (16 進)の ADDP レジスタは、LIU 1～8 に対するレジスタセットのバンクを選択します。アドレス 3F (16 進)の ADDP レジスタは、LIU 9～16 に対するレジスタセットのバンクを選択します。

表 6-14. アドレスポインタバンクの選択

ADDP7–ADDP0 (HEX)	BANK NAME
00	Primary Bank
AA	Secondary Bank
01	Individual LIU Bank
02	BERT Bank

6.1.2 二次レジスタバンク

このバンクにアクセスするためには、ADDPレジスタをAAhに設定する必要があります。

Register Name: **SRMS**
 Register Description: **Single-Rail Mode Select**
 Register Address (LIUs 1-8): **00h**

Bit #	7	6	5	4	3	2	1	0
Name	SRMS8	SRMS7	SRMS6	SRMS5	SRMS4	SRMS3	SRMS2	SRMS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **20h**

Bit #	7	6	5	4	3	2	1	0
Name	SRMS16	SRMS15	SRMS14	SRMS13	SRMS12	SRMS11	SRMS10	SRMS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: シングルレイルモード選択チャンネル n (SRMS n)。このビットが設定されると、システム送信および受信 n に対してシングルレイルモードが選択されます。このビットがリセットされると、デュアルレイルモードが選択されます。

Register Name: **LCS**
 Register Description: **Line Code Selection**
 Register Address (LIUs 1-8): **01h**

Bit #	7	6	5	4	3	2	1	0
Name	LCS8	LCS7	LCS6	LCS5	LCS4	LCS3	LCS2	LCS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **21h**

Bit #	7	6	5	4	3	2	1	0
Name	LCS16	LCS15	LCS14	LCS13	LCS12	LCS11	LCS10	LCS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: ラインコード選択チャンネル n (LCS n)。このビットが設定されると、LIU n に対してAMIエンコーディング/デコーディングが選択されます。リセットされると、LIU n に対してB8ZSまたはHDB3 エンコーディング/デコーディングが選択されます。
[GC.CODE](#)レジスタビットが設定されると、このレジスタは無視されます。

Register Name: **RPDE**
 Register Description: **Receive Power-Down Enable**
 Register Address (LIUs 1-8): **03h**

Bit #	7	6	5	4	3	2	1	0
Name	RPDE8	RPDE7	RPDE6	RPDE5	RPDE4	RPDE3	RPDE2	RPDE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **23h**

Bit #	7	6	5	4	3	2	1	0
Name	RPDE16	RPDE15	RPDE14	RPDE13	RPDE12	RPDE11	RPDE10	RPDE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 受信パワーダウンイネーブルチャンネル n (RPDE n)。このビットが設定されると、LIU n に対するレシーバがパワーダウンされます。

Register Name: **TPDE**
 Register Description: **Transmit Power-Down Enable**
 Register Address (LIUs 1-8): **04h**

Bit #	7	6	5	4	3	2	1	0
Name	TPDE8	TPDE7	TPDE6	TPDE5	TPDE4	TPDE3	TPDE2	TPDE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **24h**

Bit #	7	6	5	4	3	2	1	0
Name	TPDE16	TPDE15	TPDE14	TPDE13	TPDE12	TPDE11	TPDE10	TPDE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 送信パワーダウンイネーブルチャンネル n (TPDE n)。このビットが設定されると、LIU n に対するトランスミッタがパワーダウンされます。

Register Name: **EZDE**
 Register Description: **Excessive Zero Detect Enable**
 Register Address (LIUs 1-8): **05h**

Bit #	7	6	5	4	3	2	1	0
Name	EXZDE8	EXZDE7	EXZDE6	EXZDE5	EXZDE4	EXZDE3	EXZDE2	EXZDE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **25h**

Bit #	7	6	5	4	3	2	1	0
Name	EXZDE16	EXZDE15	EXZDE14	EXZDE13	EXZDE12	EXZDE11	EXZDE10	EXZDE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 過剰ゼロ検出イネーブルチャンネル n (EZDE n)。このビットがリセットされると、LIU n に対する過剰ゼロ検出がディセーブルされます。このビットが設定されると、過剰ゼロ検出イネーブルがイネーブルされます。過剰ゼロ検出は、シングルレイルモードの HDB3 または B8ZS エンコーディングのみで問題になります。

Register Name: **CVDEB**
 Register Description: **Code Violation Detect Enable Bar**
 Register Address (LIUs 1-8): **06h**

Bit #	7	6	5	4	3	2	1	0
Name	CVDEB8	CVDEB7	CVDEB6	CVDEB5	CVDEB4	CVDEB3	CVDEB2	CVDEB1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **26h**

Bit #	7	6	5	4	3	2	1	0
Name	CVDEB16	CVDEB15	CVDEB14	CVDEB13	CVDEB12	CVDEB11	CVDEB10	CVDEB9
Default	0	0	0	0	0	0	0	0

ビット 7～0: コード違反検出イネーブルバーチャネル n (CVDEB n)。このビットが設定されると、LIU n に対するコード違反検出がディセーブルされます。このビットがリセットされると、コード違反検出がイネーブルされます。コード違反検出は、シングルレイルモードの HDB3 エンコーディングのみで問題になります。

6.1.3 個別 LIU レジスタバンク

このバンクにアクセスするためには、ADDP レジスタを 01h に設定する必要があります。

Register Name: **IJAE**
 Register Description: **Individual Jitter Attenuator Enable**
 Register Address (LIUs 1-8): **00h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAE8	IJAE7	IJAE6	IJAE5	IJAE4	IJAE3	IJAE2	IJAE1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **20h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAE16	IJAE15	IJAE14	IJAE13	IJAE12	IJAE11	IJAE10	IJAE9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 個別ジッタ減衰器イネーブルチャネル n (IJAE n)。このビットが設定されると、LIUジッタ減衰器 n がイネーブルされます。[GC](#).IJAEレジスタビットが設定されると、このレジスタは無視されます。

Register Name: **IJAPS**
 Register Description: **Individual Jitter Attenuator Position Select**
 Register Address (LIUs 1-8): **01h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAPS8	IJAPS7	IJAPS6	IJAPS5	IJAPS4	IJAPS3	IJAPS2	IJAPS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **21h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAPS16	IJAPS15	IJAPS14	IJAPS13	IJAPS12	IJAPS11	IJAPS10	IJAPS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 個別ジッタ減衰器位置選択チャンネル n (IJAPS n)。このビットがハイに設定されると、JAは受信経路 n に設置され、このビットがデフォルトであるかまたはローに設定されると、JAは送信経路 n に設置されます。[GC](#).JAEレジスタビットが設定されると、このレジスタは無視されます。

Register Name: **IJAFDS**
 Register Description: **Individual Jitter Attenuator FIFO Depth Select**
 Register Address (LIUs 1-8): **02h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAFDS8	IJAFDS7	IJAFDS6	IJAFDS5	IJAFDS4	IJAFDS3	IJAFDS2	IJAFDS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **22h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAFDS16	IJAFDS15	IJAFDS14	IJAFDS13	IJAFDS12	IJAFDS11	IJAFDS10	IJAFDS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 個別ジッタ減衰器FIFO深度選択チャンネル n (IJAFDS n)。LIU n に対してこのビットが設定されると、JA FIFO深度は 128 ビットになります。リセットされると、JA FIFO深度は 32 ビットになります。[GC](#).IJAFDSレジスタビットが設定されている場合、このレジスタは無視されます。

Register Name: **IJAFLT**
 Register Description: **Individual Jitter Attenuator FIFO Limit Trip**
 Register Address (LIUs 1-8): **03h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAFLT8	IJAFLT7	IJAFLT6	IJAFLT5	IJAFLT4	IJAFLT3	IJAFLT2	IJAFLT1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **23h**

Bit #	7	6	5	4	3	2	1	0
Name	IJAFLT16	IJAFLT15	IJAFLT14	IJAFLT13	IJAFLT12	IJAFLT11	IJAFLT10	IJAFLT9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 個別ジッタ減衰器 FIFO リミットトリップ n (IJAFLT n)。ジッタ減衰器 FIFO がトランスミッタ n に対する有効リミットの 4 ビット以内に達すると設定されます。このビットは読取りの際にクリアされます。

Register Name: **ISCPD**
 Register Description: **Individual Short Circuit Protection Disabled**
 Register Address (LIUs 1-8): **04h**

Bit #	7	6	5	4	3	2	1	0
Name	ISCPD8	ISCPD7	ISCPD6	ISCPD5	ISCPD4	ISCPD3	ISCPD2	ISCPD1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **24h**

Bit #	7	6	5	4	3	2	1	0
Name	ISCPD16	ISCPD15	ISCPD14	ISCPD13	ISCPD12	ISCPD11	ISCPD10	ISCPD9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 個別短絡保護ディセーブル n (ISCPD n)。このビットが設定されると、個々のトランスミッタ n に対する短絡保護がディセーブルされます。[GC](#).SCPDレジスタビットが設定されると、このレジスタでの設定は無視されます。

Register Name: **IAISEL**
 Register Description: **Individual AIS Select**
 Register Address (LIUs 1-8): **05h**

Bit #	7	6	5	4	3	2	1	0
Name	IAISEL8	IAISEL7	IAISEL6	IAISEL5	IAISEL4	IAISEL3	IAISEL2	IAISEL1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **25h**

Bit #	7	6	5	4	3	2	1	0
Name	IAISEL16	IAISEL15	IAISEL14	IAISEL13	IAISEL12	IAISEL11	IAISEL10	IAISEL9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 消失時個別AISイネーブル n (IAISEL n)。このビットが設定されると、個々のレシーバ n に対する消失時個別AISイネーブルがイネーブルされ、AISが信号消失検出の際にシステム側に送られます。[GC](#).IAISELレジスタビットが設定されると、このレジスタでの設定は無視されます。

Register Name: **MC**
Register Description: **Master Clock Select**
Register Address: **06h**

Bit #	7	6	5	4	3	2	1	0
Name	PCLKI1	PCLKI0	TECLKE	CLKAE	MPS1	MPS0	FREQS	PLLE
Default	0	0	0	0	0	0	0	0

ビット 7～6: PLL クロック入力[1:0] (PCLKI[1:0])。これらのビットによって、PLL への入力を選択されます。

00 MCLK が使用される。

01 RCLK1～8 が、レジスタ [CCR](#)での選択に基づいて使用される。

10 RCLK9～16 が、レジスタ [CCR](#)での選択に基づいて使用される。

11 予備

ビット 5: T1/E1 クロックイネーブル(TECLKE)。このビットが設定されると、TECLK 出力がイネーブルされます。設定されなければ、TECLK はディセーブルされ、TECLK 出力は LOS 出力となります。TECLK を正しく機能させるためには、PLLE の設定が必要です。

ビット 4: クロック A イネーブル(CLKAE)。このビットが設定されると、CLKA 出力がイネーブルされます。設定されなければ、CLKA はディセーブルされ、CLKA 出力は LOS 出力となります。CLKA を正しく機能させるためには、PLLE の設定が必要です。

ビット 3～2: マスタ周期選択[1:0] (MPS[1:0])。これらのビットMPS[1:0]によって、DS26324 の外部MCLK周波数が選択されます。詳しくは、[表 6-15](#)をご覧ください。このレジスタは、これに書込みを行うとチャンネル 9～16 のコントローラ機能も持つようになります。

ビット 1: 周波数選択(FREQS)。MPS[1:0]とともに、DS26324 の外部MCLK周波数を選択します。このビットを設定すると、外部マスタクロックを 1.544MHzまたはその倍数とすることができます。設定しなければ、外部マスタクロックを 2.048MHzまたはその倍数とすることができます。詳しくは、[表 6-15](#)をご覧ください。このレジスタは、これに書込みを行うとチャンネル 9～16 のコントローラ機能も持つようになります。

ビット 0: 位相ロックループイネーブル(PLLE)。このビットが設定されると、位相ロックループがイネーブルされます。設定されなければ、MCLK が入力クロックとして利用されます。

表 6-15. DS26324 の MCLK 選択

PLLE	MPS1, MPS0	MCLK MHz, ± 50 ppm	FREQS	T1 OR E1 MODE
0	xx	1.544	x	T1
0	xx	2.048	x	E1
1	00	1.544	1	T1/J1 or E1
1	01	3.088	1	T1/J1 or E1
1	10	6.176	1	T1/J1 or E1
1	11	12.352	1	T1/J1 or E1
1	00	2.048	0	T1/J1 or E1
1	01	4.096	0	T1/J1 or E1
1	10	8.192	0	T1/J1 or E1
1	11	16.384	0	T1/J1 or E1

Register Name: **RSMM1**
 Register Description: **Receive Sensitivity Monitor Mode 1**
 Register Address (LIUs 1-8): **08h**

Bit #	7	6	5	4	3	2	1	0
Name	RTR2	C2RSM2	C2RSM1	C2RSM0	RTR1	C1RSM2	C1RSM1	C1RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャンネル 2 (RTR2)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャンネル 2 受信感度/モニタ選択[2:0] (C2RSM[2:0])。これらのビットC2RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャンネル 1 (RTR1)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャンネル 1 受信感度/モニタ選択[2:0] (C1RSM[2:0])。これらのビットC1RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

Register Address (LIUs 9-16): **28h**

Bit #	7	6	5	4	3	2	1	0
Name	RTR10	C10RSM2	C10RSM1	C10RSM0	RTR9	C9RSM2	C9RSM1	C9RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャンネル 10 (RTR10)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャンネル 10 受信感度/モニタ選択[2:0] (C10RSM[2:0])。これらのビットC10RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャンネル 9 (RTR9)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャンネル 9 受信感度/モニタ選択[2:0] (C9RSM[2:0])。これらのビットC9RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

Register Name: **RSMM2**
 Register Description: **Receive Sensitivity Monitor Mode 2**
 Register Address (LIUs 1-8): **09h**

Bit #	7	6	5	4	3	2	1	0
Name	RTR4	C4RSM2	C4RSM1	C4RSM0	RTR3	C3RSM2	C3RSM1	C3RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャンネル 4 (RTR4)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャンネル 4 受信感度/モニタ選択[2:0] (C4RSM[2:0])。これらのビットC4RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャンネル 3 (RTR3)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャンネル 3 受信感度/モニタ選択[2:0] (C3RSM[2:0])。これらビットC3RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

Register Address (LIUs 9-16): **29h**

Bit #	7	6	5	4	3	2	1	0
Name	RTR12	C12RSM2	C12RSM1	C12RSM0	RTR11	C11RSM2	C11RSM1	C11RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャンネル 12 (RTR12)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャンネル 12 受信感度/モニタ選択[2:0] (C12RSM[2:0])。これらのビットC12RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャンネル 11 (RTR11)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャンネル 11 受信感度/モニタ選択[2:0] (C11RSM[2:0])。これらのビットC11RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

Register Name: **RSMM3**
 Register Description: **Receive Sensitivity Monitor Mode 3**
 Register Address (LIUs 1-8): **0Ah**

Bit #	7	6	5	4	3	2	1	0
Name	RTR6	C6RSM2	C6RSM1	C6RSM0	RTR5	C5RSM2	C5RSM1	C5RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャンネル 6 (RTR6)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャンネル 6 受信感度/モニタ選択[2:0] (C6RSM[2:0])。これらのビットC6RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャンネル 5 (RTR5)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャンネル 5 受信感度/モニタ選択[2:0] (C5RSM[2:0])。これらのビットC5RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

Register Address (LIUs 9-16): **2Ah**

Bit #	7	6	5	4	3	2	1	0
Name	RTR14	C14RSM2	C14RSM1	C14RSM0	RTR13	C13RSM2	C13RSM1	C13RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャンネル 14 (RTR14)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャンネル 14 受信感度/モニタ選択[2:0] (C14RSM[2:0])。これらのビットC14RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャンネル 13 (RTR13)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャンネル 13 受信感度/モニタ選択[2:0] (C13RSM[2:0])。これらのビットC13RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

Register Name: **RSMM4**
 Register Description: **Receive Sensitivity Monitor Mode 4**
 Register Address (LIUs 1-8): **0Bh**

Bit #	7	6	5	4	3	2	1	0
Name	RTR8	C8RSM2	C8RSM1	C8RSM0	RTR7	C7RSM2	C7RSM1	C7RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャネル 8 (RTR8)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャネル 8 受信感度/モニタ選択[2:0] (C8RSM[2:0])。これらのビットC8RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャネル 7 (RTR7)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャネル 7 受信感度/モニタ選択[2:0] (C7RSM[2:0])。これらのビットC7RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

Register Address (LIUs 9-16): **2Bh**

Bit #	7	6	5	4	3	2	1	0
Name	RTR16	C16RSM2	C16RSM1	C16RSM0	RTR15	C15RSM2	C15RSM1	C15RSM0
Default	0	0	0	0	0	0	0	0

ビット 7: レシーバトランス巻数比チャネル 16 (RTR16)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。受信内部インピーダンス終端を使用するためには、1:1 のトランスを使用してこのビットを 1 に設定する必要があります。

ビット 6~4: チャネル 16 受信感度/モニタ選択[2:0] (C16RSM[2:0])。これらのビットC16RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

ビット 3: レシーバトランス巻数比チャネル 15 (RTR15)。このビットが設定されると、レシーバ側の巻数比は 1:1 となります。このビットは、1:1 のレシーバトランスを使用するとき設定するものとします。

ビット 2~0: チャネル 15 受信感度/モニタ選択[2:0] (C15RSM[2:0])。これらのビットC15RSM[2:0]は、レシーバ感度レベルおよびモニタモード抵抗利得の選択に使用されます。[表 6-16](#)をご覧ください。

表 6-16. 受信機受信感度/モニタモード利得の選択

RECEIVER MONITOR MODE DISABLED	C _n RSM[2:0], T1/E1 MODE	RECEIVER SENSITIVITY (MAXIMUM LOSS) (dB)	RECEIVER MONITOR MODE GAIN SETTINGS (dB)	LOSS DECLARATION LEVEL (dB)
No flat gain	000	12	0	15
No flat gain	001	18	0	21
Receiver monitor mode enabled	C _n RSM[2:0]	Max cable loss	Receiver monitor mode gain settings	—
Flat gain	100	30	14	37
Flat gain	101	22.5	20	45.5

Register Name: **RSL1**
Register Description: **Receive Signal Level Indicator 1**
Register Address (LIUs 1-8): **0Ch**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C2RSL3</u>	<u>C2RSL2</u>	<u>C2RSL1</u>	<u>C2RSL0</u>	<u>C1RSL3</u>	<u>C1RSL2</u>	<u>C1RSL1</u>	<u>C1RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 2 受信信号レベル[3:0] (C2RSL[3:0])。C2RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 1 受信信号レベル[3:0] (C1RSL[3:0])。C1RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

Register Address (LIUs 9-16): **2Ch**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C10RSL3</u>	<u>C10RSL2</u>	<u>C10RSL1</u>	<u>C10RSL0</u>	<u>C9RSL3</u>	<u>C9RSL2</u>	<u>C9RSL1</u>	<u>C9RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 10 受信信号レベル[3:0] (C10RSL[3:0])。C10RSL[3:0]ビットは、表 6-17に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 9 受信信号レベル[3:0] (C9RSL[3:0])。C9RSL[3:0]ビットは、表 6-17に示すように受信信号レベルを提供します。

表 6-17. 受信機の信号レベル

CnRSL3 to CnRSL0	RECEIVE LEVEL (dB)	
	T1	E1
0000	> -2.5	> -2.5
0001	-2.5 to -5	-2.5 to -5
0010	-5 to -7.5	-5 to -7.5
0011	-7.5 to -10	-7.5 to -10
0100	-10 to -12.5	-10 to -12.5
0101	-12.5 to -15	-12.5 to -15
0110	-15 to -17.5	-15 to -17.5
0111	-17.5 to -20	-17.5 to -20

Register Name: **RSL2**
 Register Description: **Receive Signal Level Indicator 2**
 Register Address (LIUs 1-8): **0Dh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C4RSL3</u>	<u>C4RSL2</u>	<u>C4RSL1</u>	<u>C4RSL0</u>	<u>C3RSL3</u>	<u>C3RSL2</u>	<u>C3RSL1</u>	<u>C3RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 4 受信信号レベル[3:0] (C4RSL[3:0])。C4RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 3 受信信号レベル[3:0] (C3RSL[3:0])。C3RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

Register Address (LIUs 9-16): **2Dh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C12RSL3</u>	<u>C12RSL2</u>	<u>C12RSL1</u>	<u>C12RSL0</u>	<u>C11RSL3</u>	<u>C11RSL2</u>	<u>C11RSL1</u>	<u>C11RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 12 受信信号レベル[3:0] (C12RSL[3:0])。C12RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 11 受信信号レベル[3:0] (C11RSL[3:0])。C11RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

Register Name: **RSL3**
 Register Description: **Receive Signal Level Indicator 3**
 Register Address (LIUs 1-8): **0Eh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C6RSL3</u>	<u>C6RSL2</u>	<u>C6RSL1</u>	<u>C6RSL0</u>	<u>C5RSL3</u>	<u>C5RSL2</u>	<u>C5RSL1</u>	<u>C5RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 6 受信信号レベル[3:0] (C6RSL[3:0])。C6RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 5 受信信号レベル[3:0] (C5RSL[3:0])。C5RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

Register Address (LIUs 9-16): **2Eh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C14RSL3</u>	<u>C14RSL2</u>	<u>C14RSL1</u>	<u>C14RSL0</u>	<u>C13RSL3</u>	<u>C13RSL2</u>	<u>C13RSL1</u>	<u>C13RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 14 受信信号レベル[3:0] (C14RSL[3:0])。C14RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 13 受信信号レベル[3:0] (C13RSL[3:0])。C13RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

Register Name: **RSL4**
 Register Description: **Receive Signal Level Indicator 4**
 Register Address (LIUs 1-8): **0Fh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C8RSL3</u>	<u>C8RSL2</u>	<u>C8RSL1</u>	<u>C8RSL0</u>	<u>C7RSL3</u>	<u>C7RSL2</u>	<u>C7RSL1</u>	<u>C7RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 8 受信信号レベル[3:0] (C8RSL[3:0])。C8RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 7 受信信号レベル[3:0] (C7RSL[3:0])。C7RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

Register Address (LIUs 9-16): **2Fh**

Bit #	7	6	5	4	3	2	1	0
Name	<u>C16RSL3</u>	<u>C16RSL2</u>	<u>C16RSL1</u>	<u>C16RSL0</u>	<u>C15RSL3</u>	<u>C15RSL2</u>	<u>C15RSL1</u>	<u>C15RSL0</u>
Default	0	0	0	0	0	0	0	0

ビット 7～4: チャンネル 16 受信信号レベル[3:0] (C16RSL[3:0])。C16RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

ビット 3～0: チャンネル 15 受信信号レベル[3:0] (C15RSL[3:0])。C15RSL[3:0]ビットは、[表 6-17](#)に示すように受信信号レベルを提供します。

Register Name: **BTCR**
Register Description: **Bit Error Rate Tester Control Register**
Register Address (LIUs 1-8): **10h**

Bit #	7	6	5	4	3	2	1	0
Name	BTS2	BTS1	BTS0	—	—	—	—	BERTE
Default	0	0	0	0	0	0	0	0

このレジスタは LIU 1～8 の BERT をイネーブルします。BERT に一度に接続可能な LIU は 1 個のみです。LIU 1～8 の BERT は、LIU 9～16 の BERT と独立に動作します。

ビット 7～5:ビットエラーレートトランシーバ選択[2:0] (BTS[2:0])。これらのビットBTS[2:0]によって、BERTを接続するLIUが選択されます(表 6-18参照)。これはBERTEビットが設定されている場合のみ適用可能です。

ビット 0:ビットエラーレートテストイネーブル(BERTE)。このビットが設定されて 2 μ s が経過すると、ビットエラーレートテスト (BERT)がイネーブルされます。BERT レジスタセットは、これがイネーブルされた後にのみ読み書きされるものとします。BERT は、BTS[2:0]によって選択された時点で 1 個の LIU のみに対してアクティブになります。また、このビットは、HDB3/B8ZS エンコーディングがイネーブルされた状態でデバイスをシングルレイルモードに強制します。

Register Address (LIUs 9-16): **30h**

Bit #	7	6	5	4	3	2	1	0
Name	BTS2	BTS1	BTS0	—	—	—	—	BERTE
Default	0	0	0	0	0	0	0	0

このレジスタは LIU 9～16 の BERT をイネーブルします。BERT に一度に接続可能な LIU は 1 個のみです。LIU 9～16 の BERT は、LIU 1～8 の BERT と独立に動作します。

ビット 7～5:ビットエラーレートトランシーバ選択[2:0] (BTS[2:0])。これらのビットBTS[2:0]によって、BERTを接続するLIUが選択されます(表 6-19参照)。これはBERTEビットが設定されている場合のみ適用可能です。

ビット 0:ビットエラーレートテストイネーブル(BERTE)。このビットが設定されて 2 μ s が経過すると、ビットエラーレートテスト (BERT)がイネーブルされます。BERT レジスタセットは、これがイネーブルされた後にのみ読み書きされるものとします。BERT は、BTS[2:0]によって選択された時点で 1 個の LIU のみに対してアクティブになります。また、このビットは、HDB3/B8ZS エンコーディングがイネーブルされた状態でデバイスをシングルレイルモードに強制します。

表 6-18. チャンネル 1～8 に対するビットエラーレートトランシーバの選択

REGISTER ADDRESS	BTS2	BTS1	BTS0	CHANNEL BERT APPLIES TO
10h	0	0	0	Channel 1
10h	0	0	0	Channel 2
10h	0	1	0	Channel 3
10h	0	1	1	Channel 4
10h	1	0	0	Channel 5
10h	1	0	1	Channel 6
10h	1	1	0	Channel 7
10h	1	1	1	Channel 8

表 6-19. チャンネル 9～16 に対するビットエラーレートランシーバの選択

REGISTER ADDRESS	BTS2	BTS1	BTS0	CHANNEL BERT APPLIES TO
30h	0	0	0	Channel 9
30h	0	0	0	Channel 10
30h	0	1	0	Channel 11
30h	0	1	1	Channel 12
30h	1	0	0	Channel 13
30h	1	0	1	Channel 14
30h	1	1	0	Channel 15
30h	1	1	1	Channel 16

Register Name: **BEIR**
Register Description: **BPV Error Insertion Register**
Register Address (LIUs 1-8): **11h**

Bit #	7	6	5	4	3	2	1	0
Name	BEIR8	BEIR7	BEIR6	BEIR5	BEIR4	BEIR3	BEIR2	BEIR1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **31h**

Bit #	7	6	5	4	3	2	1	0
Name	BEIR16	BEIR15	BEIR14	BEIR13	BEIR12	BEIR11	BEIR10	BEIR9
Default	0	0	0	0	0	0	0	0

ビット 7～0: BPV エラー挿入レジスタ n (BEIR n)。このビットが 0 から 1 に遷移すると、1 つのバイポーラ違反(BPV)が送信データストリームチャンネル n に挿入されます。後続のエラーを挿入するためには、このビットはクリアされて再設定される必要があります。これは、シングルレイルモードでのみ適用可能です。

Register Name: **LVDS**
Register Description: **Line Violation Detect Status**
Register Address (LIUs 1-8): **12h**

Bit #	7	6	5	4	3	2	1	0
Name	LVDS8	LVDS7	LVDS6	LVDS5	LVDS4	LVDS3	LVDS2	LVDS1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **32h**

Bit #	7	6	5	4	3	2	1	0
Name	LVDS16	LVDS15	LVDS14	LVDS13	LVDS12	LVDS11	LVDS10	LVDS9
Default	0	0	0	0	0	0	0	0

ビット 7～0: ライン違反検出ステータス n (LVDS n)。バイポーラ違反、コード違反、または過剰ゼロによって、関連する LVDS n ビットはラッチされます。このビットは読取り動作の際にクリアされます。LVDS レジスタは、3 クロック周期ウィンドウ内で最初の違反を取り込みます。3 クロック周期ウィンドウ内での最初の違反後に 2 番目の違反が発生した場合、LVDS レジスタの読取りが行われても 2 番目の違反はラッチされません。過剰ゼロは、このレジスタで検出するために [EZDE](#) レジスタによってイネーブルする必要があります。コード違反は、HDB3 モードにあるときのみ関係するもので、このレジスタで検出するために [CVDEB](#) レジスタを設定することによってディセーブルすることができます。デュアルレイルモードでは、バイポーラ違反のみがこのレジスタに関係します。

Register Name: **RCLKI**
 Register Description: **Receive Clock Invert**
 Register Address (LIUs 1-8): **13h**

Bit #	7	6	5	4	3	2	1	0
Name	RCLKI8	RCLKI7	RCLKI6	RCLKI5	RCLKI4	RCLKI3	RCLKI2	RCLKI1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **33h**

Bit #	7	6	5	4	3	2	1	0
Name	RCLKI16	RCLKI15	RCLKI14	RCLKI13	RCLKI12	RCLKI11	RCLKI10	RCLKI9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 受信クロック反転 n (RCLKI n)。このビットが設定されると、チャンネル n の RCLK が反転します。このビットによって、RPOS/RNEG は RCLK の立下りエッジで整列します。リセットされたときやデフォルトのとき、RPOS/RNEG は RCLK の立上りエッジで整列します。

Register Name: **TCLKI**
 Register Description: **Transmit Clock Invert**
 Register Address (LIUs 1-8): **14h**

Bit #	7	6	5	4	3	2	1	0
Name	TCLKI8	TCLKI7	TCLKI6	TCLKI5	TCLKI4	TCLKI3	TCLKI2	TCLKI1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **34h**

Bit #	7	6	5	4	3	2	1	0
Name	TCLKI16	TCLKI15	TCLKI14	TCLKI13	TCLKI12	TCLKI11	TCLKI10	TCLKI9
Default	0	0	0	0	0	0	0	0

ビット 7～0: 送信クロック反転 n (TCLKI n)。このビットが設定されると、チャンネル n で期待される TCLK が反転します。TPOS/TNEG は、TCLK の立下りエッジで整列するものとします。リセットされたときやデフォルトのとき、TPOS/TNEG は TCLK の立上りエッジで整列するものとします。

Register Name: **CCR**
Register Description: **Clock Control Register**
Register Address: **15h**

Bit #	7	6	5	4	3	2	1	0
Name	PCLKS2	PCLKS1	PCLKS0	TECLKS	CLKA3	CLKA2	CLKA1	CLKA0
Default	0	0	0	0	0	0	0	0

ビット 7～5: PLLクロック選択(PCLKS[2:0])。これらのビットは、PLLへの入力として使用されるRCLKを決定します。RCLKが再生されるチャンネルでLOSが検出されると、LOSがクリアされるまでPLLはMCLKに切り替わっています。LOSがクリアされると、RCLKが再び使用されます。RCLKの選択については、[表 6-20](#)をご覧ください。これらの設定を有効にするためには、MC.PCLKI[1:0]を「01」または「10」に設定する必要があります。

ビット 4: T1/E1 クロック選択(TECLKS)。このビットが設定されると、T1/E1 クロック出力は 2.048MHz となります。このビットがリセットされると、T1/E1 クロックレートは 1.544MHz となります。

ビット 3～0: クロックA選択(CLKA[3:0])。これらのビットによって、CLKAピンの出力周波数が選択されます。有効周波数については、[表 6-21](#)をご覧ください。最良のジッタ性能が得られるようMCLKをCLKAのソースとして選択し 2.048MHzのMCLKを入力してください。

表 6-20. PLL クロックの選択

PCLKS2 TO PCLKS0	PLL CLOCK SELECTED MC.PCLKI[1:0]=01	PLL CLOCK SELECTED MC.PCLKI[1:0]=10
000	RCLK1	RCLK9
001	RCLK2	RCLK10
010	RCLK3	RCLK11
011	RCLK4	RCLK12
100	RCLK5	RCLK13
101	RCLK6	RCLK14
110	RCLK7	RCLK15
111	RCLK8	RCLK16

表 6-21. クロック A の選択

CLKA3 TO CLKA0	CLKA (Hz)
0000	2.048M
0001	4.096M
0010	8.192M
0011	16.384M
0100	1.544M
0101	3.088M
0110	6.176M
0111	12.352M
1000	1.536M
1001	3.072M
1010	6.144M
1011	12.288M
1100	32k
1101	64k
1110	128k
1111	256k

Register Name: **RDULR**
 Register Description: **RCLK Disable Upon LOS Register**
 Register Address (LIUs 1-8): **16h**

Bit #	7	6	5	4	3	2	1	0
Name	RDULR8	RDULR7	RDULR6	RDULR5	RDULR4	RDULR3	RDULR2	RDULR1
Default	0	0	0	0	0	0	0	0

Register Address (LIUs 9-16): **36h**

Bit #	7	6	5	4	3	2	1	0
Name	RDULR16	RDULR15	RDULR14	RDULR13	RDULR12	RDULR11	RDULR10	RDULR9
Default	0	0	0	0	0	0	0	0

ビット 7~0: LOS 時 RCLK ディセーブルレジスタ n (RDULR n)。このビットが設定されると、チャンネル n の RCLK は信号消失時にディセーブルされてロー出力として設定されます。リセットされたときやデフォルトのとき、RCLK は信号消失の際に 10ms 以内に MCLK に切り替わります。

Register Name: **GISC**
 Register Description: **Global Interrupt Status Control**
 Register Address: **1Eh**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	INTM	CWE
Default	0	0	0	0	0	0	0	0

ビット 0: 書き込み時クリアイネーブル(CWE)。このビットが設定されると、すべてのラッチ割込みステータスレジスタに対する書き込み時クリアがイネーブルされます。ホストプロセッサは、特定ビットがクリアされる前にラッチ割込みステータスレジスタのビット位置に 1 を書き込む必要があります。すべてのラッチ割込みステータスレジスタのデフォルトは、読取りの際にクリアされる必要があります。

ビット 1: INT ピンモード(INTM)。このビットは、 $\overline{\text{INT}}$ ピンの非アクティブモードを決定します。 $\overline{\text{INT}}$ ピンは、アクティブのとき常にローに駆動されます。

0 = ピンは、アクティブでないときハイインピーダンスです。

1 = ピンは、アクティブでないときハイに駆動されます。

6.1.4 BERT レジスタ

Register Name: **BCR**
 Register Description: **BERT Control Register**
 Register Address (LIUs 1-8): **00h**
 Register Address (LIUs 9-16): **20h**

Bit #	7	6	5	4	3	2	1	0
Name	PMUM	LPMU	RNPL	RPIC	MPR	APRD	TNPL	TPIC
Default	0	0	0	0	0	0	0	0

ビット 7: 性能監視更新モード(PMUM)。0 のとき、性能監視更新は LPMU レジスタビットによって開始されます。1 のとき、性能監視更新は受信性能更新信号(RPMU)によって開始されます。**注:**RPMU または LPMU が 1 の場合、このビットの状態が変わると性能監視が更新されることがあります。

ビット 6: ローカル性能監視更新モード(LPMU)。ローカル性能監視更新がイネーブルされていると(PMUM = 0)、このビットによって性能監視更新が開始されます。0 から 1 に遷移すると、性能監視レジスタは最新データによって更新され、カウンタがリセットします(0 または 1)。次の性能監視更新が開始されるためには、このビットを 0 に設定してから 1 に戻す必要があります。PMS ビットがハイになる前に LPMU がローになると、更新されないことがあります。PMUM = 1 のときこのビットは影響を及ぼしません。

ビット 5: 受信新規パターンロード(RNPL)。このビットが 0 から 1 に遷移すると、プログラム済みのテストパターン(QRSS、PTS、PLF[4:0]、PTF[4:0]、および BSP[31:0])が受信パターン発生器にロードされます。別のパターンをロードするためには、このビットを 0 に変化させてから 1 に戻す必要があります。新たなパターンをロードすると、受信パターン発生器は再同期開始の出発点となる「同期」状態から強制的に解放されます。**注:**このビットが 0 から 1 に遷移した時点から 4 RXCK クロックサイクル後までは QRSS、PTS、PLF[4:0]、PTF[4:0]、および BSP[31:0]が変化してはなりません。

ビット 4: 受信パターン反転制御(RPIC)。0 のとき、受信入力データストリームは変更されません。1 のとき、受信入力データストリームは反転されます。

ビット 3: 手動パターン再同期(MPR)。このビットが 0 から 1 に遷移すると、受信パターン発生器は受信パターンに再同期します。別の再同期を開始するためには、このビットを 0 に変化させてから 1 に戻す必要があります。**注:**手動再同期によって、受信パターン発生器は「同期」状態から強制的に解放されます。

ビット 2: 自動パターン再同期ディセーブル(APRD)。0 のとき、現行の 64 ビットウィンドウの中で 6 回以上受信データストリームビットと受信パターン発生器出力ビットが一致しなかった場合、受信パターン発生器は自動的に受信パターンに再同期します。1 のとき、受信パターン発生器は受信パターンに自動的に再同期しません。**注:**受信パターン発生器が「同期」状態から自動的に抜け出ないようにすることによって自動同期は防止されます。

ビット 1: 送信新規パターンロード(TNPL)。このビットが 0 から 1 に遷移すると、プログラム済みのテストパターン(QRSS、PTS、PLF[4:0]、PTF[4:0]、および BSP[31:0])が送信パターン発生器にロードされます。別のパターンをロードするためには、このビットを 0 に変化させてから 1 に戻す必要があります。**注:**このビットが 0 から 1 に遷移した時点から 4 TXCK クロックサイクル後までは QRSS、PTS、PLF[4:0]、PTF[4:0]、および BSP[31:0]が変化してはなりません。

ビット 0: 送信パターン反転制御(TPIC)。0 のとき、送信出力データストリームは変更されません。1 のとき、送信出力データストリームは反転されます。

Register Name: **BPCR1**
 Register Description: **BERT Pattern Configuration Register 1**
 Register Address (LIUs 1-8): **02h**
 Register Address (LIUs 9-16): **22h**

Bit #	7	6	5	4	3	2	1	0
Name	—	QRSS	PTS	PLF4	PLF3	PLF2	PLF1	PLF0
Default	0	0	0	0	0	0	0	0

ビット 6: QRSS イネーブル(QRSS)。0 のとき、パターン発生器の設定は PTS、PLF[4:0]、PTF[4:0]、および BSP[31:0] によって制御されます。1 のとき、パターン発生器の設定は多項式 $x^{20} + x^{17} + 1$ の生成によって PRBS パターンに強制されます。次の 14 個の出力ビットがすべて 0 であれば、パターン発生器の出力は 1 に強制されます。

ビット 5: パターン種類選択(PTS)。0 のとき、パターンは PRBS パターンです。1 のとき、パターンは繰返しパターンです。

ビット 4~0: パターン長フィードバック(PLF[4:0])。これらの 5 ビットは、パターン発生器の「長さ」のフィードバックを制御します。「長さ」のフィードバックは、パターン発生器のビット n に基づいて行われます ($n = \text{PLF}[4:0] + 1$)。PRBS 信号の場合、フィードバックはビット n とビット y の XOR です。繰返しパターンの場合、フィードバックはビット n です。

Register Name: **BPCR 2**
 Register Description: **BERT Pattern Configuration Register 2**
 Register Address (LIUs 1-8): **03h**
 Register Address (LIUs 9-16): **23h**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	PTF4	PTF3	PTF2	PTF1	PTF0
Default	0	0	0	0	0	0	0	0

ビット 4~0: パターンタップフィードバック(PTF[4:0])。これらの 5 ビットは、パターン発生器の PRBS 「タップ」のフィードバックを制御します。「タップ」のフィードバックは、パターン発生器のビット y に基づいて行われます ($y = \text{PTF}[4:0] + 1$)。これらのビットは、繰返しパターン用にプログラムされたとき無視されます。PRBS 信号の場合、フィードバックはビット n とビット y の XOR です。

Register Name: **BSPR1**
 Register Description: **BERT Seed/Pattern Register #1**
 Register Address (LIUs 1-8): **04h**
 Register Address (LIUs 9-16): **24h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP7	BSP6	BSP5	BSP4	BSP3	BSP2	BSP1	BSP0
Default	0	0	0	0	0	0	0	0

Register Name: **BSPR2**
 Register Description: **BERT Seed/Pattern Register #2**
 Register Address (LIUs 1-8): **05h**
 Register Address (LIUs 9-16): **25h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP15	BSP14	BSP13	BSP12	BSP11	BSP10	BSP9	BSP8
Default	0	0	0	0	0	0	0	0

Register Name: **BSPR3**
 Register Description: **BERT Seed/Pattern Register #3**
 Register Address (LIUs 1-8): **06h**
 Register Address (LIUs 9-16): **26h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP23	BSP22	BSP21	BSP20	BSP19	BSP18	BSP17	BSP16
Default	0	0	0	0	0	0	0	0

Register Name: **BSPR4**
 Register Description: **BERT Seed/Pattern Register #4**
 Register Address (LIUs 1-8): **07h**
 Register Address (LIUs 9-16): **27h**

Bit #	7	6	5	4	3	2	1	0
Name	BSP31	BSP30	BSP29	BSP28	BSP27	BSP26	BSP25	BSP24
Default	0	0	0	0	0	0	0	0

BERT シード/パターン(BSP[31:0])。これらの 32 ビットは、送信 PRBS パターンに対してプログラム可能なシード、もしくは送信または受信繰返しパターンに対してプログラム可能なパターンです。BSP[31]は、32 ビット繰返しパターンまたは 32 ビット長 PRBS に対する送信側の最初のビット出力となります。BSP[31]は、32 ビット繰返しパターンに対する受信側の最初のビット入力となります。

Register Name: **TEICR**
Register Description: **Transmit Error Insertion Control Register**
Register Address (LIUs 1-8): **08h**
Register Address (LIUs 9-16): **28h**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	TEIR2	TEIR1	TEIR0	BEI	TSEI	MEIMS
Default	0	0	0	0	0	0	0	0

ビット 5～3: 送信エラー挿入レート(TEIR[2:0])。これらの 3 ビットは、エラーが出力データストリームに挿入されるレートを示します。各 10^n ビットにつき 1 ビットが反転されます。TEIR[2:0] は値が n です。TEIR[2:0] 値が 0 であれば、特定レートのエラー挿入がディセーブルされます。TEIR[2:0] 値が 1 であれば、10 ビットにつき 1 ビットが反転されます。TEIR[2:0] 値が 2 であれば、100 ビットにつき 1 ビットが反転されます。このレジスタに 0 でない TEIR[2:0] 値が書き込まれると、エラー挿入が開始します。このレジスタがエラー挿入過程の途中で書き込まれた場合、新たなエラーレートは次のエラーの挿入後に開始されます。

ビット 2: ビットエラー挿入イネーブル(BEI)。0 のとき、1 つのビットエラー挿入がディセーブルされます。1 のとき、1 つのビットエラー挿入がイネーブルされます。

ビット 1: 送信単一エラー挿入(TSEI)。手動エラー挿入がディセーブルされ(MEIMS = 0)、かつ 1 つのビットエラー挿入がイネーブルされると、このビットによってビットエラーが送信データストリームに挿入されます。0 から 1 への遷移によって、1 つのビットエラーが挿入されます。2 番目のビットエラーを挿入する場合、このビットを 0 に設定してから 1 に戻す必要があります。**注:** MEIMS がローで、かつこのビットが各エラー挿入機会の間に 1 回以上遷移すると、1 個のエラーのみが挿入されることになります。

ビット 0: 手動エラー挿入モード選択(MEIMS)。0 のとき、エラー挿入は TSEI レジスタビットによって開始されます。1 のとき、エラー挿入は送信手動エラー挿入信号(TMEI)によって開始されます。**注:** TMEI または TSEI が 1 であれば、このビットの状態を変更するとビットエラーが挿入されることがあります。

Register Name: **BSR**
Register Description: **BERT Status Register**
Register Address (LIUs 1-8): **0Ch**
Register Address (LIUs 9-16): **2Ch**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	PMS	—	BEC	OOS
Default	0	0	0	0	0	0	0	0

ビット 3: 性能監視更新ステータス(PMS)。このビットは、受信性能監視レジスタ(カウンタ)更新のステータスを示します。更新が終了すると、このビットはローからハイに遷移します。LPMU ビット(PMUM = 0)または RPMU 信号(PMUM = 1)がローになると、PMS は非同期でローに強制されます。

ビット 1: ビットエラーカウント(BEC)。0 のとき、ビットエラーカウントは 0 です。1 のとき、ビットエラーカウントは 1 以上です。

ビット 0: 同期外れ(OOS)。0 のとき、受信パターン発生器は受信パターンに同期します。1 のとき、受信パターン発生器は受信パターンに同期しません。

Register Name: **BSRL**
 Register Description: **BERT Status Register Latched**
 Register Address (LIUs 1-8): **0Eh**
 Register Address (LIUs 9-16): **2Eh**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	<u>PMSL</u>	<u>BEL</u>	<u>BECL</u>	<u>OOSL</u>
Default	0	0	0	0	0	0	0	0

ビット 3: 性能監視更新ステータス、ラッチ付き(PMSL)。PMS ビットが 0 から 1 に遷移すると、このビットが設定されます。このビットは、読取り動作によってクリアされます。

ビット 2: ビットエラー、ラッチ付き(BEL)。ビットエラーが検出されると、このビットが設定されます。このビットは、読取り動作によってクリアされます。

ビット 1: ビットエラーカウント、ラッチ付き(BECL)。BEC ビットが 0 から 1 に遷移すると、このビットが設定されます。このビットは、読取り動作によってクリアされます。

ビット 0: 同期外れ、ラッチ付き(OOSL)。OOS ビットの状態が変化すると、このビットが設定されます。このビットは、読取り動作によってクリアされます。

Register Name: **BSRIE**
 Register Description: **BERT Status Register Interrupt Enable**
 Register Address (LIUs 1-8): **10h**
 Register Address (LIUs 9-16): **30h**

Bit #	7	6	5	4	3	2	1	0
Name	—	—	—	—	PMSIE	BEIE	BECIE	OOSIE
Default	0	0	0	0	0	0	0	0

ビット 3: 性能監視更新ステータス割込みイネーブル(PMSIE)。PMSL ビットが設定されると、このビットは割込みをイネーブルします。

0 = 割込みディセーブル

1 = 割込みイネーブル

ビット 2: ビットエラー割込みイネーブル(BEIE)。BEL ビットが設定されると、このビットは割込みをイネーブルします。

0 = 割込みディセーブル

1 = 割込みイネーブル

ビット 1: ビットエラーカウント割込みイネーブル(BECIE)。BECL ビットが設定されると、このビットは割込みをイネーブルします。

0 = 割込みディセーブル

1 = 割込みイネーブル

ビット 0: 同期外れ割込みイネーブル(OOSIE)。OOSL ビットが設定されると、このビットは割込みをイネーブルします。

0 = 割込みディセーブル

1 = 割込みイネーブル

Register Name: **RBECR1**
 Register Description: **Receive Bit Error Count Register #1**
 Register Address (LIUs 1-8): **14h**
 Register Address (LIUs 9-16): **34h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BEC7</u>	<u>BEC6</u>	<u>BEC5</u>	<u>BEC4</u>	<u>BEC3</u>	<u>BEC2</u>	<u>BEC1</u>	<u>BEC0</u>
Default	0	0	0	0	0	0	0	0

Register Name: **RBECR2**
 Register Description: **Receive Bit Error Count Register #2**
 Register Address (LIUs 1-8): **15h**
 Register Address (LIUs 9-16): **35h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BEC15</u>	<u>BEC14</u>	<u>BEC13</u>	<u>BEC12</u>	<u>BEC11</u>	<u>BEC10</u>	<u>BEC9</u>	<u>BEC8</u>
Default	0	0	0	0	0	0	0	0

Register Name: **RBECR3**
 Register Description: **Receive Bit Error Count Register #3**
 Register Address (LIUs 1-8): **16h**
 Register Address (LIUs 9-16): **36h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BEC23</u>	<u>BEC22</u>	<u>BEC21</u>	<u>BEC20</u>	<u>BEC19</u>	<u>BEC18</u>	<u>BEC17</u>	<u>BEC16</u>
Default	0	0	0	0	0	0	0	0

ビットエラーカウント(BEC[23:0])。これらの 24 ビットは、受信データストリームで検出されたビットエラー数を示します。このカウントが FF FFFFh に達すると、インクリメントが停止します。OOS 状態が存在するときは、対応するビットエラーカウンタはインクリメントされません。

Register Name: **RBCR1**
 Register Description: **Receive Bit Count Register #1**
 Register Address (LIUs 1-8): **18h**
 Register Address (LIUs 9-16): **38h**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BC7</u>	<u>BC6</u>	<u>BC5</u>	<u>BC4</u>	<u>BC3</u>	<u>BC2</u>	<u>BC1</u>	<u>BC0</u>
Default	0	0	0	0	0	0	0	0

Register Name: **RBCR2**
 Register Description: **Receive Bit Count Register #2**
 Register Address (LIUs 1-8): **19h**
 Register Address (LIUs 9-16): **39h**

Bit #	15	14	13	12	11	10	9	8
Name	<u>BC15</u>	<u>BC14</u>	<u>BC13</u>	<u>BC12</u>	<u>BC11</u>	<u>BC10</u>	<u>BC9</u>	<u>BC8</u>
Default	0	0	0	0	0	0	0	0

Register Name: **RBCR3**
 Register Description: **Receive Bit Count Register #3**
 Register Address (LIUs 1-8): **1Ah**
 Register Address (LIUs 9-16): **3Ah**

Bit #	7	6	5	4	3	2	1	0
Name	<u>BC23</u>	<u>BC22</u>	<u>BC21</u>	<u>BC20</u>	<u>BC19</u>	<u>BC18</u>	<u>BC17</u>	<u>BC16</u>
Default	0	0	0	0	0	0	0	0

Register Name: **RBCR4**
 Register Description: **Receive Bit Count Register #4**
 Register Address (LIUs 1-8): **1Bh**
 Register Address (LIUs 9-16): **3Bh**

Bit #	15	14	13	12	11	10	9	8
Name	<u>BC31</u>	<u>BC30</u>	<u>BC29</u>	<u>BC28</u>	<u>BC27</u>	<u>BC26</u>	<u>BC25</u>	<u>BC24</u>
Default	0	0	0	0	0	0	0	0

ビットカウント(BC[31:0])。これらの 32 ビットは、受信データストリームのビット数を示します。このカウントが FFFF FFFFh に達すると、インクリメントが停止します。OOS 状態が存在するとき、対応するビットエラーカウンタはインクリメントされません。

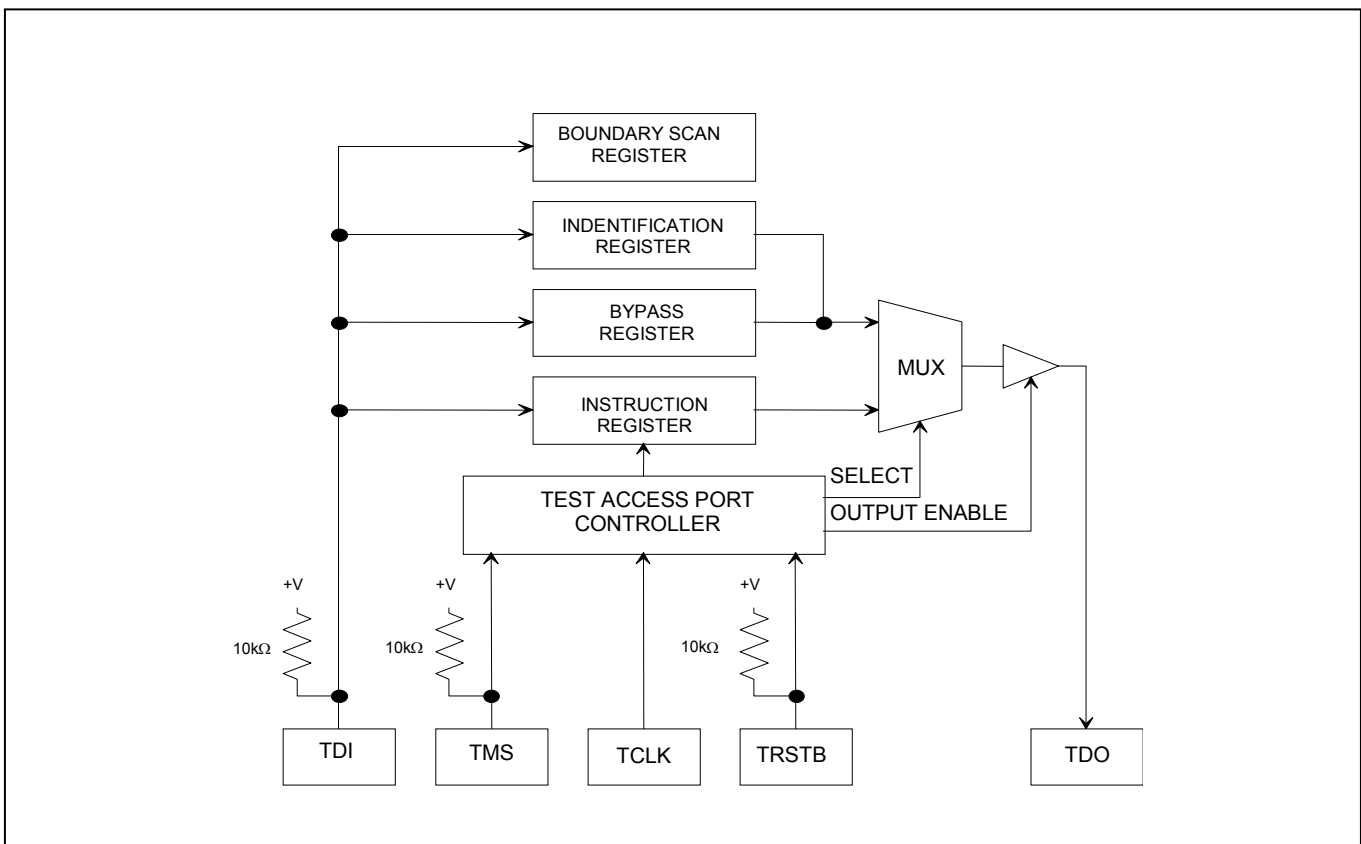
7 JTAG バウンダリスキャンアーキテクチャおよび試験アクセスポート

DS26324 の IEEE 1149.1 設計は、標準命令コード SAMPLE/PRELOAD、BYPASS、および EXTEST をサポートしています。含まれるオプションのパブリック命令は、HIGHZ、CLAMP、および IDCODE です。DS26324 は、IEEE 1149.1 Standard Test-Access Port and Boundary-Scan Architecture に必要な以下の要素を内蔵しています。

- 試験アクセスポート(TAP)
- TAPコントローラ
- 命令レジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ
- デバイス識別レジスタ

Boundary-Scan Architecture and the Test-Access Portに関する詳細は、IEEE 1149.1-1990、IEEE 1149.1a-1993、およびIEEE 1149.1b-1994 に記載されています。試験アクセスポートは、必要なインタフェースピンとしてTRSTB、TCLK、TMS、TDI、およびTDOを備えています。詳しくは、「端子説明」をご覧ください。最新のBSDLファイルについては、japan.maxim-ic.com/tools/bsdl/にアクセスして、DS26324 を検索してください。

図 7-1. JTAG 機能ブロック図



7.1 TAP コントローラの状態遷移

TAP コントローラは、TCLK の立上りエッジで TMS のロジックレベルに応答する有限状態機械です。状態図を [図 7-2](#) に示します。

Test-Logic-Reset

パワーアップの際、TAP コントローラは、Test-Logic-Reset 状態にあります。命令レジスタは IDCODE 命令を含んでいます。デバイスの全システムロジックは正常に動作します。この状態には、パワーアップの際に自動的に入ります。TMS が 5 クロック以上にわたってハイに保たれると、任意の状態からこの状態に入ります。

Run-Test-Idle

Run-Test-Idle は、各スキャン動作の間、または特定試験の際に利用されます。命令レジスタおよび試験レジスタは、アイドルのままです。コントローラは、TMS がローに保たれるときこの状態に保たれます。TMS がハイでかつ TCLK の立上りエッジがコントローラに印加されると、コントローラは Select-DR-Scan 状態に移行します。

Select-DR-Scan

すべての試験レジスタは以前の状態を保持します。TMS がローの場合、コントローラは TCLK の立上りエッジで Capture-DR 状態に移行して、スキャンシーケンスを開始します。TMS がハイの場合、コントローラは TCLK の立上りエッジで Select-IR-Scan 状態に移行します。

Capture-DR

現行命令が EXTEST または SAMPLE/PRELOAD であれば、データは試験データレジスタに平行にロードすることができます。命令が平行ロードを要求しない場合や選択されたレジスタが平行ロードを許容しない場合、試験レジスタはその現在値を保ちます。TMS がローの場合、コントローラは TCLK の立上りエッジで Shift-DR 状態に移行し、TMS がハイであれば Exit1-DR 状態に移行します。

Shift-DR

現行命令によって選択された試験データレジスタは、TDI と TDO の間に接続され、TCLK の各立上りエッジでそのシリアル出力に向けてデータを 1 段シフトします。現行命令によって選択された試験レジスタがシリアル経路に配置されなければ、これはその以前の状態を維持します。TAP コントローラがこの状態にありかつ TCLK の立上りエッジが印加されると、コントローラは、TMS がハイであれば Exit1-DR 状態に入り、TMS がローであれば Shift-DR 状態のままとなります。

Exit1-DR

この状態にあるとき、TMS がハイの場合、コントローラは TCLK の立上りエッジで Update-DR 状態に入りスキャンングプロセスを終了します。TMS がローの場合、コントローラは TCLK の立上りエッジで Pause-DR 状態に入ります。

Pause-DR

この状態にあるとき、試験レジスタのシフトは停止します。現行命令によって選択されたすべての試験レジスタは、それらの以前の状態を保持します。TMS がローの場合、コントローラはこの状態に保たれます。TMS がハイの場合、コントローラは TCLK の立上りエッジで Exit2-DR 状態に入ります。

Exit2-DR

この状態にあるとき、TMS がハイの場合、コントローラは TCLK の立上りエッジで Update-DR 状態に入りスキャンングプロセスを終了します。TMS がローの場合、コントローラは TCLK の立上りエッジで Shift-DR 状態に入ります。

Update-DR

Update-DR 状態にあるとき、試験レジスタのシフトレジスタ経路のデータは、TCLK の立下りエッジでデータ出力ラッチにラッチされます。これによって、シフトレジスタ内の変化に起因するパラレル出力の変化が回避されます。

Select-IR-Scan

すべての試験レジスタは、それらの以前の状態を保持します。命令レジスタは、この状態で不変に保たれます。TMS がローの場合、コントローラは TCLK の立上りエッジで Capture-IR 状態に入り、命令レジスタのためのスキャンシーケンスを開始します。TMS がハイの場合、コントローラは TCLK の立上りエッジで Test-Logic-Reset 状態に戻ります。

Capture-IR

Capture-IR 状態は、命令レジスタ内のシフトレジスタに固定値をロードするのに使用されます。この値は、TCLK の立上りエッジでロードされます。TMS がハイの場合、コントローラは TCLK の立上りエッジで Exit1-IR 状態に入ります。TMS がローの場合、コントローラは TCLK の立上りエッジで Shift-IR 状態に入ります。

Shift-IR

この状態では、命令レジスタ内のシフトレジスタは、TDI と TDO の間に接続され、TCLK の各立上りエッジでそのシリアル出力に向けてデータを 1 段シフトします。パラレルレジスタは、すべての試験レジスタとともに、それらの以前の状態に保たれます。TMS がハイの場合、コントローラは TCLK の立上りエッジで Exit1-IR 状態に移行します。TMS がローの場合、コントローラは TCLK の立上りエッジで Shift-IR 状態に保たれ、その間にデータは命令シフトレジスタを 1 段移動します。

Exit1-IR

TMS がローの場合、コントローラは TCLK の立上りエッジで Pause-IR 状態に入ります。TMS がハイの場合、コントローラは TCLK の立上りエッジで Update-IR 状態に入り、スキャンングプロセスを終了します。

Pause-IR

命令シフトレジスタのシフトが一時的に停止されます。TMS がハイの場合、コントローラは TCLK の立上りエッジで Exit2-IR 状態に入ります。TMS がローの場合、コントローラは TCLK の立上りエッジで Pause-IR 状態に保たれます。

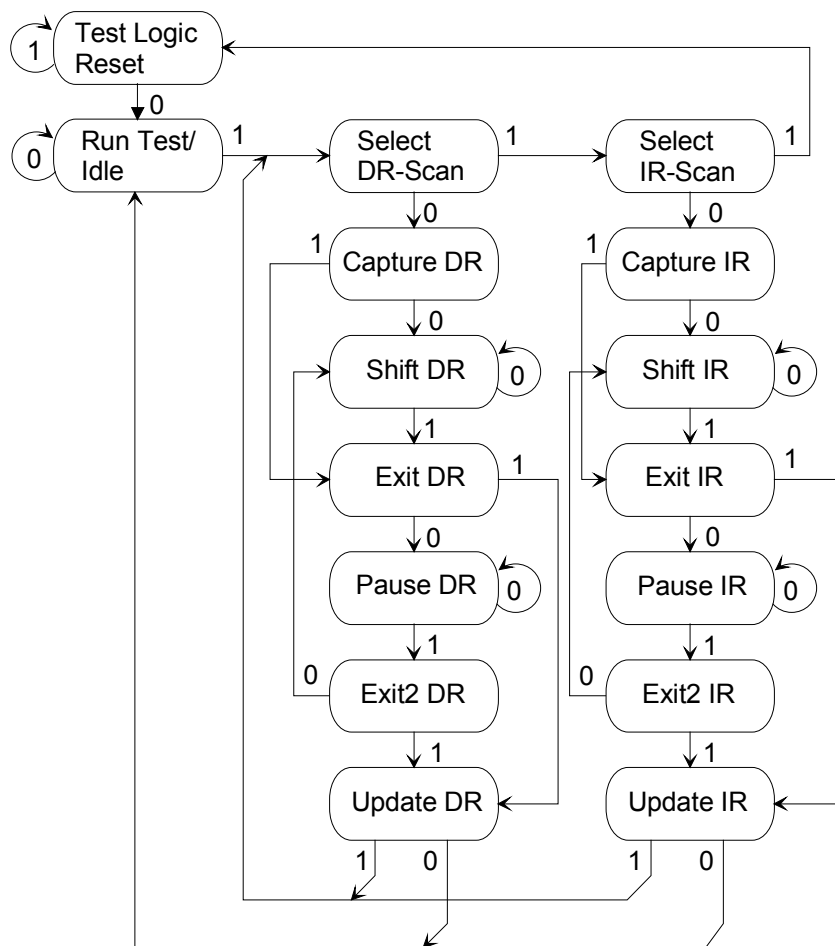
Exit2-IR

TMS がハイの場合、コントローラは TCLK の立上りエッジで Update-IR 状態に入ります。この状態において TMS がローの場合、コントローラは TCLK の立上りエッジで Shift-IR にループバックされます。

Update-IR

命令シフトレジスタにシフトインされた命令コードは、コントローラがこの状態に入る際に TCLK の立下りエッジでパラレル出力にラッチされます。いったんラッチされたこの命令は現行命令になります。TMS がローの場合、コントローラは TCLK の立上りエッジで Run-Test-Idle 状態に入ります。TMS がハイの場合、コントローラは TCLK の立上りエッジで Select-DR-Scan 状態に入ります。

図 7-2. TAP コントローラ状態図



7.2 命令レジスタ

命令レジスタは、シフトレジスタおよびラッチ付きパラレル出力を内蔵しており、3 ビット長です。TAPコントローラがShift-IR状態に入ると、命令シフトレジスタはTDIとTDOの間に接続されます。Shift-IR状態にあるときTMSがローの場合、データはTCLKの立上りエッジでTDOのシリアル出力に向かって 1 段シフトします。Exit1-IR状態またはExit2-IR状態においてTMSがハイの場合、コントローラはTCLKの立上りエッジでUpdate-IR状態に移行します。命令シフトレジスタ内のデータは、同じTCLKの立下りエッジで命令パラレル出力にラッチされます。DS26324 がサポートする命令とその関連命令 2 進コードを [表 7-1](#)に示します。

表 7-1. IEEE 1149.1 アーキテクチャの命令コード

INSTRUCTION	SELECTED REGISTER	INSTRUCTION CODES
EXTEST	Boundary Scan	000
HIGHZ	Bypass	010
CLAMP	Bypass	011
SAMPLE/PRELOAD	Boundary Scan	100
IDCODE	Device Identification	110
BYPASS	Bypass	111

EXTEST

これによって、デバイスとの全相互接続の試験が可能になります。EXTEST 命令が命令レジスタにラッチされると、以下の動作が行われます。Update-IR 状態によってイネーブルされた全デジタル出力ピンのパラレル出力が駆動されます。バウンダリスキャンレジスタが TDI と TDO の間に接続されます。Capture-DR がバウンダリスキャンレジスタへの全デジタル入力をサンプリングします。

HIGHZ

デバイスのデジタル出力はすべて、ハイインピーダンス状態になります。BYPASS レジスタは TDI と TDO の間に接続されます。

CLAMP

デバイスのデジタル出力はすべて、バウンダリスキャンパラレル出力のデータを出力すると同時に BYPASS レジスタを TDI と TDO の間に接続します。これらの出力は CLAMP 命令によって変化しません。

SAMPLE/PRELOAD

これは、2 つの機能をサポートする IEEE 1149.1 仕様の必須命令です。デバイスのデジタル I/O は、Capture-DR 状態を使用することによってデバイスの通常動作を妨げずにバウンダリスキャンレジスタでサンプリングすることができます。また、SAMPLE/PRELOADによって、デバイスはShift-DR状態を使用してTDI経由でバウンダリスキャンレジスタにデータをシフトインすることができます。

IDCODE

IDCODE命令がパラレル命令レジスタにラッチされると、識別試験レジスタが選択されます。デバイス識別コードは、TCLKの立上りエッジで識別レジスタにロードされ、続いてCapture-DR状態に入ります。Shift-DRを使うと、識別コードをTDO経由でシリアルにシフトアウトすることができます。Test-Logic-Resetでは、識別コードが命令レジスタのパラレル出力に強制的に入れられます。IDコードはLSB位置が常に 1 となります。次の 11 ビットはメーカーのJEDEC番号および連続バイト数を特定し、これらにデバイスに関する 16 ビットとバージョンに関する 4 ビットが続きます([表 7-2](#))。 [表 7-3](#)はDS26324 のデバイスIDコードを示します。

BYPASS

BYPASS 命令がパラレル命令レジスタにラッチされると、TDI は 1 ビットバイパス試験レジスタを介して TDO に接続されます。これによって、データを TDI から TDO に送ることができるためデバイスの通常動作に影響を与えません。

表 7-2. ID コードの構成

MSB			LSB
Version	Device ID	JEDEC	1
Contact Factory			
4 bits	16 bits	00010100001	1

表 7-3. デバイスの ID コード

DEVICE	16-BIT ID
DS26324	003Ch

7.3 試験レジスタ

IEEE 1149.1 では、BYPASS レジスタおよびバウンダリスキャンレジスタの少なくとも 2 個の試験レジスタを必要とします。DS26324 の設計ではオプションの試験レジスタが考慮されています。この試験レジスタは、識別レジスタであり、IDCODE 命令および TAP コントローラの Test-Logic-Reset 状態とともに使用されます。

7.4 バウンダリスキャンレジスタ

このレジスタは、シフトレジスタ経路、およびすべての制御領域とデジタル I/O 領域のためのラッチ付きパラレル出力の両方を内蔵しており、n ビット長です。

7.5 バイパスレジスタ

これは、TDI と TDO の間に短い経路を提供する単一の 1 ビットシフトレジスタで、BYPASS、CLAMP、および HIGHZ の各命令とともに使用されます。

7.6 識別レジスタ

識別レジスタは、32 ビットシフトレジスタおよび 32 ビットラッチ付きパラレル出力を内蔵しています。このレジスタは、IDCODE 命令を使用する際および TAP コントローラが Test-Logic-Reset 状態にあるとき選択されます。ビットの用法に関する詳細については、[表 7-2](#)と [表 7-3](#)をご覧ください。

8 DC 電気的特性

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Lead with Respect to V_{SS} (except V_{DD}).....-0.3V to +5.5V
 Supply Voltage (V_{DD}) Range with Respect to V_{SS}0.3V to +3.63V
 Operating Temperature Range for DS26324G.....0°C to +70°C
 Operating Temperature Range for DS26324GN.....-40°C to +85°C
 Storage Temperature.....-55°C to +125°C
 Soldering Temperature.....See IPC/JEDEC J-STD-020 Specification

This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

表 8-1. DC 端子のロジックレベル

RECOMMENDED DC OPERATING CONDITIONS

($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ for DS26324GN.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	V_{IH}	2.0		5.5	V	
Logic 0	V_{IL}	-0.3		+0.8	V	
Supply	V_{DD}	3.135	3.3	3.465	V	

表 8-2. 端子容量

CAPACITANCE

($T_A = +25^\circ\text{C}$)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Capacitance	C_{IN}		7		pF	
Output Capacitance	C_{OUT}		7		pF	

表 8-3. 消費電流および出力電圧

DC CHARACTERISTICS

($V_{DD} = 3.135$ to 3.465V , $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Supply Current at 3.465V	I_{DD}			1100	mA	1, 2
Supply Current at 3.3V			500			
Input Leakage	I_{IL}	-10.0		+10.0	μA	
Tri-State Output Leakage	I_{OL}	-10.0		+10.0	μA	
Output Voltage ($I_o = -4.0\text{mA}$)	V_{OH}	2.4			V	
Output Voltage ($I_o = +4.0\text{mA}$)	V_{OL}			0.4	V	

Note 1: RCLK1-n = TCLK1-n = 1.544MHz.

Note 2: Supply current with all ports active, TTIP and TRING driving a 25 Ω load, for an all-ones data density.

9 AC タイミング特性

9.1 ラインインタフェースの特性

表 9-1. 送信機特性

PARAMETER		SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Output Mark Amplitude	E1 75Ω	V_M	2.14	2.37	2.6	V	
	E1 120Ω		2.7	3.0	3.3		
	T1 100Ω		2.4	3.0	3.6		
	T1 110Ω		2.4	3.0	3.6		
Output Zero Amplitude		V_S	-0.3		+0.3	V	1
Transmit Amplitude Variation with Supply			-1		+1	%	
Transmit Path Delay	Single Rail			8		UI	
	Dual Rail			3			

表 9-2. 受信機特性

PARAMETER		SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Cable Attenuation		Attn			12	dB	
Analog Loss-of-Signal Threshold				200		mV	1
Hysteresis Short-Haul Mode				100			
Allowable Zeros Before Loss				192			2
				192			
				2048			
Allowable Ones Before Loss				24			3
				192			
				192			
Receive Path Delay	Single Rail			8		UI	
	Dual Rail			3			

Note 1: Measured at the RRING and RTIP pins.

Note 2: 192 zeros for T1 and T1.231 Specification Compliance; 192 zeros for E1 and G.775 Specification Compliance; 2048 zeros for ETSI 300 233 compliance.

Note 3: 24 ones in 192-bit period for T1.231; 192 ones for G.775; 192 ones for ETSI 300 233.

9.2 パラレルホストインタフェースのタイミング特性

表 9-3. Intel 読取りモードの特性

($V_{DD} = 3.3V \pm 5\%$, $T_J = -40^{\circ}C$ to $+125^{\circ}C$.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
RDB	t1	Pulse width if not using RDYB	40			ns	1
CSB	t2	Setup time to RDB	0			ns	1
CSB	t3	Hold time from RDB	0			ns	1
AD[7:0]	t4	Setup time to ALE	2			ns	1
A[5:0]	t5	Hold time from RDB	0			ns	1
D[7:0], AD[7:0]	t6	Delay time RDB, CSB active			40	ns	1
D[7:0], AD[7:0]	t7	Deassert delay from RDB, CSB inactive	2		20	ns	1
RDYB	t8	Enable delay time from CSB active			20	ns	1
RDYB	t9	Disable delay time from the CSB inactive			15	ns	1
AD[7:0]	t10	Hold time from ALE	3			ns	1
ALE	t11	Pulse width	5			ns	1
D[7:0]	t12	Output Delay from ALE Latched			40	ns	1
A[5:0]	t13	Setup time to RDB	10			ns	1
RDYB	t14	Delay time from RDB	0			ns	1
RDYB	t15	Active output delay time from RDB	10		35	ns	1

Note 1: The input/output timing reference level for all signals is $V_{DD}/2$.

図 9-1. Intel 非多重読取りサイクル

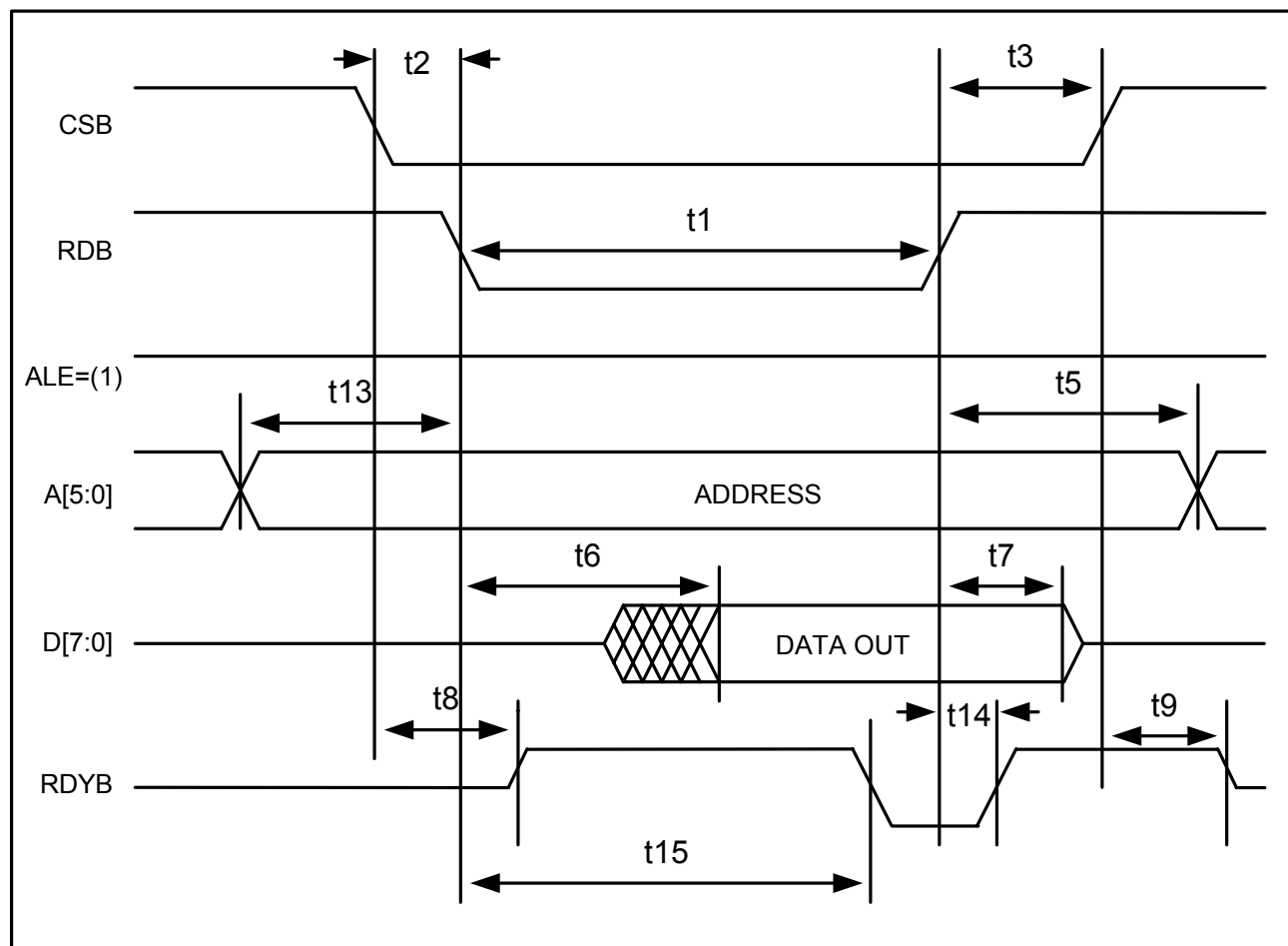


図 9-2. Intel 多重読取りサイクル

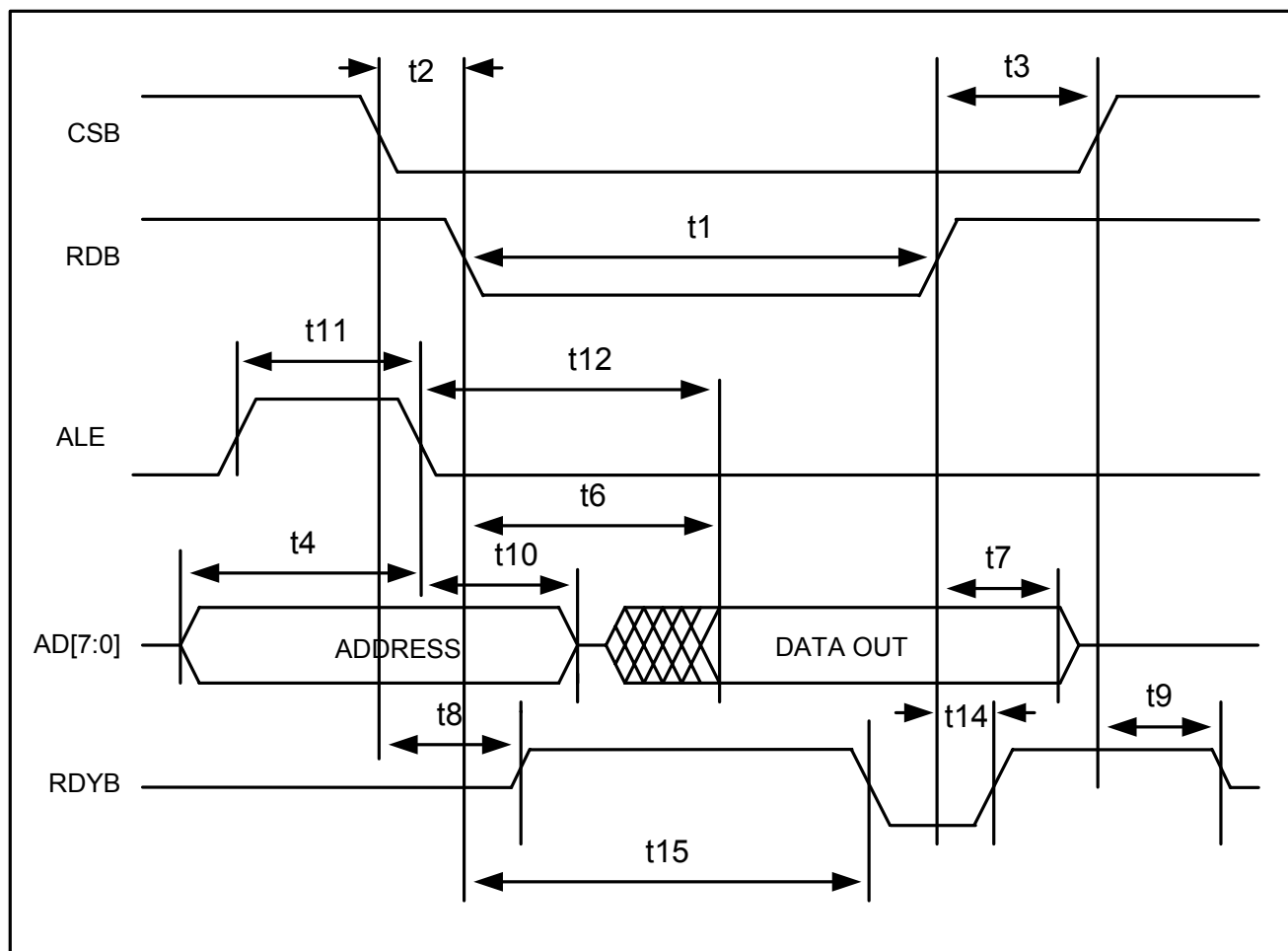


表 9-4. Intel 書込みサイクル特性

(V_{DD} = 3.3V ±5%, T_J = -40°C to +125°C.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
WRB	t1	Pulse width	40			ns	1
CSB	t2	Setup time to WRB	0			ns	1
CSB	t3	Hold time to WRB	0			ns	1
AD[7:0]	t4	Setup time to ALE	2			ns	1
A[5:0]	t5	Hold time from WRB	0			ns	1
D[7:0], AD[7:0]	t6	Input setup time to WRB	10			ns	1
D[7:0], AD[7:0]	t7	Input hold time to WRB	5			ns	1
RDYB	t8	Enable delay from CSB active			20	ns	1
RDYB	t9	Delay time from WRB active	10			ns	1
RDYB	t10	Delay time from WRB inactive	0			ns	1
RDYB	t11	Disable delay time from CSB inactive			15	ns	1
ALE	t12	Pulse width	5			ns	1
AD[7:0]	t13	Hold time from ALE inactive	3			ns	1
A[5:0]	t14	Valid address to WRB inactive	35			ns	1

Note 1: The input/output timing reference level for all signals is V_{DD}/2.

図 9-3. Intel 非多重書き込みサイクル

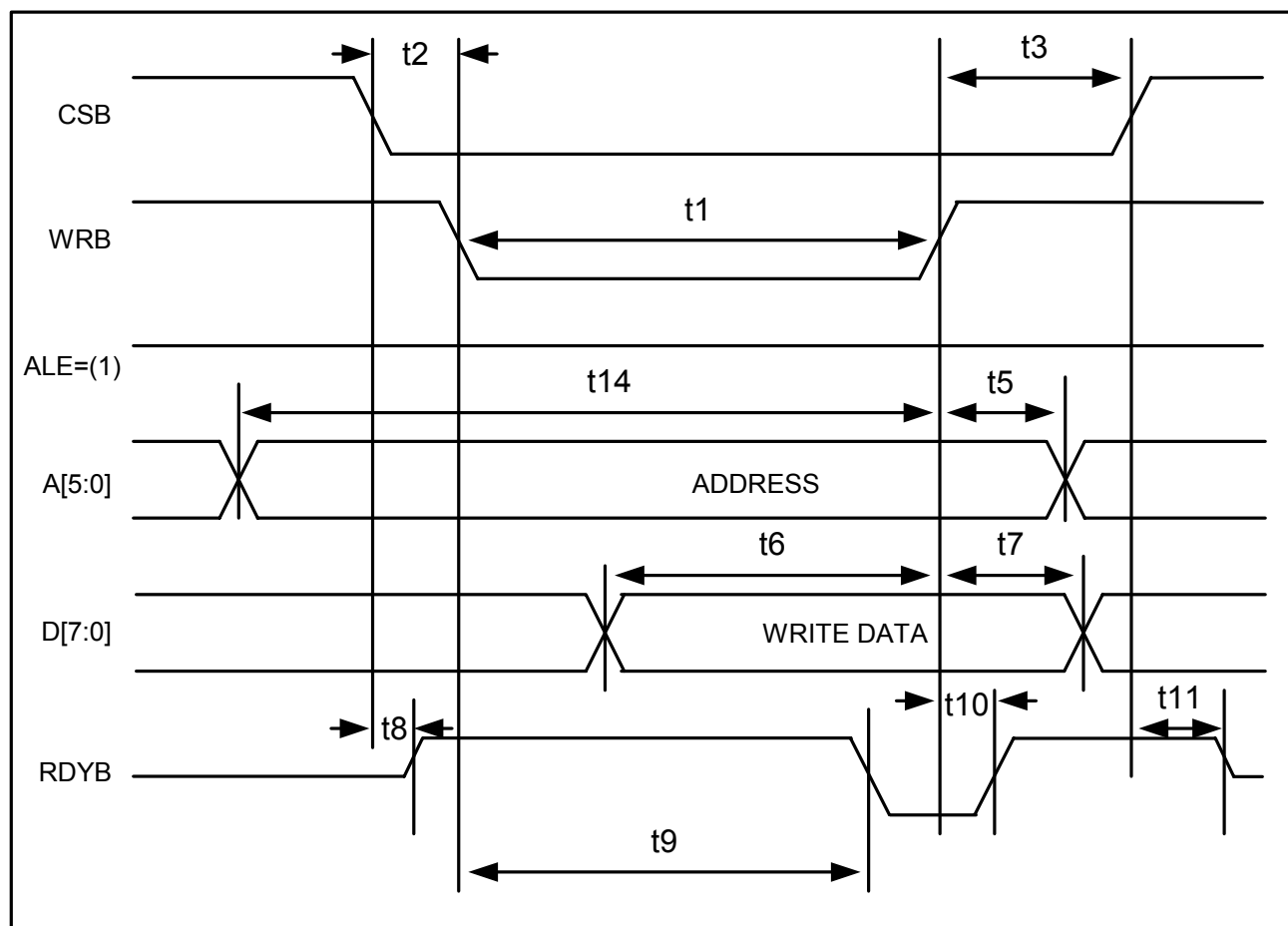


図 9-4. Intel 多重書き込みサイクル

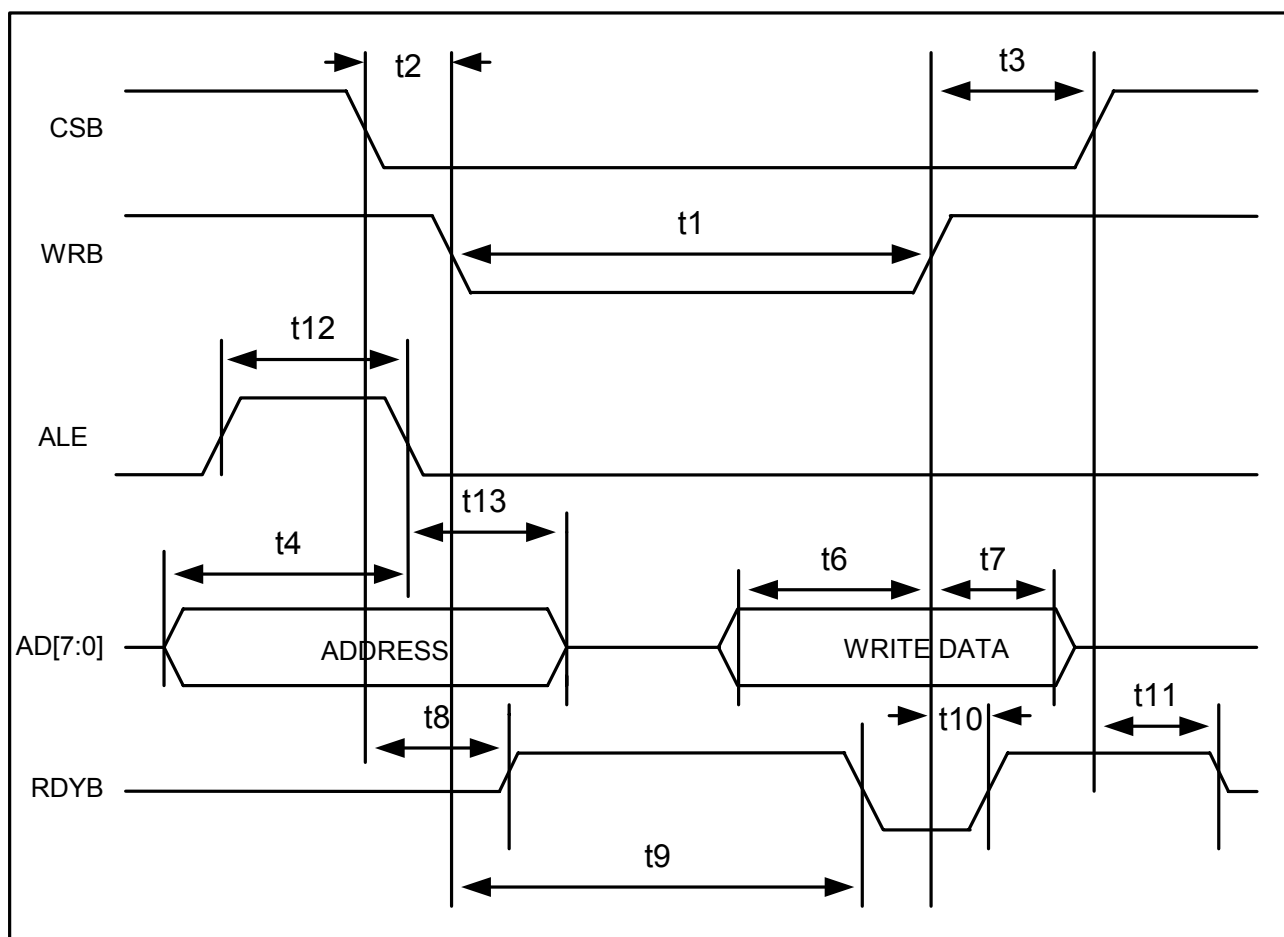


表 9-5. Motorola 読取りサイクルの特性

(V_{DD} = 3.3V ±5%, T_J = -40°C to +125°C.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
DS	t1	Pulse width	40			ns	1
CSB	t2	Setup time to DSB active	0			ns	1
CSB	t3	Hold time from DSB inactive	0			ns	1
RWB	t4	Setup time to DSB active	0			ns	1
RWB	t5	Hold time from DSB inactive	0			ns	1
AD[7:0]	t6	Setup time to ASB active	2			ns	1
AD[7:0]	t7	Hold time to ASB inactive	3			ns	1
AD[7:0], D[7:0]	t8	Output delay time from DSB active			40	ns	1
AD[7:0], D[7:0]	t10	Output valid delay time from DSB inactive	2		20	ns	1
ACKB	t11	Output delay time from CSB inactive			15	ns	1
ACKB	t12	Output delay time from DSB inactive	0			ns	1
ACKB	t13	Enable output delay time from DSB active			20	ns	1
ACKB	t14	Output delay time from DSB active	10		35	ns	1
A[5:0]	t15	Hold time from DSB inactive	0			ns	1
A[5:0]	t16	Setup time to DSB active	10			ns	1

Note 1: The input/output timing reference level for all signals is V_{DD}/2.

図 9-5. Motorola 非多重読み取りサイクル

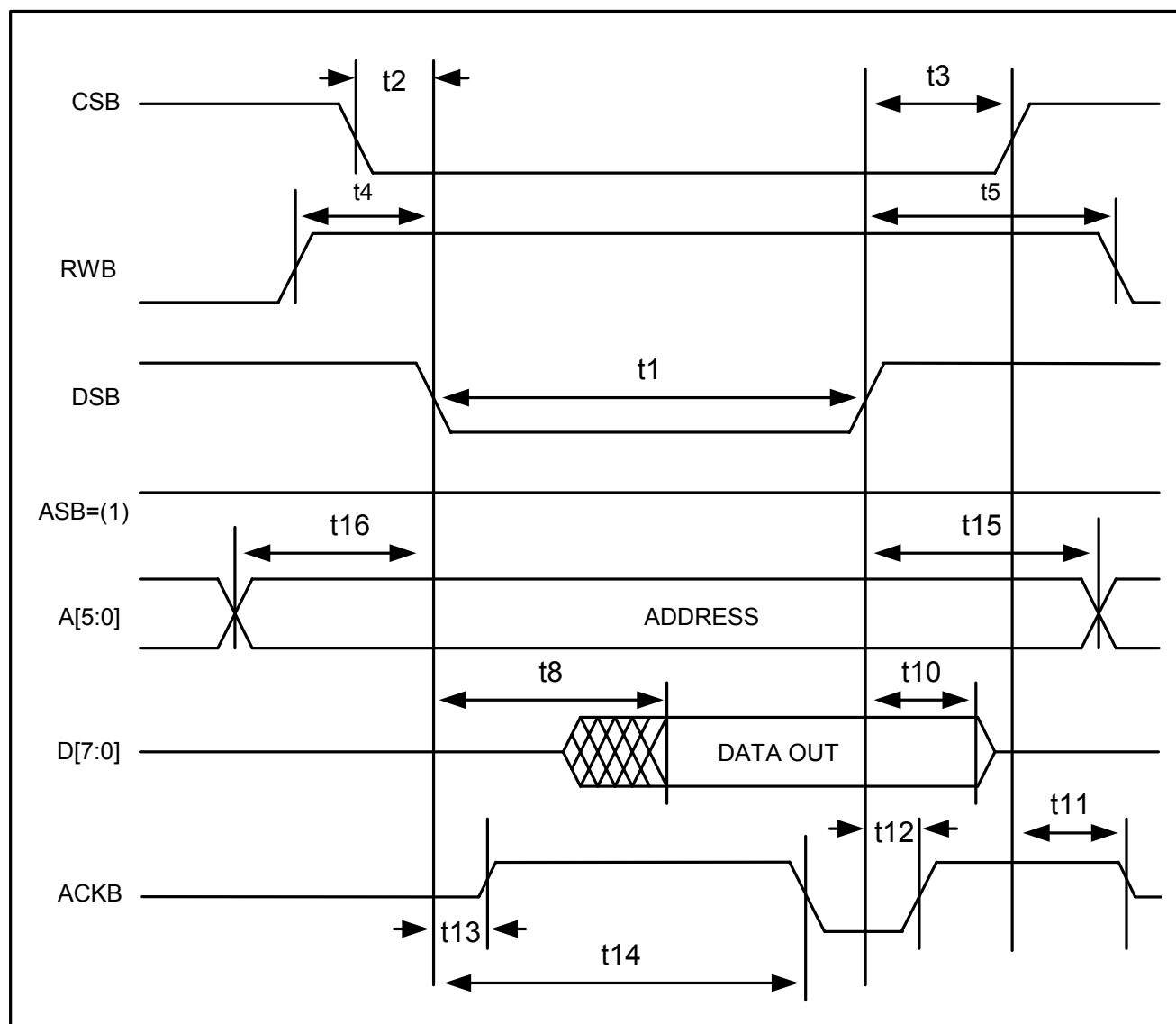


図 9-6. Motorola 多重読み取りサイクル

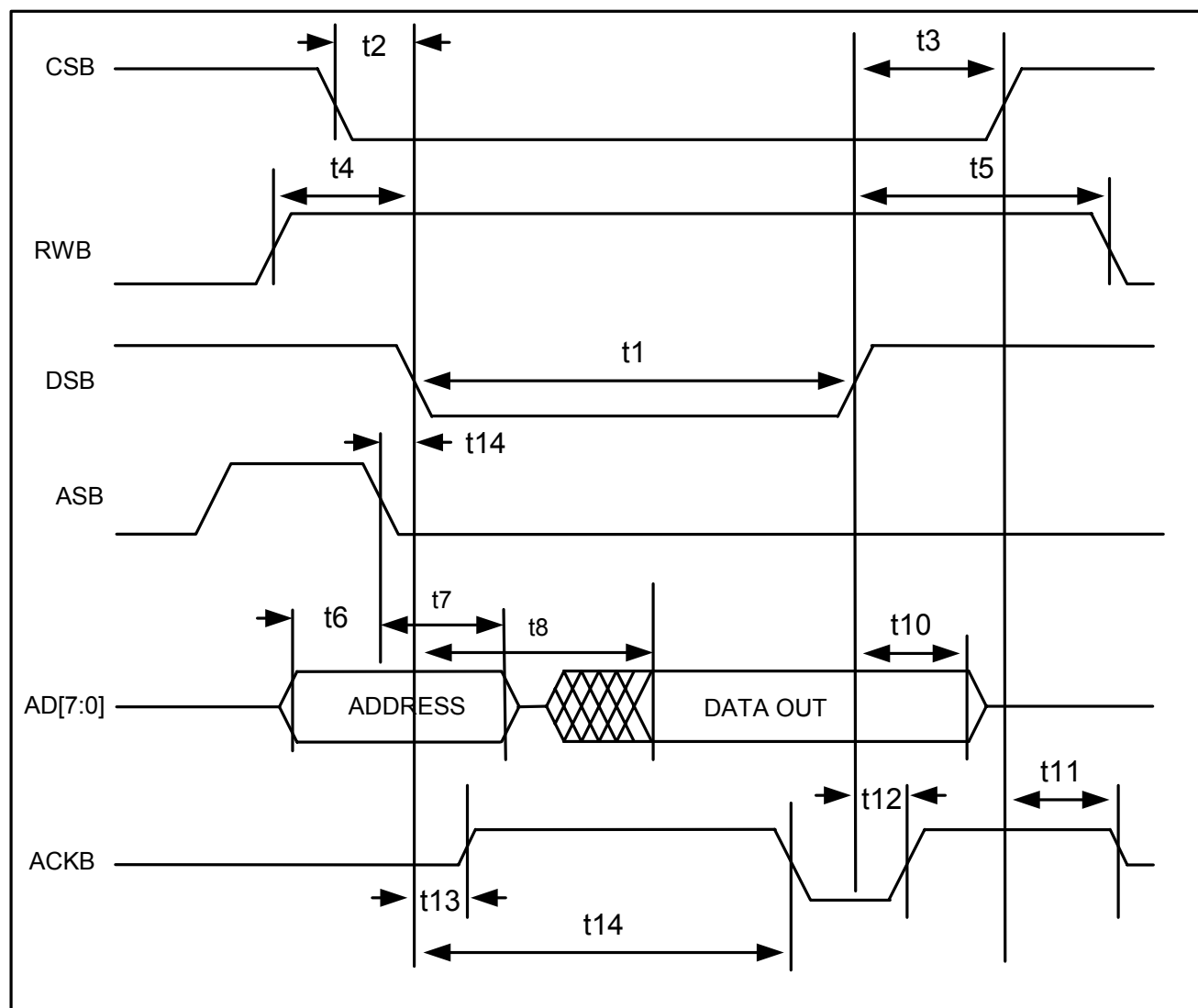


表 9-6. Motorola 書込みサイクルの特性

(V_{DD} = 3.3V ±5%, T_J = -40°C to +125°C.)

SIGNAL NAME(S)	SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS	NOTES
DSB	t1	Pulse width	35			ns	1
CSB	t2	Setup time to DSB active	0			ns	1
CSB	t3	Hold time from DSB inactive	0			ns	1
RWB	t4	Setup time to DSB active	0			ns	1
RWB	t5	Hold time to DSB inactive	0			ns	1
AD[7:0]	t6	Setup time to ASB active	2			ns	1
AD[7:0]	t7	Hold time from ASB active	3			ns	1
AD[7:0], D[7:0]	t8	Setup time to DSB inactive	10			ns	1
AD[7:0], D[7:0]	t9	Hold time from DSB inactive	5			ns	1
A[5:0]	t10	Setup time to DSB active	10			ns	1
ACKB	t11	Output delay from CSB inactive			15	ns	1
ACKB	t12	Output delay from DSB inactive	0			ns	1
ACKB	t13	Output enable delay time from DSB active			20	ns	1
ACKB	t14	Output delay time from DSB active	10			ns	1
A[5:0]	t15	Hold time from DSB	0			ns	1

Note 1: The input/output timing reference level for all signals is V_{DD}/2.

図 9-7. Motorola 非多重書き込みサイクル

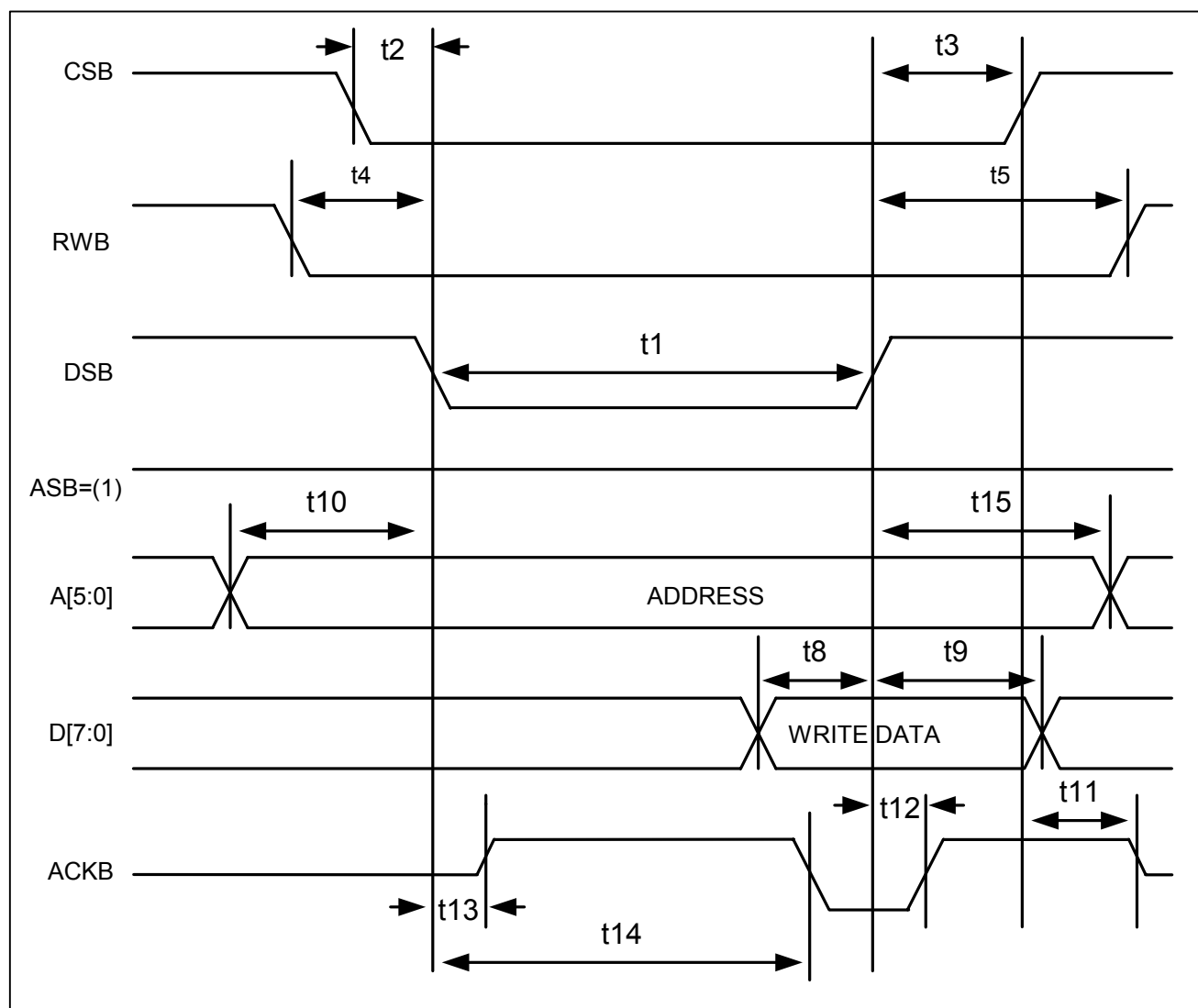
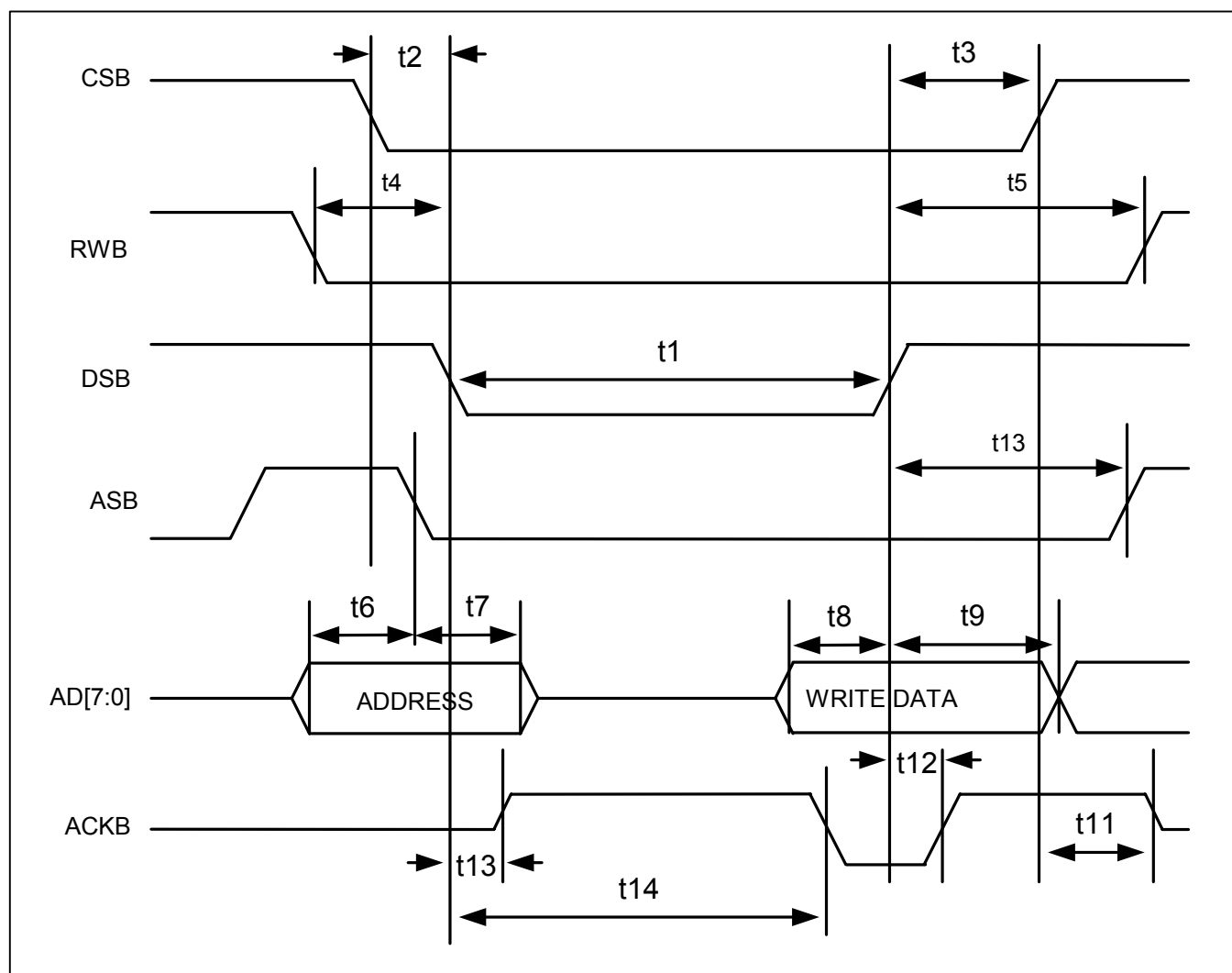


図 9-8. Motorola 多重書き込みサイクル



9.3 シリアルポート

表 9-7. シリアルポートのタイミングの特性

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
SCLK High Time	t1	25			ns	
SCLK Low Time	t2	25			ns	
Active CSB to SCLK Setup Time	t3	50			ns	
Last SCLK to CSB Inactive Time	t4	50			ns	
CSB Idle Time	t5	50			ns	
SDI to SCLK Setup Time	t6	5			ns	
SCLK to SDI Hold Time	t7	5			ns	
SCLK Falling Edge to SDO High-Z (CLKE = 0); CSB rising to SDO High-Z (CLKE = 1)	t8		100		ns	

図 9-9. シリアルバスタイミング書込み動作

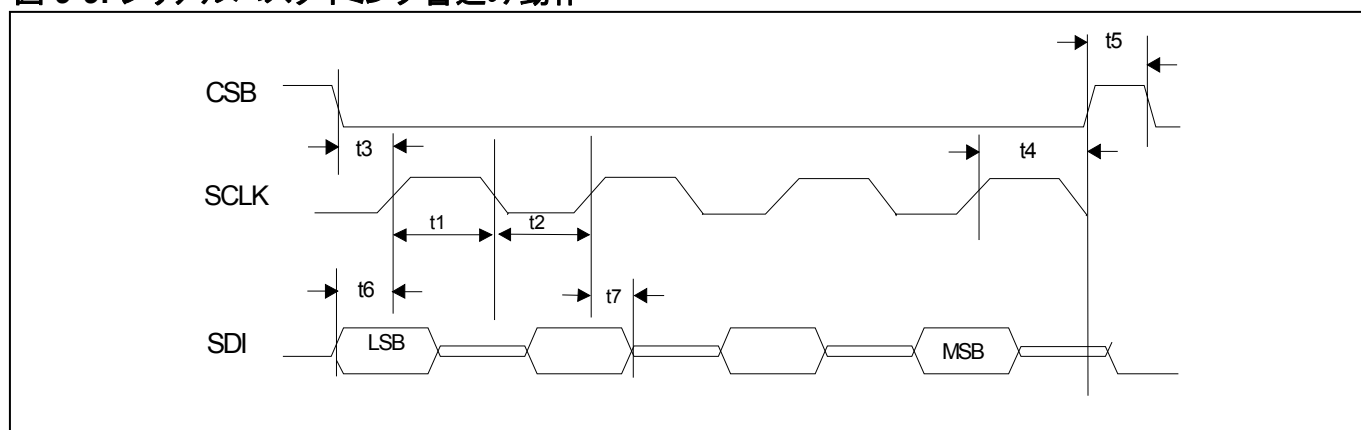


図 9-10. CLKE = 0 でのシリアルバスタイミング読取り動作

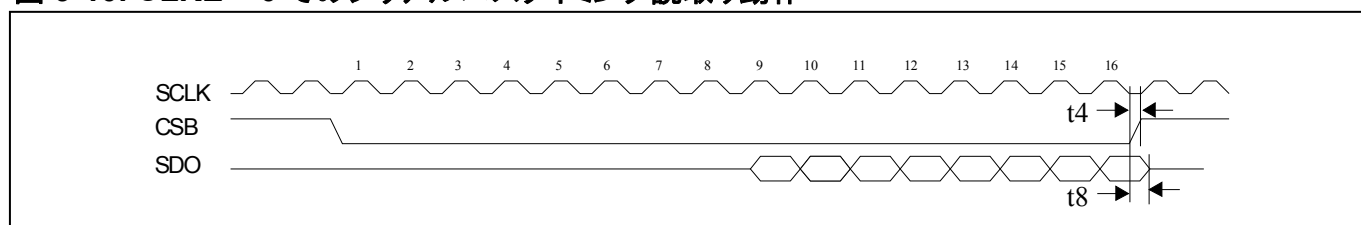
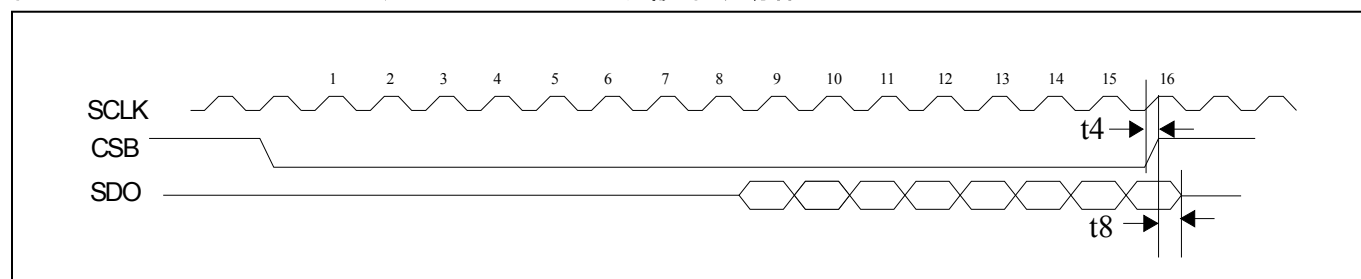


図 9-11. CLKE = 1 でのシリアルバスタイミング読取り動作



9.4 システムのタイミング

表 9-8. 送信機システムのタイミング

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
TPOS, TNEG Setup Time with Respect to TCLK Falling Edge	t1	40			ns	
TPOS, TNEG Hold Time with Respect to TCLK Falling Edge	t2	40			ns	
TCLK Pulse-Width High	t3	75			ns	
TCLK Pulse-Width Low	t4	75			ns	
TCLK Period	t5	488			ns	
		648				
TCLK Rise Time	t6	25			ns	
TCLK Fall Time	t7	25			ns	

図 9-12. 送信機システムのタイミング

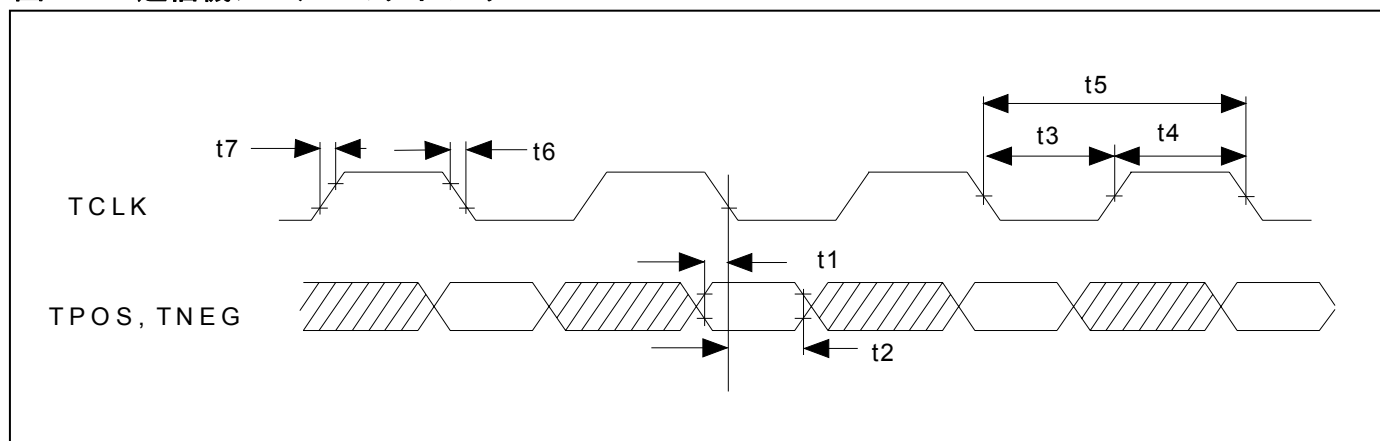
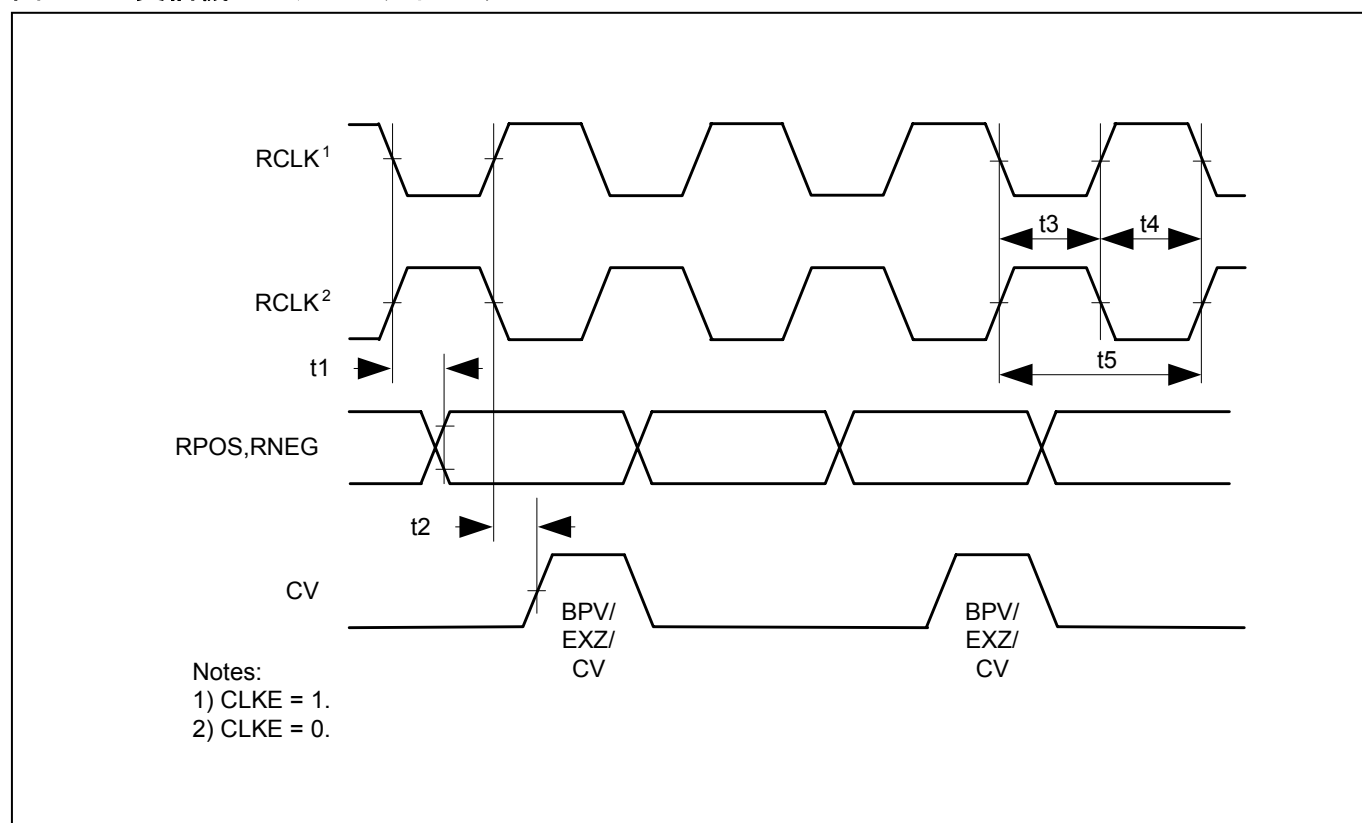


表 9-9. 受信機システムのタイミング

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Delay RCLK to RPOS, RNEG Valid	t1			50	ns	
Delay RCLK to CV Valid in Single-Rail Mode	t2			50	ns	
RCLK Pulse-Width High	t3	200			ns	
RCLK Pulse-Width Low	t4	200			ns	
RCLK Period	t5	488			ns	
		648				

図 9-13. 受信機システムのタイミング

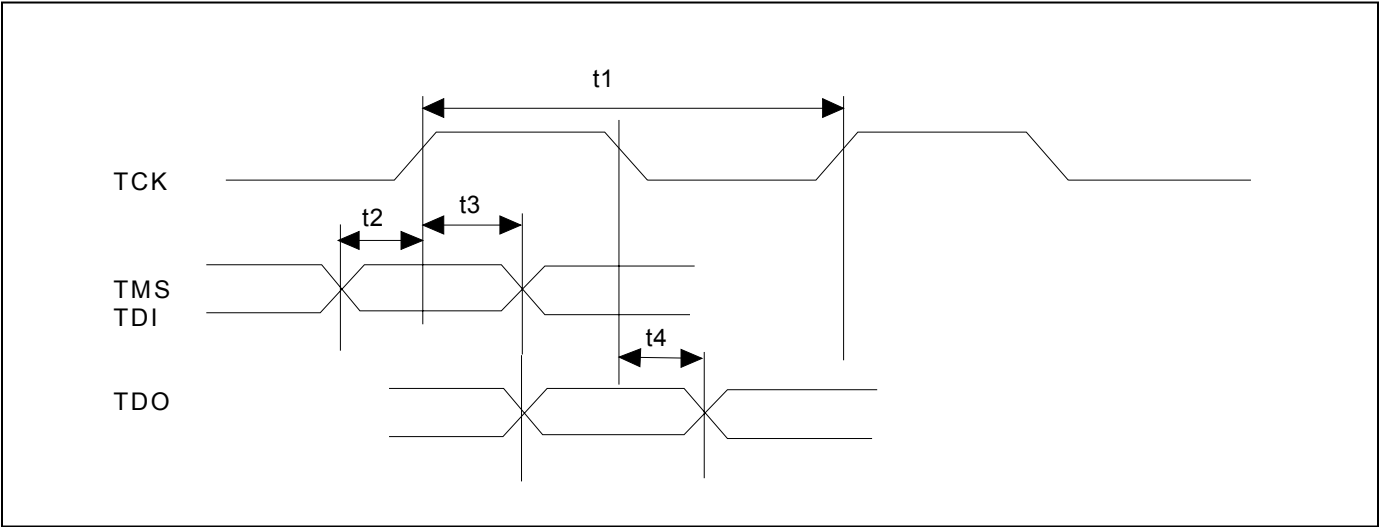


9.5 JTAG のタイミング

表 9-10. JTAG のタイミング特性

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
TCK Period	t1	100			ns	
TMS and TDI Setup to TCK	t2	25			ns	
TMS and TDI Hold to TCK	t3	25			ns	
TCK to TDO Hold	t4			50	ns	

図 9-14. JTAG のタイミング



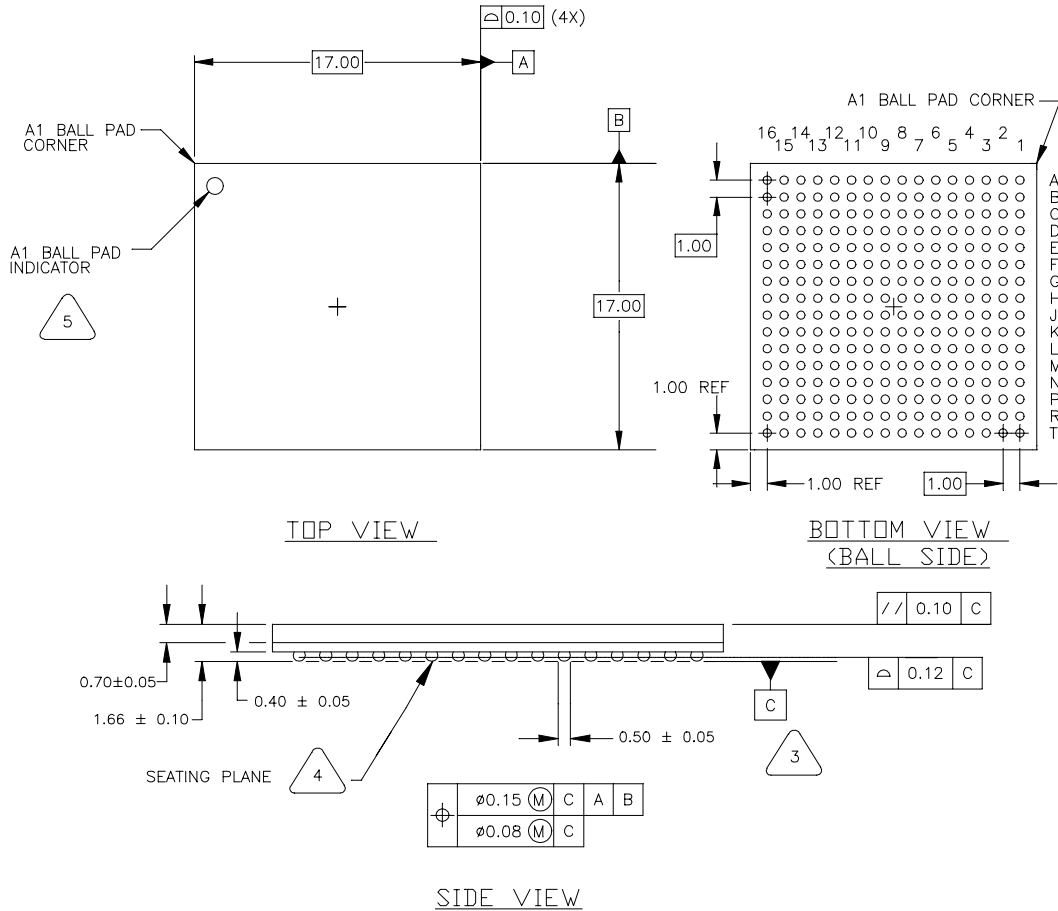
10 端子配置

図 10-1. 256 ボール TEBGA

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	RTIP1	RRING1	MODESEL	RTIP16	VDDT16	TTIP16	TTIP15	VDDT15	RTIP15	VDDT14	TTIP14	TTIP13	VDDT13	RTIP14	TDO	RTIP13
B	AVDD	AVSS	MOTEL	RRING16	RSTB	TRING16	TRING15	LOS14	RRING15	LOS13	TRING14	TRING13	TMS	RRING14	TDI	RRING13
C	RTIP2	RRING2	TNEG1	A4	TNEG16	TNEG15	RNEG15	RPOS15	RNEG14	RPOS14	TCLK13	RPOS13	SDO/RDY/ACKB	TPOS12	AVSS	AVDD
D	VDDT1	LOS1	RCLK1	GNDT1	TPOS16	GNDT16	INTB	GNDT15	GNDT14	GNDT13	TCLK16	TCLK14	GNDT12	TCK	RRING12	RTIP12
E	TTIP1	TRING1	RNEG1	A5	RPOS16	RCLK16	TPOS14	RCLK13	RCLK14	RNEG13	LOS15	TCLK12	TNEG12	RPOS12	TRSTB	VDDT12
F	TTIP2	TRING2	RPOS2	RPOS1	TCLK1	TPOS1	TNEG14	RCLK15	TPOS13	LOS16	RNEG12	RCLK12	RNEG11	TCLK11	TRING12	TTIP12
G	VDDT2	LOS2	A2	TCLK2	RNEG2	RCLK2	TPOS2	TNEG13	TCLK3	TNEG4	TPOS11	RPOS11	RCLK11	SDI/WRB/DSB	TRING11	TTIP11
H	RTIP3	RRING3	A1	GNDT2	A3	TCLK4	AVDD	DVDD	DVSS	AVSS	TNEG11	MCLK	GNDT11	RDB/RWB	LOS12	VDDT11
J	VDDT3	LOS3	RNEG16	GNDT3	TNEG3	TPOS3	AVSS	DVSS	DVDD	AVDD	TPOS10	TNEG10	GNDT10	TNEG2	RRING11	RTIP11
K	TTIP3	TRING3	RCLK3	RNEG3	RCLK4	TPOS4	D3	RPOS5	TNEG8	RNEG8	TCLK9	TCLK10	RPOS10	RCLK10	LOS11	VDDT10
L	TTIP4	TRING4	RPOS3	RPOS4	D4	D0	RNEG5	TCLK6	TPOS5	TCLK7	TPOS9	TNEG9	RCLK9	RNEG10	TRING10	TTIP10
M	VDDT4	LOS4	RNEG4	D5	D1	TNEG5	TCLK5	RCLK6	RPOS6	RNEG6	TPOS8	RPOS8	RNEG9	RPOS9	TRING9	TTIP9
N	RTIP4	RRING4	D7	GNDT4	TPOS6	GNDT5	TCLK15	GNDT6	GNDT7	A0	GNDT8	TPOS15	GNDT9	SCLK/ALE/ASB	LOS10	VDDT9
P	AVDD	AVSS	D6	D2	RCLK5	TNEG6	TNEG7	RPOS7	TCLK8	RCLK7	RNEG7	TPOS7	RCLK8	CSB	RRING10	RTIP10
R	RRING5	LOS5	RRING6	LOS7	TRING5	TRING6	LOS8	RRING7	DVSS	TRING7	TRING8	OE	RRING8	LOS9	AVSS	AVDD
T	RTIP5	LOS6	RTIP6	VDDT5	TTIP5	TTIP6	VDDT6	RTIP7	VDDT7	TTIP7	TTIP8	VDDT8	RTIP8	CLKE/MUX	RRING9	RTIP9

11 パッケージ情報

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfoをご参照下さい。)



NOTES:

1. DIMENSION IS MM.
2. THE BASIC SOLDER BALL GRID PITCH IS 1.00 MM.
3. DIMENSION IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C.
4. PRIMARY DATUM C AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
5. A1 BALL PAD CORNER I.D.
6. PACKAGE VENDOR: AMKOR

12 熱情報

表 12-1. 熱特性

PARAMETER	MIN	TYP	MAX	V (m/s)	NOTES
Power Dissipation in Package		1.4W	2.5W		3
Ambient Temperature	-40°C		+85°C		1
Junction Temperature			+125°C		
Theta-JA (θ_{JA}) in Still Air Conduction		+16.6°C/W		0	2
Theta-JC (θ_{JC}) Conduction		+3.0°C/W			
Theta-JB (θ_{JB}) Conduction		+7.5°C/W			
Theta-JA (θ_{JA}) in Forced Air		+15.0°C/W		0.75	
Theta-JA (θ_{JA}) in Forced Air		+14.6°C/W		1.25	
Theta-JA (θ_{JA}) in Forced Air		+14.0°C/W		2.5	

Note 1: The package is mounted on a four-layer JEDEC standard test board.

Note 2: Theta-JA (θ_{JA}) is the junction-to-ambient thermal resistance, when the package is mounted on a four-layer JEDEC standard test board.

Note 3: The typical wattage is with 50% ones and LB00.

13 改訂履歴

DATE	DESCRIPTION
070105	Original release.