

# 電圧範囲の広い、ゲインを選択可能な 高精度ファンネル・アンプ

### 特長

- 高精度の減衰:ゲイン = 0.1、0.2、0.25
- コモン・モード電圧範囲:±255V
- CMRR:最小105dB(ゲイン = 0.1)
- ゲイン誤差:最大0.006%(60ppm)
- ゲイン誤差ドリフト:最大1ppm/°C
- ゲイン非直線性:最大2ppm
- 広い電源電圧範囲:3.3V~50V
- レール to レール出力
- 電源電流:350 µA
- オペアンプのオフセット電圧:最大80µV
- -3dB帯域幅(ゲイン = 0.1):1MHz
- 低消費電力のシャットダウン時電流:20uA
- 省スペースのMSOPおよびDFNパッケージ

### アプリケーション

- 高電圧から低電圧へのレベル変換
- ADC用ドライバ
- コモン・モード範囲が広い双方向電圧および電流検出
- 工業用データ・アクイジション・フロントエンド
- 絶縁回路の置き換え
- 差動信号からシングル・エンド信号への変換

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

### 概要

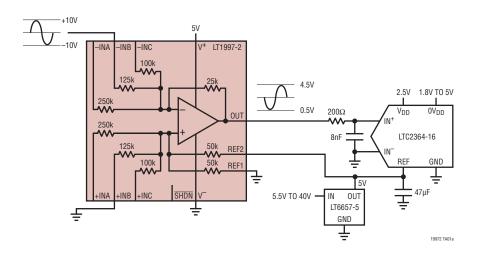
LT®1997-2は、大きな差動信号をADCと互換性のある低電圧範囲に変換するために使用できる減衰(ファンネル)ディファレンス・アンプです。このデバイスは、高精度のオペアンプと高精度にマッチした抵抗を組み合わせてワンチップ・ソリューションを形成し、外付け部品を使用せずに正確に電圧を減衰して、電圧レベルをシフトします。ピンで選択可能な3つの標準ゲイン・オプション(0.1、0.2、0.25)が用意されており、これを更に組み合わせて0.006%(60ppm)の精度で0.0455~0.55(1.82~22の減衰量)の範囲のゲインを形成できます。またLT1997-2は、非常に幅広い入力コモン・モード電圧範囲(±255V)で機能し、要求の厳しい工業環境で堅牢な動作が可能です。抵抗の優れたマッチングにより、105dBを超える同相ノイズ除去比が得られます。

各抵抗は、温度範囲全体で優れたマッチングを維持し、1ppm/°C未満のマッチした温度係数が確保されます。各抵抗は電圧に対して極めて直線的であり、2ppm未満のゲイン非直線性が得られます。

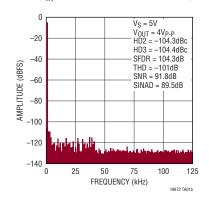
LT1997-2は、5Vおよび $\pm$ 15Vの電源電圧、 $-40^{\circ}$ C~125 $^{\circ}$ Cの温度範囲で完全に仕様規定されています。このデバイスは、省スペースの16ピン MSOPパッケージおよび4mm × 4mm DFN14パッケージで供給されます。

## 代表的なアプリケーション

5V ADC に対する、グラウンドをリファレンスとする20Vp.p 入力信号のインターフェース



#### LTC2364-16 ADCを駆動するLT1997-2 (f<sub>IN</sub> = 1kHz、32768 ポイントFFT)



Rev 0

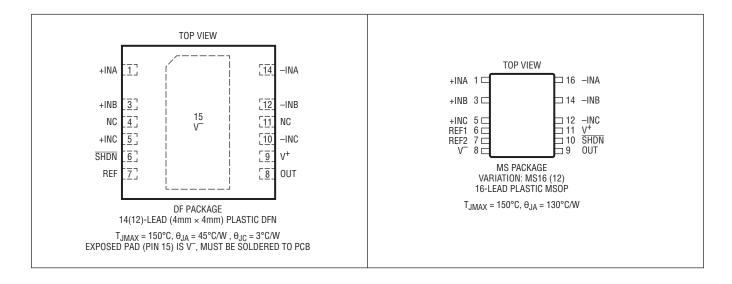
## 絶対最大定格

#### (Note 1)

電源電圧(V+~V-)	60V
+INA、-INA、+INB、-INB、	
+INC, -INC (Note 2)	V <sup>-</sup> ±270V
REF、REF1、REF2	$(V^- + 60V) \sim (V^ 0.3V)$
SHDN	$(V^+ + 0.3V) \sim (V^ 0.3V)$
出力電流(連続)(Note 6)	50mA
出力短絡時間(Note 3)	

温度範囲(Note 4、Note 5)	
LT1997I-2	40°C~85°C
LT1997H-2	40°C∼125°C
最大ジャンクション温度	150°C
保存温度範囲	−65°C~150°C
MSOPピン温度(ハンダ処理、10秒)	300°C

# ピン配置



## 発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング*	パッケージ	規定温度範囲
LT1997IDF-2#PBF	LT1997IDF-2#TRPBF	19972	14-Lead (4mm × 4mm) Plastic DFN	-40°C∼85°C-40°C to 85°C
LT1997HDF-2#PBF	LT1997HDF-2#TRPBF	19972	14-Lead (4mm × 4mm) Plastic DFN	-40°C∼125°C-40°C to 85°C
LT1997IMS-2#PBF	LT1997IMS-2#TRPBF	19972	16-Lead Plastic MSOP	-40°C∼85°C
LT1997HMS-2#PBF	LT1997HMS-2#TRPBF	19972	16-Lead Plastic MSOP	-40°C∼125°C

<sup>\*</sup>温度グレードは出荷時のコンテナのラベルで識別されます。更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 製品名の末尾がPBFのデバイスはRoHSおよびWEEEに準拠しています。

テープ&リールの仕様。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

● は I グレード・デバイスで –40°C < T<sub>A</sub> < 85°C、H グレード・デバイスで –40°C < T<sub>A</sub> < 125°C の全温度範囲での規格値を意味する。 それ以外は T<sub>A</sub> = 25°C での値。ディファレンス・アンプ構成、V<sup>+</sup> = 15V、V<sup>-</sup> = −15V、V<sub>CM</sub> = V<sub>OUT</sub> = V<sub>REF</sub> = V<sub>REF1</sub> = V<sub>REF2</sub> = 0V。V<sub>CMOP</sub> は内部オペアンプのコモン・モード電圧である。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$\Delta G$	Gain Error	V <sub>OUT</sub> = ±2.8V G = 0.1	•		±0.001	±0.006 ±0.008	% %
		$V_{OUT} = \pm 5.6V$ G = 0.2	•		±0.001	±0.006 ±0.008	% %
		$V_{OUT} = \pm 7V$ G = 0.25	•		±0.001	±0.006 ±0.008	% %
$\Delta G/\Delta T$	Gain Drift vs Temperature (Note 6)	$V_{OUT} = \pm 7V$	•		±0.2	±1	ppm/°C
GNL	Gain Nonlinearity	$V_{OUT} = \pm 7V$	•		±1	±2 ±3	ppm ppm
V <sub>0S</sub>	Op Amp Offset Voltage (Note 9)	$V^- < V_{CMOP} < V^+ - 1.75V$	•		±20	±80 ±200	μV μV
$\Delta V_{0S}/\Delta T$	Op Amp Offset Voltage Drift (Note 6)	$V^- < V_{CMOP} < V^+ - 1.75V$	•		±0.5	±1.5	μV/°C
l <sub>B</sub>	Op Amp Input Bias Current	$V^- + 0.25V < V_{CMOP} < V^+ - 1.75V$	•	-5 -15	±2	5 15	nA nA
los	Op Amp Input Offset Current	$V^- + 0.25V < V_{CMOP} < V^+ - 1.75V$	•	-3 -10	±0.5	3 10	nA nA
R <sub>IN</sub>	Input Impedance (Note 8)	Common Mode $G=0.1$ $G=0.2$ $G=0.25$	•	115 63 52	137.5 75 62.5	160 87 73	kΩ kΩ kΩ
		$\label{eq:definition} \begin{split} & \text{Differential} \\ & \text{G} = 0.1 \\ & \text{G} = 0.2 \\ & \text{G} = 0.25 \end{split}$	•	420 210 168	500 250 200	580 290 232	kΩ kΩ kΩ
CMRR	Common Mode Rejection Ratio, Referred to Output, MS16 Package	$G = 0.1, V_{CM} = \pm 28V$	•	105 103	120		dB dB
		$G = 0.2, V_{CM} = \pm 28V$	•	101 99	118		dB dB
		$G = 0.25, V_{CM} = \pm 28V$	•	101 98	118		dB dB
CMRR	Common Mode Rejection Ratio, Referred to Output, DF14 Package	$G = 0.1, V_{CM} = \pm 28V$	•	103 101	118		dB dB
		$G = 0.1, V_{CM} = \pm 255V, V_{S} = \pm 25V$	•	103 101	118		dB dB
		$G = 0.2, V_{CM} = \pm 28V$	•	99 97	116		dB dB
		$G = 0.2, V_{CM} = \pm 140V, V_{S} = \pm 25V$	•	99 97	116		dB dB
		$G = 0.25, V_{CM} = \pm 28V$	•	99 97	116		dB dB
		$G = 0.25, V_{CM} = \pm 115V, V_{S} = \pm 25V$	•	99 97	116		dB dB

● は I グレード・デバイスで –40°C < T<sub>A</sub> < 85°C、H グレード・デバイスで –40°C < T<sub>A</sub> < 125°C の全温度範囲での規格値を意味する。 それ以外は T<sub>A</sub> = 25°C での値。ディファレンス・アンプ構成、V<sup>+</sup> = 15V、V<sup>-</sup> = −15V、V<sub>CM</sub> = V<sub>OUT</sub> = V<sub>REF</sub> = V<sub>REF1</sub> = V<sub>REF2</sub> = 0V。V<sub>CMOP</sub> は 内部オペアンプのコモン・モード電圧である。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>CM</sub>	Input Voltage Range (Note 7)	+INA/-INA +INB/-INB +INC/-INC	•	-255 -140 -115		255 140 115	V V V
ΔR/R	Reference Divider Matching Error $\frac{\Delta R}{R} = \frac{R_{REF1} - R_{REF2}}{\left(\frac{R_{REF1} + R_{REF2}}{2}\right)}$	Available in MS16 Package Only	•		±0.002	±0.009 ±0.011	% %
PSRR	Power Supply Rejection Ratio (Note 9)	$V_S = \pm 1.65 V$ to $\pm 25 V$ , $V_{CM} = V_{OUT} = Mid-Supply$	•	114	124		dB
e <sub>ni</sub>	Output Noise Voltage Density	f = 1kHz G = 0.1 G = 0.2 G = 0.25			37 39 40		nV/√Hz nV/√Hz nV/√Hz
	Output Noise Voltage	f = 0.1Hz to 10Hz G = 0.1 G = 0.2 G = 0.25			0.9 0.95 1		μV <sub>P-P</sub> μV <sub>P-P</sub> μV <sub>P-P</sub>
V <sub>OL</sub>	Output Voltage Swing Low (Referred to V <sup>-</sup> )	No Load I <sub>SINK</sub> = 5mA	•		50 280	150 500	mV mV
V <sub>OH</sub>	Output Voltage Swing High (Referred to V <sup>+</sup> )	No Load ISOURCE = 5mA	•		50 450	150 900	mV mV
I <sub>SC</sub>	Short-Circuit Output Current	$50\Omega$ to V <sup>+</sup> $50\Omega$ to V <sup>-</sup>	•	10 10	30 32		mA mA
SR	Slew Rate	$\Delta V_{OUT} = \pm 7V$	•	0.45	0.75		V/µs
BW	Small Signal –3dB Bandwidth	G = 0.1 G = 0.2 G = 0.25			1 1.2 1.1		MHz MHz MHz
ts	Settling Time	$ \begin{aligned} G &= 0.1 \\ 0.1\%, \ \Delta V_{OUT} &= 10V \\ 0.01\%, \ \Delta V_{OUT} &= 10V \end{aligned} $			15 19		µs µs
		$ G = 0.2 \\ 0.1\%, \ \Delta V_{OUT} = 10V \\ 0.01\%, \ \Delta V_{OUT} = 10V $			16.9 20.6		µs µs
		$ G = 0.25 \\ 0.1\%, \ \Delta V_{OUT} = 10V \\ 0.01\%, \ \Delta V_{OUT} = 10V $			17.1 20.9		μs μs
Vs	Supply Voltage		•	3 3.3		50 50	V V
t <sub>ON</sub>	Turn-On Time				16		μs
V <sub>IL</sub>	SHDN Input Logic Low (Referred to V <sup>+</sup> )		•			-2.5	V
V <sub>IH</sub>	SHDN Input Logic High (Referred to V+)		•	-1.2			V
I <sub>SHDN</sub>	SHDN Pin Current		•		-10	-15	μА
ls	Supply Current	Active, $V_{\overline{SHDN}} \ge V^+ - 1.2V$ Active, $V_{\overline{SHDN}} \ge V^+ - 1.2V$ Shutdown, $V_{\overline{SHDN}} \le V^+ - 2.5V$ Shutdown, $V_{\overline{SHDN}} \le V^+ - 2.5V$	•		350 20	400 600 25 70	μΑ μΑ μΑ Αμ

●はIグレード・デバイスで-40°C < T<sub>A</sub> < 85°C、Hグレード・デバイスで-40°C < T<sub>A</sub> < 125°Cの全温度範囲での規格値を意味する。 それ以外は T<sub>A</sub> = 25°C での値。ディファレンス・アンプ構成、V<sup>+</sup> = 5V、V<sup>-</sup> = 0V、V<sub>CM</sub> = V<sub>OUT</sub> = V<sub>REF</sub> = V<sub>REF1</sub> = V<sub>REF2</sub> = 電源電圧の中点。 V<sub>CMOP</sub> は内部オペアンプのコモン・モード電圧である。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
ΔG	Gain Error	V <sub>OUT</sub> = 1V to 4V G = 0.1	•		±0.001	±0.006 ±0.008	% %
		G = 0.2	•		±0.001	±0.006 ±0.008	% %
		G = 0.25	•		±0.001	±0.006 ±0.008	% %
$\Delta G/\Delta T$	Gain Drift vs Temperature (Note 6)	V <sub>OUT</sub> = 1V to 4V	•		±0.2	±1	ppm/°C
GNL	Gain Nonlinearity	$V_{OUT} = 1V$ to $4V$			±1		ppm
V <sub>OS</sub>	Op Amp Offset Voltage (Note 9)	$V^- < V_{CMOP} < V^+ - 1.75V$	•		±20	±80 ±200	μV μV
$\Delta V_{0S}/\Delta T$	Op Amp Offset Voltage Drift (Note 6)	$V^- < V_{CMOP} < V^+ - 1.75V$	•		±0.5	±1.5	μV/°C
I <sub>B</sub>	Op Amp Input Bias Current	$V^- + 0.25V < V_{CMOP} < V^+ - 1.75V$	•	-5 -15	±2	5 15	nA nA
los	Op Amp Input Offset Current	$V^- + 0.25V < V_{CMOP} < V^+ - 1.75V$	•	-3 -10	±0.5	3 10	nA nA
R <sub>IN</sub>	Input Impedance (Note 8)	Common Mode $G = 0.1$ $G = 0.2$ $G = 0.25$	•	115 63 52	137.5 75 62.5	160 87 73	kΩ kΩ kΩ
		Differential     G = 0.1     G = 0.2     G = 0.25	•	420 210 168	500 250 200	580 290 232	kΩ kΩ kΩ
CMRR	Common Mode Rejection Ratio, Referred to Output, MS16 Package	$G = 0.1, V_{CM} = -25V \text{ to } 10.75V$	•	104 102	120		dB dB
		$G = 0.2, V_{CM} = -12.5V \text{ to } 7V$	•	100 98	118		dB dB
		$G = 0.25$ , $V_{CM} = -10V$ to $6.25V$	•	100 98	118		dB dB
CMRR	Common Mode Rejection Ratio, Referred to Output, DF14 Package	$G = 0.1, V_{CM} = -25V \text{ to } 10.75V$	•	102 100	118		dB dB
		$G = 0.2, V_{CM} = -12.5V \text{ to } 7V$	•	98 96	116		dB dB
		$G = 0.25$ , $V_{CM} = -10V$ to $6.25V$	•	98 96	116		dB dB
ΔR/R	Reference Divider Matching Error $\frac{\Delta R}{R} = \frac{R_{REF1} - R_{REF2}}{\left(\frac{R_{REF1} + R_{REF2}}{2}\right)}$	Available in MS16 Package Only	•		±0.002	±0.009 ±0.011	% %
PSRR	Power Supply Rejection Ratio (Note 9)	$V_S = \pm 1.65 V$ to $\pm 25 V$ , $V_{CM} = V_{OUT} = Mid-Supply$	•	114	124		dB
e <sub>ni</sub>	Output Noise Voltage Density	f = 1kHz G = 0.1 G = 0.2 G = 0.25			37 39 40		nV/√Hz nV/√Hz nV/√Hz

●はIグレード・デバイスで−40°C <  $T_A$  < 85°C、Hグレード・デバイスで−40°C <  $T_A$  < 125°C の全温度範囲での規格値を意味する。 それ以外は  $T_A$  = 25°C での値。ディファレンス・アンプ構成、 $V^+$  = 5V、 $V^-$  = 0V、 $V_{CM}$  =  $V_{OUT}$  =  $V_{REF}$  =  $V_{REF1}$  = 電源電圧の中点。  $V_{CMOP}$  は内部オペアンプのコモン・モード電圧である。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Output Noise Voltage	f = 0.1Hz to 10Hz G = 0.1 G = 0.2 G = 0.25			0.9 0.95 1		μV <sub>P-P</sub> μV <sub>P-P</sub> μV <sub>P-P</sub>
V <sub>0L</sub>	Output Voltage Swing Low (Referred to V <sup>-</sup> )	No Load I <sub>SINK</sub> = 5mA	•		15 280	50 500	mV mV
V <sub>OH</sub>	Output Voltage Swing High (Referred to V <sup>+</sup> )	No Load I <sub>SOURCE</sub> = 5mA	•		15 450	50 800	mV mV
Isc	Short-Circuit Output Current	$50\Omega$ to V <sup>+</sup> $50\Omega$ to V <sup>-</sup>	•	10 10	30 28		mA mA
SR	Slew Rate	$\Delta V_{OUT} = 3V$	•	0.45	0.75		V/µs
BW	Small signal –3dB Bandwidth	G = 0.1 G = 0.2 G = 0.25			1 1.2 1.1		MHz MHz MHz
ts	Settling Time	$\begin{aligned} G &= 0.1 \\ 0.1\%, \ \Delta V_{OUT} &= 2V \\ 0.01\%, \ \Delta V_{OUT} &= 2V \end{aligned}$			7.5 11.7		µs µs
		G = 0.2 0.1%, $\Delta V_{OUT} = 2V$ 0.01%, $\Delta V_{OUT} = 2V$			8.8 13.1		μs μs
		G = 0.25 0.1%, $\Delta V_{OUT} = 2V$ 0.01%, $\Delta V_{OUT} = 2V$			8.7 12.7		μs μs
Vs	Supply Voltage		•	3 3.3		50 50	V
ton	Turn-On Time				22		μѕ
V <sub>IL</sub>	SHDN Input Logic Low (Referred to V <sup>+</sup> )		•			-2.5	V
V <sub>IH</sub>	SHDN Input Logic High (Referred to V <sup>+</sup> )		•	-1.2			V
I <sub>SHDN</sub>	SHDN Pin Current		•		-10	-15	μА
Is	Supply Current	Active, $V_{\overline{SHDN}} \ge V^+ - 1.2V$ Active, $V_{\overline{SHDN}} \ge V^+ - 1.2V$ Shutdown, $V_{\overline{SHDN}} \le V^+ - 2.5V$ Shutdown, $V_{\overline{SHDN}} \le V^+ - 2.5V$	•		330 15	370 525 20 40	Αμ Αμ Αμ Αμ

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2:+INA/-INA/+INB/-INB/+INC/-INC ピンに $\pm 270V$  を入力する際の他の考慮事項については、このデータシートのアプリケーション情報のコモン・モード電圧範囲を参照。

Note 3: ジャンクション温度を絶対最大定格以下に抑えるためにヒートシンクが必要な場合がある。これは、電源、入力電圧、および出力電流によって決まる。

Note 4: LT1997I-2は、-40°C~85°Cの動作温度範囲で機能することが確認されている。LT1997H-2は、-40°C~125°Cの動作温度範囲で機能することが確認されている。

**Note 5:**LT1997I-2は-40°C~85°Cで性能仕様に適合することが確認されている。LT1997H-2は-40°C~125°Cで性能仕様に適合することが確認されている。

Note 6: このパラメータに対しては全数テストは実施されない。

Note 7: 入力電圧範囲は±25VのCMRRテストによって確認している。表に記載された数値の入力電圧範囲では、内部オペアンプは確実に通常の動作領域内で動作する。内部オペアンプが Over-The-Top®動作領域で動作する場合、入力電圧範囲はこれより高くなる。様々な動作条件の下で有効な入力電圧範囲を決定するには、アプリケーション情報のコモン・モード電圧範囲を参照する。

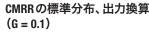
Note 8: 入力インピーダンスは、直接測定とCMRRテストおよびゲイン誤差テストとの相関を組み合わせてテストされている。

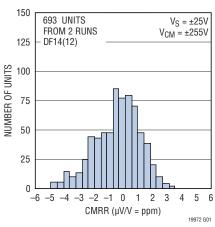
Note 9: オフセット電圧、オフセット電圧ドリフト、および PSRR は、内部オペアンプを基準として定義されている。 出力オフセットの計算方法を以下に示す。 バランスの良いソース抵抗を使用している場合、  $V_{OS,OUT}=(V_{OS}\bullet NOISEGAIN)+(I_{OS}\bullet 25k)+(I_{B}\bullet 25k\bullet (1-Rp/R_N))$ 。ここで、  $R_{P}$  および  $R_{N}$  はそれぞれオペアンプの正の端子と負の端子の全抵抗である。

Rev 0

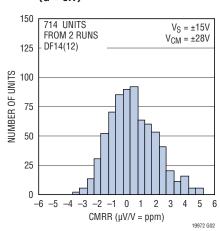
6

詳細:www.analog.com

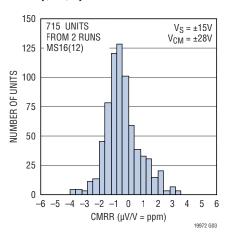




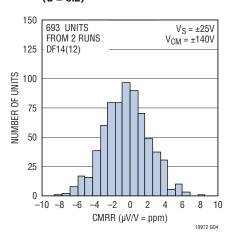
CMRR の標準分布、出力換算 (G = 0.1)



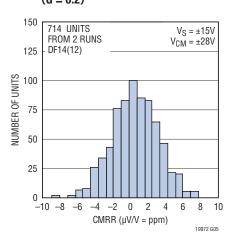
CMRRの標準分布、出力換算 (G = 0.1)



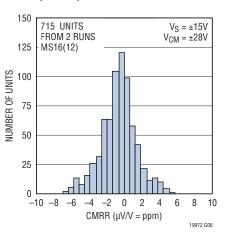
CMRRの標準分布、出力換算 (G = 0.2)



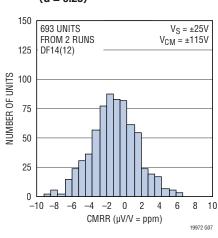
CMRRの標準分布、出力換算 (G = 0.2)



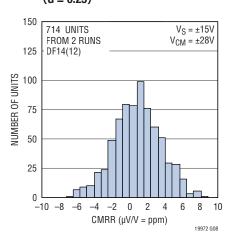
CMRR の標準分布、出力換算 (G = 0.2)



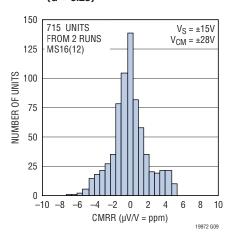
CMRRの標準分布、出力換算 (G = 0.25)



CMRR の標準分布、出力換算 (G = 0.25)

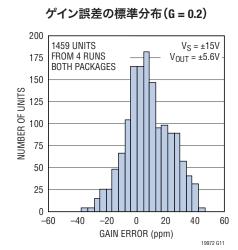


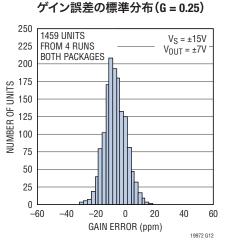
#### CMRRの標準分布、出力換算 (G = 0.25)



Rev 0

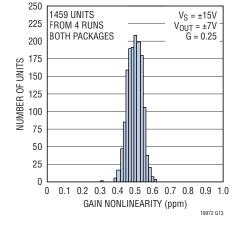
ゲイン誤差の標準分布(G = 0.1) 300 1459 UNITS  $V_S = \pm 15V$ FROM 4 RUNS  $V_{OUT} = \pm 2.8V$ 250 **BOTH PACKAGES** NUMBER OF UNITS 200 150 100 50 0 -60 -40 -20 0 20 40 60 GAIN ERROR (ppm)



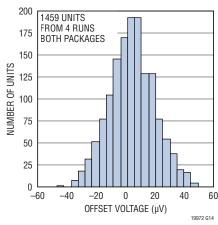


ゲイン非直線性の標準分布

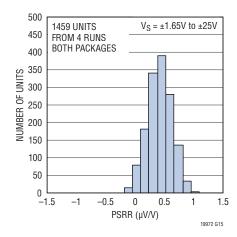
19972 G10



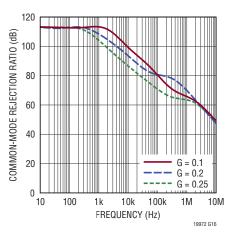
オペアンプのオフセット電圧の 標準分布



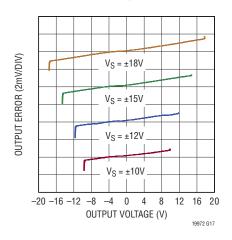
オペアンプの PSRR の標準分布



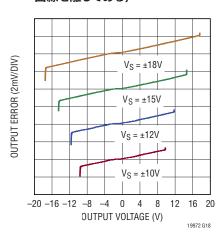
CMRRと周波数、出力換算



R<sub>L</sub> = 10kΩの標準ゲイン誤差 (G = 0.25)(見やすくするため、 曲線を離してある)



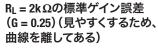
 $R_L = 5k\Omega$ の標準ゲイン誤差 (G = 0.25) (見やすくするため、曲線を離してある)

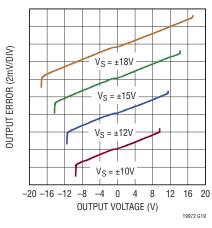


Rev 0

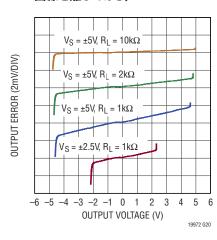
8

詳細:www.analog.com

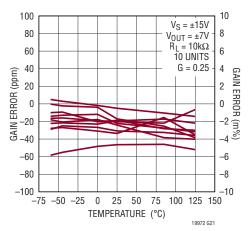




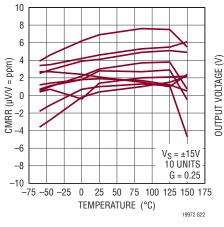
低電源電圧の標準ゲイン誤差 (G = 0.25) (見やすくするため、 曲線を離してある)



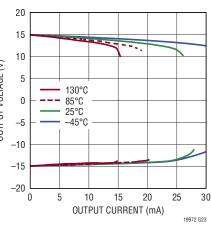
ゲイン誤差と温度



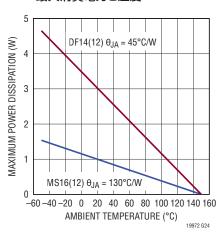
CMRRと温度、出力換算



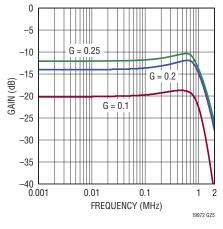
出力電圧と負荷電流



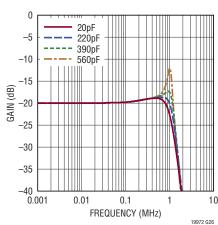
最大消費電力と温度



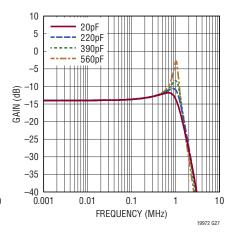
ゲインと周波数



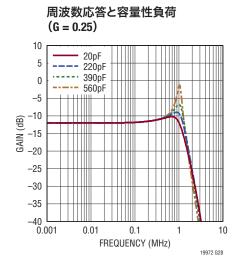
周波数応答と容量性負荷(G = 0.1)

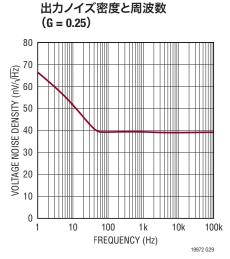


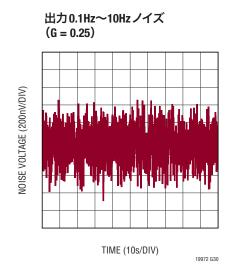
周波数応答と容量性負荷(G = 0.2)

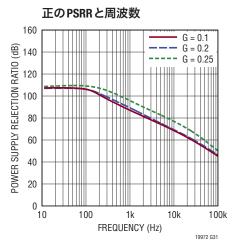


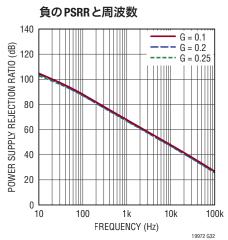
Rev 0

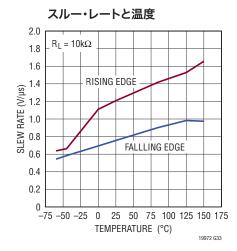


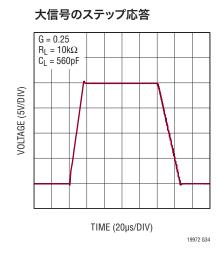


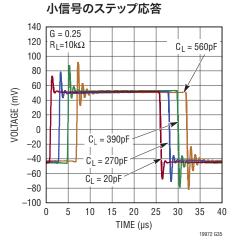


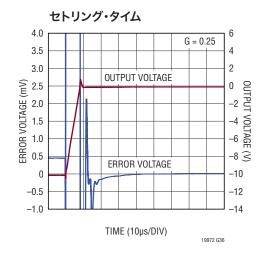




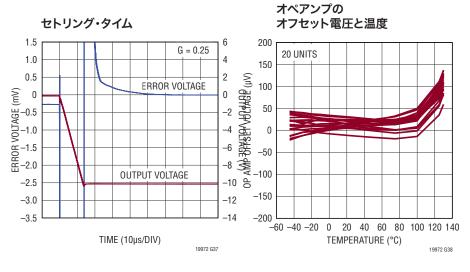


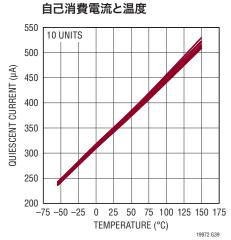


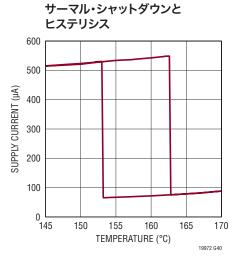


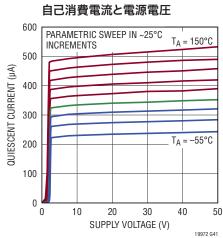


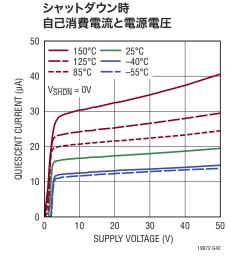
Rev 0

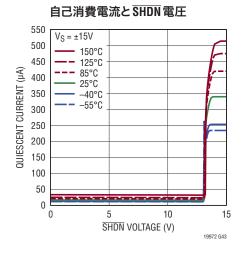


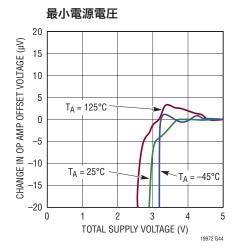












Rev 0

### ピン機能 (DFN/MSOP)

V<sup>+</sup>(ピン9/ピン11):正電源ピン。

V⁻(露出パッド・ピン15/ピン8):負電源ピン。

**OUT(ピン8/ピン9):**出力ピン。

+INA(ピン1/ピン1):ゲインが0.1の非反転入力ピン。内部オペアンプの非反転入力に250k内部抵抗を接続します。

+INB(ピン3/ピン3):ゲインが0.2の非反転入力ピン。内部オペアンプの非反転入力に125k内部抵抗を接続します。

**+INC (ピン5/ピン5)**: ゲインが 0.25 の非反転入力ピン。内部オペアンプの非反転入力に 100k 内部抵抗を接続します。

-INA(ピン14/ピン16): ゲインが0.1の反転入力ピン。内部オペアンプの反転入力に250k内部抵抗を接続します。

-INB(ピン12/ピン14): ゲインが0.2の反転入力ピン。内部オペアンプの反転入力に125k内部抵抗を接続します。

-INC(ピン10/ピン12):ゲインが0.25の反転入力ピン。内部オペアンプの反転入力に100k内部抵抗を接続します。

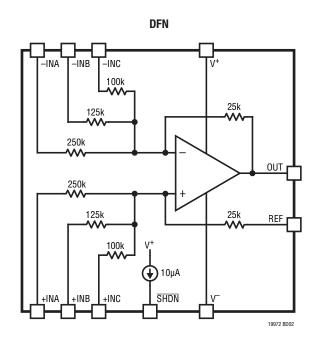
**REF(ピン7/なし)**:リファレンス入力ピン。入力間の電圧差がゼロである場合に、出力レベルを設定します。

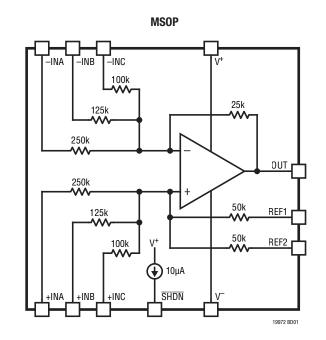
**REF1 (なし/ピン6)**:リファレンス1入力ピン。REF2と共に、入力間の電圧差がゼロである場合に出力レベルを設定します。

**REF2 (なし/ピン7)**:リファレンス2入力ピン。REF1と共に、入力間の電圧差がゼロである場合に出力レベルを設定します。

**SHDN(ピン6/ピン10)**:シャットダウン・ピン。このピンを $V^+$ に接続するか、フロート状態のままにすると、アンプがアクティブになります。このピンの電圧が $V^+$ より2.5Vを超えて下回ると、アンプは低消費電力状態に移行します。

### ブロック図





Rev 0

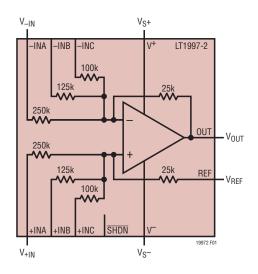


図 1. 両電源動作でのディファレンス・アンプ (ゲイン = 0.1)

#### はじめに

LT1997-2は、高精度、高電圧ファンネル・アンプと高精度にマッチした抵抗回路網を組み合わせた製品です。このデータシートで説明するように、このデバイスは、外付け部品を追加せずに、設定によって各種のゲイン回路を簡単に構築できます。LT1997-2は、基板面積の節約と設計の簡素化のために、小型パッケージに抵抗とオペアンプを組み合わせて提供します。LT1997-2を使用して、高精度の測定回路を簡単に構築できます。この回路は測定アプリケーションに応じて調整可能です。

#### コモン・モード電圧範囲

LT1997-2のコモン・モード電圧範囲は、LT1997-2の入力ピンの許容される電圧範囲と、内部オペアンプの入力電圧範囲によって設定されます。

LT1997-2の内部オペアンプには、次の2つの動作領域があります。

- a) 内部オペアンプの入力のコモン・モード電圧 ( $V_{CMOP}$ ) が  $V^- \sim V^+ 1.75V$  の範囲内になる場合、オペアンプは 通常の領域で動作します。
- b)  $V_{CMOP}$ が  $V^+$  1.75 $V \sim V^-$  + 76V の範囲内になる場合、オペアンプは Over-The-Top (OTT) 領域で動作を継続しますが、性能は低下します (詳細はこのデータシートの Over-The-Top 動作を参照)。

内部オペアンプの入力のコモン・モード電圧  $(V_{CMOP})$  が  $V^-$  より低い場合、LT1997-2 は正常に動作しませんが、 $V_{CMOP}$  が  $V^-$  = 25 V より高く、LT1997-2 のジャンクション温度が 150 C を超えない限り、デバイスは損傷しません。

LT1997-2の入力ピンの電圧は、いかなる場合にも  $V^- + 270V$  を超えてはならず、 $V^- - 270V$  を下回ってはなりません。

内部オペアンプの入力のコモン・モード電圧(CMOP)は、 +INA、+INB、+INC、およびREFピンの電圧によって決まります(入力電圧範囲の計算を参照)。この条件が当てはまるのは、内部オペアンプの出力がクリップされず、内部オペアンプの入力が帰還抵抗によって同じ電圧に維持される場合です。

上記の制限に加えて、入力抵抗の消費電力が大きくなりすぎないように、アンプのコモン・モード入力電圧を選択する必要があります。250k抵抗の消費電力は1.8W未満に抑えなければなりません。125k抵抗の消費電力は0.9W未満、100k抵抗の消費電力は0.72W未満に抑えなければなりません。ほとんどのアプリケーションでは、抵抗が消費電力の制限に達する前に、ピンが電圧の制限に達します。

#### 入力電圧範囲の計算

図2に、一般的なディファレンス・アンプとして構成された(コモン・モード電圧範囲の計算のために入力を短絡させた) LT1997-2を示します。 $R_F$ と $R_G$ の値は、正の入力ピン(+INA、+INB、+INC)とREFピンがどのように接続されているかによって決まります。

重ね合わせにより、以下の式が得られます。

$$V_{CMOP} = V_{EXT} \bullet \frac{R_F}{R_F + R_G} + V_{REF} \bullet \frac{R_G}{R_F + R_G}$$

この式をVEXTについて解くと、次のようになります。

$$V_{EXT} = V_{CMOP} \bullet \left(1 + \frac{R_G}{R_F}\right) - V_{REF} \bullet \frac{R_G}{R_F}$$

しかし、有効な $V_{CMOP}$ 電圧は、ハイサイドは $V_{S+}$  – 1.75V (OTT動作の場合は  $V_{S-}$  + 76V)、ローサイドは $V_{S-}$ までに制限されます。したがって、以下の式が得られます。

MAX 
$$V_{EXT} = (V_S + -1.75) \bullet \left(1 + \frac{R_G}{R_F}\right) - V_{REF} \bullet \frac{R_G}{R_F}$$

および:

MIN 
$$V_{EXT} = (V_S -) \bullet \left(1 + \frac{R_G}{R_F}\right) - V_{REF} \bullet \frac{R_G}{R_F}$$

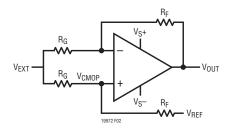


図2. コモン・モード入力電圧範囲の計算

MAX V<sub>EXT</sub>の制限値を超えると、アンプはOver-The-Top領域に移行します。Over-The-Top領域の最大入力電圧は、以下の式で得られます。

MAX 
$$V_{EXTOTT} = (V_S - +76) \cdot \left(1 + \frac{R_G}{R_F}\right) - V_{REF} \cdot \frac{R_G}{R_F}$$

入力電圧範囲の上記のMAX値とMIN値は、V<sup>-</sup> ±270V (LT1997-2の入力ピンの仕様規定されたABSMAX電圧範囲)を超えてはならないことに注意してください。

負の入力(-INA、-INB、-INC)は内部オペアンプのコモン・モード電圧範囲(V<sub>CMOP</sub>)に影響を与えないため、内部オペアンプのコモン・モード電圧範囲によって制限されません。 負の入力は、アンプの出力振幅と、(明らかに入力ピンの許容される電圧範囲によって)制限されます。

#### Over-The-Top動作

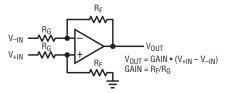
LT1997-2の内部オペアンプの入力コモン・モード電圧  $(V_{CMOP})$ が、 $V^+$ 電源電圧の近くか、それより上にバイアスされると、オペアンプはOver-The-Top (OTT)領域で動作します。オペアンプは、(正電源電圧 $V^+$ に関わらず) $V^-$ より最大76V高い入力コモン・モード電圧で動作を継続しますが、性能は低下します。オペアンプの入力バイアス電流は、 $\pm 2nA$ 未満から $14\mu A$ まで変化します。オペアンプの入力オフセット電流は $\pm 50nA$ まで上昇し、これによって $\pm 1.25mV$ が出力オフセット電圧に追加されます。

加えて、Over-The-Top領域で動作している場合、内部オペアンプの差動入力インピーダンスが、通常動作での1MΩからOver-The-Top動作での約3.7kΩに減少します。この抵抗は内部オペアンプの加算ノードの両端に現れ、ノイズとオフセットを増加させると共に、速度を低下させます。ノイズとオフセットは80%増加し、帯域幅は45%低下します。Over-The-Top動作の詳細については、LT6015のデータシートを参照してください。

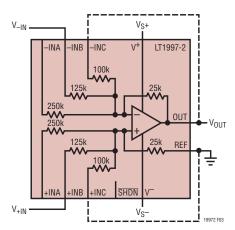
#### ディファレンス・アンプ

LT1997-2は、ディファレンス・アンプとして使用するのに最適です。図3に、基本的な4抵抗ディファレンス・アンプとLT1997-2を示します。この図では0.2の差動ゲイン(減衰 = 5)を示していますが、この値は破線の接続を追加することによって変更できます。25k帰還抵抗に並列に100k抵抗を接続することにより、ゲインは0.16(減衰 = 6.25)に減少します。もちろん、様々なゲインが実現可能です。図4に、様々なゲインのディファレンス・アンプの回路図を示します。

内部オペアンプの入力のコモン・モード電圧(V<sub>CMOP</sub>)は、 +INA、+INB、+INC、およびREFピンの電圧によって設定されることに注意してください。



DIFFERENCE AMPLIFIER CONFIGURATION



DIFFERENCE AMPLIFIER CONFIGURATION IMPLEMENTED WITH THE LT1997-2,  $R_{\rm F}=25\rm k,\,R_{\rm G}=125\rm k,\,GAIN=0.2$  ADDING THE DASHED CONNECTIONS CONNECT THE 100k RESISTOR IN PARALLEL WITH  $R_{\rm F}$ , SO  $R_{\rm F}$  IS REDUCED TO 20k. THE GAIN BECOMES 20k/125k = 0.16

図3. ディファレンス・アンプとして構成されたLT1997-2。 ゲインは適切な抵抗または抵抗の組み合わせを接続することに よって設定される。0.2のゲイン(減衰 = 5)を示しているが、破線 の接続を追加すると0.16のゲイン(減衰 = 6.25)に変更できる

Rev 0

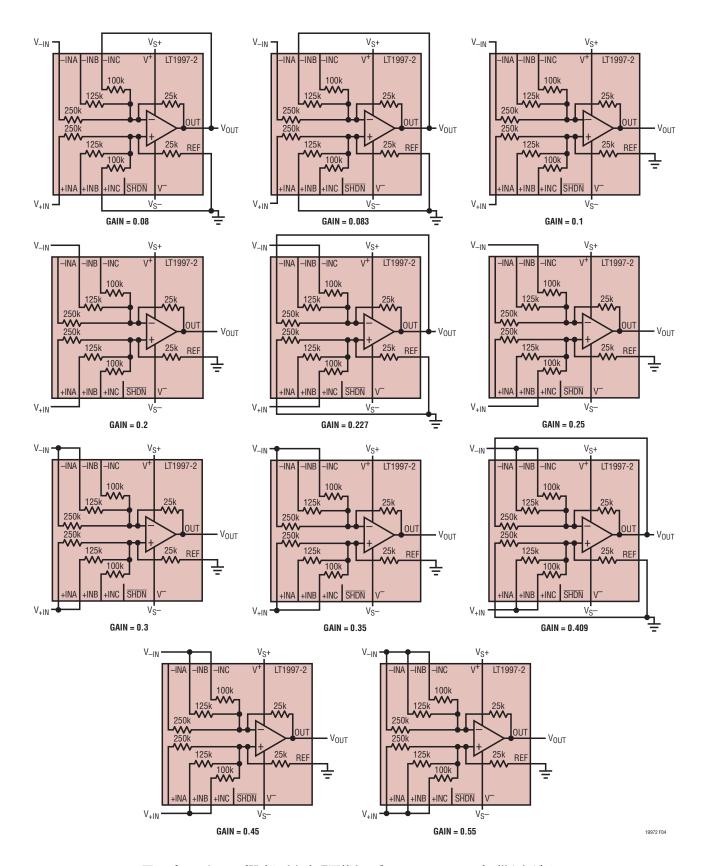
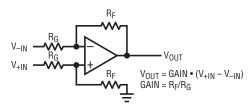


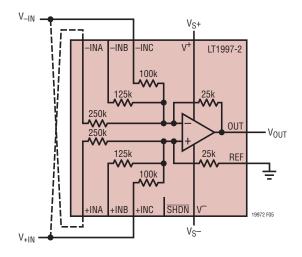
図4. ピン・ストラップ設定により実現可能な、ディファレンス・アンプの様々なゲイン

### ディファレンス・アンプ:クロスカップリングを使用した ゲインの追加

図5に、基本的なディファレンス・アンプと、入力がクロスカップリングされたLT1997-2を示します。破線の接続を追加することで、差動ゲインは0.25から0.15に減少します。この方法で追加のゲインを実現できます。図6に、クロスカップリングを使用したディファレンス・アンプの回路図の例を示します。これらの条件をまとめた表1は、ディファレンス・アンプのすべてのゲイン(減衰)を網羅した一覧と、(従来型またはクロスカップリング型の)ピン・ストラップを使用してこれらのゲインを構築する方法を示しています。(1.8182~22の減衰に対応する)0.0455~0.55の範囲で38種類のゲインがあり、外付け部品を使用せずにLT1997-2だけで実現できます。



DIFFERENCE AMPLIFIER CONFIGURATION



DIFFERENCE AMPLIFIER CONFIGURATION IMPLEMENTED WITH THE LT1997-2,  $R_{\text{F}}=25\text{k},\,R_{\text{G}}=100\text{k},\,\text{GAIN}=0.25$  GAIN CAN BE ADJUSTED BY CROSS-COUPLING THE INPUTS. MAKING THE DASHED CONNECTIONS REDUCES THE GAIN FROM 0.25 TO 0.15

#### 図5. LT1997-2のクロスカップリングによる追加ゲインの構築

### 表1. ディファレンス・アンプのゲイン(減衰)

ゲイン	減衰	V <sub>+IN</sub>	V_IN	GND (REF)	OUT
0.0455	22	-INB, +INC	+INB, -INC	+INA	-INA
0.05	20	-INB, +INC	+INB, -INC		
0.0556	18	-INB, +INC	+INB, -INC	-INA	+INA
0.069	14.5	+INA	-INA	+INB, +INC	-INB, -INC
0.08	12.5	+INA	-INA	+INC	-INC
0.0833	12	+INA	-INA	+INB	-INB
0.0952	10.5	+INA	-INA	-INB, +INC	+INB, -INC
0.1	10	+INA	-INA		
0.1053	9.5	+INA	-INA	+INB, -INC	-INB, +INC
0.125	8	+INA	-INA	-INB	+INB
0.1333	7.5	+INA	-INA	-INC	+INC
0.1481	6.75	+INB	-INB	+INA, +INC	-INA, -INC
0.15	6.6667	-INA, +INC	+INA, -INC		
0.16	6.25	+INB	-INB	+INC	-INC
0.1739	5.75	+INB	-INB	-INA, +INC	+INA, -INC
0.1818	5.5	+INB	-INB	+INA	-INA
0.1875	5.3333	-INA, +INC	+INA, -INC	-INB	+INB
0.1923	5.2	+INC	-INC	+INA, +INB	-INA, -INB
0.2	5	+INB	-INB		
0.2083	4.8	+INC	-INC	+INB	-INB
0.2222	4.5	+INB	-INB	-INA	+INA
0.2273	4.4	+INC	-INC	+INA	-INA
0.24	4.1667	+INA, +INB	-INA, -INB	+INC	-INC
0.25	4	+INC	-INC		
0.2667	3.75	+INB	-INB	-INC	+INC
0.2778	3.6	+INC	-INC	-INA	+INA
0.2917	3.4286	+INA, +INC	-INA, -INC	+INB	-INB
0.3	3.3333	+INA, +INB	-INA, -INB		
0.3077	3.25	+INB	-INB	-INA, -INC	+INA, +INC
0.3125	3.2	+INC	-INC	-INB	+INB
0.35	2.8571	+INA, +INC	-INA, -INC		
0.3571	2.8	+INC	-INC	-INA, -INB	+INA, +INB
0.4	2.5	+INA, +INB	-INA, -INB	-INC	+INC
0.4091	2.4444	+INB, +INC	-INB, -INC	+INA	-INA
0.4375	2.2857	+INA, +INC	-INA, -INC	-INB	+INB
0.45	2.2222	+INB, +INC	-INB, -INC		
0.5	2	+INB, +INC	-INB, -INC	-INA	+INA
0.55	1.8182	+INA, +INB, +INC	-INA, -INB		

Rev 0

16 詳細:www.analog.com

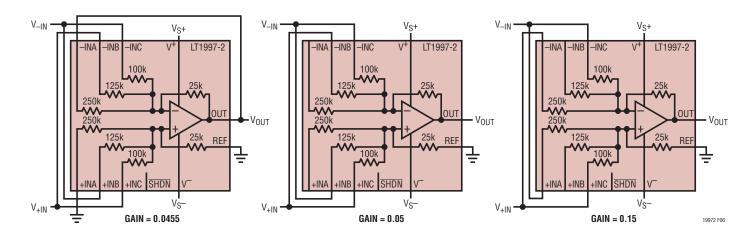


図6. 実現可能なディファレンス・アンプのゲイン増大の例

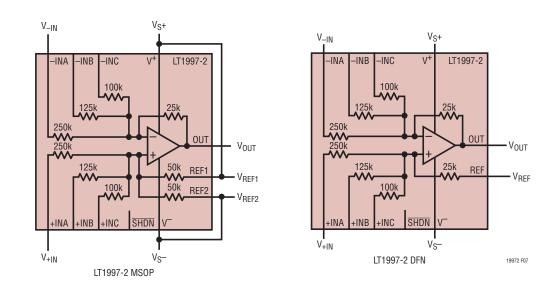


図7. LT1997-2のリファレンス抵抗: MSOPパッケージの分割抵抗、DFNパッケージの単一抵抗

### シングル・エンド入力のアンプ

前のセクションで説明したすべてのディファレンス・アンプ構成は、入力がシングル・エンド入力の場合、非反転アンプまたは反転アンプとして使用可能です。例えば、LT1997-2を使用してシングル・エンド入力で正の減衰を実現するには、 $V_{-IN}$ をグラウンドに接続し、入力信号を $V_{-IN}$ に接続し、入力信号を $V_{-IN}$ に接続し、入力信号を $V_{-IN}$ に接続し、入力信号を $V_{-IN}$ に接続します。

#### リファレンス抵抗

これまでの説明では、リファレンス抵抗を1個の25k抵抗として示しています。これはDFNパッケージのリファレンス抵抗です。MSOPパッケージでは、リファレンス抵抗は2個の50k抵抗に分割されます(図7)。REF1ピンとREF2ピンを同じ電圧に接続すると、DFNパッケージでVREFピンをその電圧に接続した場合と同じリファレンス電圧が得られます。REF1ピンとREF2ピンを異なる電圧に接続すると、得られる実効リファレンス電圧はVREF1とVREF2の平均になります。この

Rev 0

機能は、希望するリファレンス電圧が両電源電圧の中点である場合に特に効果的です。REF1を $V_{S+}$ に接続し、REF2を $V_{S-}$ に接続すると、他の外部リファレンス電圧を使用せずに、電源電圧の中点の電圧が得られます(図7)。 $R_{REF1}$ と $R_{REF2}$ の比は次のように非常に正確です。

$$\frac{\Delta R}{R} = \frac{\left|\frac{R_{REF1} - R_{REF2}}{\left(\frac{R_{REF1} + R_{REF2}}{2}\right)}\right| < 90 ppm$$

#### シャットダウン

LT1997-2はシャットダウン・ピン( $\overline{SHDN}$ )を備えています。通常動作では、このピンを $V^+$ に接続するか、フロート状態にする必要があります。このピンを $V^+$ より2.5V以上低い電圧に接続すると、デバイスは低消費電力状態に移行します。電源電流が25 $\mu$ A未満に減少し、オペアンプの出力が高インピーダンスになります。シャットダウン・モードでも入力ピンに電圧がかかることがあります。

#### 電源電圧

LT1997-2の正電源ピンは、小容量コンデンサ (標準 $0.1 \mu F$ ) を電源ピンのできるだけ近くに配置してバイパスします。 重い負荷を駆動するときには、 $4.7 \mu F$ の電解コンデンサを追加する必要があります。 両電源を使用するときは、 $V^-$ 電源ピンでも同様です。

#### 出力

LT1997-2の出力は、通常は無負荷時にいずれかの電源レールの50mVの範囲内で振幅し、25°Cで約30mAの電流の引き込みおよび引き出しが可能です。LT1997-2は、任意の出力負荷条件で少なくとも0.5nFのコンデンサを駆動するように内部で補償されます。容量性負荷が0.5nFより大きい場合は、出力とグラウンドの間の $150\Omega$ の抵抗に直列に $0.22\mu$ Fのコンデンサを接続すると、このアンプは0.5nFより大きな容量性負荷を駆動するように補償されます。

#### 歪み

LT1997-2は、内部オペアンプが通常動作領域内で動作しているときの優れた歪み性能を特長としています。LT1997-2の内部オペアンプがOver-The-Top領域で動作しているときは、

オペアンプのループ・ゲインが低下するため、歪みが増大します。LT1997-2の動作中に入力コモン・モード電圧が通常動作からOver-The-Top動作に移行すると、オペアンプは2種類の入力段の間を遷移する必要があるので、LT1997-2の直線性が著しく低下します。また、25kの内部帰還抵抗より大幅に小さい抵抗性負荷を駆動すると、アンプの直線性性能は低下します。

#### ピン間隔が拡張された高電圧ピン

LT1997-2のピンは、入力電圧の非常に高いアプリケーションでプリント基板(PCB)レイアウトの負担を軽減できるように配置されています。このデータシートのピン配置に示すように、+INA、-INA、+INB、および-INB入力ピンの電圧は、ピンの間隔を広げることによって他のピンから切り離されています。

#### 消費電力に関する検討事項

LT1997-2は、非常に高い入力電圧に耐えて重い負荷を駆動するために、最大±25Vの電源電圧で動作することができるので、ダイのジャンクション温度が150°Cを超えないようにする必要があります。LT1997-2は、DF14パッケージ( $\theta_{JA}$  = 45°C/W、 $\theta_{JC}$  = 3°C/W) およびMS16パッケージ( $\theta_{JA}$  = 130°C/W)に収納されます。

一般的に、ダイのジャンクション温度 $(T_J)$ は、周囲温度 $(T_A)$ 、デバイスの消費電力 $(P_D)$ 、およびデバイスと基板の熱抵抗 $(\theta_{JA})$ から次のように概算することができます。

$$T_J = T_A + P_D \bullet \theta_{JA}$$

ジャンクションから周囲環境への熱抵抗  $(\theta_{JA})$ は、ジャンクションから露出パッドへの熱抵抗  $(\theta_{JC})$ と露出パッドから周囲環境への熱抵抗  $(\theta_{CA})$ の和になります。 $\theta_{CA}$ の値は、基板内で露出パッドに接続される PCB 金属面をどれだけ広くするかに依存します。接続する PCB 金属面を広くするほど、 $\theta_{CA}$ と $\theta_{JA}$ は小さくなります。

電力損失は、アンプの自己消費電流、抵抗性負荷を駆動する出力電流、LT1997-2の内部抵抗回路網を駆動する入力電流によって発生します。

$$P_D = ((V_S + - V_S -) \cdot I_S) + P_{OD} + P_{RESD}$$

Rev 0

18

詳細:www.analog.com

特定の電源電圧では、最も厳しい出力消費電力PoD(MAX)は、いずれかの電源電圧の半分の出力電圧で発生します。 PoD(MAX)は次式で求められます。

$$P_{OD(MAX)} = \frac{(V_S/2)^2}{R_{LOAD}}$$

内部抵抗で消費される電力(PRESD)は、入力抵抗の設定方法と、入力電圧、出力電圧、およびREFピンの電圧に依存します。以下の式および図8に、LT1997-2の内部抵抗の各グループに対応したPRESDの各成分を示します。ここでは、両電源構成のLT1997-2を、REFピンがグランドの状態で使用すると仮定しています(以下の式で使用している抵抗に関する用語については、図3を参照)。

$$P_{RESDA} = \frac{\left(V_{+IN}\right)^2}{R_G + R_E}$$

$$P_{RESDB} = \frac{\left(V_{-IN} - V_{+IN} \bullet \frac{R_F}{R_G + R_F}\right)^2}{R_G}$$

$$P_{RESDC} = \frac{\left(V_{+IN} \bullet \frac{R_F}{R_G + R_F} - V_{OUT}\right)^2}{R_F}$$

 $P_{RESD} = P_{RESDA} + P_{RESDB} + P_{RESDC}$ 

一般に、PRESDは、入力電圧が高いほど、また出力電圧と REFピンの電圧が低いほど増加します。

例: プリント基板に実装されたDFNパッケージのLT1997-2 の熱抵抗は $45^{\circ}$ C/Wです。 $\pm 25$ V電源で動作し、 $V_{+IN}=255$ V およびREF = 0Vで2.5k $\Omega$ の負荷を12.5Vで駆動するとき、総電力損失は次式で求められます。

$$P_{D} = (50 \cdot 0.6 \text{mA}) + \frac{12.5^{2}}{2.5 \text{k}} + \frac{255^{2}}{275 \text{k}}$$
$$+ \frac{\left(130 - \frac{255}{11}\right)^{2}}{250 \text{k}} + \frac{\left(\frac{255}{11} - 12.5\right)^{2}}{25 \text{k}}$$
$$= 0.38 \text{W}$$

熱抵抗を $45^{\circ}$ C/Wと仮定すると、ダイ温度は周囲温度を $17^{\circ}$ C 上回ります。これにより、上の条件でLT1997-2を動作させる最大周囲温度は次のようになります。

$$T_A = 150^{\circ}C - 17^{\circ}C = 133^{\circ}C$$

DFNパッケージの露出パッドに接続するPCB 金属面をできるだけ広くすることを推奨します。露出パッドに接続するPCB金属面を広くするほど、熱抵抗は低くなります。露出パッドに接続するPCB金属面を広くすることで、 $\theta_{JA}$ を45°C/W未満まで小さくできます。露出パッドから $V^-$ プレーンへは複数のビアを使用します。露出パッドは $V^-$ ピンに電気的に接続されます。また、最大ジャンクション温度近くで動作する場合は、ヒートシンクが必要なことがあります。

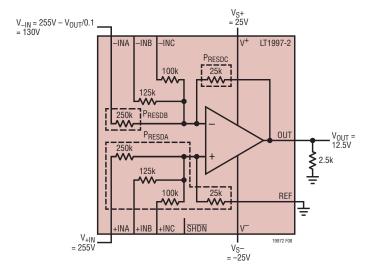


図8. 消費電力の例

MSOPパッケージには露出パッドがないため、熱抵抗が高くなります ( $\theta_{JA} = 130^{\circ}$ C/W)。 MSOPパッケージは、周囲温度が高いアプリケーション、重い負荷を駆動する必要があるアプリケーション、または極端な入力電圧を必要とするアプリケーションでは使用しないでください。

#### サーマル・シャットダウン

LT1997-2は、ダイ温度が約163°Cに上昇した場合、安全のためにシャットダウン・モードに移行します。このサーマル・シャットダウンは、約9°Cのヒステリシスを備えており、アンプを再びイネーブルするには、ダイ温度が9°C下がる必要があります。

#### ESD保護

LT1997-2は多くのESD構造によって保護されます。これらの構造を図9に示します。

ESD構造は、内部回路を保護するだけでなく、特定のノードの信号振幅を制限するのにも役立ちます。内部オペアンプ入力上のESD構造により、これらのノードの電圧は、Vより 0.3V低い電圧とVより 80V高い電圧までに制限されます。

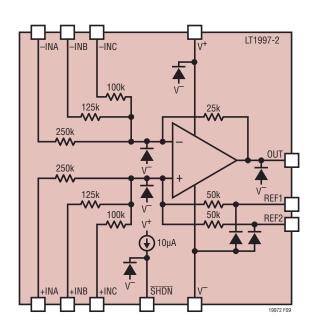


図9. ESD 保護

REF(DFN)、REF1(MSOP)、およびREF2(MSOP)ピンの電 Eは、V<sup>-</sup>より0.3V低い電圧と V<sup>-</sup>より60V高い電圧までに 制限されます。SHDNピンの電圧は、V<sup>-</sup>より0.3V低い電圧と V<sup>+</sup>より0.3V高い電圧までに制限されます。

#### 入力電圧の直接測定

LT1997-2の入力ピンは最大±255Vの電圧に耐えるため、減衰係数を最高の値に設定すると、60Hz、120VAC入力電圧を直接検出することができます。図10に示す回路は、入力信号とニュートラル信号を直接測定します。この回路のグラウンドは適切な方法でアース接続できます。ニュートラル電圧は、通常はアースに近いレベルになります。LT1997-2は様々なコモン・モード・レベルの高電圧を検出できるので、このように極めて簡素な実装が可能となります。

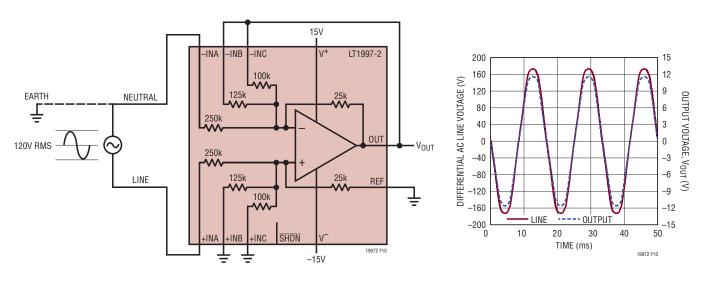
#### ハイサイド高電圧の測定

一部のアプリケーションでは、高入力電圧を基準として電位が上昇します。例として、一部のLED電流制御電力変換トポロジでは、LEDが高電圧側に配置されます。更に興味深いことに、この高入力電圧は移動することがあります。最新の電球などのオフラインLED変換では、整流後の入力電圧に固定されたLEDが使用されることがあります。

図11の回路は、LT3590を使用してLED電流を制御します。 ゲインが0.08V/Vに設定されたLT1997-2は、LEDのオープ ン・サーキット障害状態を検出できます。LEDがオープン・ サーキットになると、(LT1997-2によって検出される) LED 両端の電圧は上昇します。この電圧が41.25Vに達すると、 LT1997-2の出力は3.3Vより高くなり、障害状態を示します。

整流後のAC主電源を基準とする大きな電圧を減衰して、システムの低電圧回路にシフトできます。図12に、このタイプの機能を示します。非絶縁降圧パワー・コンバータを利用したオフラインLED照明は、このような例の1つです。

Rev 0



LT1997-2 CONFIGURED FOR GAIN = 0.069 (ATTENUATION = 14.5)

図10. 入力電圧(120VAC、60Hz)の直接測定

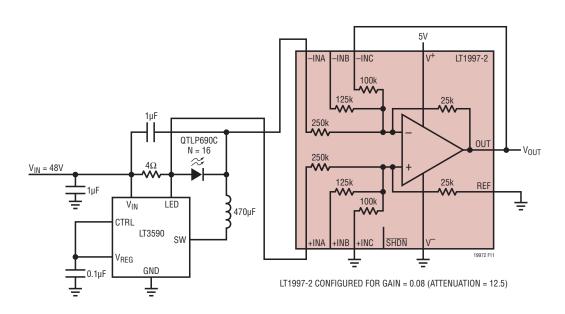
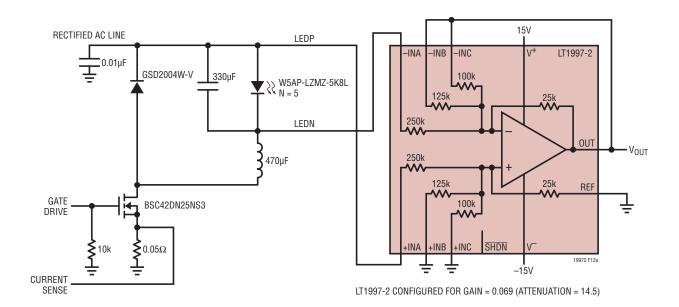


図11. LED オープン・サーキット障害状態の検出



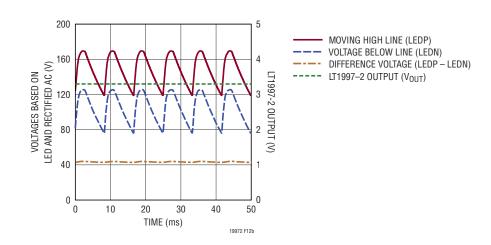
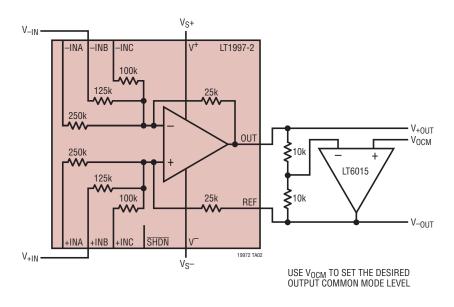


図12. 整流済みACを基準とするLEDコモン・モード電圧の振幅

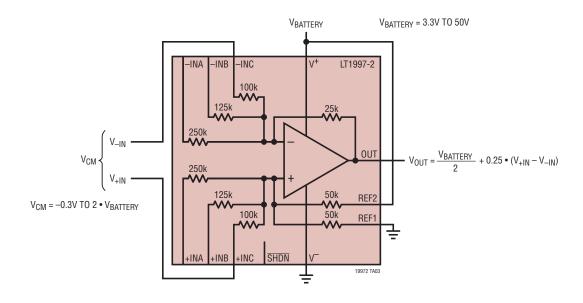
Rev 0

# 代表的なアプリケーション

### 差動出力用に構成された、ゲイン = 0.2のLT1997-2



### 高精度 Over-The-Top 単電源ファンネル・アンプ

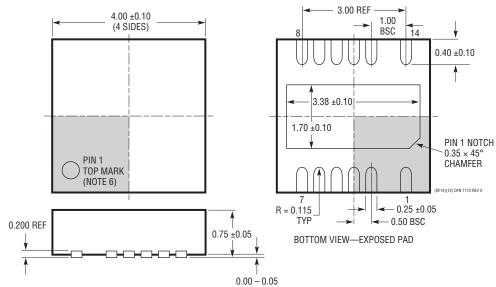


## パッケージ

#### **DF Package** 14(12)-Lead Plastic DFN (4mm × 4mm) (Reference LTC DWG # 05-08-1963 Rev Ø)

3.00 REF 1.00 BSC 0.70 ±0.05 4.50 ±0.05 1.70 ±0.05  $3.10 \pm 0.05$ 3.38 ±0.05 PACKAGE OUTLINE **←** 0.25 ±0.05 **←** 0.50 BSC

> RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



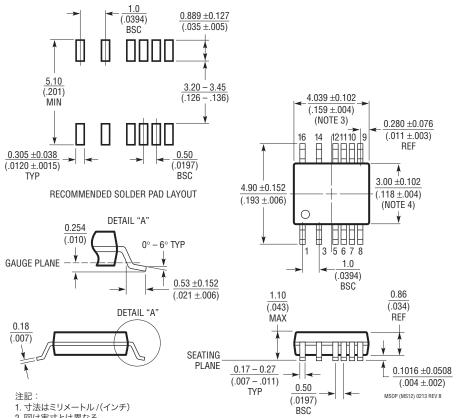
- 注記・
  1. パッケージの外形は JEDEC MO-229 に適合していない
  2. 図は実寸とは異なる
  3. 全ての寸法はミリメートル
  4. パッケージ底面の露出パットの寸法にはモールドのパリを含まない。
  - モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
- 5. 露出パッドはハンダ・メッキとする 6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

Rev 0

## パッケージ

### **MS Package** 16 (12)-Lead Plastic MSOP with 4 Pins Removed

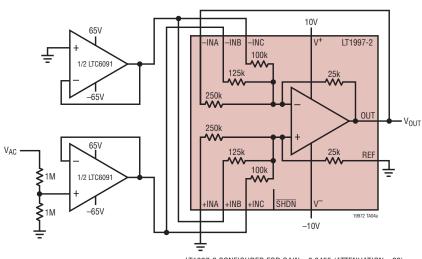
(Reference LTC DWG # 05-08-1847 Rev B)

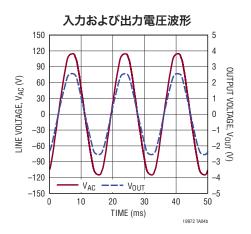


- 2. 図は実寸とは異なる 3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。 モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm(0.006°)を超えないこと
- 4. 寸法には、ピン間のバリまたは突出部を含まない。 ピン間のバリまたは突出部は、各サイドで 0.152mm(0.006")を超えないこと
- 5. ピンの平坦度(整形後のピンの底面)は最大 0.102mm (0.004")であること

## 代表的なアプリケーション

### 高電圧検出用のファンネル計装アンプ





LT1997-2 CONFIGURED FOR GAIN = 0.0455 (ATTENUATION = 22)

## 関連製品

製品番号	概要	注釈						
ディファレンス・	ディファレンス・アンプ							
LT1997-3	電圧範囲の広い、ゲインを選択可能な高精度アンプ	動作電圧:3.3V~50V、CMRR > 91dB、入力電圧:±160V、ゲイン = 1、3、9						
LT6375	コモン・モード電圧範囲が±270Vの差電圧アンプ	動作電圧:3.3V~50V、CMRR > 97dB、入力電圧:±270V、ゲイン = 1						
LT6376	コモン・モード電圧範囲が±230V、G = 10の差電圧アンプ	動作電圧:3.3V~50V、CMRR > 90dB、入力電圧:±230V、ゲイン = 10						
LT1990	入力電圧範囲が±250Vの差電圧アンプ	動作電圧: 2.7V~36V、CMRR > 70dB、入力電圧: ±250V、ゲイン = 1、10						
LT1991	高精度、100µA、ゲイン選択可能アンプ	動作電圧:2.7V~36V、オフセット電圧:50µV、CMRR > 75dB、入力電圧:±60V						
LT1996	高精度、100µA、ゲイン選択可能アンプ	マイクロパワー、ピンで選択可能な最大ゲイン:118						
AD8275	G=0.2のレベル変換16ビットADCドライバ	動作電圧:3.3V~15V、CMRR > 86dB、入力電圧:-35V~40V、ゲイン = 0.2						
AD8475	ゲイン選択可能な高精度フル差動ファンネル・アンプ	動作電圧:3.3V~10V、CMRR > 86dB、入力電圧:±15V、ゲイン = 0.4、0.8						
オペアンプ								
LT6015/ LT6016/LT6017	シングル、デュアル、およびクワッド Over-The-Top 高精度 オペアンプ	3.2MHz, 0.8V/μs, V <sub>OS</sub> :50μV, V <sub>S</sub> :3V~50V, I <sub>S</sub> :0.335mA, RRIO						
LT6018	33V、超低ノイズ、高精度オペアンプ	V <sub>OS</sub> :50μV、GBW:15MHz、SR:30V/μs、en:1.2nV/√Hz、I <sub>S</sub> :7.2mA						
LTC6090/ LTC6091	シングルおよびデュアル140Vオペアンプ	I <sub>B</sub> :50pA、V <sub>OS</sub> :1.6mV、V <sub>S</sub> :9.5V~140V、I <sub>S</sub> :4.5mA、RR出力						
電流検出アンプ								
LT1999	高電圧の双方向電流検出アンプ	入力コモン・モード電圧範囲:-5V~80V、オフセット電圧750µV、CMRR 80dB (100kHz時)、ゲイン= 10、20、50						
LT6108	リファレンス、コンパレータ、シャットダウン機能を備えた ハイサイド電流検出アンプ	動作電圧:2.7V~60V、オフセット電圧:125 µV、抵抗によるゲイン設定、閾値 誤差:±1.25%						
LT1787/ LT1787HV	高精度、双方向ハイサイド電流検出アンプ	動作電圧: 2.7V~60V、オフセット電圧: 75 µV、消費電流: 60 µA						
LT6100	ゲイン選択可能なハイサイド電流検出アンプ	動作電圧:4.1V~48V、ピンで選択可能なゲイン:10V/V、12.5V/V、20V/V、25V/V、40V/V、50V/V						
LTC6101/ LTC6101HV	高電圧、ハイサイド電流検出アンプ	動作電圧:4V~60V/5V~100V、外付け抵抗によるゲイン設定、SOT23						
LTC6102/ LTC6102HV	ゼロドリフト・ハイサイド電流検出アンプ	動作電圧:4V~60V/5V~100V、オフセット電圧:±10 μV、ステップ応答:1 μs、MSOP8/DFNパッケージ						
LTC6104	双方向、ハイサイド電流検出	4V~60V、ゲインを構成可能、8ピンMSOPパッケージ						