

6チャンネル・バッテリー・スタック・モニタ

特長

- 最大6個の直列バッテリー・セルを測定
- 最大全測定誤差: 1.8mV
- スタック可能なアーキテクチャで数百セルをサポート
- isoSPI™インターフェースを内蔵
- 290μsでシステム内の全てのセルを測定
 - 1Mbの分離シリアル通信
 - 単一のツイスト・ペアを使用(最大100m)
 - 低いEMI感度およびEMI放射
 - 双方向により破損ワイヤを保護
- 5Vでの性能を確保
- 冗長セル測定を実行
- ISO 26262 準拠システム用に設計
- プログラマブルなパルス幅変調によるパッシブ・セル・バランス
- 4個の汎用デジタルI/Oまたはアナログ入力
 - 温度やその他のセンサー入力
 - I²CまたはSPIマスタとして設定可能
- スリープ・モード電源電流: 4μA
- 44ピンSSOPパッケージ

アプリケーション

- 電気自動車およびハイブリッド電気自動車
- バックアップ・バッテリー・システム
- グリッド蓄電システム
- 高出力携帯機器

概要

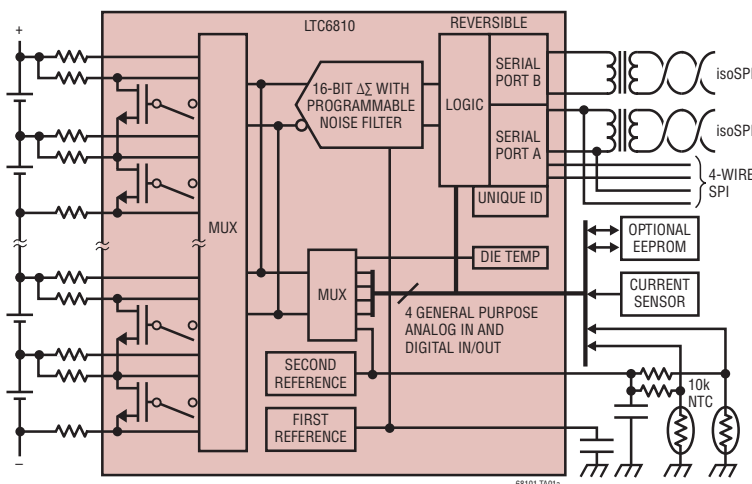
LTC®6810はマルチセル・バッテリー・スタック・モニタです。LTC6810は、全測定誤差1.8mV未満で最大6個の直列接続されたバッテリー・セルを測定できます。LTC6810のセル測定範囲は0V~5Vで、ほとんどのバッテリーの組成に適しています。6個全てのセルを290μsで測定することができ、高いノイズ低減効果のためにデータ・アキュイジション・レートを下げることがもできます。

複数のLTC6810-1デバイスを直列接続すれば、長い高電圧バッテリー・ストリングのセルを同時に監視することも可能です。各LTC6810は、RF耐性のある高速長距離通信用のisoSPIインターフェースを備えています。LTC6810-1を使用して複数のデバイスを接続するには、デジジー・チェーン構成で全てのデバイスを1つのホスト・プロセッサに接続します。LTC6810-1は双方向動作をサポートしているため、ワイヤが損傷しても通信できます。LTC6810-2を使用して複数のデバイスをホスト・プロセッサに並列接続する場合は、各デバイスを個別にアドレス指定します。

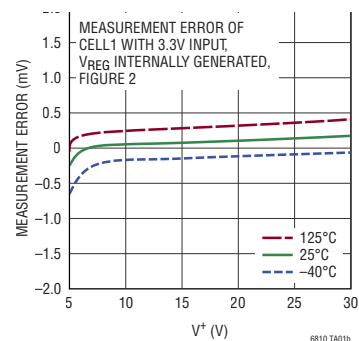
LTC6810はバッテリー・スタックまたは絶縁された電源から直接給電できます。LTC6810には、各セルにパッシブ・バランスが備わっており、各セルに対して個々のPWMデューティ・サイクル制御が行われます。また冗長セル測定機能も搭載しています。その他の機能には、オンボード5Vレギュレータ、4個の汎用I/Oライン、電流消費を4μAまで低減できるスリープ・モードなどがあります。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



測定誤差とV⁺



目次

特長	1
アプリケーション	1
標準的応用例	1
概要	1
絶対最大定格.....	3
ピン配置.....	3
発注情報.....	4
電気的特性.....	4
代表的な性能特性	10
ピン機能.....	17
ブロック図	18
動作	20
ステート・チャート図	20
LTC6810のコアのステートの説明	20
isoSPIステートの説明	21
消費電力	21
VREGの構成.....	22
ADCの動作	23
データ・アキュイジション・システムの診断.....	28
ウォッチドッグ・タイマーと放電タイマー	36
セル・バランスに対応したSピンのパルス幅変調.....	38
放電タイマー・モニタ	38
GPIOを使用するLTC6810のI ² C/SPIマスタ	38
Sピンのミュート	42
シリアルIDと認証.....	43
シリアル・インターフェースの概要	43
4線式シリアル・ペリフェラル・インターフェース(SPI)の物理層	43
データ・リンク層	53
ネットワーク層	53
アプリケーション情報.....	68
DC電力の供給	68
内部保護とフィルタリング	69
セル・バランス.....	70
セル測定時の放電制御.....	72
デジタル通信	74
高度なアプリケーション	83
外部温度プローブの読取り.....	83
パッケージ.....	85
標準的応用例.....	86
関連製品.....	86

絶対最大定格 (Note 1)

全電源電圧、 $V^+ \sim V^-$	37.5V
入力電圧 (V^- 基準)	
C0	-0.3V ~ 5V
S0	-0.3V ~ 21V
C(n)、S(n) n = 1 ~ 3	-0.3V ~ 21V
C(n)、S(n) n = 4 ~ 5	-0.3V ~ 37.5V
C(6)、S(6)	-0.3V ~ 最小 ($V^+ + 5.5V$, 37.5V)
IPA、IMA、IPB、IMB	-0.3V ~ $V_{REG} + 0.3V$, $\leq 6V$
DRIVE	-0.3V ~ 7V
その他の全てのピン	-0.3V ~ 6V
入力間電圧	
C(n) ~ C(n-1)	-0.3V ~ 21V
S(n) ~ C(n-1)	-0.3V ~ 21V
C6 ~ C3	-0.3V ~ 21V
C3 ~ C0	-0.3V ~ 21V

S6 ~ S4	-0.3V ~ 21V
S4 ~ S2	-0.3V ~ 21V
S2 ~ S0	-0.3V ~ 21V
S6 ~ C3	-0.3V ~ 21V
ピンへの流入電流 / ピンからの流出電流	
V_{REG} 、IPA、IMA、IPB、IMB、S(n) を除く全てのピン	10mA
IPA、IMA、IPB、IMB	30mA
動作温度範囲	
LTC6810I	-40°C ~ 85°C
LTC6810H	-40°C ~ 125°C
規定温度範囲	
LTC6810I	-40°C ~ 85°C
LTC6810H	-40°C ~ 125°C
ジャンクション温度	150°C
保存温度範囲	-65°C ~ 150°C

ピン配置

LTC6810-1	TOP VIEW G PACKAGE 44-LEAD PLASTIC SSOP $T_{JMAX} = 150^\circ\text{C}$, $\theta_{JA} = 50^\circ\text{C/W}$ **PINS 1, 21-24, 43 AND 44 ARE FUSED TO THE LEADFRAME. THEY SHOULD BE CONNECTED TO V^- PIN 29 **THE FUNCTION OF THESE PINS DEPENDS ON THE CONNECTION OF ISOMD ISOMD TIED TO V^-: CSB, SCK, SDI, SDO ISOMD TIED TO V_{REG}: IMA, IPA, NC, NC	LTC6810-2	TOP VIEW G PACKAGE 44-LEAD PLASTIC SSOP $T_{JMAX} = 150^\circ\text{C}$, $\theta_{JA} = 50^\circ\text{C/W}$ **PINS 1, 21-24, 43 AND 44 ARE FUSED TO THE LEADFRAME. THEY SHOULD BE CONNECTED TO V^- PIN 29 **THE FUNCTION OF THESE PINS DEPENDS ON THE CONNECTION OF ISOMD ISOMD TIED TO V^-: CSB, SCK, SDI, SDO ISOMD TIED TO V_{REG}: IMA, IPA, ICMP, IBIAS
-----------	---	-----------	--

LTC6810-1/LTC6810-2

発注情報

チューブ	テープ&リール	製品マーキング	パッケージ	規定温度範囲
LTC6810IG-1#3ZZPBF	LTC6810IG-1#3ZZTRPBF	LTC6810G-1	44-Lead Plastic SSOP	-40 °C to +85 °C
LTC6810HG-1#3ZZPBF	LTC6810HG-1#3ZZTRPBF	LTC6810G-1	44-Lead Plastic SSOP	-40 °C to 125 °C
LTC6810IG-2#3ZZPBF	LTC6810IG-2#3ZZTRPBF	LTC6810G-2	44-Lead Plastic SSOP	-40 °C to +85 °C
LTC6810HG-2#3ZZPBF	LTC6810HG-2#3ZZTRPBF	LTC6810G-2	44-Lead Plastic SSOP	-40 °C to 125 °C

*温度グレードは出荷時のコンテナのラベルで識別されます。
製品名の末尾がPBFのデバイスはRoHSおよびWEEEに準拠しています。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^{\circ}\text{C}$ での値。試験条件は注記がない限り、 $V^+ = 19.8\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADC の DC 仕様						
	Measurement Resolution			0.1		mV/bit
	ADC Offset Voltage	(Note 2)		0.1		mV
	ADC Gain Error	(Note 2)	●	0.03 0.06		% %
	Total Measurement Error (TME) in Normal Mode (Note 3)	C(n) to C(n-1), S(n) to S(n-1), GPIO(n) to $V^- = 0$		±0.2		mV
		C(n) to C(n-1) = 2.0, GPIO(n) to $V^- = 2.0$ S(n) to S(n-1) = 2.0		±0.1	±1.2 ±1.7	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$ S(n) to S(n-1) = 2.0	● ●		±1.6 ±2.2	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$ S(n) to S(n-1) = 3.3		±0.2	±1.8 ±2.5	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$ S(n) to S(n-1) = 3.3	● ●		±2.4 ±3.2	mV mV
		C(n) to C(n-1) = 4.2 S(n) to S(n-1) = 4.2		±0.3	±2.3 ±3.2	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$ S(n) to S(n-1) = 4.2	● ●		±3.1 ±4.1	mV mV
		C(n) to C(n-1), S(n) to S(n-1), GPIO(n) to $V^- = 5.0$		±1		mV
		Sum of Cells	●	±0.1	±0.25	%
		Internal Temperature, T = Maximum Specified Temperature		±5		°C
		V _{REG} Pin	●	±0.1	±0.25	%
		V _{REF2} Pin	●	±0.02	±0.1	%
		Digital Supply Voltage, V _{REGD}	●	±0.1	±1	%

電氣的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。試験条件は注記がない限り、 $V^+ = 19.8\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Total Measurement Error (TME) in Filtered Mode (Note 3)	C(n) to C(n-1), S(n) to S(n-1), GPIO(n) to $V^- = 0$		± 0.1		mV
		C(n) to C(n-1) = 2.0, GPIO(n) to $V^- = 2.0$ S(n) to S(n-1) = 2.0		± 0.1	± 1.2 ± 1.7	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$ S(n) to S(n-1) = 2.0	● ●		± 1.6 ± 2.2	mV mV
		C(n) to C(n-1) = 3.3 S(n) to S(n-1) = 3.3		± 0.2	± 1.8 ± 2.5	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$ S(n) to S(n-1) = 3.3	● ●		± 2.4 ± 3.2	mV mV
		C(n) to C(n-1) = 4.2 S(n) to S(n-1) = 4.2		± 0.3	± 2.3 ± 3.2	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$ S(n) to S(n-1) = 4.2	● ●		± 3.1 ± 4.1	mV mV
		C(n) to C(n-1), S(n) to S(n-1), GPIO(n) to $V^- = 5.0$		± 1		mV
		Sum of Cells	●	± 0.1	± 0.25	%
		Internal Temperature, T = Maximum Specified Temperature		± 5		$^\circ\text{C}$
		V_{REG} Pin	●	± 0.1	± 0.25	%
		V_{REF2} Pin	●	± 0.02	± 0.1	%
		Digital Supply Voltage, V_{REGD}	●	± 0.1	± 1	%
	Total Measurement Error (TME) in Fast Mode (Note 3)	C(n) to C(n-1), S(n) to S(n-1), GPIO(n) to $V^- = 0$		± 2		mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$ S(n) to S(n-1) = 2.0	● ●		4 5	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$ S(n) to S(n-1) = 3.3	● ●		5.5 6.5	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$ S(n) to S(n-1) = 4.2	● ●		8 9	mV mV
		C(n) to C(n-1), GPIO(n) to $V^- = 5.0$, S(n) to S(n-1) = 5.0		± 10		mV
		Sum of Cells	●	± 0.15	± 1	%
		Internal Temperature, T = Maximum Specified Temperature		± 5		$^\circ\text{C}$
		V_{REG} Pin	●	± 0.3	± 1	%
		V_{REF2} Pin	●	± 0.1	± 0.25	%
		Digital Supply Voltage, V_{REGD}	●	± 0.2	± 2	%
	Input Range	C(n) n = 1 to 6	●	C(n-1)	C(n-1) + 5	V
		S(n) n = 1 to 6	●	C(n-1)	C(n+1)	V
		CO/SO	●	0	5	V
		GPIO(n) n = 1 to 4	●	0	5	V
I_L	Input Leakage Current When Inputs Are Not Being Measured (State: Core = STANDBY)	C(n), S(n), n = 0 to 6 GPIO(n) n = 1 to 4	● ●	10 10	± 250 ± 250	nA nA
		Input Current When Inputs Are Being Measured		± 1 ± 1		μA μA
	Input Current During Open Wire Detection		●	70	110 140	μA

電氣的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。試験条件は注記がない限り、 $V^+ = 19.8\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電圧リファレンスの仕様							
V_{REF1}	1st Reference Voltage	V_{REF1} Pin, No Load	●	3.1	3.2	3.3	V
	1st Reference Voltage TC	V_{REF1} Pin, No Load			3		ppm/ $^\circ\text{C}$
	1st Reference Voltage Hysteresis	V_{REF1} Pin, No Load			20		ppm
	1st Reference V. Long Term Drift	V_{REF1} Pin, No Load			25		ppm/ $\sqrt{\text{kHz}}$
V_{REF2}	2nd Reference Voltage	V_{REF2} Pin, No Load	●	2.995	3	3.005	V
		V_{REF2} Pin, 5k Load to V^-	●	2.994	3	3.006	V
	2nd Reference Voltage TC	V_{REF2} Pin, No Load			10		ppm/ $^\circ\text{C}$
	2nd Reference Voltage Hysteresis	V_{REF2} Pin, No Load			100		ppm
	2nd Reference V. Long Term Drift	V_{REF2} Pin, No Load			60		ppm/ $\sqrt{\text{kHz}}$

全般的な DC 仕様

I_{VP}	V^+ Supply Current (See Figure 1: Operation State Diagram)	State: Core = SLEEP, isoSPI = IDLE	$V_{\text{REG}} = 0\text{V}$		5.7	10	μA
			$V_{\text{REG}} = 0\text{V}$	●	5.7	15	μA
			$V_{\text{REG}} = 5\text{V}$		3.5	5.5	μA
			$V_{\text{REG}} = 5\text{V}$	●	3.5	9	μA
		State: Core = STANDBY Internal REG Disabled		●	14 10	22 45	μA μA
				●	25 20	35 60	μA μA
		State: Core = MEASURE		●	30 25	50 80	μA μA
$I_{\text{VP_INTREG}}$	Total V^+ Current when Internal REG Enabled = $I_{\text{VP}} + I_{\text{REG}}$	State: Core = STANDBY Internal REG Enabled		●	70 60	130 200	μA μA
$I_{\text{REG(CORE)}}$	V_{REG} Supply Current (See Figure 1: Operation State Diagram)	State: Core = SLEEP, isoSPI = IDLE	$V_{\text{REG}} = 5\text{V}$		3.5	6.5	μA
			$V_{\text{REG}} = 5\text{V}$	●	3.5	9	μA
		State: Core = STANDBY		●	20 18	48 85	μA μA
				●	1.2 1.1	1.7 2.3	mA mA
		State: Core = MEASURE		●	5.7 5.5	6.2 6.8	mA mA
				●			
$I_{\text{REG(isoSPI)}}$	Additional V_{REG} Supply Current If isoSPI in READY/ACTIVE States Note: ACTIVE State Current Assumes $t_{\text{CLK}} = 1\mu\text{s}$, (Note 3)	LTC6810-2: ISOMD = 1, $R_{\text{B1}} + R_{\text{B2}} = 2\text{k}$	READY	●	3.6	4.5	mA
			ACTIVE	●	4.6	5.8	mA
		LTC6810-1: ISOMD = 0, $R_{\text{B1}} + R_{\text{B2}} = 2\text{k}$	READY	●	3.6	4.5	mA
			ACTIVE	●	5.6	6.8	mA
		LTC6810-1: ISOMD = 1, $R_{\text{B1}} + R_{\text{B2}} = 2\text{k}$	READY	●	4.0	5.2	mA
			ACTIVE	●	7.0	8.5	mA
		LTC6810-2: ISOMD = 1, $R_{\text{B1}} + R_{\text{B2}} = 20\text{k}$	READY	●	1.0	1.8	mA
			ACTIVE	●	1.2	2.2	mA
		LTC6810-1: ISOMD = 0, $R_{\text{B1}} + R_{\text{B2}} = 20\text{k}$	READY	●	1.0	1.8	mA
			ACTIVE	●	1.3	2.3	mA
		LTC6810-1: ISOMD = 1, $R_{\text{B1}} + R_{\text{B2}} = 20\text{k}$	READY	●	1.6	2.5	mA
			ACTIVE	●	1.8	3.1	mA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。試験条件は注記がない限り、 $V^+ = 19.8\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	V^+ Supply Voltage	TME Specifications Met	●	5.0	20	27.5	V
	V^+ to C6 Voltage	TME Specifications Met	●	-0.3			V
V_{REG}	V_{REG} Supply Voltage	TME Supply Rejection $< 1\text{mV/V}$	●	4.5	5	5.5	V
	Internal Regulator Voltage	DRIVE Pin Current $> 25\mu\text{A}$	●	4.5	4.6	4.8	V
	Allowed V_{REG} Range When Externally Driven	DRIVE Pin Is High Z	●	4.7	5	5.3	V
V_{DRIVE}	DRIVE Output Voltage	$V^+ > 12\text{V}$, Sourcing $1\mu\text{A}$	●	5.5	5.7	6.2	V
		$V^+ > 12\text{V}$, Sourcing 1mA	●	5.3	5.5	6	V
	Drive Pin Current to Enable Internal V_{REGA}		●	25			μA
	Maximum DRIVE Pin Current that Does Not Power Up Internal V_{REGA}		●			1	μA
V_{REGD}	Digital Supply Voltage		●	2.7	3	3.6	V
	Discharge Switch ON Resistance	$V_{\text{CELL}} = 3.3\text{V}$	●		5	10	Ω
	Thermal Shutdown Temperature				150		$^\circ\text{C}$
$V_{\text{OL(WDT)}}$	Watch Dog Timer (WDT) Pin Voltage	WDT Pin Sinking 4mA	●			0.4	V
$V_{\text{OL(GPIO)}}$	General Purpose I/O Pin Low	GPIO Pin Sinking 4mA (Used as Digital Output)	●			0.4	V

ADCのタイミング仕様

t_{CYCLE} (Figure 6)	Measurement + Calibration Cycle Time When Starting from the REFUP State in Normal Mode, SCONV = 0, MCAL = 0	Measure 6 Cells	●	1098	1165	1281	μs
		Measure 1 Cells	●	381	404	444	μs
		Measure 6 Cells and 2 GPIO Inputs	●	1411	1497	1647	μs
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Filtered Mode, SCONV = 0, MCAL = 0	Measure 6 Cells	●	172	183	201	ms
		Measure 1 Cells	●	31	34	37	ms
		Measure 6 Cells and 2 GPIO Inputs	●	228	242	267	ms
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Fast Mode, SCONV = 0, MCAL = 0	Measure 6 Cells	●	495	524	577	μs
		Measure 1 Cells	●	189	200	220	μs
		Measure 6 Cells and 2 GPIO Inputs	●	643	682	750	μs
t_{SKEW1} (Figure 9)	Skew Time. The Time Difference Between C6 and GPIO1 Measurements, Command = ADCVAX	Fast Mode	●	182	194	214	μs
		Normal Mode	●	511	543	598	μs
t_{SKEW2} (Figure 6)	Skew Time. The Time Difference Between C6 and C1 Measurements, Command = ADCV	Fast Mode	●	220	233	257	μs
		Normal Mode	●	631	670	737	μs
t_{WAKE}	Drive Start-Up Time (Note 5)	V_{REG} Generated from Drive Pin, See Figure 3	●		150	300	μs
	Internal Regulator Start-Up Time	V_{REG} Generated Internally, See Figure 2	●		200	400	μs
t_{SLEEP} (Figure 17)	Watchdog or Discharge Timer	DTEN Pin = 0 or DCTO[3:0] = 0000	●	1.8	2	2.2	sec
		DTEN Pin = 1 and DCTO[3:0] = 0001		28	30	32	sec
		DTEN Pin = 1 and DCTO[3:0] = 1111		112	120	128	min
t_{REFUP} (Figure 6, Figure 30)	Reference Wake-up Time. Added to t_{CYCLE} Time When Starting from the STANDBY State. $t_{\text{REFUP}} = 0$ When Starting from Other States.	t_{REFUP} Is Independent of the Number of Channels Measured and the ADC Mode	●	2.7	3.5	4.4	ms
f_{S}	ADC Clock Frequency			3.0	3.3	3.5	MHz

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。試験条件は注記がない限り、 $V^+ = 19.8\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SPI インターフェースの DC 仕様						
$V_{\text{IH}}(\text{SPI})$	SPI Pin Digital Input Voltage High	Pins CSB, SCK, SDI	●	2.3		V
$V_{\text{IL}}(\text{SPI})$	SPI Pin Digital Input Voltage Low	Pins CSB, SCK, SDI	●		0.8	V
$V_{\text{IH}}(\text{ADDR})$	Address Pin Digital Input Voltage High	Pins ISOMD, DTEN, GPIO1 to GPIO4, A0–A3	●	2.7		V
$V_{\text{IL}}(\text{ADDR})$	Address Pin Digital Input Voltage Low	Pins ISOMD, DTEN, GPIO1 to GPIO4, A0–A3	●		1.2	V
$I_{\text{LEAK}}(\text{DIG})$	Digital Input Current	Pins CSB, SCK, SDI, ISOMD, DTEN, A0 to A3	●		± 1	μA
$V_{\text{OL}}(\text{SDO})$	Digital Output Low	Pins SDO sinking 1mA	●		0.3	V

isoSPI の DC 仕様 (図 23 を参照)

V_{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State IDLE State	●	1.9	2 0	2.1	V V
I_{B}	Isolated Interface Bias Current	$I_{\text{B}} = V_{\text{BIAS}} / (R_{\text{B1}} + R_{\text{B2}})$	●	0.1		1	mA
A_{IB}	Isolated Interface Current Gain	$V_{\text{A}} \leq 1.6\text{V}$ $I_{\text{B}} = 1\text{mA}$	●	18	20	22	mA/mA
		$I_{\text{B}} = 0.1\text{mA}$	●	18	20	23	mA/mA
V_{A}	Transmitter Pulse Amplitude	$V_{\text{A}} = V_{\text{IP}} - V_{\text{IM}} $	●			1.6	V
V_{ICMP}	Threshold-Setting Voltage on ICMP Pin	$V_{\text{TCMP}} = A_{\text{TCMP}} \cdot V_{\text{ICMP}}$	●	0.2		1.5	V
$I_{\text{LEAK}}(\text{ICMP})$	Input Leakage Current on ICMP Pin		●			± 1	μA
$I_{\text{LEAK}}(\text{IP/IM})$	Leakage Current on IP and IM Pins	IDLE State, V_{IP} or V_{IM} , 0V to V_{REG}	●			± 1	μA
A_{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{\text{CM}} = 2.5\text{V}$ to $V_{\text{REG}} - 0.2$	●	0.4	0.5	0.6	V/V
$V_{\text{IP/IM}}$	Receiver Voltage Range (Single-Ended)		●	-0.3		$V_{\text{REG}} + 0.3$	V
V_{CM}	Receiver Common-Mode Bias	IP/IM Not Driving			$(V_{\text{REG}} - V_{\text{ICMP}}/3 - 167\text{mV})$		V
R_{IN}	Receiver Input Resistance	Single-Ended to IPA, IMA, IPB, IMB	●	26	35	45	k Ω

isoSPI のアイドル/ウェイクアップ仕様 (図 30 を参照)

V_{WAKE}	Differential Wake-up Voltage	$V_{\text{WAKE}} = V_{\text{IPA}} - V_{\text{IMA}} $	●	250			mV
t_{DWELL}	Dwell Time at V_{WAKE} Before Wake Detection		●	240			ns
t_{READY}	Start-Up Time After Wake Detection		●			10	μs
t_{IDLE}	Idle Timeout Duration		●	4.3	5.5	6.7	ms

isoSPI のパルス・タイミング仕様 (図 28 を参照)

$t_{\frac{1}{2}\text{PW}}(\text{CS})$	Chip-Select Half-Pulse Width	Transmitter	●	120	150	180	ns
$t_{\text{FILT}}(\text{CS})$	Chip-Select Signal Filter	Receiver	●	70	90	110	ns
$t_{\text{INV}}(\text{CS})$	Chip-Select Pulse Inversion Delay	Transmitter	●	120	155	190	ns
$t_{\text{WNDW}}(\text{CS})$	Chip-Select Valid Pulse Window	Receiver	●	220	270	330	ns
$t_{\frac{1}{2}\text{PW}}(\text{D})$	Data Half-Pulse Width	Transmitter	●	40	50	60	ns
$t_{\text{FILT}}(\text{D})$	Data Signal Filter	Receiver	●	10	25	35	ns
$t_{\text{INV}}(\text{D})$	Data Pulse Inversion Delay	Transmitter	●	40	55	65	ns
$t_{\text{WNDW}}(\text{D})$	Data Valid Pulse Window	Receiver	●	70	90	110	ns

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。試験条件は注記がない限り、 $V^+ = 19.8\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。注記がない限り、ISOMD ピンは V^- ピンに接続。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SPI タイミング要件 (図22 および図29を参照)							
t_{CLK}	SCK Period	(Note 6)	●	1			μs
t_1	SDI Setup Time Before SCK Rising Edge		●	25			ns
t_2	SDI Hold Time After SCK Rising Edge		●	25			ns
t_3	SCK Low	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_4	SCK High	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_5	$\overline{\text{CS}}$ Rising Edge to $\overline{\text{CS}}$ Falling Edge		●	0.6			μs
t_6	SCK Rising Edge to $\overline{\text{CS}}$ Rising Edge	(Note 6)	●	0.8			μs
t_7	$\overline{\text{CS}}$ Falling Edge to SCK Rising Edge	(Note 6)	●	1			μs
isoSPI のタイミング仕様 (図29を参照)							
t_8	SCK Falling Edge to SDO Valid	(Note 7)	●			60	ns
t_9	SCK Rising Edge to Short ± 1 Transmit		●			50	ns
t_{10}	$\overline{\text{CS}}$ Transition to Long ± 1 Transmit		●			60	ns
t_{11}	$\overline{\text{CS}}$ Rising Edge to SDO Rising	(Note 7)	●			200	ns
t_{RTN}	Data Return Delay		●	325	375	425	ns
$t_{\text{DSY(CS)}}$	Chip-Select Daisy-Chain Delay		●		120	180	ns
$t_{\text{DSY(D)}}$	Data Daisy-Chain Delay		●	200	250	300	ns
t_{LAG}	Data Daisy-Chain Lag (vs. Chip-Select)	$= [t_{\text{DSY(D)}} + t_{\frac{1}{2}\text{PW(D)}}] - [t_{\text{DSY(CS)}} + t_{\frac{1}{2}\text{PW(CS)}}]$	●	0	55	70	ns
$t_{5(\text{GOV})}$	Chip-Select High-to-Low Pulse Governor		●	0.6		0.82	μs
$t_{6(\text{GOV})}$	Data to Chip-Select Pulse Governor		●	0.8		1.05	μs
t_{BLOCK}	isoSPI Port Reversal Blocking Window		●	2		10	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: ADC の仕様は、全測定誤差の仕様によって確認されている。

Note 3: ADC の量子化ノイズと、C ピンと S ピンでの外部フィルタ処理の違いにより、S ピンの全測定誤差は C ピンの全測定誤差と数ビット異なる場合がある。

Note 4: ACTIVE ステートの電流は DC の測定値から計算される。isoSPI ポートに、データ 1 が 50%、データ 0 が 50% の連続的な 1MHz の通信が存在する場合、ACTIVE ステートの電流は、 V_{REG} への追加平均消費電流になる。クロック・レートが遅くなるほど、消費電流が減少する。詳細については、アプリケーション情報のセクションを参照。

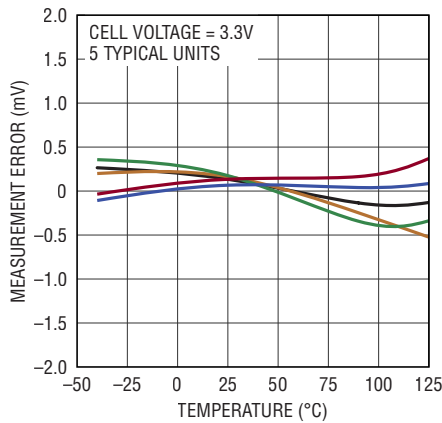
Note 5: V_{REG} はドライブ・ピンと外部 NPN トランジスタから生成される。図 3 を参照。

Note 6: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に 50ns の遅延を許容する。50ns は 10m の CAT-5 ケーブル (伝播速度が光速の 66%) に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

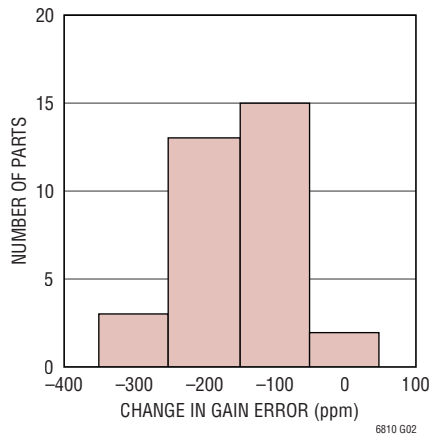
Note 7: これらの仕様には、SDO の立上がり時間と立下がり時間は含まれない。立下がり時間 (内部プルダウン・トランジスタのため標準で 5ns) は問題ではないが、立上がりエッジの遷移時間 t_{RISE} は SDO ピンでのプルアップ抵抗と負荷容量によって異なる。SDO が MCU のセットアップ時間要件を満たすように、時定数を選択する必要がある。

代表的な性能特性 特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

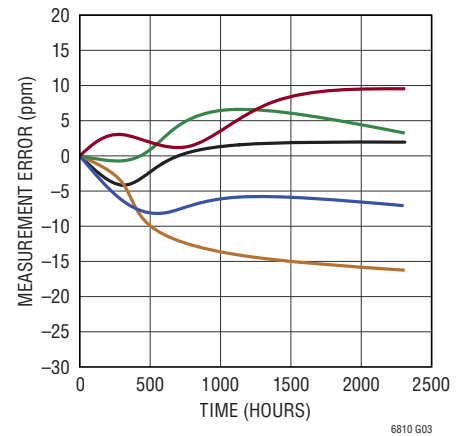
測定誤差と温度



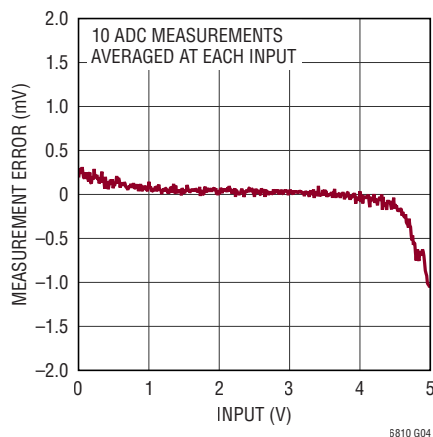
IR リフローによる測定誤差



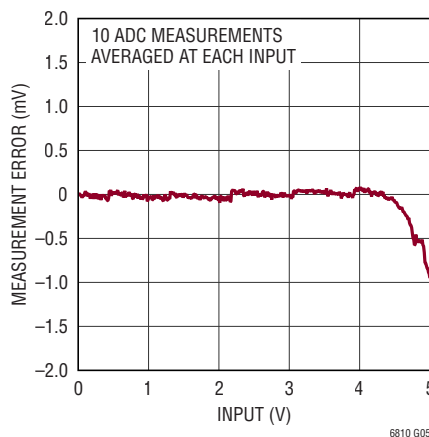
測定誤差の長時間ドリフト



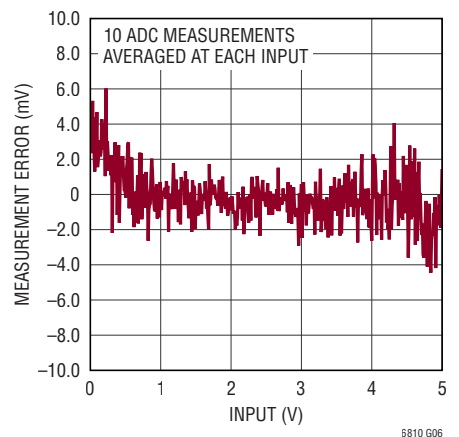
測定誤差と入力電圧
(通常動作モード)



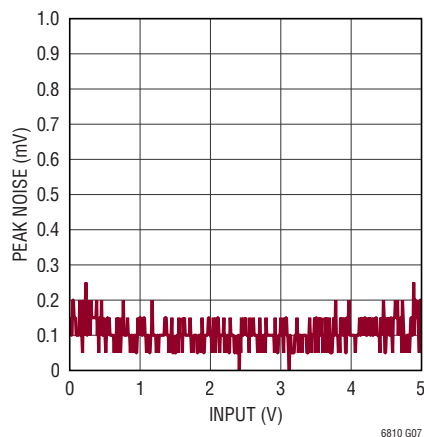
測定誤差と入力電圧
(フィルタ・モード)



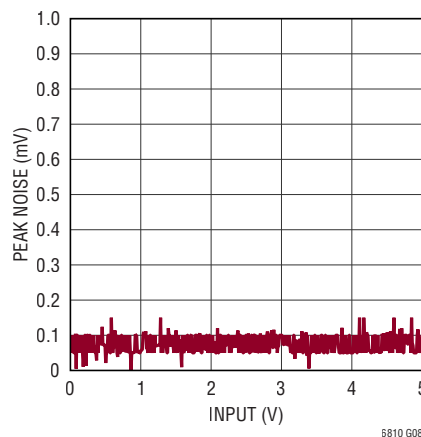
測定誤差と入力電圧
(高速モード)



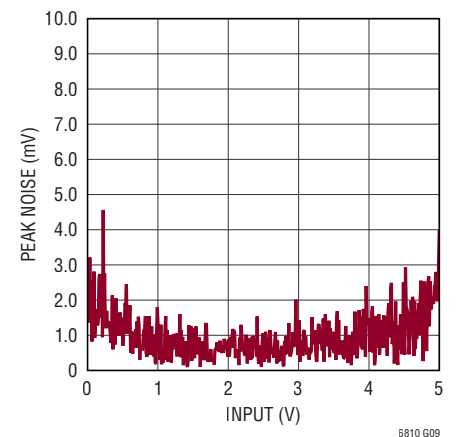
測定ノイズと入力電圧
(通常動作モード)



測定ノイズと入力電圧
(フィルタ・モード)



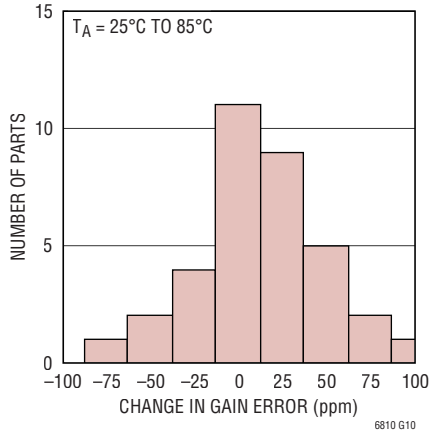
測定ノイズと入力電圧
(高速モード)



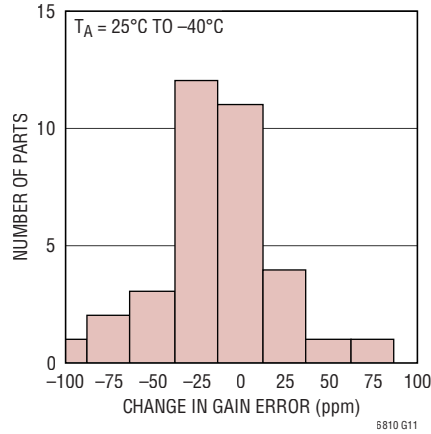
代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

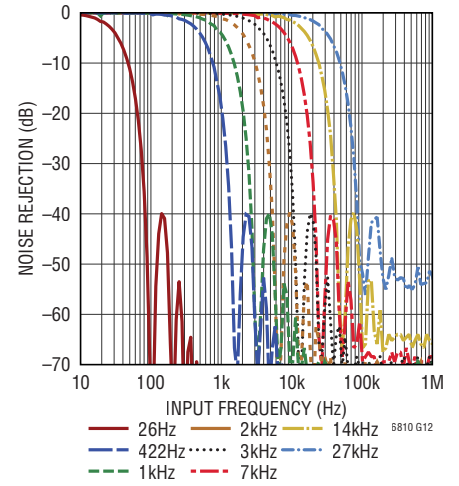
測定ゲイン誤差のヒステリシス
(高温時)



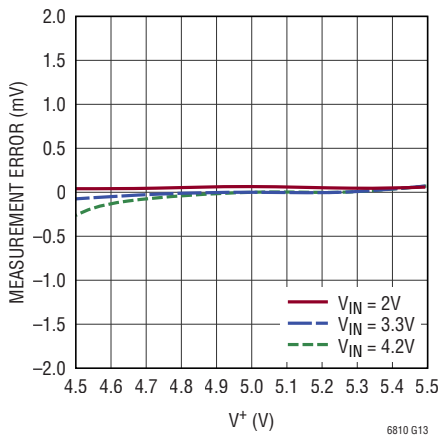
測定ゲイン誤差のヒステリシス
(低温時)



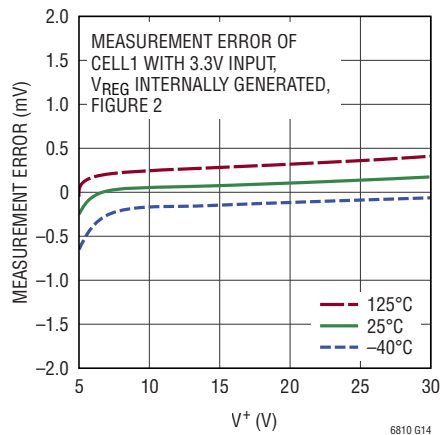
ノイズ・フィルタの応答



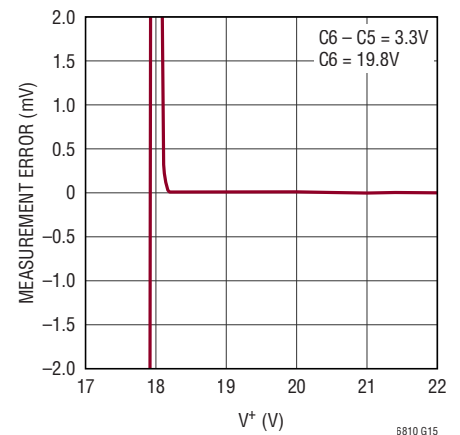
測定誤差と V_{REG}



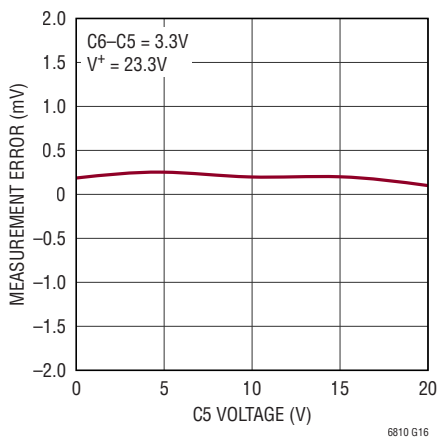
測定誤差と V^+



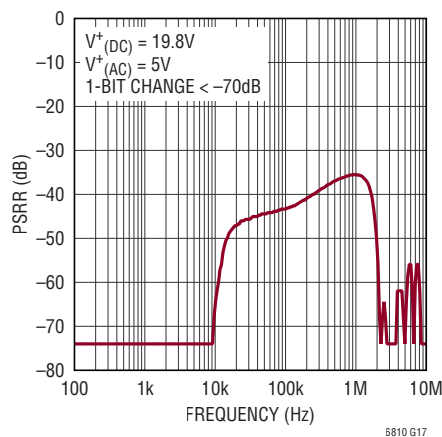
先頭セルの測定誤差と V^+



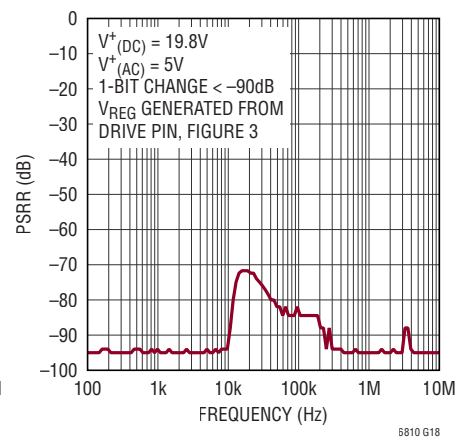
測定誤差とコモンモード電圧



V_{REG} の AC 外乱による測定誤差

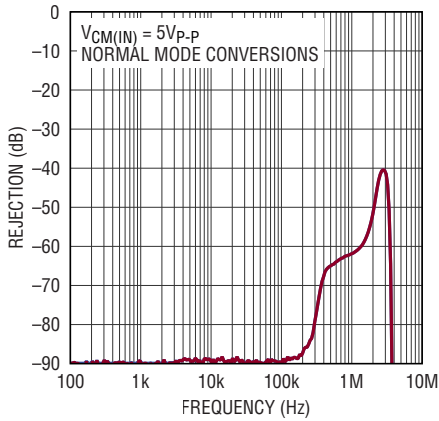


V^+ の AC 外乱による測定誤差

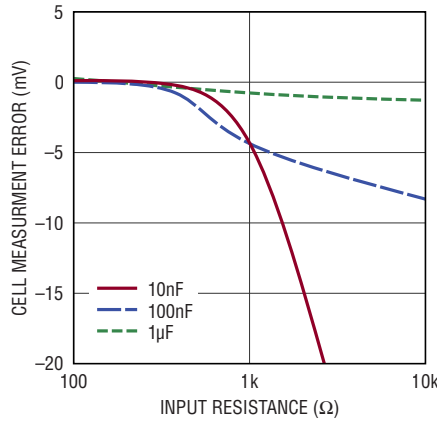


代表的な性能特性 特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

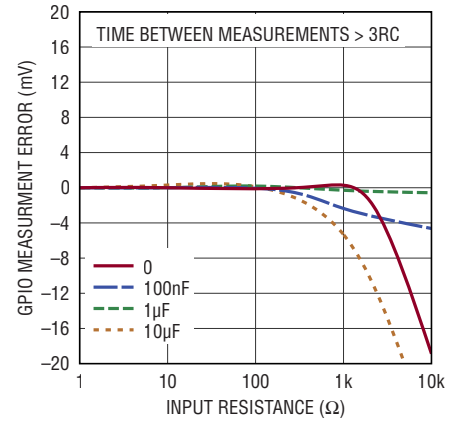
測定誤差のCMRRと周波数



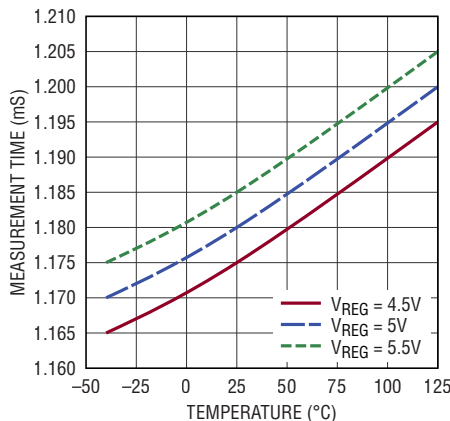
セル測定誤差と入力RC値



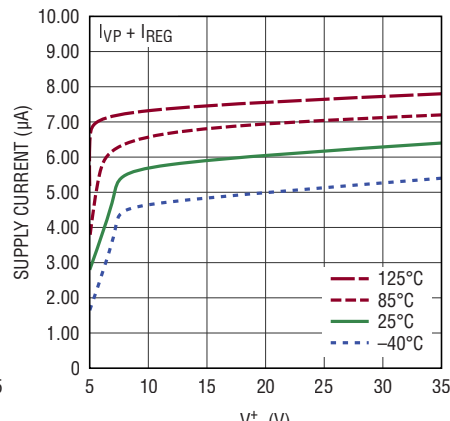
GPIO測定誤差と入力RC値



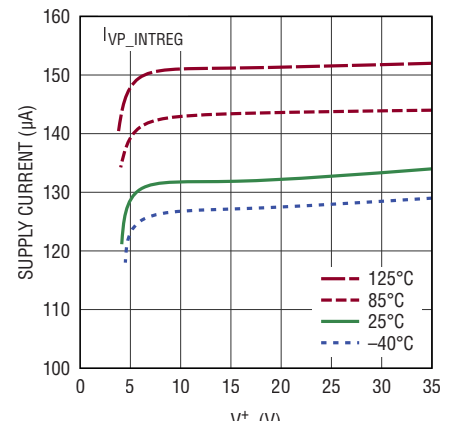
測定時間と温度



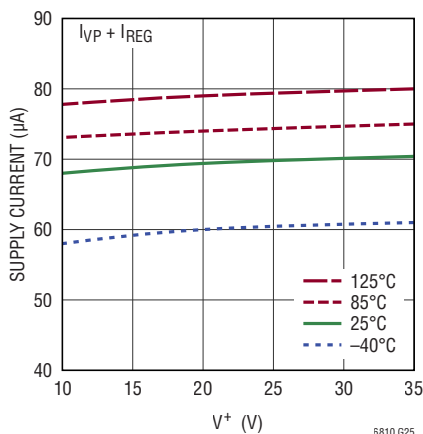
スリープ・モードの電源電流とV+



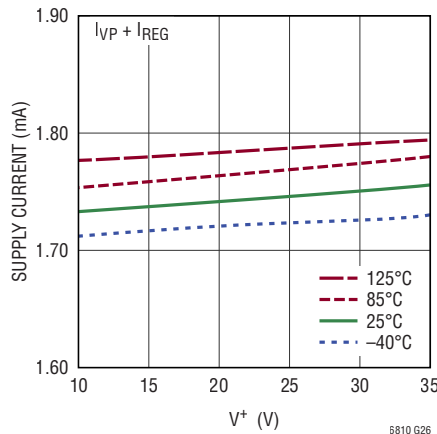
スタンバイ電源電流とV+
(内部REGイネーブル時)



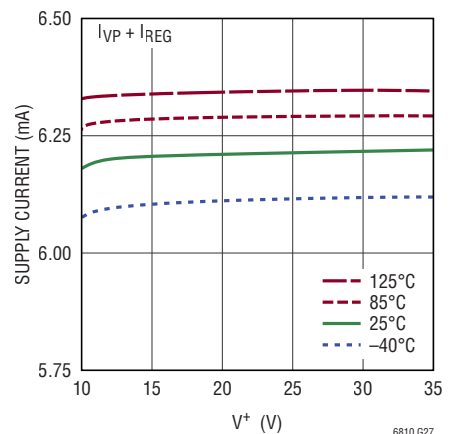
スタンバイ電源電流とV+
(内部REGディスエーブル時)



REFUP電源電流とV+
(内部REGディスエーブル時)

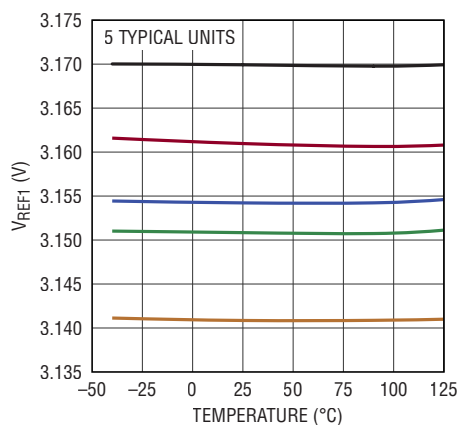
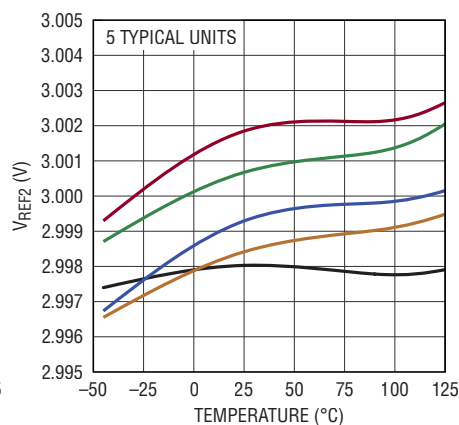
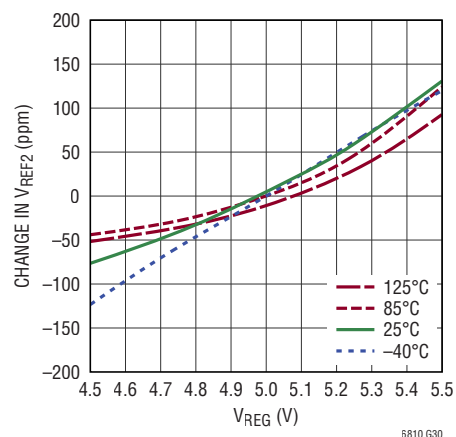
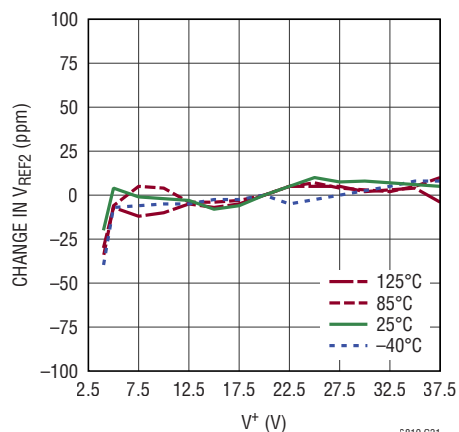
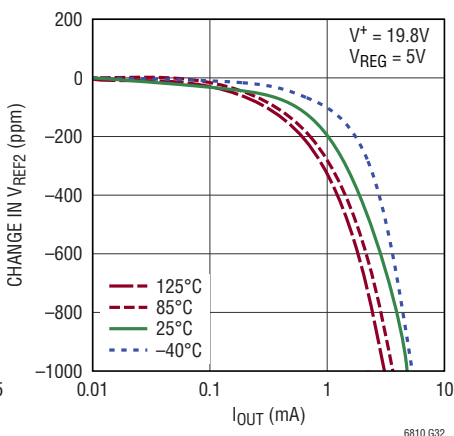
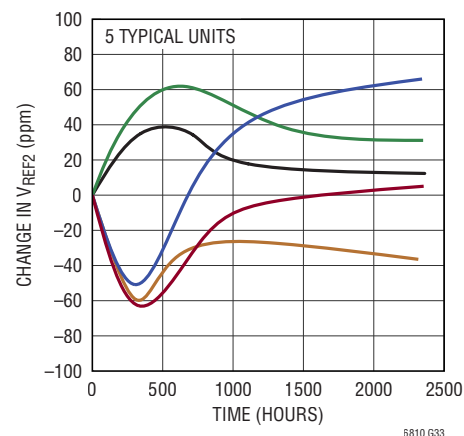


測定電源電流とV+
(内部REGディスエーブル時)

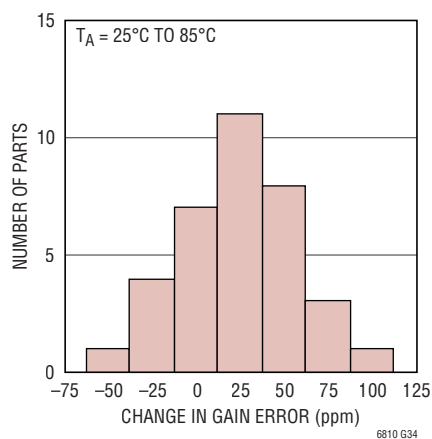


代表的な性能特性

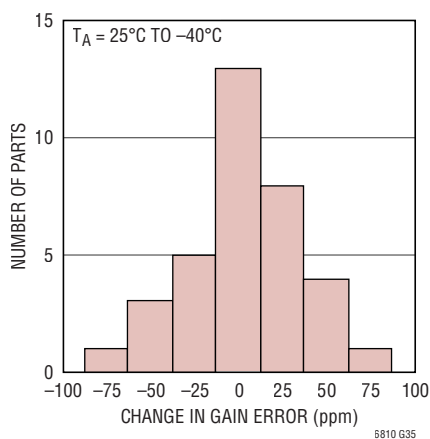
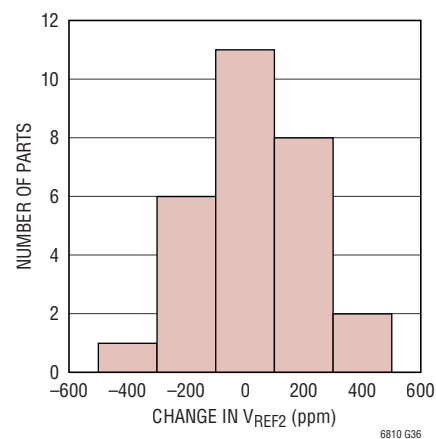
特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

V_{REF1}と温度V_{REF2}と温度V_{REF2}のV_{REG}に対するライン・レギュレーションV_{REF2}のV⁺に対するライン・レギュレーションV_{REF2}の負荷レギュレーションV_{REF2}の長時間ドリフト

測定ゲイン誤差のヒステリシス (高温時)

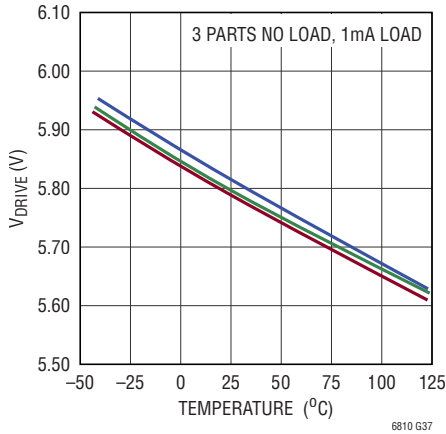


測定ゲイン誤差のヒステリシス (低温時)

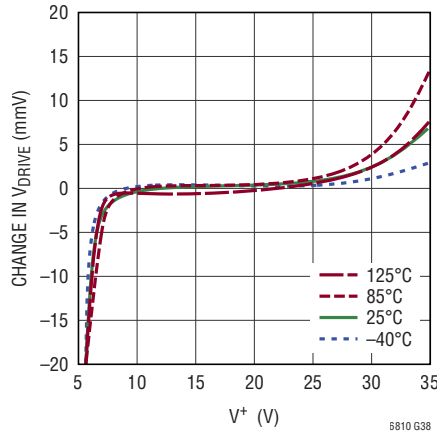
IRリフローによるV_{REF2}の変化

代表的な性能特性 特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

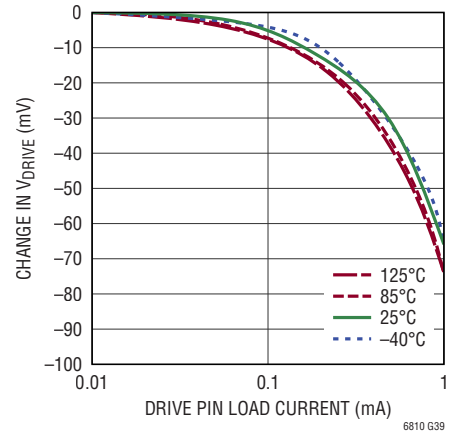
V_{DRIVE}と温度



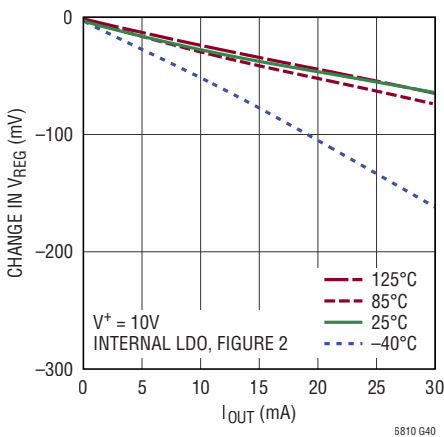
**V_{DRIVE}のV⁺に対する
ライン・レギュレーション**



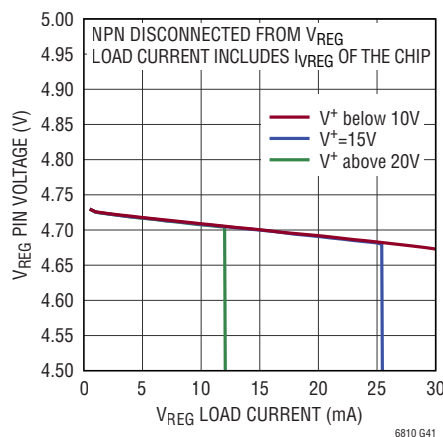
V_{DRIVE}の負荷レギュレーション



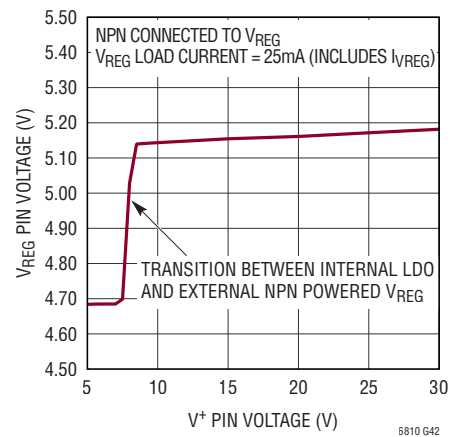
内部V_{REG}の負荷レギュレーション



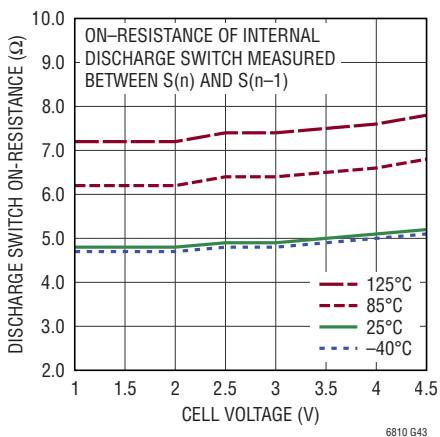
内部V_{REG}の負荷レギュレーション



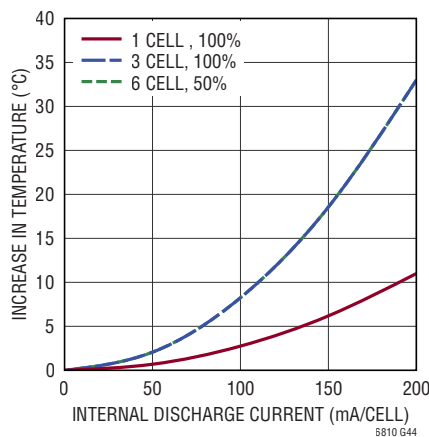
**V_{REG}ピンの電圧と
V⁺ピンの電圧**



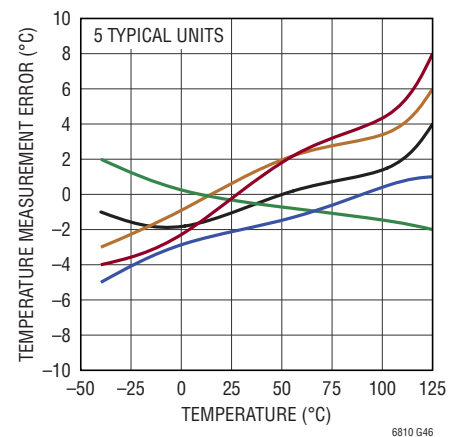
**放電スイッチのオン抵抗と
セル電圧**



内部ダイ温度の上昇と放電電流



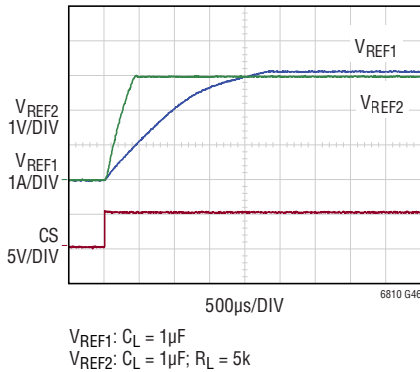
内部ダイの温度測定誤差と温度



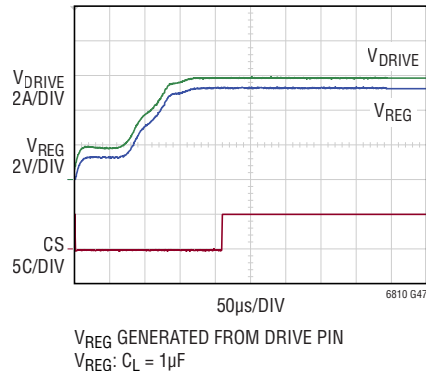
代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

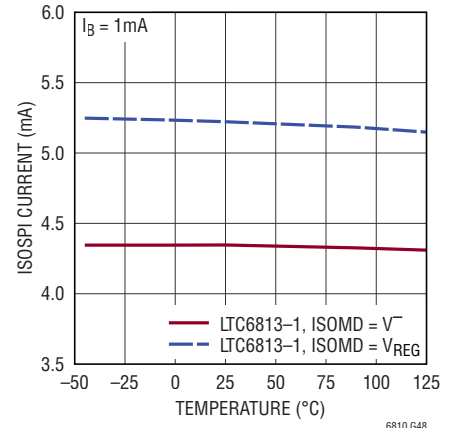
VREF1 および VREF2 の起動



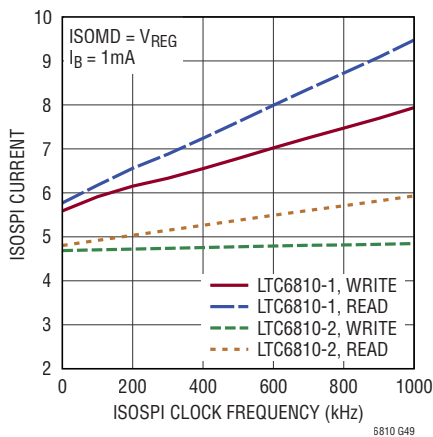
VREG および VDRIVE の起動



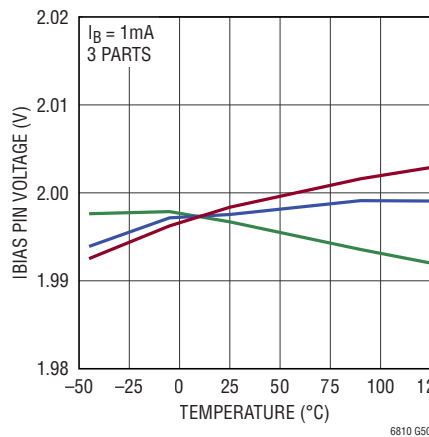
isoSPI 電流 (READY 時) と温度



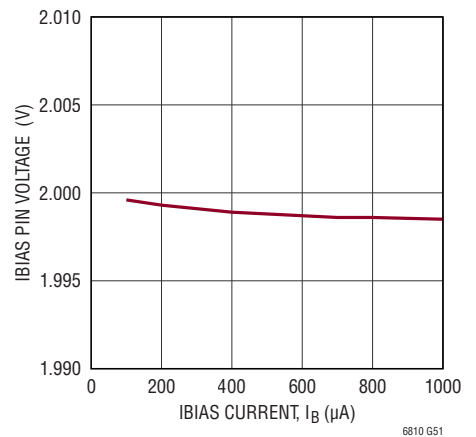
isoSPI 電流 (ACTIVE 時) と isoSPI クロック周波数



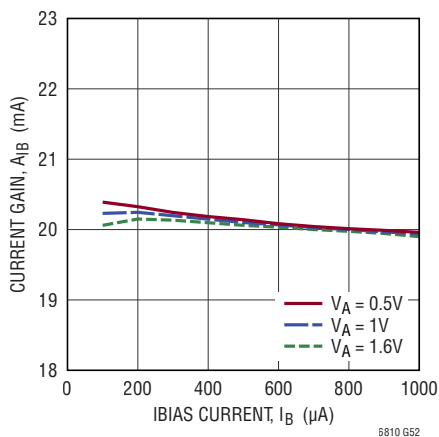
IBIAS の電圧と温度



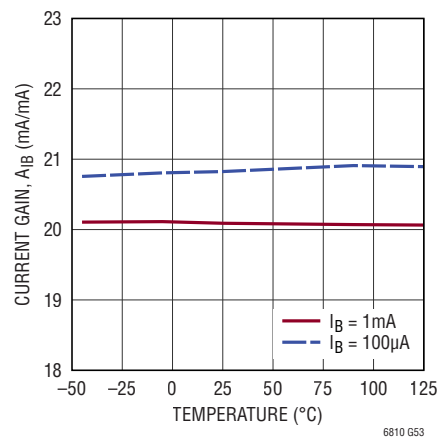
IBIAS 電圧の負荷レギュレーション



isoSPI ドライバ電流の利得 (ポート A / ポート B) と IBIAS 電流

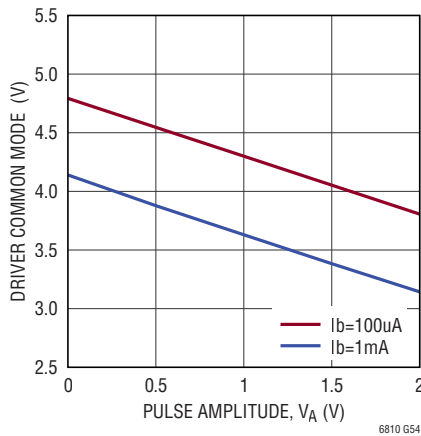


isoSPI ドライバ電流の利得 (ポート A / ポート B) と温度

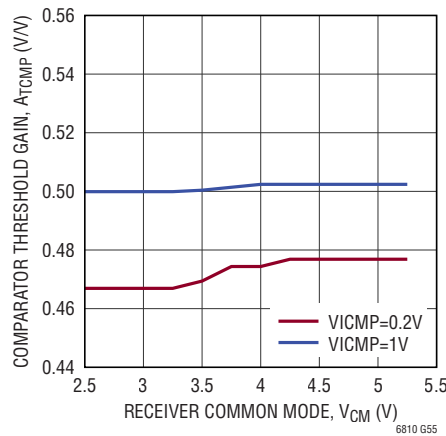


代表的な性能特性 特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

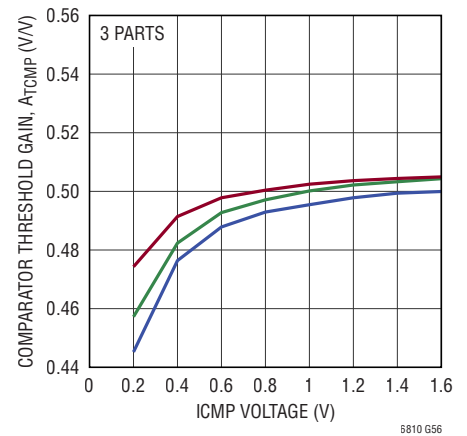
isoSPIドライバのコモンモード電圧
(ポートA/ポートB)とパルス振幅



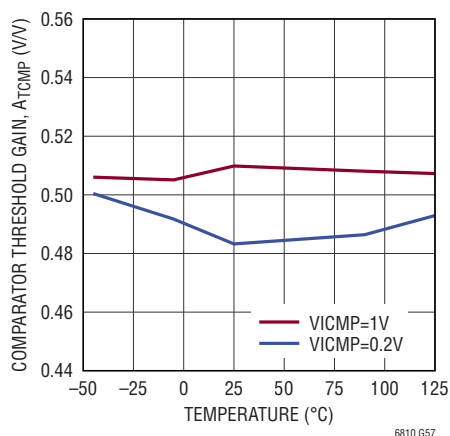
isoSPIコンパレータの閾値の利得
(ポートA/ポートB)と
レシーバーのコモンモード電圧



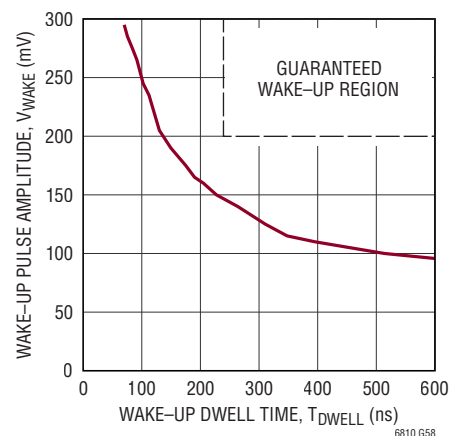
isoSPIコンパレータの閾値の利得
(ポートA/ポートB)とICMPの電圧



isoSPIコンパレータの閾値の利得
(ポートA/ポートB)と温度



標準的ウェイクアップ・パルスの
振幅(ポートA/ポートB)と
滞留時間



ピン機能

C0～C6: セルの入力。

S0～S6: バランス入力／出力の冗長セル測定。セルを放電するため、6個のNMOSFETがS(n)とS(n-1)の間に接続されています。冗長セル測定のためにSピンを追加で使えます。

V⁺: 正電源ピン。

V⁻: 負電源ピン。デバイスの外部で、各V⁻ピンを互いに短絡させる必要があります。

V^{*}: これらのピンはリードフレームに結合され、V⁻に接続されています。

V_{REF2}: サーマスタを駆動するためのバッファ付き第2リファレンス電圧。外付けの1μFコンデンサを使用してバイパスします。

V_{REF1}: ADCのリファレンス電圧。外付けの1μFコンデンサを使用してバイパスします。DC負荷を接続することはできません。

GPIO[1:4]: 汎用I/O。デジタル入力またはデジタル出力として使用するか、V⁻～5Vの測定範囲でアナログ入力として使えます。GPIO[2:4]はI²CポートまたはSPIポートとして使えます。

DTEN: 放電タイマーのイネーブル・ピン。放電タイマーをイネールするには、このピンをV_{REG}に接続します。

DRIVE: NPNのベースをこのピンに接続します。コレクタはV⁺に接続し、エミッタはV_{REG}に接続します。

V_{REG}: 5Vレギュレータ入力。外付けの1μFコンデンサを使用してバイパスします。

ISOMD: シリアル・インターフェース・モード。ISOMDをV_{REG}に接続すると、LTC6810は2線絶縁型インターフェース(isoSPI)モードに合わせて構成されます。ISOMDをV⁻に接続すると、LTC6810は4線SPIモードに合わせて構成されます。

WDT: ウォッチドッグ・タイマーの出力ピン。これはオープン・ドレインNMOSのデジタル出力です。このピンは未接続のままにするか、1Mの抵抗を介してV_{REG}に接続することができます。LTC6810が2秒以内に有効なコマンドを受信しない場合は、ウォッチドッグ・タイマー回路がLTC6810をリセットし、WDTピンが高インピーダンスになります。

シリアル・ポート・ピン

	LTC6810-1 (デジチェーン接続可能)		LTC6810-2 (アドレス指定可能)	
	ISOMD = V _{REG}	ISOMD = V ⁻	ISOMD = V _{REG}	ISOMD = V ⁻
ポートB (ピン39、 38、35、34)	IPB	IPB	A3	A3
	IMB	IMB	A2	A2
	ICMP	ICMP	A1	A1
	IBIAS	IBIAS	A0	A0
ポートA (ピン40、 41、37、36)	(NC)	SDO	IBIAS	SDO
	(NC)	SDI	ICMP	SDI
	IPA	SCK	IPA	SCK
	IMA	CSB	IMA	CSB

CSB、SCK、SDI、SDO: 4線式シリアル・ペリフェラル・インターフェース(SPI)。アクティブ・ローのチップ選択(CSB)、シリアル・クロック(SCK)、およびシリアル・データ入力(SDI)はデジタル入力です。シリアル・データ出力(SDO)はオープン・ドレインNMOSの出力です。SDOには5Kのプルアップ抵抗が必要です。

A0～A3: アドレス・ピン。これらのデジタル入力は、アドレス指定可能なシリアル・コマンド用のチップ・アドレスを設定するために、V_{REG}またはV⁻に接続されます。

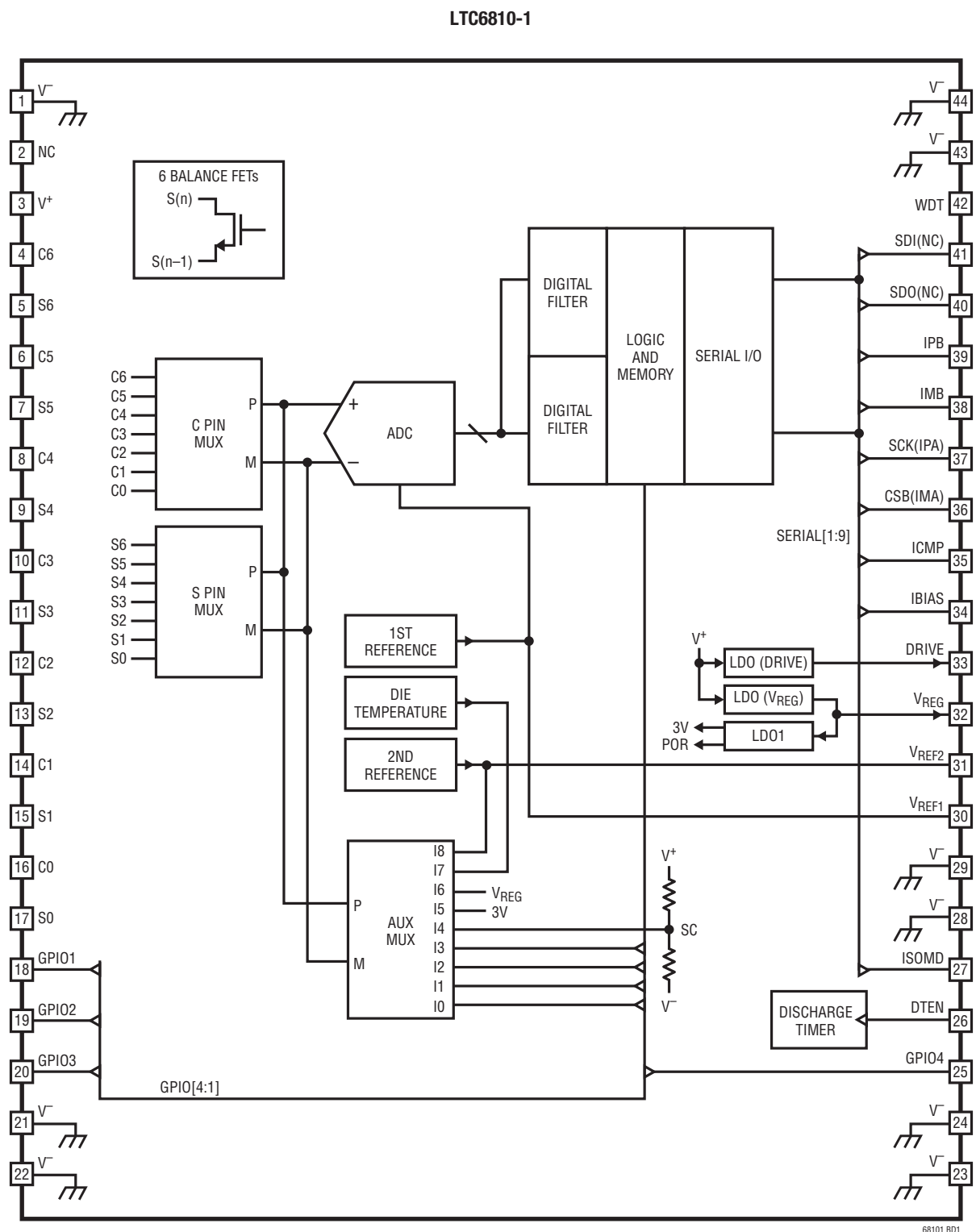
IPA、IMA: 絶縁型の2線式シリアル・インターフェース・ポートA。IPA(プラス)とIMA(マイナス)は、差動入力／出力対です。

IPB、IMB: 絶縁型の2線式シリアル・インターフェース・ポートB。IPB(プラス)とIMB(マイナス)は、差動入力／出力対です。

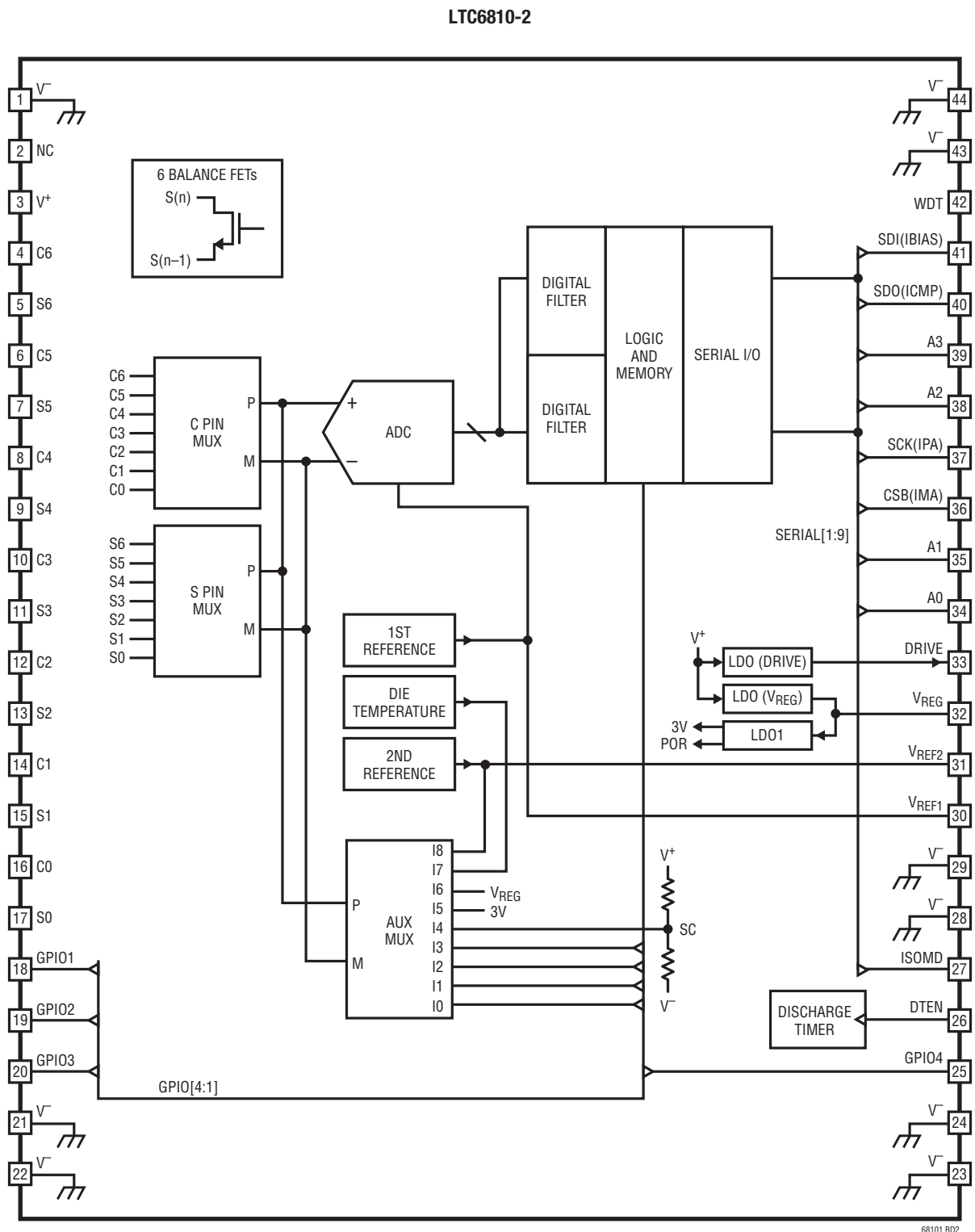
IBIAS: 絶縁型インターフェースの電流バイアス。IBIASをV⁻に抵抗分圧器を介して接続し、インターフェースの出力電流レベルを設定します。isoSPIインターフェースがイネーブルされている場合、IBIASピンの電圧は2Vです。IPA/IMAまたはIPB/IMBの出力駆動電流は、IBIASピンから流れ出る電流(I_B)の20倍に設定されます。

ICMP: 絶縁型インターフェースのコンパレータ電圧閾値設定。このピンをIBIASとV⁻の間の抵抗分圧器に接続し、isoSPIレシーバーのコンパレータの電圧閾値を設定します。コンパレータの閾値はICMPピンの電圧の半分に設定されます。

ブロック図



ブロック図



動作

ステート・チャート図

LTC6810の動作は、コア回路とisoSPI回路の2つのセクションに分かれています。両方のセクションは、独立した一連の動作ステートと、タイムアウトによるシャットダウンを備えています。

LTC6810のコアのステートの説明

SLEEP ステート

リファレンスとADC変調器の電力が遮断されます。ウォッチドッグ・タイマー（ウォッチドッグ・タイマーと放電タイマーを参照）はタイムアウトしています。また、放電タイマーも無効化されているかタイムアウトしています。電源電流は最小レベルまで減少します。isoSPIポートは、IDLEステートになります。

WAKEUP信号を受信すると（シリアル・インターフェースのウェイクアップを参照）、LTC6810はSTANDBYステートに入ります。

STANDBY ステート

リファレンスとADCはオフになります。ウォッチドッグ・タイマーまたは放電タイマー（あるいはその両方）は動作中です。DRIVEピンは、外付けトランジスタを経由してV_{REG}ピンに5Vの電力を供給します。または、V⁺が12Vより低い場合は、内部LDOを介してV_{REG}に4.7Vの電力を供給できます。外部電源からV_{REG}に電力を供給することもできます。この場合は競合を回避するために、DRIVEピンをフロート状態

にして内部レギュレータをディスエーブルする必要があります。詳細については、V_{REG}の設定を参照してください。

有効なADCコマンドを受け取るか、構成レジスタ・グループのREFONビットが1に設定されると、デバイスはリファレンスを起動できる状態になるまでt_{REFUP}の間停止し、その後REFUPステートまたはMEASUREステートに移行します。それ以外で、t_{SLEEP}の間（ウォッチドッグ・タイマーと放電タイマーの両方が期限切れになるまで）有効なコマンドを受け取らなかった場合、LTC6810はSLEEPステートに戻ります。放電タイマーが無効化されている場合は、ウォッチドッグ・タイマーのみが関係します。

REFUP ステート

このステートに達するには、設定レジスタ・グループのREFONビットを1に設定する必要があります（WRCFGコマンドを使用。表40を参照）。ADCはオフになります。LTC6810がSTANDBYステートから開始するよりも早くAD変換を開始できるようにするために、リファレンスが起動します。

有効なADCコマンドを受け取るとデバイスはMEASUREステートになり、変換を開始します。それ以外の場合、手動で（WRCFGコマンドを使用）もしくは（ウォッチドッグ・タイマーが期限切れになったときに）自動的にREFONビットに0が設定されると、LTC6810はSTANDBYステートに戻ります（その後、ウォッチドッグ・タイマーと放電タイマーの両方が期限切れになると、LTC6810は直接SLEEPステートに移行します）。

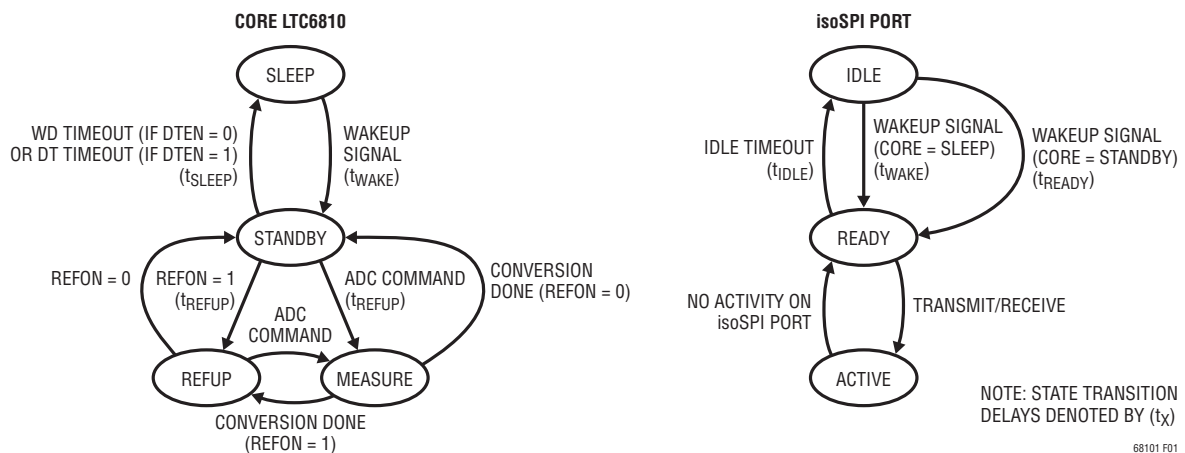


図1. LTC6810の動作ステート図

動作

MEASURE ステート

このステートでは、LTC6810はA/D変換を実行します。リファレンスとADCの電源が投入されます。

LTC6810は、A/D変換が完了すると、REFONビットに応じてREFUPステートまたはSTANDBYステートのいずれかに移行します。REFONを1に設定してREFUPステートを活用することによって、追加のA/D変換をより迅速に開始できます。

注記: ADC コマンド以外のコマンドでは、コアのステートが移行しません。A/D変換またはDIAGN コマンドのみが、コアをMEASUREステートに移行します。

isoSPI ステートの説明

注記: LTC6810-1は、デジタイゼーション通信用に2つのisoSPIポート(AおよびB)を備えています。LTC6810-2のisoSPIポートは1つ(A)だけで、アドレス指定可能な並列通信用です。

IDLE ステート

isoSPIポートの電力が遮断されます。

isoSPIのポートAまたはポートB (LTC6810-1のみ) がWAKEUP信号を受信すると(シリアル・インターフェースのウェイクアップを参照)、isoSPIはREADYステートに移行します。コアがSTANDBYステートにある場合、この移行は素早く(t_{READY} 以下で)行われます。コアがSLEEPステートにある場合、isoSPIは、WAKEUP信号を受信してから、 t_{WAKE} 以下でREADYステートに移行します。

READY ステート

isoSPIポートは通信可能な状態にあります。ポートBはLTC6810-1だけが利用可能で、LTC6810-2には存在しません。このステートでのシリアル・インターフェース電流は、デバイスがLTC6810-1またはLTC6810-2のどちらであるか、ISOMDピンの状態、および $R_{\text{BIAS}} = R_{\text{B1}} + R_{\text{B2}}$ (I_{BIAS} ピンに接続された外付け抵抗)によって決まります。

動作がない(つまり、WAKEUP信号がない)時間が $t_{\text{IDLE}} = 5.5\text{ms}$ より長くなると、LTC6810はIDLEステートに移行します。シリアル・インターフェースがデータを送信または受信すると、LTC6810はACTIVEステートに移行します。

ACTIVE ステート

LTC6810は、一方または両方のisoSPIポートを使用してデータの送受信を行います。シリアル・インターフェースは、この状態で最も多くの電力を消費します。isoSPIパルスの密度が高くなるので、電源電流はクロック周波数の増加に伴って増加します。

消費電力

LTC6810の電力は、 V^+ ピンと V_{REG} ピンから供給されます。 V^+ 入力は、先頭セルの電圧より0.3V低い電圧以上の電圧を必要とし、コア回路の高電圧素子に電力を供給します。 V_{REG} 入力は5Vを必要とし、残りのコア回路とisoSPI回路に電力を供給します。

消費電力は動作ステートによって異なります。 V_{REG} 入力には、安定化されたDRIVE出力ピンによって駆動される外付けトランジスタを介して電力を供給できます。あるいは、内部LDOまたは外部電源から電力を供給できます。内部LDOは V^+ から給電されるので、この構成では、 V_{REG} の電流も V^+ から供給されます。内部LDOを使用して V_{REG} に給電している場合、 V^+ の全電流は次式によって求められます。

$$I_{\text{VP_INTREG}} = I_{\text{VP}} + I_{\text{REG}}$$

電流 I_{VP} が依存するのはコアのステートだけです。ただし、 I_{REG} 電流は、コアのステートとisoSPIのステートの両方に依存するため、2つの成分に分けることができます。isoSPIインターフェースに流れる電流は、 V_{REG} ピンからの電流だけです。

$$I_{\text{REG}} = I_{\text{REG}}(\text{Core}) + I_{\text{REG}}(\text{isoSPI})$$

表1に、それぞれのコア・ステートでの I_{VP} および $I_{\text{REG}}(\text{Core})$ 電源電流の代表値を示します。表2に、それぞれのisoSPIステートでの $I_{\text{REG}}(\text{isoSPI})$ 電源電流の概算式を示します。

表1. コアの電源電流

ステート		I_{VP}	$I_{\text{REG}}(\text{CORE})$
SLEEP	$V_{\text{REG}} = 0\text{V}$	5.7 μA	0 μA
	$V_{\text{REG}} = 5\text{V}$	3.5 μA	3.3 μA
STANDBY, Int Regulator Enabled		75 μA	55 μA
STANDBY, Int Regulator Disabled		20 μA	55 μA
REFUP		30 μA	1.7mA
MEASURE		50 μA	6.1mA

動作

表 2. isoSPI の電源電流の式

isoSPI ステート	ISOMD の接続	$I_{REG}(\text{isoSPI})$
IDLE	N/A	0mA
READY	V_{REG}	$2.2\text{mA} + 3 \cdot I_B$
	V^-	$1.5\text{mA} + 3 \cdot I_B$
ACTIVE	V_{REG}	Write: $2.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{CLK}}\right) \cdot I_B$ Read: $2.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns} \cdot 1.5}{t_{CLK}}\right) \cdot I_B$
	V^-	$1.8\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{CLK}}\right) \cdot I_B$

V_{REG} の構成

ここでは、LTC6810 で V_{REG} の給電に使用できる各種の構成について説明します。 V^+ ピンの電圧が 12V より低いと、DRIVE ピンのレギュレータに十分なヘッドルームがないため、DRIVE ピンの電圧が公称値を下回ります。この状態では、外付けトランジスタから V_{REG} ピンに給電することはできません。この問題を克服するため、LTC6810 には V_{REG} ピンに 4.7V (代表値) の電力を供給する内部 LDO が備わっています。この内部 LDO は、最低 5V の V^+ ピン電圧で動作します。DRIVE ピンに 15 μA より高い負荷電流を流すと、内部 LDO がイネーブルされます。図 2 に、 V^+ が 12V より低い場合の、内部 LDO を使用した LTC6810 の代表的な構成を示します。推奨される 100K の抵抗を DRIVE ピンに接続すると、DRIVE ピンから 30 μA 以上の電流が流れます。これにより、内部レギュレータがイネーブルされます。

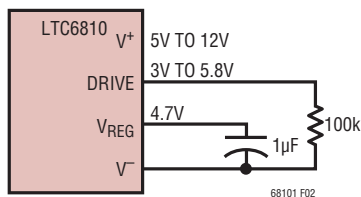


図 2. 内部 LDO による V_{REG} の給電

内部 LDO のパス・トランジスタでの消費電力は、 $(V^+ - V_{REG}) \cdot I_{REG}$ になります。 V^+ ピンの電圧が 12V より高い場合は、消費電力をデバイス内部で制限するため、外付けトランジスタを使用して V_{REG} に給電することを推奨します。外付けトランジスタは安定化された DRIVE ピン電圧で駆動され、 V_{REG} ピンの電圧を標準で 5.2V に設定します。内部 LDO は電流のソース専用に設計されているので、外部トランジスタによって V_{REG} ピンが 5.2V で駆動されると、内部レギュレータが緩やかにシャットダウンします。図 3 に、外付けトランジスタを使用して V_{REG} に給電する LTC6810 の代表的な構成を示します。この構成は V^+ が 12V を下回っても使用できますが、外付けトランジスタによって設定された V_{REG} ピンの電圧が内部 LDO の電圧レベルより低くなると、内部 LDO が V_{REG} の給電を引き継ぎます。

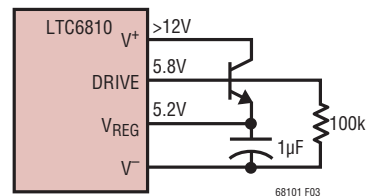


図 3. 外付けトランジスタによる V_{REG} の給電

その他に、外部電源から V_{REG} ピンに電力を供給することもできます。この構成では、競合の問題が発生しないようにするため、内部 LDO が常にシャットダウンされていることが重要です。そのために、DRIVE ピンをフロート状態にします。図 4 に、 V_{REG} が外部電源から給電されている場合の LTC6810 の代表的な構成を示します。

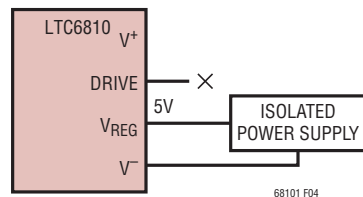


図 4. 独立電源による V_{REG} の給電

動作

ADCの動作

LTC6810には内部に1つのADCがあります。このADCは、CピンまたはSピンと汎用入力を介して、セルの電圧を測定するために使用します。

ADCモード

構成レジスタ・グループのADCOPTビット(CFGR0[0])と変換コマンドのモード選択ビットMD[1:0]を組み合わせると、ADCの8つの動作モードが得られます。これらのモードは、異なるオーバー・サンプリング率(OSR)に対応しています。これらのモードの精度とタイミングを表3にまとめています。それぞれのモードにおいて、ADCは最初に入力を測定し、次にキャリブレーションを行います。モードの名前は、ADC測定の-3dB帯域幅に基づいています。

7kHzモード(通常動作モード)：このモードでは、ADCの分解能が高く、TME(全測定誤差)が低く抑えられています。これは、速度と精度のバランスが最適になるように組み合わされていることから、通常動作モードと見なされます。

27kHzモード(高速モード)：このモードでは、ADCのスループットが最大になりますが、TME(全測定誤差)はある程度増加します。そのためこのモードは、高速モードとも呼ばれます。速度の向上は、オーバーサンプリング率を小さくすることによって実現されます。その結果、ノイズと平均測定誤差が増加します。

26Hzモード(フィルタ・モード)：このモードでは、OSRを増やすことによって、ADCのデジタル・フィルタの-3dB周波数が26Hzに減少します。このモードは、-3dB周波数が低いいため、フィルタ・モードとも呼ばれます。精度は7kHzモード(通常動作モード)と同様ですが、ノイズが少なくなります。

14kHz、3kHz、2kHz、1kHz、および422Hzモード：14kHz、3kHz、2kHz、1kHz、および422Hzモードは、ADCデジタル・フィルタの-3dB周波数をそれぞれ13.5kHz、3.4kHz、1.7kHz、845Hz、および422Hzに設定する追加オプションを提供します。14kHzモードの精度は、27kHzモード(高速モード)と同様です。3kHz、2kHz、1kHz、および422Hzモードの精度は、7kHzモード(通常動作モード)と同様です。

これらのモードにおけるフィルタの帯域幅と変換時間を表3および表5に示します。コアがSTANDBY状態にある場合、A/D変換を開始する前にリファレンスを起動するために、 t_{REFUP} の追加時間が必要です。構成レジスタ・グループのREFONビットを1に設定した場合、A/D変換とA/D変換の間にリファレンスを起動したままにすることができます。したがって、遅延 t_{REFUP} の後、コアはREFUP状態になっています。REFONを1に設定すると、遅延 t_{REFUP} 後にコアはSTANDBY状態からREFUP状態に移行します。その後のADCコマンドでは、A/D変換を開始する前に t_{REFUP} の遅延は発生しません。

ADCの範囲と分解能

セル入力とGPIO入力の範囲および分解能は同じです。LTC6810内部のADCの範囲は、およそ-0.82V～+5.73Vです。負の読出し値は0Vに丸められます。データのフォーマットは16ビットの符号なし整数で、LSBは100 μ Vです。したがって、0x80E8(10進数で33,000)は3.3Vの測定値を示します。

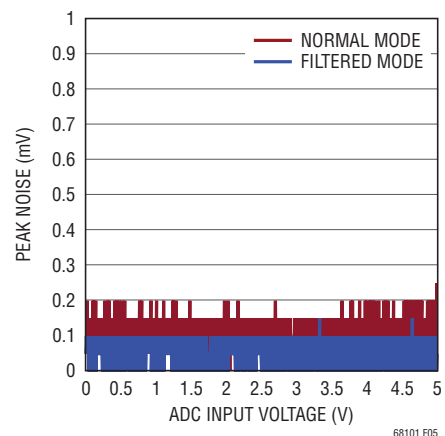


図5.

デルタシグマ型ADCでは、特に高速モードなどでオーバー・サンプリング率(OSR)が低い場合に、入力電圧に応じて量子化ノイズが発生します。ADCモードの一部では、入力電圧がADC範囲の上限と下限に近づくにつれて量子化ノイズが増加します。例として、通常動作モードとフィルタ・モードでの全測定ノイズと入力電圧を図5に示します。

動作

表 3. ADC フィルタの帯域幅、精度、速度

モード	−3dB フィルタの帯域幅	−40dB フィルタの帯域幅	3.3V、25°C での TME 仕様	3.3V、−40°C、125°C での TME 仕様
27kHz (Fast Mode)	27kHz	84kHz	±5.5mV	±5.5mV
14kHz	13.5kHz	42kHz	±5.5mV	±5.5mV
7kHz (Normal Mode)	6.8kHz	21kHz	±1.8mV	±2.4mV
3kHz	3.4kHz	10.5kHz	±1.8mV	±2.4mV
2kHz	1.7kHz	5.3kHz	±1.8mV	±2.4mV
1kHz	845Hz	2.6kHz	±1.8mV	±2.4mV
422Hz	422Hz	1.3kHz	±1.8mV	±2.4mV
26Hz (Filtered Mode)	26Hz	82Hz	±1.8mV	±2.4mV

注記: TME は全測定値誤差

表 4. ADC の範囲と分解能

モード	全範囲 ¹	規定範囲	精度範囲 ²	LSB	フォーマット	最大ノイズ	ノイズのない分解能 ³
27kHz (fast)	−0.8192V to 5.7344V	0V to 5V	0.5V to 4.5V	100μV	Unsigned 16 Bits	±4mV _{p-p}	10 Bits
14kHz						±1mV _{p-p}	12 Bits
7kHz (normal)						±250μV _{p-p}	14 Bits
3kHz						±150μV _{p-p}	14 Bits
2kHz						±100μV _{p-p}	15 Bits
1kHz						±100μV _{p-p}	15 Bits
422Hz						±100μV _{p-p}	15 Bits
26Hz (filtered)						±50μV _{p-p}	16 Bits

1. 負の読出し値は 0V に丸められます。
2. 精度範囲は、ノイズが最大ノイズより小さくなる範囲です。
3. ノイズのない分解能は、精度範囲内のノイズ・レベルの測定値です。

ADC の規定範囲は 0V ~ 5V です。表 4 では、ADC の精度範囲は、0.5V ~ 4.5V の間で任意に定義されます。これは、低 OSR モードでも量子化ノイズが比較的一定になる範囲です (図 5 を参照)。ADC の 8 つの動作モード全てについて、この範囲内の全ノイズを表 4 にまとめます。ノイズのない分解能

も示されています。例えば、通常動作モードでのノイズのない 14 ビットの分解能とは、DC 入力では上位 14 ビットにはノイズがないが、15 番目と 16 番目の最下位ビット (LSB) にはフリッカ・ノイズがあることを意味しています。

動作

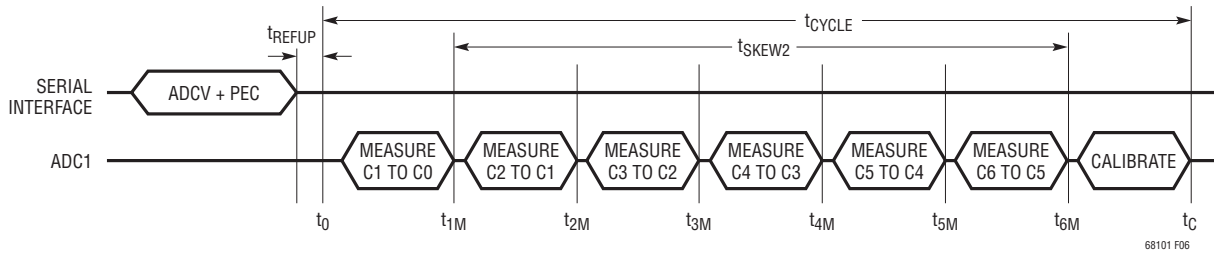


図6. 6個のセル全てを測定するADCVコマンドのタイミング、SCONV = 0

表5. 6個のセル全てを測定するADCVコマンドの変換時間と同期時間、SCONV = 0

モード	変換時間 (μs)							同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{5M}	t _{6M}	t _{c, MCAL = 0}	t _{c, MCAL = 1}	t _{SKEW2}
27kHz	0	57	104	244	291	524	1,106	233
14kHz	0	87	162	390	465	699	1,281	379
7kHz	0	145	279	681	815	1,165	2,328	670
3kHz	0	261	511	1,262	1,513	1,863	3,026	1,252
2kHz	0	494	977	2,426	2,909	3,259	4,423	2,415
1kHz	0	959	1,908	4,753	5,702	6,052	7,215	4,742
422Hz	0	1,890	3,770	9,408	11,287	11,637	12,801	9,397
26Hz	0	29,818	59,624	149,044	178,851	182,692	201,310	149,033

表5は、6個のセル全てを測定するADCVコマンドの変換時間を示しています。合計変換時間は、キャリブレーション・ステップの終了を示すt_cで与えられます。

図7は、1個のセルだけを測定するADCVコマンドのタイミングを示しています。

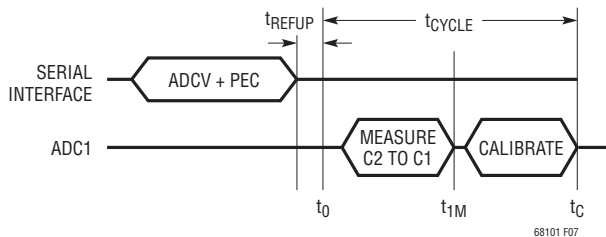


図7. 1個のセルを測定するADCVコマンドのタイミング、SCONV = 0

表6は、1個のセルだけを測定するADCVコマンドの変換時間を示しています。t_cは、このコマンドの合計変換時間を表します。

表6. 1個のセルのみ測定するADCVコマンドの変換時間、SCONV = 0

モード	変換時間 (μs)		
	t ₀	t _{1M}	t _c
27kHz	0	57	200
14kHz	0	87	229
7kHz	0	145	404
3kHz	0	261	520
2kHz	0	494	753
1kHz	0	959	1,218
422Hz	0	1,890	2,149
26Hz	0	29,817	33,567

動作

低電圧／過電圧モニタ

C 入力測定されるたびに、結果は、メモリに格納されている低電圧閾値および過電圧閾値と比較されます。セルの測定値が過電圧制限値を超えている場合は、メモリ内のビットがフラグとしてセットされます。同様に、測定結果が低電圧制限値を下回っている場合はフラグがセットされます。過電圧閾値と低電圧閾値は構成レジスタ・グループに格納されます。フラグはステータス・レジスタ・グループ B に格納されます。

補助 (GPIO) 測定 (ADAX コマンド)

ADAX コマンドによって GPIO 入力の測定が開始されます。このコマンドには、測定する GPIO 入力 (GPIO1~4) と使用する ADC モードを選択するためのオプションがあります。ADAX コマンドは、V-ピンの電圧を基準にして S0 ピンと 2 番目のリファレンスも測定します。ADAX コマンドには、S0 のサブセット、GPIO、2 番目のリファレンスを個別に測定するためのオプションと、S0、4 つの GPIO 全てと 2 番目のリファ

レンスを 1 つのコマンドで測定するためのオプションがあります。ADAX コマンドのフォーマットについては、コマンドのセクションを参照してください。全ての補助測定は V-ピンの電圧を基準にしています。GPIO に温度センサーを接続すれば、このコマンドを使用して外部温度を測定することができます。これらのセンサーの電源は 2 番目のリファレンスから取ることができ、このリファレンスも ADAX コマンドによって測定されるので、正確なレシオメトリック測定を行うことができます。

図 8 は、S0、全ての GPIO、2 番目のリファレンスを測定する ADAX コマンドのタイミングを示しています。2 番目のリファレンスは、GPIO4 の後に測定されます。

S0、全ての GPIO、2 番目のリファレンスを測定する ADAX コマンドの変換時間を表 7 に示します。tc は合計変換時間を示しています。

1 個の補助を測定する ADAX のタイミングは、1 個のセルを測定する ADCV と同じです。

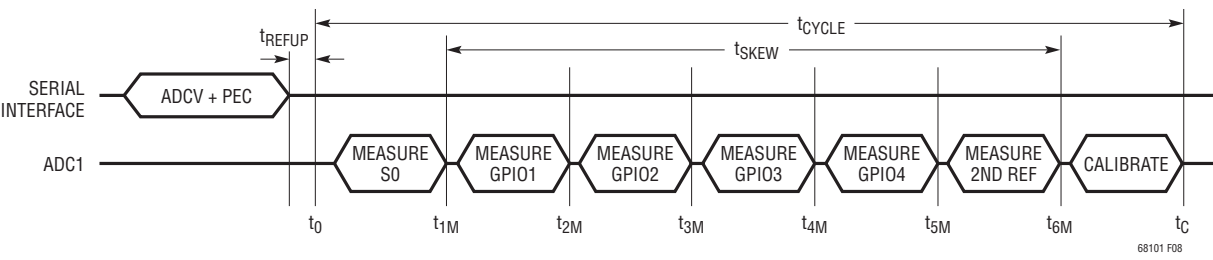


図 8. 全ての GPIO と 2 番目のリファレンスを測定する ADAX コマンドのタイミング

表 7. S0、全ての GPIO、2 番目のリファレンスを測定する ADAX コマンドの変換時間と同期時間

モード	変換時間 (μs)								
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{c, MCAL = 0}	t _{c, MCAL = 1}
27kHz	0	57	104	151	197	244	291	521	1,103
14kHz	0	87	162	238	314	390	465	695	1,277
7kHz	0	145	279	413	547	681	815	1,161	2,324
3kHz	0	261	511	762	1,012	1,262	1,513	1,859	3,023
2kHz	0	494	977	1,460	1,943	2,426	2,909	3,255	4,419
1kHz	0	959	1,908	2,856	3,805	4,753	5,702	6,048	7,212
422Hz	0	1,890	3,770	5,649	7,529	9,408	11,287	11,634	12,797
26Hz	0	29,818	59,624	89,431	119,238	149,044	178,851	182,688	201,306

動作

デジタル冗長化機能を備えた補助 (GPIO) 測定 (ADAXD コマンド)

ADAXD コマンドは ADAX コマンドと同様に動作しますが、デジタル冗長化機能を使用して追加の診断を実行することだけが異なります。デジタル冗長化機能を使用した A/D 変換のセクションを参照してください。

ADAX と ADAXD の実行時間は同じです。

セル電圧と GPIO の測定 (ADCVAX コマンド)

ADCVAX コマンドは、6 個のセルの測定値を S0 および GPIO1 の測定値と組み合わせます。このコマンドを使用すれば、電流センサーを GPIO1 入力に接続した場合に、バッテリー・セル電圧測定値と電流測定値の同期が容易になります。SCONV を 0 に設定した場合の ADCVAX コマンドのタイミングを図 9 に示します。ADCVAX コマンドのフォーマットについては、コマンドのセクションを参照してください。図 9 に示すタイミング値は、ADC が 27kHz (高速) モードで動作していることを前提としています。高速モードでの電流測定値と電圧測定値の同期時間 (t_{SKEW1}) は、196 μs 以下です。

SCONV を 0 に設定した場合の様々なモードでの ADCVAX コマンドの変換時間と同期時間を表 8 に示します。このコマンドの合計変換時間は、 t_C から得られます。

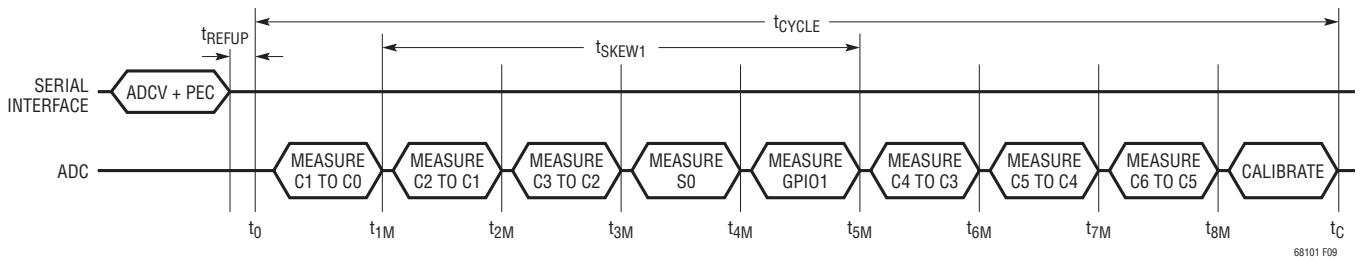


図 9. ADCVAX コマンドのタイミング、SCONV = 0

表 8. ADCVAX コマンドの変換時間と同期時間、SCONV = 0

モード	変換時間 (μs)										同期時間 (μs)	
	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{5M}	t_{6M}	t_{7M}	t_{8M}	$t_{C, \text{MCAL} = 0}$	$t_{C, \text{MCAL} = 1}$	t_{SKEW1}
27kHz	0	57	104	151	205	251	305	352	399	682	1,497	194
14kHz	0	87	162	238	321	397	480	556	631	915	1,730	310
7kHz	0	145	279	413	554	688	829	963	1,097	1,497	3,126	543
3kHz	0	261	511	762	1,019	1,270	1,527	1,777	2,028	2,427	4,057	1,008
2kHz	0	494	977	1,460	1,950	2,433	2,923	3,407	3,890	4,289	5,918	1,939
1kHz	0	959	1,908	2,856	3,812	4,760	5,716	6,665	7,613	8,013	9,642	3,801
422Hz	0	1,890	3,770	5,649	7,536	9,415	11,302	13,181	15,060	15,460	17,089	7,525
26Hz	0	29,817	59,624	89,431	119,245	149,051	178,865	208,672	238,479	242,369	268,435	119,234

動作

データ・アキュイジション・システムの診断

バッテリー・モニタ・データ・アキュイジション・システムは、マルチプレクサ、ADC、1 番目のリファレンス、デジタル・フィルタ、およびメモリで構成されます。信頼性の高い性能を長期間確保するために、診断コマンドがいくつかあります。これらのコマンドを使用して、各回路が正常に動作していることを確認できます。

内部デバイス・パラメータの測定 (ADSTAT コマンド)

ADSTAT コマンドは、全セルの合計 (SC)、内部ダイ温度 (ITMP)、アナログ電源 (VA)、およびデジタル電源 (VD) という内部デバイス・パラメータを測定する診断コマンドです。これらのパラメータについて、以降のセクションで説明します。前述した 8 つの ADC モードは、全てこれらの変換で使用できます。ADSTAT コマンドのフォーマットについては、コマンドのセクションを参照してください。

図 10 は、4 つの内部デバイス・パラメータ全てを測定する ADSTAT コマンドのタイミングを示しています。

4 つの内部パラメータ全てを測定する ADSTAT コマンドの変換時間を表 9 に示します。t_c は、ADSTAT コマンドの合計変換時間を示しています。ADSTAT を実行して 4 つの内部パラメータ全てを測定する場合、MCAL に関係なく、LTC6810 はキャリブレーション・サイクルを 4 回実行します。

1 個のステータス・パラメータを測定する ADSTAT のタイミングは、1 個のセルを測定する ADCV と同じです。

全セル電圧の合計測定値：全セル電圧合計測定値は、V⁺ と V⁻ の間の電圧を 10:1 に減衰させた値です。V⁺ から V⁻ の電圧は、デバイスがバッテリー・セルで駆動されている場合の総バッテリー電圧と同じです。全セル電圧合計測定値 (SC) の 16 ビット ADC の値は、ステータス・レジスタ・グループ A に格納されます。SC の値から、全セル電圧合計測定値は次式によって与えられます。

全セル電圧合計測定値 = SC • 10 • 100 μV

内部ダイ温度：ADSTAT コマンドは、内部ダイ温度の測定にも使用できます。ダイ温度の測定値 (ITMP) の 16 ビット ADC の値は、ステータス・レジスタ・グループ A に格納されます。ITMP から、実際のダイ温度は次式を使用して計算されます。

内部ダイ温度 (°C) = ITMP • $\frac{100\mu V}{7.5mV}$ °C - 273°C

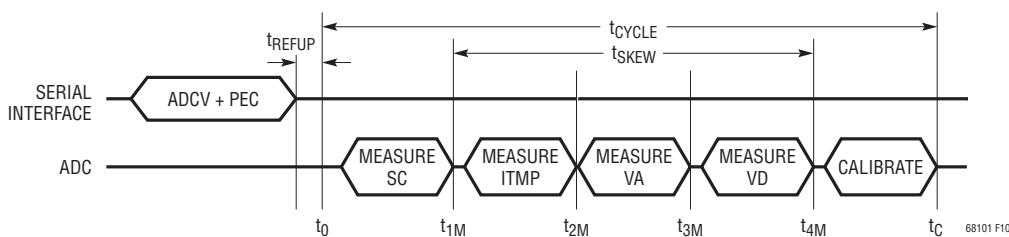


図 10. SC、ITMP、VA、VD を測定する ADSTAT コマンドのタイミング

表 9. SC、ITMP、VA、VD を測定する ADSTAT コマンドの変換時間と同期時間

モード	変換時間 (μs)							同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{c, MCAL = 1 OR 0}		t _{SKEW}
27kHz	0	57	104	151	197	741	0	140
14kHz	0	87	162	238	314	858	0	227
7kHz	0	145	279	413	547	1,556	0	402
3kHz	0	261	511	762	1,012	2,021	0	751
2kHz	0	494	977	1,460	1,943	2,952	0	1,449
1kHz	0	959	1,908	2,856	3,805	4,814	0	2,845
422Hz	0	1,890	3,770	5,649	7,528	8,538	0	5,638
26Hz	0	29,817	59,624	89,431	119,237	134,210	0	89,420

動作

電源測定値：ADSTAT コマンドは、アナログ電源 (V_{REG}) とデジタル電源 (V_{REGD}) の測定にも使用されます。

アナログ電源測定値 (VA) の 16 ビット ADC の値は、ステータス・レジスタ・グループ A に格納されます。デジタル電源測定値 (VD) の 16 ビット ADC の値は、ステータス・レジスタ・グループ B に格納されます。VA と VD から、各電源の測定値は次の式によって得られます。

$$\text{アナログ電源測定値 (V}_{REG}\text{)} = \text{VA} \cdot 100 \mu\text{V}$$

$$\text{デジタル電源測定値 (V}_{REGD}\text{)} = \text{VD} \cdot 100 \mu\text{V}$$

V_{REG} の値は外付け部品によって決まります。精度を維持するため、 V_{REG} は 4.5V ～ 5.5V の範囲内にします。 V_{REGD} の値は内部部品によって決まります。 V_{REGD} の通常の範囲は 2.7V ～ 3.6V です。

デジタル冗長化機能を使用した内部デバイス・パラメータの測定 (ADSTATD コマンド)

ADSTATD コマンドは ADSTAT コマンドと同様に動作しますが、デジタル冗長化機能を使用して追加の診断を実行することだけが異なります。デジタル冗長化機能を使用した A/D 変換のセクションを参照してください。

ADSTAT と ADSTATD の実行時間は同じです。

セル電圧と V^+ から V^- の電圧の測定 (ADCVSC コマンド)

ADCVSC コマンドは、6 個のセル電圧測定値と全セル電圧合計測定値を組み合わせます。このコマンドにより、個々のバッテリー・セル電圧と全セル電圧合計測定値の同期が簡単になります。ADCVSC コマンドのタイミングを図 11 に示します。ADCVSC コマンドのフォーマットについては、コマンドのセクションを参照してください。高速モードでのセル電圧測定値と全セル電圧合計測定値の同期時間 (t_{SKEW}) は、147 μs 以下です。

SCONV = 0 における様々なモードの ADCVSC コマンドの変換時間と同期時間を表 10 に示します。このコマンドの合計変換時間は、 t_C から得られます。ADCVSC を実行する場合、MCAL に関係なく、LTC6810 はキャリブレーション・サイクルを常に 7 回実行します。

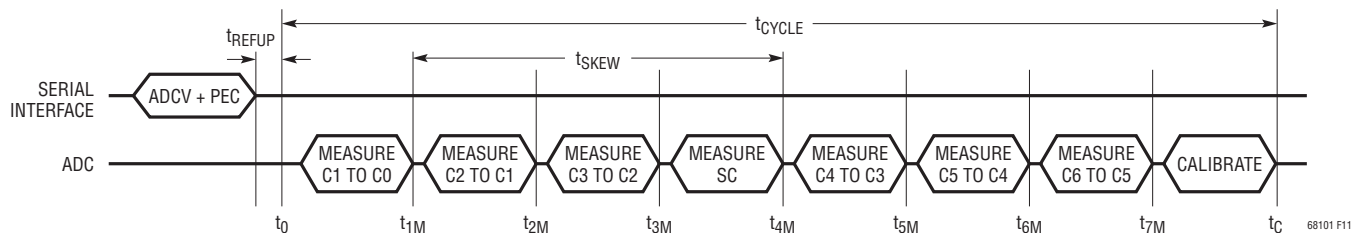


図 11. ADCVSC コマンドのタイミング、SCONV = 0

表 10. ADCVSC コマンドの変換時間と同期時間、SCONV = 0

モード	変換時間 (μs)									同期時間 (μs)
	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{5M}	t_{6M}	t_{7M}	$t_{C, MCAL = 1 \text{ OR } 0}$	t_{SKEW}
27kHz	0	57	104	151	205	259	305	352	1,316	147
14kHz	0	87	162	238	321	404	480	556	1,520	235
7kHz	0	145	279	413	554	695	829	963	2,742	409
3kHz	0	261	511	762	1,019	1,277	1,527	1,777	3,556	758
2kHz	0	494	977	1,460	1,950	2,440	2,923	3,407	5,185	1,456
1kHz	0	959	1,908	2,856	3,812	4,768	5,716	6,665	8,443	2,853
422Hz	0	1,890	3,770	5,649	7,536	9,422	11,302	13,181	14,960	5,645
26Hz	0	29,817	59,624	89,431	119,245	149,059	178,865	208,672	234,887	89,427

動作

デジタル冗長化機能を使用したA/D変換

内部ADCは、独自のデジタル・フィルタを備えています。また、LTC6810は、冗長化と誤り検査に使用される第2のデジタル・フィルタも搭載しています。

全てのADCコマンドおよび自己テスト・コマンド(ADAXおよびADSTATを除く)は、デジタル冗長化と並行して実行できます。これに該当するのは、ADCV、ADOW、CVST、ADAXD、AXOW、AXST、ADSTATD、STATST、ADCVAX、ADCVSCです。セル測定中にデジタル冗長化機能を有効にするには、DIS_REDとSCONVを0に設定する必要があります(Sピンを使用したセルの冗長測定を参照)。A/D変換を冗長化と同時に実行する場合、アナログ変調器はそのビット・ストリームを1次デジタル・フィルタと冗長デジタル・フィルタの両方に送信します。変換が終了すると、2つのフィルタからの結果が比較されます。不一致が発生した場合は、0xFF0X ($\geq 6.528\text{V}$) という値が結果レジスタに書き込まれます。この値はADCのクランプ範囲外であり、ホストはこれを障害の兆候として識別します。最後の4ビットは、結果値のどのニブルが一致しなかったを示すために使用されます。

結果	意味
0b1111_1111_0000_0XXX	ビット15～12には障害が検出されなかった
0b1111_1111_0000_1XXX	ビット15～12に障害が検出された
0b1111_1111_0000_X0XX	ビット11～8には障害が検出されなかった
0b1111_1111_0000_X1XX	ビット11～8に障害が検出された
0b1111_1111_0000_XX0X	ビット7～4には障害が検出されなかった
0b1111_1111_0000_XX1X	ビット7～4に障害が検出された
0b1111_1111_0000_XXX0	ビット3～0には障害が検出されなかった
0b1111_1111_0000_XXX1	ビット3～0に障害が検出された

構成レジスタ・グループのFDRFビットに1が書き込まれている場合、後続のA/D変換でデジタル冗長化の比較が強制的に機能しなくなります。構成レジスタ・グループのDIS_REDビットに1が書き込まれている場合、デジタル冗長化の比較がデイスエーブルされ、後続のADCコマンドは通常のADC結果を格納します。

Sピンを使用したセルの冗長測定

LTC6810は、Sピン間を測定することでセルの冗長測定を実行する機能を備えています。独立したピン・ペアを使用した冗長測定を使用すると、デバイスのピン、外部フィルタ部品、または内部マルチプレクサにリークがあるかどうかを検出できます。ブロック図(LTC6810-1)では、CピンとSピンの両方をADCに接続できることが示されています。2つの異なる測定経路でセルを2回測定し、測定結果が一致する場合、2つの経路は正しく機能しているを見なすことができます。

ホストは、構成レジスタ・グループのSCONVビットに1を書き込むことで、この機能を有効化します。その後、セル電圧を測定するADCコマンドが、Cピンを使用して1回目の測定を行い、次にSピンを使用してもう一度測定します。Cピンの測定結果はC電圧レジスタ・グループに格納されます。Sピンの測定結果はS電圧レジスタ・グループに格納されます(冗長S電圧レジスタ・グループA、冗長S電圧レジスタ・グループB)。ホスト・コントローラが2つの測定結果を比較します。ADCの量子化ノイズと、CピンとSピンでの外部フィルタ処理の違いにより、測定値は数LSB異なる場合があります。

Sピンの測定では、追加の冗長性と誤り検査を提供するために、冗長デジタル・フィルタを利用します。このため、Sピンでのセル測定中、デジタル冗長化機能は使用できません。

図12に、冗長測定を有効にして6個のセルを測定するADCVシーケンスを示します。

表11は、冗長測定を有効にして6個のセル全てを測定するADCVコマンドの変換時間を示しています。合計変換時間は、キャリブレーション・ステップの終了を示す t_c で与えられます。

図13は、冗長測定で1個のセルを測定するADCVコマンドのタイミングを示しています。

表12は、1個のセルだけを測定するADCVコマンドの変換時間を示しています。 t_c は、このコマンドの合計変換時間を表します。

動作

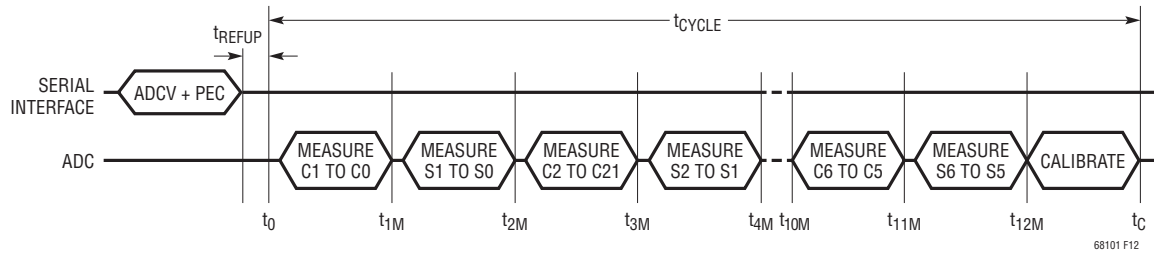


図 12. 6個のセル全てを測定する ADCV コマンドのタイミング、SCONV = 1

表 11. 6個のセル全てを測定する ADCV コマンドの変換時間、SCONV = 1

モード	変換時間 (μs)														
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{7M}	t _{8M}	t _{9M}	t _{10M}	t _{11M}	t _{12M}	t _{c,MCAL = 0}	t _{c,MCAL = 1}
27kHz	0	57	104	151	197	244	291	337	384	431	477	524	571	913	2,194
14kHz	0	87	163	238	314	390	466	541	617	693	769	844	920	1,263	2,543
7kHz	0	145	279	413	547	680	814	948	1,082	1,216	1,350	1,484	1,618	2,077	4,637
3kHz	0	261	511	762	1,012	1,262	1,513	1,763	2,013	2,263	2,514	2,764	3,014	3,473	6,033
2kHz	0	494	977	1,460	1,943	2,426	2,909	3,392	3,875	4,358	4,841	5,324	5,807	6,266	8,827
1kHz	0	959	1,908	2,856	3,805	4,753	5,702	6,650	7,599	8,547	9,496	10,444	11,393	11,852	14,412
422Hz	0	1,890	3,770	5,649	7,528	9,408	11,287	13,167	15,046	16,925	18,805	20,684	22,563	23,023	25,583
26Hz	0	29,818	59,624	89,431	119,238	149,044	178,851	208,658	238,464	268,271	298,078	327,884	357,691	361,641	402,601

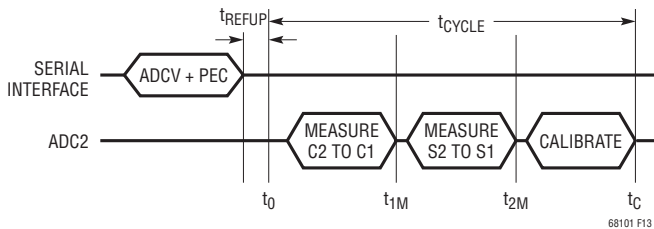


図 13. 1個のセルを測定する ADCV コマンドのタイミング、SCONV = 1

表 12. 1個のセルのみ測定する ADCV コマンドの変換時間、SCONV = 1

モード	変換時間 (μs)				
	t ₀	t _{1M}	t _{2M}	t _{c,MCAL = 0}	t _{c,MCAL = 1}
27kHz	0	57	104	265	381
14kHz	0	87	162	323	440
7kHz	0	145	279	556	789
3kHz	0	261	512	789	1,021
2kHz	0	494	977	1,254	1,487
1kHz	0	959	1,908	2,185	2,418
422Hz	0	1,890	3,770	4,047	4,280
26Hz	0	29,817	59,624	63,392	67,116

SCONVを1に設定した場合の ADCVAX コマンドのタイミングを図 14 に示します。

SCONVを1に設定した場合の様々なモードでの ADCVAX コマンドの変換時間と同期時間を表 13 に示します。このコマンドの合計変換時間は、t_c から得られます。

SCONVを1に設定した場合の ADCVSC コマンドのタイミングを図 15 に示します。

SCONVを1に設定した場合の様々なモードでの ADCVSC コマンドの変換時間と同期時間を表 14 に示します。このコマンドの合計変換時間は、t_c から得られます。

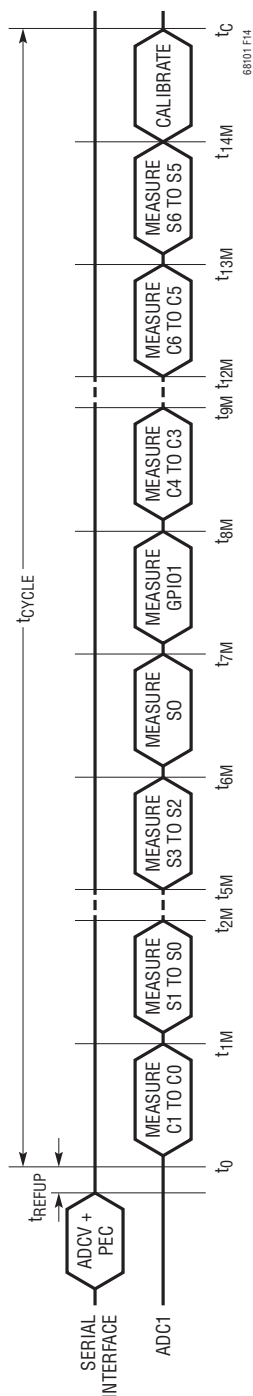


図14. ADCVAX コマンドのタイミング、SCONV = 1

表13. ADCVAXコマンドの変換時間、SCONV = 1

	変換時間(μs)																
モード	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{7M}	t _{8M}	t _{9M}	t _{10M}	t _{11M}	t _{12M}	t _{13M}	t _{14M}	t _{C,MCAL} = 0	t _{C,MCAL} = 1
27kHz	0	58	104	151	198	244	291	345	392	446	500	546	593	640	686	1,086	2,599
14kHz	0	87	162	238	314	390	465	548	624	707	790	866	942	1,017	1,093	1,493	3,006
7kHz	0	145	279	413	547	681	815	956	1,090	1,231	1,372	1,506	1,640	1,774	1,908	2,424	5,449
3kHz	0	261	511	762	1,012	1,262	1,513	1,770	2,020	2,278	2,536	2,786	3,036	3,287	3,537	4,053	7,078
2kHz	0	494	977	1,460	1,943	2,426	2,909	3,399	3,882	4,373	4,863	5,346	5,829	6,312	6,795	7,311	10,337
1kHz	0	960	1,908	2,857	3,805	4,753	5,702	6,658	7,606	8,562	9,518	10,466	11,415	12,363	13,312	13,828	16,853
422Hz	0	1,890	3,770	5,649	7,528	9,408	11,287	13,174	15,053	16,940	18,827	20,706	22,585	24,465	26,344	26,860	29,886
26Hz	0	29,817	59,624	89,431	119,237	149,044	178,851	208,665	238,471	268,285	298,099	327,906	357,713	387,519	417,326	421,333	469,740

動作

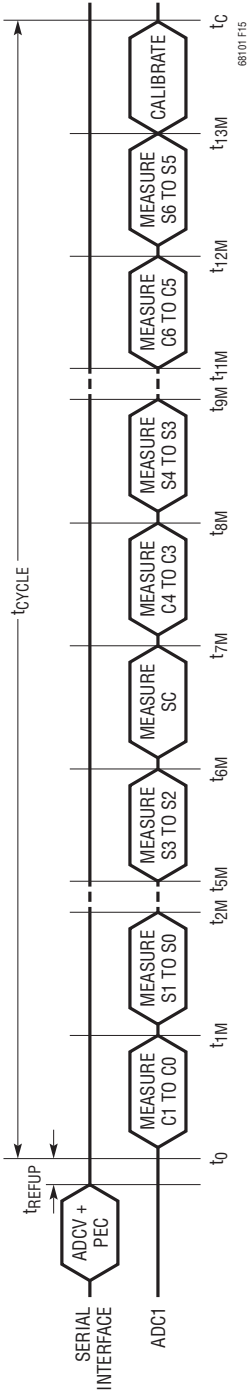


図 15. ADCVAX コマンドのタイミング、SCONV = 1

表 14. ADCVSC コマンドの変換時間、SCONV = 1

モード	変換時間 (µs)														
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{7M}	t _{8M}	t _{9M}	t _{10M}	t _{11M}	t _{12M}	t _{13M}	t _{C, MCAL = 1}
27kHz	0	58	104	151	198	244	291	345	399	453	500	546	593	640	t _{C, MCAL = 0} 2,418
14kHz	0	87	162	238	314	390	465	548	631	714	790	866	942	1,017	2,796
7kHz	0	145	279	413	547	681	815	956	1,097	1,238	1,372	1,506	1,640	1,774	5,065
3kHz	0	261	511	762	1,012	1,262	1,513	1,770	2,028	2,285	2,536	2,786	3,036	3,287	6,578
2kHz	0	494	977	1,460	1,943	2,426	2,909	3,399	3,890	4,380	4,863	5,346	5,829	6,312	9,603
1kHz	0	960	1,908	2,857	3,805	4,753	5,702	6,658	7,613	8,569	9,518	10,466	11,415	12,363	15,654
422Hz	0	1,890	3,770	5,649	7,528	9,408	11,287	13,174	15,060	16,947	18,827	20,706	22,585	24,465	27,756
26Hz	0	29,817	59,624	89,431	119,237	149,044	178,851	208,665	238,479	268,293	298,099	327,906	357,713	387,519	436,192

動作

精度チェック

データ・アキュイジション・システムの精度を確認する最良の方法は、独立した電圧リファレンスを測定することです。LTC6810には、このために2番目のリファレンスが内蔵されています。ADAX コマンドは、この2番目のリファレンスの測定を開始します。測定結果は補助レジスタ・グループBに置かれます。この結果の範囲は、2番目のリファレンスの精度によって決まり、温度ヒステリシスと長時間ドリフトが含まれています。読出し値が2.99V～3.01Vの範囲を外れる場合（データシートの最終限度にヒステリシス分の2mVと長時間ドリフト分の3mVを加算）は、システムが規定の許容誤差から外れていることを示しています。

MUXデコーダ・チェック

診断コマンドDIAGNによって、各マルチプレクサ・チャンネルが正しく動作していることを確認できます。このコマンドは全てのチャンネルを巡回検査して、チャンネル・デコーダが不合格になると、ステータス・レジスタ・グループBのMUXFAILビットを1に設定します。チャンネル・デコーダがテストに合格した場合、MUXFAILビットは0に設定されます。MUXFAILビットは、電源投入時(POR)またはCLRSTATコマンドの実行後にも1に設定されます。

コアがREFUPステートにある場合、DIAGNコマンドの実行には約300μsかかります。コアがSTANDBYステートにある場合、DIAGNコマンドの実行には約3.8msかかります。ポーリング方法のセクションに記載されたポーリング方法を使用して、DIAGNコマンドの完了を確認できます。

デジタル・フィルタ・チェック

デルタシグマ型ADCは、1ビット・パルス密度変調器とその後段に接続されたデジタル・フィルタで構成されています。アナログ入力電圧が高くなると、パルス密度変調ビット・ストリームにおける1の比率(%)が大きくなります。デジタル・フィルタは、この高周波の1ビット・ストリームを1つの16ビット・ワードに変換します。デルタシグマ型ADCが、よくオーバーサンプリング・コンバータと呼ばれるのはこのためです。

デジタル・フィルタとメモリの動作は、自己テスト・コマンドによって確認できます。自己テスト中のADCの動作を図16に示します。1ビット・パルス密度変調器の出力は、1ビット・テスト信号に置き換えられます。このテスト信号はデジタル・フィルタを通過して16ビット値に変換されます。1ビットのテスト信号には、変調器からの通常の1ビット・パルスと同じデジタル変換が行われるので、自己テスト・コマンドによる変換時間は通常のA/D変換コマンドによる変換時間とまったく同じです。16ビットADCの値は、通常のA/D変換コマンドと同じレジスタ・グループに保存されます。自己テスト・コマンドの合計変換時間は、通常のADC変換コマンドの場合と同じです。テスト信号は、1と0が交互に現れるパターンをレジスタ内に置くように設計されています。

自己テスト・コマンドの一覧を表15に示します。デジタル・フィルタとメモリが正しく機能している場合は、表15に示す値がレジスタに格納されます。詳細については、コマンドのセクションを参照してください。

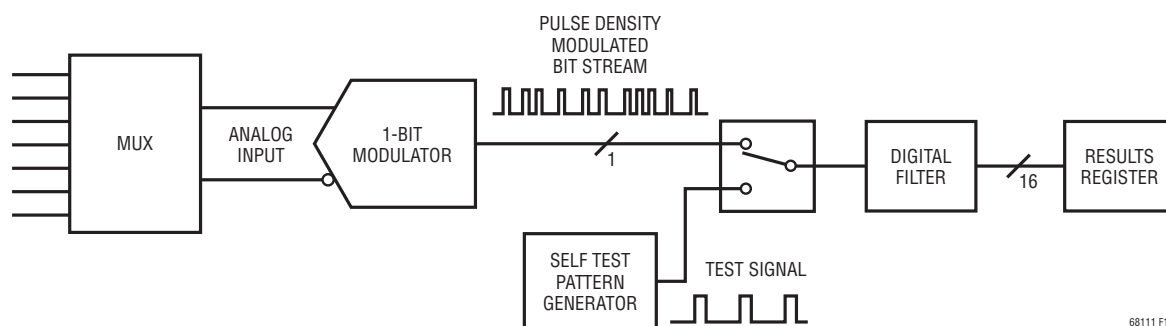


図16. LTC6810 ADCの自己テストの動作

動作

表 15. 自己テスト・コマンドのまとめ

コマンド	自己テストのオプション	各 ADC モードでの出力パターン			結果レジスタ・グループ
		27kHz	14kHz	7kHz, 3kHz, 2kHz, 1kHz, 422Hz, 26Hz	
CVST	ST[1:0] = 01	0x9565	0x9553	0x9555	C1V to C18V (CVA, CVB, CVC, CVD)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	
AXST	ST[1:0] = 01	0x9565	0x9553	0x9555	S0, G1V to G4V, REF (AUXA, AUXB)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	
STATST	ST[1:0] = 01	0x9565	0x9553	0x9555	SOC, ITMP, VA, VD (STATA, STATB)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	

ADC クリア・コマンド

LTC6810には、3つのクリアADCコマンド(CLRCELL、CLRAUX、およびCLRSTAT)があります。これらのコマンドは、全てのA/D変換結果を保存しているレジスタをクリアします。

CLRCELL コマンドは、セル電圧レジスタ・グループA、B、C、Dをクリアします。これらのレジスタ内の全てのバイトは、CLRCELL コマンドによって0xFFに設定されます。

CLRAUX コマンドは、補助レジスタ・グループAおよびBをクリアします。これらのレジスタ内の全てのバイトは、CLRAUX コマンドによって0xFFに設定されます。

CLRSTAT コマンドは、ステータス・レジスタ・グループBのREVCODEビットとRSVDビットを除き、ステータス・レジスタ・グループAおよびBをクリアします。REVCODEを読み出すと、デバイスのリビジョン・コードが返されます。RSVDビットは、常に0を読み出します。ステータス・レジスタ・グループBのOVフラグ、UVフラグ、MUXFAILビット、およびTHSDビットは、CLRSTAT コマンドによって全て1に設定されます。RDSTATB コマンドの実行後、THSDビットは0に設定されます。SC、ITMP、VA、およびVDを格納するレジスタは、CLRSTAT コマンドによって全て0xFFに設定されます。

断線チェック(ADOW コマンド)

ADOW コマンドは、LTC6810のADCと外部セルとの間に断線がないかを確認するために使用されます。このコマンドはADCVコマンドとまったく同様にCピン入力のA/D変換を行います。2つのCピンを測定するときに2つの内部電流源が2つのCピンに電流をシンクまたはソースする点が異なります。ADOW コマンドのプルアップ(PUP)ビットにより、電流源が100μAをシンクするか、またはソースするかが決まります。

以下の簡単なアルゴリズムを使用して、7つのCピンのいずれかに断線があるかどうかを確認できます。

1. PUP = 1を設定した6セルのコマンドADOWを少なくとも2回実行する。最後にセル1～6の電圧を1回読み出し、その結果をアレイCELLPU(n)に保存する。
2. PUP = 0を設定した6セルのコマンドADOWを少なくとも2回実行する。最後にセル1～6の電圧を1回読み出し、その結果をアレイCELLPD(n)に保存する。
3. セル2～6に対して上のステップで行ったプルアップ測定とプルダウン測定の差を取る。

$$CELL\Delta(n) = CELLPU(n) - CELLPD(n)$$
4. 1から5までの全てのnの値に対して、次のように判定する。
 $CELL\Delta(n+1) < -400mV$ の場合、C(n)が断線している。
 $CELLPU(1) = 0.0000$ の場合、C(0)が断線している。
 $CELLPD(6) = 0.0000$ の場合、C(6)が断線している。

上記のアルゴリズムは、断線箇所のLTC6810側に10nF程度の容量を残し、通常動作モードの変換を使用して断線を検出します。ただし、断線状態のCピンの外部容量がこれより大きい場合は、このアルゴリズムで断線状態を検出できるだけの十分な差を作り出す時間を100μA電流源に与えるために、ステップ1と2で実行する断線変換の時間を長くする必要があります。これを実現するには、ステップ1と2でADOWコマンドを3回以上実行するか、通常動作モード変換ではなくフィルタ・モード変換を使用します。必要な変換回数は、表16を使用して決定してください。

動作

表 16.

Cピンの外部容量	ステップ1と2に必要なAD0Wコマンドの実行回数	
	通常動作モード	フィルタ・モード
≤10nF	2	2
100nF	10	2
1μF	100	2
C	1 + ROUNDUP(C/10nF)	2

サーマル・シャットダウン

LTC6810を過熱から保護するために、デバイスにはサーマル・シャットダウン回路が組み込まれています。ダイで検出された温度が約150°Cを超えると、サーマル・シャットダウン回路が作動して、構成レジスタ・グループとPWMレジスタ・グループをデフォルト状態にリセットします。これによって、全ての放電スイッチがオフになります。サーマル・シャットダウンが発生すると、ステータス・レジスタ・グループBのTHSDビットがハイになります。また、CLRSTATコマンドが診断の目的でTHSDビットをハイに設定することもできます。このビットは、ステータス・レジスタ・グループBに対する読出し動作(RDSTATBコマンド)が実行されるとクリアされます。

リビジョン・コードと予備ビット

ステータス・レジスタ・グループBには4ビットのリビジョン・コードが含まれています。ソフトウェアでデバイスのリビジョンを確認する必要がある場合、詳細に関しては弊社までお問い合わせください。それ以外の場合、コードは無視してかまいません。ただし、データ読出し時にパケット・エラー・コード(PEC)を計算するときは、いかなる場合でも全ビットの値を使う必要があります。

ウォッチドッグ・タイマーと放電タイマー

2秒以上有効なコマンドが確認されないと、ウォッチドッグ・タイマーが期限切れになります。これにより、構成レジスタ・バイトCFGR0-3がリセットされます。PWMレジスタ・グループのCFGR4、CFGR5、およびPWM構成ビットは、放電タイマーが無効になると、ウォッチドッグ・タイマーによってリセットされます。ウォッチドッグ時間が経過すると、WDTピンは外部プルアップによってハイになります。ウォッチドッグ・タイマーは常にインエーブル状態であり、一致コマンドPECが設定された有効なコマンドが実行されると、その都度リセットされます。

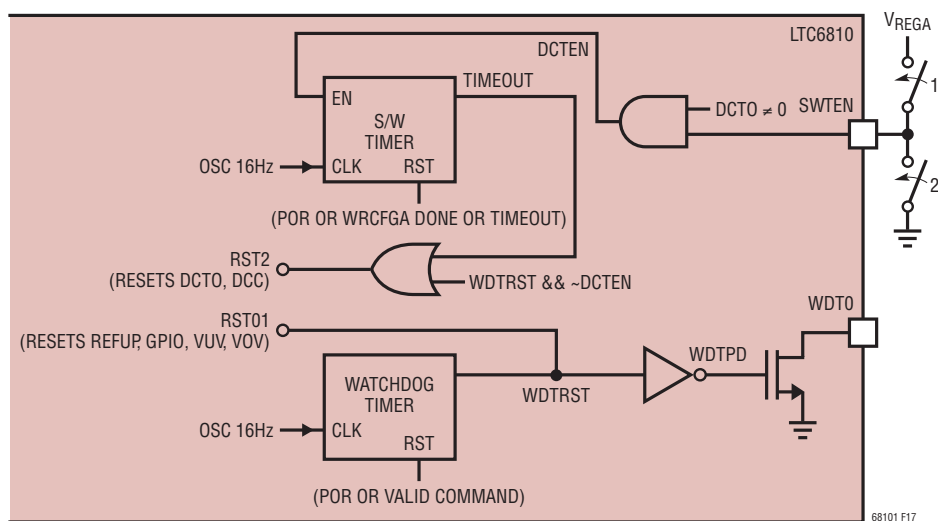


図17. ウォッチドッグ・タイマーと放電タイマー

動作

表 17. DCTO の設定

DCTO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
時間(分)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120

放電タイマーが使用されるのは、ウォッチドッグ時間の経過後プログラム可能な時間中、パルス幅変調を使用してセル放電をイネーブルするためです。放電タイマーをイネーブルするには、DTEN ピンを V_{REGA} に接続し(図 17)、構成レジスタ・グループの DCTO 値にゼロでない値を書き込みます。ウォッチドッグ時間が経過した後、放電スイッチは、PWM レジスタ・グループの PWM 構成ビットで規定されたデューティ・サイクルに従い、DCTO 値によって決まる時間にわたって放電することができます。様々な時間の設定値と対応する DCTO の値を表 17 に示します。表 18 は、ウォッチドッグ・タイマー・イベントまたは放電タイマー・イベントが発生した後の構成レジスタ・グループの状態をまとめたものです。

放電タイマーの状態を調べるには、RDCFG コマンドを使用して、構成レジスタを読み出します。表 19 に示すように、DCTO の値は放電タイマーの期限が切れるまでの残り時間を示します。

ウォッチドッグ・タイマーとは異なり、放電タイマーは、有効なコマンドがあってもリセットされません。放電タイマーは、有効な WRCFG (構成レジスタ・グループの書き込み) コマンドの後でのみリセットされます。コマンドによっては、その途中で放電タイマーの期限が切れる可能性があります。

WRCFG コマンドの途中で放電タイマーが期限切れになると、構成レジスタ・グループと PWM レジスタ・グループは表 18 に従ってリセットされます。ただし、有効な WRCFG コマンドの終了時には、新しいデータが構成レジスタにコピーされます。放電タイマーを起動したときに新しい構成データが失われることはありません。

RDCFG コマンドの途中で放電タイマーが起動すると、構成レジスタ・グループは表 18 に従ってリセットされます。この結果、CRFG4 および CRFG5 の各バイトからの読出しデータが壊れる可能性があります。WRPWM または RDPWM コマンドの途中で放電タイマーが起動すると、PWM レジスタ・グループは表 18 に従ってリセットされます。この結果、データが壊れる可能性があります。

表 18.

	ウォッチドッグ・タイマー	放電タイマー
DTEN = 0, DCTO = XXXX	Resets CFGRO-5 and PWM bits when it fires.	Disabled
DTEN = 1, DCTO = 0000	Resets CFGRO-5 and PWM bits when it fires.	Disabled
DTEN = 1, DCTO != 0000	Resets CFGRO-3 when it fires.	Resets CFGR4-5 and PWM bits when it fires.

表 19.

DCTO (読出し値)	残り時間(分)
0	Disabled (or) Discharge Timer Has Timed Out
1	$0 < \text{Timer} \leq 0.5$
2	$0.5 < \text{Timer} \leq 1$
3	$1 < \text{Timer} \leq 2$
4	$2 < \text{Timer} \leq 3$
5	$3 < \text{Timer} \leq 4$
6	$4 < \text{Timer} \leq 5$
7	$5 < \text{Timer} \leq 10$
8	$10 < \text{Timer} \leq 15$
9	$15 < \text{Timer} \leq 20$
A	$20 < \text{Timer} \leq 30$
B	$30 < \text{Timer} \leq 40$
C	$40 < \text{Timer} \leq 60$
D	$60 < \text{Timer} \leq 75$
E	$75 < \text{Timer} \leq 90$
F	$90 < \text{Timer} \leq 120$

動作

セル・バランスに対応したSピンのパルス幅変調

ウォッチドッグ・タイマーの期限が切れないうちは、構成レジスタ・グループのDCCビットがSピンを直接制御します。ウォッチドッグ・タイマーの期限が切れると、PWM動作が始まり、選択されたソフトウェア放電時間の残りまで続くか、ウェイクアップ・イベントが発生する(かつウォッチドッグ・タイマーがリセットされる)まで続きます。

いったんPWM動作が始まると、表20に示すように、PWMレジスタ・グループでの構成によってSピンが制御され、目的のデューティ・サイクルを実現できます。各PWM信号は30秒周期で動作します。各サイクルでは、デューティ・サイクルを0%から50%まで $1/30 = 3.33\%$ (1秒)刻みでプログラムすることができます。隣接セルのSピンが同時にアクティブになることはないので、最大デューティ・サイクルは50%です。2つの隣接Sピンがアクティブになる間隔は1ms以上あり、重複はありません。

表20. PWMの構成

DTENの設定	PWMCの設定	オン時間(秒)	オフ時間(秒)	デューティ・サイクル(%)
1'b0	4'bXXXX	0	Continuously Off	0
1'b1	4'b1111	15	15	50
1'b1	4'b1110	14	16	46.7
1'b1	4'b1101	13	17	43.3
1'b1	4'b1100	12	18	40
1'b1	4'b1011	11	19	36.7
1'b1	4'b1010	10	20	33.3
1'b1	4'b1001	9	21	30
1'b1	4'b1000	8	22	26.7
1'b1	4'b0111	7	23	23.3
1'b1	4'b0110	6	24	20
1'b1	4'b0101	5	25	16.7
1'b1	4'b0100	4	26	13.3
1'b1	4'b0011	3	27	10
1'b1	4'b0010	2	28	6.7
1'b1	4'b0001	1	29	3.3
1'b1	4'b0000	0	Continuously Off	0

各SピンのPWMターンオン／ターンオフ時間を異なる間隔でシーケンス制御して、2つのピンが同時にオンまたはオフに切り替わらないようにします。チャンネル間のスイッチング間隔は62.5msなので、6ピン全部を切り替えるには、375ms ($6 \cdot 62.5\text{ms}$)が必要です。

PWMレジスタ・グループのPWMC設定のデフォルト値は、全て0です。スリープ・モードに入ると、PWMC設定はリセットされてデフォルト値になります。

放電タイマー・モニタ

LTC6810は、放電タイマーが作動している間、セル電圧を周期的にモニタする機能を備えています。この機能をイネーブルするには、ホストが構成レジスタ・グループのDTENビットに1を書き込む必要があります。

放電タイマー・モニタがイネーブルされていて、ウォッチドッグ・タイマーの期限が切れている場合、LTC6810は全てのセル電圧の変換を7kHz(通常動作)モードで30秒ごとに実行します。過電圧と低電圧の比較が実行され、セル電圧が閾値を超えるとフラグが設定されます。低電圧セルがある場合は、PWMレジスタ・グループの関連PWMCビットを放電タイマー・モニタが自動的にクリアするので、セルはそれ以上放電されません。また、放電制御ビットをクリアすると、PWMの放電もデイスエーブルされます。この機能により、ホストは低電圧閾値を目的の放電レベルに書き込み、放電タイマー・モニタを使用して全てのセル(または選択したセル)をこのレベルまで放電することができます。

放電タイマーのモニタ中は、セル電圧の測定時にデジタル冗長検査が実行されます。デジタル冗長性障害が発生すると、PWMCビットがクリアされ、放電が終了します。

GPIOを使用するLTC6810のI²C/SPIマスタ

LTC6810のI/OポートGPIO2、GPIO3、GPIO4を、I²Cマスタ・ポートまたはSPIマスタ・ポートとして使用し、I²CスレーブまたはSPIスレーブと通信できます。I²Cマスタの場合、GPIO3とGPIO4が、それぞれI²CインターフェースのSDAポートとSCLポートを形成します。SPIマスタの場合、GPIO2、GPIO3、およびGPIO4が、それぞれSPIインターフェースのCSBポート、SDIOポート、およびSCKポートになります。LTC6810のSPIマスタは、SPIモード3(CHPA = 1, CPOL = 1)をサポートします。

動作

GPIOはオープンドレイン出力なので、I²CマスタまたはSPIマスタとして動作するには、これらのポートに外部プルアップが必要です。また、CFGレジスタ・グループのGPIOビットに1を書き込んで、これらのポートがデバイスによって内部でローに引き下げられないようにすることも重要です。

COMMレジスタ

LTC6810は、表21に示すように、6バイトのCOMMレジスタを備えています。このレジスタは、スレーブとのI²C通信またはSPI通信に必要な、全てのデータと制御ビットを格納します。COMMレジスタには、スレーブ・デバイスとの間で送受信される3バイトのデータDn[7:0]が格納されます。ICOMn[3:0]は、データ・バイトを送受信する前の動作を指定します。FCOMn[3:0]は、データ・バイトを送受信した後の動作を指定します。

COMMレジスタのICOMn[3]ビットを1に設定すると、デバイスはSPIマスタになります。また、このビットを0に設定すると、デバイスはI²Cマスタになります。

ICOMn[3:0]とFCOMn[3:0]に対して有効な書込みコード、およびデバイスをI²Cマスタとして使用した場合のそれらの動作を表22に示します。

ICOMn[3:0]とFCOMn[3:0]に対する有効なコードと、デバイスをSPIマスタとして使用した場合の動作を表23に示します。

表22および表23に示したコードのみがICOMn[3:0]とFCOMn[3:0]に対して有効であることに注意してください。表22および表23に記載されていない他のコードをICOMn[3:0]とFCOMn[3:0]に書き込むと、I²CポートまたはSPIポートで予期しない動作が発生する可能性があります。

表21. COMMレジスタのメモリ・マップ

レジスタ	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表22. I²CマスタのICOMn[3:0]とFCOMn[3:0]の書込みコード

制御ビット	コード	動作	概要
ICOMn[3:0]	0110	START	START信号をI ² Cポート上に作成し、データ送信する。
	0001	STOP	STOP信号をI ² Cポート上に作成する。
	0000	BLANK	I ² Cポート上で直接データ送信を続ける。
	0111	No Transmit	SDAとSCLを開放し、残りのデータは無視する。
FCOMn[3:0]	0000	Master ACK	マスタは9クロック・サイクル目にACK信号を作成する。
	1000	Master NACK	マスタは9クロック・サイクル目にNACK信号を作成する。
	1001	Master NACK + STOP	マスタはNACK信号を作成し、その後STOP信号を作成する。

表23. SPIマスタのICOMn[3:0]とFCOMn[3:0]の書込みコード

制御ビット	コード	動作	概要
ICOMn[3:0]	1000	CSBM low	SPIポート(GPIO3)上にCSBMのロー信号を作成する。
	1010	CSBM falling edge	CSBM(GPIO3)をハイにした後、ローにする。
	1001	CSBM high	SPIポート(GPIO3)上にCSBMのハイ信号を作成する。
	1111	No Transmit	SPIポートを開放し、残りのデータは無視する。
FCOMn[3:0]	X000	CSBM low	バイト転送が終了するまでCSBMをローに固定する。
	1001	CSBM high	バイト転送が終了するまでCSBMをハイにする。

動作

COMM コマンド

次の3つのコマンドは、スレーブ・デバイスとのI²C通信またはSPI通信を遂行するのに役立ちます。3つのコマンドは、WRCOMM、STCOMM、およびRDCOMMです。

WRCOMM コマンド: このコマンドは、COMMレジスタへのデータ書込みに使用されます。このコマンドは、6バイトのデータをCOMMレジスタに書き込みます。データの最後にはPECを書き込む必要があります。PECが一致しない場合は、CSBがハイになった時点でCOMMレジスタ内の全てのデータがクリアされて1になります。書込みコマンド・フォーマットの詳細については、バス・プロトコルのセクションを参照してください。

STCOMM コマンド: このコマンドは、GPIOポート上のI²C/SPI通信を初期化します。COMMレジスタには、スレーブへ送信する3バイトのデータが格納されます。このコマンドの実行時には、COMMレジスタに格納されているデータ・バイトがスレーブのI²CデバイスまたはSPIデバイスに送信され、I²CデバイスまたはSPIデバイスから受信したデータがCOMMレジスタに格納されます。このコマンドは、I²C通信の場合、GPIO3 (SDA)とGPIO4 (SCL)を使用し、SPI通信の場合、GPIO2 (CSBM)、GPIO3 (SDIOM)、およびGPIO4 (SCKM)を使用します。

STCOMMコマンドの後には、CSBがローに保たれる間、1バイトのデータをスレーブ・デバイスへ送るごとに24個のクロック・サイクルが続きます。例えば、3バイトのデータをスレーブへ送信するには、STCOMMコマンドとそのPECを送信し、その後72個のクロック・サイクルが続きます。STCOMMコマンドの72個のクロック・サイクルの最後で、CSBをハイに引き上げます。

I²C通信またはSPI通信の間、スレーブ・デバイスから受信したデータはCOMMレジスタ内で更新されます。

RDCOMM コマンド: スレーブ・デバイスから受信したデータは、RDCOMMコマンドを使用してCOMMレジスタから読み出すことができます。このコマンドは、6バイトのデータとその後のPECを読み出します。読出しコマンド・フォーマットの詳細については、バス・プロトコルのセクションを参照してください。

デバイスをI²Cマスタとして使用した場合のICOMn[3:0]とFCOMn[3:0]に対する読出しコードを、表24に示します。Dn[3:0]には、I²Cスレーブが送信したデータ・バイトが格納されています。

SPIマスタの場合、ICOMn[3:0]とFCOMn[3:0]の読出しコードは、それぞれ常に0111と1111です。Dn[3:0]には、SPIスレーブが送信したデータ・バイトが格納されています。

表 24. I²CマスタのICOMn[3:0]とFCOMn[3:0]の読出しコード

制御ビット	コード	概要
ICOMn[3:0]	0110	マスタはSTART信号を作成。
	0001	マスタはSTOP信号を作成。
	0000	Blank, SDAはバイト間でローに維持。
	0111	Blank, SDAはバイト間でハイに維持。
FCOMn[3:0]	0000	マスタはACK信号を作成。
	0111	スレーブはACK信号を作成。
	1111	スレーブはNACK信号を作成。
	0001	スレーブはACK信号を作成、マスタはSTOP信号を作成。
	1001	スレーブはNACK信号を作成、マスタはSTOP信号を作成。

図18は、GPIOを使用した、I²CマスタまたはSPIマスタとしてのLTC6810の動作を示しています。

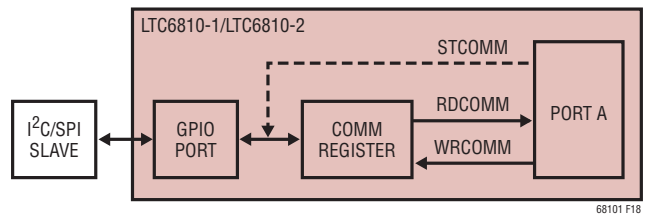


図18. GPIOを使用するLTC6810のI²C/SPIマスタ

これらのコマンドを使用すれば、3バイトずつに分けて任意の数のバイトをスレーブへ送信することができます。GPIOポートが、異なるSTCOMMコマンド間でリセットされることはありません。ただし、コマンド間の待機時間が2秒よりも長い場合は、ウォッチドッグ・タイマーがタイムアウトし、ポートをデフォルト値にリセットします。

I²Cマスタを使用して複数バイトのデータを送信する場合、START信号が必要なのは、データ・ストリーム全体の先頭だけです。また、STOP信号が必要なのはデータ・ストリームの最後だけです。全ての中間データ・グループでは、データ・バイトの前にBLANKコードを使用することができ、必要に応じてデータ・バイトの後にACK/NACK信号を使用することができます。SDAとSCLが、異なるSTCOMMコマンド間でリセットされることはありません。

SPIマスタを使用して複数バイトのデータを送信する場合、1番目のデータ・バイトの先頭でCSBMのロー信号を送信します。FCOMn[3:0]で適切なコードを使用して、中間データ・グループに対して、CSBMをローに保つかハイに引き上げることができます。データの最終バイトの最後で、CSBMのハイ信号を送信します。CSBM、SDIOM、およびSCKMが、異なるSTCOMMコマンド間でリセットされることはありません。

動作

図 19 は、様々なケースの I²C マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。ICOMn[3:0] が STOP 状態を規定している場合は、STOP 信号の送信後に SDA ラインと SCL ラインがハイに維持され、ワードの残りのデータが全て無視されます。ICOMn[3:0] が NO TRANSMIT の場合は、SDA ラインと SCL ラインの両方が解放されて、ワードの残りのデータが全て無視されます。これは、スタック内の特定デバイスがスレーブと通信する必要のない場合に使用されます。

図 20 は、SPI マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。I²C マスタと同様に、ICOMn[3:0] が CSBM HIGH または NO TRANSMIT 状態を指定した場合、SPI マスタの CSBM、SCKM、および SDIOM の各ラインが解放され、ワードの残りのデータが無視されます。

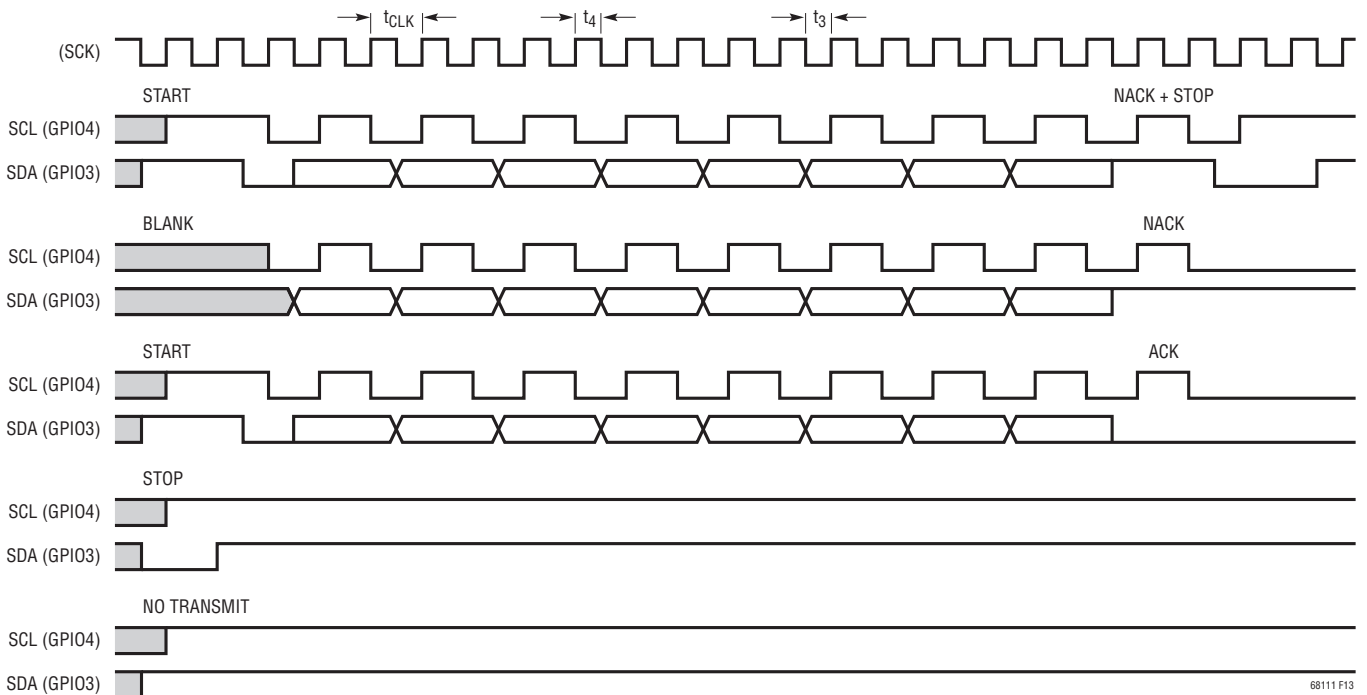


図 19. I²C マスタの STCOMM のタイミング図

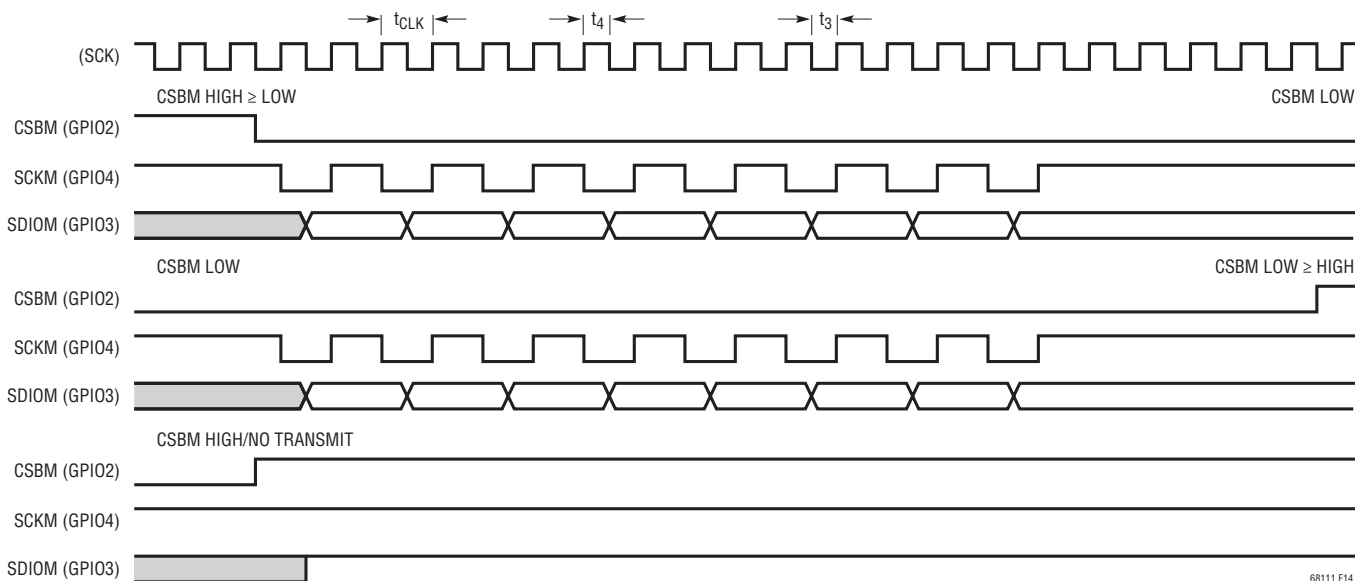


図 20. SPI マスタの STCOMM のタイミング図

動作

I²C マスタと SPI マスタのタイミング仕様

LTC6810 の I²C マスタまたは SPI マスタのタイミングは、LTC6810 のプライマリ SPI インターフェースでの通信のタイミングによって制御されます。プライマリ SPI クロックに対する I²C マスタのタイミング関係を、表 25 に示します。SPI マスタのタイミング仕様を表 26 に示します。

表 25. I²C マスタのタイミング

I ² C マスタのパラメータ	プライマリ SPI インターフェース とのタイミング関係	t _{CLK} = 1 μs での タイミング仕様
SCL Clock Frequency	1/(2 • t _{CLK})	Max 500kHz
t _{HD;STA}	t ₃	Min 200ns
t _{LOW}	t _{CLK}	Min 1 μs
t _{HIGH}	t _{CLK}	Min 1 μs
t _{SU;STA}	t _{CLK} + t ₄ *	Min 1.03 μs
t _{HD;DAT}	t ₄ *	Min 30ns
t _{SU;DAT}	t ₃	Min 200ns
t _{SU;STO}	t _{CLK} + t ₄ *	Min 1.03 μs
t _{BUF}	3 • t _{CLK}	Min 3 μs

*注記: isoSPI を使用する場合、t₄ は内部で生成され、最小値の 30ns になる。また、t₃ = t_{CLK} - t₄ である。SPI を使用する場合、t₃ と t₄ は、SCK 入力のパワーアップ時間とハイ時間であり、それぞれ既定最小値の 200ns になる。

表 26. SPI マスタのタイミング

SPI マスタのパラメータ	プライマリ SPI インターフェース とのタイミング関係	t _{CLK} = 1 μs での タイミング仕様
SDIOM Valid to SCKM Rising Setup	t ₃	Min 200ns
SDIO Valid from SCKM Rising Hold	t _{CLK} + t ₄ *	Min 1.03 μs
SCKM Low	t _{CLK}	Min 1 μs
SCKM High	t _{CLK}	Min 1 μs
SCKM Period (SCKM_Low + SCKM_High)	2 • t _{CLK}	Min 2 μs
CSBM Pulse Width	3 • t _{CLK}	Min 3 μs
SCKM Rising to CSBM Rising	5 • t _{CLK} + t ₄ *	Min 5.03 μs
CSBM Falling to SCKM Falling	t ₃	Min 200ns
CSBM Falling to SCKM Rising	t _{CLK} + t ₃	Min 1.2 μs
SCKM Falling to SDIOM Valid	Master requires < t _{CLK}	

*注記: isoSPI を使用する場合、t₄ は内部で生成され、最小値の 30ns になる。また、t₃ = t_{CLK} - t₄ である。SPI を使用する場合、t₃ と t₄ は、SCK 入力のパワーアップ時間とハイ時間であり、それぞれ既定最小値の 200ns になる。

S ピンのミュート

S ピンは MUTE コマンドを送信すればディスエーブルが可能であり、UNMUTE コマンドを送信すれば再イネーブルが可能です。MUTE コマンドと UNMUTE コマンドは後に続くデータが不要なので、多数の LTC6810-1 デバイスを介して迅速に伝搬できます。また、LTC6810-2 デバイスで構成されるネットワークに対して、ブロードキャスト・コマンドとして送信できます。これにより、ホストはレジスタの内容を乱すことなく、放電のディスエーブルと再イネーブルを迅速に実行できます。このことは、例えばセル測定を実行する前に一定のセトリング時間を確保するのに便利です。ミュート・ステータスは、ステータス・レジスタ・グループ B の読出し専用 MUTE ビットで報告されます。

動作

シリアルIDと認証

それぞれのLTC6810には、一意の48ビットのシリアル識別コード(SID)が工場出荷時に設定され、シリアルIDレジスタ・グループに格納されています。ホストはRDSIDコマンドを使用して、各デバイスの一意のSIDコードを読み出すことができます。

LTC6810にはデバイス認証に使用できる機能も備わっています。認証機能の詳細については、弊社までお問い合わせください。

シリアル・インターフェースの概要

LTC6810には2種類のシリアル・ポートがあります。それは標準的な4線式シリアル・ペリフェラル・インターフェース(SPI)と2線絶縁型インターフェース(isoSPI)です。ピン36、37、40、41が2線シリアル・ポートと4線シリアル・ポートのどちらになるかは、ISOMDピンの状態によって決まります。

LTC6810 デバイスには、LTC6810-1とLTC6810-2という2つのバージョンがあります。LTC6810-1は、デイジーチェーン構成で使用され、LTC6810-2はアドレス指定可能なバス構成で使用されます。LTC6810-1は、ピン34、35、38、および39を使用する2番目のisoSPIインターフェースを提供します。LTC6810-2は、ピン34、35、38、および39を使用し、これらのピンをV⁻またはV_{REG}に接続することで、デバイスのアドレスを設定します。

4線式シリアル・ペリフェラル・インターフェース(SPI)の物理層

外部接続

ISOMDをV⁻に接続することによって、4線式SPIのシリアル・ポートAを設定します。SDOピンはオープン・ドレイン出力で、プルアップ抵抗を介して適切な電源電圧に接続する必要があります(図21)。

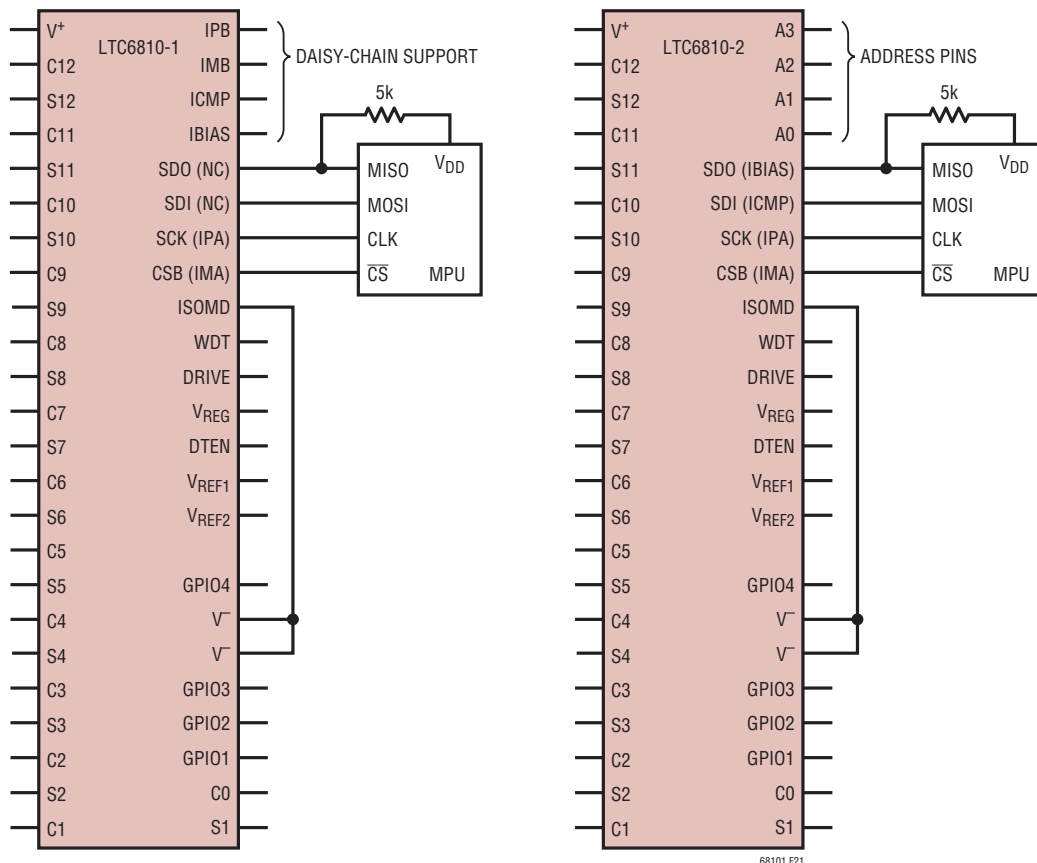


図21. 4線SPI構成

動作

タイミング

4線シリアル・ポートは、CPHA = 1 および CPOL = 1 を使う SPI システムで動作するように構成されています。したがって SDI のデータは、SCK 立上がりエッジの間、安定している必要があります。このタイミングを図 22 に示します。最大データレートは 1Mbps です。

2線絶縁型インターフェース (isoSPI) の物理層

2線インターフェースは、シンプルなツイスト・ペア・ケーブルを使用して LTC6810 を相互接続します。このインターフェースは、配線が高い RF 電界にさらされた場合でも、パケット・エラー率が低くなるように設計されています。絶縁は外付けのトランスを通じて実現されます。

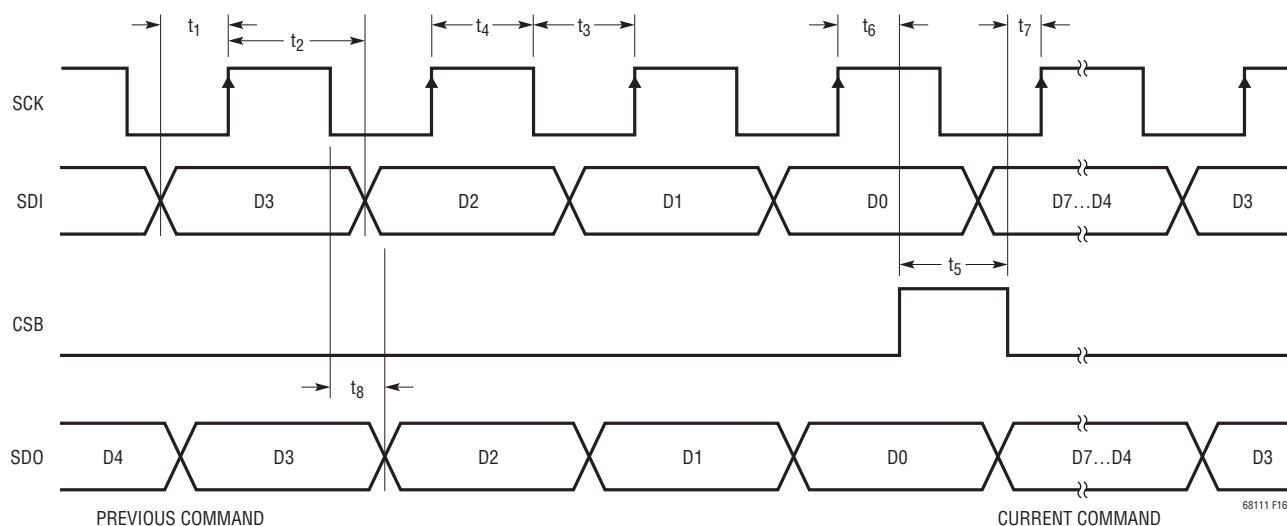


図 22. 4線シリアル・ペリフェラル・インターフェースのタイミング図

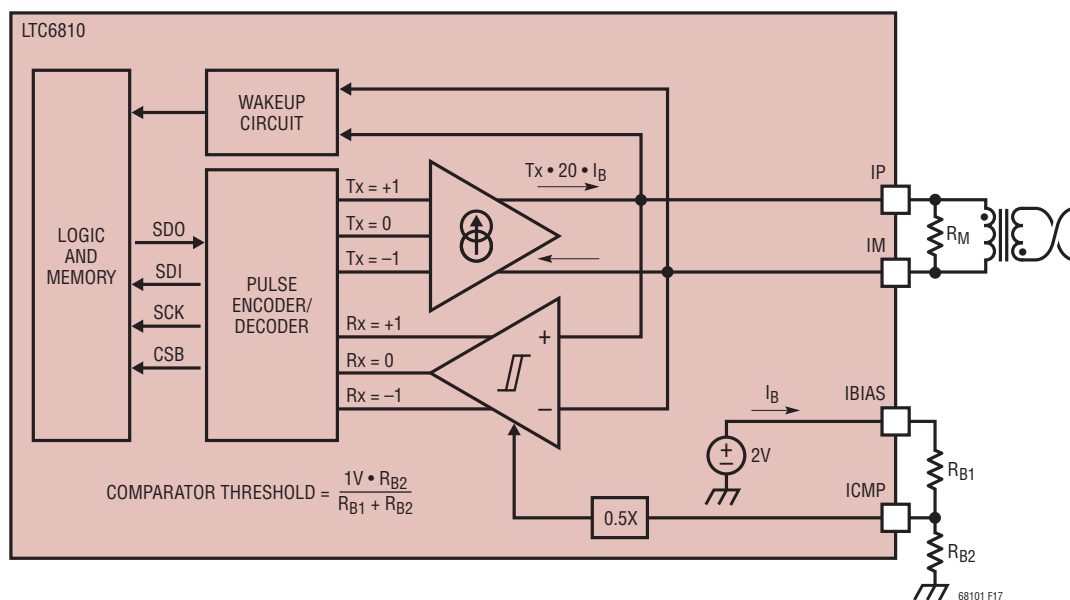


図 23. isoSPI インターフェース

動作

標準SPI信号は差動パルスにエンコードされます。送信パルスの強度とレシーバーの閾値レベルは、2個の外付け抵抗によって設定されます。これらの抵抗の値を調整することによって、消費電力とノイズ耐性を天秤に掛けることができます。

図 23 は、isoSPI 回路の動作を示しています。IBIAS ピンは 2V リファレンスによって駆動します。外付け抵抗 RB1 および RB2 によって、リファレンス電流 IB が生成されます。この電流は、トランスマッタのドライブ強度を設定します。また、RB1 と RB2 は分圧器を形成して、2V リファレンスの数分の 1 の電圧を ICMP ピンに供給します。これにより、レシーバー回路のスレッシュホールド電圧が設定されます。

外部接続

LTC6810-1は、ポートBとポートAという2つのシリアル・ポートを備えています。ポートBは、常に2線インターフェースとして構成されます。ポートAは、ISOMDピンの接続に応じて、2線インターフェースまたは4線インターフェースになります。

ポートAを4線インターフェースとして構成すると、ポートAは常にスレーブ・ポートになり、ポートBはマスタ・ポートになります。通信は、デジチェーン構成における先頭のデバイスのポートAで常に開始されます。デジチェーンの末尾のデバイスは、ポートBを使用せず、RMで終端する必要があります。マイクロプロセッサとLTC6810が同じPCB上にある場合の最も単純なポート接続を図24に示します。この図では、LTC6810間の信号を結合するのにコンデンサを使用しています。

ポートAを2線インターフェースとして構成した場合、通信はポートAとポートBのいずれで開始してもかまいません。通信をポートAで開始した場合、LTC6810はポートAをスレーブとして構成し、ポートBをマスタとして構成します。同様に、通信をポートBで開始した場合、LTC6810はポートBをスレーブとして構成し、ポートAをマスタとして構成します。可逆的isoSPIの詳細については、LTC6810-1の可逆的isoSPIのセクションを参照してください。

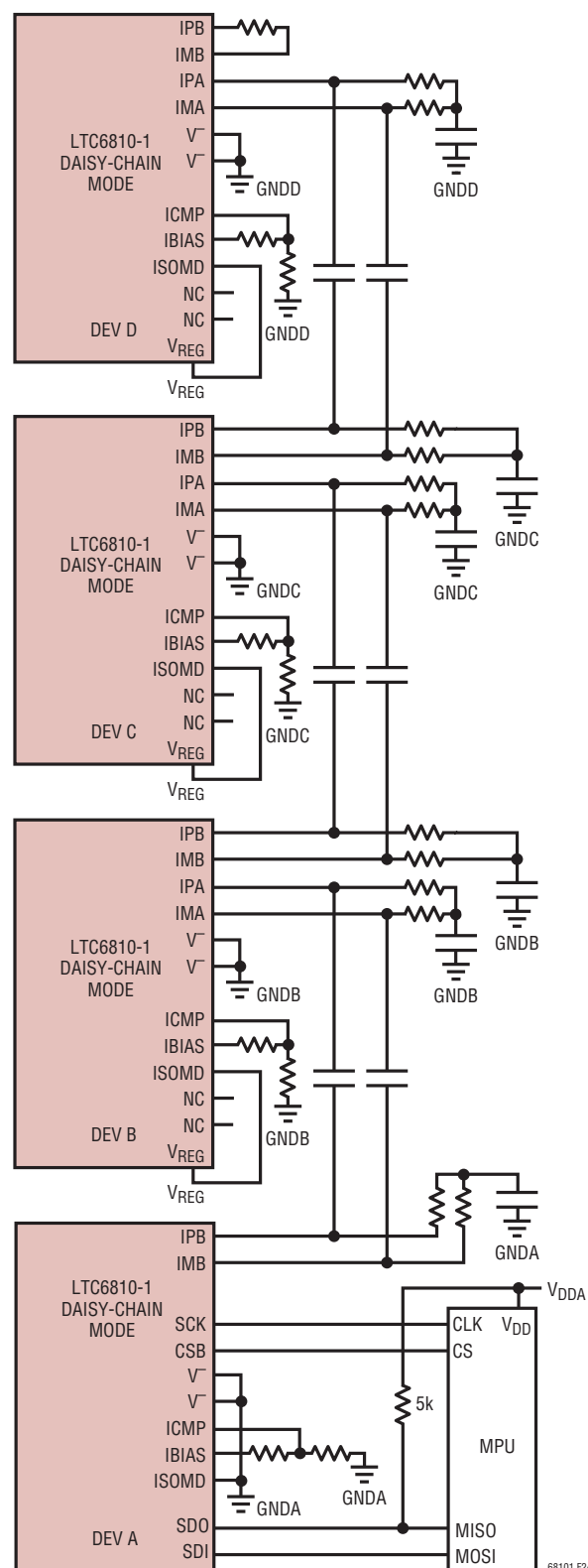


図 24. LTC6810-1 を使用した容量結合型デジタイゼーション構成

動作

複数の同一PCBの堅牢な相互接続の例を図25に示します。各PCBにはLTC6810-1が1つずつ実装されています。マイクロプロセッサは別のPCB上に置かれています。マイクロプロセッサPCBと最初のLTC6810 PCB間の2線絶縁を実現するには、LTC6820サポート・デバイスを使用します。LTC6820は、図16に示す図と機能的に等価です。この例では、通信をポートAで開始しています。したがって、LTC6810はポートAをスレーブとして構成し、ポートBをマスタとして構成します。

LTC6810-1の可逆的isoSPI

図26に、可逆的isoSPIを使用したLTC6810-1のデジタイゼーション構成を示します。LTC6820をデジタイゼーションの両側に接続します。両方のLTC6820がマスタとして構成され、同じSPIインターフェースを共有してMPUに接続します。MPUは2つのCS信号を使用して、どちらか一方のLTC6820と通信します。

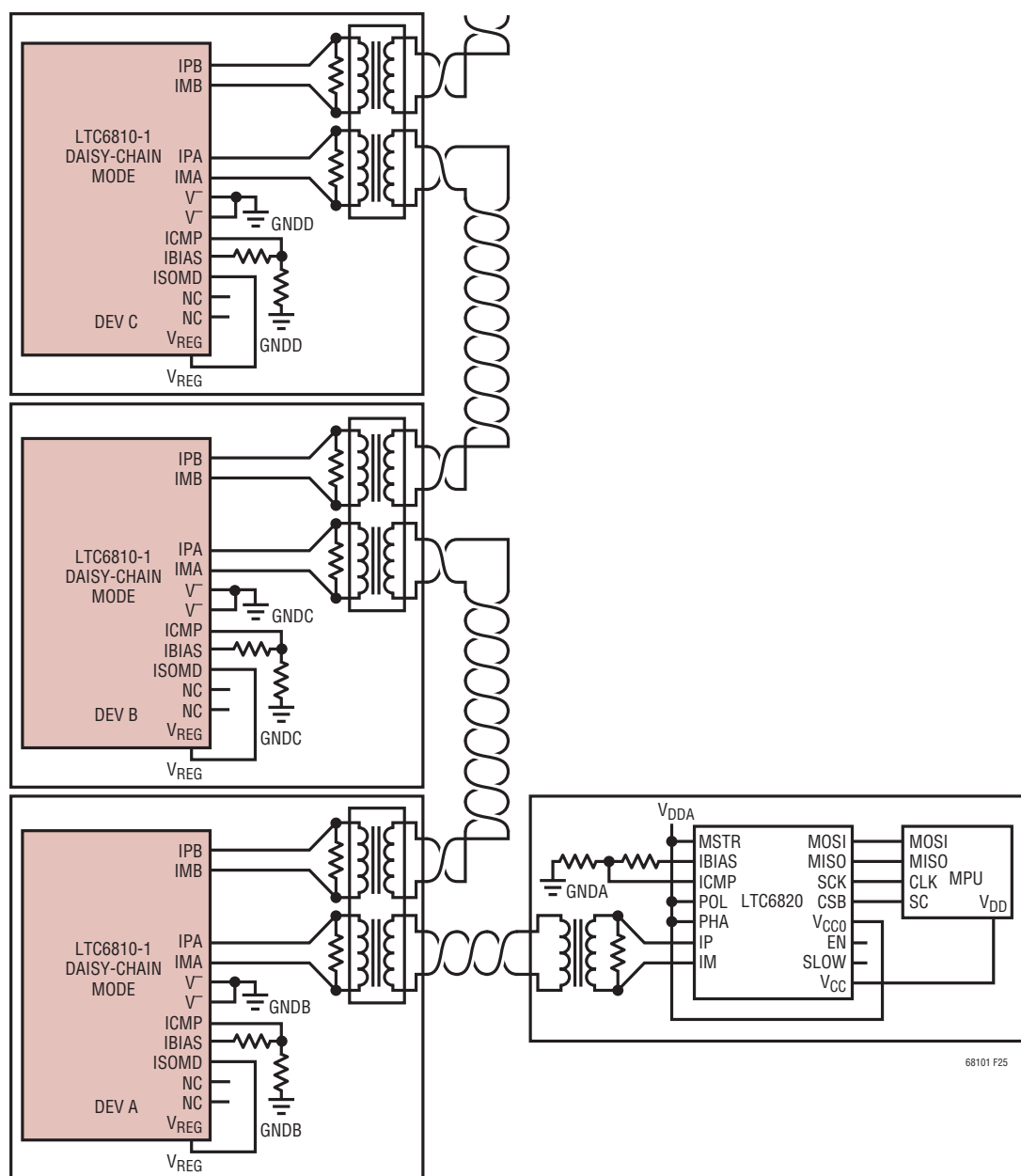


図 25. LTC6810-1を使用したトランス結合型デジタイゼーション構成

動作

例えば図 26 で、下側の LTC6820 がアドレス指定されている場合、LTC6810 デバイス A がスタック内の最初のデバイスになり、デバイス B、デバイス C と続きます。それぞれの LTC6810 のポート A がスレーブとして構成され、ポート B がマスタとして構成されます。反対に、上側の LTC6820 がアドレス指定されている場合、LTC6810 デバイス C がスタック内の最初のデ

バイスになり、デバイス B、デバイス A と続きます。それぞれの LTC6810 のポート B がスレーブとして構成され、ポート A がマスタとして構成されます。

可逆的 isoSPI は、2 線インターフェースでシングル・ポイント障害が発生した場合に通信経路を冗長化します。

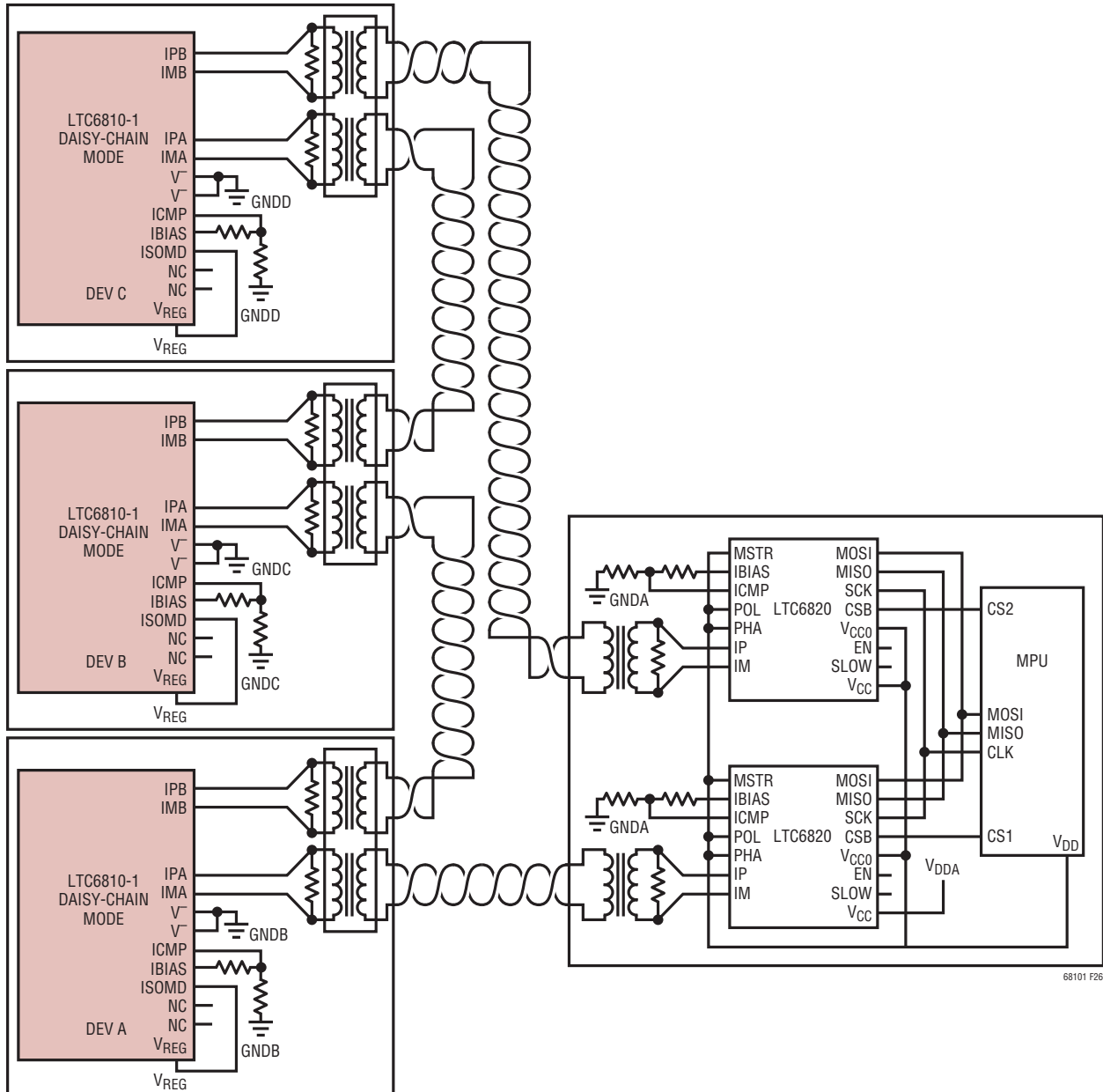


図 26. LTC6810-1 を使用した可逆的 isoSPI デイジーチェーン構成

動作

LTC6810-2にはシリアル・ポート(ポートA)が1つあり、ISOMDピンの状態に応じて2線または4線のどちらかになります。2線通信の構成時、図27に示すように、マルチド

ロップ構成内に複数のデバイスを接続できます。MPU (マスタ)からLTC6810-2 (スレーブ) へのインターフェースとしてLTC6820 デバイスを使用します。

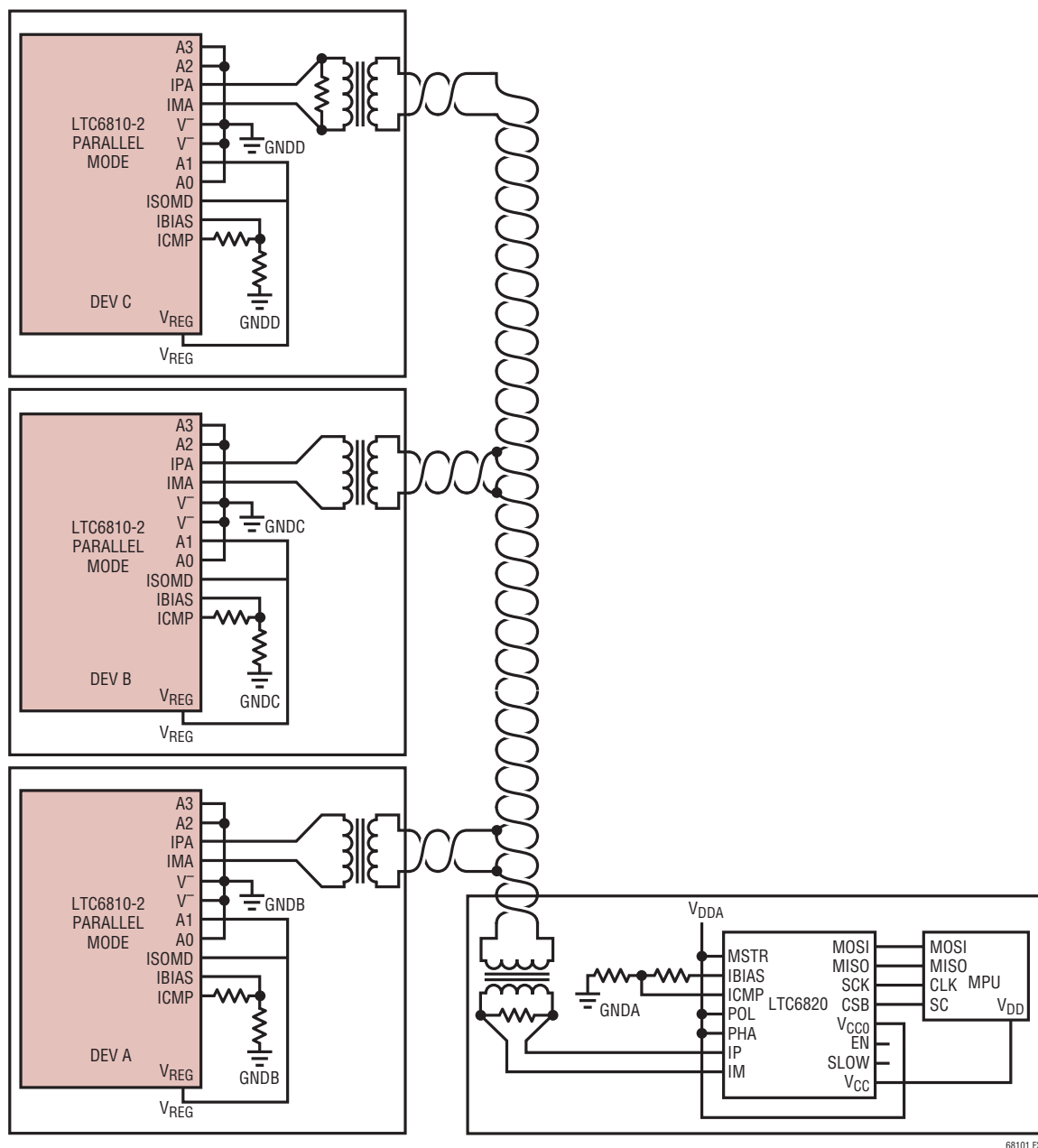


図27. LTC6810-2を使用したトランス結合型マルチドロップ構成

動作

バイアス抵抗の選択

isoSPIトランスミッタの駆動電流とコンパレータの電圧閾値は、IBIASとV⁻ピンの間の抵抗分圧器(RBIAS = RB1 + RB2)によって設定されます。分割された電圧はICMPピンに接続され、コンパレータの閾値がこの電圧(V_{ICMP})の半分に設定されます。いずれかのisoSPIインターフェースが(IDLEではなく)イネーブルされると、IBIASは2Vに維持されるため、電流I_BがIBIASピンから流れ出します。IPおよびIMピンの駆動電流は20 • I_Bです。

例えば、分圧器の抵抗RB1が1.78kΩ、抵抗RB2が200Ω(したがって、RBIAS = 2kΩ)の場合、次のようになります。

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 1mA$$

$$I_{DRV} = I_P = I_M = 20 \cdot I_B = 20mA$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 422mV$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 211mV$$

この例では、パルス駆動電流I_{DRV}は20mAになり、レシーバーのコンパレータは、IP-IM間の振幅が±211mVより大きいパルスを検出します。

絶縁障壁として1:1のトランスを使用し、ツイスト・ペア・ケーブルで接続されて両端が100Ωの抵抗で終端される場合、送信差動信号の振幅(±)は、次のようになります。

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 1V$$

(この結果は、トランスとケーブルの損失による振幅の減衰を無視しています)。

調整可能な信号の振幅により、システムは消費電力の見返りに通信の堅牢性を得られます。また、調整可能なコンパレータの閾値により、システムは信号損失を考慮に入れることができます。

isoSPIパルスの詳細

2つのLTC6810デバイスは、絶縁障壁を介して差動パルスを送受信することによって通信が可能です。トランスミッタが出力できるのは、3つの電圧レベル(+V_A、0V、および-V_A)です。正の出力は、負荷抵抗R_Mの両端のIPソース電流とIMシンク電流から生じます。負の電圧は、IPシンク電流とIMソース電流によって生成されます。両方の出力がオフである場合、負荷抵抗によって差動出力は強制的に0Vになります。

DC信号成分を除去して信頼性を向上させるために、isoSPIパルスは対称パルスペアとして定義されます。A+1パルスは正のパルスとして送信され、その次に負のパルスが送信されます。A-1パルスは負のパルスとして送信され、その次に正のパルスが送信されます。各パルスの期間は、必要な対称対の1/2であるため、t_{1/2PW}として定義されます(isoSPIパルスの全持続時間は2 • t_{1/2PW}です)。

表 27. isoSPIパルスの種類

パルスの種類	1番目のレベル (t _{1/2PW})	2番目のレベル (t _{1/2PW})	最終レベル
Long +1	+V _A (150ns)	-V _A (150ns)	0V
Long -1	-V _A (150ns)	+V _A (150ns)	0V
Short +1	+V _A (50ns)	-V _A (50ns)	0V
Short -1	-V _A (50ns)	+V _A (50ns)	0V

ホスト・マイクロコントローラは、この2線インターフェースを使用するために、isoSPIパルスを生成する必要がありません。システム内の1番目のLTC6810は、ポートA上の4線SPIインターフェースを使用してマイクロコントローラと通信し、次にポートB上の2線isoSPIインターフェースを使用して他のLTC6810とデジタイゼーション接続できます。あるいは、LTC6820を使用して、SPI信号をisoSPIパルスに変換できます。

LTC6810-1が、ポートAをSPI (ISOMD = V⁻)として使用している場合、SPIは4つの通信イベント(SDI = 0でのCSBの立下がり、CSBの立上がり、SCKの立上がり、およびSDI = 1でのSCKの立上がり)のいずれかを検出します。各イベントは、デジタイゼーション接続された別のLT6810に送信するために、4種類のパルスのうちのいずれかに変換されます。CSBの変化を送信する場合、長いパルスが使用され、データを送信する場合、短いパルスが使用されます。これを表28で説明します。

動作

表 28. ポート B (マスタ) isoSPI ポートの機能

通信イベント (ポート A SPI)	送信パルス (ポート B isoSPI)
CS Rising	Long +1
CS Falling	Long -1
SCK Rising Edge, SDI = 1	Short +1
SCK Rising Edge, SDI = 0	Short -1

絶縁障壁のもう一方の側(つまり、ケーブルの他端)にある、2番目のLTC6810では、ISOMD = V_{REG}になります。ポートAはスレーブのisoSPI インターフェースとして動作します。ポートAは送信された各パルスを受信し、表29に示すように内部でSPI信号を再構築します。更に、このポートは、READ コマンドの実行時にリターン・データ・パルスを送信できます。

表 29. ポート A (スレーブ) isoSPI のポート機能

受信パルス (ポート A isoSPI)	SPIポートの 内部動作	リターン・パルス
Long +1	Drive $\overline{CS}$ High	None
Long -1	Drive $\overline{CS}$ Low	Short -1 Pulse if Reading a 0 bit (No Return Pulse if Not in READ Mode or if Reading a 1 bit)
Short +1	1.Set SDI = 1 2.Pulse SCK	
Short -1	1.Set SDI = 0 2.Pulse SCK	

下側のisoSPIポート(スレーブ)は、長い(CSB)パルスを送信しません。その上、スレーブのisoSPIポートは、短い-1パルスのみを送信し、+1パルスを送信しません。マスタ・ポートは、ヌル応答をロジック1として認識します。これにより、1本のケーブルに複数のスレーブ・デバイスを接続しても、衝突が発生するリスクはありません(マルチドロップ)。

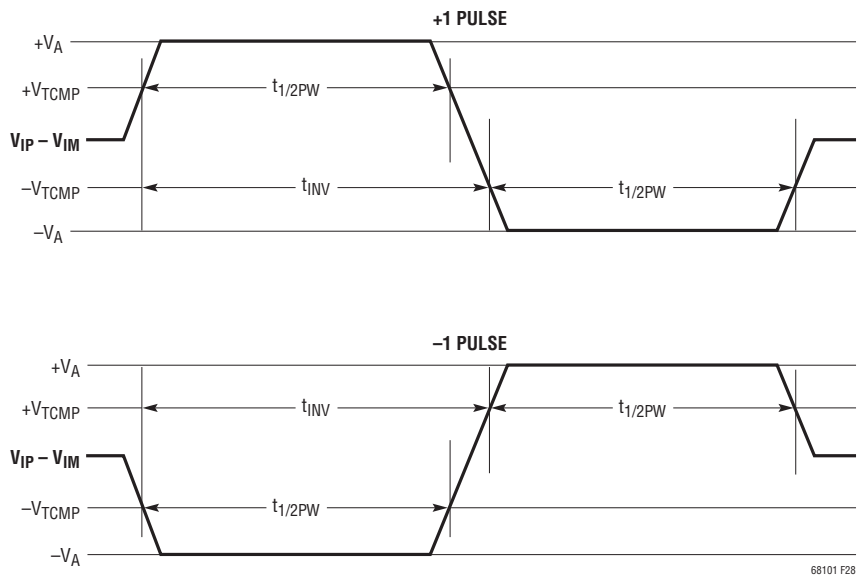


図 28. isoSPI パルスの詳細

動作

デジチェーン接続されたLTC6810-1 デバイスに対する READ コマンドの isoSPI タイミング図を図 29 に示します。ISOMD ピンは末尾のデバイスの V_I に接続されるので、そのポート A は SPI ポート (CSB、SCK、SDI、および SDO) として構成されます。3 つのスタック・デバイスの isoSPI 信号を、ポート名 (A または B) とデバイス番号のラベルを付けて示します。なお、ISO B1 と ISO A2 は、実際には同じ信号ですが、デバイス 1 と 2 を接続する伝送ケーブルのそれぞれの端に現れます。同様に、ISO B2 と ISO A3 も同じ信号ですが、デバイス 2 と 3 の間にはケーブルによる遅延が生じます。

ビット WN~W0 は、READ コマンドの 16 ビットのコマンド・コードと 16 ビットの PEC を表します。ビット W0 の終了時に、3 つのデバイスが READ コマンドをデコードして、データのシフト出力を開始します。このデータはクロック SCK の次の立上がりエッジで有効になります。ビット XN~X0 は、デバイス 1 によってシフト出力されたデータを表します。ビット YN~Y0 は、デバイス 2 によってシフト出力されたデータを表し、ビット ZN~Z0 は、デバイス 3 によってシフト出力されたデータを表します。これらのデータは全て、デバイス 1 の SDO ポートからデジチェーン式に読み出されます。

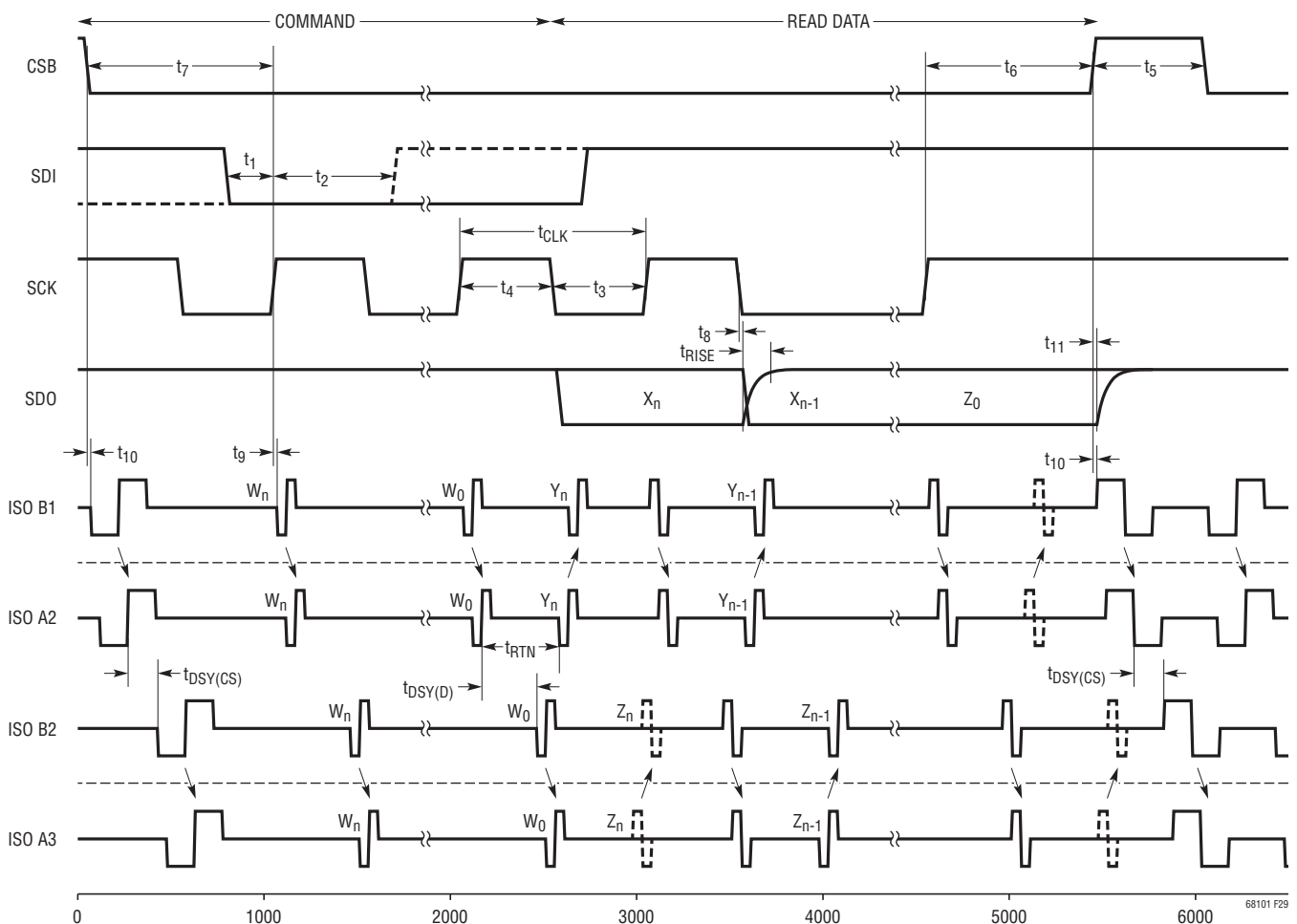


図 29. isoSPI のタイミング図

動作

シリアル・インターフェースのウェイクアップ

t_{IDLE} の時間内にポート A またはポート B に動作がなかった場合、シリアル・ポート (SPI または isoSPI) は、低消費電力の IDLE ステートに移行します。WAKEUP 回路は、ピン 36~39 での動作をモニタします。ISOMD がローの場合、ピン 36 および 37 は CSB と SCK であり、ハイの場合は IPA と IMA になります。ピン 38 および 39 は、LTC6810-1 の場合は IMB および IPB であり、LTC6810-2 の場合は A2 および A3 です。

ISOMD = V^- の場合、ポート A は SPI モードになっています。CSB ピンまたは SCK ピンに動作があると、SPI インターフェースがウェイクアップします。ISOMD = V_{REG} の場合、ポート A は isoSPI モードになっています。IPA-IMA 間 (または IPB-IMB 間) に差動動作が発生すると、isoSPI インターフェースがウェイクアップします。isoSPI の状態が、コアの状態に応じて t_{WAKE} または t_{READY} の時間内に READY に変わると、LTC6810 は通信できる状態になります (詳細については、図 1 およびステートの説明を参照)。

タイミングと機能的に等価な回路を図 30 に示します。ウェイクアップ回路は、SCK (IPA) と CS (IMA) の差動信号に応答します。同相信号はシリアル・インターフェースをウェイクアップしません。このインターフェースは、大信号のシングルエンド・パルスまたは低振幅の対称パルスを受信した後にウェイクアップするよう設計されています。差動信号 $|SCK(IPA) - CS(IMA)|$ は、シリアル・インターフェースを起動するウェイクアップ信号として有効になるために、 $t_{DWELL} = 240ns$ の最小持続時間の間、 $V_{WAKE} = 200mV$ 以上である必要があります。

デジチェーンのウェイクアップ - 方法 1

LTC6810-1 は、通信できる状態になった後、ポート B 上で長い +1 パルスを送信します。デジチェーン接続構成では、このパルスがスタック内の次のデバイスをウェイクアップし、そのデバイスが更に次のデバイスをウェイクアップします。スタック内に「N」個のデバイスが存在する場合は、コアの状態に応じて、 $N \cdot t_{WAKE}$ または $N \cdot t_{READY}$ の時間内に全てのデバイスの電源が投入されます。大規模なスタックの場合、 $N \cdot t_{WAKE}$ の時間は、 t_{IDLE} 以上になることがあります。その場合、ホストは、 $N \cdot t_{WAKE}$ の時間よりも長く待機した後、別のダミー・バイトを送信し、全てのデバイスが確実に READY ステートになるために、 $N \cdot t_{READY}$ の間、待機することがあります。

方法 1 を使用できるのは、デジチェーン上にある全てのデバイスが IDLE ステートである場合です。この時、デバイスがウェイクアップ信号をデジチェーン接続を使用して伝搬します。ただし、この方法では、チェーンの途中にあるデバイスが IDLE ステートではなく READY ステートである場合、全てのデバイスをウェイクアップできません。そうなった場合、READY ステートにあるデバイスはウェイクアップ・パルスを伝搬しないので、そのデバイスより上のデバイスは IDLE ステートのままになります。この状況 (IDLE になっているデバイスもあるが、そうでないデバイスもある状況) が起こる可能性があるのは、わずか t_{IDLE} のアイドル時間経過後にデジチェーンをウェイクアップしようとした場合です。

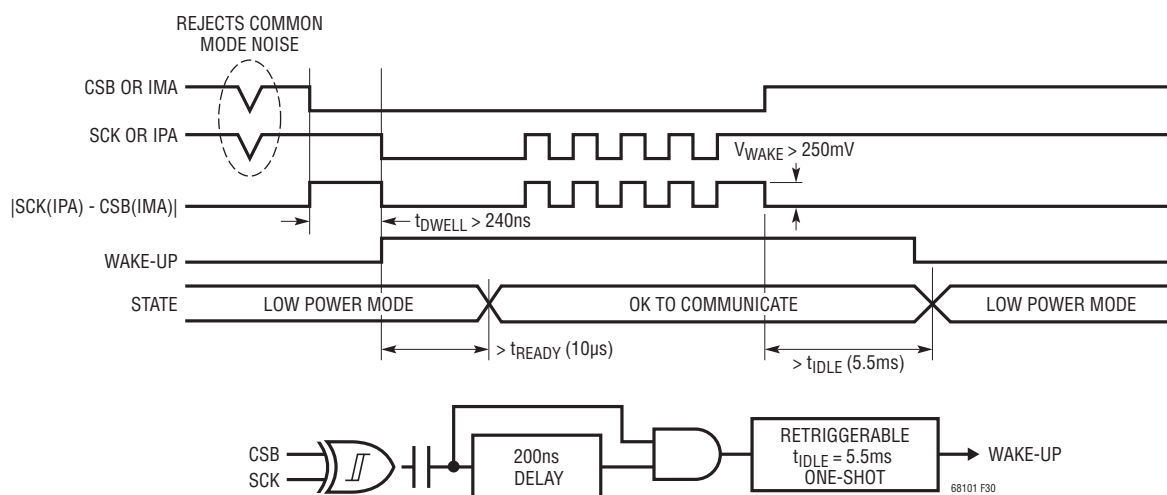


図 30. ウェイクアップ検出と IDLE タイマー

動作

デジチェーンのウェイクアップ - 方法2

より堅牢なウェイクアップ方法は、組込みのウェイクアップ・パルスに依存せず、デジチェーン全体をウェイクアップするのに十分な時間をかけてisoSPIトラフィックを手動で送信することです。少なくとも、デバイスごとに一对の長いisoSPIパルス(-1 および +1)が必要であり、 t_{READY} または t_{WAKE} (コア・ステートがそれぞれ STANDBY または SLEEP である場合) よりも長い、 t_{IDLE} よりも短い時間で区切ることが必要です。これにより、各デバイスをウェイクアップして、次のパルスを後続のデバイスに伝搬することができます。この方法は、チェーン内の一部のデバイスが IDLE ステートではない場合にも機能します。実際に、方法2を実行するには、CSBピン(LTC6820のCSBピン、またはISOMD = 0にした末尾のLTC6810のCSBピン)を切り替え、長いisoSPIパルスを作成することが必要です。代わりに、(RDCFGAなどの)ダミー・コマンドを実行して長いisoSPIパルスを作成することもできます。

データ・リンク層

LTC6810では、全てのデータがバイト・グループ単位で伝送されます。全てのバイトは、8ビットで構成されます。各バイトは、最上位ビット(MSB)を先頭にして送信されます。CSBは、コマンド・バイトとそれ以降のデータの間を含むコマンド・シーケンスの全期間にわたり、ローのままである必要があります。書き込みコマンドでは、データは、CSBの立上がりエッジでラッチされます。

ネットワーク層

パケット・エラー・コード

パケット・エラー・コード(PEC)は、レジスタ・グループ内の全てのビットについて計算される15ビットの巡回冗長検査(CRC)値で、この計算はPECの初期値000000000010000と、特性多項式 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ を使用して、渡された順番に行なわれます。15ビットのPEC値の計算には、簡単な手順を定めることができます。

1. PECを000000000010000に初期化する(PECは15ビットのレジスタ・グループ)。
2. PECレジスタ・グループに送られてくる各DINビットを、次のように設定する。
 $IN_0 = \text{DIN XOR PEC}[14]$
 $IN_3 = IN_0 \text{ XOR PEC}[2]$
 $IN_4 = IN_0 \text{ XOR PEC}[3]$
 $IN_7 = IN_0 \text{ XOR PEC}[6]$
 $IN_8 = IN_0 \text{ XOR PEC}[7]$
 $IN_{10} = IN_0 \text{ XOR PEC}[9]$
 $IN_{14} = IN_0 \text{ XOR PEC}[13]$
3. 15ビットのPECを次のように更新する。
 $\text{PEC}[14] = IN_{14},$
 $\text{PEC}[13] = \text{PEC}[12],$
 $\text{PEC}[12] = \text{PEC}[11],$
 $\text{PEC}[11] = \text{PEC}[10],$
 $\text{PEC}[10] = IN_{10},$
 $\text{PEC}[9] = \text{PEC}[8],$
 $\text{PEC}[8] = IN_8,$
 $\text{PEC}[7] = IN_7,$
 $\text{PEC}[6] = \text{PEC}[5],$
 $\text{PEC}[5] = \text{PEC}[4],$
 $\text{PEC}[4] = IN_4,$
 $\text{PEC}[3] = IN_3,$
 $\text{PEC}[2] = \text{PEC}[1],$
 $\text{PEC}[1] = \text{PEC}[0],$
 $\text{PEC}[0] = IN_0$

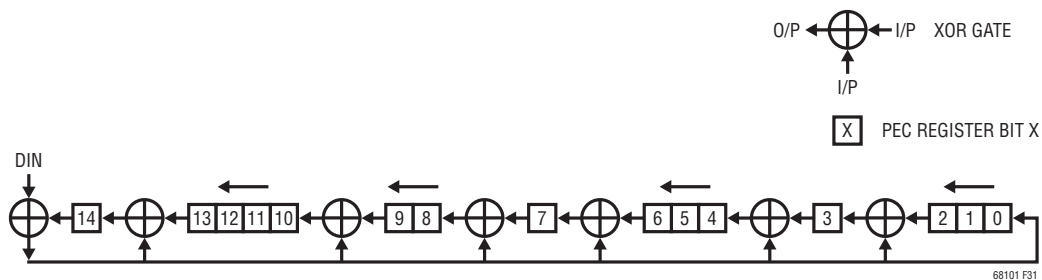


図 31.

動作

4. 全データがシフトされるまで、ステップ2に戻る。最後のPEC(16ビット)はPECレジスタの15ビット値で、LSBに0ビットが追加される。

前述のアルゴリズムを図31に示します。16ビット・ワード(0x0001)に対するPEC計算の例を表30に示します。0x0001のPECを計算してLSBに0ビットを挿入すると、0x3D6Eとなります。より長いデータ・ストリームの場合は、PECレジスタへ送られる最終データ・ビットの終了時点でPECが有効になります。

LTC6810は、受け取ったどのコマンドまたはどのデータに対してもPECを計算し、それをコマンドまたはデータに続くPECと比較します。コマンドまたはデータは、PECが一致する場合にのみ有効と見なされます。また、LTC6810は、シフトアウトするデータの末尾に、計算されたPECを付加します。LTC6810への書込み時またはLTC6810からの読出し時のPECのフォーマットを、表31に示します。

表 30. 0x0001 の PEC 計算

PEC[14]	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
PEC[13]	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
PEC[12]	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1
PEC[11]	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1
PEC[10]	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	1
PEC[9]	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1
PEC[8]	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0
PEC[7]	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1	1
PEC[6]	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
PEC[5]	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
PEC[4]	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
PEC[3]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
PEC[2]	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
PEC[1]	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
PEC[0]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
IN14	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0		0
IN10	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1		PEC word
IN8	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0		
IN7	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1		
IN4	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1		
IN3	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0		
IN0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
Clock Cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

表 31. 書込み／読出しの PEC フォーマット

名前	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

動作

いずれかのコマンドがLTC6810に書き込まれるときに、コマンド・バイトのCMD0とCMD1(表38と表39を参照)、およびPECバイトのPEC0とPEC1が、次の順序でポートAで送信されます。

CMD0、CMD1、PEC0、PEC1

デジチェーン接続されたLTC6810-1デバイスへの書き込みコマンドのブロードキャスト後、データが各デバイスに送信され、その後PECが送信されます。例えば、構成レジスタ・グループをデジチェーン接続された2つのデバイス(プライマリ・デバイスPとスタック構成デバイスS)に書き込む場合、プライマリ・デバイスのスレーブ・ポートに、次の順序でデータが送信されます。

CFGRO(S)、…、CFG5(S)、PEC0(S)、PEC1(S)、
CFGRO(P)、…、CFG5(P)、PEC0(P)、PEC1(P)

デジチェーン接続されたデバイスに対して読出しコマンドを実行すると、各デバイスは、データと、そのデータに対して計算されたPECをスレーブ・ポートでシフト出力し、その後マスタ・ポートでデータが受信されます。例えば、デジチェーン接続された2つのデバイス(プライマリ・デバイスPとスタック構成デバイスS)からステータス・レジスタ・グループBを読み出すときに、プライマリ・デバイスは、スレーブ・ポートで次の順序でデータを送信します。

STBR0(P)、…、STBR5(P)、PEC0(P)、PEC1(P)、
STBR0(S)、…、STBR5(S)、PEC0(S)、PEC1(S)

アドレス・コマンド(LTC6810-2のみ)

アドレス・コマンドは、バス上でアドレス指定されたデバイスのみが応答するコマンドです。アドレス・コマンドを使用できるのは、LTC6810-2デバイスに対してのみです。全てのコマンドはアドレス指定に対応しています。アドレス・コマンドのフォーマットについては、バス・プロトコルのセクションを参照してください。

ブロードキャスト・コマンド(LTC6810-1またはLTC6810-2)

ブロードキャスト・コマンドは、デバイス・アドレスに関係なくバス上の全てのデバイスが応答するコマンドです。このコマンドは、LTC6810-1デバイスとLTC6810-2デバイスで使用できます。ブロードキャスト・コマンドのフォーマットについては、バス・プロトコルのセクションを参照してください。ブロードキャスト・コマンドでは、全デバイスに同時にコマンドを送ることができます。

並列構成(LTC6810-2)では、全デバイスに同じデータを書き込む場合、ブロードキャスト・コマンドをADC変換の開始や書き込みコマンドの送信に使用すると便利です。ブロードキャスト・コマンドはポーリング機能(ADCコマンドの最後に自動で、またはPLADCコマンドを使用して手動で)でも使用できますが、並列のisoSPIデバイスでは使用できません。同様に、並列構成では、(SPIまたはisoSPIのどちらでも)ブロードキャストの読出しコマンドは使用しません。

デジチェーン構成(LTC6810-1)ではアドレス指定がないため、ブロードキャスト・コマンドだけがサポートされています。コマンド・バイトは、チェーン内の全てのデバイスが同時に受け取ります。例えば、スタック構成のデバイスでA/D変換を開始する場合は、1つのADCVコマンドを送ると、全デバイスが同時に変換を開始します。読出しと書き込みのコマンドでは、1つのコマンドが送られ、次いでスタック構成のデバイスが事実上カスケード接続されたシフト・レジスタになり、データが各デバイスを通して、スタック内の1つ上のデバイス(書き込み時)または1つ下のデバイス(読出し時)にシフトされます。シリアル・インターフェースの概要のセクションを参照してください。

ポーリング方法

A/D変換の完了を判断する最も簡単な方法は、コントローラにA/D変換を開始させ、指定の変換時間が経過するのを待って結果を読み出すことです。LTC6810-1とLTC6810-2のどちらでも、ポーリングを使用してA/D変換の完了を特定できます。

SPIモード(ISOMDピンをローに接続)で通信する並列構成を使用する場合は、2つのポーリング方法があります。最初の方法は、A/D変換コマンドの送信後にCSBIをローに保持する方法です。変換コマンドの入力後、デバイスが変換実行によってビジー状態になっているときは、SDOラインがローに駆動されます。デバイスが変換を完了すると、SDOはハイになります。ただし、デバイスが変換を完了していなくても、CSBIがハイになるとSDOはハイに戻ります(図32)。アドレス指定されたデバイスは、そのステータスだけに基いてSDOラインを駆動します。この方法に伴う問題は、A/D変換の完了を待っている間、コントローラが他のシリアル通信を自由に実行できないことです。

動作

次の方法は、この制約を受けません。コントローラはADC開始コマンドを送って他のタスクを実行し、次にADCの状態をポーリングする(PLADC)コマンドを送って、A/D変換の状態を判断できます(図33)。PLADCコマンド入力後、デバイスが変換実行によってビジー状態になっている場合、SDOはローになります。変換が終了するとSDOはハイになります。ただし、CSBIがハイになると、デバイスが変換を完了していてもSDOはハイになります。

isoSPIモードで通信する並列構成では、ロー側のポートは、受信したマスタisoSPIパルスに応答する場合にのみデータ・パルスを送信します。したがって、上に述べたどちらかのポーリング方法でコマンドを入力した後は、isoSPIデータ・パルスがデバイスに送られて変換状態が更新されます。これらのパルスは、LTC6820を使用した場合は、そのSCKピンにクロックを入力するだけで送信できます。デバイスはこのパルスに応答して、変換実行のため引き続きビジー状態にある場合はローのisoSPIパルスを返し、変換が完了している場合はハイのデータ・パルスを返します。CSBハイのisoSPIパルスがデバイスに送られると、デバイスはポーリング・コマンドを終了します。

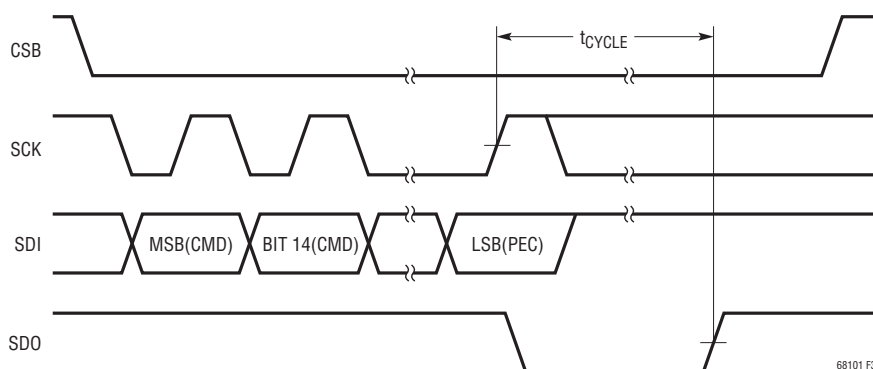


図 32. A/D 変換コマンド実行後のSDOのポーリング(並列構成)

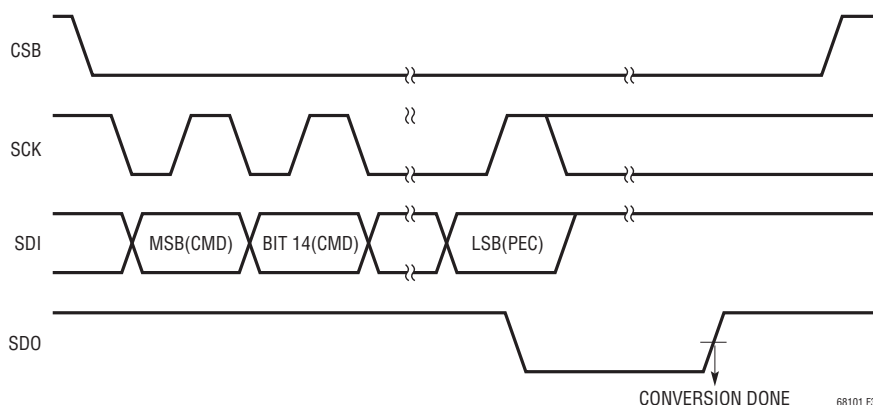


図 33. PLADC コマンドを使用したSDOのポーリング(並列構成)

動作

N個のスタック・デバイスのデジチェーン構成では、同じ2つのポーリング方法を使用できます。末尾のデバイスがSPIモードで通信する場合、末尾のデバイスのSDOはスタック全体の変換ステータスを示します。つまり、スタック内にある全てのデバイスが変換を完了するまで、SDOはローのままになります。最初のポーリング方法では、A/D変換コマンドが送信された後、CSBをローに維持している間に、SCKでクロック・パルスが送信されます。SDOのステータスが有効になるのは、SCKで最後のN個目のクロック・パルスが到達したときで、後続のクロック・パルスが到達するたびに更新されます(図34)。2番目のポーリング方法では、CSBIをローに維持している間に、PLADCコマンドを送信して、その後クロック・パルスがSCKに到達します。最初の方法と同様に、SDOのステータスは、SCKにN個のクロック・パルスが到達して初めて有効になり、後続のクロック・サイクルが到達するたびに更新されます(図35)。

末尾のデバイスがisoSPIモードで通信する場合は、isoSPIのデータ・パルスがデバイスに送られて変換状態が更新されます。LTC6820を使用した場合は、そのSCKピンにクロックを入力すればこの方法を実現できます。変換ステータスが有効になるのは、末尾のLTC6810デバイスがN個のisoSPIデータ・パルスを受信した後に限られており、このステータスはその後isoSPIデータ・パルスが到達するたびに更新されます。スタック内にあるいずれかのデバイスが変換によりビジー状態になっている場合、デバイスはローのデータ・パルスを返し、全てのデバイスが解放されている場合は、ハイのデータ・パルスを返します。

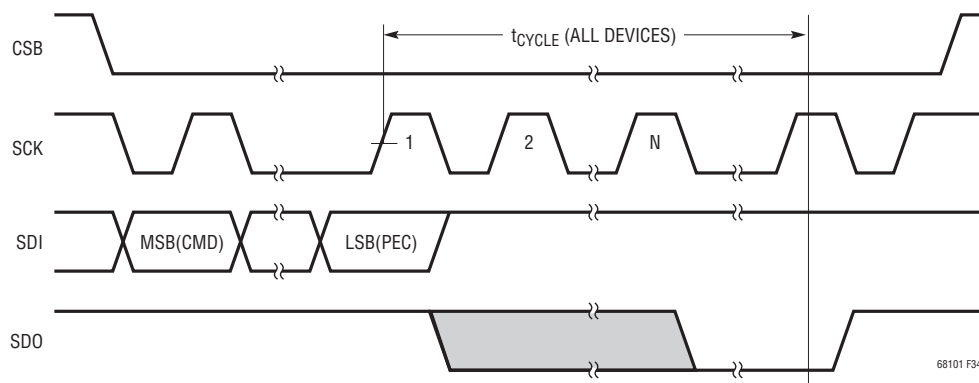


図 34.

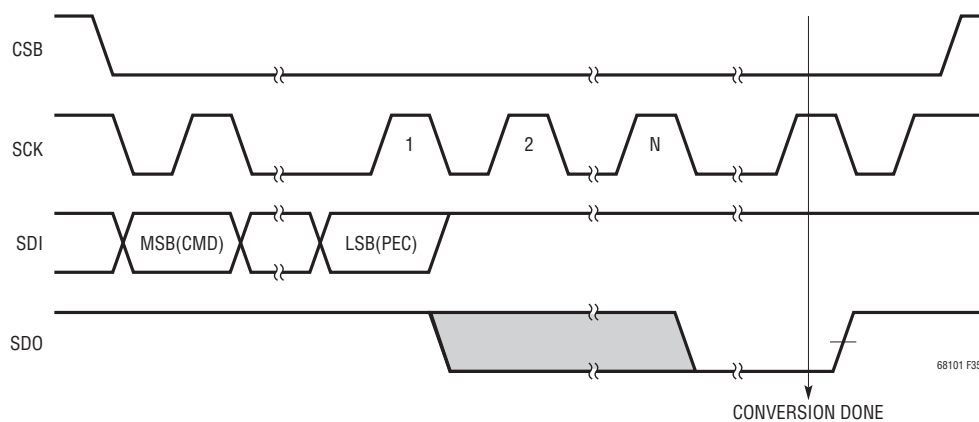


図 35.

動作

バス・プロトコル

プロトコル・フォーマット:ブロードキャスト・コマンドとアドレス・コマンドのプロトコル・フォーマットを表33～表37に示します。表32はプロトコル図を読み取る鍵となります。

表 32. プロトコル・キー

CMD0	Command Byte 0 (See Table 38and Table 39)
CMD1	Command Byte 1 (See Table 38and Table 39)
PEC0	Packet Error Code Byte 0 (See Table 31)
PEC1	Packet Error Code Byte 1 (See Table 31)
<i>N</i>	Number of Bytes
...	Continuation of Protocol
	Master to Slave
	Slave to Master

コマンド・フォーマット:ブロードキャスト・コマンドとアドレス・コマンドのフォーマットを、それぞれ表38と表39に示します。CC[10:0]は11ビットのコマンド・コードで、ブロードキャスト・コマンドでもアドレス・コマンドでも同じです。全てのコマンド・コードの一覧を表40に示します。ブロードキャスト・コマンドの値は、CMD0[7]からCMD0[3]までは全て0です。アドレス・コマンドの値は、CMD0[7]が1で、続くCMD0[6:3]にはデバイスの4ビット・アドレス(a3、a2、a1、a0)が入ります。アドレス指定されたデバイスは、デバイスのピンA3～A0の物理アドレスが、アドレス・コマンドで指定されたアドレスと一致する場合に限り、アドレス・コマンドに応答します。ブロードキャスト・コマンドとアドレス・コマンドのPECは、16ビットのコマンド(CMD0およびCMD1)全体を対象に計算する必要があります。

表 33. ブロードキャスト／アドレスのポーリング・コマンド

8	8	8	8	
CMD0	CMD1	PEC0	PEC1	Poll Data

表 34. ブロードキャスト書込みコマンド

8	8	8	8	8		8	8	8	8		8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1	Shift Byte 1	...	Shift Byte <i>n</i>

表 35. アドレス書込みコマンド

8	8	8	8	8		8	8	8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1

表 36. ブロードキャスト読出しコマンド

8	8	8	8	8		8	8	8	8		8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1	Shift Byte 1	...	Shift Byte <i>n</i>

表 37. アドレス読出しコマンド

8	8	8	8	8		8	8	8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1

表 38. ブロードキャスト・コマンドのフォーマット

NAME	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

表 39. アドレス・コマンドのフォーマット

NAME	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMD0	WR	1	a3*	a2*	a1*	a0*	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

*ax is Address Bit x

動作

コマンド

表 40 に、LTC6810-1 および LTC6810-2 の全コマンドとオプションを示します。

表 40. コマンド・コード

コマンドの説明	名前	CC[10:0] — コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
Write Configuration Register Group	WRCFG	0	0	0	0	0	0	0	0	0	0	1
Read Configuration Register Group	RDCFG	0	0	0	0	0	0	0	0	0	1	0
Write Control Register Group (PWM and S)	WRCTRL*	0	0	0	0	0	0	1	0	1	0	0
Read Control Register Group (PWM and S)	RDCCTRL*	0	0	0	0	0	0	1	0	1	1	0
Write PWM Register Group (PWM and S)	WRPWM*	0	0	0	0	0	1	0	0	0	0	0
Read PWM Register Group (PWM and S)	RDPWM*	0	0	0	0	0	1	0	0	0	1	0
Read Cell Voltage Register Group A	RDCVA	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB	0	0	0	0	0	0	0	0	1	1	0
Read S Voltage Register Group A	RDSA	0	0	0	0	0	0	0	1	0	0	0
Read S Voltage Register Group B	RDSB	0	0	0	0	0	0	0	1	0	1	0
Read Auxiliary Register Group A	RDAUXA	0	0	0	0	0	0	0	1	1	0	0
Read Auxiliary Register Group B	RDAUXB	0	0	0	0	0	0	0	1	1	1	0
Read Status Register Group A	RDSTATA	0	0	0	0	0	0	1	0	0	0	0
Read Status Register Group B	RDSTATB	0	0	0	0	0	0	1	0	0	1	0
Read Serial ID Register Group	RDSID	0	0	0	0	0	1	0	1	1	0	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	0	1	MD[1]	MD[0]	1	1	DCP	0	CH[2]	CH[1]	CH[0]
Start Open Wire ADC Conversion and Poll Status	ADOW	0	1	MD[1]	MD[0]	PUP	1	DCP	1	CH[2]	CH[1]	CH[0]
Start Self-Test Cell Voltage Conversion and Poll Status	CVST	0	1	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start GPIOs/Cell 0/REF2 ADC Conversion and Poll Status	ADAX	1	0	MD[1]	MD[0]	1	1	0	0	CHG[2]	CHG[1]	CHG[0]
Start GPIOs/Cell 0/REF2 ADC Conversion with Digital Redundancy and Poll Status	ADAXD	1	0	MD[1]	MD[0]	0	0	0	0	CHG[2]	CHG[1]	CHG[0]

動作

コマンドの説明	名前	CC[10:0] — コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
Start GPIOs/Cell 0/REF2 ADC Open Wire Conversion	AXOW	1	0	MD[1]	MD[0]	PUP	0	1	0	CHG[2]	CHG[1]	CHG[0]
Start Self-Test GPIOs/Cell 0/REF2 Conversion and Poll Status	AXST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Status Group ADC Conversion and Poll Status	ADSTAT	1	0	MD[1]	MD[0]	1	1	0	1	CHST[2]	CHST[1]	CHST[0]
Start Status Group ADC Conversion with Digital Redundancy and Poll Status	ADSTATD	1	0	MD[1]	MD[0]	0	0	0	1	CHST[2]	CHST[1]	CHST[0]
Start Self-Test Status Group Conversion and Poll Status	STATST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	1	1	1	1
Start Combined Cell Voltage and Cell 0, GPIO1 Conversion and Poll Status	ADCVAX	1	0	MD[1]	MD[0]	1	1	DCP	1	1	1	1
Start Combined Cell Voltage and SC Conversion and Poll Status	ADCVSOC	1	0	MD[1]	MD[0]	1	1	DCP	0	1	1	1
Clear Cell Voltage Register Group	CLRCELL	1	1	1	0	0	0	1	0	0	0	1
Clear Auxiliary Register Group	CLRAUX	1	1	1	0	0	0	1	0	0	1	0
Clear Status Register Group	CLRSTAT	1	1	1	0	0	0	1	0	0	1	1
Poll ADC Conversion Status	PLADC	1	1	1	0	0	0	1	0	1	0	0
Diagnose MUX and Poll Status	DIAGN	1	1	1	0	0	0	1	0	1	0	1
Write COMM Register Group	WRCOMM	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM	1	1	1	0	0	1	0	0	0	1	0
Start I ² C/SPI Communication	STCOMM	1	1	1	0	0	1	0	0	0	1	1
Mute Discharge	MUTE	0	0	0	0	0	1	0	1	0	0	0
Unmute Discharge	UNMUTE	0	0	0	0	0	1	0	1	0	0	1

* WRSCTRL, WRPWM, RDSCTRL, RDPWM コマンドは全て、同じ PWM レジスタ・グループにアクセスします。WRSCTRL および RDSCTRL コマンドは、デジチェーン内のその他の LTC681x デバイスとの互換性のために提供されています。

表 41. コマンド・ビットの説明

名前	説明	値	
MD[1:0]	ADC Mode	MD	ADCOPT(CFGR0[0]) = 0
		00	422Hz Mode
		01	27 kHz Mode (Fast)
		10	7 kHz Mode (Normal)
		11	26 Hz Mode (Filtered)

動作

名前	説明	値										
DCP	Discharge Permitted	DCP										
		0	Discharge Not Permitted									
		1	Discharge Permitted									
CH[2:0]	Cell Selection for ADC Conversion			Total Conversion Time in 8 ADC Modes								
		CH		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	All Cells	524μs	699μs	1.2ms	1.9ms	3.3ms	6.1ms	12ms	201ms	
		001	Cell 1	200μs	229μs	404μs	520μs	753μs	1.2ms	2.1ms	34ms	
		010	Cell 2									
		011	Cell 3									
		100	Cell 4									
		101	Cell 5									
		110	Cell 6									
PUP	Pull-Up/Pull-Down Current for Open Wire Conversions	PUP										
		0	Pull-Down Current									
		1	Pull-Up Current									
ST[1:0]	Self Test Mode Selection			Self Test Conversion Result								
		ST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		01	Self Test 1	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555	0x9555	0x9555	
		10	Self test 2	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA	
CHG[2:0]	GPIO Selection for ADC Conversion			Total Conversion Time in the 8 ADC Modes								
		CHG		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	S0, GPIO 1–4, 2nd Reference	521μs	695μs	1.2ms	1.9ms	3.3ms	6.0ms	12ms	183ms	
		001	S0	200μs	229μs	403μs	520μs	752μs	1.2ms	2.1ms	34ms	
		010	GPIO 1									
		011	GPIO 2									
		100	GPIO 3									
		101	GPIO 4									
		110	2nd Reference									
CHST[2:0]*	Status Group Selection			Total Conversion Time in 8 ADC Modes								
		CHST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	SOC, ITMP, VA, VD	741μs	858μs	1.6ms	2.0ms	3.0ms	4.8ms	8.5ms	134ms	
		001	SC	200μs	229μs	403μs	520μs	752μs	1.2ms	2.1ms	34ms	
		010	ITMP									
		011	VA									
		100	VD									

*注記: ADSTAT コマンドの CHST に対して有効なオプションは、0～4 です。ADSTAT コマンドで CHST を 5/6 に設定した場合、LTC6810 はこのコマンドを、CHG を 5/6 に設定した ADAX コマンドのように扱います。

動作

メモリ・マップ

表 42. 構成レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CFGR0	RD/WR	RSVD	GPIO4	GPIO3	GPIO2	GPIO1	REFON	DTEN	ADCOPT
CFGR1	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGR2	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGR3	RD/WR	VOV[11]	VOV[10]	VOV[9]	VOV[8]	VOV[7]	VOV[6]	VOV[5]	VOV[4]
CFGR4	RD/WR	DCC0	MCAL	DCC6	DCC5	DCC4	DCC3	DCC2	DCC1
CFGR5	RD/WR	DCT0[3]	DCT0[2]	DCT0[1]	DCT0[0]	SCONV	FDRF	DIS_RED	EN_DTMEN

表 43. セル電圧レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表 44. セル電圧レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

表 45. 補助レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVAR0	RD	S0V[7]	S0V[6]	S0V[5]	S0V[4]	S0V[3]	S0V[2]	S0V[1]	S0V[0]
AVAR1	RD	S0V[15]	S0V[14]	S0V[13]	S0V[12]	S0V[11]	S0V[10]	S0V[9]	S0V[8]
AVAR2	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
AVAR3	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
AVAR4	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
AVAR5	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]

動作

表 46. 補助レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVBR0	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
AVBR1	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]
AVBR2	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
AVBR3	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
AVBR4	RD	REF[7]	REF[6]	REF[5]	REF[4]	REF[3]	REF[2]	REF[1]	REF[0]
AVBR5	RD	REF[15]	REF[14]	REF[13]	REF[12]	REF[11]	REF[10]	REF[9]	REF[8]

表 47. ステータス・レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STAR0	RD	SC[7]	SC[6]	SC[5]	SC[4]	SC[3]	SC[2]	SC[1]	SC[0]
STAR1	RD	SC[15]	SC[14]	SC[13]	SC[12]	SC[11]	SC[10]	SC[9]	SC[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STAR5	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]

表 48. ステータス・レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	C40V	C4UV	C30V	C3UV	C20V	C2UV	C10V	C1UV
STBR3	RD	RSVD	RSVD	RSVD	MUTE	C60V	C6UV	C50V	C5UV
STBR4	RD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
STBR5	RD	REV[3]	REV[2]	REV[1]	REV[0]	RSVD	RSVD	MUXFAIL	THSD

表 49. 冗長 S 電圧レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVCR0	RD	S1V[7]	S1V[6]	S1V[5]	S1V[4]	S1V[3]	S1V[2]	S1V[1]	S1V[0]
CVCR1	RD	S1V[15]	S1V[14]	S1V[13]	S1V[12]	S1V[11]	S1V[10]	S1V[9]	S1V[8]
CVCR2	RD	S2V[7]	S2V[6]	S2V[5]	S2V[4]	S2V[3]	S2V[2]	S2V[1]	S2V[0]
CVCR3	RD	S2V[15]	S2V[14]	S2V[13]	S2V[12]	S2V[11]	S2V[10]	S2V[9]	S2V[8]
CVCR4	RD	S3V[7]	S3V[6]	S3V[5]	S3V[4]	S3V[3]	S3V[2]	S3V[1]	S3V[0]
CVCR5	RD	S3V[15]	S3V[14]	S3V[13]	S3V[12]	S3V[11]	S3V[10]	S3V[9]	S3V[8]

動作

表 50. 冗長 S 電圧レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVDR0	RD	S4V[7]	S4V[6]	S4V[5]	S4V[4]	S4V[3]	S4V[2]	S4V[1]	S4V[0]
CVDR1	RD	S4V[15]	S4V[14]	S4V[13]	S4V[12]	S4V[11]	S4V[10]	S4V[9]	S4V[8]
CVDR2	RD	S5V[7]	S5V[6]	S5V[5]	S5V[4]	S5V[3]	S5V[2]	S5V[1]	S5V[0]
CVDR3	RD	S5V[15]	S5V[14]	S5V[13]	S5V[12]	S5V[11]	S5V[10]	S5V[9]	S5V[8]
CVDR4	RD	S6V[7]	S6V[6]	S6V[5]	S6V[4]	S6V[3]	S6V[2]	S6V[1]	S6V[0]
CVDR5	RD	S6V[15]	S6V[14]	S6V[13]	S6V[12]	S6V[11]	S6V[10]	S6V[9]	S6V[8]

表 51. COMM レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表 52. PWM レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SCTL0	RD/WR	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
SCTL1	RD/WR	PWM4[3]	PWM4[2]	PWM4[1]	PWM4[0]	PWM3[3]	PWM3[2]	PWM3[1]	PWM3[0]
SCTL2	RD/WR	PWM6[3]	PWM6[2]	PWM6[1]	PWM6[0]	PWM5[3]	PWM5[2]	PWM5[1]	PWM5[0]
SCTL3	RD/WR	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
SCTL4	RD/WR	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
SCTL5	RD/WR	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD

表 53. シリアル ID レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SIDR0	RD	SID[7]	SID[6]	SID[5]	SID[4]	SID[3]	SID[2]	SID[1]	SID[0]
SIDR1	RD	SID[15]	SID[14]	SID[13]	SID[12]	SID[11]	SID[10]	SID[9]	SID[8]
SIDR2	RD	SID[23]	SID[22]	SID[21]	SID[20]	SID[19]	SID[18]	SID[17]	SID[16]
SIDR3	RD	SID[31]	SID[30]	SID[29]	SID[28]	SID[27]	SID[26]	SID[25]	SID[24]
SIDR4	RD	SID[39]	SID[38]	SID[37]	SID[36]	SID[35]	SID[34]	SID[33]	SID[32]
SIDR5	RD	SID[47]	SID[46]	SID[45]	SID[44]	SID[43]	SID[42]	SID[41]	SID[40]

動作

表 54. メモリ・ビットの説明

名前	説明	値
GPIOx	GPIOx Pin Control	書込み: 0 = GPIOx ピンのプルダウンをオン、1 = GPIOx ピンのプルダウンをオフ 読出し: 0 = GPIOx ピンをロジック「0」、1 = GPIOx ピンをロジック「1」
REFON	Reference Powered Up	1 = ウォッチドッグ・タイマーがタイムアウトするまでリファレンスはパワーアップのまま 0 = リファレンスは変換後にシャットダウン
DTEN	Discharge Timer Enable	1 = 放電スイッチ用に放電タイマーをイネーブル <読出し専用ビット????> 0 = 放電タイマーをディスエーブル
ADCOPT	ADC Mode Option Bit	ADCOPT: 0 = A/D 変換コマンドの MD[1:0] ビットで、27kHz、7kHz、422Hz、または 26Hz モードを選択 1 = A/D 変換コマンドの MD[1:0] ビットで、14kHz、3kHz、1kHz、または 2kHz モードを選択
VUV	Undervoltage Comparison Voltage*	比較電圧 = $VUV \cdot 16 \cdot 100\mu V$ デフォルト: $VUV = 0x000$
VOV	Overvoltage Comparison Voltage*	比較電圧 = $VOV \cdot 16 \cdot 100\mu V$ デフォルト: $VOV = 0x000$
MCAL	Enables Multi-Calibration	1 = A/D 変換中のマルチキャリブレーションをイネーブル (6811/6812/6810 に対する後方互換性を提供)。 デフォルトは 0、A/D 変換中はシングル・キャリブレーション。
DCC[x]	Discharge Cell x	x = 1~6 1 = セル x の短絡スイッチをオン、S[x]~S[x-1] 0 = セル x の短絡スイッチをオフ、S[x]~S[x-1] (デフォルト) x = 0 1 = S0 のプルダウンをオンして 7 番目のオプション・セルを放電 0 = S0 のプルダウンをオフ (デフォルト)
DCTO	Discharge Time Out Value	DCTO (書込み) 0 1 2 3 4 5 6 7 8 9 A B C D E F
		時間 (分) ディスエーブル 0.5 1 2 3 4 5 10 15 20 30 40 60 75 90 120
		DCTO (書込み) 0 1 2 3 4 5 6 7 8 9 A B C D E F
		残り時間 (分) ディスエーブル または タイムアウト 0 ~ 0.5 0.5 ~ 1 1 ~ 2 2 ~ 3 3 ~ 4 4 ~ 5 5 ~ 10 10 ~ 15 15 ~ 20 20 ~ 30 30 ~ 40 40 ~ 60 60 ~ 75 75 ~ 90 90 ~ 120
SCONV	Enable Cell Measurement Redundancy Using S Pins	1 = S ピンを使用したセル電圧の冗長測定をイネーブル 0 = セル電圧の冗長測定をディスエーブル
FDRF	Force Digital Redundancy Failure	1 = A/D 変換のデジタル冗長比較を強制的に失敗 0 = 通常の冗長比較をイネーブル
DIS_RED	Disable Digital Redundancy Check	1 = A/D 変換のデジタル冗長比較をディスエーブル 0 = A/D 変換のデジタル冗長比較をイネーブル
EN_DTMEN	Enable Discharge Timer Monitor	1 = DTEN ピンがアサートされている場合、放電タイマーのモニタ機能をイネーブル。 0 = 放電タイマーのモニタ機能をディスエーブル。DTEN ピンがアサートされている場合、通常の放電タイマー機能はイネーブルされる。
CxV	Cell x Voltage*	x = 1~6 セル x の 16 ビット ADC 測定値 セル x のセル電圧 = $CxV \cdot 100\mu V$ クリア・コマンド後の起動時に CxV を 0xFFFF にリセット
S0V	S0 Voltage*	V を基準にした S0 の 16 ビット ADC 測定値 S0 電圧 = $S0V \cdot 100\mu V$ クリア・コマンド後の起動時に S0V を 0xFFFF にリセット
GxV	GPIO x Voltage*	x = 1~4 GPIOx の 16 ビット ADC 測定値 GPIOx の電圧 = $GxV \cdot 100\mu V$ クリア・コマンド後の起動時に GxV を 0xFFFF にリセット
REF	2nd Reference Voltage*	2 番目のリファレンスの 16 ビット ADC 測定値 2 番目のリファレンスの電圧 = $REF \cdot 100\mu V$ データシートの制限値、ヒステリシス、長時間ドリフトを考慮すると、通常の範囲は 2.99V~3.01V

動作

名前	説明	値
SC	Sum of Cells Measurement*	全セル電圧合計の16ビットADC測定値 全セル電圧合計 = $SC \cdot 100\mu V \cdot 10$
ITMP	Internal Die Temperature*	内部ダイ温度の16ビットADC測定値 温度測定値 (°C) = $ITMP \cdot 100\mu V / 7.5mV/^{\circ}C - 273^{\circ}C$
VA	Analog Power Supply Voltage*	アナログ電源電圧の16ビットADC測定値 アナログ電源電圧 = $VA \cdot 100\mu V$ VAの値は外付け部品によって設定し、通常動作では4.5V～5.5Vの範囲内にすること
VD	Digital Power Supply Voltage*	デジタル電源電圧の16ビットADC測定値 デジタル電源電圧 = $VD \cdot 100\mu V$ 通常の範囲は2.7V～3.6V
CxOV	Cell 'x' Overvoltage Flag	x = 1～6 セル電圧をVOV比較電圧と比較 0 = セル「x」に過電圧状態を示すフラグなし 1 = セル「x」にフラグあり
CxUV	Cell 'x' Undervoltage Flag	x = 1～6 セル電圧をVUV比較電圧と比較 0 = セル「x」に低電圧フラグなし
REV	Revision Code	デバイスのリビジョン・コード
RSVD	Reserved Bits	読出し: 読出し値は1または0
RSVD0	Reserved Bits	読出し: 読出し値は常に0
RSVD1	Reserved Bits	読出し: 読出し値は常に1
MUXFAIL	Multiplexer Self Test Result	読出し: 0 = マルチプレクサが自己テストに合格 1 = マルチプレクサが自己テストに不合格
THSD	Thermal Shutdown Status	読出し: 0 = サーマル・シャットダウンの発生なし 1 = サーマル・シャットダウンの発生あり ステータス・レジスタ・グループBの読出し時にTHSDビットを「0」にクリア
SxV	Redundant Cell x Voltage* via the S pins	x = 1～6 セルxの16ビット冗長ADC測定値 セルxのセル電圧冗長測定値 = $SxV \cdot 100\mu V$ クリア・コマンド後の起動時にSxVを0xFFFFにリセット
PWMx[x]	PWM Discharge Control	0000 – ウォッチドッグ・タイマーの期限切れ時に0%の放電デューティ・サイクルを選択 0001 – ウォッチドッグ・タイマーの期限切れ時に3.3%の放電デューティ・サイクルを選択 0010 – ウォッチドッグ・タイマーの期限切れ時に6.7%の放電デューティ・サイクルを選択 ... 1110 – ウォッチドッグ・タイマーの期限切れ時に46.7%の放電デューティ・サイクルを選択 1111 – ウォッチドッグ・タイマーの期限切れ時に50%の放電デューティ・サイクルを選択
SID[x]	Serial ID	一意の48ビットのシリアル識別コード
ICOMn	Initial Communication Control Bits	書込み
		I ² C
		0110
		0001
		0000
		0111
		START
		STOP
		BLANK
		NO TRANSMIT
		SPI
		1000
		1010
		1001
		1111
		CSB = ロー
		CSB = 立下がりエッジ
		CSB = ハイ
		NO TRANSMIT
		読出し
		I ² C
		0110
		0001
		0000
		0111
		START (マスタから)
		STOP (マスタから)
		SDA = ロー (バイト間)
		SDA = ハイ (バイト間)
		SPI
		0111
Dn	I ² C/SPI Communication Data Byte	I ² C/SPIスレーブ・デバイスとの送受信データ

動作

名前	説明	値								
FCOMn	Final Communication Control Bits	書込み	I2C	0000		1000		1001		
				マスタの ACK		マスタの NACK		マスタの NACK + STOP		
			SPI	X000			1001			
				CSB = ロー			CSB = ハイ			
		読出し	I2C	0001	0111	1111	0001	1001		
				マスタからの ACK	スレーブからの ACK	スレーブからの NACK	スレーブからの ACK + マスタからの STOP	スレーブからの NACK + マスタからの STOP		
			SPI	1111						

*電圧の式にはレジスタの10進数(12ビットでは0~4095、16ビットでは0~65535)を使用する。

アプリケーション情報

DC電力の供給

LTC6810の主要電源ピンは $5V \pm 0.5V$ の V_{REG} 入力ピンです。 V_{REG} 入力を生成するには、以下の3つの方法があります。

1. 簡易リニア電圧レギュレータ

図36に示すように、DRIVEピンを使用し、数個の外付け部品を追加して、ディスクリット・レギュレータを構成します。DRIVEピンからは $5.6V$ 出力が得られ、 $1mA$ のソース電流を供給できます。NPNトランジスタによってバッファを構成すると、全温度範囲で安定した $5V$ が得られます。NPNトランジスタは、 β (電流増幅率)が全温度範囲にわたって十分 (> 40)なものを選択して、必要な電源電流を供給するようにします。isoSPIを介した通信とA/D変換を同時に行う場合には、LTC6810の V_{REG} のピーク電流条件が $20mA$ に近づきます。追加の負荷をサポートするために V_{REG} ピンが必要な場合は、更に高い β を持つトランジスタが必要になることがあります。

NPNのコレクタには、電圧が V^- より $6V$ 以上高い電圧源から電力を供給できます。これには、モニタの対象となるセル、つまり非安定化電源も含まれます。NPNをトランジェントから保護するために、コレクタ電力の接続には $100\Omega/100nF$ のRCデカップリング・ネットワークを推奨します。NPNのエミッタは、 $1\mu F$ コンデンサでバイパスします。LTC6810のウェイクアップ時間が長くなるため、これより大きな容量は使用しないでください。コレクタ電圧が高いと著しく発熱する場合があるため、NPNの熱特性には一定の注意が必要です。

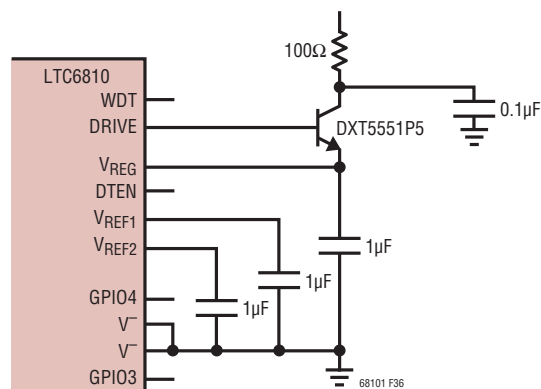


図36. NPNパス・トランジスタを使用した簡易 V_{REG} 電源

2. 内部レギュレータ

V^+ 電圧が低く、DRIVEピンを安定化するための十分なヘッドルームがない場合、 V_{REGA} は内部レギュレータによって駆動されます。DRIVEピンは、外部NPNを使用する場合、 V_{REGA} の電圧が内部 V_{REGA} 電圧よりも $400mV$ 以上高く設定されるように設計されています。これにより、DRIVEピンのレギュレータには、内部 V_{REGA} がオフになるために十分なヘッドルームが確保されます。DRIVEピンに $25\mu A$ の負荷電流を流すと、内部レギュレータがイネーブルされます。DRIVEピンとGNDの間に $100k\Omega$ の抵抗を接続すると、 V^+ 電源電圧の全範囲でデバイスが動作します。 V^+ が低すぎる場合、DRIVEピンに $100k\Omega$ の抵抗を接続すると、内部レギュレータをイネーブルして V_{REGA} を約 $4.7V$ に設定するために十分な電流が供給されます。 V^+ が高い場合、DRIVEピンは V_{REGA} を約 $5.1V$ に設定します。内部レギュレータは電流を吸い込まず、この場合はシャットダウンされます。

3. 外部レギュレータによる効率の引き上げ

セル・スタックからLTC6810に電力を供給するときの効率を向上するため、 V_{REG} への電力は、NPNパス・トランジスタからではなく、DC/DCコンバータから供給できます。最適回路は、図37に示すように、アナログ・デバイセズのLT3990降圧レギュレータがベースになっています。バッテリー・スタックとLT3990の入力の間には 50Ω の抵抗を推奨します。これにより、スタックに接続するときの突入電流を防ぎ、伝導EMIを低減します。ENピンはDRIVEピンに接続します。これにより、LTC6810がSLEEP状態になると、LT3990は低消費電力の状態になります。このモードでは、内部で生成された V_{REGA} との競合を回避するために、内部レギュレータがディスエーブルされるように、DRIVEピンの負荷電流を $1\mu A$ 未満にする必要があります。

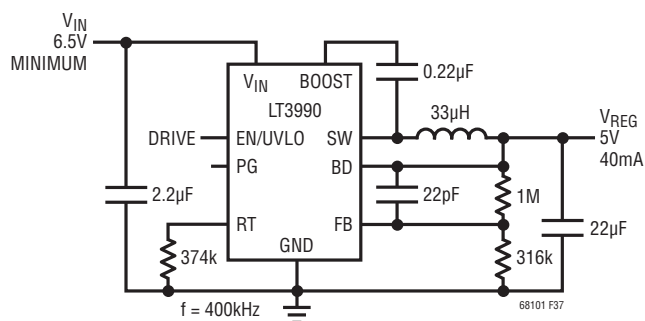


図37. セル・スタックと高効率レギュレータの組み合わせを電力供給元にした V_{REG}

アプリケーション情報

内部保護とフィルタリング

内部保護機能

LTC6810は、堅牢な性能を確保するために、様々なESD保護回路を内蔵しています。具体的な保護構造を表す等価回路を、図38に示します。LTC6810-1とLTC6810-2でピン34～39の機能が異なる場合も保護構造は同じです。ツェナー・ダイオードは公称クランプ電圧で示しており、記載のないダイオードは標準的なPN接合動作を示します。

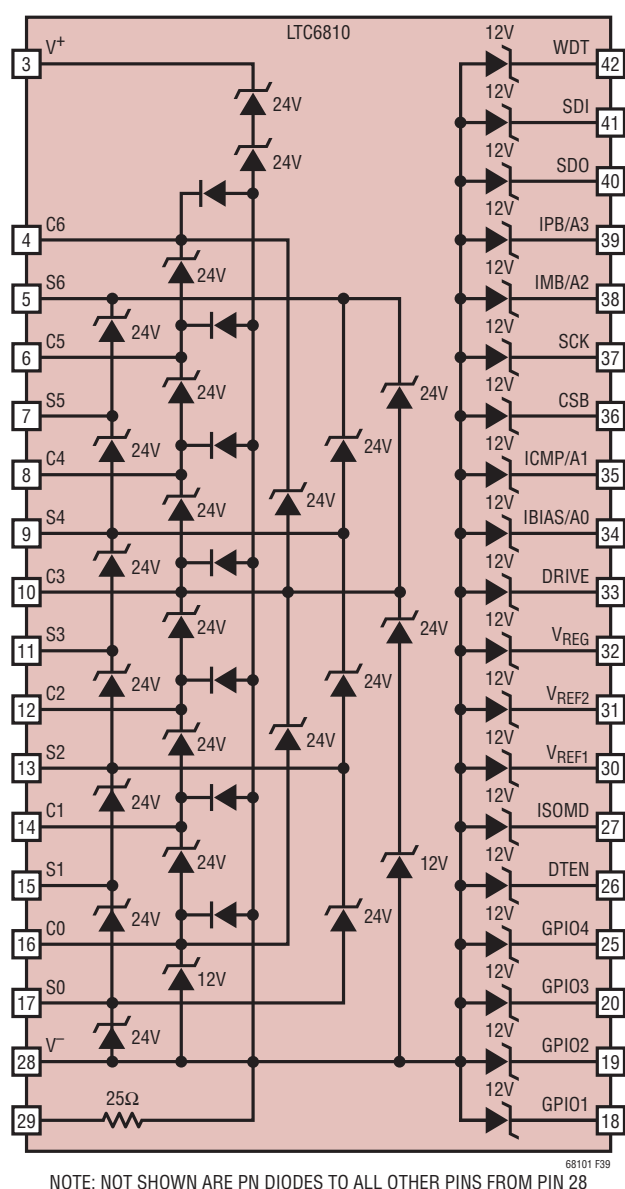


図38. LTC6810の内部ESD保護構造

セル入力とGPIO入力のフィルタリング

LTC6810はデルタシグマ型ADCを使用しており、これにはデルタシグマ型変調器とその後段にSINC3有限インパルス応答(FIR)デジタル・フィルタが組み込まれています。これにより、入力フィルタリング条件が大幅に緩和されます。更に、プログラム可能なオーバーサンプリング率を使用して、測定速度とフィルタのカットオフ周波数との間の最適な妥協点を判断できます。この高次ローパス・フィルタを使用した場合でも、特に高速変換モードでは、高速トランジェント・ノイズによって測定時に残留ノイズが発生することがあります。これは、各ADC入力にRCローパス・デカップリングを追加することによって、最小限に抑えることができます。これを追加することで、損傷を与える可能性のある高エネルギーのトランジェントを除去することもできます。約100Ωを超える抵抗をADC入力に追加すると、測定でシステム的な誤差が発生するようになります。この誤差は、フィルタ容量を増やすか、ソフトウェアでのキャリブレーションを使用して計算処理で補償することによって改善できます。最高レベルのバッテリー電圧のリップル除去が要求される状況では、接地コンデンサ・フィルタを推奨します。この構成では、直列接続された抵抗とコンデンサを使用して、HFノイズをV-から分離します。ノイズの周期性が少ないか、高いオーバー・サンプリングを使用しているシステムでは、差動コンデンサ・フィルタ構造が適しています。この構成では、抵抗は各入力に直列接続されますが、コンデンサは隣接するCピン間に接続されます。ただし、差動コンデンサの各部分が相互作用します。その結果、フィルタ応答の一貫性が低くなり、減衰がRCによる予測値よりも(約1デシベル)低くなります。これらのコンデンサには、加えられる電圧のうちの1セル分の電圧が発生します(そのため、コンデンサ値が小さく低コスト)。また、これらのコンデンサは、トランジェント・エネルギーをデバイス全体に均一に分配する傾向があり、これによって、内部の保護構造に対するストレスが低下します。これら2つの方法を、図39の回路図で示します。ADCの精度は、標準的性能曲線に示すようにRとCによって変化しますが、誤差は、 $R = 100\Omega$ かつ $C = 10\text{nF}$ の場合に最小になります。測定では全てV-が基準になるため、GPIOピンは接地されたコンデンサの構成を常に使用します。

アプリケーション情報

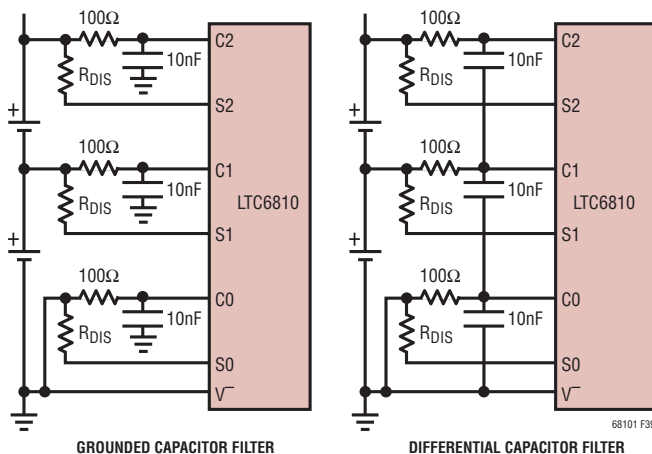


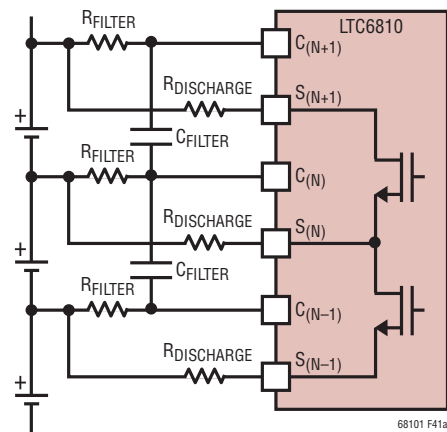
図 39. 入力フィルタ構造の構成

セル・バランス

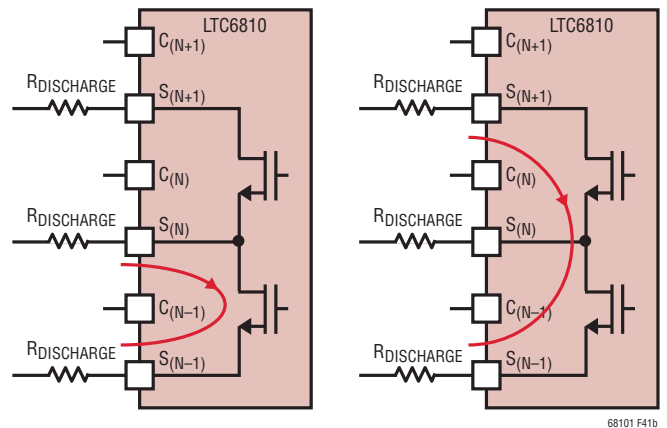
LTC6810には、内部または外部放電を使用したセル・バランスに使用できる信号(ピンS0～S6)が含まれています。内部NチャンネルNMOSをSピンに接続するか、またはSピンをデジタル出力として動作させて外部トランジスタを駆動することで、セルを放電できます。図40に、LTC6810を使用した内部セル・バランスの例を示します。

放電抵抗の選択

バランス抵抗の値を調整する場合は、バッテリーの標準的なアンバランスとセル・バランスの許容時間を知ることが重要です。ほとんどの小型バッテリー・アプリケーションでは、バランス回路が5時間のバランス調整によって5%のSOC(充電状態)誤差を補正できるのが妥当です。例えば、5Ahrのバッテリーで、そのSOCアンバランスが5%の場合、アンバランスは約250mAHrになります。50mAのバランスング電流を使用すると、これは5時間以内に修正できます。100mAのバランスング電流を使用すると、誤差は2.5時間以内に修正されます。非常に大型のバッテリーを使用するシステムでは、パッシブ方式のバランス調整を実行して大きなSOCアンバランスを短時間で修正するのは困難になります。バランス調整中に過剰な熱が発生すると、通常はバランスング電流が制限されます。大容量バッテリーのアプリケーションでは、



a)



b)

図 40. 内部放電回路

バランス調整時間を短時間にする必要がある場合、アクティブ方式のバランスング解決策を検討してください。バランス抵抗を選択する場合は、以下の式を使用すると抵抗値を決定するのに役立ちます。

$$\text{Balance Current} = \frac{\% \text{SOC_Imbalance} \cdot \text{Battery Capacity}}{\text{Number of Hours to Balance}}$$

$$\text{Balance Resistor} = \frac{\text{Nominal Cell Voltage}}{\text{Balance Current}}$$

アプリケーション情報

パッシブ方式のバランス調整では、直列スタック内の1つのセルが過充電された場合、S出力を抵抗に接続することで、このセルを徐々に放電できます。各S出力は、オン抵抗の最大値が 4Ω の内部NチャンネルMOSFETに接続されています。図40に示すように、外付け抵抗をこれらのMOSFETと直列に接続して、大部分の熱をLTC6810パッケージの外側に放散できるようにします。

内部MOSFETによるセル・バランス

図40aに示すように、内部の放電スイッチ(MOSFET)S1~S6を使用し、最大150mAのバランスング電流を流して、セルのバランスを受動的に調整できます。150mAを超えるバランスング電流は、ダイが過剰に発熱するため、内部スイッチでは推奨しません。内部の放電スイッチを使用してセルを放電する場合は、ダイ温度をモニタしてください。

図40bに、内部放電スイッチを通る放電電流経路を示します。隣接する放電スイッチをアサートすると、図40bの右側に示した電流経路になります。LTC6810では隣接放電スイッチをアサートすることはできないので、CONFIGレジスタ内の隣接DCCビットがアサートされた場合、WRFGコマンドは実行されません。図40bの右側に示したのは、隣接放電スイッチをオンにできる場合の電流経路で、その場合、放電電流は個々のセルではなく一連のセルを流れます。

外部トランジスタによるセル・バランス

150mAを超えるバランスング電流が必要なアプリケーションでは、S出力を使用して外部トランジスタを制御できます。図41に示すように、Sピンは外部MOSFETのゲートまたは外部NPNのベースを駆動するのに適したデジタル出力として動作できます。RCフィルタを内蔵した外部トランジスタ回路を図41に示します。

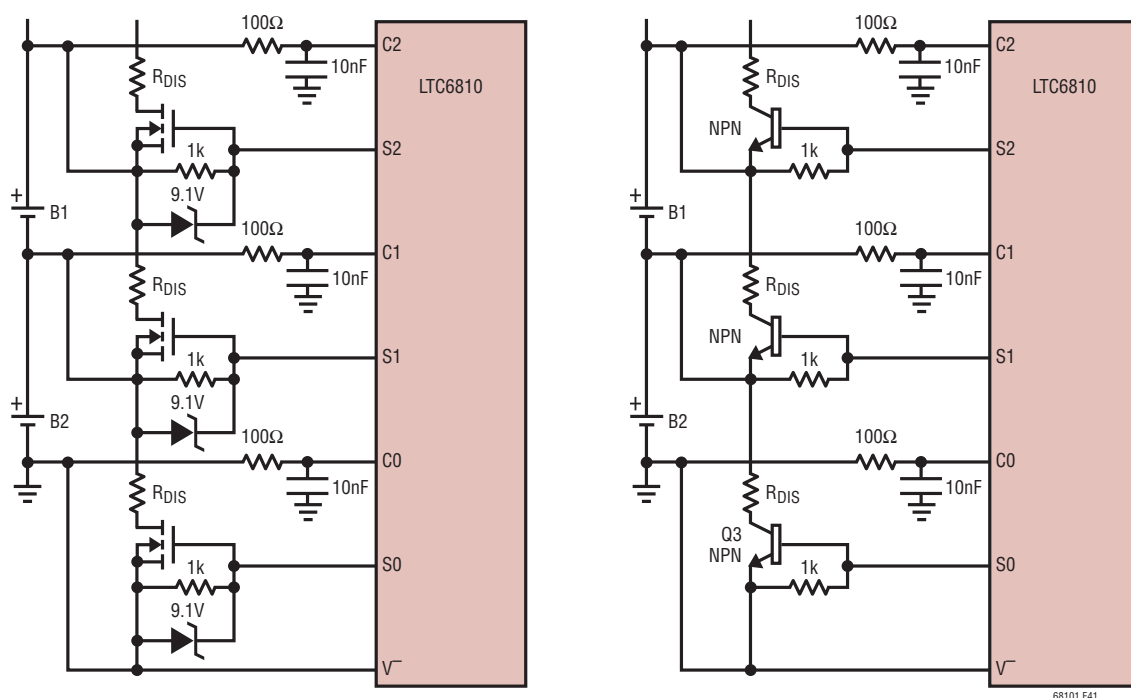


図41. 外部放電回路

アプリケーション情報

表 55. DCP = 0 での ADCV コマンド実行時の放電制御

	セル測定期間						セル・キャリブレーション期間					
	セル1	セル2	セル3	セル4	セル5	セル6	セル1	セル2	セル3	セル4	セル5	セル6
放電ピン	t ₀ to t _{1M}	t _{1M} to t _{2M}	t _{2M} to t _{3M}	t _{3M} to t _{4M}	t _{4M} to t _{5M}	t _{5M} to t _{6M}	t _{6M} to t _{1C}	t _{1C} to t _{2C}	t _{2C} to t _{3C}	t _{3C} to t _{4C}	t _{4C} to t _{5C}	t _{5C} to t _{6C}
S1	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF
S2	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON
S3	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON
S4	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON
S5	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF
S6	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF

セル測定時の放電制御

セル測定コマンドの実行時に放電許可(DCP)ビットがハイである場合、Sピンの放電状態はセルの測定中に変化しません。DCPビットがローである場合、Sピンの放電状態は、対応するセルまたは隣接セルの測定中、無効になります。外付けの放電トランジスタを使用する場合、LTC6810内部のPMOSトランジスタのインピーダンスは比較的低い1kΩなので、放電電流を完全にオフにしてからセルを測定することができます。DCP = 0の場合のADCVコマンドを表55に示します。この表では、OFFは対応するDCC[x]ビットの状態に関係なく、Sピンの放電が強制的にオフになることを示しています。ONは、測定コマンドより前にSピンの放電がオンであった場合、測定期間中、Sピンの放電はオンのままであることを示しています。

場合によっては、放電の実行によって生じた測定誤差を自動放電制御によって全て取り除くことができません。この原因は、放電トランジスタをオフにする速度が十分ではなく、セルの電圧が完全に安定してから測定を開始することができないためです。放電の実行時に最高の測定精度を得るには、MUTEコマンドとUNMUTEコマンドを使用します。MUTEコマンドを発行して、ADCVコマンドを発行する前に全ての放電トランジスタを一時的にディスエーブルすることができます。MUTEコマンドの発行後、約50μS経過してから、A/D変換コマンドを送信します。これにより、セル電圧が安定してから測定することができます。セル変換が完了したら、UNMUTEを送信して、以前はオンだった放電トランジスタを全て再イネーブルすることができます。この方法を使用すると、時間損失を非常に小さく抑えながら、測定精度を最大限に高めることができます。

放電回路の検証方法

内部および外部の放電機能を使用するときは、放電機能を検証する機能をソフトウェアに実装できます。放電回路を図40および41に示します。放電回路の機能を検証するには、Sピンの冗長測定を実装し、Cピンの測定値と比較します。LTC6810のSピンには、内部放電の提供または外部放電デバイスのオンという2つの目的がありますが、冗長セル測定を実施することもできます。構成レジスタのSCONVビットをアサートすると、Sピンの冗長セル測定がイネーブルされます。放電がオンのときにSピンを測定するには、放電許可(DCP)ビットを設定する必要があります。放電がオンのときのSピンの測定値は、外部放電抵抗に応じて変化しますが、通常、Cピン測定値よりも大幅に低くなります。図40に示す外部放電抵抗が10Ωの場合、内部放電FETの抵抗も約10Ωとなり、放電がオンの場合のSピン測定値はCピン測定値の1/3になります。

アプリケーション情報

7セル・アプリケーションと冗長測定

LTC6810には、冗長性と内部放電機能と共に、追加の7番目のセルを測定する機能が備わっています。セルが6個のアプリケーションでは、C0はV⁻に接続されます。図42に示すように、追加の7番目のセルであるセル0をC0とV⁻の間に接続できます。GPIO1をC0に接続し、セル0を測定するADAXコマンドを使用することで、1次セル測定が実施されます。図42に示すように、C0ピンに外部フィルタが追加されます。冗長

測定はS0ピンを使用して行います。構成レジスタのSCONVビットをアサートしてADCVAXコマンドを使用すると、6セルの測定値とS0およびGPIO1の冗長化された測定値が組み合わせられます。図43に、Sピンを使用して外部MOSFETのゲートを駆動する7セル・アプリケーションを示します。セル0の放電には外部PFETを使用します。

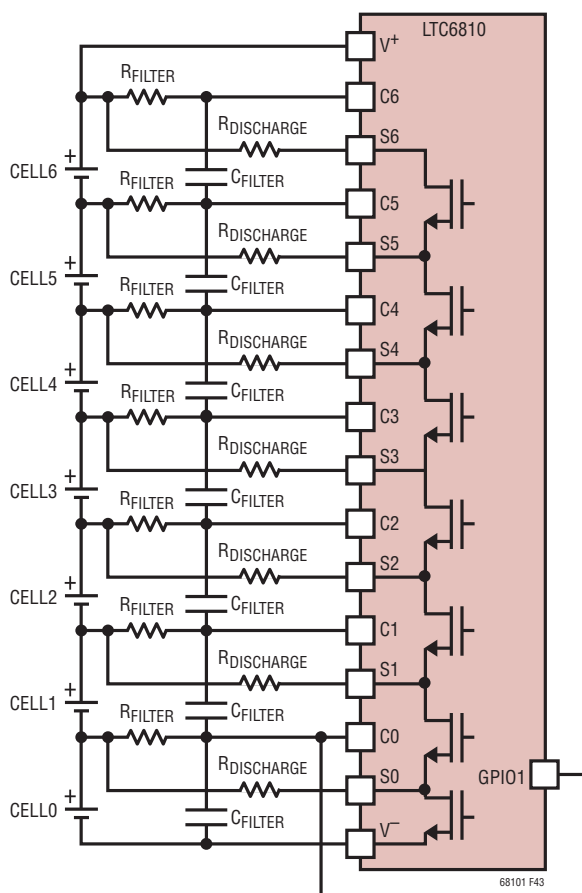


図 42. 内部放電を使用した7セル

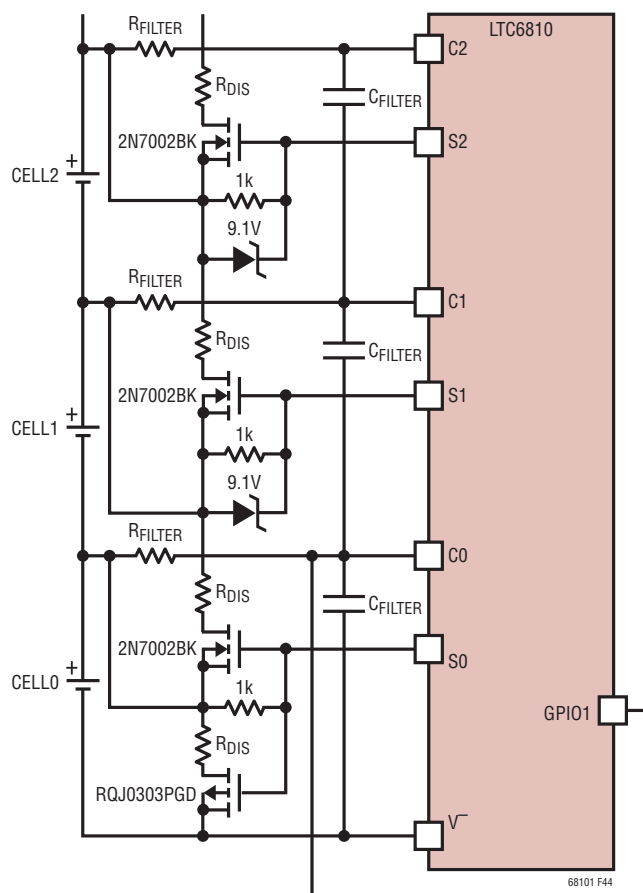


図 43. 外部放電を使用した7セル

アプリケーション情報

デジタル通信

PECの計算

パケット・エラー・コード(PEC)を使用すると、LTC6810から読み出されたシリアル・データが有効であり、破損していないことを確認できます。これは、特にノイズの多い環境では、信頼性の高い通信を確保するために重要な機能です。LTC6810では、LTC6810に対する全ての読出しデータと全ての書込みデータについて、PECを計算する必要があります。このため、PECを計算するための効率的な手段を持つことが重要になります。

以下に示すCのコードにより、ルックアップ・テーブルから生成されたPEC計算方法を簡単に実装できます。このコードには2つの関数があります。1つ目の関数init_PEC15_Table()は、マイクロコントローラの起動時に1度だけ呼び出され、PEC15テーブルの配列(pec15Table[])を初期化します。このテーブルは、今後の全てのPEC計算で使用されます。また、起動時にinit_PEC15_Table()関数を実行するのではなく、PEC15テーブルをマイクロコントローラにハード・コードすることもできます。pec15()関数は、PECを計算し、与えられた任意の長さのバイト配列で、正確な15ビットのPECを返します。

```
/*
*****
Copyright 2012 Analog Devices, Inc.
Permission to freely use, copy, modify, and distribute this software for any
purpose with or without fee is hereby granted, provided that the above
copyright notice and this permission notice appear in all copies:
THIS SOFTWARE IS PROVIDED "AS IS" AND LTC DISCLAIMS ALL WARRANTIES
INCLUDING ALL IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS. IN NO
EVENT SHALL LTC BE LIABLE FOR ANY SPECIAL, DIRECT, INDIRECT, OR CONSEQUENTIAL
DAMAGES OR ANY DAMAGES WHATSOEVER RESULTING FROM ANY USE OF SAME, INCLUDING
ANY LOSS OF USE OR DATA OR PROFITS, WHETHER IN AN ACTION OF CONTRACT, NEGLIGENCE
OR OTHER TORTUOUS ACTION, ARISING OUT OF OR IN CONNECTION WITH THE USE OR
PERFORMANCE OF THIS SOFTWARE.
*****/
int16 pec15Table[256];
int16 CRC15_POLY = 0x4599;
void init_PEC15_Table()
{
    for (int i = 0; i < 256; i++)
    {
        remainder = i << 7;
        for (int bit = 8; bit > 0; --bit)
        {
            if (remainder & 0x4000)
            {
                remainder = ((remainder << 1));
                remainder = (remainder ^ CRC15_POLY);
            }
            else
            {
                remainder = ((remainder << 1));
            }
        }
        pec15Table[i] = remainder&0xFFFF;
    }
}
unsigned int16 pec15 (char *data , int len)
{
    int16 remainder,address;
    remainder = 16;//PEC seed
    for (int i = 0; i < len; i++)
    {
        address = ((remainder >> 7) ^ data[i]) & 0xff;//calculate PEC table address
        remainder = (remainder << 8) ^ pec15Table[address];
    }
    return (remainder*2);//The CRC15 has a 0 in the LSB so the final value must be
    multiplied by 2
}
```

アプリケーション情報

isoSPIのIBIASとICMPの設定

LTC6810は、消費電力またはノイズ耐性に合わせて各アプリケーションのisoSPIリンクを最適化できます。isoSPIシステムの消費電力とノイズ耐性は、事前に設定された I_B 電流によって決まり、これがisoSPIの信号電流を制御します。バイアス電流 I_B の範囲は $100\mu\text{A} \sim 1\text{mA}$ です。内部回路はこのバイアス電流を増大して、 $20 \cdot I_B$ に等しいisoSPI信号電流を発生させます。 I_B が小さいと、READYおよびACTIVEステートでのisoSPIの消費電力が少なく済みますが、 I_B が大きいと、対応する終端抵抗 R_M 両端の差動信号電圧 V_A の振幅が大きくなります。電流 I_B は、図44に示すように、2VのIBIASピンとGNDの間に接続した抵抗 R_{B1} と R_{B2} の和によって設定されます。レシーバーの入力閾値はICMPの電圧によって設定され、ICMPの電圧は、抵抗 R_{B1} および R_{B2} で形成される抵抗分圧器によって設定されます。レシーバーの差動閾値は、ICMPピンの電圧の半分になります。

バイアス電流($100\mu\text{A} \sim 1\text{mA}$) I_B とレシーバーのコンパレータ・スレッショルド電圧 $V_{ICMP}/2$ を設定するときは、以下のガイドラインに従います。

R_M = 伝送線路の特性インピーダンス Z_0

信号振幅 $V_A = (20 \cdot I_B) \cdot (R_M/2)$

V_{TCMP} (レシーバーのコンパレータ閾値) = $K \cdot V_A$

V_{ICMP} (ICMPピンの電圧) = $2 \cdot V_{TCMP}$

$R_{B2} = V_{ICMP}/I_B = 20 \cdot K \cdot R_M$

$R_{B1} = (2/I_B) - R_{B2}$

次に示すアプリケーションに応じて、 I_B および K (信号振幅 V_A とレシーバーの入力閾値の比)を選択します。

小電力のリンクの場合: $I_B = 0.5\text{mA}$ および $K = 0.5$

最大電力のリンクの場合: $I_B = 1\text{mA}$ および $K = 0.5$

長いリンク(>50m)の場合: $I_B = 1\text{mA}$ および $K = 0.25$

アドレス指定可能なマルチドロップの場合:

$I_B = 1\text{mA}$ および $K = 0.4$

システム・ノイズがほとんどないアプリケーションでは、 I_B を 0.5mA に設定すると、消費電力とノイズ耐性の折れ合いをうまくつけることができます。この I_B の設定を1:1のトランスと $R_M = 100\Omega$ で使用する場合は、 R_{B1} を $3.01\text{k}\Omega$ 、 R_{B2} を $1\text{k}\Omega$ に設定します。標準のCAT5ツイスト・ペア・ケーブルを使用する場合、この設定で最大50mの通信が可能です。ノイズが非常に多い環境でのアプリケーションや50mより長いケーブルが必要なアプリケーションでは、 I_B を 1mA に増やすことを推奨します。駆動電流を大きくすると、ケーブルでの挿入損失の増加が補償され、ノイズ耐性が向上します。50mを超えるケーブルと巻数比1:1のトランスおよび $R_M = 100\Omega$ を使用する場合は、 R_{B1} を $1.5\text{k}\Omega$ 、 R_{B2} を 499Ω にします。

isoSPIリンクの最大クロック・レートは、ケーブルの長さによって決まります。ケーブルが10m以下の場合、最大1MHzのSPIクロック周波数が可能です。ケーブルの長さが長くなるにつれて、可能な最大SPIクロック・レートは減少します。この依存性は、伝播遅延の増加によるものであり、これによってタイミングの規格外れが発生する可能性があります。CAT5ツイスト・ペア・ケーブルを使用した場合、ケーブル長が長くなるに従って最大データ・レートがどのように減少するかを図45に示します。

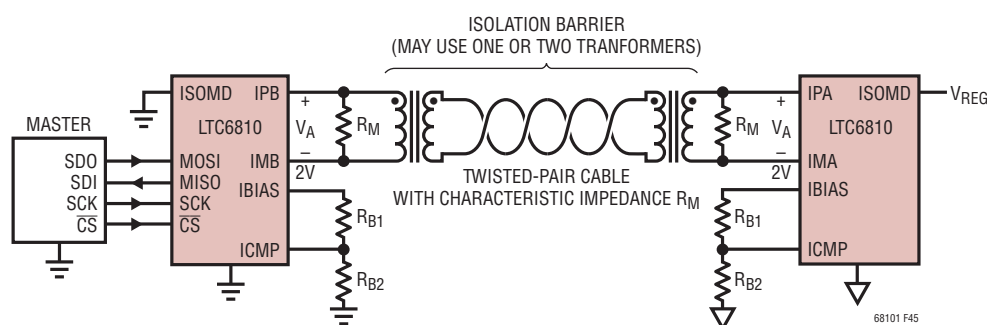


図 44. isoSPI 回路

アプリケーション情報

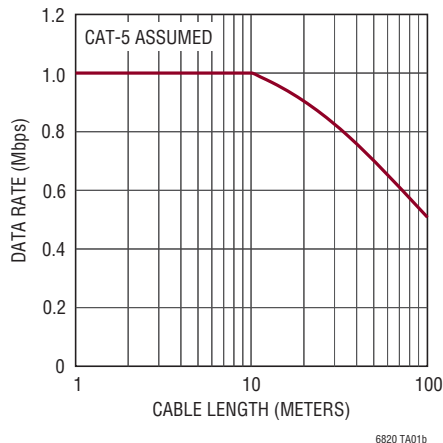


図45. データ・レートとケーブルの長さ

ケーブルの遅延は、 t_{CLK} 、 t_6 、 t_7 の3つのタイミング仕様に影響を与えます。電気的特性の表では、これらの仕様のそれぞれが100nsまで減定格され、50nsのケーブル遅延が許容されます。更に長いケーブルの場合、最小のタイミング・パラメータは次の関係式に従います。

$$t_{CLK}, t_6, t_7 > 0.9 \mu s + 2 \cdot t_{CABLE} (0.2m/nS)$$

isoSPIのモジュール式デジチェーンの実装

デジチェーン isoSPI バスのハードウェア設計は、デジチェーンの2点間アーキテクチャにより、ネットワーク内の各デバイスで同一です。図44に示す単純な設計で機能しますが、ほとんどの設計回路には不適切です。バッテリー・モジュール間でケーブルを使用すると、特にオートモーティブ・アプリケーションで通信ラインのノイズが増える場合があります。図46に示すように、終端抵抗 R_M を分割し、コンデンサでバイパスします。この変更により、差動終端と同相終端の両方が得られるので、システムのノイズ耐性が向上します。

電磁干渉(EMC)レベルが高い場合は、フィルタを更に追加することを推奨します。図46の回路例では、コモンモード・チョーク(CMC)を使用して、バッテリー配線上でのトランジェントから同相ノイズを除去する機能を追加したことを示しています。また、センター・タップ付きのトランスを使用すると、ノイズ性能が更に向上します。センター・タップにバイパス・コンデンサを接続することで、同相ノイズに対応する低インピーダンスが得られます(図46b)。センター・タップのないトランスは低価格で済むので好まれます。この場合には、分割終端抵抗とバイパス・コンデンサを追加すれば(図46a)、isoSPI性能を向上できます。10nFよりも大きなセンター・タッ

プ・コンデンサの使用は避けてください。使用すると isoSPI のコモンモード電圧を安定化できないためです。イーサネット・アプリケーションまたはCANbusアプリケーションで使用されるものと同等のコモンモード・チョークを推奨します。具体的な例を表57に示します。

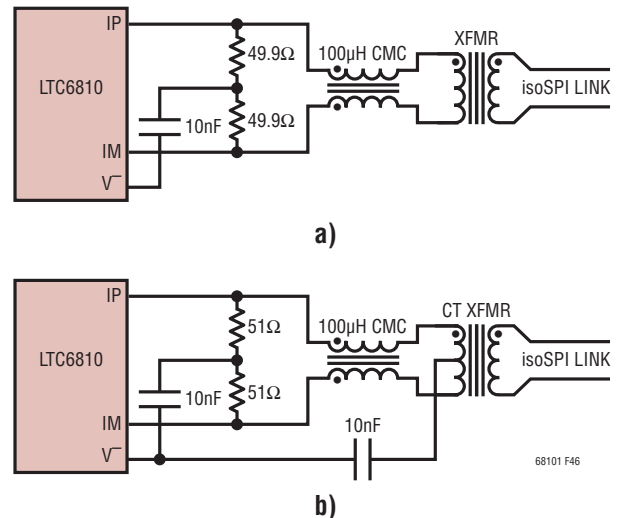


図46. デジチェーン・インターフェースの部品

デジチェーン設計での重要な考慮事項は、isoSPI ネットワーク内にあるデバイスの数です。これによって逐次処理のタイミングが決まり、データの遅延とスループットにも影響します。isoSPI デジチェーンでのデバイスの最大数は、逐次処理のタイミング条件によって規定されています。ただし、逐次読出し時間(と消費電流の増加)が実用上の限界を決める可能性があることに注意する必要があります。

デジチェーンでは、正常動作を確保するために、次の2つのタイミングに関する事項を考慮する必要があります(図29参照)。

1. t_6 (最後のクロックとチップ選択の立上がりまでの時間) が十分に長いこと。
2. t_5 (チップ選択の立上がりから次の立下がりまでの時間(コマンドとコマンドの間)) が十分に長いこと。

t_5 と t_6 の長さは、両方ともデジチェーン内にあるLTC6810 デバイスの数が増加するのに応じて長くする必要があります。これらの時間の計算式は以下のようになります。

$$t_5 > (\# \text{devices} \cdot 70ns) + 900ns$$

$$t_6 > (\# \text{devices} \cdot 70ns) + 950ns$$

アプリケーション情報

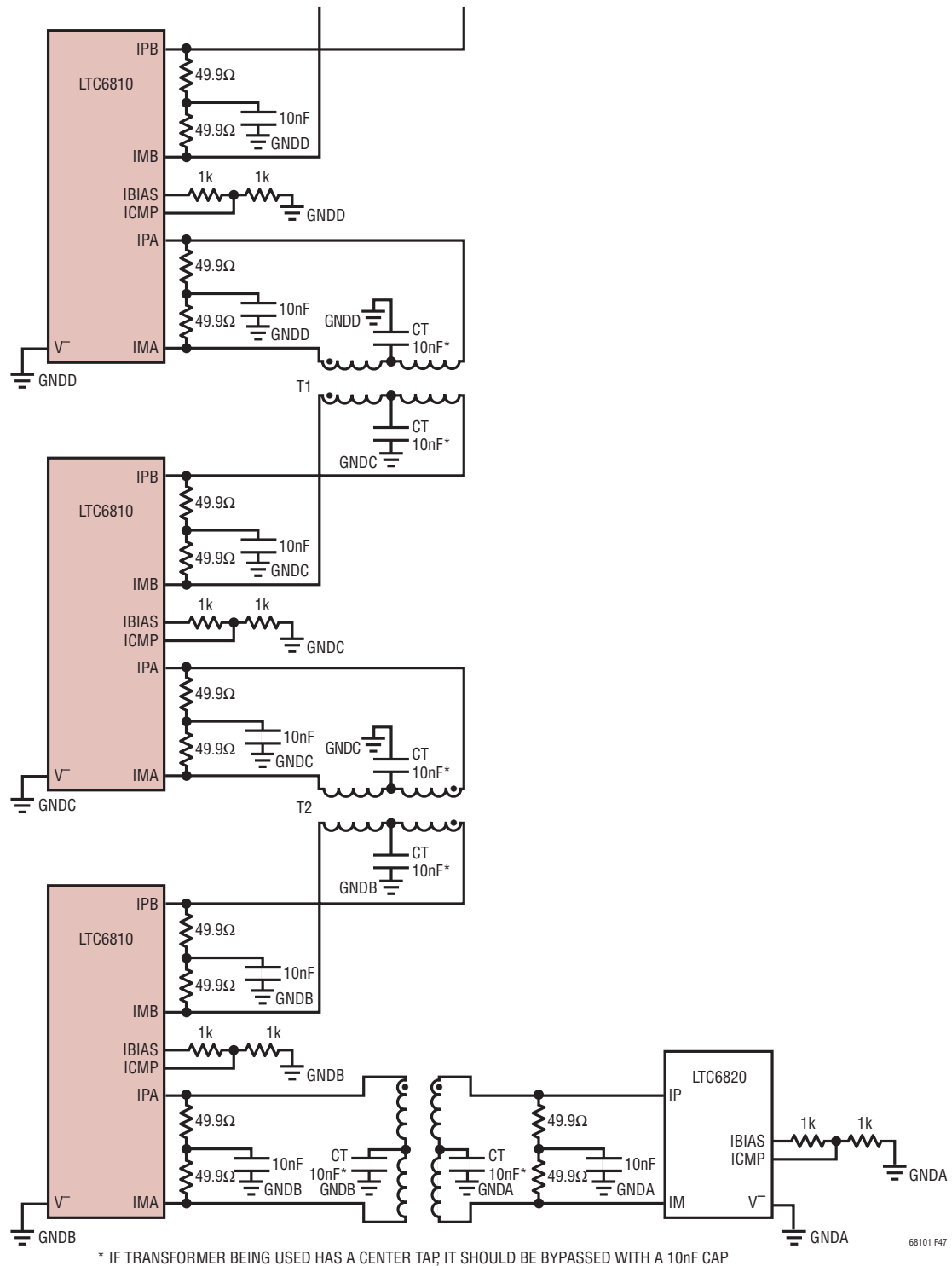


図47. 単一基板上でのデジチェーン・インターフェースの部品

アプリケーション情報

同一PCB上での複数のLTC6810-1の接続

複数のLTC6810デバイスを同一のPCB上で接続する場合、LTC6810-1のisoSPIポート間に必要なトランスは1つのみです。また、ケーブルがないと通信線上でのノイズ・レベルが減少し、分割終端だけで済むことが多くなります。複数のLTC6810-1が同一のPCB上に存在し、isoSPIドライバのLTC6820を介して末尾のMCUと通信するアプリケーション例を図47に示します。センター・タップ付きのトランスを使用する場合は、コンデンサを追加してノイズ除去性能を高めることができます。図47に示すように、ディスクリートのコモンモード・チョーク(CMC)を1つのトランスの両側に取り付けることにより、追加のノイズ・フィルタを設けることができます。

低ノイズが要求される単一基板設計では、図48に示すようなコンデンサ絶縁型の簡単な結合によってトランスを置き換えることができます。この回路では、2つの10nFのコンデンサでトランスを直接置き換えます。オプションのコモンモード・チョーク(CMC)を使用すると、トランスを使用するアプリケーション回路と同様のノイズ除去を達成できます。この回路は、トランス回路と同じIBIAS/ICMPの設定を使用するように設計されています。

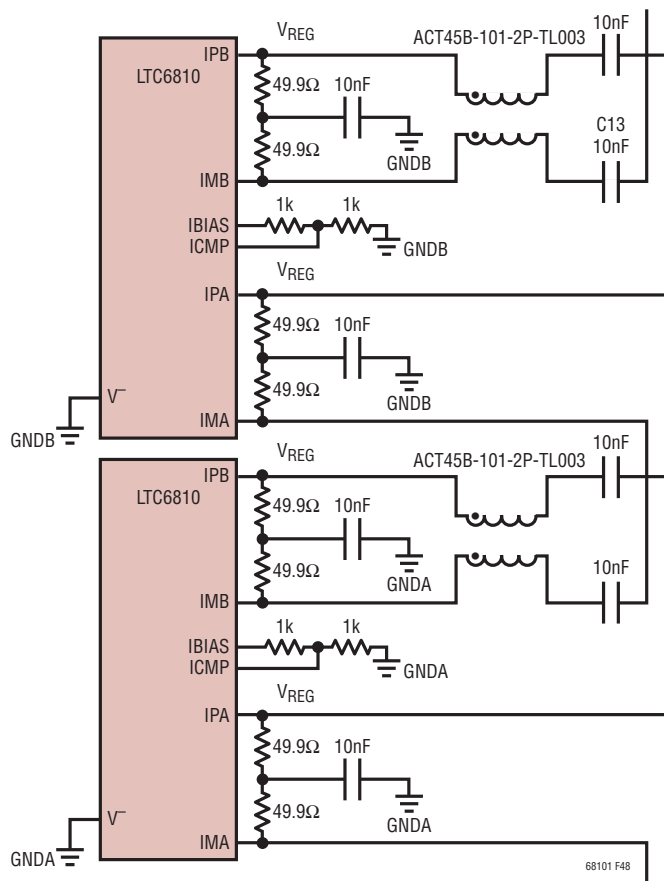


図48. 同一PCB上での複数のLTC6810-1に対応する容量性絶縁結合

アプリケーション情報

isoSPI データ・リンクによる MCU と LTC6810-1 の接続

LTC6820 は、標準の 4 線 SPI を、LTC6810 と直接通信できる 2 線 isoSPI リンクに変換します。例を図 49 に示します。LTC6820 をアプリケーションで使用すると、マイクロコントローラと LTC6810 のスタックの間を簡単に絶縁できます。また、LTC6820 を使用すると、LTC6810 デバイスおよびバッテリー・パックと比較的離れた場所に BMS コントローラを配置するシステム構成が可能になります。

マルチドロップ isoSPI リンクでの LTC6810-2 の構成

LTC6810-2 のアドレス指定機能を使用して、1 本のツイスト・ペア・ケーブル上にデバイスを分散することで、複数のデバイスを 1 つの isoSPI マスタに接続できます。これによって、実質的に大規模な並列 SPI ネットワークが形成されます。ベーシックなマルチドロップ・システムを図 50 に示します。ツイスト・ペア・ケーブルは始点 (マスタ) と終点でのみ終端します。その中間では、他の LTC6810-2 が、ツイスト・ペア・ケーブルの短いスタブに接続されます。これらのスタブは、isoSPI 配線上の終端の劣化を避けるため、できるだけ短く、小さな容量にします。

LTC6810-2 は、アドレス指定されない場合、データ・パルスを送信しません。これにより、アドレス指定されたデバイスだけがマスタにデータを戻すため、衝突が起こる可能性がなくなります。マルチドロップ・システムは一般に、コンパクトなアセンブリに限定することを推奨します。これにより、過度な isoSPI パルスの歪みと EMC の混入を避けることができます。

マルチドロップ構成での LTC6810-2 の基本接続

マルチドロップの isoSPI バスでは、伝送線の末尾に終端を配置することで最善の性能が得られます (標準で 100Ω)。図 51a に示すように、それぞれの LTC6810 isoSPI ポートは、抵抗回路網を使用してバスに接続する必要があります。ここでも、図 51b に示すように、センター・タップ付きのトランスを使用すると最善の性能が得られ、コモンモード・チョーク (CMC) によりノイズ除去性能が更に高くなります。デバイス接続で共振を抑えるために、RC スナバが使用されています (デバイス容量で十分な帯域外除去が可能)。センター・タップのないトランスを使用する場合、CMC を電圧スプリッタとして接続することで仮想 CT を生成できます。LTC6810 と基板寄生容量を伝送線から分離するために、直列抵抗の使用を推奨します。伝送線上の寄生を低減することで、反射を最小限に抑えることができます。

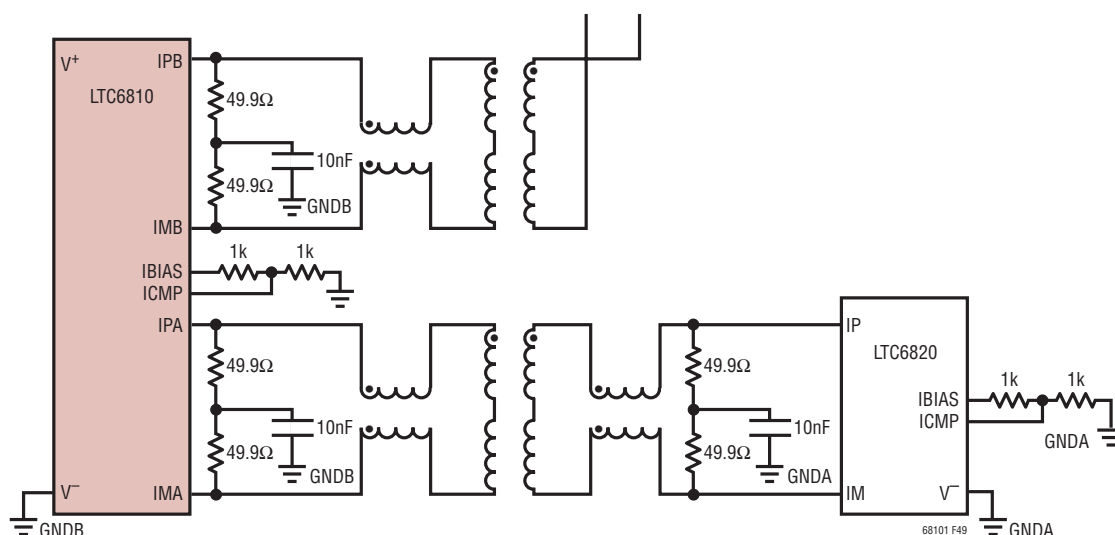


図 49. LTC6820 を使用して絶縁型 SPI 制御に対応する LTC6810-1 と μ C とのインターフェース

アプリケーション情報

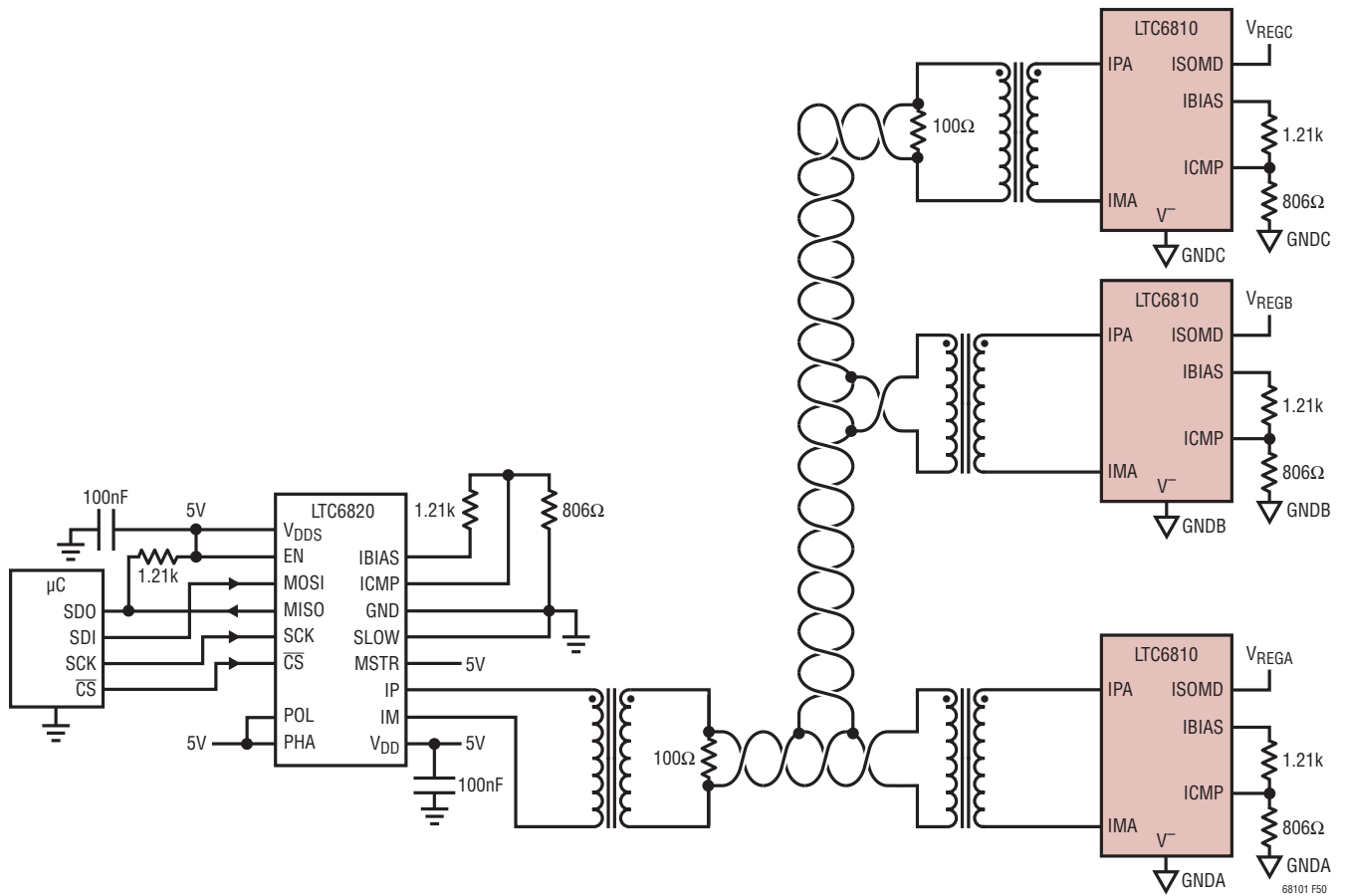


図 50. マルチドロップ構成での LTC6810-2 の接続

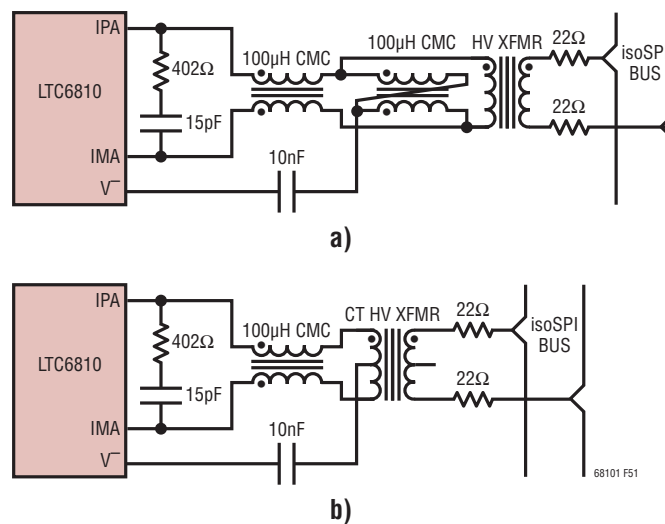


図 51. LTC6810-2 での使用に推奨される isoSPI バス結合

アプリケーション情報

表 56. 推奨のトランス

メーカー	製品番号	温度範囲	V _{WORKING}	V _{HIPOUT/60S}	CT	CMC	H	L	幅 (幅/リード)	ピン	AEC- Q200
推奨のデュアル・トランス											
Pulse	HX1188FNL	−40°C to 85°C	60V (est)	1.5kV _{RMS}	●	●	6.0mm	12.7mm	9.7mm	16SMT	–
Pulse	HX0068ANL	−40°C to 85°C	60V (est)	1.5kV _{RMS}	●	●	2.1mm	12.7mm	9.7mm	16SMT	–
Pulse	HM2100NL	−40°C to 105°C	1000V	4.3kVDC	–	●	3.4mm	14.7mm	14.9mm	10SMT	●
Pulse	HM2112ZNL	−40°C to 125°C	1000V	4.3kVDC	●	●	4.9mm	14.8mm	14.7mm	12SMT	●
Sumida	CLP178-C20114	−40°C to 125°C	1000V (est)	3.75kV _{RMS}	●	●	9mm	17.5mm	15.1mm	12SMT	–
Sumida	CLP0612-C20115		600V _{RMS}	3.75kV _{RMS}	●	–	5.7mm	12.7mm	9.4mm	16SMT	–
Würth	7490140110	−40°C to 85°C	250V _{RMS}	4kV _{RMS}	●	●	10.9mm	24.6mm	17.0mm	16SMT	–
Würth	7490140111	0°C to 70°C	1000V (est)	4.5kV _{RMS}	●	–	8.4mm	17.1mm	15.2mm	12SMT	–
Würth	749014018	0°C to 70°C	250V _{RMS}	4kV _{RMS}	●	●	8.4mm	17.1mm	15.2mm	12SMT	–
Halo	TG110-AE050N5LF	−40°C to 85/125°C	60V (est)	1.5kV _{RMS}	●	●	6.4mm	12.7mm	9.5mm	16SMT	●
推奨のシングル・トランス											
Pulse	PE-68386NL	−40°C to 130°C	60V (est)	1.5kVDC	–	–	2.5mm	6.7mm	8.6mm	6SMT	–
Pulse	HM2101NL	−40°C to 105°C	1000V	4.3kVDC	–	●	5.7mm	7.6mm	9.3mm	6SMT	●
Pulse	HM2113ZNL	−40°C to 125°C	1600V	4.3kVDC	●	●	3.5mm	9mm	15.5mm	6SMT	●
Würth	750340848	−40°C ~ +105°C	250V	3kV _{RMS}	–	–	2.2mm	4.4mm	9.1mm	4SMT	–
Halo	TGR04-6506V6LF	−40°C to 125°C	300V	3kV _{RMS}	●	–	10mm	9.5mm	12.1mm	6SMT	–
Halo	TGR04-A6506NA6NL	−40°C to 125°C	300V	3kV _{RMS}	●	–	9.4mm	8.9mm	12.1mm	6SMT	●
Halo	TDR04-A550ALLF	−40°C to 105°C	1000V	5kV _{RMS}	●	–	6.4mm	8.9mm	16.6mm	6TH	●
TDK	ALT4532V-201-T001	−40°C to 105°C	60V (est)	~1kV	●	–	2.9mm	3.2mm	4.5mm	6SMT	●
Sumida	CEEH96BNP-LTC6804/11	−40°C to 125°C	600V	2.5kV _{RMS}	–	–	7mm	9.2mm	12.0mm	4SMT	–
Sumida	CEP99NP-LTC6804	−40°C to 125°C	600V	2.5kV _{RMS}	●	–	10mm	9.2mm	12.0mm	8SMT	–
Sumida	ESMIT-4180/A	−40°C to 105°C	250V _{RMS}	3kV _{RMS}	–	–	3.5mm	5.2mm	9.1mm	4SMT	●
TDK	VGT10/9EE-204S2P4	−40°C to 125°C	250V (est)	2.8kV _{RMS}	●	–	10.6mm	10.4mm	12.7mm	8SMT	–

トランス選択ガイド

図 44 に示すように、1 つのトランスまたは 1 対のトランスを使用して、2 つの isoSPI ポート間の isoSPI 信号を絶縁します。isoSPI 信号は、最大 1.6V_{P-P} のプログラム可能なパルス振幅と、50ns および 150ns のパルス幅を備えています。これらのパルスを、必要な忠実度で送信できるようにするために、システムで必要なのはトランスの 1 次側インダクタンスを 60μH より大きくして、巻数比を 1:1 にすることです。また、漏れインダクタンスが 2.5μH より少ないトランスを使用することも必要です。パルス波形の観点から、1 次側インダクタンスが最も影響するのは、50ns および 150ns パルスのドループです。1 次側インダクタンスが小さすぎると、パルスの振幅は減少し始め、パルス時間にわたって減衰します。パルス電圧の低下が厳しい場合、レシーバーから見た実効パルス幅が狭まるので、ノイズ・マージンが減少します。低下のパーセント値が全パ

ルス振幅と比較して小さい値である限り、ある程度の低下は許容されます。漏れインダクタンスが主に影響するのは、パルスの立上がり時間と立下がり時間です。立上がり時間と立下がり時間が長いと、パルス幅は実質的に減少します。パルス幅は、ICMP ピンで設定されている閾値を信号が超える時間に応じて、レシーバーにより決定されます。つまり、立上がり時間と立下がり時間が長いと、タイミングのマージンは減少します。一般的には、パルス・エッジをできるだけ高速に保つのが最善です。また、トランスを評価する場合には、巻線の並列容量に留意することも大切です。トランスの CMRR は低周波では非常に良好ですが、この除去比特性は高周波では低下します。その原因は、主として巻線間の容量です。トランスを選択する場合には、できれば巻線の並列容量が少ないものを選ぶのが最善です。

アプリケーション情報

トランスを選択する場合、同様に重要なのは、アプリケーションに合わせて適切な絶縁定格の製品を選ぶことです。トランスの動作電圧定格は、アプリケーションに合わせて製品を選択するときの重要な仕様です。LTC6810-1デバイス間のデジタイズチェーン・リンクを相互接続した場合に受けるストレスは、標準では60V未満なので、通常のパルスやLANタイプのトランスで十分です。マルチドロップ接続やLTC6820に接続する場合は、一般に、良好な長期信頼性を確保するため、はるかに高い動作電圧定格が必要となる可能性があります。通常は、動作電圧をバッテリー・スタック全体の電圧に一致させるのが確実です。残念なことに、トランスのメーカーは1秒間のHVテストしか規定しないことが多く、これは製品の長期(永続)的な定格と同等ではありません。例えば、ほとんどの安全規格によると、1.5kV定格のトランスは継続的に230Vを扱えることを期待されており、3kVのデバイスは長期間1100Vに対応できることを期待されていますが、メーカーがこれらのレベルを必ずしも認証するわけではありません(仕様については実際のメーカー・データを参照)。通常、高電圧のトランスを、メーカーは「高絶縁」タイプまたは「強化絶縁」タイプと呼んでいます。isoSPIリンクで評価されたトランスの一覧を表56に示します。

ほとんどのアプリケーションでは、ノイズを除去するのにコモンモード・チョーク(CMC)も必要です。使用するトランスに予めCMCが組み込まれていない場合、適したCMCの一覧を表57に示します。

表57. 推奨のコモンモード・チョーク

メーカー	製品番号
TDK	ACT45B-101-2P
Murata	DLW43SH101XK2

isoSPIレイアウトのガイドライン

isoSPI信号線のレイアウトは、データ・リンクのノイズ耐性を最大限に引き上げる重要な役割も果たしています。以下に示すレイアウトのガイドラインを推奨します。

1. トランスはisoSPIケーブル・コネクタにできるだけ近づけて配置する。距離は2cm以下に保つ。LTC6810はトランスに近づける一方で、トランスから1cm〜2cm以上離して配置することで、磁界結合からデバイスまで距離をあける。
2. トランスの下、isoSPIコネクタの下、またはトランスとコネクタの間にはV-のグラウンド・プレーンを広げない。
3. isoSPI信号のパターンはできるだけまっすぐにする一方で、グラウンド・メタルまたはスペースによって周囲の回路から分離する。内部層上のグラウンド・プレーンによって分離されている場合を除き、パターンがisoSPI信号線と交差しないようにする。

システムの電源電流

LTC6810には、様々な動作状態に対応する各種の電源電流仕様があります。平均電源電流は、システム内の制御ループに左右されます。各制御ループ・サイクルでどのコマンドが実行されるか、更に制御ループ・サイクルの持続時間はどれくらいか、ということは知っておく必要があります。この情報により、LTC6810がMEASUREステートにある時間と低消費電力のSLEEPステートにある時間の割合(%)を求めることができます。また、isoSPI通信またはSPI通信の量も平均電源電流に影響します。

シリアル・スループットの計算

どのLTC6810の場合でも、通信時間を割り出す計算は単純で、伝送時のビット数に使用されるSPIクロック周期を掛けただけです。LTC6810の制御プロトコルは非常に統一されているので、ほとんど全てのコマンドを書込み、読出し、動作に分類できます。下表を使用して、任意のLTC6810コマンドでのビット数を求めることができます。デジタイズチェーンの場合は表58を使用し、マルチドロップ・ネットワークの場合は表59を使用できます。

アプリケーション情報

表 58. デイジーチェーンでのシリアル通信時間の式

コマンド・タイプ	コマンド・バイト+コマンド PEC	データ・バイト +データ PEC (デバイス単位)	合計ビット	通信時間
Read	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Write	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Operation	4	0	$4 \cdot 8 = 32$	$32 \cdot \text{Clock Period}$

表 59. マルチドロップでのシリアル通信時間の式

コマンド・タイプ	コマンド・バイト+コマンド PEC	データ・バイト +データ PEC (デバイス単位)	合計ビット	通信時間
Read	4	8	$((4 + 8) \cdot \#ICs) \cdot 8$	Total Bits • Clock Period
Write	4	8	$((4 + 8) \cdot \#ICs) \cdot 8$	Total Bits • Clock Period
Operation	4	0	$4 \cdot 8 = 32$	$32 \cdot \text{Clock Period}$

高度なアプリケーション

ホール効果センサーを使用した電流測定

0V～5Vのアナログ出力を備えたアクティブ・センサーなど、任意のアナログ信号に対して、LTC6810の補助ADC入力(GPIOピン)を使用できます。バッテリー電流測定では、ホール効果センサーが、絶縁型で低消費電力の解決策を提供します。与えられたV_{CC}に比例した2つの出力を生成する標準的なホール効果センサーを図52に模式的に示します。図のセンサーには、電源電圧の半分の値を中心とした2つの双方向出力があります。CH1は0A～50Aの小さい範囲であり、CH2は0A～200Aの大きい範囲です。このセンサーは、5V電源から電力を供給され、アナログ出力を生成します。このアナログ出力は、GPIOピン、つまり図54に示すMUXアプリケーションの入力に接続されます。GPIO1とGPIO2をADCの入力として使用すると、同じ変換シーケンス内でセル入力として(ADCVAXコマンドを使用して)デジタル化できます。そのため、セル電圧の測定とセル電流の測定を同期させることができます。

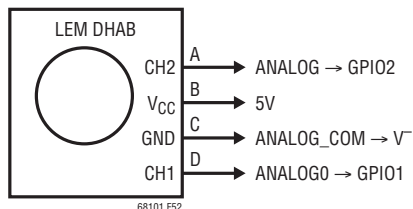


図 52. 標準的なホール効果バッテリー電流センサーと補助ADC入力のインターフェース

外部温度プローブの読取り

図53は、負温度係数(NTC)サーミスタの標準的なバイアス回路を示しています。25°Cで10kΩというのはセンサーの最も一般的な値であり、V_{REF2}出力段は、これら複数のプローブにバイアスを加えるために必要な電流を供給する目的で設計されています。回路が25°Cで1.5V(V_{REF2}は公称3V)を供給するように、NTCの値に応じてバイアス抵抗を選択します。回路全体の応答は、図53のグラフに示すように、標準的なセルの温度範囲内で約-1%/°Cです。

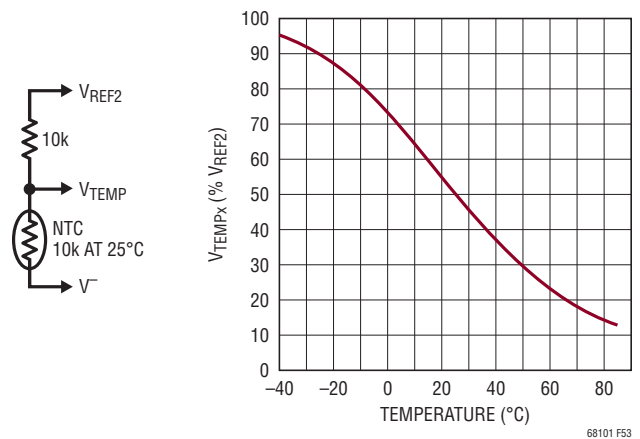


図 53. 標準的な温度プローブ回路と相対出力

アプリケーション情報

補助測定数の拡張

LTC6810は、ADC入力として使用できる5つのGPIOピンを備えています。5種類より多くの信号を測定する必要があるアプリケーションでは、マルチプレクサ(MUX)回路を実装して、16種類の信号までアナログ測定を拡張することができます。

ます(図54)。GPIO1のADC入力は測定に使用され、MUXはGPIO3およびGPIO4のI²Cポートで制御されます。バッファ・アンプが選択されていたのは高速セトリングのためであり、これによって使用可能なスループット・レートが向上します。

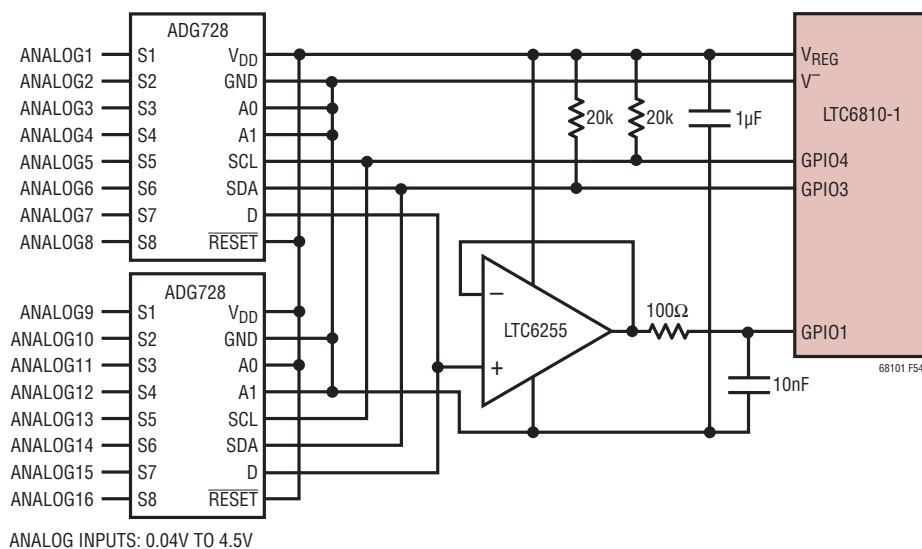
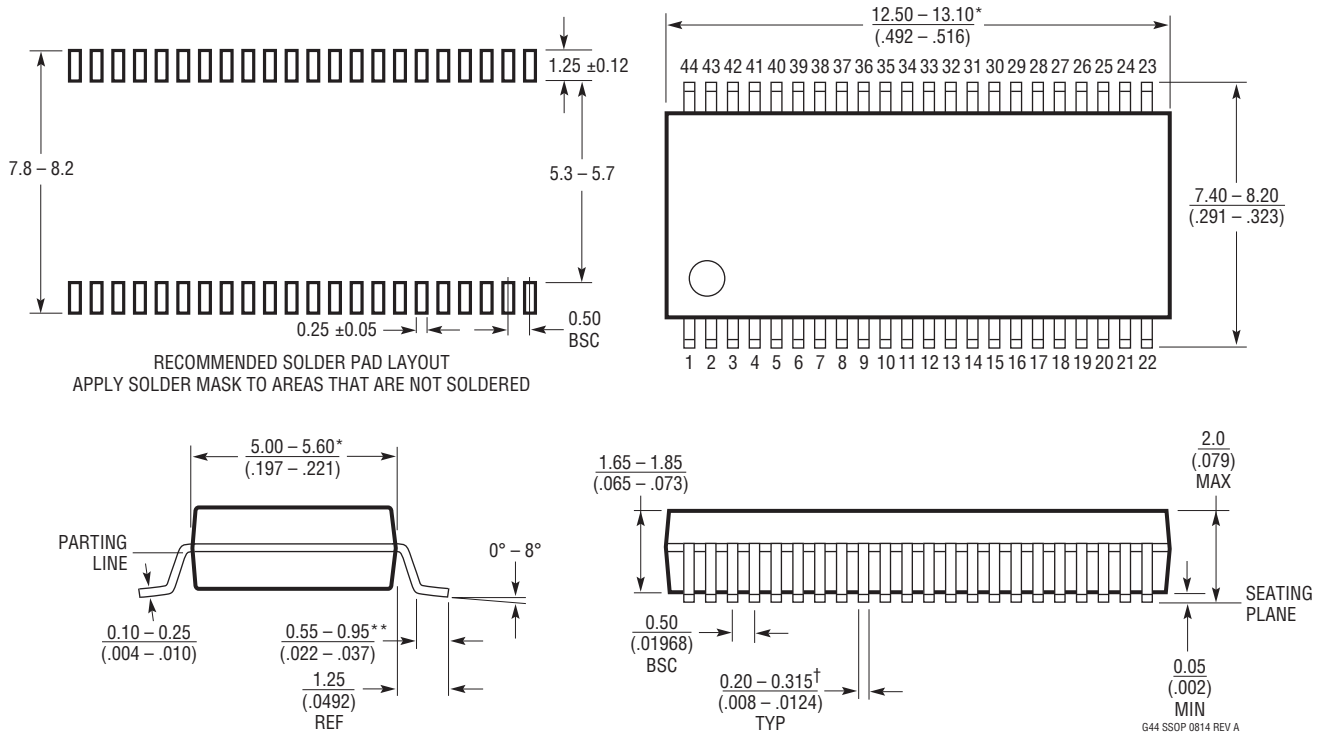


図54. 16の追加アナログ測定をサポートするMUX回路

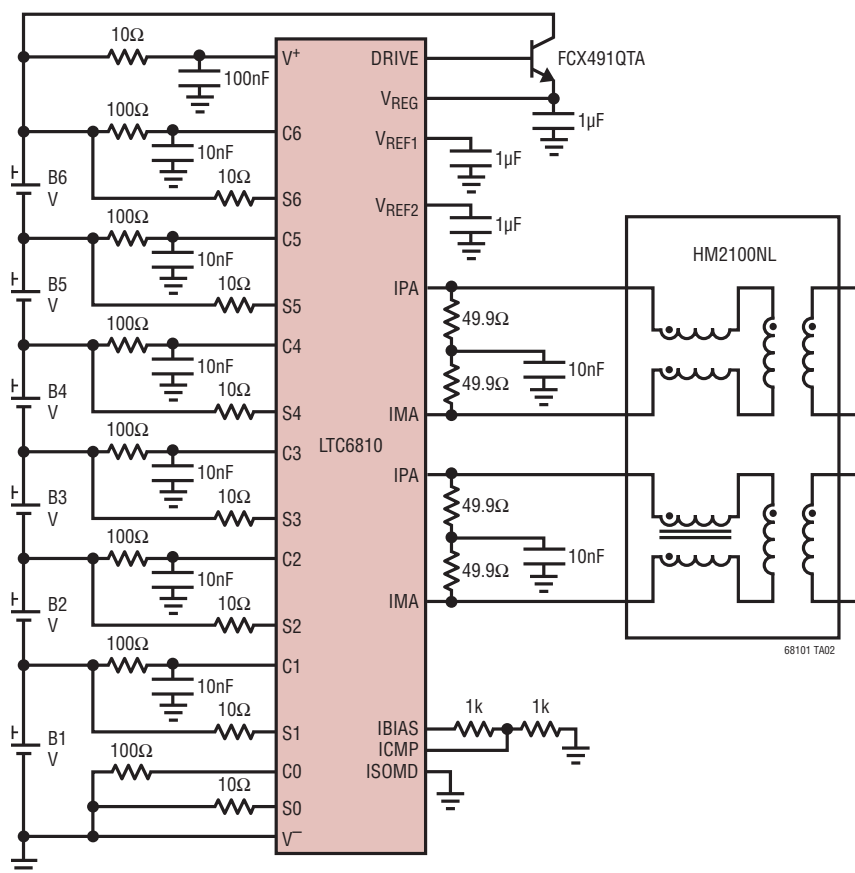
パッケージ

G Package
44-Lead Plastic SSOP (5.3mm)
 (Reference LTC DWG # 05-08-1754 Rev A)



標準的応用例

isoSPI デイジーチェーンを使用した基本的な6セル・モニタ



関連製品

製品番号	説明	注釈
LTC6801	独立動作のマルチセル・バッテリー・スタック・フォルト・モニタ	直列接続された最大12個のバッテリー・セルの低電圧と過電圧を監視。LTC6802、LTC6803、およびLTC6804の姉妹品。
LTC6802	第1世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、独自のレベルシフト・シリアル・インターフェースを介して数百個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6803	第2世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、独自のレベルシフト・シリアル・インターフェースを介して数百個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6804	第3世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信 (isoSPI) を介して数百個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6811	第4世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信 (isoSPI) を介して数百個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6820	isoSPI 絶縁型通信インターフェース	ツイスト・ペア・ケーブルを使用する最大100メートルのSPI通信用の絶縁型インターフェースを提供。LTC6804、LTC6806、LTC6810、LTC6811、LTC6812、およびLTC6813の姉妹品。