トランス・ドライバを備えた7.5kV$_{RMS}$ SPI／デジタルまたはI^2C μModuleアイソレータ

特長

- **6チャンネルのロジック・アイソレータ：7500V$_{RMS}$（1分間）**
- **沿面距離：16.2mm**
- **CSA – UL – IEC規格認定申請中**
- **動作電源電圧：3V〜5.5V**
- **絶縁側LDOを内蔵したトランス・ドライバ**
- **SPI／デジタル（LTM2810-S）またはI^2C（LTM2810-I）オプション**
- **高いコモンモード過渡耐圧：50kV/μs**
- **高速動作：**
  - **10MHzのデジタル・アイソレーション**
  - **4MHz/8MHzのSPIアイソレーション**
  - **400kHzのI^2Cアイソレーション**
- 最大125°Cで動作（Hグレード）
- 1.62V〜5.5Vのロジック電源により、柔軟なデジタル・インターフェース動作に対応
- 絶縁障壁間での±25kVのESD保護（人体モデル）
- 最大連続動作電圧：1kV$_{RMS}$、1.6kV$_{DC}$
- 低電流のシャットダウン・モード（10μA未満）
- 22mm × 6.25mm × 2.06mm BGAパッケージ

アプリケーション

- EV/HEVシステム
- 産業用システムおよび計測システム
- テスト装置および測定装置
- 医療機器

概要

LTM®2810は、全機能内蔵型のガルバニック・デジタルμModule®（マイクロモジュール）アイソレータです。外付け部品は必要ありません。3V〜5.5Vの個別電源がデジタル・アイソレータのそれぞれの側に電力を供給します。ロジック電源ピンが独立しているので、主電源とは関係なく、1.62V〜5.5Vの様々なロジック・レベルと容易にインターフェースをとることができます。

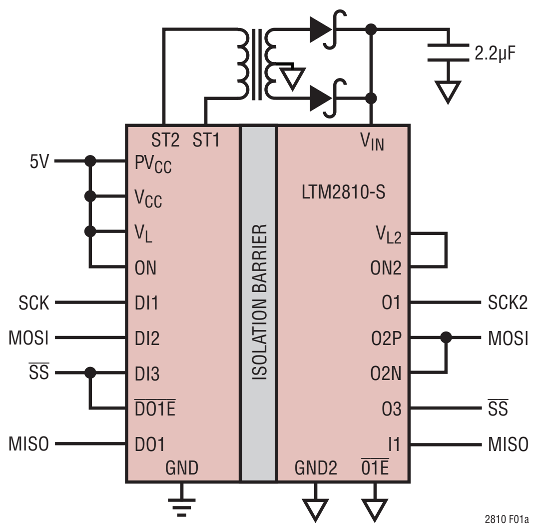
モジュールには、SPI仕様に互換性のあるオプション（LTM2810-S）とI^2C仕様（マスタ・モードのみ）に互換性のあるオプション（LTM2810-I）が用意されています。

モジュールはロジック側にトランス・ドライバを内蔵し、絶縁側には、トランスの整流出力を安定化するLDOを内蔵しています。LDO出力は公称5Vですが、オーバードライブできます。

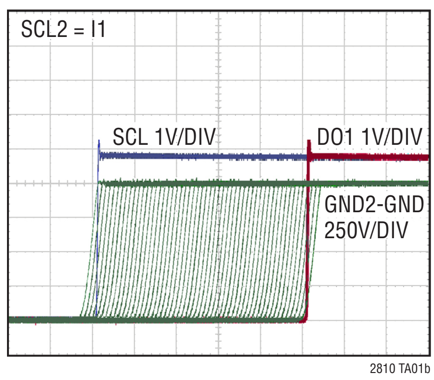
結合インダクタにより、入出力ロジック・インターフェース間の絶縁耐圧は7500V$_{RMS}$になります。このデバイスは、グラウンド電位の異なるシステムに最適であり、50kV/μsより高速の大きなコモンモード過渡電圧の間も通信が途切れません。

標準的応用例

4MHzの絶縁型SPIインターフェース



70kV/μsのコモンモード過渡電圧間でのLTM2810-Iの動作



Rev 0

絶対最大定格 (Note 1)

電源電圧

- PV_{CC} - GND 間 ....–0.3V～6V
- V_{CC} - GND 間 ....–0.3V～6V
- V_L - GND...–0.3V～6V

絶縁電源電圧

- V_{IN} - GND2 間 ....–0.3V～45V
- V_{L2} - GND2 間...–0.3V～6V

ロジック信号

- DI1、DI2、DI3、DO1、$\overline{DO1E}$、DO2P、DO3、ON、SCL、ST1、ST2..................GND – 0.3V～V_L + 0.3V
- DO2N、SDA...GND – 0.3V～6.3V

絶縁信号

- AV_{L2}、I1、I2、I3、O1、$\overline{O1E}$、O2P、O3、ON2、SCL2、SDA2 .... GND2 – 0.3V～V_{L2} + 0.3V
- O2N...GND2 – 0.3V～6.3V

動作温度範囲(Note 4)

- LTM2810C...0°C～70°C
- LTM2810I..–40°C～85°C
- LTM2810H...–40°C～125°C

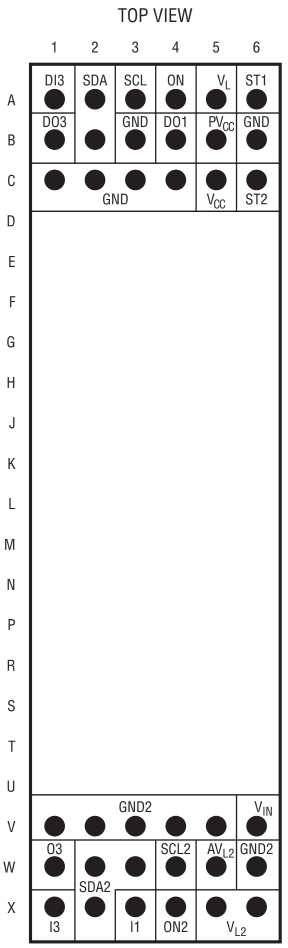
最大内部動作温度 .... 125°C

保存温度範囲...–55°C～125°C

ピーク・ボディ・リフロー温度....................................... 260°C

ピン配置

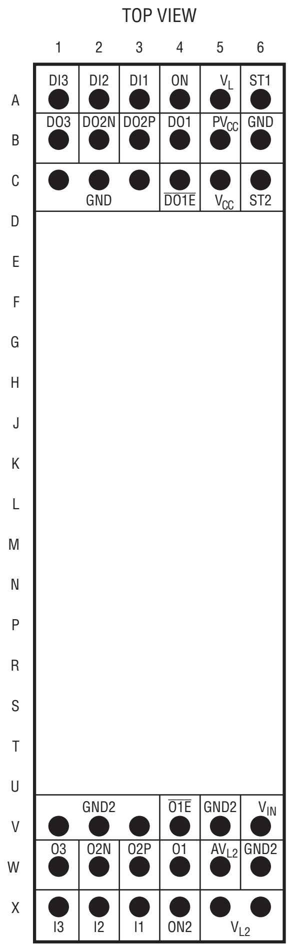
LTM2810-I



BGA PACKAGE
36-PIN (22mm × 6.25mm × 2.06mm)

T_{JMAX} = 125°C, θ_{JA} = 49.6°C/W, $\theta_{JCBOTOM}$ = 34°C/W,
θ_{JCTOP} = 26°C/W, θ_{JB} = 33.7°C/W
θ VALUES DETERMINED PER JESD51-9, WEIGHT = 0.5g

LTM2810-S



BGA PACKAGE
36-PIN (22mm × 6.25mm × 2.06mm)

T_{JMAX} = 125°C, θ_{JA} = 49.6°C/W, $\theta_{JCBOTOM}$ = 34°C/W,
θ_{JCTOP} = 26°C/W, θ_{JB} = 33.7°C/W
θ VALUES DETERMINED PER JESD51-9, WEIGHT = 0.5g

Rev 0

発注情報

鉛フリー仕上げ	トレイ	製品マーキング*	パッケージ	温度範囲
LTM2810CY-I#PBF	LTM2810CY-I#PBF	LTM2810Y-I	36-Lead (22mm × 6.25mm × 2.06mm) BGA	0°C to 70°C
LTM2810IY-I#PBF	LTM2810IY-I#PBF	LTM2810Y-I	36-Lead (22mm × 6.25mm × 2.06mm) BGA	–40°C to 85°C
LTM2810HY-I#PBF	LTM2810HY-I#PBF	LTM2810Y-I	36-Lead (22mm × 6.25mm × 2.06mm) BGA	–40°C to 125°C
LTM2810CY-S#PBF	LTM2810CY-S#PBF	LTM2810Y-S	36-Lead (22mm × 6.25mm × 2.06mm) BGA	0°C to 70°C
LTM2810IY-S#PBF	LTM2810IY-S#PBF	LTM2810Y-S	36-Lead (22mm × 6.25mm × 2.06mm) BGA	–40°C to 85°C
LTM2810HY-S#PBF	LTM2810HY-S#PBF	LTM2810Y-S	36-Lead (22mm × 6.25mm × 2.06mm) BGA	–40°C to 125°C

- デバイスの温度グレードは出荷時のコンテナのラベルで示してあります。
- パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。
- BGAパッケージおよびトレイの図面
- この製品では、第2面のリフローは推奨していません。
  この製品は水分の影響を受けやすくなっています。
  詳細については、推奨のBGA PCBアセンブリ手順および製造手順を参照してください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、$PV_{CC} = V_{CC}$ = 5V、$V_L = V_{L2}$ = 3.3V、V_{IN} = GND = GND2 = 0V、ON = V_L、ON2 = V_{L2}。注記がない限り、規格値は全てのオプションに適用される。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
入力電源							
	Operating Voltage Range	V_{CC}, PV_{CC}, V_L (LTM2810-I), V_{L2} V_L (LTM2810-S) V_{IN}	● ● ●	3.0 1.62 3.6		5.5 5.5 38	V V V
V_{L2}	Output Variation (Note 7)	V_{L2} + 1V ≤ V_{IN} ≤ 38V, I_{LOAD} = 0 to 100mA	●	–0.2		0.2	V
AV_{L2}	Adjust Pin Voltage (Note 7)	V_{L2} + 1V ≤ V_{IN} ≤ 38V, I_{LOAD} = 0 to 100mA	●	580	600	620	mV
	Supply Current	I_{CC}, PI_{CC}, I_L, ON = ON2 = 0V IV_{IN}, V_{IN} = 6V, ON2 = 0V I_{CC}, PI_{CC} IV_{IN}, V_{IN} = 5V, V_{L2} Adjusted to 3V I_L (LTM2810-S) I_L (LTM2810-I)	● ● ● ● ●		0 40 3.2 3.6	10 80 5 6 10 150	µA µA mA mA µA µA
	V_{L2} Current Limit	V_{IN} = 7V, V_{L2} = 0V $V_{IN} = V_{L2(NOMINAL)}$ + 1V, ΔV_{L2} = –5%	 ●	 110	200		mA mA
	ST1, ST2 Output Current	(Note 2)			400		mA
ロジック – DI1、DI2、DI3、DO1、$\overline{DO1E}$、DO2N、DO2P、DO3、I1、I2、I3、O1、$\overline{O1E}$、O2N、O2P、O3、ON、ON2 (V_L = V_LまたはV_{L2})							
V_{ITH}	Input Threshold Voltage	1.62V ≤ V_L < 2.35	●	0.25 • V_L		0.75 • V_L	V
		2.35V ≤ V_L	●	0.33 • V_L		0.67 • V_L	V
I_{IN}	Input Current		●		0	±5	µA
V_O	Output Voltage	I_{LOAD} = 1mA, 1.62V ≤ V_L < 3V I_{LOAD} = 4mA, 3V ≤ V_L DO1 (LTM2810-I), I_{LOAD} = 2mA, 3V ≤ V_L DO2N, I_{LOAD} = 1mA, 1.62V ≤ V_L < 3V DO2N, O2N, I_{LOAD} = 4mA, 3V ≤ V_L DO2P, I_{LOAD} = 1mA, 1.62V ≤ V_L < 3V DO2P, O2P, I_{LOAD} = 4mA, 3V ≤ V_L	● ● ● ● ● ● ●	0.4 0.4 0.4 0.4 0.4		V_L – 0.4 V_L – 0.4 V_L – 0.4 V_L – 0.4 V_L – 0.4	V V V V V V V
	Output High Resistance	(Note 3)			40		Ω
	Output Low Resistance	(Note 3)			40		Ω

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°Cでの値。注記がない限り、$PV_{CC} = V_{CC}$ = 5V、$V_L = V_{L2}$ = 3.3V、V_{IN} = GND = GND2 = 0V、ON = V_L、ON2 = V_{L2}。注記がない限り、規格値は全てのオプションに適用される。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
I^2C – SCL、SCL2、SDA、SDA2 (LTM2810-I) (V_L = V_LまたはV_{L2})							
V_{ITH}	Input Threshold Voltage	$3V \le V_L \le 5.5V$	●	0.3 • V_L		0.7 • V_L	V
V_{HYS}	Input Hysteresis	$3V \le V_L \le 5.5V$			0.05 • V_L		V
I_{IN}	Input Current		●		0	±5	µA
V_O	Output Voltage	SCL2, I_{LOAD} = 2mA, $3V \le V_L \le 5.5V$	●	0.4		V_L – 0.4	V
V_{OL}	Output Low Voltage	SDA, I_{LOAD} = 3mA SDA2 = No Load, SDA = 0V, $4.5V \le V_L < 5.5V$ SDA2 = No Load, SDA = 0V, $3V \le V_L < 4.5V$	● ● ●		 0.3	0.4 0.45 0.55	V V V
	SDA, SDA2 Slew Rate		●	1			V/µs
I_{SC}	Short-Circuit Current	SDA2 = 0, SDA = V_L $0V \le SCL2 \le V_L$ SDA = 0, SDA2 = V_L SDA = V_L, SDA2 = 0	●		 ±30 6 –1.8	100	mA mA mA mA
ESD (人体モデル) (Note 2)							
	Isolation Boundary	(V_{IN}, V_{L2}, GND2) to (PV_{CC}, V_{CC}, V_L, GND) in Any Combination			±25		kV

スイッチング特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°Cでの値。注記がない限り、$PV_{CC} = V_{CC}$ = 5V、$V_L = V_{L2}$ = 3.3V、V_{IN} = GND = GND2 = 0V、ON = V_L、ON2 = V_{L2}。注記がない限り、規格値は全てのオプションに適用される。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
パワー・ドライバ – ST1、ST2							
	Drive Frequency				2		MHz
	Duty Cycle			49	50	51	%
電源電圧発生器							
	V_{L2} Supply Start-Up Time	V_{IN} ↑ to V_{L2} > 4.75V			50		ms
ロジックのタイミング							
	Maximum Data Rate	Input → Output, CL = 15pF (Note 3) Bidirectional SPI Communication Unidirectional SPI Communication	● ● ●	10 4 8			MHz MHz MHz
t_{PHL}, t_{PLH}	Propagation Delay	Input → Output, CL = 15pF (Figure 1)	●	30	45	100	ns
t_{PZH}, t_{PZL}	D01, 01 Enable Time (Figure 2)	$\overline{x01E}$ = ↓ to x01 High, RPD = 1kΩ, xI1 = High	●			50	ns
	ONx Enable Time (Figure 4)	ONx = ↑ to xOx High, R_{PD} = 1kΩ, xIx = High	●			60	µs
t_{PHZ}, t_{PLZ}	D01, 01 Disable Time (Figure 2)	$\overline{x01E}$ = ↑ to x01 Low, R_{PD} = 1kΩ, xI1 = High	●			50	ns
	ONx Disable Time (Figure 4)	ONx = ↓ to xOx Low, R_{PD} = 1kΩ, xIx = High	●			100	ns
I^2Cのタイミング							
	Maximum Data Rate	(Note 3)	●	400			kHz
t_{PHL}, t_{PLH}	Propagation Delay (Figure 3)	SCL → SCL2 SDA → SDA2 SDA2 → SDA, R_{PU} = 1kΩ	● ● ●		150 150 300	250 300 500	ns ns ns
t_R	Rise Time (30% to 70%) (Figure 3)	SDA2, C_L = 200pF SDA, R_{PU} = 1kΩ, C_L = 200pF SCL2, C_L = 200pF	● ● ●	40 40		350 350 250	ns ns ns
t_F	Fall Time (70% to 30%) (Figure 3)	SDA2, C_L = 200pF SDA, R_{PU} = 1kΩ, C_L = 200pF SCL2, C_L = 200pF	● ● ●	40 40		250 250 250	ns ns ns

Rev 0

スイッチング特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、PV_{CC} = V_{CC} = 5V、V_L = V_{L2} = 3.3V、V_{IN} = GND = GND2 = 0V、ON = V_L、ON2 = V_{L2}。注記がない限り、規格値は全てのオプションに適用される。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_{PZH}, t_{PZL}	ONx Enable Time	ON = ↑ to SDA Low, R_{PU} = 1kΩ, SDA2 = 0V ON2 = ↑ to (SCL2, SDA2) Low, (SCL, SDA) = 0V	● ●			60 60	µs µs
t_{PHZ}, t_{PLZ}	ONx Disable Time	ON = ↓ to SDA High, R_{PU} = 1kΩ, SDA2 = 0V ON2 = ↓ to SCL2 High, SCL = 0V ON2 = ↓ to SDA2 High, SDA = 0V	● ● ●			80 80 225	ns ns ns
t_{SP}	Pulse Width of Spikes Suppressed by Input Filter		●	0		50	ns

絶縁特性

T_A = 25°C。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{ISO}	Rated Dielectric Insulation Voltage	1 Minute, Derived from 1 Second Test 1 Second (Notes 5, 6)	7500 9000			V_{RMS} V_{RMS}
	Common Mode Transient Immunity	PV_{CC} = V_{CC} = V_L = ON = 5V, V_{L2} = ON2 = 5V V_{CM} = 1kV, Δt = 20ns (Note 2)	50	75		kV/µs
V_{IORM}	Maximum Continuous Working Voltage	(Notes 2, 5)	1600 1000			V_{DC} V_{RMS}
	Partial Discharge	V_{PD} = 2650V_{PEAK} (Note 5)			5	pC
CTI	Comparative Tracking Index	IEC 60112 (Note 2), Material Group I	600			V_{RMS}
	Depth of Erosion	IEC 60112 (Note 2)		0.017		mm
DTI	Distance Through Insulation	(Note 2)		0.2		mm
	Input to Output Resistance	(Notes 2, 5)	1	5		TΩ
	Input to Output Capacitance	(Notes 2, 5)		2		pF
	Creepage Distance	(Note 2)		16.2		mm

Note 1：絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2：設計により性能を確保しており、出荷テストの対象外。

Note 3：他の測定パラメータによって確認されており、直接にはテストされていない。

Note 4：このµModuleアイソレータは、瞬間的な過負荷状態時にデバイスを保護するための過熱保護機能を備えている。過熱保護機能がアクティブなときジャンクション温度は125°Cを超える。規定された最大動作ジャンクション温度を超えた動作が継続すると、デバイスの劣化または故障が生じる恐れがある。

Note 5：デバイスは2端子のデバイスとみなされる。ピンA1からC6までを互いに短絡したピン・グループとピンV1からX6までを互いに短絡したピン・グループ。

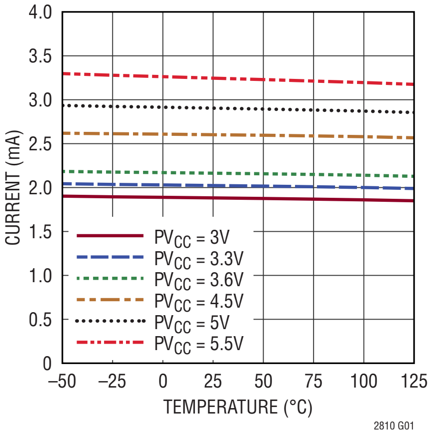
Note 6：誘電体絶縁定格電圧は連続定格電圧と解釈してはならない。

Note 7：動作条件は最大ジャンクション温度によって制限される。安定化出力電圧の仕様は、入力電圧と出力電流の可能な全ての組み合わせに対して適用されるわけではない。最大入出力間電圧差で動作する場合は、出力電流範囲を制限する。最大出力電流で動作する場合は、入出力間電圧差を制限する。電流制限フォールドバック回路は、最大出力電流を入出力間電圧の関数として制限する。

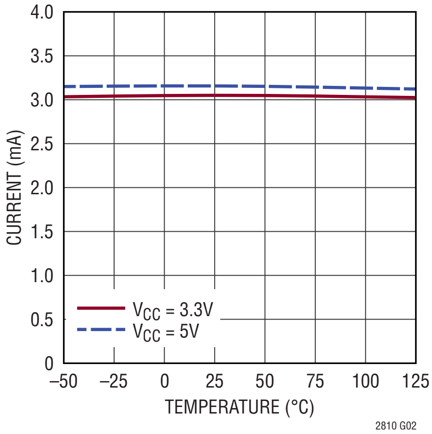
代表的な性能特性

注記がない限り、T_A = 25°C、PV_{CC} = V_{CC} = 5V、V_L = V_{L2} = 3.3V、GND = GND2 = 0V、ON = V_L、ON2 = V_{L2}。

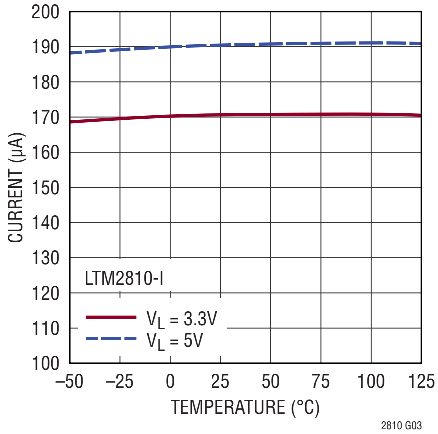
PV_{CC}の電源電流と温度



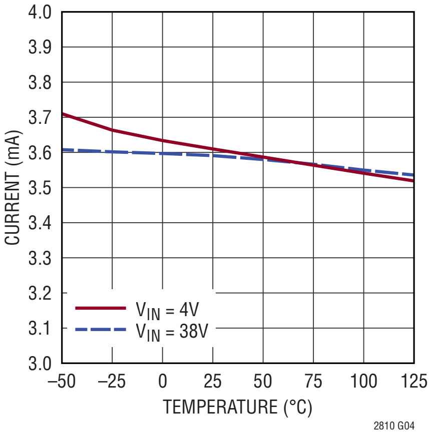
V_{CC}の電源電流と温度



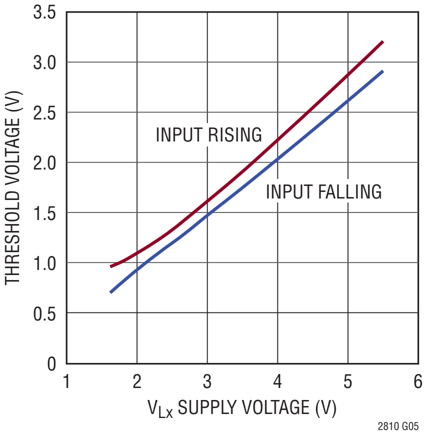
V_Lの電源電流と温度



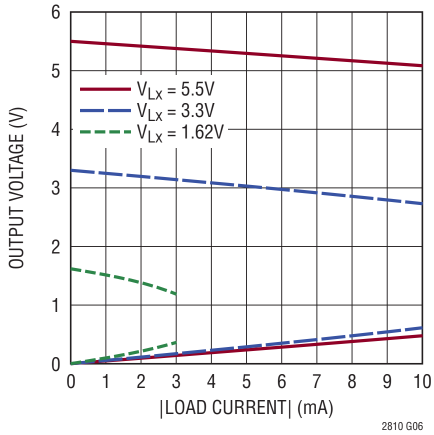
V_{IN}電源電流と温度



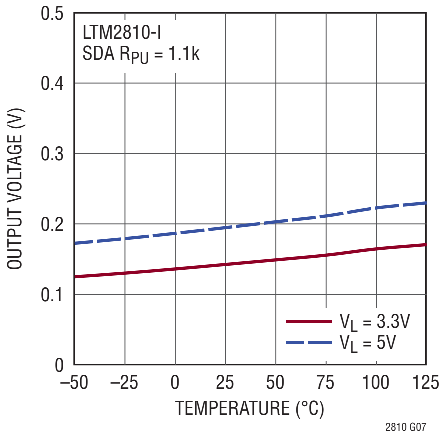
ロジック入力閾値と
V_L電源電圧



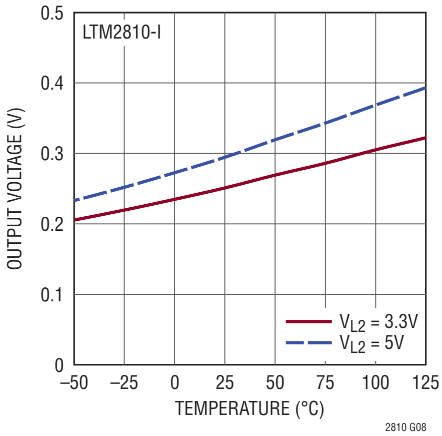
ロジック出力電圧と負荷電流



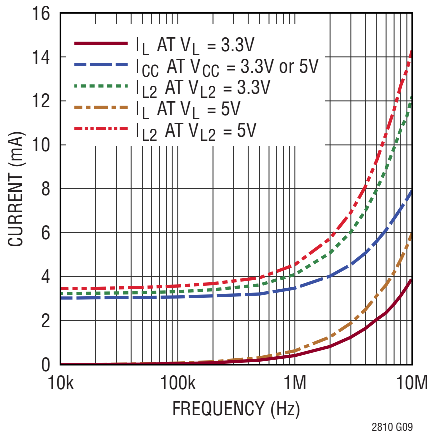
SDAのロー・レベル出力電圧と
温度



SDA2のロー・レベル出力電圧と
温度



電源電流とデータ・レート、
全チャンネル

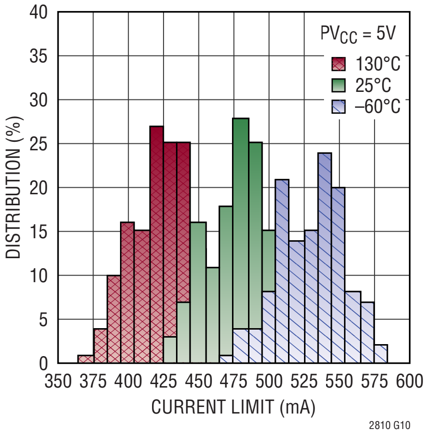


Rev 0

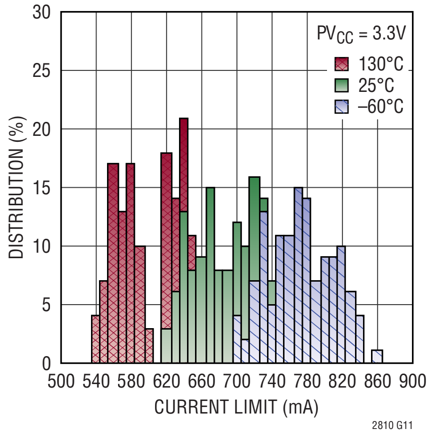
代表的な性能特性

注記がない限り、T_A = 25°C、PV_{CC} = V_{CC} = 5V、V_L = V_{L2} = 3.3V、GND = GND2 = 0V、ON = V_L、ON2 = V_{L2}。

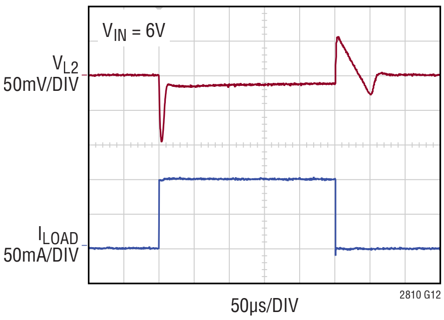
ST1およびST2の電流制限値と温度のヒストグラム



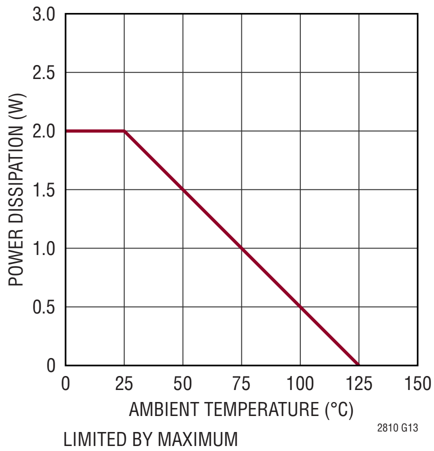
ST1およびST2の電流制限値と温度のヒストグラム



V_{L2}の過渡応答



温度ディレーティング



LIMITED BY MAXIMUM
INTERNAL OPERATING TEMPERATURE
θ_{JA} = 50°C/W

Rev 0

ピン機能

LTM2810-S、ロジック側

DI3(A1):デジタル入力、V_LおよびGNDを基準にしています。絶縁障壁を介してO3に接続されているロジック入力です。DI3のロジック状態はO3のロジック状態と同じになります。使用しない場合は、GNDまたはV_Lに接続します。

DI2(A2):デジタル入力、V_LおよびGNDを基準にしています。絶縁障壁を介してO2NおよびO2Pに接続されているロジック入力です。DI2のロジック状態はO2NおよびO2Pのロジック状態と同じになります。使用しない場合は、GNDまたはV_Lに接続します。

DI1(A3):デジタル入力、V_LおよびGNDを基準にしています。絶縁障壁を介してO1に接続されているロジック入力です。DI1のロジック状態はO1のロジック状態と同じになります。使用しない場合は、GNDまたはV_Lに接続します。

ON(A4):イネーブル、V_LおよびGNDを基準にしています。絶縁障壁を介してデータ通信を有効にします。ONをハイにするとデバイスはイネーブルされ、絶縁側への通信が機能します。ONがローの場合、ロジック側はリセット状態に保持され、全てのデジタル出力は高インピーダンス状態になります。駆動しない場合は、V_Lに接続します。

V_L(A5):ロジック電源。DI1、DI2、DI3、DO1、DO2P、DO3、$\overline{\text{DO1E}}$、およびONピンのインターフェース電源電圧です。動作電圧は1.62V〜5.5Vです。1µFにより内部でバイパスされています。

ST1、ST2(A6、C6):ブリッジ・ドライバ出力、PV_{CC}およびGNDを基準にしています。各出力はデューティ・サイクル50%で動作し、ST1とST2は位相が180度ずれています。動作周波数は2MHzです。ブリッジ・ドライバがイネーブルされるのは、PV_{CC}が3V〜5.5Vの範囲内にあり、ONがハイのときです。

DO3(B1):デジタル出力、V_LおよびGNDを基準にしています。絶縁障壁を介してI3に接続されているロジック出力です。絶縁通信障害の条件下では、この出力は高インピーダンス状態になります。

DO2N(B2):GNDへのオープン・ドレインのプルダウン出力。絶縁障壁を介してI2に接続されているロジック出力です。絶縁通信障害の条件下では、この出力は高インピーダンス状態になります。

DO2P(B3):V_Lへのオープン・ドレインのプルアップ出力。絶縁障壁を介してI2に接続されているロジック出力です。絶縁通信障害の条件下では、この出力は高インピーダンス状態になります。

DO1(B4):デジタル出力、V_LおよびGNDを基準にしています。絶縁障壁を介してI1に接続されているロジック出力です。絶縁通信障害の条件下では、この出力は高インピーダンス状態になります。

PV_{CC}(B5):ブリッジ・ドライバの電源電圧。動作電圧は3V〜5.5Vであり、ブリッジ・ドライバをディスエーブルするにはGNDに接続します。2.2µFにより内部でバイパスされています。

$\overline{\text{DO1E}}$(C4):デジタル出力イネーブル、V_LおよびGNDを基準にしています。$\overline{\text{DO1E}}$をロジック・ハイにすると、ロジック側のDO1ピンは高インピーダンス状態になり、ロジック・ローにすると出力はイネーブルされます。使用しない場合は、GNDまたはV_Lに接続します。

V_{CC}(C5):電源電圧。動作電圧は3V〜5.5Vです。1µFにより内部でバイパスされています。

GND(B6、C1〜C3):回路のグラウンド。

LTM2810-S、絶縁側

$\overline{\text{O1E}}$(V4):デジタル出力イネーブル、V_{L2}およびGND2を基準にしています。$\overline{\text{O1E}}$をロジック・ハイにすると、絶縁側のO1ピンは高インピーダンス状態になり、ロジック・ローにすると出力はイネーブルされます。使用しない場合は、GND2またはV_{L2}に接続します。

V_{IN}(V6):内部LDOの入力電圧。動作電圧は3.6V〜38Vです。0.1µFにより内部でバイパスされています。

O3(W1):デジタル出力、V_{L2}およびGND2を基準にしています。絶縁障壁を介してDI3に接続されているロジック出力です。絶縁通信障害の条件下では、O3はデフォルトでハイ状態になります。

O2N(W2):GND2へのオープン・ドレインのプルダウン出力。絶縁障壁を介してDI2に接続されているロジック出力です。絶縁通信障害の条件下では、O2Nはデフォルトでロー状態になります。

O2P(W3):V_{L2}へのオープン・ドレインのプルアップ出力。絶縁障壁を介してDI2に接続されているロジック出力です。絶縁通信障害の条件下では、O2Pはデフォルトでロー状態になります。

O1(W4):デジタル出力、V_{L2}およびGND2を基準にしています。絶縁障壁を介してDI1に接続されているロジック出力です。絶縁通信障害の条件下では、O1はデフォルトでロー状態になります。

AV_{L2}(W5):V_{L2} LDOの調整ピン。

ピン機能

I3 (X1): デジタル入力、V_{L2} および GND2 を基準にしています。絶縁障壁を介して DO3 に接続されているロジック入力です。I3 のロジック状態は DO3 のロジック状態と同じになります。使用しない場合は、GND2 または V_{L2} に接続します。

I2 (X2): デジタル入力、V_{L2} および GND2 を基準にしています。絶縁障壁を介して DO2N および DO2P に接続されているロジック入力です。I2 のロジック状態は DO2N および DO2P のロジック状態と同じになります。使用しない場合は、GND2 または V_{L2} に接続します。

I1 (X3): デジタル入力、V_{L2} および GND2 を基準にしています。絶縁障壁を介して DO1 に接続されているロジック入力です。I1 のロジック状態は DO1 のロジック状態と同じになります。使用しない場合は、GND2 または V_{L2} に接続します。

ON2 (X4): イネーブル、V_{L2} および GND2 を基準にしています。絶縁障壁を介してデータ通信を有効にします。ON2 をハイにするとデバイスはイネーブルされ、ロジック側への通信が機能します。ON2 がローの場合、絶縁側はリセット状態に保持され、O1、O2N、および O2P はロー状態に、O3 はハイ状態になります。駆動しない場合は、V_{L2} に接続します。

V_{L2} (X5、X6): ロジック電源、GND2 を基準にしています。O1、O2P、O3、I1、I2、I3、$\overline{\text{O1E}}$、および ON2 ピンのインターフェース電源電圧です。動作電圧は 3V〜5.5V です。6.6µF により内部でバイパスされています。

GND2 (V1〜V3、V5、W6): 絶縁側のグラウンド。

LTM2810-I、ロジック側

DI3 (A1): デジタル入力、V_L および GND を基準にしています。絶縁障壁を介して O3 に接続されているロジック入力です。DI3 のロジック状態は O3 のロジック状態と同じになります。使用しない場合は、GND または V_L に接続します。

SDA (A2、B2): シリアル I^2C データ・ピン、V_L および GND を基準にしています。絶縁障壁を介して絶縁側の SDA2 ピンに接続されている双方向のロジック・ピンです。絶縁通信障害の条件下では、これらのピンは高インピーダンス状態になります。使用しない場合は、V_L にプルアップします。

SCL (A3): シリアル I^2C クロック入力、V_L および GND を基準にしています。絶縁障壁を介して絶縁側の SCL2 ピンに接続されているロジック入力です。クロックはロジック側から絶縁側への単方向です。使用しない場合は、V_L にプルアップします。

ON (A4): イネーブル、V_L および GND を基準にしています。絶縁障壁を介してデータ通信を有効にします。ON をハイにするとデバイスはイネーブルされ、絶縁側への通信が機能します。ON がローの場合、ロジック側はリセット状態に保持され、全てのデジタル出力は高インピーダンス状態になります。駆動しない場合は、V_L に接続します。

V_L (A5): ロジック電源。SCL、DI3、DO1、DO3、および ON ピンのインターフェース電源電圧です。動作電圧は 3V〜5.5V です。1µF により内部でバイパスされています。

ST1、ST2 (A6、C6): ブリッジ・ドライバ出力、PV_{CC} および GND を基準にしています。各出力はデューティ・サイクル 50% で動作し、ST1 と ST2 は位相が 180 度ずれています。動作周波数は 2MHz です。ブリッジ・ドライバがイネーブルされるのは、PV_{CC} が 3V〜5.5V の範囲内にあり、ON がハイのときです。

DO3 (B1): デジタル出力、V_L および GND を基準にしています。絶縁障壁を介して I3 に接続されているロジック出力です。絶縁通信障害の条件下では、この出力は高インピーダンス状態になります。

DO1 (B4): デジタル出力、V_L および GND を基準にしています。絶縁障壁を介して I1 に接続されているロジック出力です。絶縁通信障害の条件下では、この出力は高インピーダンス状態になります。

PV_{CC} (B5): ブリッジ・ドライバの電源電圧。動作電圧は 3V〜5.5V であり、ブリッジ・ドライバをディスエーブルするには GND に接続します。2.2µF により内部でバイパスされています。

V_{CC} (C5): 電源電圧。動作電圧は 3V〜5.5V です。1µF により内部でバイパスされています。

GND (B3、B6、C1〜C4): 回路のグラウンド。

LTM2810-I、絶縁側

V_{IN} (V6): 内部 LDO の入力電圧。動作電圧は 3.6V〜38V です。0.1µF によりバイパスされています。

O3 (W1): デジタル出力、V_{L2} および GND2 を基準にしています。絶縁障壁を介して DI3 に接続されているロジック出力です。絶縁通信障害の条件下では、O3 はデフォルトでハイ状態になります。

SDA2 (W2、W3、X2): シリアル I^2C データ・ピン、V_{L2} および GND2 を基準にしています。絶縁障壁を介してロジック側の SDA ピンに接続されている双方向のロジック・ピンです。出力は 1.8mA の電流源によってハイにバイアスされます。

ピン機能

SDA2には外部プルアップ・デバイスを接続しないでください。絶縁通信障害の条件下では、出力はデフォルトでハイ状態になります。これらのピンは内部で接続されています。

SCL2(W4)：シリアルI^2Cクロック出力、V_{L2}およびGND2を基準にしています。絶縁障壁を介してロジック側のSCLピンに接続されているロジック出力です。クロックはロジック側から絶縁側への単方向です。SCL2にはプッシュプル出力段があるので、外部プルアップ・デバイスは接続しないでください。絶縁通信障害の条件下では、この出力はデフォルトでハイ状態になります。

AV_{L2}(W5)：V_{L2} LDOの調整ピン。

I3(X1)：デジタル入力、V_{L2}およびGND2を基準にしています。絶縁障壁を介してDO3に接続されているロジック入力です。I3のロジック状態はDO3のロジック状態と同じになります。使用しない場合は、GND2またはV_{L2}に接続します。

I1(X3)：デジタル入力、V_{L2}およびGND2を基準にしています。絶縁障壁を介してDO1に接続されているロジック入力です。I1のロジック状態はDO1のロジック状態と同じになります。使用しない場合は、GND2またはV_{L2}に接続します。

ON2(X4)：イネーブル、V_{L2}およびGND2を基準にしています。絶縁障壁を介してデータ通信を有効にします。ON2をハイにするとデバイスはイネーブルされ、ロジック側への通信が機能します。ON2がローの場合、絶縁側はリセット状態に保持され、全てのデジタル出力はハイ状態になります。駆動しない場合は、V_{L2}に接続します。

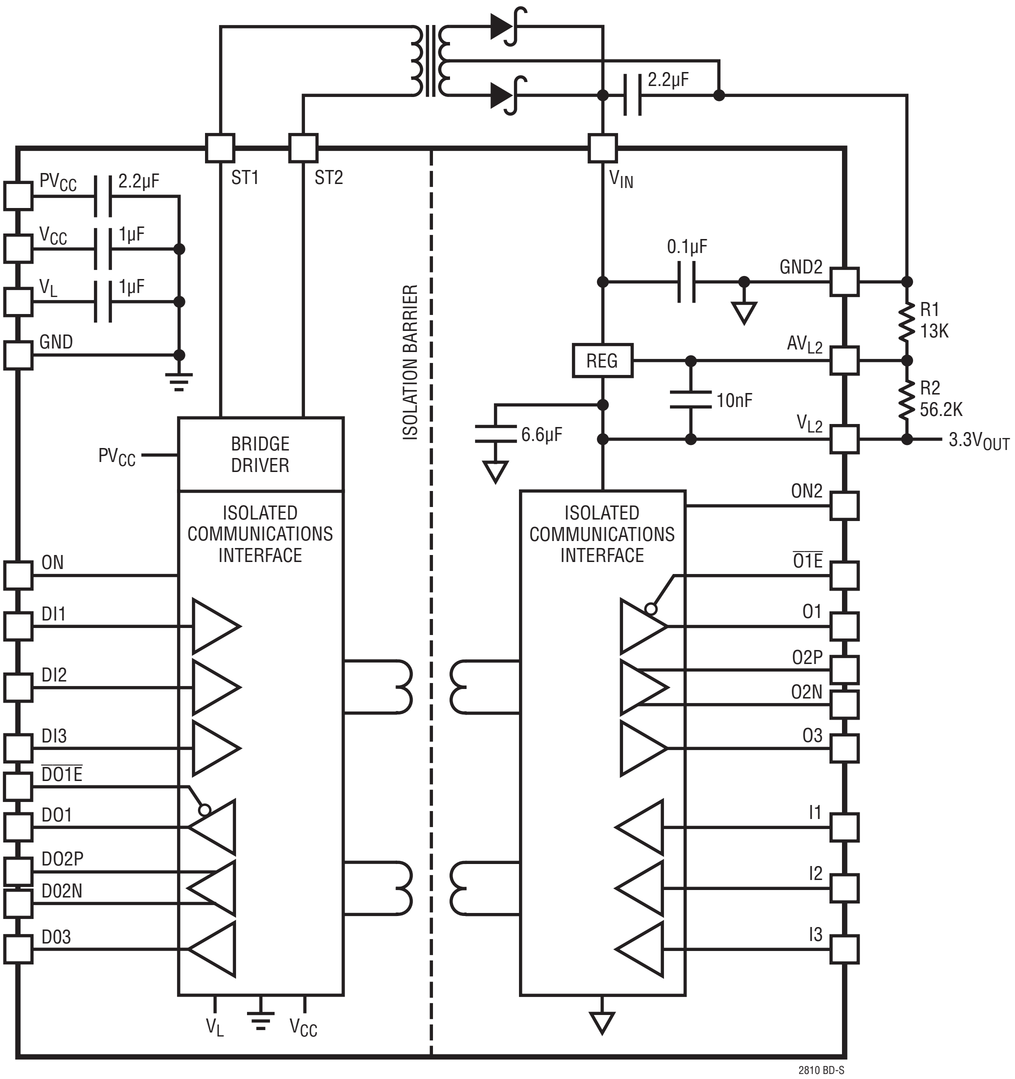
V_{L2}(X5、X6)：ロジック電源、GND2を基準にしています。SCL2、SDA2、I1、I3、O3、およびON2ピンのインターフェース電源電圧です。動作電圧は3V～5.5Vです。6.6µFにより内部でバイパスされています。

GND2(W6、V1～V5)：絶縁側のグラウンド。

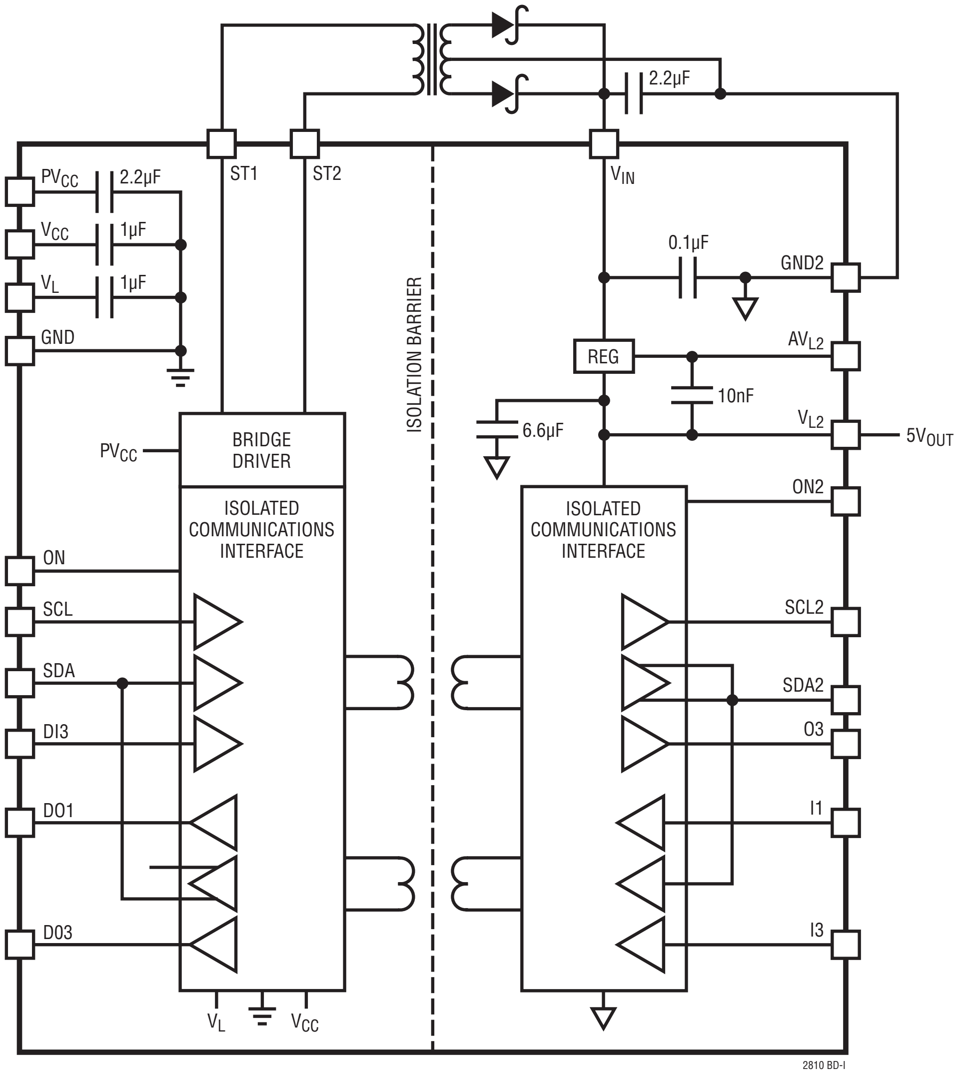
Rev 0

ブロック図

LTM2810-S



ブロック図


LTM2810-I
2.2µF
ST1
ST2
VIN
PVCC
2.2µF
VCC
1µF
VL
1µF
GND
0.1µF
GND2
ISOLATION BARRIER
REG
AVL2
10nF
VL2
5VOUT
6.6µF
PVCC
BRIDGE DRIVER
ISOLATED COMMUNICATIONS INTERFACE
ISOLATED COMMUNICATIONS INTERFACE
ON2
ON
SCL
SCL2
SDA
SDA2
DI3
O3
DO1
I1
D03
I3
VL
VCC
2810 BD-I

Rev 0

テスト回路

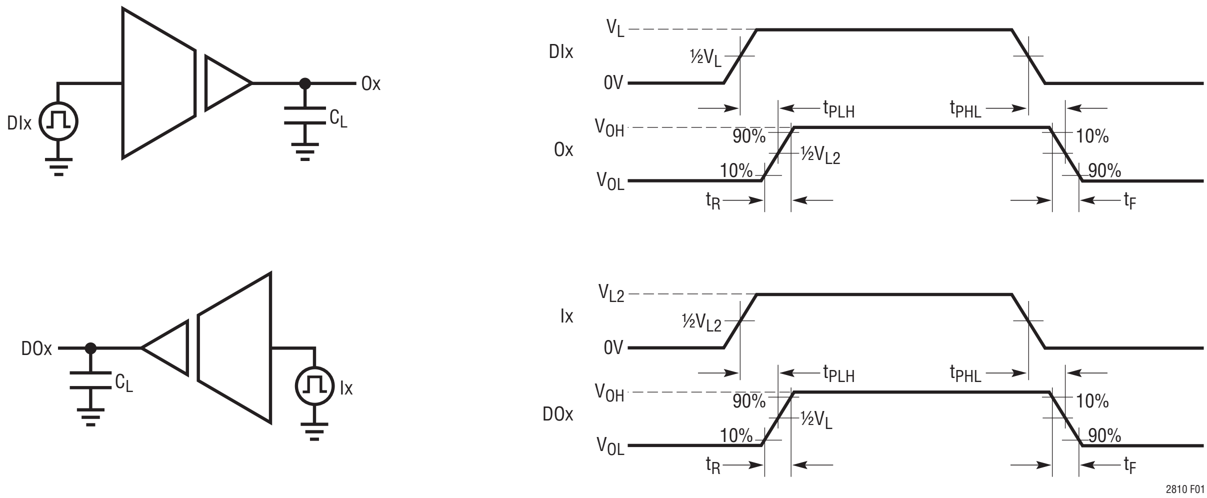


図1. ロジックのタイミング測定

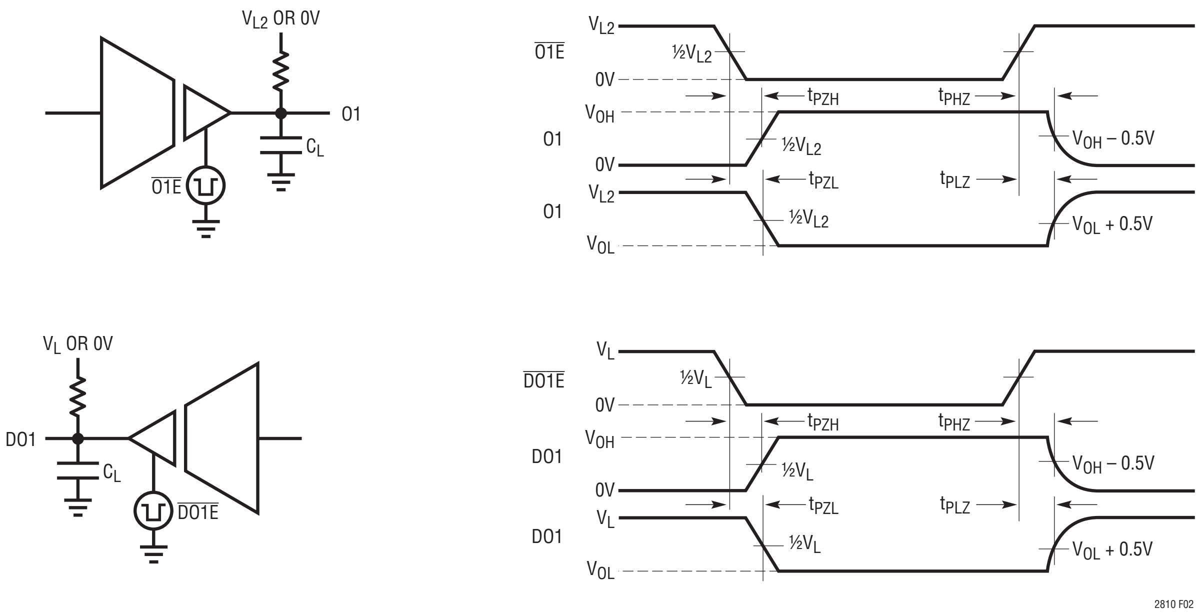


図2. ロジックのイネーブル／ディスエーブル時間

テスト回路

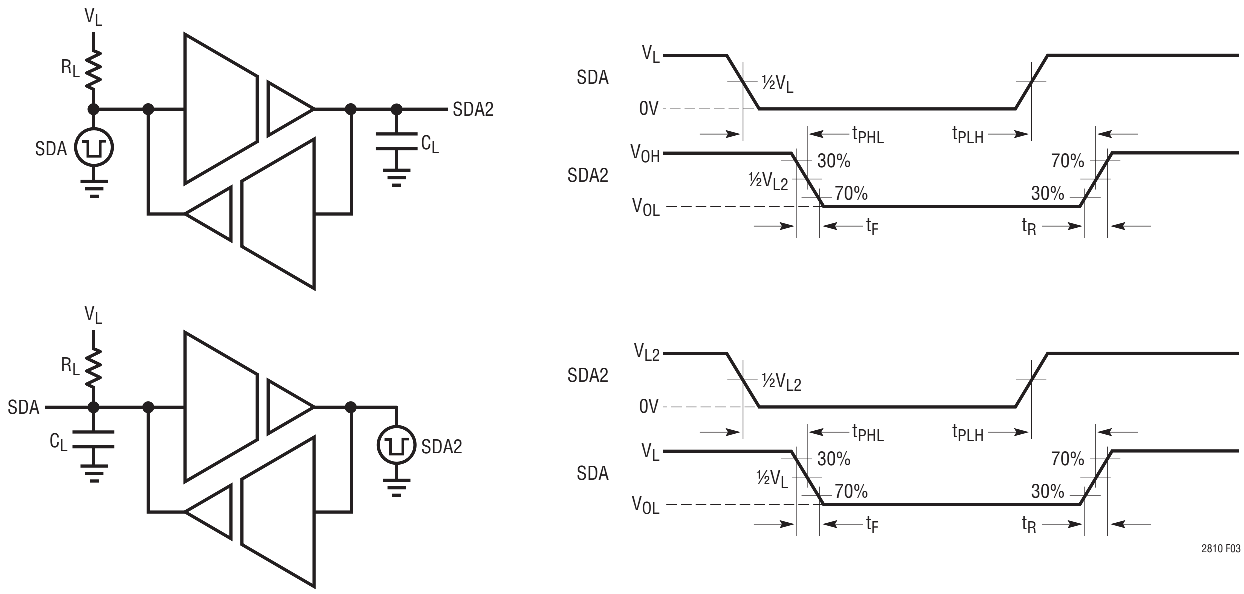


図3. I²C のタイミング測定

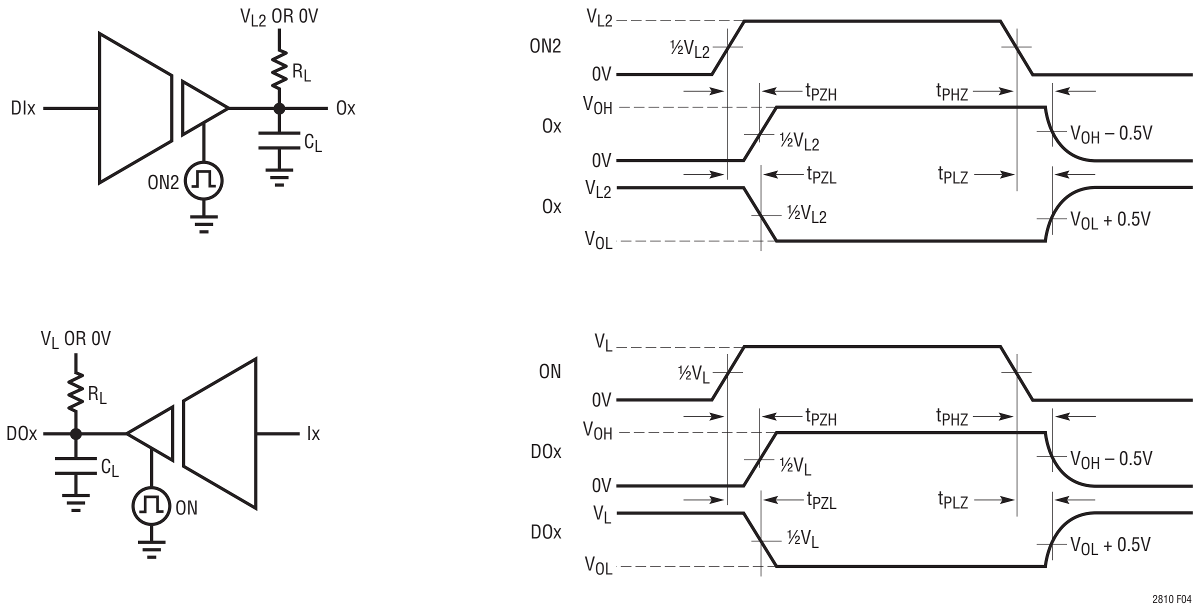


図4. ONx のイネーブル/ディスエーブル時間

アプリケーション情報

概要

LTM2810デジタルμModuleアイソレータは、電気的に絶縁された堅牢なロジック・インターフェースを実現し、デカップリング・コンデンサを内蔵しています。LTM2810は、グラウンドが様々な電圧になる可能性があるネットワークで使用するのに最適です。LTM2810内部での絶縁により、高い電圧差が遮断され、グラウンド・ループが除去されて、グラウンド・プレーン間のコモンモード過渡耐圧が非常に高くなります。50kV/μsと高速のコモンモード・イベントが発生しても誤りのない動作が維持され、優れたノイズ遮断性能が得られます。

入力電源(V_{CC})

LTM2810の電力は、絶縁インターフェースのロジック側の3V～5.5V電源によって供給されます。入力電源は内部の絶縁通信インターフェースに電力を供給し、ロジック電源とブリッジ・ドライバ電源のいずれとも完全に独立しています。V_{CC}は1μFのセラミック・コンデンサによって内部でバイパスされています。

ブリッジ・ドライバ電源(PV_{CC})

内蔵ブリッジ・ドライバの電力は、絶縁インターフェースのロジック側の3V～5.5V電源によって供給されます。ブリッジ・ドライバは、PV_{CC}をGNDに接続すればディスエーブルできます。PV_{CC}は2.2μFのセラミック・コンデンサによって内部でバイパスされています。

LDO入力電源(V_{IN})

絶縁側にはV_{IN}を電源とする内蔵LDOが組み込まれており、V_{L2}での公称出力電圧は5Vです。入力動作電圧範囲は4V～38Vです。V_{IN}は0.1μFのセラミック・コンデンサによって内部でバイパスされています。V_{L2}を外部電源で駆動する場合、V_{IN}は接地しても未接続のままでもかまいません。

ロジック電源(V_L、V_{L2})

図5に示すように、ロジック電源ピン(V_LおよびV_{L2})が独立しているので、LTM2810はロジック信号と容易にインターフェースをとることができます。ロジック信号の電圧範囲は、SPI／デジタル・バージョンのロジック側では1.62V～5.5V、I^2Cバージョンのロジック側と絶縁側およびSPI／デジタル・バージョンの絶縁側では3V～5.5Vです。

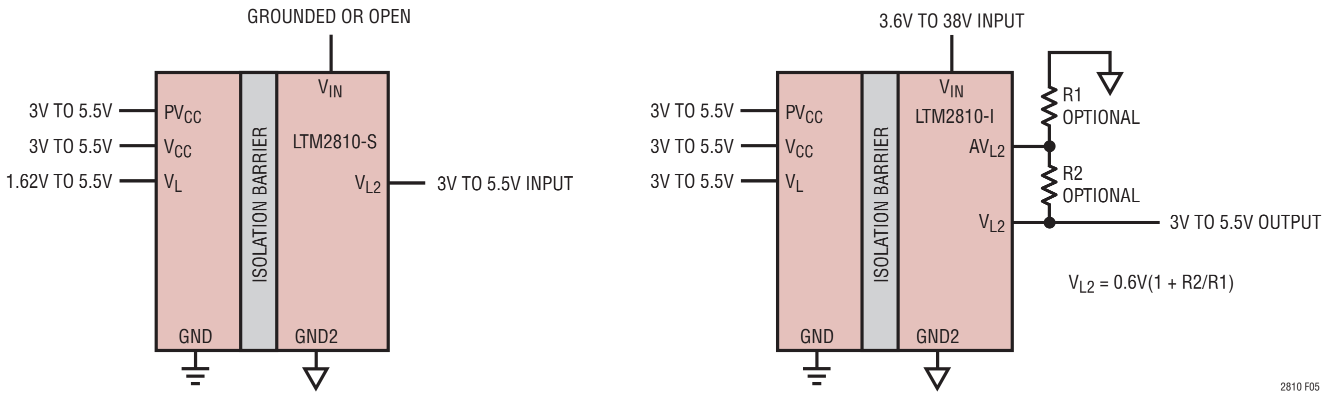


図5. 電源は互いに無関係

アプリケーション情報

V_{IN}を駆動している場合は、図5に示すように、分圧器をAV_{L2}ピンに接続すれば、V_{L2}出力を公称の5Vから調整できます。 AV_{L2}の電圧が0.6Vになるように分圧器の比を選択します。R1の値が13kΩより大きくならないようにして、調整ピンのバイアス電流と内部分圧器によって生じる出力電圧の誤差を最小限に抑えます。

V_{CC}、V_L、PV_{CC}の間に相互依存性はありません。これらの電源は、規定の動作電圧範囲内では任意の電圧で同時に動作可能であり、シーケンス制御の順序も自由です。V_Lは1μFのセラミック・コンデンサにより内部でバイパスされており、V_{L2}は6.6μFのセラミック・コンデンサにより内部でバイパスされています。

安全な活線挿入

LTM2810はセラミックのデカップリング・コンデンサを内蔵しているので、その電源（V_{CC}、PV_{CC}、V_L、またはV_{L2}）に接続して電力を得るアプリケーションでは注意が必要です。ケーブルの寄生インダクタンスとセラミック・コンデンサの高いQ値特性の組み合わせにより、最大定格電圧を超える大きなリンギングが発生して、LTM2810を損傷する可能性があります。この現象の詳細と緩和方法については、「セラミック入力コンデンサによって生じる過電圧トランジェント」という表題のアプリケーション・ノート88を参照してください。

絶縁トランス

V_{IN}は電圧範囲が広いので、絶縁トランスと整流器のトポロジーには多くのオプションがあります。選択されているトランスは、アプリケーションの絶縁条件を満たし、0.5 • PV_{CC} μVSより大きいボルト秒定格を持ち、LTM2810のIV_{IN}と任意のアプリケーション負荷との和に対して十分な電流定格を備えています。様々な巻線構成と巻数比により、図14から18に示すように、様々な入力電圧または絶縁出力電圧に対応できます。

チャンネルのタイミング不確実性

入出力のエンコーディングとデコーディングにより、絶縁境界間で複数のチャンネルがサポートされます。各方向で最大3つの信号がシリアル・パケットとして組み立てられ、絶縁障壁を越えて伝送されます。全3ビットを伝送するのに必要な時間は最大100nsであり、これによって障壁の反対側で信号が変化できる頻度に制限が設けられます。エンコーディングおよび伝送は、各データの方向には無関係です。採用している技法により、最高の優先度がロジック側ではDI1（-S）またはSCL（-I）に、絶縁側ではI1（-Sまたは-I）に割り当てられるので、関連の出力チャンネルにジッタが発生せず、遅延のみとなります。この先取り方式により、反対側の絶縁チャンネルに一定の不確実性が生じます。低優先度チャンネルで得られるパルス幅の不確実性は±6ns（代表値）ですが、低優先度チャンネルが高優先度のシリアル・パケットと同じパケット内にエンコードされなかった場合は、最大±44nsまで変動する可能性があります。

シリアル・ペリフェラル・インターフェース（SPI）バス

LTM2810-Sは、SPI互換の絶縁インターフェースを備えています。最大データレートは、固有のチャンネル伝搬遅延、チャンネル間のパルス幅不確実性、およびデータ方向条件の関数です。チャンネルのタイミングを図6から9、表2、および表3に詳しく示します。SPIプロトコルは、クロックの極性（CPOL）およびクロックの位相（CPHA）で定義される4つの固有タイミング構成をサポートしています（概要を表1に示します）。

表1. SPIモード

CPOL	CPHA	データ（とクロック）の関係	
0	0	Sample (Rising)	Setup (Falling)
0	1	Setup (Rising)	Sample (Falling)
1	0	Sample (Falling)	Setup (Rising)
1	1	Setup (Falling)	Sample (Rising)

Rev 0

アプリケーション情報

双方向通信の最大データ・レートは4MHzで、タイミング波形に詳細を示すように、同期システムを基準にしています。クロックのデューティ・サイクルをスキュー調整して、DO1(SDO)からDI1(SCK)までのセットアップ・タイムを最小限に抑えれば、データ・レートを若干高くすることができますが、クロック・レートは引き続きシステムの伝搬遅延に左右されます。重要なタイミング経路についての説明を、図6と図7を基準にして以下に示します。SPI通信では、DI1 = SCK、DI2 = SDI、DI3 = CS、DO1 = SDO、O1 = SCK2、O2NおよびO2P = SDI2、O3 = CS2、I1 = SDO2です。

- CSからSCKまで(マスタ・サンプルSDO、最初のSDOが有効)

$t_0 \rightarrow t_1$	≈ 50ns、CSからCS2までの伝搬遅延
$t_1 \rightarrow t_1+$	絶縁側スレーブ・デバイスの伝搬(応答時間)、SDO2をアサート
$t_1 \rightarrow t_3$	≈ 50ns、SDO2からSDOまでの伝搬遅延
$t_3 \rightarrow t_5$	マスタSDOからSCKまでのセットアップ・タイム

- SDIからSCKまで(マスタ・データをスレーブへ書込み)

$t_2 \rightarrow t_4$	≈ 50ns、SDIからSDI2までの伝搬遅延
$t_5 \rightarrow t_6$	≈ 50ns、SCKからSCK2までの伝搬遅延
$t_2 \rightarrow t_5$	≥ 50ns、SDIからSCKまで、別パケットのゼロ以外のセットアップ・タイム
$t_4 \rightarrow t_6$	≥ 50ns、SDI2からSCK2まで、別パケットのゼロ以外のセットアップ・タイム

- SDOからSCKまで(マスタ・サンプルSDO、次のSDOが有効)

t_8	セットアップ・データ遷移、SDIおよびSCK
$t_8 \rightarrow t_{10}$	≈ 50ns、SDIからSDI2までとSCKからSCK2までの伝搬遅延
t_{10}	SCK2に応じたSDO2のデータ遷移
$t_{10} \rightarrow t_{11}$	≈ 50ns、SDO2からSDOまでの伝搬遅延
$t_{11} \rightarrow t_{12}$	マスタSDOからSCKまでのセットアップ・タイム

マスタからスレーブへの単方向通信の最大データ・レートは8MHzで、システムのエンコーディング／デコーディング方式または伝搬遅延によって制限されます。クロック位相の2つのバリエーションのタイミングを図8、図9、および表3に示します。

最大データ・レートを確保するためのその他の条件は、次のとおりです。

- CSがSDIより前のデータ・パケットで送信される(非同期)か、SDIと同じデータ・パケットで送信される(同期)
- SDIとSCKのセットアップ・データ遷移が同じデータ・パケット内で行われる。図6を参照すると、SDIはSCKより最大13ns($t_7 \rightarrow t_8$)先行するか、SCKより3ns($t_8 \rightarrow t_9$)遅れる可能性があり、この条件には反していない。同様に図8では、SDIはSCKより最大13ns($t_4 \rightarrow t_5$)先行するか、SCKより3ns($t_5 \rightarrow t_6$)遅れる可能性がある。

アプリケーション情報

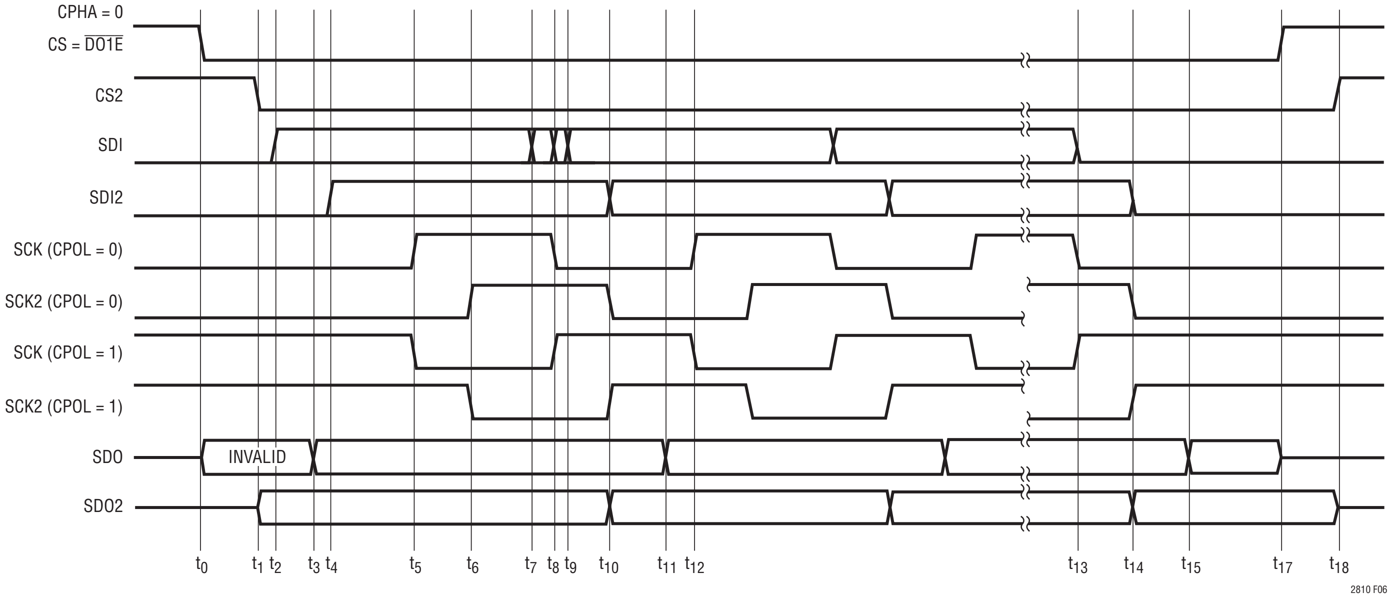


図6. SPIのタイミング、双方向、CPHA = 0

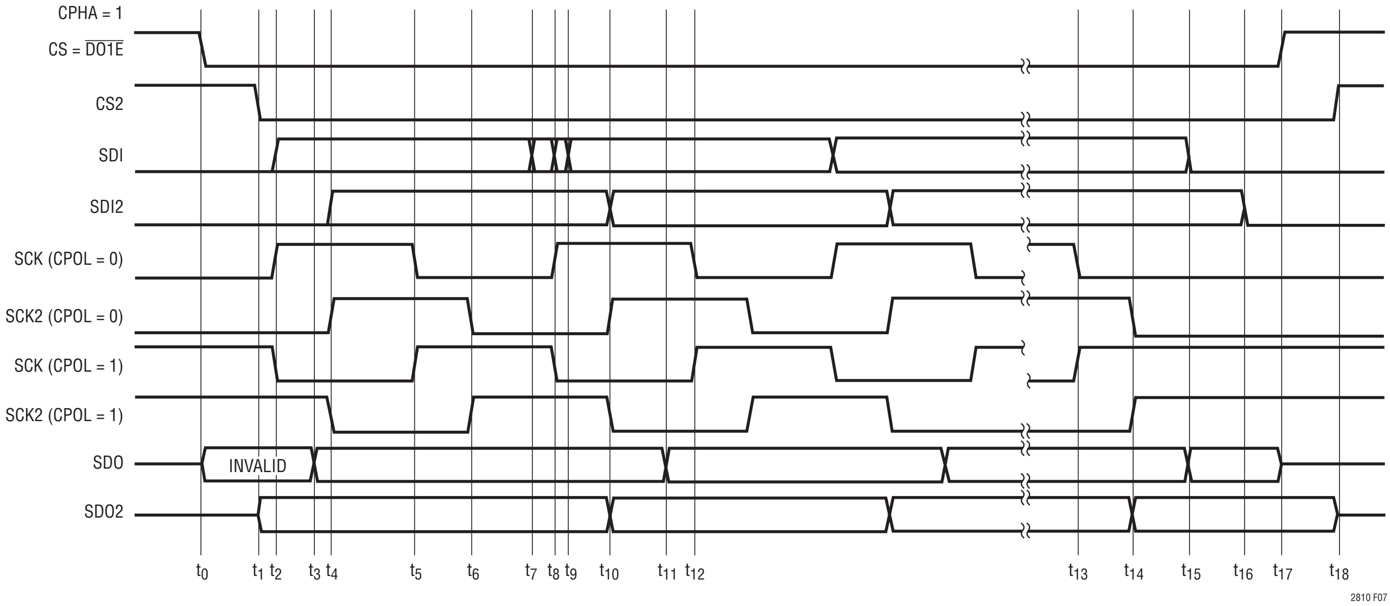


図7. SPIのタイミング、双方向、CPHA = 1

アプリケーション情報

表2. 双方向SPIのタイミング・イベントの説明

時刻	CPHA	イベントの説明
t_0	0, 1	非同期のチップ選択。SDIに同期できるが、遅延時間を3nsより長くすることはできない。ロジック側のスレーブ・データ出力はイネーブルされており、初期データはスレーブ・デバイスのデータ出力とは等しくない。
t_0, t_1, t_{17}, t_{18}	0, 1	チップ選択の伝搬遅延、ロジック側から絶縁側まで、代表値は50ns。
t_1	0, 1	スレーブ・デバイスのチップ選択出力データの有効化。
t_2	0	データ伝送の開始、データのセットアップ。
	1	データ伝送の開始、データとクロックのセットアップ。データの遷移はクロック・エッジの–13nsから3nsまでにする必要がある。
t_1 to t_3	0, 1	スレーブ・データの伝搬遅延、絶縁側からロジック側まで、代表値は50ns。
t_3	0, 1	スレーブ・データの出力が有効、ロジック側。
t_2 to t_4	0	データの伝搬遅延、ロジック側から絶縁側まで。
	1	データとクロックの伝搬遅延、ロジック側から絶縁側まで。
t_5	0, 1	ロジック側のデータ・サンプル時刻、データのセットアップ遷移から半クロック周期だけ遅延。
t_5, t_6	0, 1	クロックの伝搬遅延、ロジック側から絶縁側まで。
t_6	0, 1	絶縁側のデータ・サンプル時刻。
t_8	0, 1	同期データとクロックの遷移、ロジック側。
t_7, t_8	0, 1	データからクロックまでの遅延、13ns以内にする必要がある。
t_8, t_9	0, 1	クロックからデータまでの遅延、3ns以内にする必要がある。
t_8, t_{10}	0, 1	クロックとデータの伝搬遅延、ロジック側から絶縁側まで。
t_{10}, t_{14}	0, 1	スレーブ・デバイスのデータ遷移。
t_{10}, t_{11}, t_{14}, t_{15}	0, 1	スレーブ・データの伝搬遅延、絶縁側からロジック側まで。
t_{11}, t_{12}	0, 1	スレーブ・データ出力からサンプル・クロックのセットアップまでの時間。
t_{13}	0	データとクロックの最後の遷移、ロジック側。
	1	サンプル・クロックの最後の遷移、ロジック側。
t_{13}, t_{14}	0	データとクロックの伝搬遅延、ロジック側から絶縁側まで。
	1	クロックの伝搬遅延、ロジック側から絶縁側まで。
t_{15}	0	スレーブ・データ出力の最後の遷移、ロジック側。
	1	スレーブ・データ出力とデータの最後の遷移、ロジック側。
t_{15}, t_{16}	1	データの伝搬遅延、ロジック側から絶縁側まで。
t_{17}	0, 1	チップ選択の非同期の遷移、送信終了。スレーブ・データ出力のディスエーブル、ロジック側。
t_{18}	0, 1	絶縁側でのチップ選択の遷移、スレーブ・データ出力はディスエーブル済み。

アプリケーション情報

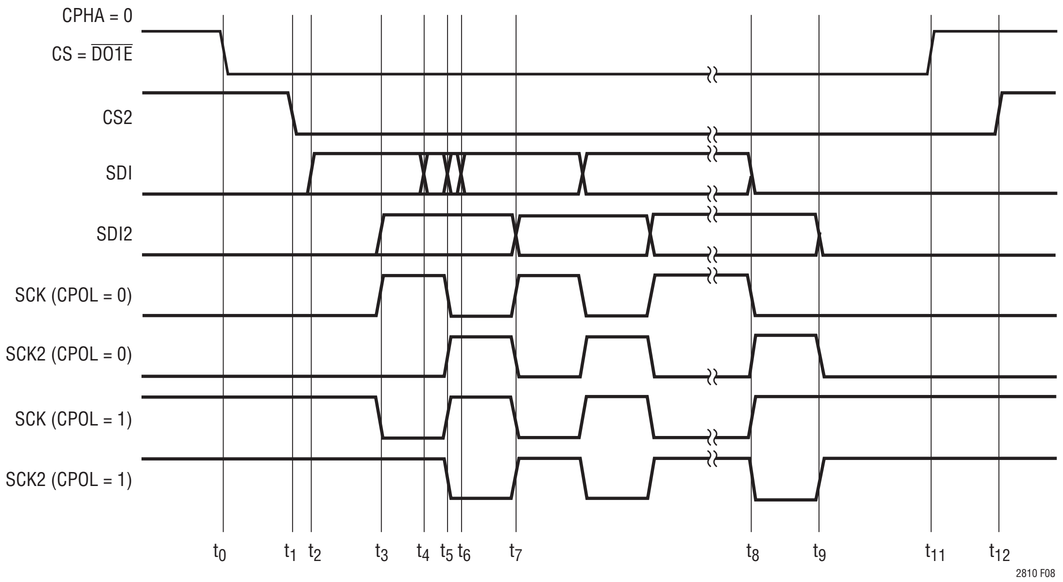


図8. SPIのタイミング、単方向、CPHA = 0

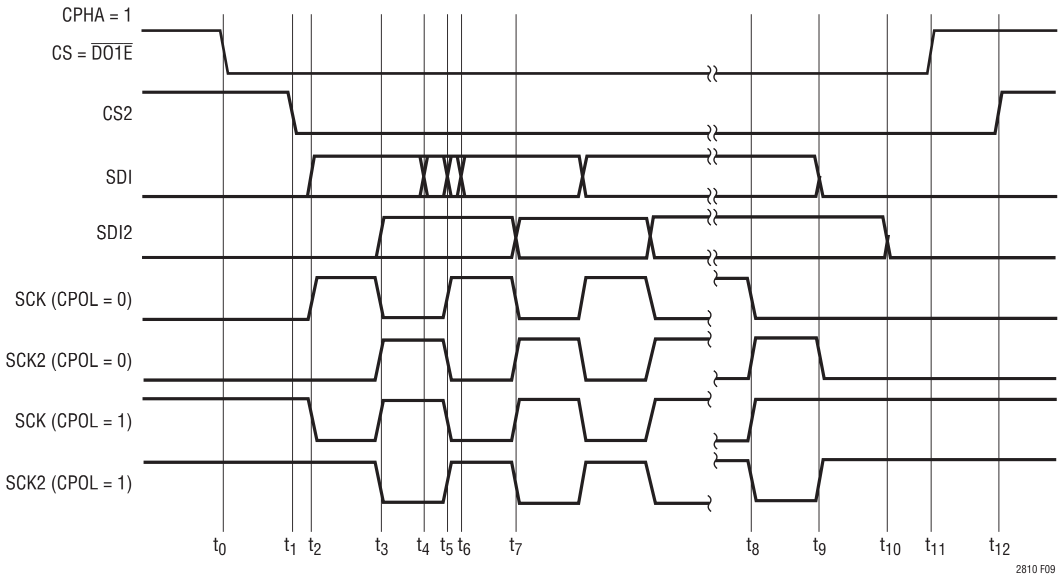


図9. SPIのタイミング、単方向、CPHA = 1

アプリケーション情報

表3. 単方向SPIのタイミング・イベントの説明

時刻	CPHA	イベントの説明
t_0	0, 1	非同期のチップ選択。SDIに同期できるが、遅延時間を3nsより長くすることはできない。
t_0, t_1	0, 1	チップ選択の伝搬遅延、ロジック側から絶縁側まで。
t_2	0	データ伝送の開始、データのセットアップ。
	1	データ伝送の開始、データとクロックのセットアップ。データの遷移はクロック・エッジの–13nsから3nsまでにする必要がある。
t_2, t_3	0	データの伝搬遅延、ロジック側から絶縁側まで。
	1	データとクロックの伝搬遅延、ロジック側から絶縁側まで。
t_3	0, 1	ロジック側のデータ・サンプル時刻、データのセットアップ遷移から半クロック周期だけ遅延。
t_3 to t_5	0, 1	クロックの伝搬遅延、クロックとデータの遷移。
t_4, t_5	0, 1	データからクロックまでの遅延、13ns以内にする必要がある。
t_5, t_6	0, 1	クロックからデータまでの遅延、3ns以内にする必要がある。
t_5 to t_7	0, 1	データとクロックの伝搬遅延。
t_8	0	クロックとデータの最後の遷移。
	1	クロックの最後の遷移。
t_8, t_9	0	クロックとデータの伝搬遅延。
	1	クロックの伝搬遅延。
t_9, t_{10}	1	データの伝搬遅延。
t_{11}	0, 1	チップ選択の非同期の遷移、送信終了。
t_{12}	0, 1	絶縁側でのチップ選択の遷移。

アプリケーション情報

IC間通信(I^2C)バス

LTM2810-IはI^2C互換の絶縁インターフェースを備えています。このインターフェースは、マスタ・モードのみをサポートし、単方向のクロック(SCL)と双方向のデータ(SDA)に対応します。最大データ・レートは400kHzで、高速モードのI^2Cをサポートします。タイミングの詳細を図10に示します。データ・レートはスレーブのアクノレッジ・セットアップ・タイム($t_{SU;ACK}$)によって制限されます。この時間は、I^2C標準の最小セットアップ・タイム($t_{SU;DAT}$)である100ns、クロックの最大伝搬遅延である225ns、グリッチ・フィルタと絶縁側の最大データ遅延である500ns、バスの負荷が最大のときの絶縁側データとロジック側データの総立下がり時間である300nsで構成されます。セットアップ・タイム全体ではI^2Cのデータ・ホールド・タイム($t_{HD;DAT}$)が最大175nsに減少するので、十分なデータ・セットアップ・タイム($t_{SU;ACK}$)が確保されます。

絶縁側の双方向シリアル・データ・ピンであるSDA2の簡略回路図を図11に示します。内部の1.8mA電流源により、SDA2にプルアップ電流が供給されます。SDA2には他のプルアップ・デバイスを接続しないでください。この電流源は、高速モードでは200pFより大きく標準モードでは400pFより大きいバス容量のシステム条件を満たすのに十分です。

追加の独自回路により、SDAとSDA2の信号のスルー・レートをモニタして、絶縁障壁間での方向制御を管理します。正常動作のためには、両方のピンでのスルー・レートを1V/µsより大きくする必要があります。

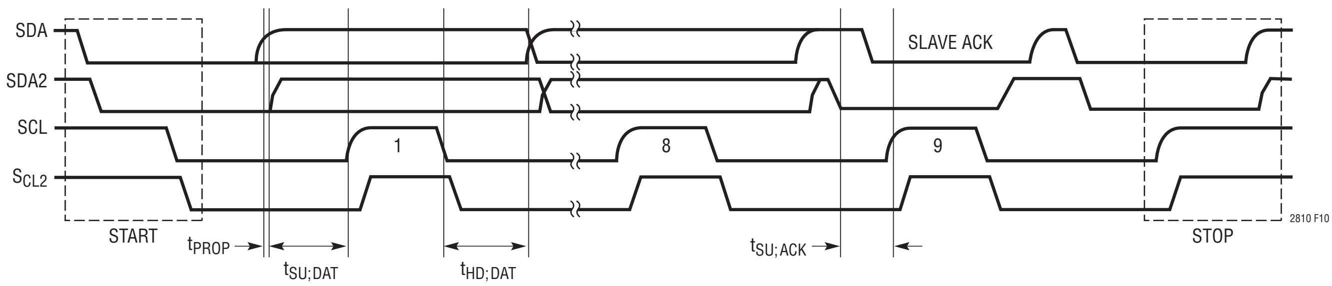


図10. I^2Cのタイミング図

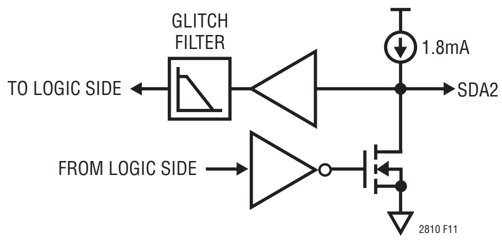


図11. 絶縁側のSDA2ピンの回路図

Rev 0

アプリケーション情報

ロジック側の双方向シリアル・データ・ピンであるSDAには、V_Lに接続されたプルアップ抵抗または電流源が必要です。望ましい立上がり時間規格値とV_{OL}の最大制限値を高速モードと標準モードで満たすSDAの適切なプルアップ抵抗については、図12および図13の条件に従ってください。抵抗の曲線は最大抵抗の境界を表します。該当する曲線の左側の領域であれば、任意の値を使用できます。

絶縁側のクロック・ピンであるSCL2のプッシュプル出力ドライバは能力が十分ではないので、外部プルアップ・デバイスは接続しないでください。SCL2は、クロック・ストレッチングなしでI^2Cデバイスと互換性があります。軽負荷接続では、SCL2とGND2の間に100pFのコンデンサを接続するか、RCローパス・フィルタ(R = 500Ω、C = 100pF)を使用することにより、立上がり時間と立下がり時間を短くしてノイズを最小限に抑えることができます。

SCL2とSDA2の間での信号の結合については、何らかの検討を行う必要があります。プリント回路基板上でこれらの信号を分離するか、信号線間にグラウンド配線を設けてください。これらの信号線が基板から離れている場合は、SCL2の信号線をV_{L2}またはGND2(あるいはその両方)とより合わせ、SDA2の信号線をGND2またはV_{L2}(あるいはその両方)とより合わせてください。SCL2とSDA2の信号線をより合わせることはしないでください。SCL2とSDA2の間で信号の結合が避けられない場合は、前述のRCフィルタをSCL2ピンに接続して、SDA2へのノイズ注入を低減させてください。

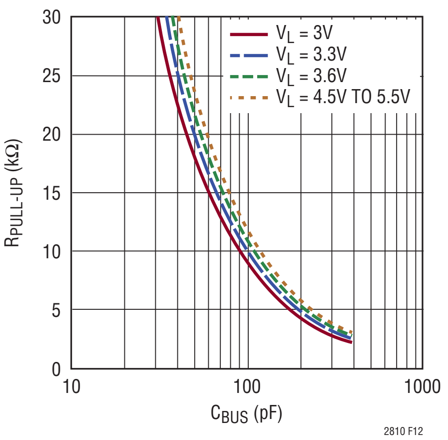


図12. 標準速度モードでのSDAの最大プルアップ抵抗

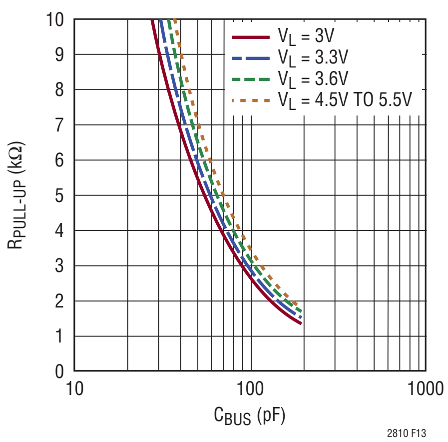


図13. 高速モードでのSDAの最大プルアップ抵抗

アプリケーション情報

RF、磁界に対する耐性

LTM2810内部で使用されているアイソレータμModule技術は単独で評価されており、以下の試験規格に従って、欧州規格EN 55024に準拠したRFおよび磁界の耐性試験の要求基準に合格しました。

EN 61000-4-3 Radiated, Radio Frequency, Electromagnetic Field Immunity(放射無線周波数電磁界での耐性)

EN 61000-4-8 Power Frequency Magnetic Field Immunity(電源周波数磁界での耐性)

EN 61000-4-9 Pulsed Magnetic Field Immunity(パルス磁界での耐性)

試験は、データシートのPCBレイアウトの推奨事項に従って設計されたシールドなしのテスト・カードを使用して実施しました。試験ごとの具体的な制限値については、表4に詳細を示します。

表4. EMC耐性試験

試験	周波数	電界/磁界強度
EN 61000-4-3 Annex D	80MHz to 1GHz	10V/m
	1.4MHz to 2GHz	3V/m
	2GHz to 2.7GHz	1V/m
EN 61000-4-8 Level 4	50Hz and 60Hz	30A/m
EN 61000-4-8 Level 5	60Hz	100A/m*
EN 61000-4-9 Level 5	Pulse	1000A/m

*IEC以外の方法。

PCBレイアウト

LTM2810は集積度が高いので、PCBレイアウトが非常に簡単です。ただし、電気的絶縁特性とEMI性能を最適化するには、レイアウトについていくつか検討することが必要です。

- 入出力の電源デカップリングは不要です。これらの部品はパッケージ内に内蔵されているからです。バルク・コンデンサを追加する場合は、値が6.8μF~22μFでESRが1Ω~3Ωのものを推奨します。このコンデンサはESRが大きいので、基板の共振を低減し、電源電圧の活線挿入によって生じる電圧スパイクを最小限に抑えます。EMIの影響を受けやすいアプリケーションでは、1μF~4.7μFの低ESLセラミック・コンデンサを追加し、電源端子とグラウンド端子にできるだけ近づけて配置することを推奨します。あるいは、値の小さなコンデンサをいくつか並列に接続してESLを低減させ、正味容量を同じにすることもできます。
- パッドの内側の列の間のPCB上には銅領域を配置しないでください。定格の絶縁電圧に耐えるため、この領域は空けたままにしておく必要があります。
- EMIの影響を受けにくいアプリケーションでは、GNDとGND2に切れ目のないグラウンド・プレーンを使用して、信号の忠実度を最適化し、分離したPCBパターン導体によるRF放射を最小限に抑えることを推奨します。EMIが問題となるグラウンド・プレーンを使用すると、ダイポール・アンテナ構造が形成され、GNDとGND2の間に生じる差動電圧が放射される可能性があるという弱点があります。グラウンド・プレーンを使用する場合は、その面積を最小限に抑え、連続したプレーンを使用することを推奨します。開口部や切れ目があるとRF放射の悪影響が増す可能性があるからです。
- グラウンド・プレーンが広い場合は、ディスクリート容量を接続するか基板内に容量を埋め込むことによってGNDとGND2の間に小容量(330pF以下)を追加すると、モジュールの寄生容量に対して低インピーダンスの電流帰還経路ができるので、高周波の差動電圧が最小限に抑えられ、放射ノイズを大幅に低減できます。ディスクリート容量の場合は、寄生ESLがあるので、埋め込み容量ほどの効果はありません。更に、部品を選択するときは、電圧定格、リーク電流、隙間を考慮する必要があります。PCB基板内部に容量を埋め込むと、理想に近いコンデンサが形成され、部品の選択に関する問題が解消されます。ただし、PCBは4層にする必要があります。いずれの手法を採用する場合にも、絶縁障壁の電圧定格が低下しないように注意する必要があります。
- PCB基板内部に容量を埋め込まないアプリケーションでは、ロジック側と絶縁側のデバイス・ピン間にスロットを追加できます。スロットがあると、PCB側にある終端間の沿面経路が長くなり、PCBの汚れによって生じるリーク電流を低減できます。スロットはデバイスの中央に配置して、パッケージの周囲長より長くします。

標準的応用例

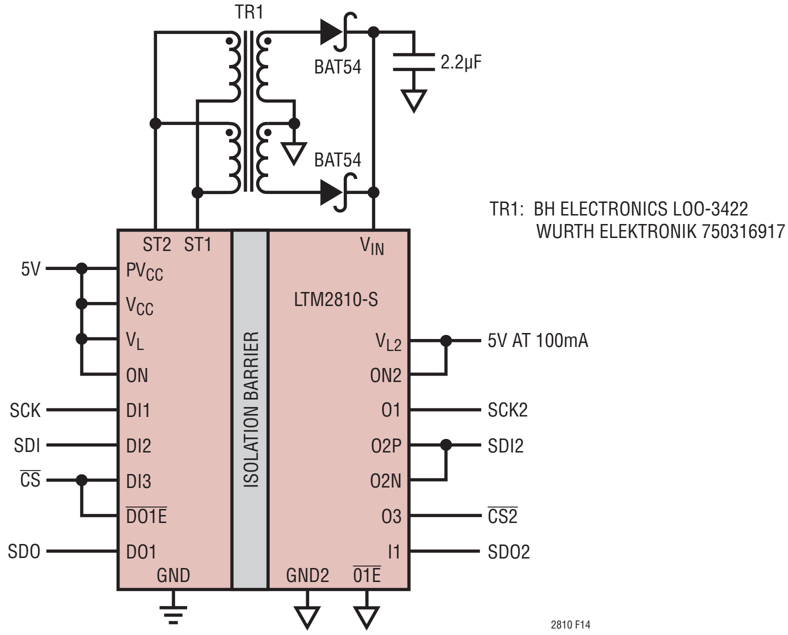


図14. 5V入力と5V安定化出力を備えた絶縁型SPI

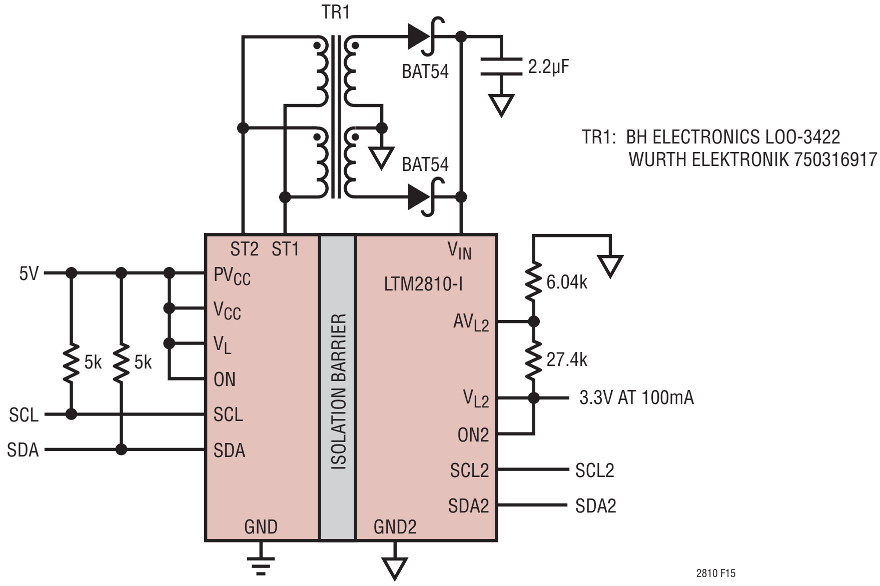


図15. 5V入力と3.3V安定化出力を備えた絶縁型I^2C

標準的応用例

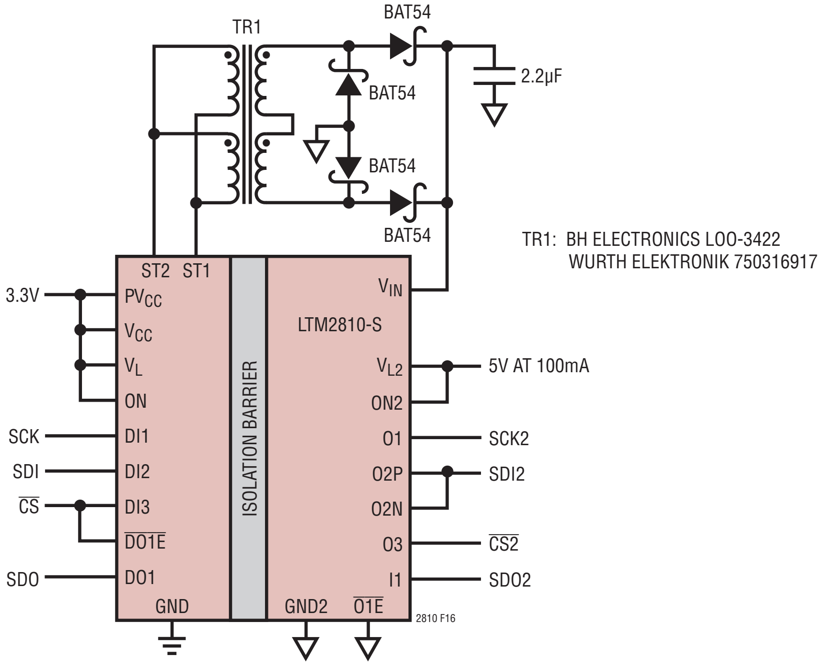


図16. 3.3V入力と5V安定化出力を備えた絶縁型SPI

標準的応用例

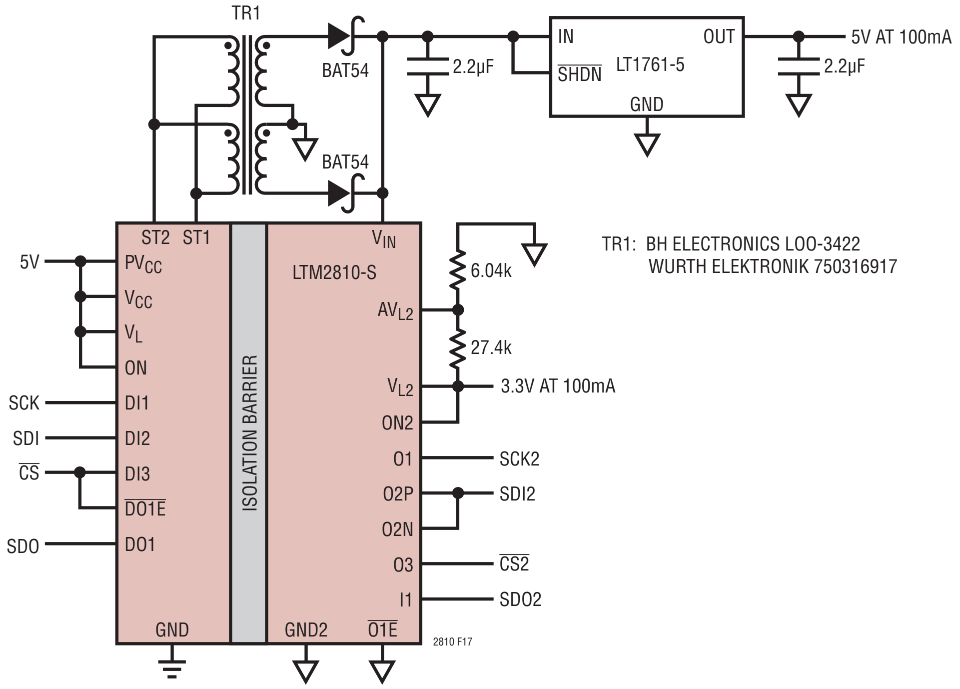


図17. 3.3V入力と3.3Vおよび5V安定化出力を備えた絶縁型SPI

標準的応用例

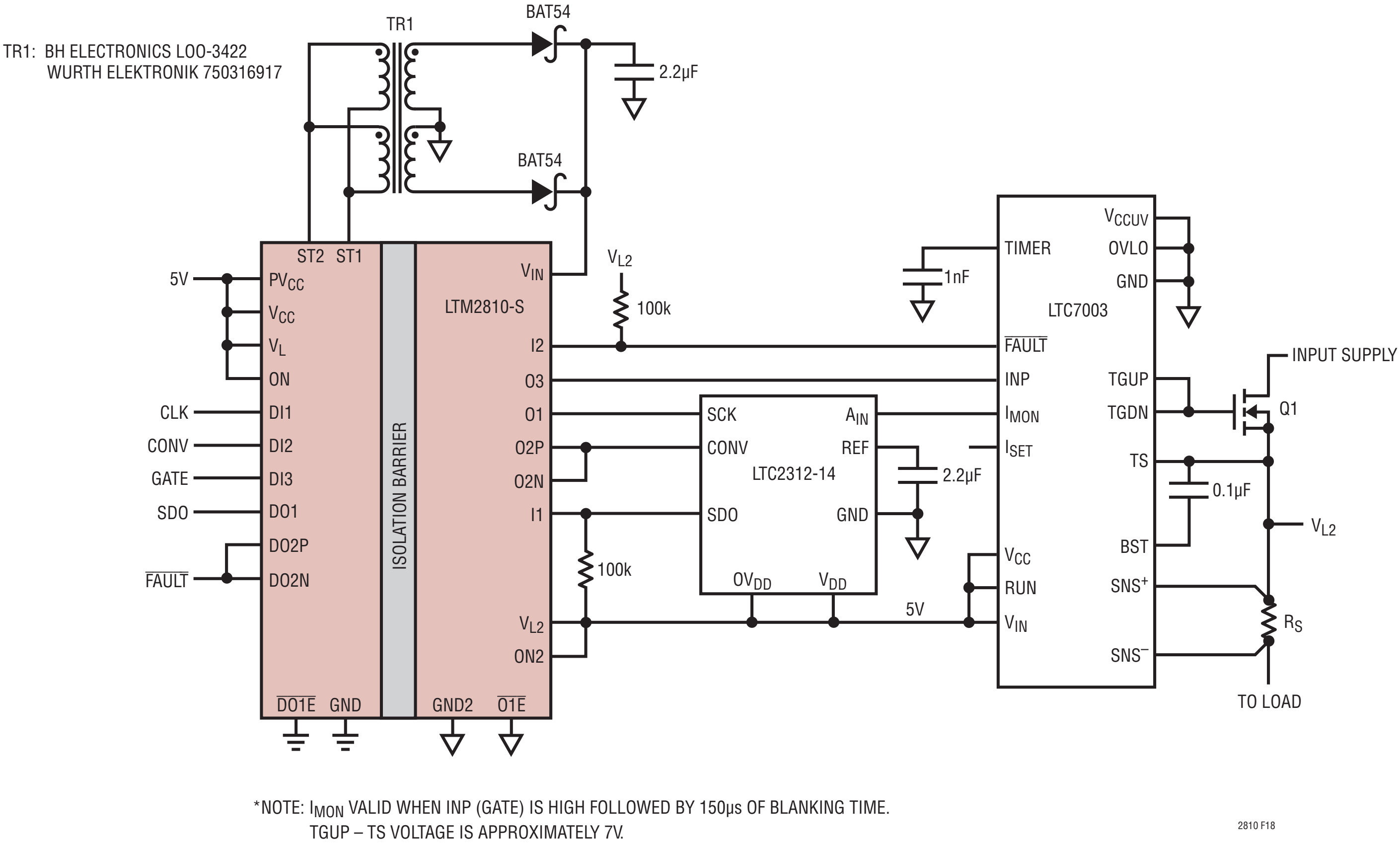
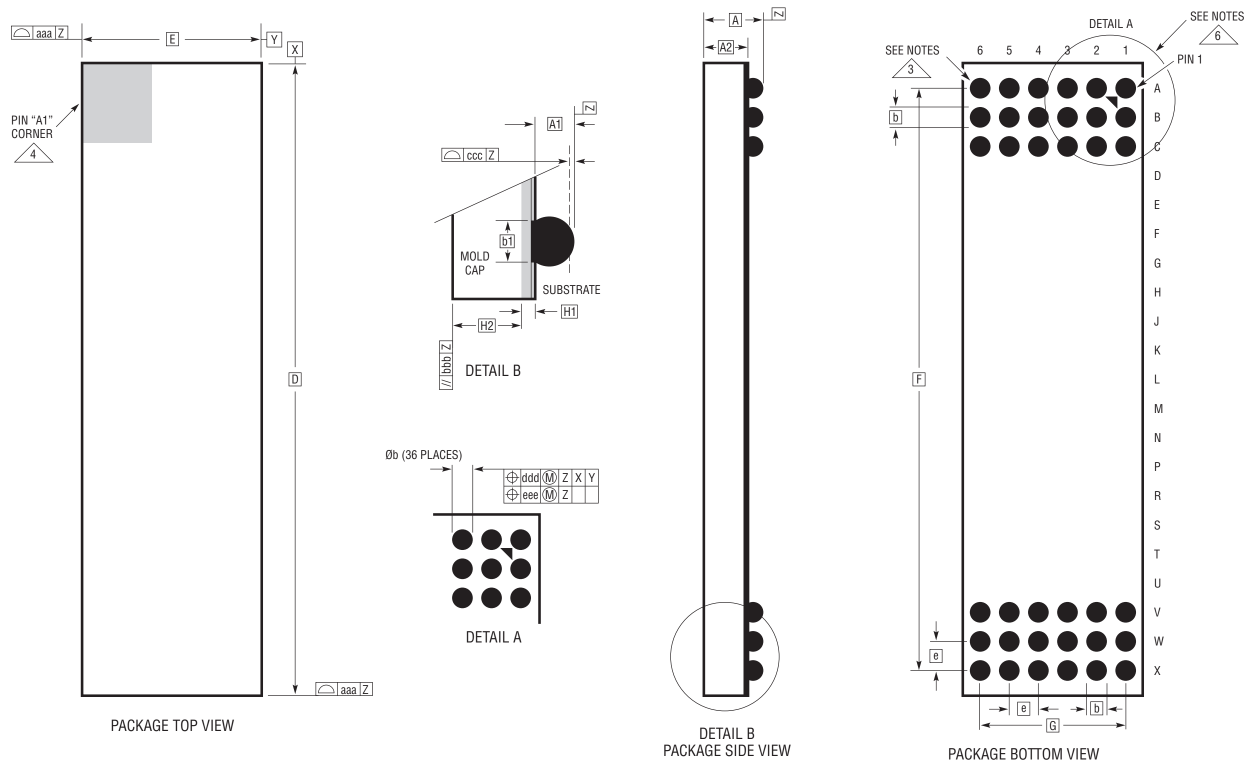
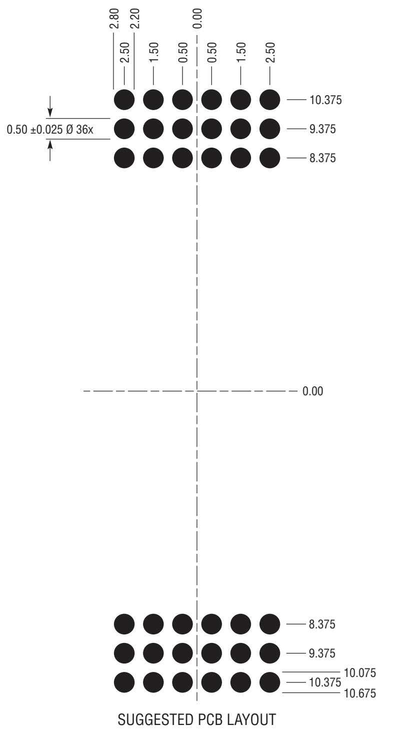


図 18. 電流読出し機能を備えた高電圧スイッチ・コントローラ

パッケージ

BGA Package
36-Lead (22mm × 6.25mm × 2.06mm)
(Reference LTC DWG# 05-08-1588 Rev Ø)





DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	1.81	2.06	2.31	
A1	0.40	0.50	0.60	BALL HT
A2	1.41	1.56	1.71	
b	0.50	0.60	0.70	BALL DIMENSION
b1	0.47	0.50	0.53	PAD DIMENSION
D		22.0		
E		6.25		
e		1.0		
F		20.75		
G		5.0		
H1	0.46	0.56	0.66	SUBSTRATE THK
H2	0.95	1.00	1.05	MOLD CAP HT
aaa			0.15	
bbb			0.10	
ccc			0.15	
ddd			0.15	
eee			0.08	
TOTAL NUMBER OF BALLS: 36				

注意：
1. 寸法と許容誤差は ASME Y14.5M-1994 による

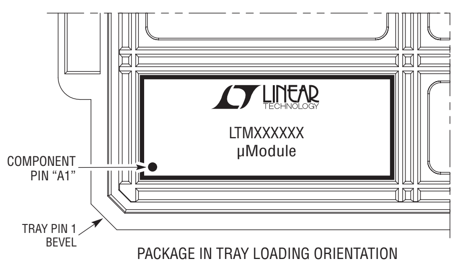
2. 全ての寸法はミリメートル

3. ボールの指定は JESD MS-028 および JEP95 による

4. 1 番ピンの識別マークはオプションだが、表示の領域内に設ける必要がある。1 番ピンの識別マークはモールドでもマーキングでもかまわない

5. 主データム -Z- はシーティング・プレーン

6. パッケージの行と列のラベルは μModule 製品間で異なる。各パッケージのレイアウトを十分に確認すること



PACKAGE IN TRAY LOADING ORIENTATION

BGA 36 0817 REV Ø

標準的応用例

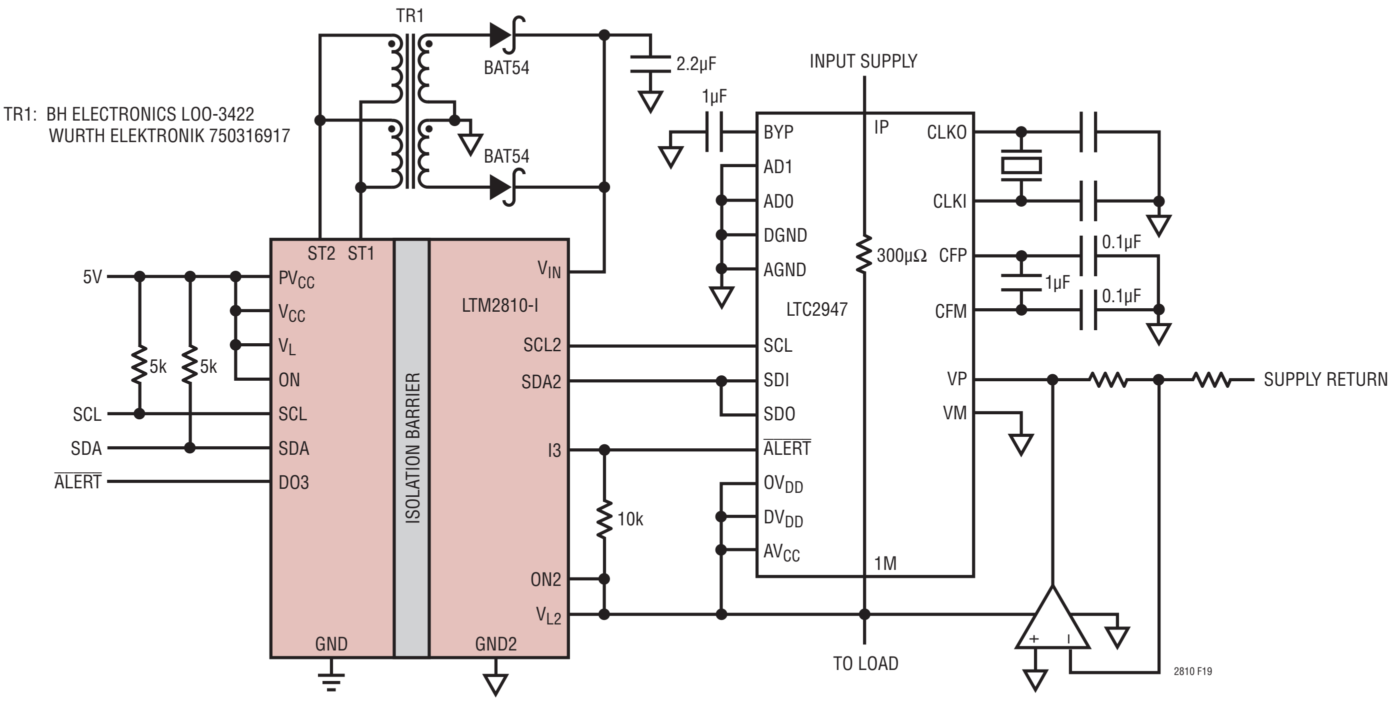


図19. 検出抵抗を内蔵した高電圧30A電力／エネルギー・モニタ

関連製品

製品番号	説明	注釈
LTM2881	DC/DCコンバータを内蔵した絶縁型RS485/RS422 µModuleトランシーバー	20Mbps、絶縁耐圧：2500V_{RMS}、電源内蔵、LGA/BGAパッケージ
LTM2882	DC/DCコンバータを内蔵したデュアル絶縁型RS232 µModuleトランシーバー	絶縁耐圧：2500V_{RMS}、電源内蔵、LGA/BGAパッケージ
LTM2883	可変5V、および公称±12.5Vの電圧レールを備えたSPI／デジタルまたはI^2C対応の絶縁型µModule	絶縁耐圧：2500V_{RMS}、電源内蔵、BGAパッケージ
LTM2884	DC/DCコンバータを内蔵した絶縁型高速USB µModule	絶縁耐圧：2500V_{RMS}、電源内蔵、BGAパッケージ
LTM2885	DC/DCコンバータを内蔵した絶縁型RS485/RS422 µModuleトランシーバー	20Mbps、絶縁耐圧：6500V_{RMS}、電源内蔵、BGAパッケージ
LTM2886	可変5V、および固定±5Vの電源レールを備えたSPI／デジタルまたはI^2C対応の絶縁型µModule	絶縁耐圧：2500V_{RMS}、電源内蔵、BGAパッケージ
LTM2887	2つの可変5Vレールを備えたSPI／デジタルまたはI^2C対応の絶縁型µModule	絶縁耐圧：2500V_{RMS}、電源内蔵、BGAパッケージ
LTM2889	DC/DCコンバータを内蔵した絶縁型CAN µModuleトランシーバー	4Mbps、絶縁耐圧：2500V_{RMS}、電源内蔵、BGAパッケージ
LTM2892	SPI／デジタルまたはI^2C対応の絶縁型µModule	絶縁耐圧：3500V_{RMS}、BGAパッケージ
LTM2893	全機能内蔵型100MHz SPI ADC µModuleアイソレータ	絶縁耐圧：6000V_{RMS}、BGAパッケージ
LTM2894	全機能内蔵の絶縁型USB µModuleトランシーバー	絶縁耐圧：7500V_{RMS}、BGAパッケージ
LTM2895	全機能内蔵型100MHz DAC SPIシリアル・インターフェースµModuleアイソレータ	絶縁耐圧：6000V_{RMS}、BGAパッケージ
LTM9100	I^2Cコマンド機能と遠隔測定機能を備えたAnyside™絶縁型スイッチ・コントローラ	絶縁耐圧：5000V_{RMS}、BGAパッケージ、10ビットの電流
LTC®2946	範囲の広いI^2C電力／エネルギー／充電モニタ	0V～100V動作、12ビットADC、±0.4% TUE
LTC2947	検出抵抗を内蔵した30A I^2C電力／エネルギー／充電モニタ	0V～15V動作、16ビットADC
LTC7003	保護機能付き60V高速ハイサイドNMOS静的スイッチ・ドライバ	動作電圧：3.5V～60V、I_Q = 35µA、ターンオン時間(C_L = 1nF) = 35ns、内部チャージ・ポンプ

Rev 0
02/19