

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、 シリアル12ビットADC

概要

MAX11108は、小型(2.1mm x 1.6mm)、12ビット、コンパクト、高速、低電力、逐次近似型アナログ-デジタルコンバータ(ADC)です。この高性能ADCは、広ダイナミックレンジのサンプル/ホールドおよび高速シリアルインタフェースを内蔵しています。このADCは、0Vから電源またはリファレンス電圧までのフルスケール入力を受け付けます。

MAX11108は、ADCコアに接続されたシングルエンドアナログ入力を備えています。また、このデバイスはデータインタフェース用の個別の電源入力およびリファレンス電圧用の専用の入力も備えています。

MAX11108は1.5V~V_{DD}で「通信」を行い、2.2V~3.6Vの電源で動作します。このデバイスの3Mspsでの消費電力はわずか6.6mWで、最適なパワーマネージメントのための完全パワーダウンモードと高速ウェイクアップおよび高速3線式シリアルインタフェースを内蔵しています。3線式シリアルインタフェースは、外部ロジックなしでSPI/QSPI™/MICROWIRE®デバイスに直接接続することができます。

優れたダイナミック性能、低電圧、低電力、使いやすさ、および非常に小型のパッケージサイズにより、このコンバータはバッテリー駆動のポータブルデータ取得アプリケーションや、低消費電力とスペースの最小化が必要なその他のアプリケーションに最適です。

MAX11108はUltra-TQFN (2.1mm x 1.6mm)パッケージで提供され、-40°C~+125°Cの温度範囲で動作します。

アプリケーション

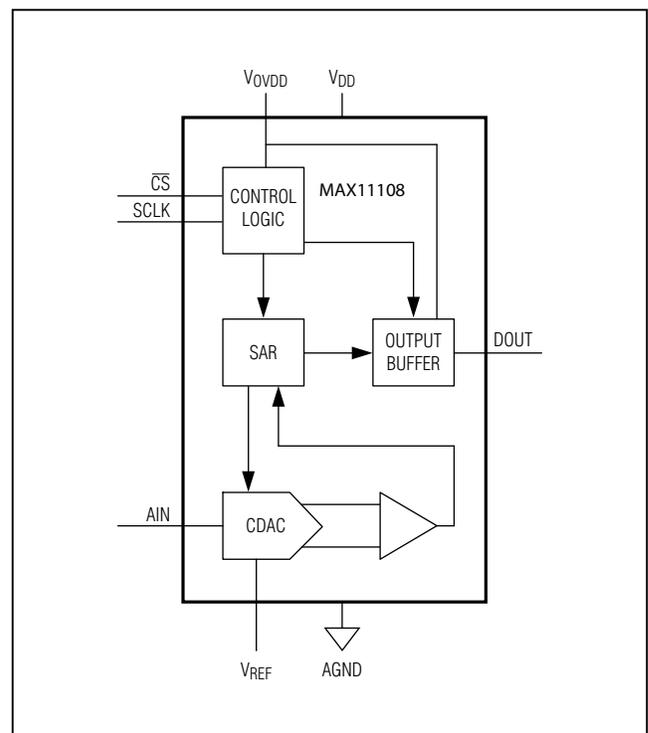
- 機器データ収集
- 携帯
- ポータブルデータロギング
- 医療用計測
- バッテリー動作のシステム
- 通信システム
- 車載用システム

QSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の登録商標です。

特長

- ◆ 変換速度：3Msps (パイプライン遅延なし)
- ◆ 10ピン、Ultra-TQFN (μDFN)、2.1mm x 1.6mmパッケージ
- ◆ 分解能：12ビット
- ◆ シングルエンドアナログ入力
- ◆ 低ノイズ：SN比73dB
- ◆ 可変I/O：1.5V~3.6V
シリアルインタフェースは1.5V、1.8V、2.5V、または3Vデジタルシステムへの直接接続が可能
- ◆ 電源電圧：2.2V~3.6V
- ◆ 低電力
3Mspsで6.6mW
2.5μA/kspsの超低消費電力
- ◆ 外部リファレンス入力
- ◆ パワーダウン電流：1.3μA
- ◆ SPI/QSPI/MICROWIRE対応シリアルインタフェース
- ◆ 広い動作温度範囲：-40°C~+125°C

ファンクションダイアグラム



本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト (japan.maximintegrated.com) をご覧ください。

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND	-0.3V to +4V
REF, OVDD, AIN to AGND	-0.3V to the lower of (V _{DD} + 0.3V) and +4V
\overline{CS} , SCLK, DOUT to AGND	-0.3V to the lower of (V _{OVDD} + 0.3V) and +4V
Input/Output Current (all pins)	50mA

Continuous Power Dissipation (T _A = +70°C)	
Ultra TQFN (derate 9mW/°C above +70°C)	722mW
Operating Temperature Range	-40°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

Ultra TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA})	110.8°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	62.1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 2.2V to 3.6V, V_{REF} = V_{DD}, V_{OVDD} = V_{DD}. f_{SCLK} = 48MHz, 50% duty cycle, 3Msps. C_{DOUT} = 10pF, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			12			Bits
Integral Nonlinearity	INL				±1	LSB
Differential Nonlinearity	DNL	No missing codes			±1	LSB
Offset Error	OE			±0.3	±3	LSB
Gain Error	GE	Excluding offset and reference errors		±1	±3	LSB
Total Unadjusted Error	TUE			±1.5		LSB
DYNAMIC PERFORMANCE (f_{AIN} = 1MHz)						
Signal-to-Noise and Distortion	SINAD		70	72		dB
Signal-to-Noise Ratio	SNR		70.5	72		dB
Total Harmonic Distortion	THD			-85	-75	dB
Spurious-Free Dynamic Range	SFDR		76	85		dB
Intermodulation Distortion	IMD	f ₁ = 1.0003MHz, f ₂ = 0.99955MHz		-84		dB
Full-Power Bandwidth		-3dB point		40		MHz
Full-Linear Bandwidth		SINAD > 68dB		2.5		MHz
Small-Signal Bandwidth				45		MHz

小型、2.1mm x 1.6mm、3Msps、低電力、 シリアル12ビットADC

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 2.2V to 3.6V, V_{REF} = V_{DD}, V_{OVDD} = V_{DD}. f_{SCLK} = 48MHz, 50% duty cycle, 3Msps. C_{DOUT} = 10pF, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Throughput			0.03		3	Msp/s
Conversion Time			260			ns
Acquisition Time	t _{ACQ}		52			ns
Aperture Delay		From $\overline{\text{CS}}$ falling edge		4		ns
Aperture Jitter				15		ps
Serial-Clock Frequency	f _{CLK}		0.48		48	MHz
ANALOG INPUT (AIN)						
Input Voltage Range	V _{AIN}		0		V _{REF}	V
Input Leakage Current	I _{ILA}			0.002	±1	μA
Input Capacitance	C _{AIN}	Track		20		pF
		Hold		5		
EXTERNAL REFERENCE INPUT (REF)						
Reference Input-Voltage Range	V _{REF}		1		V _{DD} + 0.05	V
Reference Input Leakage Current	I _{ILR}	Conversion stopped		0.005	±1	μA
Reference Input Capacitance	C _{REF}			5		pF
DIGITAL INPUTS (SCLK, $\overline{\text{CS}}$)						
Digital Input High Voltage	V _{IH}		0.75 x V _{OVDD}			V
Digital Input Low Voltage	V _{IL}			0.25 x V _{OVDD}		V
Digital Input Hysteresis	V _{HYST}			0.15 x V _{OVDD}		V
Digital Input Leakage Current	I _{IL}	Inputs at GND or V _{DD}		0.001	±1	μA
Digital Input Capacitance	C _{IN}			2		pF
DIGITAL OUTPUT (DOUT)						
Output High Voltage	V _{OH}	I _{SOURCE} = 1mA	0.85 x V _{OVDD}			V
Output Low Voltage	V _{OL}	I _{SINK} = 5μA		0.15 x V _{OVDD}		V
High-Impedance Leakage Current	I _{OL}			±1.0		μA
High-Impedance Output Capacitance	C _{OUT}			4		pF

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.2V$ to $3.6V$, $V_{REF} = V_{DD}$, $V_{OVDD} = V_{DD}$. $f_{SCLK} = 48MHz$, 50% duty cycle, 3Msps. $C_{DOUT} = 10pF$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Positive Supply Voltage	V_{DD}		2.2		3.6	V
Digital I/O Supply Voltage	V_{OVDD}		1.5		V_{DD}	V
Positive Supply Current (Full-Power Mode)	I_{VDD}	$V_{AIN} = V_{GND}$			3.3	mA
	I_{OVDD}	$V_{AIN} = V_{GND}$			0.33	
Positive Supply Current (Full-Power Mode), No Clock	I_{VDD}			1.98		mA
Power-Down Current	I_{PD}	Leakage only		1.3	10	μA
Line Rejection		$V_{DD} = 2.2V$ to $3.6V$, $V_{REF} = 2.2V$		0.7		LSB/V
TIMING CHARACTERISTICS (Note 2)						
Quiet Time	t_Q	(Note 3)	4			ns
\overline{CS} Pulse Width	t_1	(Note 3)	10			ns
\overline{CS} Fall to SCLK Setup	t_2	(Note 3)	5			ns
\overline{CS} Falling Until DOUT High-Impedance Disabled	t_3	(Note 3)	1			ns
Data Access Time After SCLK Falling Edge	t_4	Figure 2, $V_{OVDD} = 2.2V$ to $3.6V$			15	ns
		Figure 2, $V_{OVDD} = 1.5V$ to $2.2V$			16.5	
SCLK Pulse Width Low	t_5	Percentage of clock period (Note 3)	40		60	%
SCLK Pulse Width High	t_6	Percentage of clock period (Note 3)	40		60	%
Data Hold Time From SCLK Falling Edge	t_7	Figure 3 (Note 3)	5			ns
SCLK Falling Until DOUT High-Impedance	t_8	Figure 4 (Note 3)	2.5		14	ns
Power-Up Time		Conversion cycle (Note 3)			1	Cycle

Note 2: All timing specifications given are with a 10pF capacitor.

Note 3: Guaranteed by design in characterization; not production tested.

小型、2.1mm x 1.6mm、3Mps、低電力、シリアル12ビットADC

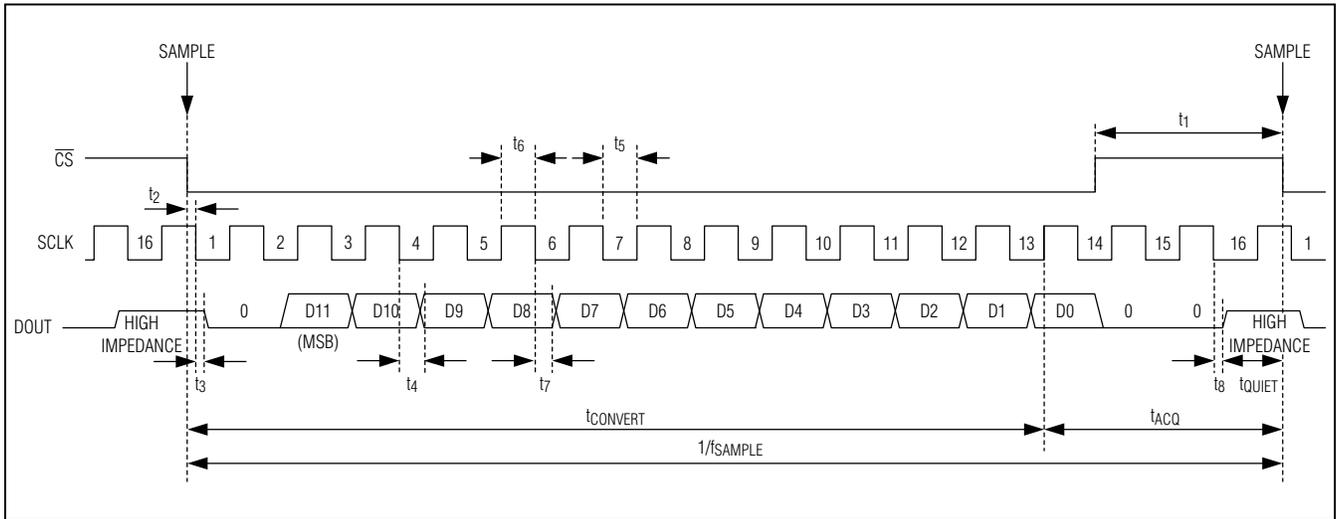


図1. 最大スループットのインタフェース信号

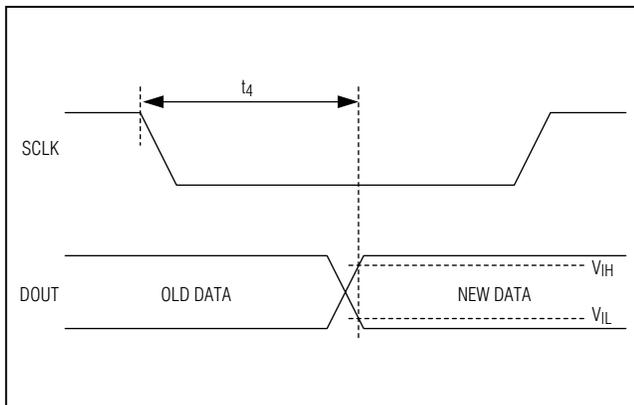


図2. SCLKの立下りエッジ後のセットアップ時間

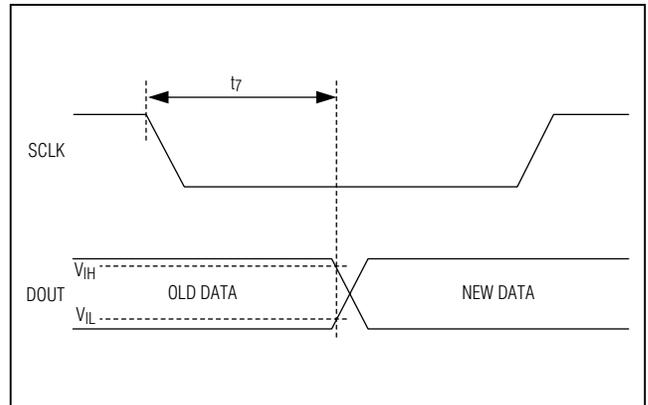


図3. SCLKの立下りエッジ後のホールド時間

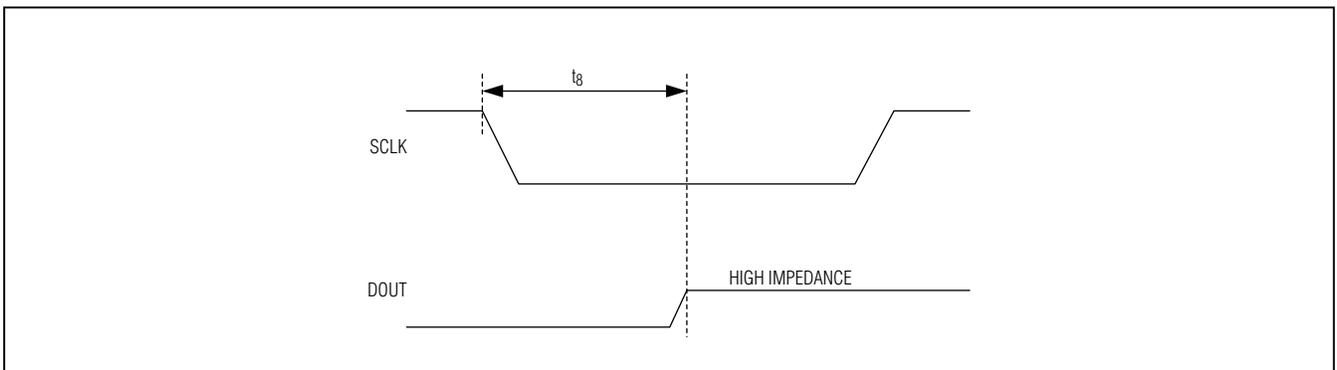


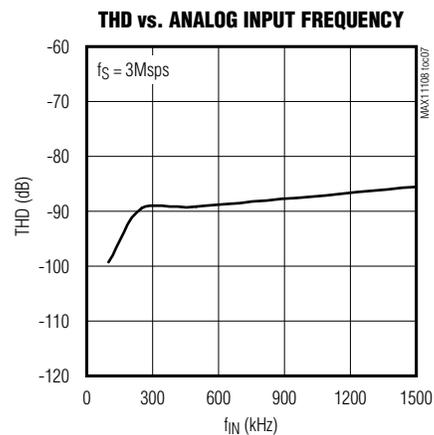
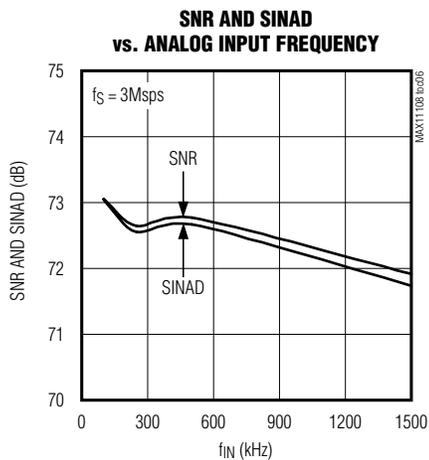
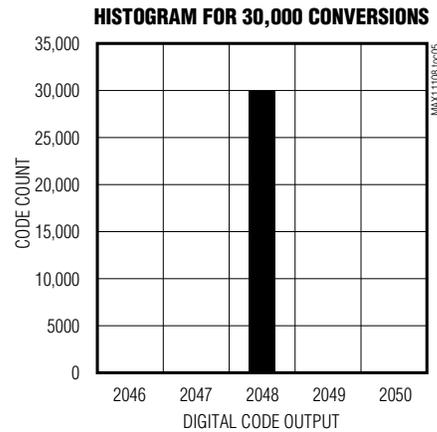
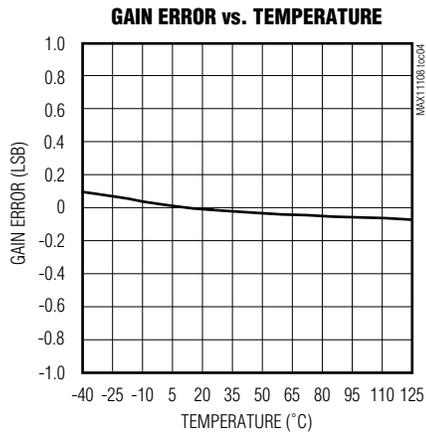
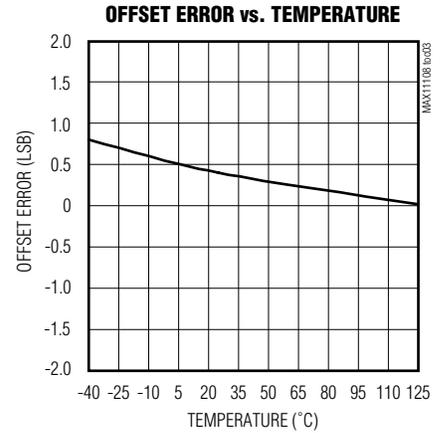
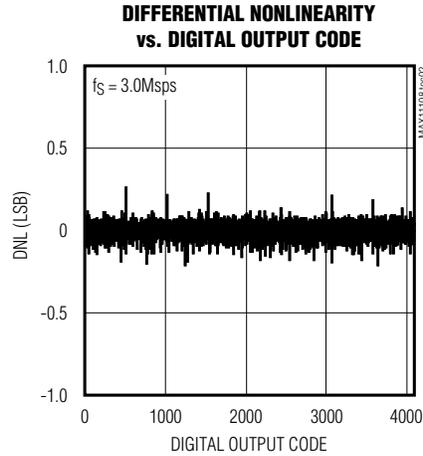
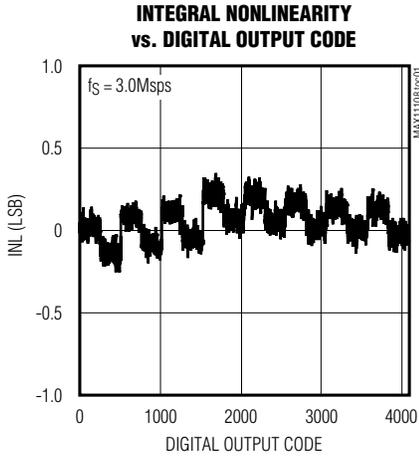
図4. SCLKの立下りエッジにおけるDOUTのトライステート

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

標準動作特性

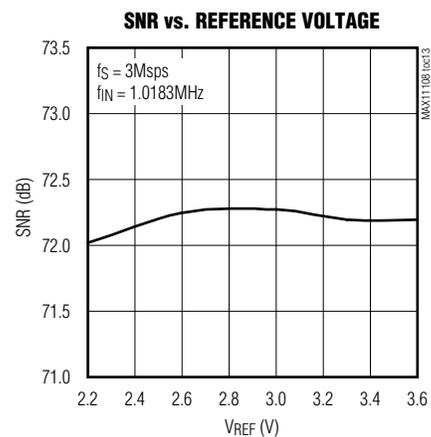
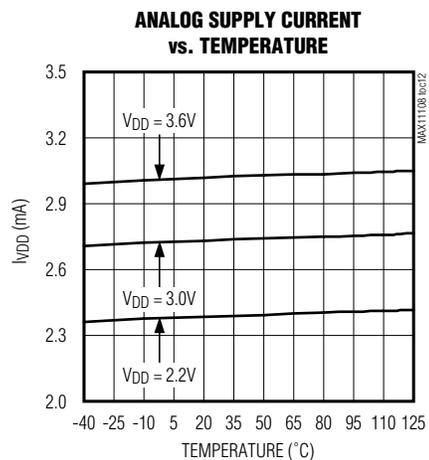
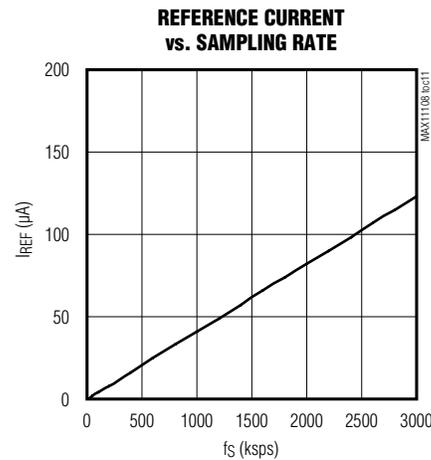
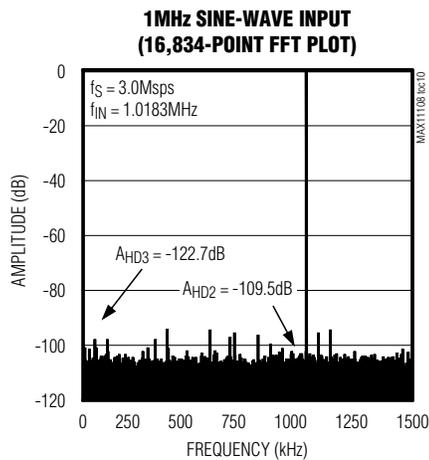
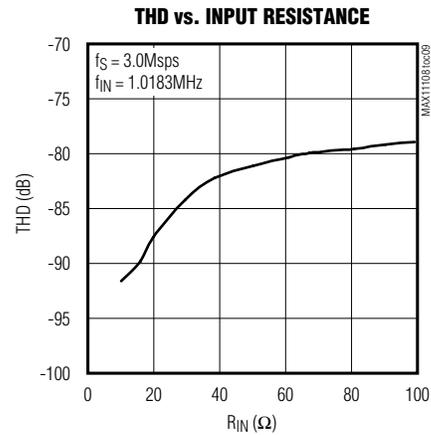
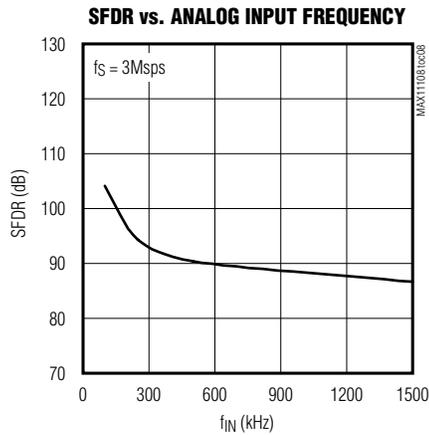
($T_A = +25^\circ\text{C}$, unless otherwise noted.)



小型、2.1mm x 1.6mm、3Msps、低電力、 シリアル12ビットADC

標準動作特性(続き)

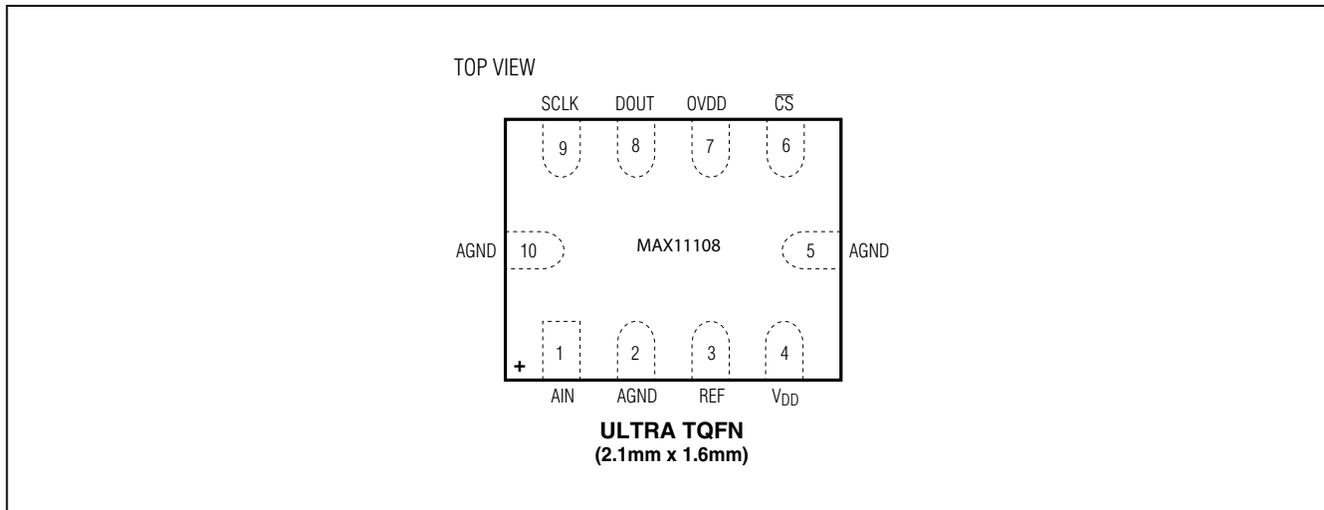
($T_A = +25^\circ\text{C}$, unless otherwise noted.)



MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

ピン配置

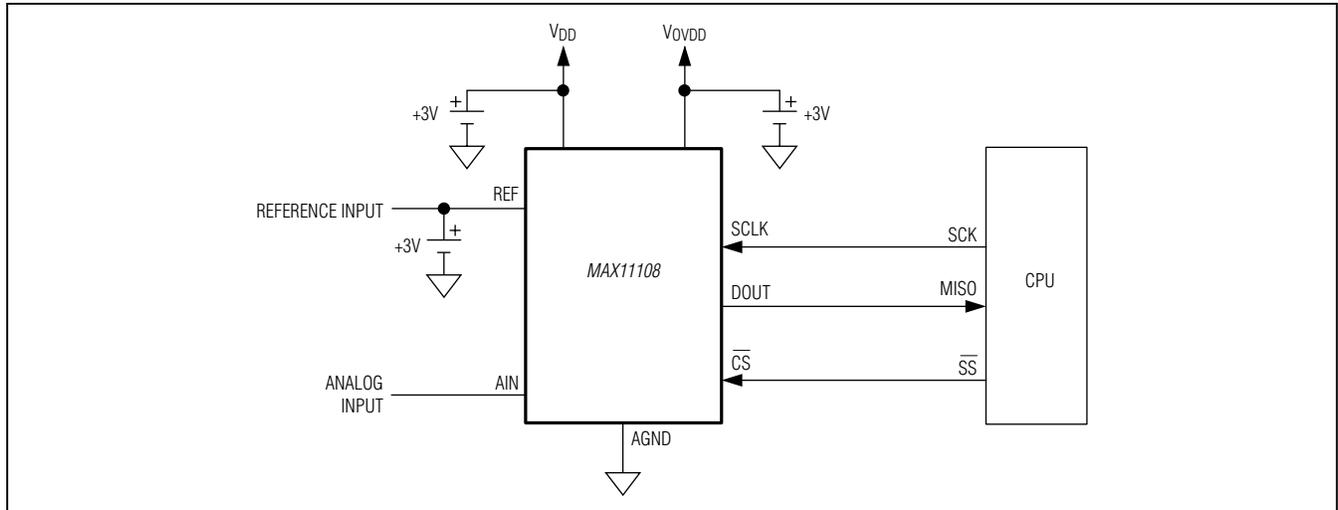


端子説明

端子	名称	機能
1	AIN	アナログシングルエンド入力
2, 5, 10	AGND	グラウンド。この端子はソリッドグラウンドプレーンに接続する必要があります。
3	REF	リファレンス入力端子
4	VDD	正の電源電圧
6	\overline{CS}	チップセレクト(アクティブロー)。立下りエッジで収集を開始します。
7	OVDD	デジタル/I/O電源電圧(\overline{CS} 、DOUT、SCLK)。
8	DOUT	シリアルデータ出力。DOUTはSCLKの立下りエッジで状態を変更します。詳細については、図1~4を参照してください。
9	SCLK	シリアルクロック入力。SCLKは変換プロセスを駆動し、データをクロックアウトします。詳細については、図1~4を参照してください。

小型、2.1mm x 1.6mm、3Msps、低電力、 シリアル12ビットADC

標準動作回路



詳細

MAX11108は、小型、高速、12ビット、低電力、単一電源のADCです。このデバイスは1.5V~ V_{DD} で「通信」を行い、2.2V~3.6Vの電源で動作し、3Msps時の消費電力はわずか9mW ($V_{DD} = 3V$)/6.6mW ($V_{DD} = 2.2V$)です。この3Mspsデバイスは、48MHzのクロックで駆動したときにフルレートでのサンプリングが可能です。

変換結果はDOUTから出力され、先頭にゼロが1つ、次にMSBから先に12ビットの結果が続き、末尾にもゼロが2つ付きます(図1を参照)。

このデバイスは専用のリファレンス入力(REF)を備えています。AINの入力信号範囲は、AGNDを基準にして0V~ V_{REF} と定義されています。

このADCには、より低いスループットレートに対して消費電力を2.5 μ A/kspで最小限に抑えるパワーダウン機能が組み込まれています。このウェイクアップ/パワーダウン機能は、「動作モード」の項で説明するとおり、SPIインタフェースを使用して制御されます。

シリアルインタフェース

このデバイスは、外部ロジックなしでSPI/QSPI/MICROWIREデバイスに直接接続する3線式シリアルインタフェースを備えています。図1は、1つの変換フレームについて最大スループットが実現される場合のインタフェース信号を示しています。

\overline{CS} の立下りエッジによってサンプリングの時点が規定されます。 \overline{CS} がローに遷移すると、外部クロック信号(SCLK)が変換を制御します。

SARコアは、クロックサイクルごとに2進重み付けビットを連続的に抽出します。データバスでは、MSBが第2クロックサイクル中にタイミング仕様で規定された遅延を伴って伝送されます。抽出されたデータビットはすべてデータバスで連続的に伝送され、12ビット動作では第13クロックサイクル中にLSBが送り出されます。変換ビットのシリアルデータストリームは、前後にゼロが付きます。データ出力(DOUT)は、第16クロックサイクル中にハイインピーダンス状態になります。

最大サンプルレートを維持するには、第16クロックサイクルの直後にデバイスを再びサンプリングする必要があります。より低いサンプルレートの場合では、 \overline{CS} の立下りエッジを遅延させて、DOUTをハイインピーダンス状態に保つことが出来ます。SCLKの10番目の立下りエッジの後に \overline{CS} をハイにします(「動作モード」の項を参照)。

アナログ入力

このADCは、0~ V_{REF} の規定された動作範囲内でアナログ入力電圧に対応するデジタル出力を生成します。

図5は、アナログ入力AINの等価回路を示しています。内蔵保護ダイオードD1/D2は、アナログ入力電圧を電源レール(V_{DD} 、AGND)内に制限します。アナログ入力電圧は($AGND - 0.3V$)~($V_{DD} + 0.3V$)の範囲でしか変動せず、デバイスが損傷することはありません。

アナログ入力を駆動する外付け段に印加される電氣的負荷は、ADCのモードがトラックモードと変換モードのどちらであるかに応じて変わります。トラックモードでは、内蔵サンプリングコンデンサ C_S (16pF)の充電が入力電圧への抵抗R (50 Ω)を介して行われる必要があります。

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

入力の正確なサンプリングのためには、 C_S のコンデンサ電圧がトラック時間中に必要な精度にセトリングする必要があります。

外付け駆動段のソースインピーダンスとサンプリングスイッチの抵抗がセトリング性能に影響を与えます。「標準動作特性」の項にあるTHDと入力抵抗の関係を示すグラフでは、THD感度が信号ソースインピーダンスの関数として示されています。アプリケーションのダイナミック性能を高めるには、ソースインピーダンスを最小限に保つ必要があります。アナログ入力の駆動にMAX4430のような高性能オペアンプを使用することによって、信号ソースとADCを切り離します。

ADCが変換モードにある間は、サンプリングスイッチはオープンであり、ピンの静電容量 C_p ($C_p = 5pF$)が駆動段に提供されます。このADCに適したバッファの選択については、「アプリケーション情報」の項を参照してください。

ADCの伝達関数

出力形式はストレートバイナリです。コードは、連続する整数のLSB値の中間(0.5 LSB、1.5 LSBなど)で遷移します。LSBのサイズは $V_{REF}/2^n$ です($n = 12$)。理想的な伝達特性を図9に示しています。

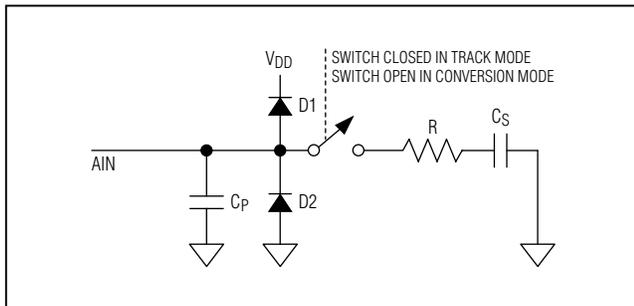


図5. アナログ入力回路

動作モード

このICには、通常モードとパワーダウンモードの2つの動作モードがあります。変換中の \overline{CS} 信号のロジック状態によって、これらのモードがアクティブ化されます。パワーダウンモードを使用すると、サンプルレートに対して消費電力を最適化することができます。

通常モード

通常モードでは、デバイスが常時動作しているため、最大限のスループットレートが実現します。図6は通常モードのタイミング図です。 \overline{CS} の立下りエッジでアナログ入力信号のサンプリング、変換の開始、シリアルデータ転送のフレーム処理が行われます。

通常モードを維持するには、SCLKの第10サイクルの立下りエッジまで \overline{CS} をローのままにします。SCLKの10番目の立下りエッジ後に \overline{CS} をハイにすると、デバイスは通常モードに保たれます。一方、SCLKの10番目の立下りエッジより前に \overline{CS} をハイにすると、変換が終了してDOUTがハイインピーダンスモードになり、デバイスはパワーダウンモードに入ります。図7を参照してください。

パワーダウンモード

パワーダウンモードでは、すべてのバイアス回路がシャットダウンされ、わずか1.3 μA (typ)のリーク電流しか消費しません。電力を節約するため、変換の合間にはデバイスをパワーダウンモードに置きます。アナログ入力のサンプリング頻度が低い場合の省電力には、変換の合間にパワーダウンモードを使用するのが最適です。

パワーダウンモードの開始

パワーダウンモードを開始するには、SCLKの2番目と10番目の立下りエッジの間に \overline{CS} をハイに駆動します(図7を参照)。 \overline{CS} をハイにすることによって、電流変換が終了してDOUTがハイインピーダンスになります。

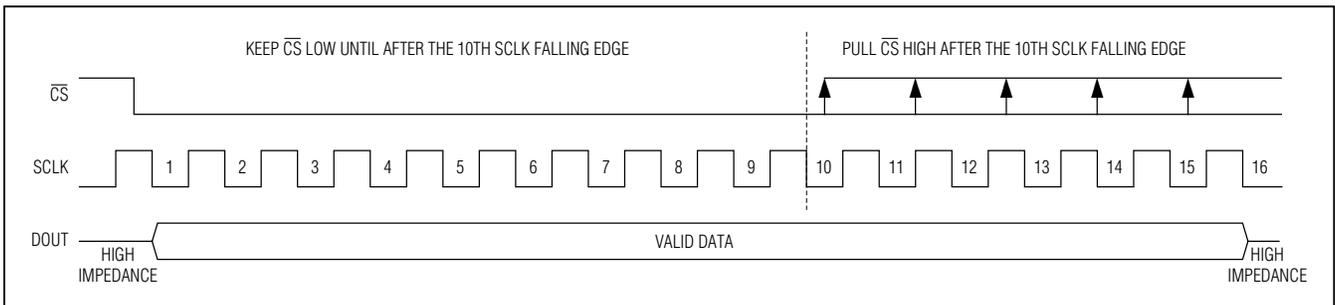


図6. 通常モード

小型、2.1mm x 1.6mm、3MSPS、低電力、シリアル12ビットADC

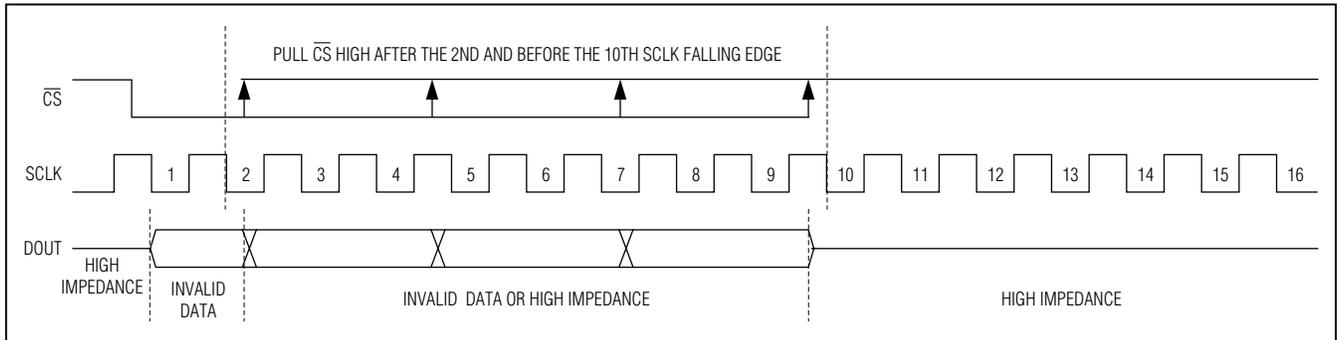


図7. パワーダウンモードの開始

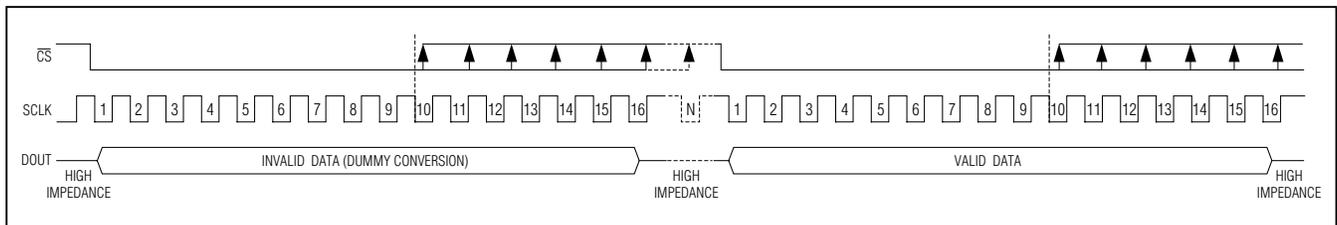


図8. パワーダウンモードの終了

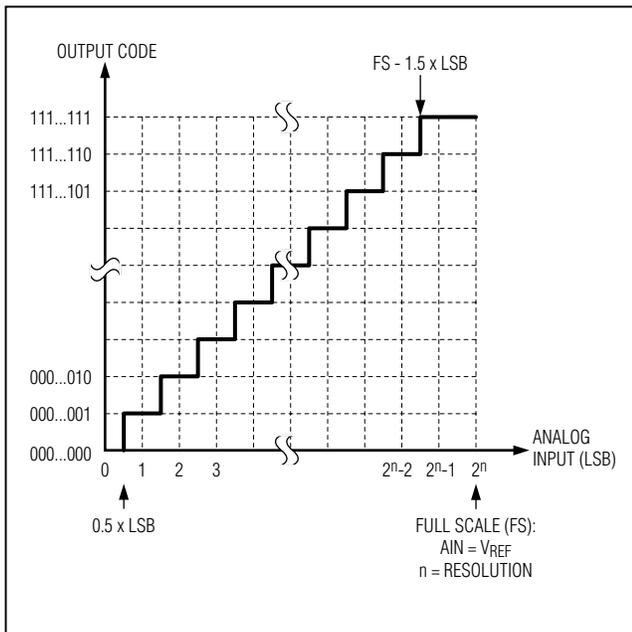


図9. ADCの伝達関数

パワーダウンモードの終了

パワーダウンモードを終了するには、10クロックサイクル以上の間、 \overline{CS} をローに駆動することによって1つのダミー変換を実行します(図8を参照)。このダミー変換中、DOUT上のデータは無効です。ダミーサイクル後の最初の変換には、有効な変換結果が含まれます。

起動時間はダミーサイクルの継続時間に等しく、クロック周波数に依存します。3MSPS動作(SCLKが48MHz)の場合、起動時間は333nsです。

消費電流とサンプリングレートの関係

比較的低いスループットレートを必要とするアプリケーションでは、ユーザーがクロック周波数(f_{SCLK})を低減してサンプルレートを引き下げることがあります。図10は、標準消費電流(I_{VDD})をサンプルレート(f_S)の関数として示しています。この部分は通常モードでの動作であり、パワーダウンはされていません。

ユーザーは、パワーダウンモードを使用して変換の合間にADCをパワーダウンすることもできます。図11は、サンプルレートが低下するとともにデバイスがより長くパワーダウン状態にとどまり、それに応じて平均消費電流(I_{VDD})が減少することを示しています。

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

14サイクル変換モード

このICは、1変換当り14サイクルで動作可能です。図12はそれに対応するタイミング図です。DOUTがハイインピーダンスモードにならないことに注意してください。また、アナログ入力電圧の適度なセトリングのために、十分に長い t_{ACQ} が必要であることもわかります。 t_{ACQ} の要件については「Electrical Characteristics (電気的特性)」の表、アナログ入力の説明については「アナログ入力」の項を参照してください。

アプリケーション情報

レイアウト、グランド処理、およびバイパス処理

最高の性能を実現するために、ソリッドグランドプレーンを備えたPCBを使用してください。デジタルとアナログの信号ラインを確実に分離します。アナログとデジタル(特にクロック)のラインを平行に配線したり、デジタルラインをADCパッケージの下に配線したりしないでください。 V_{DD} 電源、 OV_{DD} 、 REF にノイズが生じると、ADCの性能に影響します。0.1 μ Fと10 μ Fのバイパスコンデンサで、 V_{DD} 、 OV_{DD} 、 REF をグランドにバイパスします。最適な電源ノイズ除去を実現するために、コンデンサのリード長とトレース長を最小限に抑えてください。

入力アンプの選択

入力アンプのセトリング時間をADCの取得時間と整合させることが重要です。入力信号のワーストケースのセトリング時間より長くADCが入力信号のサンプリングを行う場合に、正確な変換結果が得られます。定義上、セト

リング時間とは、入力電圧ステップが印加された後、その結果としてアンプの定常的出力レベルを中心とした所定の誤差範囲内に出力信号が到達して安定するまでの時間です。ADCの入力サンプリングコンデンサは、取得時間と呼ばれるサンプリングサイクルの間に充電されます。この取得時間中、セトリング時間は入力抵抗と入力サンプリング容量の影響を受けます。この誤差は、取得時間にわたり入力容量とソースインピーダンスを使用してRC時定数のセトリングを観測することによって見積もることができます。

図13は標準アプリケーション回路を示しています。16ビットで37nsのセトリング時間が得られるMAX4430は、このアプリケーションに適した選択肢です。「標準動作特性」の項にあるTHDと入力抵抗の関係を示すグラフを参照してください。

リファレンスの選択

外部リファレンスを使用するデバイスの場合、リファレンスの選択によってADCの出力精度が決まります。電圧リファレンスとは、完璧な初期精度を備え、負荷電流、温度、および時間の変化と無関係にリファレンス電圧を維持するものです。リファレンスを選択する際は、電圧の初期精度、温度ドリフト、電流ソース、シンク能力、自己消費電流、ノイズなどを考慮します。図13は、MAX6126を使用してリファレンス電圧を供給する標準アプリケーション回路を示しています。MAX6033やMAX6043も優れた選択肢です。

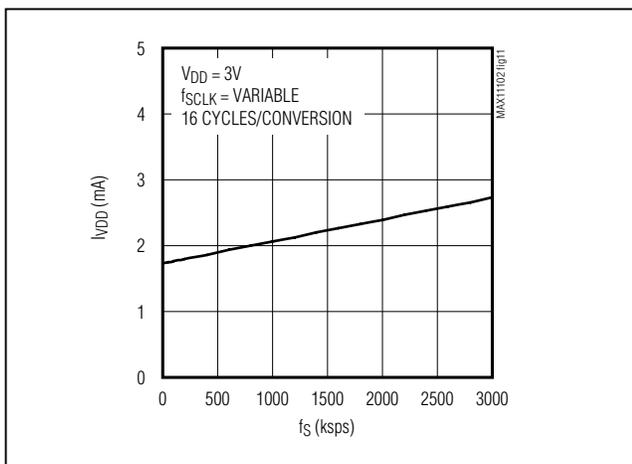


図10. 消費電流とサンプルレートの関係(通常動作モード、3Mspsのデバイス)

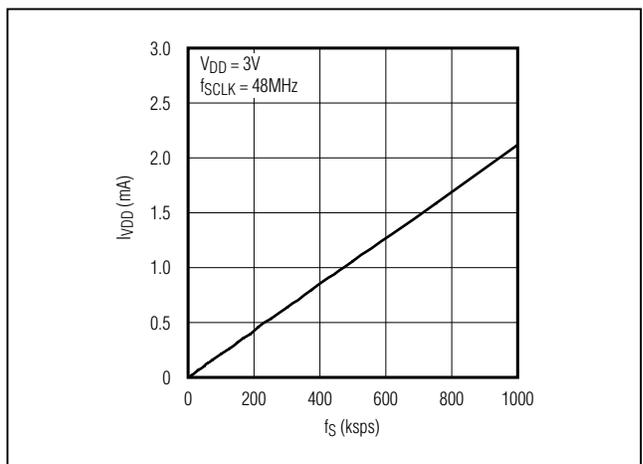


図11. 消費電流とサンプルレートの関係(変換の合間にデバイスをパワーダウン、3Mspsのデバイス)

MAX1108

小型、2.1mm x 1.6mm、3MSPs、低電力、 シリアル12ビットADC

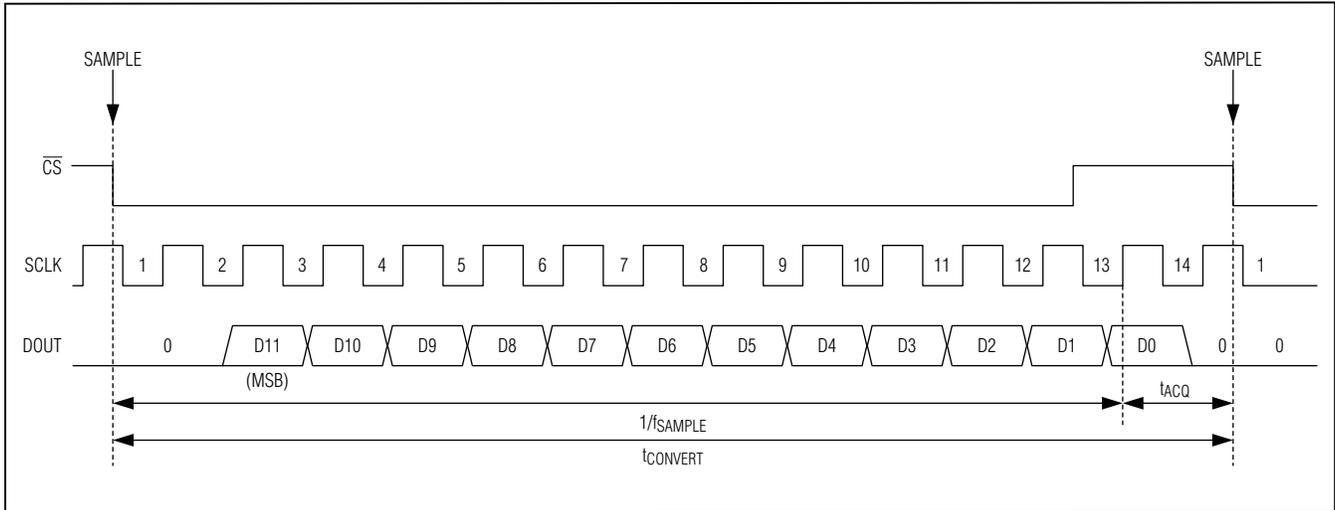


図12. 14クロックサイクルの動作

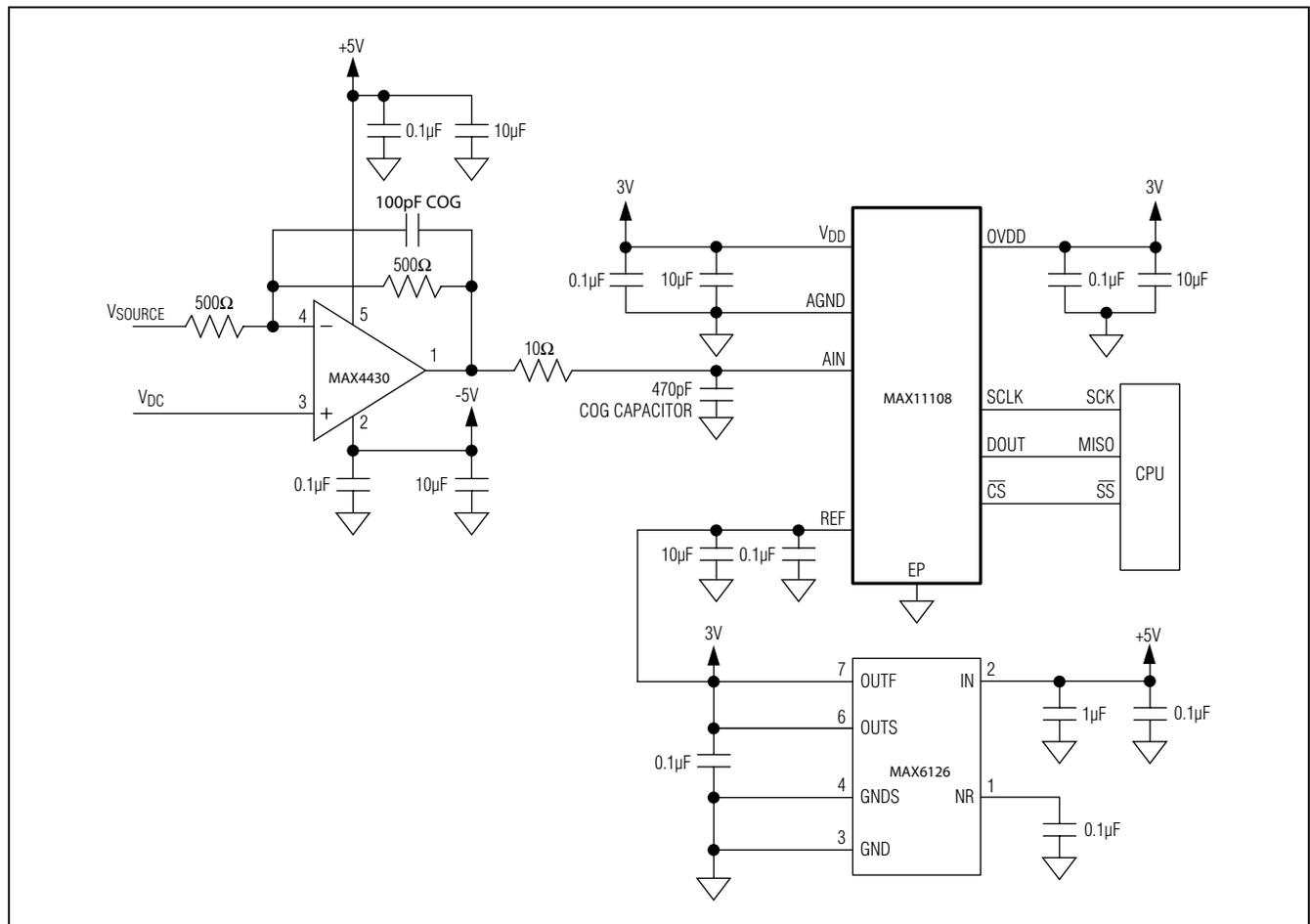


図13. 標準アプリケーション回路

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値と直線との偏差です。このデバイスの場合、直線はオフセット誤差と利得誤差をヌル(ゼロ)にした後に伝達関数のエンドポイント間を結んだ線です。

微分非直線性

微分非直線性(DNL)は、1 LSBの実際のステップ幅と理想値との差です。DNL誤差の仕様が±1 LSB以内の場合、ミッシングコードがなく、伝達関数が単調であることが保証されます。

オフセット誤差

最初のコード遷移(00...000)から(00...001)と理想値(AGND + 0.5 LSB)との偏差です。

利得誤差

最後のコード遷移(111...110)から(111...111)と、オフセット誤差調整後の理想値($V_{REF} - 1.5 \text{ LSB}$)との偏差です。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプル間の時間に関するサンプルごとのばらつきです。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立下りエッジから実際のサンプルが取得される瞬間までの時間です。

信号対ノイズ比(SN比)

SN比はコンバータのノイズ性能を示すダイナミック性能指標です。デジタルサンプルから完全に再構成された波形の場合、理論上の最大SN比は、フルスケールのアナログ入力(RMS値)とRMS量子化誤差(残余誤差)との比です。理想的な理論上の最小アナログ-デジタル変換ノイズは、量子化誤差にのみ起因し、次のようにADCの分解能(Nビット)から直接導かれます。

$$\text{SN比(dB)} (\text{MAX}) = (6.02 \times N + 1.76) \text{ (dB)}$$

実際にはほかにもノイズ源があり、サーマルノイズ、リファレンスノイズ、クロックジッタなどもSN比を低下させます。SN比は、RMSノイズに対するRMS信号の比を求めることによって計算されます。RMSノイズには、基本波、2~5次高調波、およびDCオフセットを除いた、ナイキスト周波数までのすべてのスペクトル成分が含まれます。

信号対ノイズ + 歪み比(SINAD)

SINADは、コンバータのノイズおよび歪み性能を示すダイナミック性能指標です。SINADは、RMSノイズ + 歪みに対するRMS信号の比を求めることによって計算されます。RMSノイズ + 歪みには、基本波とDCオフセットを除いた、ナイキスト周波数までのすべてのスペクトル成分が含まれます。

$$\text{SINAD(dB)} = 20 \times \log \left[\frac{\text{SIGNAL}_{\text{RMS}}}{(\text{NOISE} + \text{DISTORTION})_{\text{RMS}}} \right]$$

全高調波歪み

全高調波歪み(THD)は、入力信号の最初の4つの高調波のRMS和と基本波自体との比です。これは次の式で表されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2~5次高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、入力信号について使用可能な最小の振幅を示すダイナミック性能指標です。SFDRは、基本波(最大信号成分)のRMS振幅と、DCオフセットを除いた次に大きなスプリアス成分のRMS値との比です。SFDRは、搬送周波数振幅を基準にしたデシベル単位(dBc)で規定されます。

フルパワー帯域幅

フルパワー帯域幅は、フルスケール入力に対して入力信号の振幅が3dBだけ減衰する周波数です。

フルリニア帯域幅

フルリニア帯域幅は、信号対ノイズ + 歪み比(SINAD)が指定の値に等しくなる周波数です。

混変調歪み

非直線性を有するデバイスは、2種類の周波数(f_1 と f_2)の2つの正弦波がデバイスに印加されたときに歪み積を生じます。混変調歪み(IMD)は、2つの入力トーン f_1 と f_2 の合計入力パワーを基準にしたナイキスト周波数までのIM2~IM5の混変調積の合計パワーです。各入力トーンレベルは-6dBFSです。

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、シリアル12ビットADC

型番

PART	PIN-PACKAGE	BITS	SPEED (Msps)	NO. OF CHANNELS	TOP MARK
MAX11108AVB+T	10 Ultra TQFN	12	3	1	+ABC

注：このデバイスは-40℃～+125℃の温度範囲での動作を保証されています。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

T = テープ&リール。

チップ情報

PROCESS: CMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は japan.maximintegrated.com/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
10 Ultra TQFN	V101A2CN+1	21-0610	90-0386

MAX11108

小型、2.1mm x 1.6mm、3Msps、低電力、 シリアル12ビットADC

改訂履歴

版数	改訂日	説明	改訂ページ
0	9/12	初版	—
1	4/13	データシートを更新	1-4, 8-15



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電氣的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。