19-6215; Rev 1; 7/12

EVALUATION KIT AVAILABLE

MAX11135–MAX11143

500ksps、低電力、シリアル12/10/8ビット、4/8/16チャネルADC

概要

MAX11135～MAX11143は、外部リファレンスと業界最先端の1.5MHz完全リニア帯域幅を備えた、12/10/8ビット、高速、低電力、シリアル出力逐次比較型(SAR)アナログ-デジタルコンバータ(ADC)です。MAX11135～MAX11143は、内部および外部クロックモードの両方を備えています。これらのデバイスは、内部および外部クロックモードのいずれもスキャンモードを備えています。内部クロックモードは、内部アベレージングを特長とし、SN比が向上します。外部クロックモードは、ユーザープログラム可能なアナログ入力チャネルシーケンサであるSampleSet™技術を特長とします。SampleSet方式は、マルチチャネルアプリケーションのシーケンスフレキシビリティを高めるとともに、マイクロコントローラまたはDSP (制御ユニット)の通信オーバーヘッドを大幅に軽減します。

内部クロックモードは、データを高速でサンプリングして格納し、随時またはより低速のクロックレートで読取りを可能にするFIFOを内蔵しています。内部アベレージングもこのモードでサポートされ、ノイズの多い入力信号でのSN比が向上します。これらのデバイスは、シングルエンド入力、完全差動ペア、または1つの共通入力を基準とする擬似差動入力に構成することができるアナログ入力チャネルを備えています。MAX11135～MAX11143は、2.35V～3.6Vの電源で動作し、消費電力は500kspsでわずか4.2mWとなります。

MAX11135～MAX11143は、AutoShutdown™、高速ウェイクアップ、および高速3線式シリアルインタフェースを備えています。これらのデバイスは、最適なパワーマネージメント用のフルパワーダウンモードを特長とします。

8MHz、3線式シリアルインタフェースは、外部ロジックなしでSPI、QSPI™、およびMICROWIRE®デバイスに直接つながります。

優れたダイナミック性能、低電圧、低電力、使いやすさ、および小型パッケージサイズによって、これらのコンバータは、ポータブルのバッテリ駆動データ収集アプリケーションや、低消費電力と小型スペースを要求するその他のアプリケーションに最適です。

MAX11135～MAX11143は、28ピンTQFNパッケージ(5mm x 5mm)で提供され、-40℃～+125℃の温度範囲で動作します。

SampleSetおよびAutoShutdownはMaxim Integrated Products, Inc.の商標です。
QSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corporationの登録商標です。

型番はデータシートの最後に記載されています。

利点および特長

- スキャンモード、内部アベレージング、および内部クロック
- 16エントリのファーストイン/ファーストアウト(FIFO)
- SampleSet：最大長256のユーザー定義のチャネルシーケンス
- 真の差動トラック/ホールドを備えたアナログマルチプレクサ
  - ✧ 16/8/4チャネルのシングルエンド
  - ✧ 8/4/2チャネルの完全差動ペア
  - ✧ 1つのコモン入力に対して15/8/4チャネルの擬似差動
- 2つのソフトウェア選択可能なバイポーラ入力範囲
  - ✧ $\pm V_{REF+}/2$、$\pm V_{REF+}$
- 全チャネルでフレキシブルな入力設定
- 高精度
  - ✧ ±1 LSB INL、±1 LSB DNL、ミッシングコードなし(全温度範囲)
- 70dB SINAD保証(250kHz入力周波数の場合)
- 広いI/O電源範囲：1.5V～3.6V
- シリアルインタフェースを1.8V、2.5V、または3.3Vデジタルシステムに直接接続が可能
- 電源電圧：2.35V～3.6V
- ポータブルアプリケーションでのバッテリ寿命を延長
  - ✧ 低電力
  - ✧ 4.2mW (3V電源で500kspsの場合)
  - ✧ 完全シャットダウン電流：2µA
- 外部差動リファレンス：1V～V_{DD}
- 8MHz、3線式、SPI/QSPI/MICROWIRE/DSP対応シリアルインタフェース
- 広い動作温度：-40℃～+125℃
- 省スペース28ピンTQFNパッケージ(5mm x 5mm)
- 500kspsの変換レート、パイプライン遅延なし
- 12/10/8ビット分解能

アプリケーション

高速データ収集システム
高速閉ループシステム
産業用制御システム
医療用計測
バッテリ駆動機器
ポータブルシステム

関連部品およびこの製品とともに使用可能な推奨製品については、**japan.maxim-ic.com/MAX11135.related**を参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maxim-ic.com)をご覧ください。

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND.....-0.3V to +4V
OVDD, AIN0–AIN13, $\overline{CNVST}$/AIN14, REF+, REF-/AIN15
to GND.....-0.3V to the lower of (V_{DD} + 0.3V) and +4V
$\overline{CS}$, SCLK, DIN, DOUT, $\overline{EOC}$ TO GND .....-0.3V to the lower of (V_{OVDD} + 0.3V) and +4V
DGND to GND.....-0.3V to +0.3V
Input/Output Current (all pins) 50mA

Continuous Power Dissipation (T_A = +70°C)
TQFN (derate 34.4mW/°C above +70°C).....2758mW
Operating Temperature Range..... -40°C to +125°C
Junction Temperature .....+150°C
Storage Temperature Range..... -65°C to +150°C
Lead Temperature (soldering, 10s) .....+300°C
Soldering Temperature (reflow) .....+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TQFN
Junction-to-Ambient Thermal Resistance (θ_{JA}).....29°C/W
Junction-to-Case Thermal Resistance (θ_{JC}).....2°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to **japan.maxim-ic.com/thermal-tutorial**.

ELECTRICAL CHARACTERISTICS (MAX11135/MAX11136/MAX11137)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Notes 3 and 4)						
Resolution	RES	12 bit	12			Bits
Integral Nonlinearity	INL				±1.0	LSB
Differential Nonlinearity	DNL	No missing codes			±1.0	LSB
Offset Error				0.7	±2.5	LSB
Gain Error		(Note 5)		-0.5	±4.4	LSB
Offset Error Temperature Coefficient	OE_{TC}			±2		ppm/°C
Gain Temperature Coefficient	GE_{TC}			±0.8		ppm/°C
Channel-to-Channel Offset Matching				±0.5		LSB
Line Rejection	PSR	(Note 6)		±0.4	±1.5	LSB/V
DYNAMIC PERFORMANCE (250kHz, input sine wave) (Notes 3 and 7)						
Signal-to-Noise Plus Distortion	SINAD		70	72.5		dB
Signal-to-Noise Ratio	SNR		70	72.6		dB
Total Harmonic Distortion (Up to the 5th Harmonic)	THD			-87	-78	dB
Spurious-Free Dynamic Range	SFDR		79	88		dB
Intermodulation Distortion	IMD	f_1 = 249.878kHz, f_2 = 219.97kHz		-85		dB

ELECTRICAL CHARACTERISTICS (MAX11135/MAX11136/MAX11137) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Full-Power Bandwidth		-3dB			50		MHz
		-0.1dB			7.5		
Full-Linear Bandwidth		SINAD > 70dB			1.5		MHz
Crosstalk		-0.5dB below full scale of 249.878kHz sine wave input to the channel being sampled, apply full-scale 219.97kHz sine wave signal to all 15 nonselected input channels			-88		dB
CONVERSION RATE							
Power-Up Time	t_{PU}	Conversion cycle, external clock				2	Cycles
Acquisition Time	t_{ACQ}				312		ns
Conversion Time	t_{CONV}	Internally clocked (Note 8)			5.9		µs
		Externally clocked, f_{SCLK} = 8MHz, 16 cycles (Note 8)		2000			ns
External Clock Frequency	f_{SCLK}			0.16		8	MHz
Aperture Delay					8		ns
Aperture Jitter		RMS			30		ps
ANALOG INPUT							
Input Voltage Range	V_{INA}	Unipolar (single-ended and pseudo differential)		0		V_{REF+}	V
		Bipolar (Note 9)	RANGE bit set to 0	$-V_{REF+}/2$		$V_{REF+}/2$	
			RANGE bit set to 1	$-V_{REF+}$		V_{REF+}	
Absolute Input Voltage Range		AIN+, AIN- relative to GND		-0.1		V_{REF+} + 0.1	V
Static Input Leakage Current	I_{ILA}	$V_{AIN_}$ = V_{DD}, GND			-0.1	±1.5	µA
Input Capacitance	C_{AIN}	During acquisition time, RANGE bit = 0 (Note 10)			15		pF
		During acquisition time, RANGE bit = 1 (Note 10)			7.5		
EXTERNAL REFERENCE INPUT							
REF- Input Voltage Range	V_{REF-}			-0.3		+1	V
REF+ Input Voltage Range	V_{REF+}			1		V_{DD} + 50mV	V
REF+ Input Current	I_{REF+}	V_{REF+} = 2.5V, f_{SAMPLE} = 500ksps			36.7		µA
		V_{REF+} = 2.5V, f_{SAMPLE} = 0			0.1		

ELECTRICAL CHARACTERISTICS (MAX11135/MAX11136/MAX11137) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DIGITAL INPUTS (SCLK, DIN, $\overline{CS}$, $\overline{CNVST}$)							
Input Voltage Low	V_{IL}					V_{OVDD} x 0.25	V
Input Voltage High	V_{IH}			V_{OVDD} x 0.75			V
Input Hysteresis	V_{HYST}				V_{OVDD} x 0.15		mV
Input Leakage Current	I_{IN}	$V_{AIN_}$ = 0V or V_{DD}			±0.09	±1.0	µA
Input Capacitance	C_{IN}				3		pF
DIGITAL OUTPUTS (DOUT, $\overline{EOC}$)							
Output Voltage Low	V_{OL}	I_{SINK} = 200µA				V_{OVDD} x 0.15	V
Output Voltage High	V_{OH}	I_{SOURCE} = 200µA		V_{OVDD} x 0.85			V
Three-State Leakage Current	I_L	$\overline{CS}$ = V_{DD}			-0.3	±1.5	µA
Three-State Output Capacitance	C_{OUT}	$\overline{CS}$ = V_{DD}			4		pF
POWER REQUIREMENTS							
Positive Supply Voltage	V_{DD}			2.35	3.0	3.6	V
Digital I/O Supply Voltage	V_{OVDD}			1.5	3.0	3.6	V
Positive Supply Current	I_{DD}	f_{SAMPLE} = 500ksps			1.4	2	mA
		f_{SAMPLE} = 0 (500ksps devices)			1		
		Full shutdown			0.0015	0.006	
Power Dissipation		Normal mode (external reference)	V_{DD} = 3V, f_{SAMPLE} = 500ksps		4.2		mW
			V_{DD} = 2.35V, f_{SAMPLE} = 500ksps		3.1		
		AutoStandby	V_{DD} = 3V, f_{SAMPLE} = 500ksps		1.5		
			V_{DD} = 2.35V, f_{SAMPLE} = 500ksps		0.9		
		Full/ AutoShutdown	V_{DD} = 3V		4.5		µW
			V_{DD} = 2.35V		2.1		

ELECTRICAL CHARACTERISTICS (MAX11135/MAX11136/MAX11137) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 1) (Note 11)							
SCLK Clock Period	t_{CP}	Externally clocked conversion		125			ns
SCLK Duty Cycle	t_{CH}			40		60	%
SCLK Fall to DOUT Transition	t_{DOT}	C_{LOAD} = 10pF	V_{OVDD} = 1.5V to 2.35V	4		16.5	ns
			V_{OVDD} = 2.35V to 3.6V	4		15	
16th SCLK Fall to DOUT Disable	t_{DOD}	C_{LOAD} = 10pF, channel ID on				15	ns
14th SCLK Fall to DOUT Disable		C_{LOAD} = 10pF, channel ID off				16	ns
SCLK Fall to DOUT Enable	t_{DOE}	C_{LOAD} = 10pF				14	ns
DIN to SCLK Rise Setup	t_{DS}			4			ns
SCLK Rise to DIN Hold	t_{DH}			1			ns
$\overline{CS}$ Fall to SCLK Fall Setup	t_{CSS}			4			ns
SCLK Fall to $\overline{CS}$ Fall Hold	t_{CSH}			1			ns
$\overline{CNVST}$ Pulse Width	t_{CSW}	See Figure 6		5			ns
$\overline{CS}$ or $\overline{CNVST}$ Rise to $\overline{EOC}$ Low (Note 7)	t_{CNV_INT}	See Figure 7, f_{SAMPLE} = 500ksps			5.3	6.2	µs
$\overline{CS}$ Pulse Width	t_{CSBW}			5			ns

ELECTRICAL CHARACTERISTICS (MAX11138/MAX11139/MAX11140)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Notes 3 and 4)						
Resolution	RES	10 bit	10			Bits
Integral Nonlinearity	INL				±0.4	LSB
Differential Nonlinearity	DNL	No missing codes			±0.4	LSB
Offset Error				0.5	±1.0	LSB
Gain Error		(Note 5)		-0.2	±1.1	LSB
Offset Error Temperature Coefficient	OE_{TC}			±2		ppm/°C
Gain Temperature Coefficient	GE_{TC}			±0.8		ppm/°C
Channel-to-Channel Offset Matching				±0.5		LSB
Line Rejection	PSR	(Note 6)		±0.1	±0.3	LSB/V

ELECTRICAL CHARACTERISTICS (MAX11138/MAX11139/MAX11140) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (250kHz, input sine wave) (Notes 3 and 7)						
Signal-to-Noise Plus Distortion	SINAD		61	61.7		dB
Signal-to-Noise Ratio	SNR		61	61.7		dB
Total Harmonic Distortion (Up to the 5th Harmonic)	THD			-86	-76	dB
Spurious-Free Dynamic Range	SFDR		77	85		dB
Intermodulation Distortion	IMD	f_1 = 249.878kHz, f_2 = 219.97kHz		-84		dB
Full-Power Bandwidth		-3dB		50		MHz
		-0.1dB		7.5		MHz
Full-Linear Bandwidth		SINAD > 61dB		1.5		MHz
Crosstalk		-0.5dB below full-scale of 249.878kHz sine-wave input to the channel being sampled; apply full-scale 219.97kHz sine wave signal to all 15 nonselected input channels		-88		dB
CONVERSION RATE						
Power-Up Time	t_{PU}	Conversion cycle, external clock			2	Cycles
Acquisition Time	t_{ACQ}			312		ns
Conversion Time	t_{CONV}	Internally clocked, f_{SAMPLE} = 500ksps (Note 8)		5.9		µs
		Externally clocked, f_{SCLK} = 8MHz, 16 cycles (Note 8)	2000			ns
External Clock Frequency	f_{SCLK}		0.16		8	MHz
Aperture Delay				8		ns
Aperture Jitter		RMS		30		ps
ANALOG INPUT						
Input Voltage Range	V_{INA}	Unipolar (single-ended and pseudo differential)	0		V_{REF+}	V
		Bipolar (Note 9), RANGE bit set to 0	$-V_{REF+}/2$		$+V_{REF+}/2$	V
		Bipolar (Note 9), RANGE bit set to 1	$-V_{REF+}$		$+V_{REF+}$	V
Absolute Input Voltage Range		AIN+, AIN- relative to GND	-0.1		V_{REF+} + 0.1	V
Static Input Leakage Current	I_{ILA}	$V_{AIN_}$ = V_{DD}, GND		-0.1	±1.5	µA
Input Capacitance	C_{AIN}	During acquisition time, RANGE bit = 0 (Note 10)		15		pF
		During acquisition time, RANGE bit = 1 (Note 10)		7.5		pF

ELECTRICAL CHARACTERISTICS (MAX11138/MAX11139/MAX11140) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
EXTERNAL REFERENCE INPUT							
REF- Input Voltage Range	V_{REF-}			-0.3		+1	V
REF+ Input Voltage Range	V_{REF+}			1		V_{DD} + 50mV	V
REF+ Input Current	I_{REF+}	V_{REF+} = 2.5V, f_{SAMPLE} = 500ksps			36.7		µA
		V_{REF+} = 2.5V, f_{SAMPLE} = 0			0.1		µA
DIGITAL INPUTS (SCLK, DIN, $\overline{CS}$, $\overline{CNVST}$)							
Input Voltage Low	V_{IL}					V_{OVDD} x 0.25	V
Input Voltage High	V_{IH}			V_{OVDD} x 0.75			V
Input Hysteresis	V_{HYST}				V_{OVDD} x 0.15		mV
Input Leakage Current	I_{IN}	$V_{AIN_}$ = 0V or V_{DD}			±0.09	±1.0	µA
Input Capacitance	C_{IN}				3		pF
DIGITAL OUTPUTS (DOUT, $\overline{EOC}$)							
Output Voltage Low	V_{OL}	I_{SINK} = 200µA				V_{OVDD} x 0.15	V
Output Voltage High	V_{OH}	I_{SOURCE} = 200µA		V_{OVDD} x 0.85			V
Three-State Leakage Current	I_L	$\overline{CS}$ = V_{DD}			-0.3	±1.5	µA
Three-State Output Capacitance	C_{OUT}	$\overline{CS}$ = V_{DD}			4		pF
POWER REQUIREMENTS							
Positive Supply Voltage	V_{DD}			2.35	3.0	3.6	V
Digital I/O Supply Voltage	V_{OVDD}			1.5	3.0	3.6	V
Positive Supply Current	I_{DD}	f_{SAMPLE} = 500ksps			1.4	2	mA
		f_{SAMPLE} = 0 (500ksps devices)			1		
		Full shutdown			0.0015	0.006	
Power Dissipation		Normal mode (external reference)	V_{DD} = 3V, f_{SAMPLE} = 500ksps		4.2		mW
			V_{DD} = 2.35V, f_{SAMPLE} = 500ksps		3.1		
		AutoStandby	V_{DD} = 3V, f_{SAMPLE} = 500ksps		1.5		
			V_{DD} = 2.35V, f_{SAMPLE} = 500ksps		0.9		
		Full/ AutoShutdown	V_{DD} = 3V		4.5		µW
			V_{DD} = 2.35V		2.1		

ELECTRICAL CHARACTERISTICS (MAX11138/MAX11139/MAX11140)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500Ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 1) (Note 11)							
SCLK Clock Period	t_{CP}	Externally clocked conversion		125			ns
SCLK Duty Cycle	t_{CH}			40		60	%
SCLK Fall to DOUT Transition	t_{DOT}	C_{LOAD} = 10pF	V_{OVDD} = 1.5V to 2.35V	4		16.5	ns
			V_{OVDD} = 2.35V to 3.6V	4		15	
16th SCLK Fall to DOUT Disable	t_{DOD}	C_{LOAD} = 10pF, channel ID on				15	ns
14th SCLK Fall to DOUT Disable		C_{LOAD} = 10pF, channel ID off				16	ns
SCLK Fall to DOUT Enable	t_{DOE}	C_{LOAD} = 10pF				14	ns
DIN to SCLK Rise Setup	t_{DS}			4			ns
SCLK Rise to DIN Hold	t_{DH}			1			ns
$\overline{CS}$ Fall to SCLK Fall Setup	t_{CSS}			4			ns
SCLK Fall to $\overline{CS}$ Fall Hold	t_{CSH}			1			ns
$\overline{CNVST}$ Pulse Width	t_{CSW}	See Figure 6		5			ns
$\overline{CS}$ or $\overline{CNVST}$ Rise to $\overline{EOC}$ Low (Note 8)	t_{CNV_INT}	See Figure 7, f_{SAMPLE} = 500ksps			5.3	6.2	µs
$\overline{CS}$ Pulse Width	t_{CSBW}			5			ns

ELECTRICAL CHARACTERISTICS (MAX11141/MAX11142/MAX11143)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Notes 3 and 4)						
Resolution	RES	8 bit	8			Bits
Integral Nonlinearity	INL			±0.02	±0.15	LSB
Differential Nonlinearity	DNL	No missing codes		±0.02	±0.15	LSB
Offset Error				0.5	±0.7	LSB
Gain Error		(Note 5)		-0.03	±0.3	LSB
Offset Error Temperature Coefficient	OE_{TC}			±2		ppm/°C
Gain Temperature Coefficient	GE_{TC}			±0.8		ppm/°C
Channel-to-Channel Offset Matching				±0.5		LSB
Line Rejection	PSR	(Note 6)		+0.03	±0.1	LSB/V

ELECTRICAL CHARACTERISTICS (MAX11141/MAX11142/MAX11143) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (250kHz, input sine wave) (Notes 3 and 7)						
Signal-to-Noise Plus Distortion	SINAD		49	49.6		dB
Signal-to-Noise Ratio	SNR		49	49.6		dB
Total Harmonic Distortion (Up to the 5th Harmonic)	THD			-77	-65	dB
Spurious-Free Dynamic Range	SFDR		63	69		dB
Intermodulation Distortion	IMD	f_1 = 249.878kHz, f_2 = 219.97kHz		-75		dB
Full-Power Bandwidth		-3dB		50		MHz
		-0.1dB		7.5		MHz
Full-Linear Bandwidth		SINAD > 49dB		1.5		MHz
Crosstalk		-0.5dB below full-scale of 249.878kHz sine-wave input to the channel being sampled; apply full-scale 219.97kHz sine wave signal to all 15 nonselected input channels		-88		dB
CONVERSION RATE						
Power-Up Time	t_{PU}	Conversion cycle, external clock			2	Cycles
Acquisition Time	t_{ACQ}			312		ns
Conversion Time	t_{CONV}	Internally clocked, f_{SAMPLE} = 500ksps (Note 8)		5.9		µs
		Externally clocked, f_{SCLK} = 8MHz, 16 cycles (Note 8)	2000			ns
External Clock Frequency	f_{SCLK}		0.16		8	MHz
Aperture Delay				8		ns
Aperture Jitter		RMS		30		ps
ANALOG INPUT						
Input Voltage Range	V_{INA}	Unipolar (single-ended and pseudo differential)	0		V_{REF+}	V
		Bipolar (Note 9), RANGE bit set to 0	$-V_{REF+}/2$		$+V_{REF+}/2$	V
		Bipolar (Note 9), RANGE bit set to 1	$-V_{REF+}$		$+V_{REF+}$	V
Absolute Input Voltage Range		AIN+, AIN- relative to GND	-0.1		V_{REF+} + 0.1	V
Static Input Leakage Current	I_{ILA}	$V_{AIN_}$ = V_{DD}, GND		–0.1	±1.5	µA
Input Capacitance	C_{AIN}	During acquisition time, RANGE bit = 0 (Note 10)		15		pF
		During acquisition time, RANGE bit = 1 (Note 10)		7.5		pF

ELECTRICAL CHARACTERISTICS (MAX11141/MAX11142/MAX11143) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
EXTERNAL REFERENCE INPUT							
REF- Input Voltage Range	V_{REF-}			-0.3		+1	V
REF+ Input Voltage Range	V_{REF+}			1		V_{DD} + 50mV	V
REF+ Input Current	I_{REF+}	V_{REF+} = 2.5V, f_{SAMPLE} = 500ksps			36.7		µA
		V_{REF+} = 2.5V, f_{SAMPLE} = 0			0.1		µA
DIGITAL INPUTS (SCLK, DIN, $\overline{CS}$, $\overline{CNVST}$)							
Input Voltage Low	V_{IL}					V_{OVDD} x 0.25	V
Input Voltage High	V_{IH}			V_{OVDD} x 0.75			V
Input Hysteresis	V_{HYST}				V_{OVDD} x 0.15		mV
Input Leakage Current	I_{IN}	$V_{AIN_}$ = 0V or V_{DD}			±0.09	±1.0	µA
Input Capacitance	C_{IN}				3		pF
DIGITAL OUTPUTS (DOUT, $\overline{EOC}$)							
Output Voltage Low	V_{OL}	I_{SINK} = 200µA				V_{OVDD} x 0.15	V
Output Voltage High	V_{OH}	I_{SOURCE} = 200µA		V_{OVDD} x 0.85			V
Three-State Leakage Current	I_L	$\overline{CS}$ = V_{DD}			-0.3	±1.5	µA
Three-State Output Capacitance	C_{OUT}	$\overline{CS}$ = V_{DD}			4		pF
POWER REQUIREMENTS							
Positive Supply Voltage	V_{DD}			2.35	3.0	3.6	V
Digital I/O Supply Voltage	V_{OVDD}			1.5	3.0	3.6	V
Positive Supply Current	I_{DD}	f_{SAMPLE} = 500ksps			1.4	2	mA
		f_{SAMPLE} = 0			1.0		
		Full shutdown			0.0015	0.006	
Power Dissipation		Normal mode (external reference)	V_{DD} = 3V, f_{SAMPLE} = 500ksps		4.2		mW
			V_{DD} = 2.35V, f_{SAMPLE} = 500ksps		3.1		
		AutoStandby	V_{DD} = 3V, f_{SAMPLE} = 500ksps		1.5		
			V_{DD} = 2.35V, f_{SAMPLE} = 500ksps		0.9		
		Full/ AutoShutdown	V_{DD} = 3V		4.5		µW
			V_{DD} = 2.35V		2.1		

ELECTRICAL CHARACTERISTICS (MAX11141/MAX11142/MAX11143) (continued)

(V_{DD} = 2.35V to 3.6V, V_{OVDD} = 1.5V to 3.6V, f_{SAMPLE} = 500ksps, f_{SCLK} = 8MHz, 50% duty cycle, V_{REF+} = V_{DD}, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 1) (Note 11)							
SCLK Clock Period	t_{CP}	Externally clocked conversion		125			ns
SCLK Duty Cycle	t_{CH}			40		60	%
SCLK Fall to DOUT Transition	t_{DOT}	C_{LOAD} = 10pF	V_{OVDD} = 1.5V to 2.35V	4		16.5	ns
			V_{OVDD} = 2.35V to 3.6V	4		15	
16th SCLK Fall to DOUT Disable	t_{DOD}	C_{LOAD} = 10pF, channel ID on				15	ns
14th SCLK Fall to DOUT Disable		C_{LOAD} = 10pF, channel ID off				16	ns
SCLK Fall to DOUT Enable	t_{DOE}	C_{LOAD} = 10pF				14	ns
DIN to SCLK Rise Setup	t_{DS}			4			ns
SCLK Rise to DIN Hold	t_{DH}			1			ns
$\overline{CS}$ Fall to SCLK Fall Setup	t_{CSS}			4			ns
SCLK Fall to $\overline{CS}$ Fall Hold	t_{CSH}			1			ns
$\overline{CNVST}$ Pulse Width	t_{CSW}	See Figure 6		5			ns
$\overline{CS}$ or $\overline{CNVST}$ Rise to $\overline{EOC}$ Low (Note 8)	t_{CNV_INT}	See Figure 7, f_{SAMPLE} = 500ksps			5.3	6.2	µs
$\overline{CS}$ Pulse Width	t_{CSBW}			5			ns

Note 2: Limits are 100% production tested at T_A = +25°C. Limits over the operating temperature range are guaranteed by design.
Note 3: Channel ID disabled.
Note 4: Tested in single-ended mode.
Note 5: Offset nulled.
Note 6: Line rejection Δ(D_{OUT}) with V_{DD} = 2.35V to 3.6V and V_{REF+} = 2.35V.
Note 7: Tested and guaranteed with fully differential input.
Note 8: Conversion time is defined as the number of clock cycles multiplied by the clock period with a 50% duty cycle. Maximum conversion time: 4.73µs + N x 16 x T_{OSC_MAX}. Where N is the number of conversions requested (number of channels scanned, averaged and repeated).
T_{OSC_MAX} = 88.2ns, T_{OSC_TYP} = 75ns.
Note 9: The operational input voltage range for each individual input of a differentially configured pair is from V_{DD} to GND. The operational input voltage difference is from -V_{REF+}/2 to +V_{REF+}/2 or -V_{REF+} to +V_{REF+}.
Note 10: See Figure 3 (Equivalent Input Circuit).
Note 11: Guaranteed by characterization.

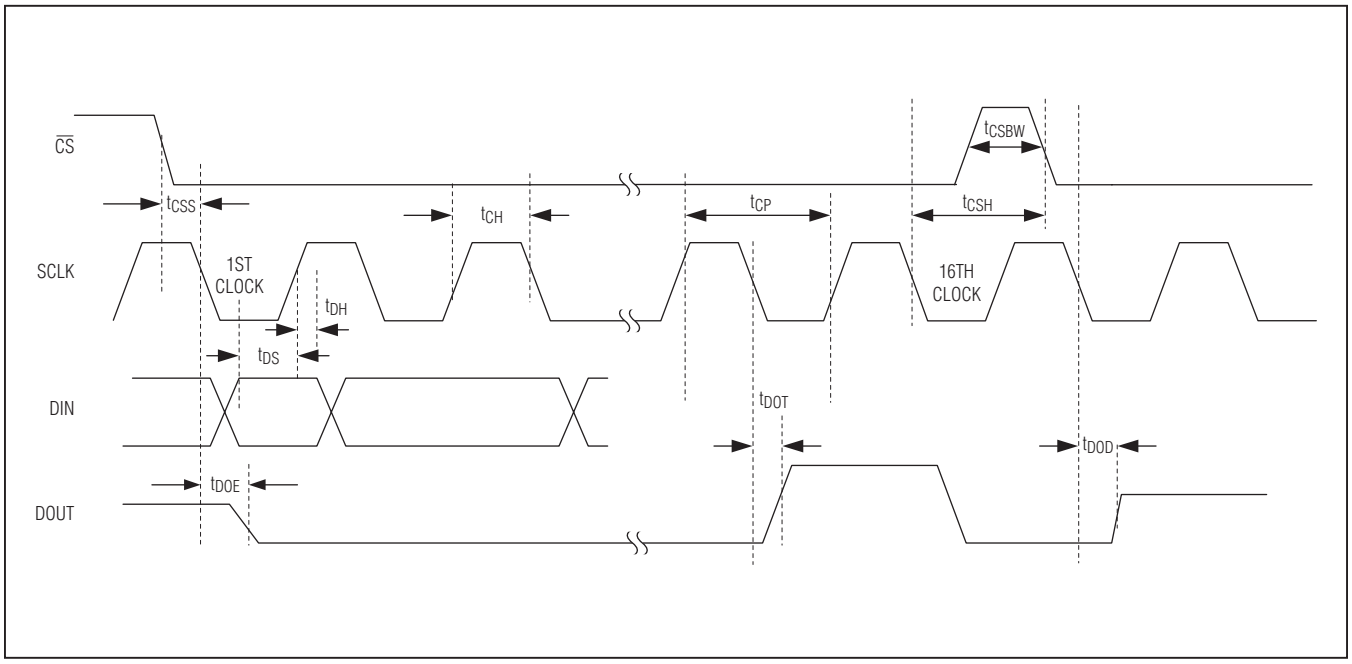
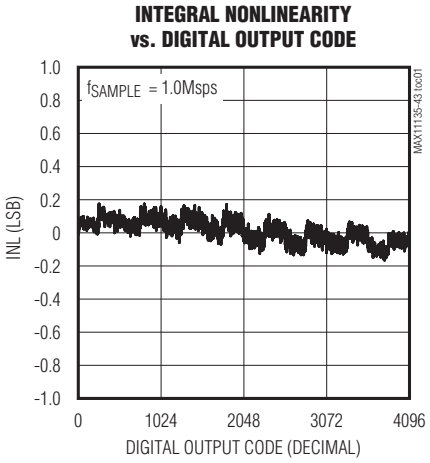
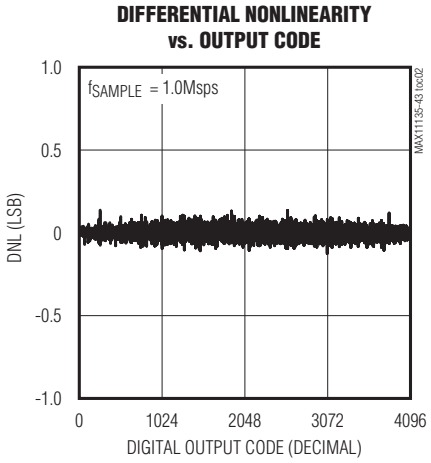


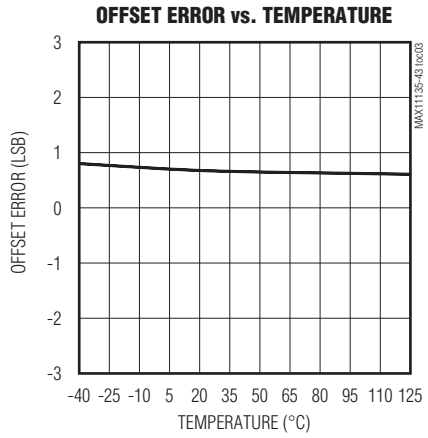
図1. シリアルインタフェースの詳細タイミング図

標準動作特性

(MAX11135ATI+/MAX11136ATI+/MAX11137ATI+, T_A = +25°C, unless otherwise noted.)





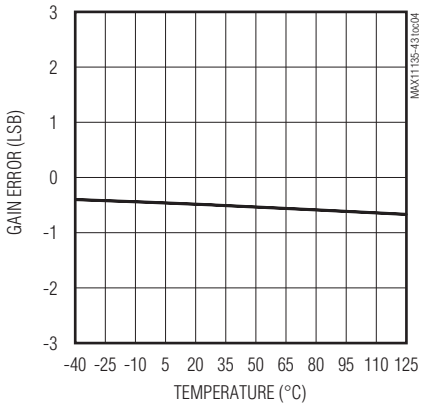


500ksps、低電力、シリアル12/10/8ビット、4/8/16チャネルADC

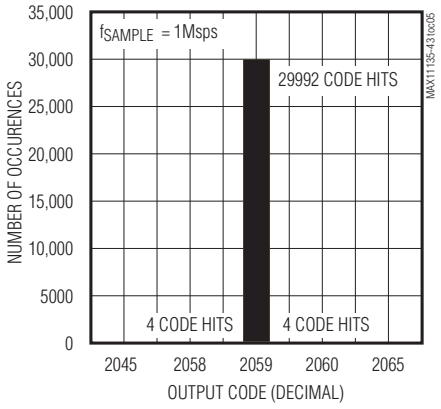
標準動作特性(続き)

(MAX11135ATI+/MAX11136ATI+/MAX11137ATI+, T_A = +25°C, unless otherwise noted.)

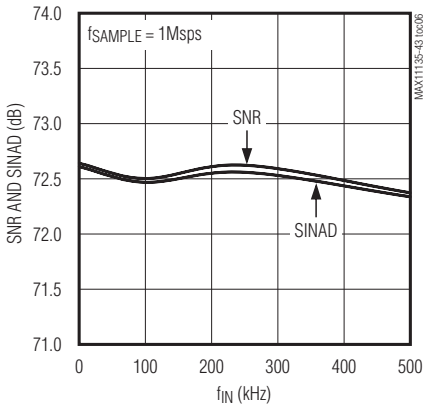
GAIN ERROR vs. TEMPERATURE



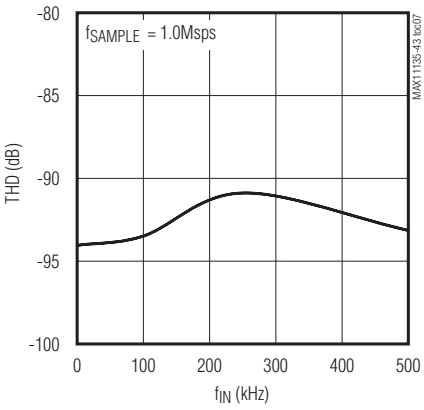
HISTOGRAM FOR 30,000 CONVERSIONS



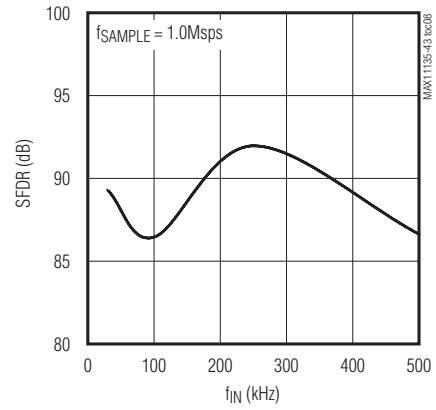
SNR AND SINAD vs. ANALOG INPUT FREQUENCY



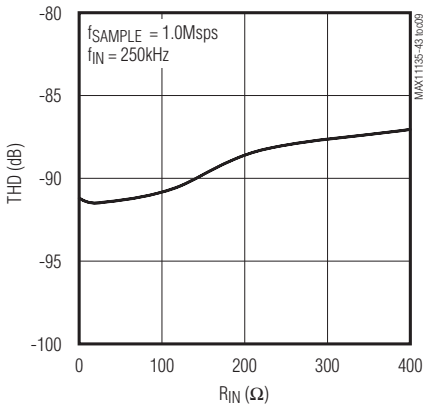
THD vs. ANALOG INPUT FREQUENCY



SFDR vs. ANALOG INPUT FREQUENCY



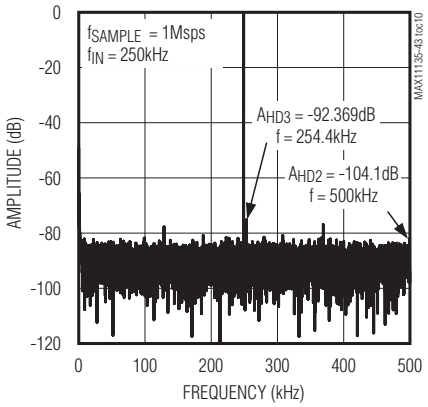
THD vs. INPUT RESISTANCE



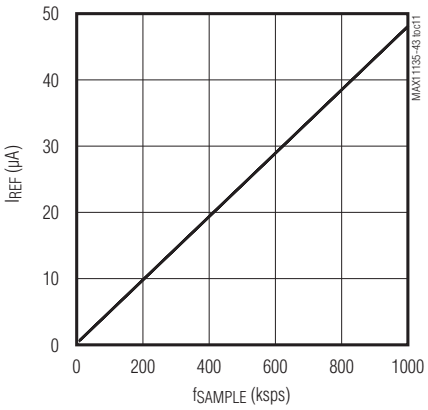
標準動作特性(続き)

(MAX11135ATI+/MAX11136ATI+/MAX11137ATI+, T_A = +25°C, unless otherwise noted.)

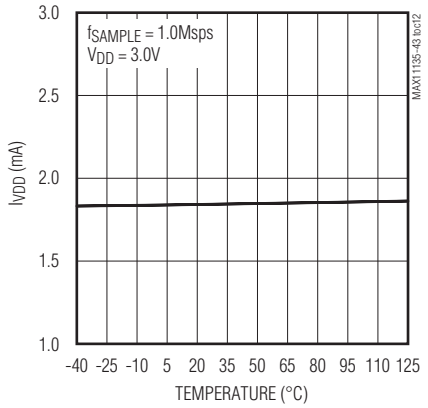
250kHz SINE-WAVE INPUT (8192-POINT FFT PLOT)



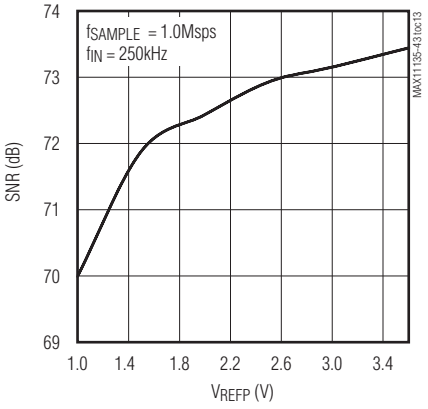
REFERENCE CURRENT vs. SAMPLING RATE



ANALOG SUPPLY CURRENT vs. TEMPERATURE

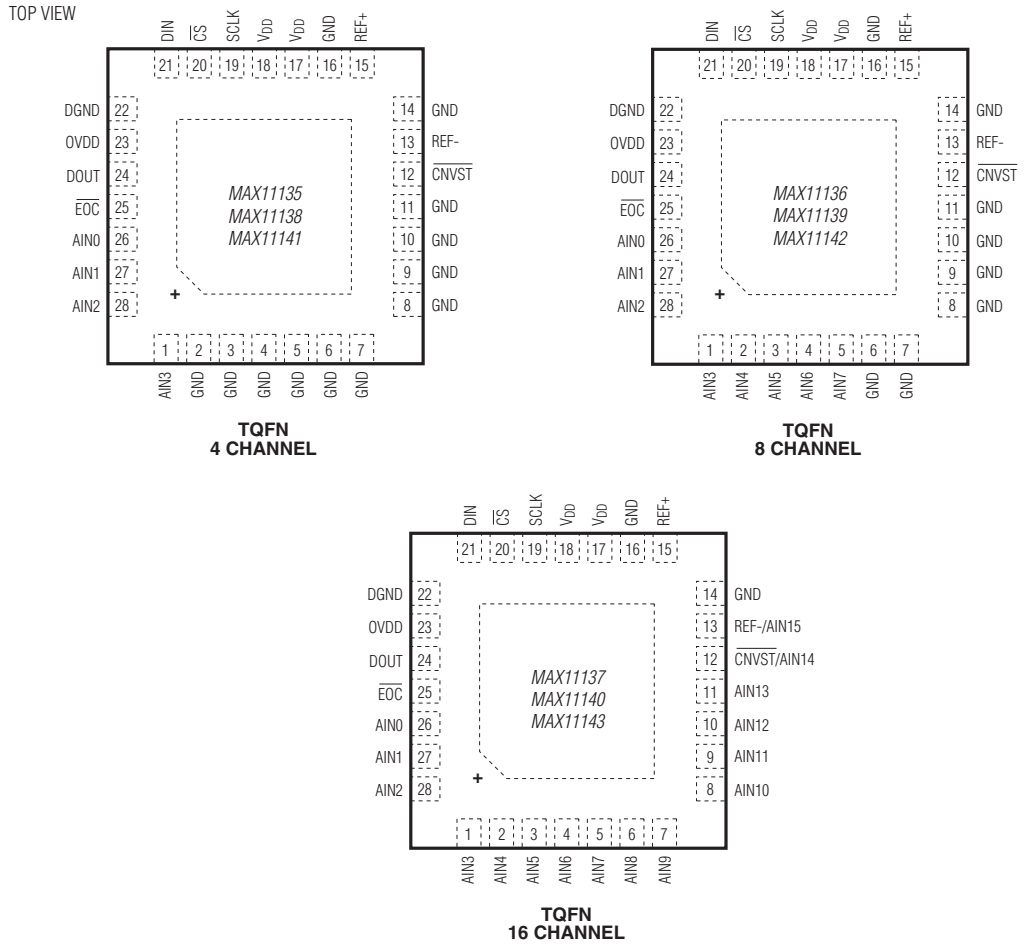


SNR vs. REFERENCE VOLTAGE



500ksps、低電力、シリアル12/10/8ビット、4/8/16チャネルADC

ピン配置

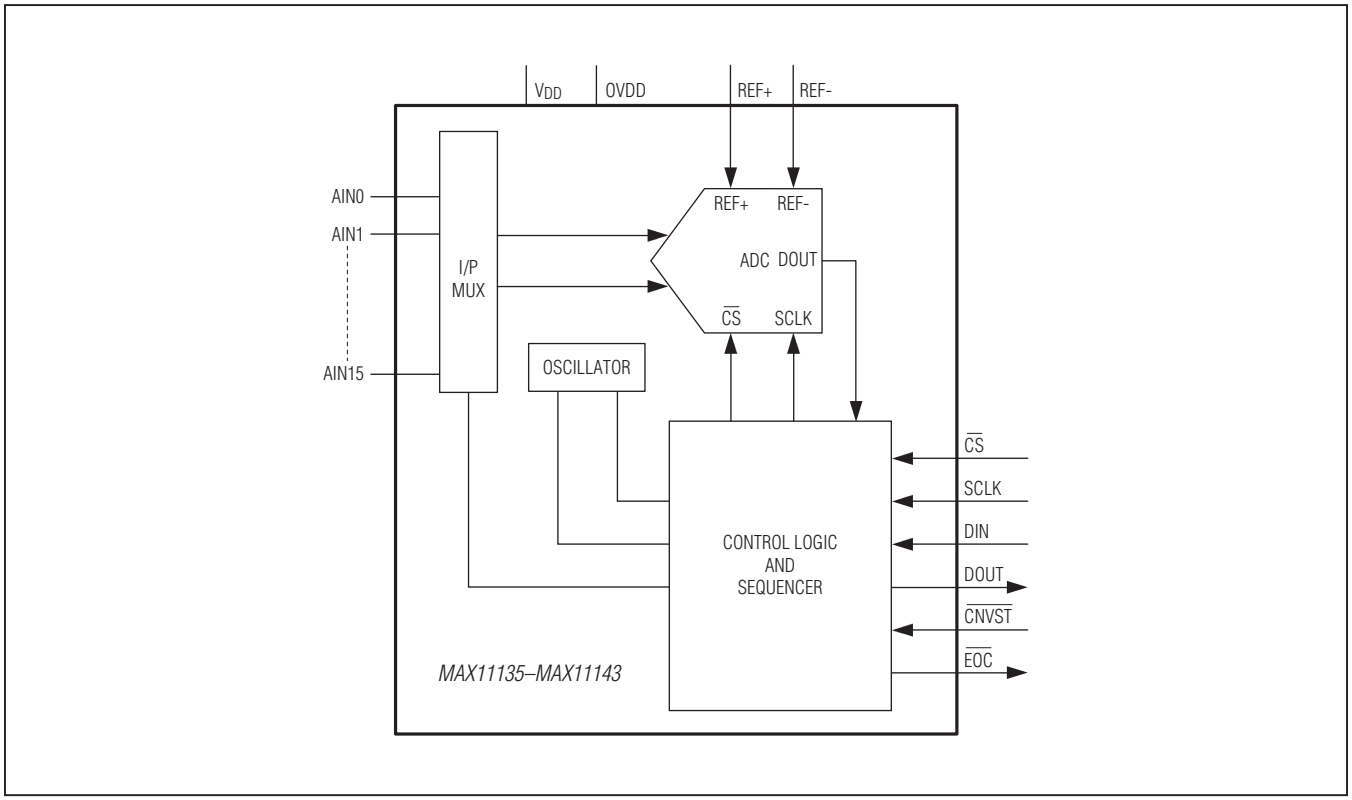


端子説明

MAX11135 MAX11138 MAX11141 (4チャネル)	MAX11136 MAX11139 MAX11142 (8チャネル)	MAX11137 MAX11140 MAX11143 (16チャネル)	名称	機能
—	—	26, 27, 28, 1–11	AIN0–AIN13	アナログ入力
—	26, 27, 28, 1–5	—	AIN0–AIN7	アナログ入力
26, 27, 28, 1	—	—	AIN0–AIN3	アナログ入力
2–11	6–11	—	GND	グランド
—	—	12	$\overline{\text{CNVST}}$/ AIN14	アクティブローの変換開始入力/アナログ入力14
12	12	—	$\overline{\text{CNVST}}$	アクティブローの変換開始入力
—	—	13	REF-/ AIN15	外部差動リファレンスの負の入力/アナログ入力15
13	13	—	REF-	外部差動リファレンスの負の入力
14, 16	14, 16	14, 16	GND	グランド
15	15	15	REF+	正の外部リファレンス入力。REF+にリファレンス電圧を印加してください。0.47µFのコンデンサでGNDに接続してください。
17, 18	17, 18	17, 18	V_{DD}	電源入力。並列の10µFと0.1µFのコンデンサでGNDに接続してください。
19	19	19	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロックイン/クロックアウトします。
20	20	20	$\overline{\text{CS}}$	アクティブローのチップセレクト入力。$\overline{\text{CS}}$がローの場合、シリアルインタフェースがイネーブルされます。$\overline{\text{CS}}$がハイの場合、DOUTはハイインピーダンスまたはスリーステートです。
21	21	21	DIN	シリアルデータ入力。DINのデータはSCLKの立上りエッジでシリアルインタフェース内にラッチされます。
22	22	22	DGND	デジタルI/Oグランド
23	23	23	OVDD	インタフェースのデジタル電源入力。並列の10µFと0.1µFのコンデンサでGNDに接続してください。
24	24	24	DOUT	シリアルデータ出力。データはSCLKの立下りエッジでクロックアウトされます。$\overline{\text{CS}}$がハイの場合、DOUTはハイインピーダンスまたはスリーステートです。
25	25	25	$\overline{\text{EOC}}$	変換終了出力。データは$\overline{\text{EOC}}$がローに駆動されたあと有効になります(内部クロックモードのみ)。
—	—	—	EP	エクスポーズドパッド。保証された性能を実現するためには、EPをGNDプレーンに直接接続してください。

500ksps、低電力、シリアル12/10/8ビット、4/8/16チャネルADC

ファンクションダイアグラム



詳細

MAX11135～MAX11143は、外部リファレンスと業界最先端の1.5MHz完全リニア帯域幅を備えた、12/10/8ビット、高速、低電力、シリアル出力逐次比較型(SAR)アナログ-デジタルコンバータ(ADC)です。これらのデバイスは、スキャンモード、内部アベレージングによるSN比の向上、およびAutoShutdownを特長とします。

外部クロックモードは、ユーザープログラム可能なアナログ入力チャネルシーケンサであるSampleSet技術を特長とします。ユーザーは独自のシーケンスパターンを定義してADCにロードし、インタフェースの操作なしで高周波数と低周波数の両方の入力を変換することができます。この機能によって制御ユニットが他の作業用に解放されるとともに、全体的なシステムノイズと消費電力が低減します。

MAX11135～MAX11143は、内部クロックを備えています。内部クロックモードは、データを高速でサンプリングして格納し、随時またはより低速のクロック速度で読取りを可能にするFIFOを内蔵しています。内部アベレージングもこのモードでサポートされ、ノイズの多い入力信号でのSN比が向上します。すべての入力チャネルは、シングルエンド入力、完全差動入力、または擬似差動入力に構成することができます(ユニポーラまたはバイポーラモード)。MAX11135～MAX11143は、2.35V～3.6Vの電源で動作し、消費電力は500kspsでわずか4.2mWとなります。

MAX11135～MAX11143は、AutoShutdown、高速ウェイクアップ、および高速3線式シリアルインタフェースを備えています。これらのデバイスは、最適なパワーマネージメント用のフルパワーダウンモードを特長とします。

データは、多様なチャネルおよびデータ取得構成のアナログ電圧ソースから変換されます。3線式のSPI/QSPI/MICROWIRE対応シリアルインタフェースを備えているため、マイクロプロセッサ(µP)制御は、介して容易に行うことができます。

入力帯域幅

ADCの入力トラッキング回路は1.5MHz、小信号、完全リニア帯域幅を備えているため、高速過渡イベントのデジタル化およびアンダーサンプリング方式を使用したADCのサンプリングレート以上の帯域幅の周期的信号の測定が可能です。高周波数の信号による目的の周波数帯でのエイリアスの発生を防止するために、入力信号のアンチエイリアスフィルタ処理が必要です。

3線式シリアルインタフェース

MAX11135～MAX11143は、SPI/QSPIおよびMICROWIREデバイスに対応したシリアルインタフェースを備えています。SPI/QSPIの場合、CPUのシリアルインタフェースが確実にマスターモードで動作してシリアルクロック信号を生成するようにしてください。SCLKの周波数には8MHz以下を選択して、µPの制御レジスタでクロックの極性(CPOL)と位相(CPHA)に同じ値を設定してください。MAX11135～MAX11143はSCLKのアイドル状態がハイで動作するため、CPOL = CPHA = 1で動作します。

$\overline{CS}$をローに設定することによって、SCLKの立上りエッジでDINの入力データがラッチされます。DOUTの出力データは、SCLKの立下りエッジで更新されます。$\overline{CS}$のハイからローへの遷移によってアナログ入力がサンプリングされ、新しいフレームが開始されます。フレームは、$\overline{CS}$の2つの立下りエッジ間の時間として定義されます。1つのフレーム当り最小で16ビットが含まれます。シリアルデータ入力(DIN)は、制御レジスタへのデータをSCLKの立上りエッジによってクロックインします。シリアルデータ出力(DOUT)は変換結果を出力し、SCLKの立下りエッジによってクロックアウトされます。DOUTは16ビットのデータワードで、ADC Mode ControlレジスタのCHAN_IDに1が設定されている場合、4ビットのチャネルアドレスのあとに、MSBを先頭とする12ビットの変換結果が続きます(図2a)。このモードでは、最高の性能を確保するために$\overline{CS}$の立下りエッジの前に少なくとも1つの完全なSCLK期間にわたってクロックをハイに維持してください(図2b)。CHAN_IDに0が設定されている場合は(外部クロックモードのみ)、16ビットのデータワード内に先行する1ビットの0と12ビットの変換結果が含まれ、そのあとに3ビットの後続の0が続きます(図2c)。10ビットのADCでは、最後の2ビットのLSBに0が設定されます。8ビットのADCでは、最後の4ビットのLSBに0が設定されます。

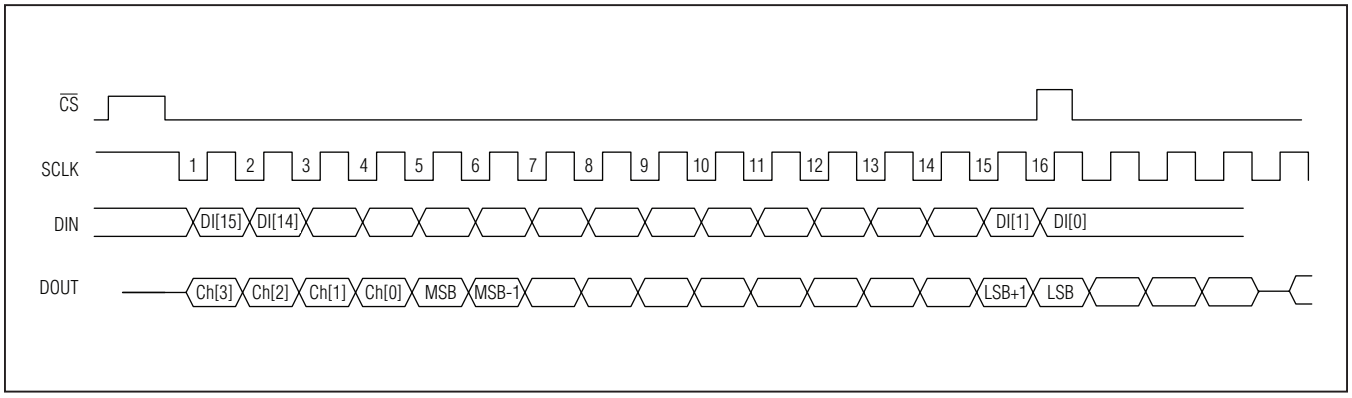


図2a. 外部クロックモードのタイミング図(CHAN_ID = 1)

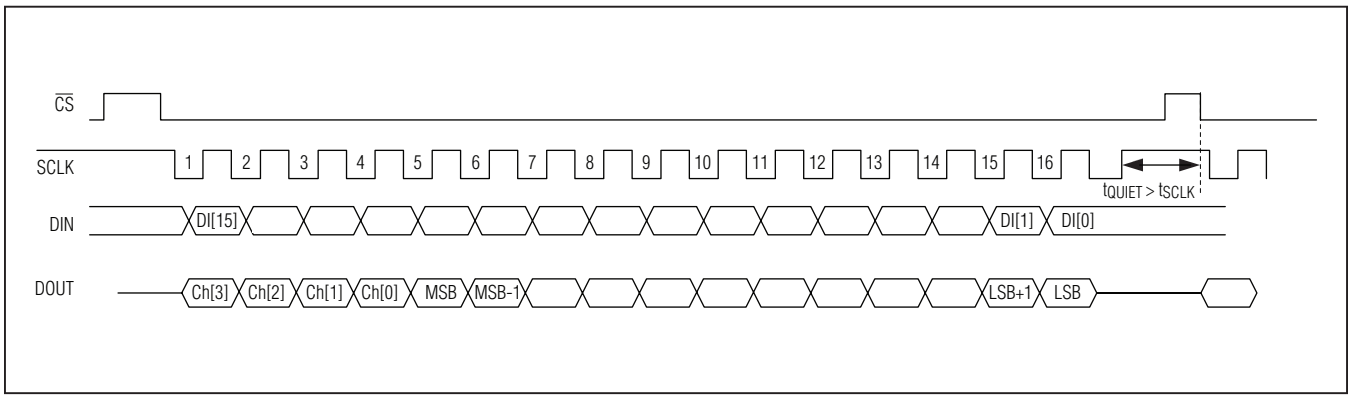


図2b. 外部クロックモードのタイミング図(CHAN_ID = 1、性能を最大化)

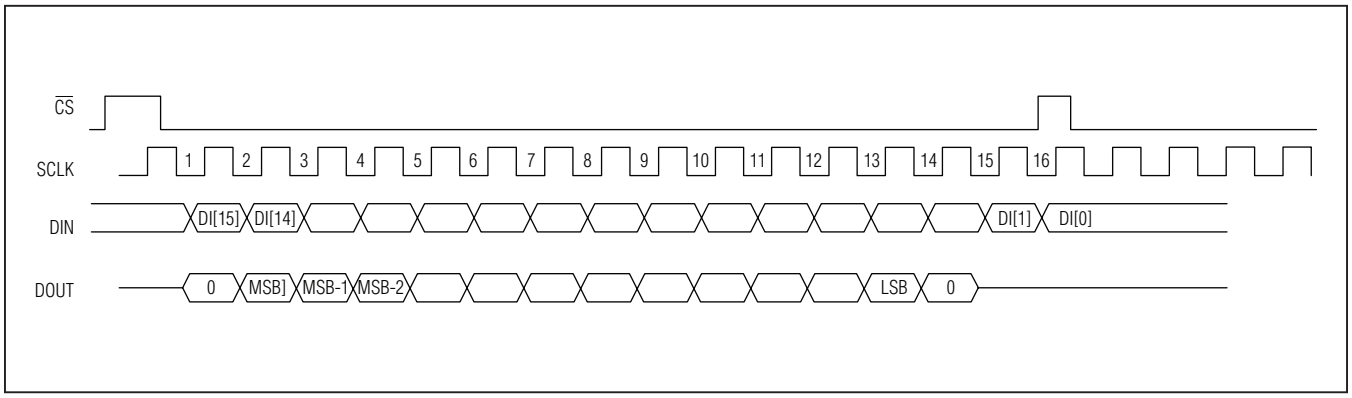


図2c. 外部クロックのタイミング図(CHAN_ID = 0)

シングルエンド、差動、および擬似差動入力

MAX11135～MAX11143は最大16のアナログ入力チャネルを内蔵しており、16のシングルエンド入力、8つの完全差動ペア、または1つの共通の入力を基準とする15の擬似差動入力に構成可能です(REF-/AIN15が共通の入力です)。

アナログ入力の範囲は、シングルエンドおよび擬似差動モード(ユニポーラ)の場合は0V～V_{REF+}で、完全差動モード(バイポーラ)の場合はRANGEレジスタの設定に応じて±V_{REF+}/2または±V_{REF+}です。RANGEレジスタの設定については、表7を参照してください。

ユニポーラモードでは、差動入力範囲が0～V_{REF+}に設定されます。ユニポーラモードで正のアナログ入力が負のアナログ入力を下回った場合、デジタル出力コードはゼロになります。バイポーラモードを選択すると、差動入力範囲はRANGEレジスタの設定に応じて±V_{REF+}/2または±V_{REF+}になります(表7)。

シングルエンドモードでは、ADCは常にユニポーラモードで動作します。アナログ入力は内部でGND基準になり、フルスケール入力範囲は0～V_{REF+}です。シングルエンドの変換は、内部でGND基準になります(図3)。

MAX11135～MAX11143は、Unipolarレジスタの PDIFF_COMビットに1を設定することによって、15入力の擬似差動動作をします(表10)。15のアナログ入力信号入力は、REF-/AIN15に印加されるDC信号が基準になります。

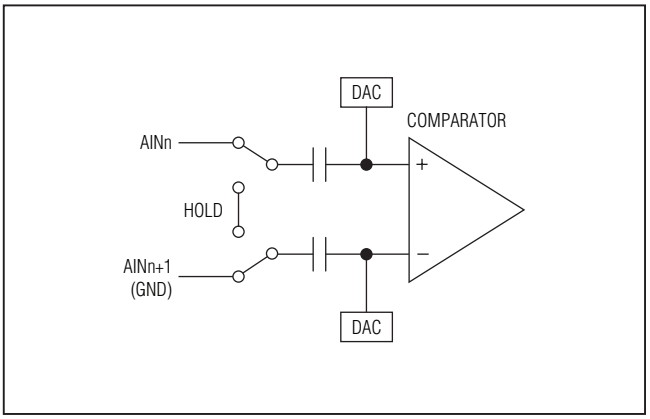


図3. 等価入力回路

完全差動リファレンス(REF+、REF-)

完全差動モード(REFSEL = 1)でリファレンスを使用する場合、フルスケール範囲はREF+とREF-の間の差によって設定されます。入力信号がこのリファレンス範囲を超えた場合、出力はクリッピングされます。

ADCの伝達関数

MAX11135～MAX11143の出力形式は、ユニポーラモードではストレートバイナリで、バイポーラモードでは2の補数です。コードは、連続する整数のLSB値の中間(0.5 LSB、1.5 LSBなど)で遷移します。図4および図5は、それぞれユニポーラとバイポーラの伝達関数を示します。出力の符号化はバイナリで、1 LSB = V_{REF+}/4096です。

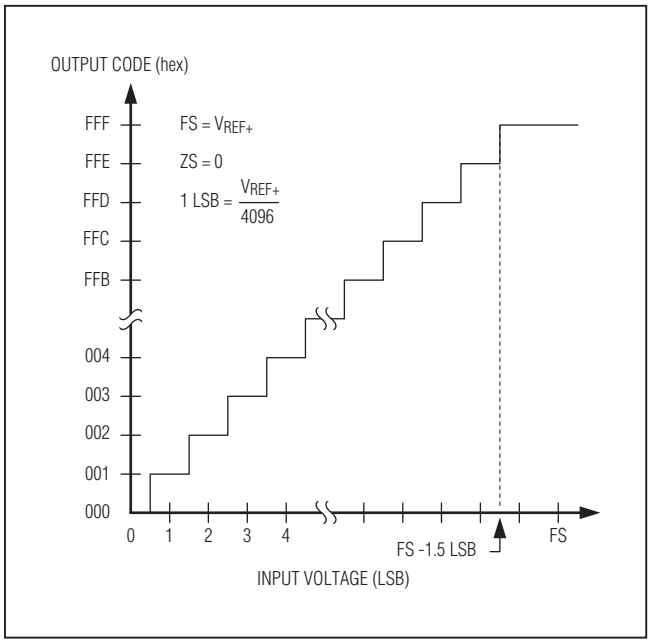


図4. ユニポーラの伝達関数(分解能：12ビット)

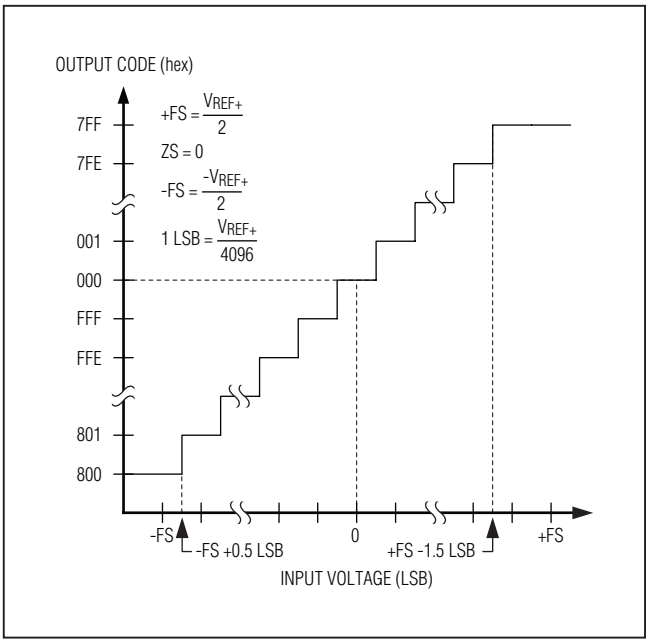


図5. バイポーラの伝達関数(分解能：12ビット)

内蔵FIFO

MAX11135～MAX11143は、最大16のAD変換結果を保持可能なFIFOバッファを内蔵しています。これによって、ADCはシリアルバスを占有することなく内部クロックによる複数の変換を処理することができます。FIFOがフルになり、FIFOからの読取りなしでさらに変換が要求された場合は、最も古いAD変換結果が新しいAD変換結果によって上書きされます。個々の結果には2バイトが含まれ、MSBの前に4ビットのチャネルアドレスビットが先行します。$\overline{CS}$の個々の立下りエッジの後、利用可能な最も古いデータバイトがDOUTで利用可能になります。FIFOがエンプティの場合、DOUTはゼロです。

外部クロック

外部クロックモードでは、アナログ入力は$\overline{CS}$の立下りエッジでサンプリングされます。変換の実行にシリアルクロック(SCLK)が使用されます。シーケンサは、個々のフレームでシリアルデータ入力(DIN)から変換対象のチャネルを読み込みます。変換結果は、次のフレームでシリアル出力(DOUT)に送られます。

内部クロック

MAX11135～MAX11143は、13.33MHzの公称クロック速度の±15%以内の精度を備えた内蔵発振器により動作します。内部でタイミング制御された変換の要求は、適切なシーケンスをADC Mode Controlレジスタに書き込むことによって行います(表2)。ウェイクアップ、取得、変換、およびシャットダウンのシーケンスが$\overline{CNVST}$を介して開始され、内蔵発振器を使用して自動的に実行されます。結果は内蔵FIFOに追加されます。

$\overline{CS}$がハイの状態で、$\overline{CNVST}$を少なくとも5nsの間ローにしたあとハイに駆動することによってスキャンが開始されます(図6)。その後、MAX11135～MAX11143がウェイクアップして、要求されたすべてのチャネルをスキャンし、結果をFIFOに格納して、シャットダウンします。スキャンが完了した後、$\overline{EOC}$がローになり、結果がFIFO内で利用可能になります。$\overline{EOC}$がローになるのを待ってから、$\overline{CS}$をローに駆動してシリアルインタフェースとの通信を行ってください。$\overline{EOC}$は、$\overline{CS}$または$\overline{CNVST}$が再びローに駆動されるまでローのままです。FIFOの内容が破壊される可能性があるため、$\overline{EOC}$がローになる前に次の$\overline{CNVST}$を開始しないでください。

別の方法として、ADC Mode ControlレジスタのSWCNVに1を設定することによって、$\overline{CNVST}$をサイクルする代わりに$\overline{CS}$の立上りエッジで変換を開始することもできます(表2)。正常な動作のためには、デバイスが確実にSWCNVの設定を認識するように、$\overline{CS}$を17クロックサイクルの間ローに維持する必要があります。$\overline{CS}$の立上りエッジでディレイが開始され、ディレイがタイムアウトした時点で変換が開始されます。変換が完了すると、このビットは0にリセットされます(図7)。内部クロックモードから外部クロックモードに変更する場合は、ソフトリセットを適用してください(RESET[1:0] = 10)。

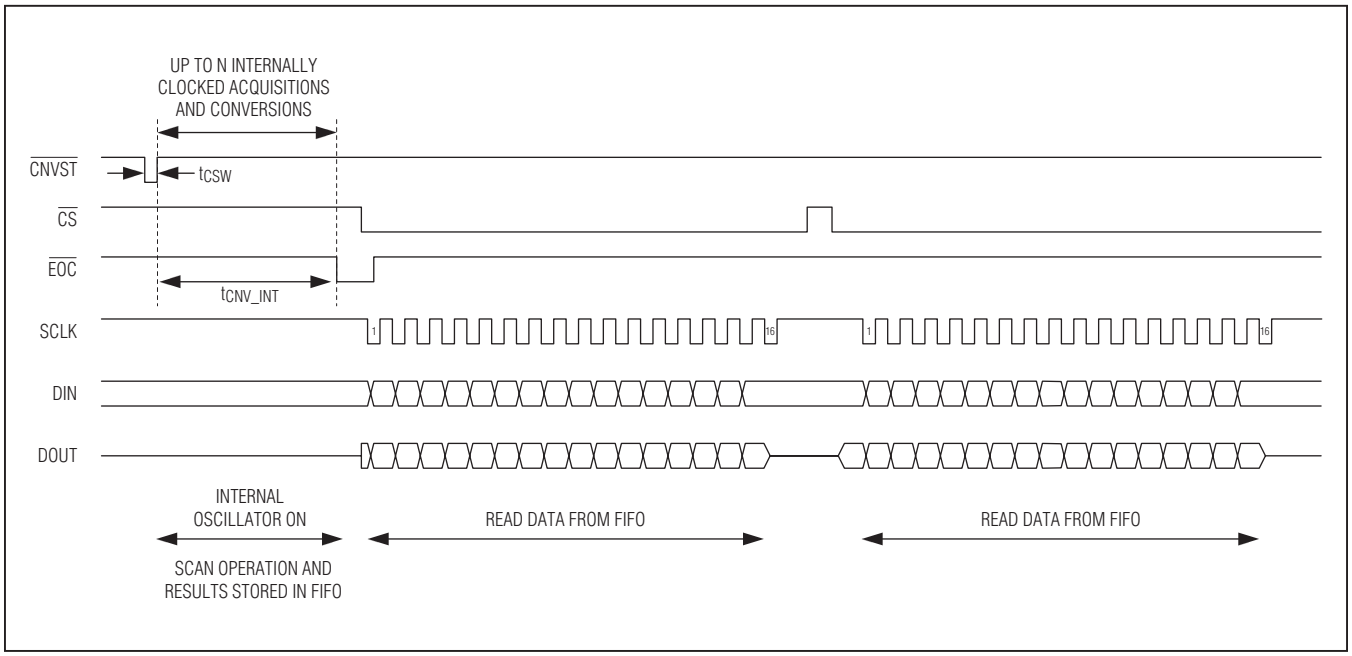


図6. CNVSTによる内部変換(N = 最大512の変換、16チャネル x 平均32/チャネル = 512)

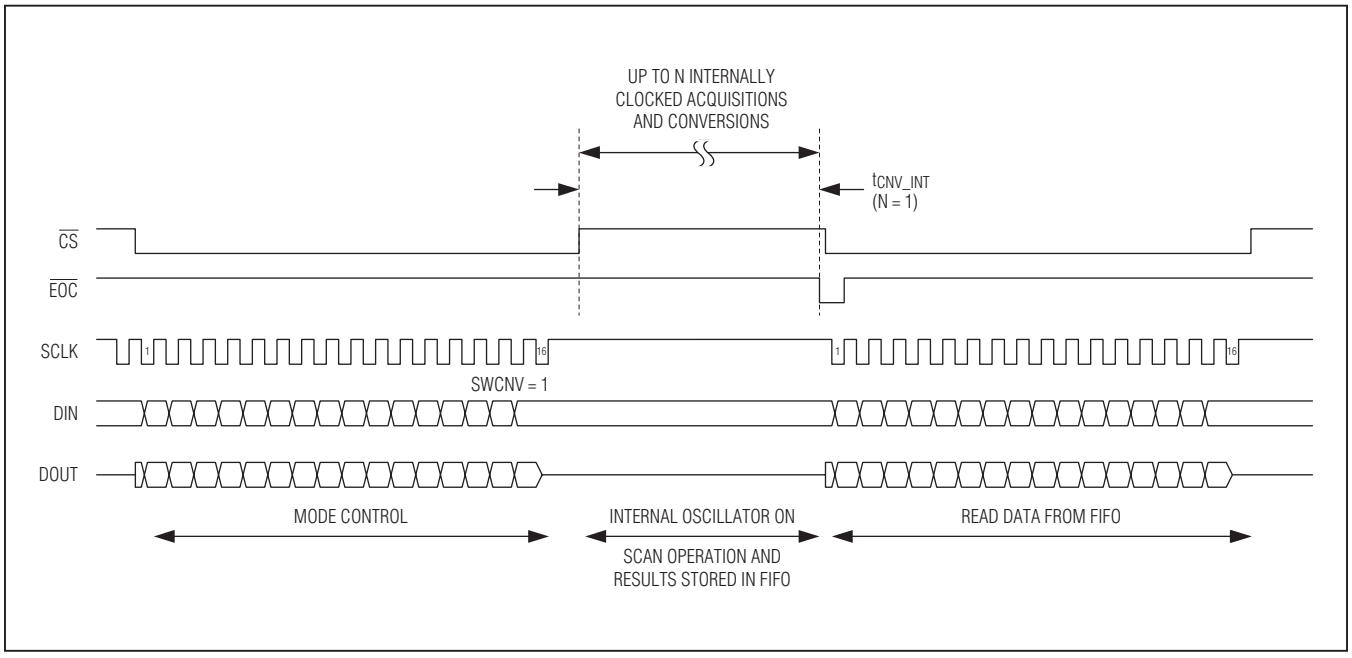


図7. SWCNVによる内部変換(N = 最大512の変換、16チャネル x 平均32/チャネル = 512)

アナログ入力

MAX11135～MAX11143は、アナログ入力が所定の動作範囲内である限り、アナログ入力電圧に対応するデジタル出力を生成します。アナログ入力電圧は内蔵の保護ダイオードによってアナログ電源入力レール(V_{DD}、GND)の領域内に限定されるため、デバイスに損傷を与えることなくGND - 0.3V～V_{DD} + 0.3Vの範囲でアナログ入力電圧の振幅が許されます。入力電圧がGND - 0.3VおよびV_{DD} + 0.3Vを超えた場合、内蔵の保護ダイオードが順方向バイアスされます。MAX11135～MAX11143の損傷を防ぐために、順方向ダイオード電流を50mA以下に制限してください。

ECHO

ADC Configurationレジスタへの書込み時には、時間n + 1において設定データをDOUTにエコーバックするために、ADC ConfigurationレジスタのECHOに1を設定してください(図8、表6)。

スキャンモード

MAX11135～MAX11143は、9つのスキャンモードを備えています(表3)。

Manualモード

個々のSPIフレーム内で、次に選択されるチャネルが指定されます。変換結果は、次のフレームで送出されます。Manualモードは外部クロックでのみ動作します。FIFOは使用されません。

Repeatモード

チャネルNのスキャンを複数回繰り返して、すべての変換結果をFIFOに格納します。スキャンの回数は、ADC Configurationレジスタでプログラムします。Repeatモードは内部クロックでのみ動作します。

Custom_IntおよびCustom_Ext

Custom_IntおよびCustom_Extモードでは、デバイスはあらかじめプログラムされたチャネルを昇順にスキャンします。順次スキャンするチャネルは、Custom Scan0またはCustom Scan1レジスタでプログラムされます。各フレームの13番目のSCLKの立下りエッジで、新しいI/P MUXが選択されます。Custom_Intは内部クロックで動作します。Custom_Extは外部クロックで動作します。

Standard_IntおよびStandard_Ext

Standard_IntおよびStandard_Extモードでは、デバイスはチャネル0～Nを昇順にスキャンします(NはADC Mode Controlレジスタで指定された最後のチャネル)。各フレームの13番目のSCLKの立下りエッジで、新しいI/P MUXが選択されます。Standard_Intは内部クロックで動作します。Standard_Extは外部クロックで動作します。

Upper_IntおよびUpper_Ext

Upper_IntおよびUpper_Extモードでは、デバイスはチャネルN～15/11/7/3を昇順にスキャンします(NはADC Mode Controlレジスタで指定された最初のチャネル)。各フレームの13番目のSCLKの立下りエッジで、新しいI/P MUXが選択されます。Upper_Intは内部クロックで動作します。Upper_Extは外部クロックで動作します。

SampleSet

SampleSet動作モードでは、最大長256までの独自のチャネルシーケンスの組合せを定義することができます。SampleSetは外部クロックモードでのみサポートされます。SampleSetは、一部のアナログ入力を他の入力よりも頻繁に変換する必要があるマルチチャネル測定アプリケーションに最適です。

SampleSet方式は、マルチチャネルアプリケーションのシーケンスのフレキシビリティを高めるとともに、マイクロコントローラやDSP (制御ユニット)の通信オーバーヘッドを大幅に軽減します。SampleSet技術は、ADCと制御ユニットの間で常に通信を行うことなく、利用可能なADCの入力帯域幅をユーザーが活用することを可能にします。ユーザーは、独自のシーケンスパターンを定義してADCにロードすることによって、インタフェースを操作することなく高周波数と低周波数の両方の入力を適切に変換することができます。独自のシーケンスをADCのメモリに

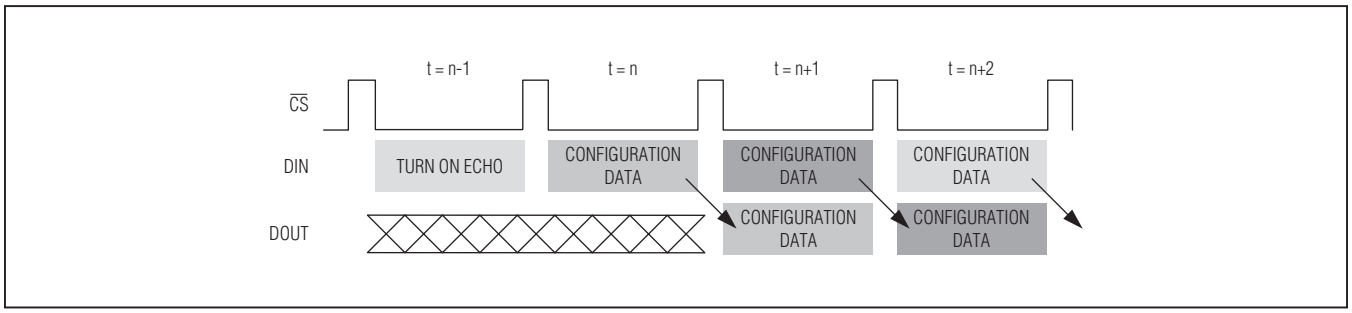


図8. 設定データのエコーバック

ロードしたあとは、そのパターンを無限に繰り返すことも、任意の時点で変更することもできます。

たとえば、MAX11135～MAX11143の最大スループットは500kspsです。従来型のADCのスキャンモードでは、最大16チャネルの昇順の変換が可能です。この場合、チャネル当りの有効スループットは500ksps/16チャネル、すなわち31.25kspsになります。ADCで分析可能な最大入力周波数(ナイキスト理論)は15.625kHzです。16チャネルすべての測定が必要で、一部のチャネルの入力周波数が15.625kHz以上の場合、ユーザーはシリアルインタフェース上での頻繁な通信を必要とするManualモードに戻る必要があります。SampleSet技術はこの問題を解決します。図9は、SampleSetの使用モデル例を示します。

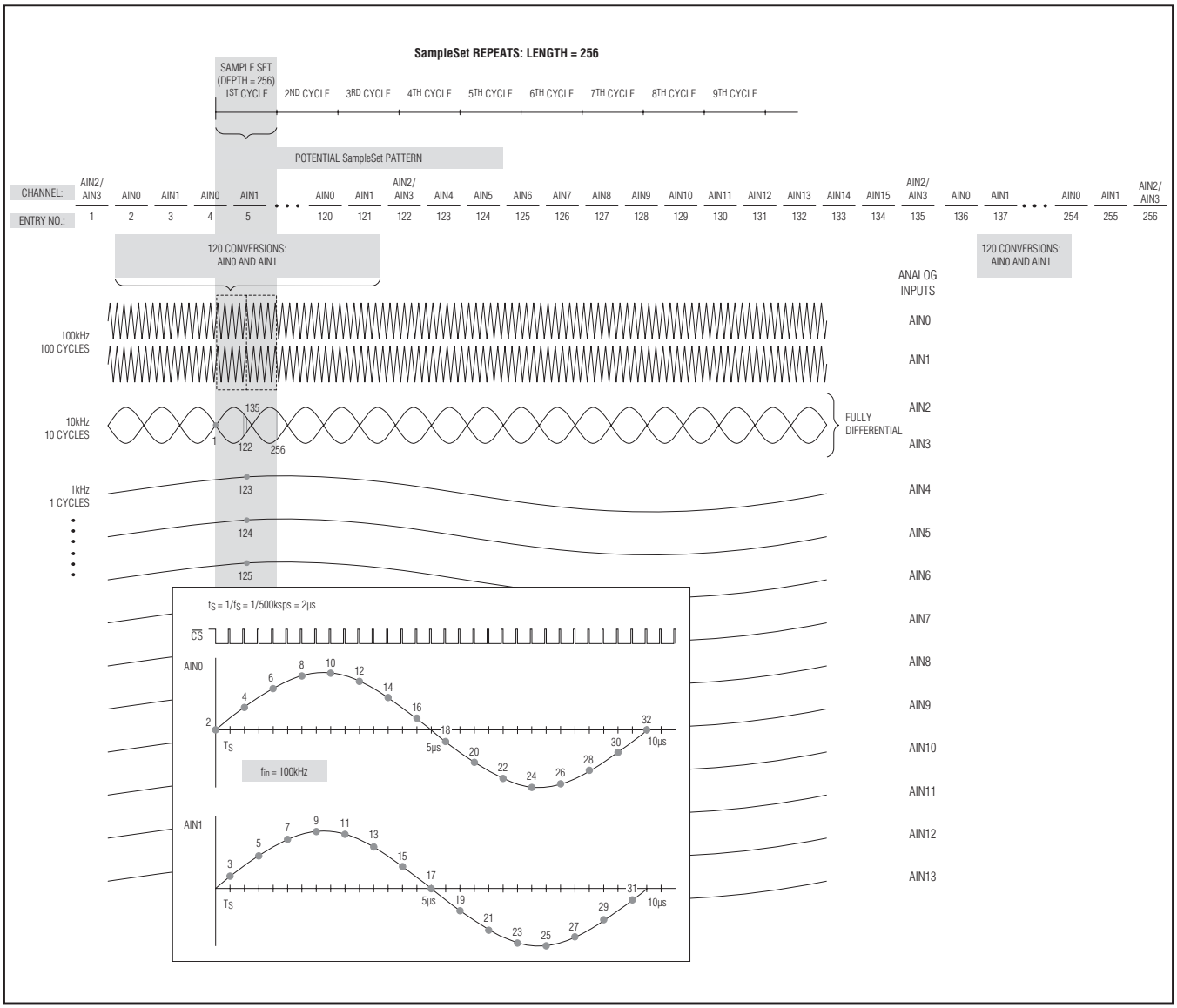


図9. SampleSetの使用モデル例

アベレージングモード

アベレージングモードでは、デバイスは指定された数の変換を実行して、要求された個々の結果の平均をFIFOに返します。アベレージングモードは、内部クロックでのみ動作します。

スキャンモードとユニポーラ/バイポーラの設定

UnipolarまたはBipolarレジスタが擬似差動または完全差動に設定されている場合、アナログ入力ペアは自動的に反復動作します。たとえば、16チャネルすべてをスキャンするためにNを15に設定し、全アナログ入力ペアを完全差動変換に設定すると、ADCは各チャネルを2回変換します。この場合は、Manualモードを実装するか、Custom_IntまたはCustom_Extスキャンモード使用することによって、ユーザーは入力ペアに対する2重の変換を防止することができます。

レジスタの説明

MAX11135～MAX11143は、SPI/QSPI対応のシリアルインタフェースを介して内部レジスタと外部回路の間で通信を行います。表1に、レジスタのアクセスと制御の詳細を示します。表2～表14に、さまざまな機能と設定を示します。

ADCのモードを制御するには、レジスタIDコードのビット15に0を設定してください。ADC Mode Controlレジスタによって、いつどのようなスキャン条件でADCが動作するかが決定されます。

ADCのデータ構成を設定するには、レジスタIDコードのビット15に1を設定してください。

表1. レジスタのアクセスと制御

REGISTER NAME	REGISTER IDENTIFICATION CODE					DIN ≡ DATA INPUTS
	BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT[10:0]
ADC Mode Control	0	DIN	DIN	DIN	DIN	DIN
ADC Configuration	1	0	0	0	0	DIN
Unipolar	1	0	0	0	1	DIN
Bipolar	1	0	0	1	0	DIN
RANGE	1	0	0	1	1	DIN
Custom Scan0	1	0	1	0	0	DIN
Custom Scan1	1	0	1	0	1	DIN
SampleSet	1	0	1	1	0	DIN
Reserved. Do not use.	1	1	1	1	1	DIN

表2. ADC Mode Controlレジスタ

BIT NAME	BIT	DEFAULT STATE	機能		
REG_CNTL	15	0	ADC Mode Controlレジスタを選択するには0を設定してください。		
SCAN[3:0]	14:11	0001	ADC Scan Controlレジスタ(表3)		
CHSEL[3:0]	10:7	0000	Analog Input Channel Selectレジスタ(表4)。 表3を参照して、どのモードがCHSEL[3:0]をチャネルスキャンの指示に使用するかを判断してください。		
RESET[1:0]	6:5	00	RESET1	RESET0	機能
			0	0	リセットなし
			0	1	FIFOのみをリセット(ゼロにリセット)
			1	0	全レジスタをデフォルトの設定にリセット(FIFOを含む)
			1	1	未使用

表2. ADC Mode Controlレジスタ(続き)

BIT NAME	BIT	DEFAULT STATE	機能
PM[1:0]	4:3	00	パワーマネージメントモード(表5)。外部クロックモードでは、PM[1:0]で通常モードとさまざまなパワーダウン動作モードを選択します。
CHAN_ID	2	0	外部クロックモード。内部クロックモードではチャネルアドレスが常に存在します。1を設定すると、DOUTの16ビットのデータワード内に4ビットのチャネルアドレスが格納され、そのあとに12ビットの変換結果がMSBから順に続きます。
SWCNV	1	0	$\overline{\text{CNVST}}$をサイクルする代わりに$\overline{\text{CS}}$の立上りエッジで変換を開始するには、1を設定してください(内部クロックモードのみ)。 このビットは内部クロックモードにのみ使用され、さらに変換したい場合はADC Mode Control内で再度アサートする必要があります。
—	0	0	未使用

表3. ADC Scan Control

SCAN3	SCAN2	SCAN1	SCAN0	MODE NAME	機能
0	0	0	0	N/A	事前に選択されたモードで動作を継続します。ビット[10:0]のデータは無視されます。この機能は、ADC Mode Controlレジスタの変更が必要ない場合に、DINをローに維持することができるように提供されています。この場合も、ビット[6:3, 1]はスキャンモードのプロパティを変更することなく書込み可能です。
0	0	0	1	Manual	個々のSPIフレーム内で、次に選択されるチャネルが指定されます。変換結果は、次のフレームで送出されます。
					クロックモード：外部クロックのみ
					チャネルスキャン/シーケンス：フレーム当り1チャネル
					チャネル選択：表4、CHSEL[3:0]
					アベレージング：なし
0	0	1	0	Repeat	チャネルNを繰り返しスキャンします。FIFOにチャネルNの4、8、12、または16の変換結果が格納されます。
					クロックモード：内部クロックのみ
					チャネルスキャン/シーケンス：フレーム当り1チャネル
					チャネル選択：表4、CHSEL[3:0]
					アベレージング：あり
0	0	1	1	Standard_Int	チャネル0～Nをスキャンします。FIFOにN個の変換結果が格納されます。
					クロックモード：内部クロック
					チャネルスキャン/シーケンス：Nチャネル(昇順)
					チャネル選択：表4、CHSEL[3:0]によってチャネルNが決定
					アベレージング：あり

表3. ADC Scan Control (続き)

SCAN3	SCAN2	SCAN1	SCAN0	MODE NAME	機能	
0	1	0	0	Standard_Ext	チャネル0～Nをスキャンします。	
					クロックモード：外部クロック	
					チャネルスキャン/シーケンス：Nチャネル(昇順)	
					チャネル選択：表4を参照、CHSEL[3:0]によってチャネルNが決定	
					アベレージング：なし	
0	1	0	1	Upper_Int	チャネルN～最大番号のチャネルをスキャンします。FIFOにXの変換結果が格納されます。ただし、	
					X = チャネル16～N	16チャネルのデバイス
					X = チャネル8～N	8チャネルのデバイス
					X = チャネル4～N	4チャネルのデバイス
					クロックモード：内部クロック	
					チャネルスキャン/シーケンス：チャネルN～最大番号のチャネル(昇順)	
					チャネル選択：表4を参照、CHSEL[3:0]によってチャネルNが決定	
					アベレージング：あり	
0	1	1	0	Upper_Ext	チャネルN～最大番号のチャネルをスキャンします	
					クロックモード：外部クロック	
					チャネルスキャン/シーケンス：チャネルN～最大番号のチャネル(昇順)	
					チャネル選択：表4を参照、CHSEL[3:0]によってチャネルNが決定	
					アベレージング：なし	
0	1	1	1	Custom_Int	事前にプログラムされたチャネルを昇順にスキャンします。FIFOにこの独自のチャネルシーケンスの変換結果が格納されます。	
					クロックモード：内部クロック	
					チャネルスキャン/シーケンス：独自の昇順チャネルシーケンス	
					最大深さ：16変換	
					チャネル選択：表12 (Custom Scan0レジスタ)および表13 (Custom Scan1レジスタ)を参照	
					アベレージング：あり	
1	0	0	0	Custom_Ext	事前にプログラムされたチャネルを昇順にスキャンします	
					クロックモード：外部クロック	
					チャネルスキャン/シーケンス：独自の昇順チャネルシーケンス	
					最大深さ：16変換	
					チャネル選択：表12 (Custom Scan0レジスタ)および表13 (Custom Scan1レジスタ)を参照	
					アベレージング：なし	

表3. ADC Scan Control (続き)

SCAN3	SCAN2	SCAN1	SCAN0	MODE NAME	機能
1	0	0	1	SampleSet	事前にプログラムされた最大長256のチャネルシーケンスをスキャンします。チャネルパターンに関する制限はありません。
					クロックモード：外部クロックのみ
					チャネルスキャン/シーケンス：独自のチャネルシーケンス
					最大深さ：256変換
					チャネル選択：表4を参照
					アベレージング：なし
1	0	1	0	—	事前に選択されたモードで動作を継続します。ビット[10:0]のデータは無視されます。
1	0	1	1	—	事前に選択されたモードで動作を継続します。ビット[10:0]のデータは無視されます。
1	1	0	0	—	事前に選択されたモードで動作を継続します。ビット[10:0]のデータは無視されます。
1	1	0	1	—	事前に選択されたモードで動作を継続します。ビット[10:0]のデータは無視されます。
1	1	1	0	—	事前に選択されたモードで動作を継続します。ビット[10:0]のデータは無視されます。
1	1	1	1	—	事前に選択されたモードで動作を継続します。ビット[10:0]のデータは無視されます。

表4. アナログ入力チャネル選択

CHSEL3	CHSEL2	CHSEL1	CHSEL0	SELECTED CHANNEL (N)
0	0	0	0	AIN0
0	0	0	1	AIN1
0	0	1	0	AIN2
0	0	1	1	AIN3
0	1	0	0	AIN4
0	1	0	1	AIN5
0	1	1	0	AIN6
0	1	1	1	AIN7
1	0	0	0	AIN8
1	0	0	1	AIN9
1	0	1	0	AIN10
1	0	1	1	AIN11
1	1	0	0	AIN12
1	1	0	1	AIN13
1	1	1	0	AIN14
1	1	1	1	AIN15

パワーダウンモード

MAX11135～MAX11143は3つのパワーダウンモードを備えています。

静的シャットダウン

ADC ConfigurationレジスタのSPMビットがアサートされるとデバイスはシャットダウンします(表6)。2種類のシャットダウンのオプションがあります。

- 全回路がシャットダウンされる完全シャットダウン。
- 内部バイアスジェネレータ以外の全回路がパワーダウンされる部分的シャットダウン。

AutoShutdown (外部クロックモード)

ADC Mode ControlレジスタのPM_ビットがアサートされた場合(表5)、デバイスは次のフレームの$\overline{CS}$の立上りエッジでシャットダウンします。そのあとの$\overline{CS}$の立下りエッジでデバイスは再びパワーアップします。2種類のオプションが利用可能です。

- 全回路がシャットダウンされるAutoShutdown。
- 内部バイアスジェネレータ以外の全回路がパワーダウンされるAutoStandby。

AutoShutdown (内部クロックモード)

すべての変換が完了したあとでデバイスがシャットダウンします。次の$\overline{CNVST}$の立下りエッジまたはSWCNVビットがアサートされたあとの$\overline{CS}$の立上りエッジでデバイスは再びパワーアップします。

表5. パワーマネージメントモード

PM1	PM0	MODE	機能
0	0	Normal	常に全回路が完全にパワーアップされます。
0	1	AutoShutdown	デバイスは個々の変換の最後で完全シャットダウンモードに移行します。全回路がパワーダウンされます。デバイスは$\overline{CS}$の立下りエッジのあとにパワーアップします。有効な変換が行われるまで2サイクルかかります。レジスタ内の情報は維持されます。
1	0	AutoStandby	デバイスは内部バイアスジェネレータ以外の全回路をパワーダウンします。デバイスは$\overline{CS}$の立下りエッジのあとにパワーアップします。有効な変換が行われるまで2サイクルかかります。レジスタ内の情報は維持されます。
1	1	—	未使用。

表6. ADC Configurationレジスタ

BIT NAME	BIT	DEFAULT STATE	機能		
CONFIG_SETUP	15:11	N/A	ADC Configurationレジスタを選択するには10000を設定してください。		
REFSEL	10	0	REFSEL	電圧リファレンス	REF-の構成
			0	外部シングルエンド	AIN15 (16チャネルのデバイスの場合)
			1	外部差動	REF-
AVGON	9	0	アベレージングをオンにするには1を設定してください。内部クロックモードでのみ有効です。 アベレージングをオフにするには0を設定してください。		

表6. ADC Configurationレジスタ(続き)

<table>
<tr><th>BIT NAME</th><th>BIT</th><th>DEFAULT STATE</th><th>機能</th></tr>
<tr><td rowspan="7">NAVG[1:0]</td><td rowspan="7">8:7</td><td rowspan="7">00</td><td>内部クロックモードでのみ有効です。
<table><tr><th>AVGON</th><th>NAVG1</th><th>NAVG0</th><th>機能</th></tr><tr><td>0</td><td>X</td><td>X</td><td>要求された個々の結果について1回の変換を実行します。</td></tr><tr><td>1</td><td>0</td><td>0</td><td>要求された個々の結果について4回の変換を実行し、平均を返します。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>要求された個々の結果について8回の変換を実行し、平均を返します。</td></tr><tr><td>1</td><td>1</td><td>0</td><td>要求された個々の結果について16回の変換を実行し、平均を返します。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>要求された個々の結果について32回の変換を実行し、平均を返します。</td></tr></table></td></tr>
<tr><td rowspan="5">NSCAN[1:0]</td><td rowspan="5">6:5</td><td rowspan="5">00</td><td>チャネルNをスキャンして、4、8、12、または16の結果を返します。Repeatモードでのみ有効です。
<table><tr><th>NSCAN1</th><th>NSCAN0</th><th>機能</th></tr><tr><td>0</td><td>0</td><td>チャネルNをスキャンして4つの結果を返します。</td></tr><tr><td>0</td><td>1</td><td>チャネルNをスキャンして8つの結果を返します。</td></tr><tr><td>1</td><td>0</td><td>チャネルNをスキャンして12の結果を返します。</td></tr><tr><td>1</td><td>1</td><td>チャネルNをスキャンして16の結果を返します。</td></tr></table></td></tr>
<tr><td rowspan="5">SPM[1:0]</td><td rowspan="5">4:3</td><td rowspan="5">00</td><td>静的パワーダウンモード
<table><tr><th>SPM1</th><th>SPM0</th><th>MODE</th><th>機能</th></tr><tr><td>0</td><td>0</td><td>Normal</td><td>常に全回路が完全にパワーアップされます。</td></tr><tr><td>0</td><td>1</td><td>Full Shutdown</td><td>全回路がパワーダウンされます。レジスタ内の情報は維持されます。</td></tr><tr><td>1</td><td>0</td><td>Partial Shutdown</td><td>リファレンスおよびリファレンスバッファ以外の全回路がパワーダウンされます。レジスタ内の情報は維持されます。</td></tr><tr><td>1</td><td>1</td><td>—</td><td>未使用</td></tr></table></td></tr>
<tr><td>ECHO</td><td>2</td><td>0</td><td>DOUT上への命令のエコーをディセーブルするには0を設定してください。
時間= nにおいて与えられたDINの命令を時間= n + 1においてDOUTラインにエコーバックするには1を設定してください。エコーの開始までに完全に1サイクルかかります(図8)。</td></tr>
<tr><td>—</td><td>1:0</td><td>0</td><td>未使用</td></tr>
</table>

表7. RANGEレジスタ(RANGEの設定はバイポーラ完全差動のアナログ入力構成にのみ適用されます)

BIT NAME	BIT	DEFAULT STATE	機能
RANGE_SETUP	15:11	N/A	RANGEレジスタを選択するには10011を設定してください
RANGE0/1	10	0	AIN0/1を±V_{REF+}/2とするには0を設定してください AIN0/1を±V_{REF+}とするには1を設定してください
RANGE2/3	9	0	AIN2/3を±V_{REF+}/2とするには0を設定してください AIN2/3を±V_{REF+}とするには1を設定してください
RANGE4/5	8	0	AIN4/5を±V_{REF+}/2とするには0を設定してください AIN4/5を±V_{REF+}とするには1を設定してください
RANGE6/7	7	0	AIN6/7を±V_{REF+}/2とするには0を設定してください AIN6/7を±V_{REF+}とするには1を設定してください
RANGE8/9	6	0	AIN8/9を±V_{REF+}/2とするには0を設定してください AIN8/9を±V_{REF+}とするには1を設定してください
RANGE10/11	5	0	AIN10/11を±V_{REF+}/2とするには0を設定してください AIN10/11を±V_{REF+}とするには1を設定してください
RANGE12/13	4	0	AIN12/13を±V_{REF+}/2とするには0を設定してください AIN12/13を±V_{REF+}とするには1を設定してください
RANGE14/15	3	0	AIN14/15を±V_{REF+}/2とするには0を設定してください AIN14/15を±V_{REF+}とするには1を設定してください
—	2:0	000	未使用

ユニポーラおよびバイポーラモードの関数としてのADC出力

ADC Scan Controlレジスタ(表3)によってADCの動作モードが決まります。表10および表11のUnipolarレジスタとBipolarレジスタによって、出力のコード形式および入力の構成がシングルエンドか完全差動かが決定されます。

表9に、アナログ入力(AIN0およびAIN1)の変換出力の詳細を示します。この真理値表は、他の任意の有効な入力ペア(AINn/AINn+1)でも一貫しています。表8に、アナログ入力の構成に関して適用可能な入力信号形式を示します。

CHSEL[3:0] は、Manual、Repeat、Standard_Ext、Standard_Int、Upper_Ext、Upper_Intの各動作モードに使用されます。CHSCAN[15:0]は、Custom_ExtおよびCustom_Int動作モードに使用されます。

SampleSet動作モード

SampleSetレジスタには、独自チャネルシーケンス長が格納されます。シーケンスパターンは、任意の順序やパターンの最大256の独自のシングルエンドおよび/または差動変換で構成されます。

パターンは、表4に示す4ビットのチャネル識別ニブルを使って組み立てられます。図10は、SampleSetのタイミング図を示します。SampleSetの機能を設定するためには2つの$\overline{CS}$フレームが必要になることに注意してください。第1のフレームはシーケンス長を示します。第2のフレームはチャネルシーケンスパターンのエンコードに使用されます。

SampleSetレジスタのコード設定(表14)が終わったあと、次の$\overline{CS}$の立下りエッジまでに、新しいSampleSetパターンがアクティブ化されます(図10)。パターン長がSEQ_LENGTH以下の場合、残りのチャネルはデフォルトでAIN0になります。選択パターン長がSEQ_LENGTHより長い場合は、余分なデータを無視してADCは$\overline{CS}$の立上りエッジを待ちます。1つのニブルの途中で$\overline{CS}$がアサートされた場合は、そのニブル全体がデフォルトでAIN0になります。

表8. アナログ入力の構成とユニポーラ/バイポーラの波形

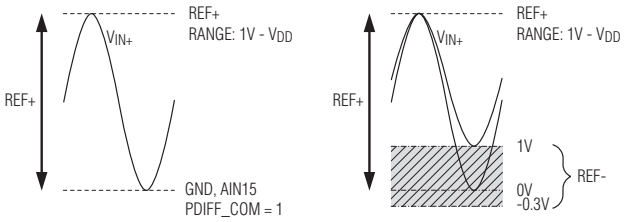
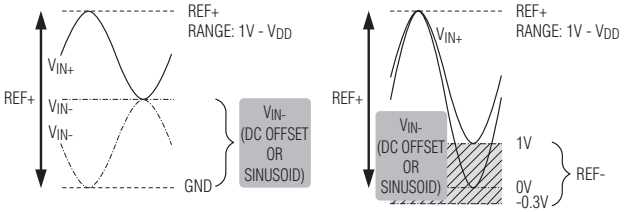
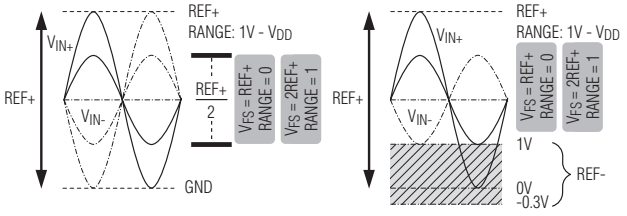
ANALOG INPUT CONFIGURATION		SUPPORTED WAVEFORMS		UNIPOLAR/BIPOLAR REGISTER SETTING
		REFSEL = 0	REFSEL = 1	
Single-Ended	Unipolar (Binary Coding)			Table 10. Unipolar Register: Set desired channel(s) to 0 or PDIFF_COM to 1. **Counterpart Register** Table 11. Bipolar Register: Set desired channel(s) to 0.
Fully Differential	Unipolar (Binary Coding)			Table 10. Unipolar Register: Set desired channel(s) to 1. **Counterpart Register** Table 11. Bipolar Register: Set desired channel(s) to 0.
Fully Differential	Bipolar (2's Comp)			See Table 11. Bipolar Register: Set desired channel(s) to 1. **Counterpart Register** Table 10. Unipolar Register: Set desired channel(s) to 0.

表9. Unipolar/Bipolarレジスタの設定の関数としてのADC出力

CHANNEL SELECTION	UNIPOLAR REGISTER		BIPOLAR REGISTER	機能
BIT NAME	UCH0/1	PDIFF_COM	BCH0/1	
AIN0 Selection: CHSEL[3:0] = 0000 CHSCAN0 = 1	0	0	0	AIN0 (バイナリ、ユニポーラ)
	0	0	1	AIN0/1ペア(2の補数、バイポーラ)
	1	0	0	AIN0/1ペア(バイナリ、ユニポーラ)
	1	0	1	AIN0/1ペア(バイナリ、ユニポーラ)、Unipolarレジスタが優先
	X	1	X	AIN0、REF-/AIN15基準(バイナリ、ユニポーラ)
AIN1 Selection: CHSEL[3:0] = 0001 CHSCAN1 = 1	0	0	0	AIN1 (バイナリ、ユニポーラ)
	0	0	1	AIN0/1ペア(2の補数、バイポーラ)
	1	0	0	AIN0/1ペア(バイナリ、ユニポーラ)
	1	0	1	AIN0/1ペア(バイナリ、ユニポーラ)、Unipolarレジスタが優先
	X	1	X	AIN1、REF-/AIN15基準(バイナリ、ユニポーラ)

表10. Unipolarレジスタ

BIT NAME	BIT	DEFAULT STATE	機能
UNI_SETUP	15:11	—	Unipolarレジスタを選択するには10001を設定してください。
UCH0/1	10	0	AIN0およびAIN1を擬似差動変換に設定するには1を設定してください。 AIN0およびAIN1をシングルエンド変換に設定するには0を設定してください。
UCH2/3	9	0	AIN2およびAIN3を擬似差動変換に設定するには1を設定してください。 AIN2およびAIN3をシングルエンド変換に設定するには0を設定してください。
UCH4/5	8	0	AIN4およびAIN5を擬似差動変換に設定するには1を設定してください。 AIN4およびAIN5をシングルエンド変換に設定するには0を設定してください。
UCH6/7	7	0	AIN6およびAIN7を擬似差動変換に設定するには1を設定してください。 AIN6およびAIN7をシングルエンド変換に設定するには0を設定してください。
UCH8/9	6	0	AIN8およびAIN9を擬似差動変換に設定するには1を設定してください。 AIN8およびAIN9をシングルエンド変換に設定するには0を設定してください。
UCH10/11	5	0	AIN10およびAIN11を擬似差動変換に設定するには1を設定してください。 AIN10およびAIN11をシングルエンド変換に設定するには0を設定してください。
UCH12/13	4	0	AIN12およびAIN13を擬似差動変換に設定するには1を設定してください。 AIN12およびAIN13をシングルエンド変換に設定するには0を設定してください。
UCH14/15	3	0	AIN14およびAIN15を擬似差動変換に設定するには1を設定してください。 AIN14およびAIN15をシングルエンド変換に設定するには0を設定してください。
PDIFF_COM	2	0	AIN0～AIN14をREF-/AIN15上の1つの共通DC電圧基準とするには1を設定してください。15:1の擬似差動モードをディセーブルするには0を設定してください。
—	1:0	000	未使用。

表11. Bipolarレジスタ

BIT NAME	BIT	DEFAULT STATE	機能
BIP_SETUP	15:11	—	Bipolarレジスタを選択するには10010を設定してください。
BCH0/1	10	0	AIN0およびAIN1をバイポーラ完全差動変換に設定するには1を設定してください。 AIN0およびAIN1をユニポーラ変換モードに設定するには0を設定してください。
BCH2/3	9	0	AIN2およびAIN3をバイポーラ完全差動変換に設定するには1を設定してください。 AIN2およびAIN3をユニポーラ変換モードに設定するには0を設定してください。
BCH4/5	8	0	AIN4およびAIN5をバイポーラ完全差動変換に設定するには1を設定してください。 AIN4およびAIN5をユニポーラ変換モードに設定するには0を設定してください。
BCH6/7	7	0	AIN6およびAIN7をバイポーラ完全差動変換に設定するには1を設定してください。 AIN6およびAIN7をユニポーラ変換モードに設定するには0を設定してください。
BCH8/9	6	0	AIN8およびAIN9をバイポーラ完全差動変換に設定するには1を設定してください。 AIN8およびAIN9をユニポーラ変換モードに設定するには0を設定してください。
BCH10/11	5	0	AIN10およびAIN11をバイポーラ完全差動変換に設定するには1を設定してください。 AIN10およびAIN11をユニポーラ変換モードに設定するには0を設定してください。
BCH12/13	4	0	AIN12およびAIN13をバイポーラ完全差動変換に設定するには1を設定してください。 AIN12およびAIN13をユニポーラ変換モードに設定するには0を設定してください。
BCH14/15	3	0	AIN14およびAIN15をバイポーラ完全差動変換に設定するには1を設定してください。 AIN14およびAIN15をユニポーラ変換モードに設定するには0を設定してください。
—	2:0	000	未使用。

表12. Custom Scan0レジスタ

BIT NAME	BIT	DEFAULT STATE	機能
CUST_SCAN0	15:11	—	Custom Scan0レジスタを選択するには10100を設定してください。
CHSCAN15	10	0	AIN15をスキャンするには1を設定してください。AIN15を除外するには0を設定してください。
CHSCAN14	9	0	AIN14をスキャンするには1を設定してください。AIN14を除外するには0を設定してください。
CHSCAN13	8	0	AIN13をスキャンするには1を設定してください。AIN13を除外するには0を設定してください。
CHSCAN12	7	0	AIN12をスキャンするには1を設定してください。AIN12を除外するには0を設定してください。
CHSCAN11	6	0	AIN11をスキャンするには1を設定してください。AIN11を除外するには0を設定してください。
CHSCAN10	5	0	AIN10をスキャンするには1を設定してください。AIN10を除外するには0を設定してください。
CHSCAN9	4	0	AIN9をスキャンするには1を設定してください。AIN9を除外するには0を設定してください。
CHSCAN8	3	0	AIN8をスキャンするには1を設定してください。AIN8を除外するには0を設定してください。
—	2:0	000	未使用。

表13. Custom Scan1レジスタ

BIT NAME	BIT	DEFAULT STATE	機能
CUST_SCAN1	15:11	—	Custom Scan1レジスタを選択するには10101を設定してください。
CHSCAN7	10	0	AIN7をスキャンするには1を設定してください。AIN7を除外するには0を設定してください。
CHSCAN6	9	0	AIN6をスキャンするには1を設定してください。AIN6を除外するには0を設定してください。
CHSCAN5	8	0	AIN5をスキャンするには1を設定してください。AIN5を除外するには0を設定してください。
CHSCAN4	7	0	AIN4をスキャンするには1を設定してください。AIN4を除外するには0を設定してください。
CHSCAN3	6	0	AIN3をスキャンするには1を設定してください。AIN3を除外するには0を設定してください。
CHSCAN2	5	0	AIN2をスキャンするには1を設定してください。AIN2を除外するには0を設定してください。
CHSCAN1	4	0	AIN1をスキャンするには1を設定してください。AIN1を除外するには0を設定してください。
CHSCAN0	3	0	AIN0をスキャンするには1を設定してください。AIN0を除外するには0を設定してください。
—	2:0	000	未使用。

表14. SampleSetレジスタ

BIT NAME	BIT	DEFAULT STATE	機能
SMPL_SET	15:11	—	SampleSetレジスタを選択するには10110を設定してください。
SEQ_LENGTH	10:3	00000000	目的のシーケンス長を示す8ビットのバイナリワードです。式は次のとおりです。 シーケンス長 = SEQ_LENGTH + 1 00000000 = シーケンス長 = 1 11111111 = シーケンス長 = 256 コード形式：ストレートバイナリ 最大長：256 ADC変換
—	2:0	—	未使用。

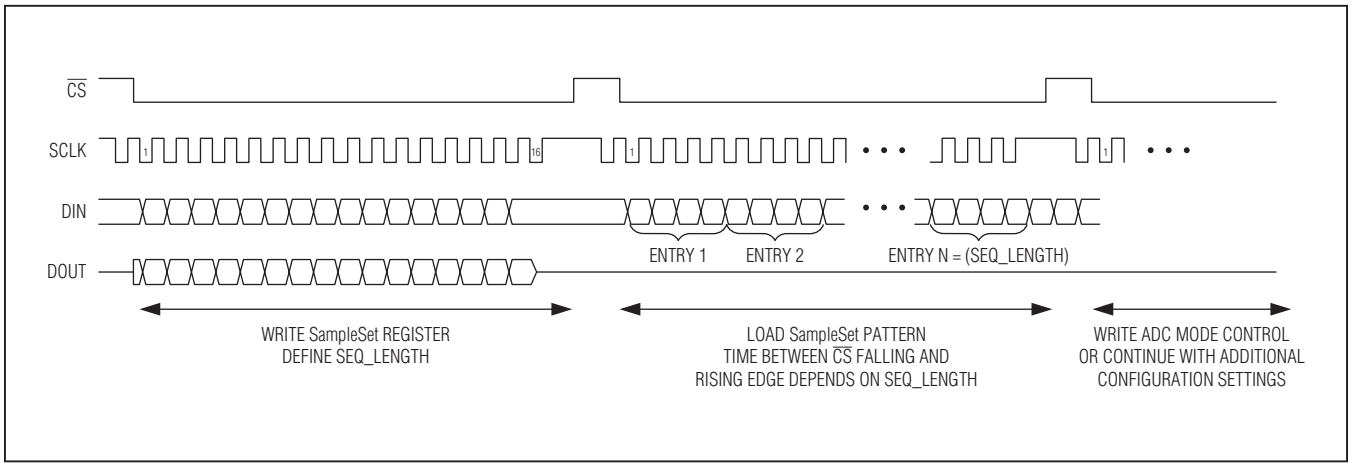


図10. SampleSetのタイミング図

SampleSetのパターンを受信した時点で、ユーザーはADC Mode Controlレジスタを設定して、最初のSample Setエントリからデータの読取りが始まる変換プロセスを開始することができます。最後の変換結果を読み取っている間に、必要に応じて、AutoShutdownに移行するようADCに指示することが可能です。ユーザーがSampleSetの長さを変更したい場合は、図10に示すように新しいパターンをADCにロードする必要があります。

アプリケーション情報

モードのプログラム方法

1) ADCを設定します(DINのMSBに1を設定)。
2) ADCモード制御をプログラムして(DINのMSBに0を設定)、変換プロセスを開始するか、パワーマネージメント機能を制御します。
   - 変換シーケンス中にADCモード制御が書き込まれた場合、ADCは現在の変換を完了し、次の$\overline{CS}$の立下りエッジで新しい命令を開始します。
   - 変換シーケンス中に設定データ(DINのMSBは1)が書き込まれた場合、ADCは既存のスキャンモードでの現在の変換を完了します。しかし、新しいADCモード制御の命令がコード設定されるまでは、後続のフレームのDOUTのデータは有効ではありません。

プログラミングシーケンスのフローチャート

プログラミングシーケンスについては、図11を参照してください。

レイアウト、グランド処理、およびバイパス処理

最高の性能を実現するために、ソリッドグランドプレーンを備えたPCBを使用してください。デジタルとアナログの信号ラインが確実に分離されるようにしてください。アナログとデジタル(特にクロック)のラインを互いに平行に配線したり、デジタルラインをADCのパッケージの下に配線しないでください。V_{DD}、OVDD、およびREFのノイズはADCの性能に影響します。0.1µFと10µFのバイパスコンデンサで、V_{DD}、OVDD、およびREFをグランドに接続してください。最高の電源ノイズ除去を実現するために、コンデンサのリード長およびトレース長を最小限に抑えてください。

入力アンプの選択

入力アンプのセトリング時間をADCの取得時間に整合させることが重要です。入力信号のワーストケースのセトリング時間より長い間にわたってADCが入力信号のサンプリングを行う場合に、正確な変換結果が得られます。定義により、セトリング時間とは、入力電圧ステップの印加から、その結果としてのアンプの定常的出力レベルを中心とする所定の誤差帯域内に出力信号が到達して安定する時点までの時間です。ADCの入力サンプリングコンデンサは、取得時間と呼ばれるサンプリングサイクルの間に充電されます。この取得時間中、セトリング時間は入力抵抗と入力サンプリング容量の影響を受けます。この誤差は、取得時間にわたり入力容量とソースインピーダンスを使用してRC時定数のセトリングを観測することによって推定可能です。図13は、標準アプリケーション回路を示します。MAX4430は16ビット分解能でのセトリング時間が37nsのため、このアプリケーション用の選択肢として優れています。「標準動作特性」の「THD vs. Input Resistance (THDと入力抵抗の関係)」のグラフを参照してください。

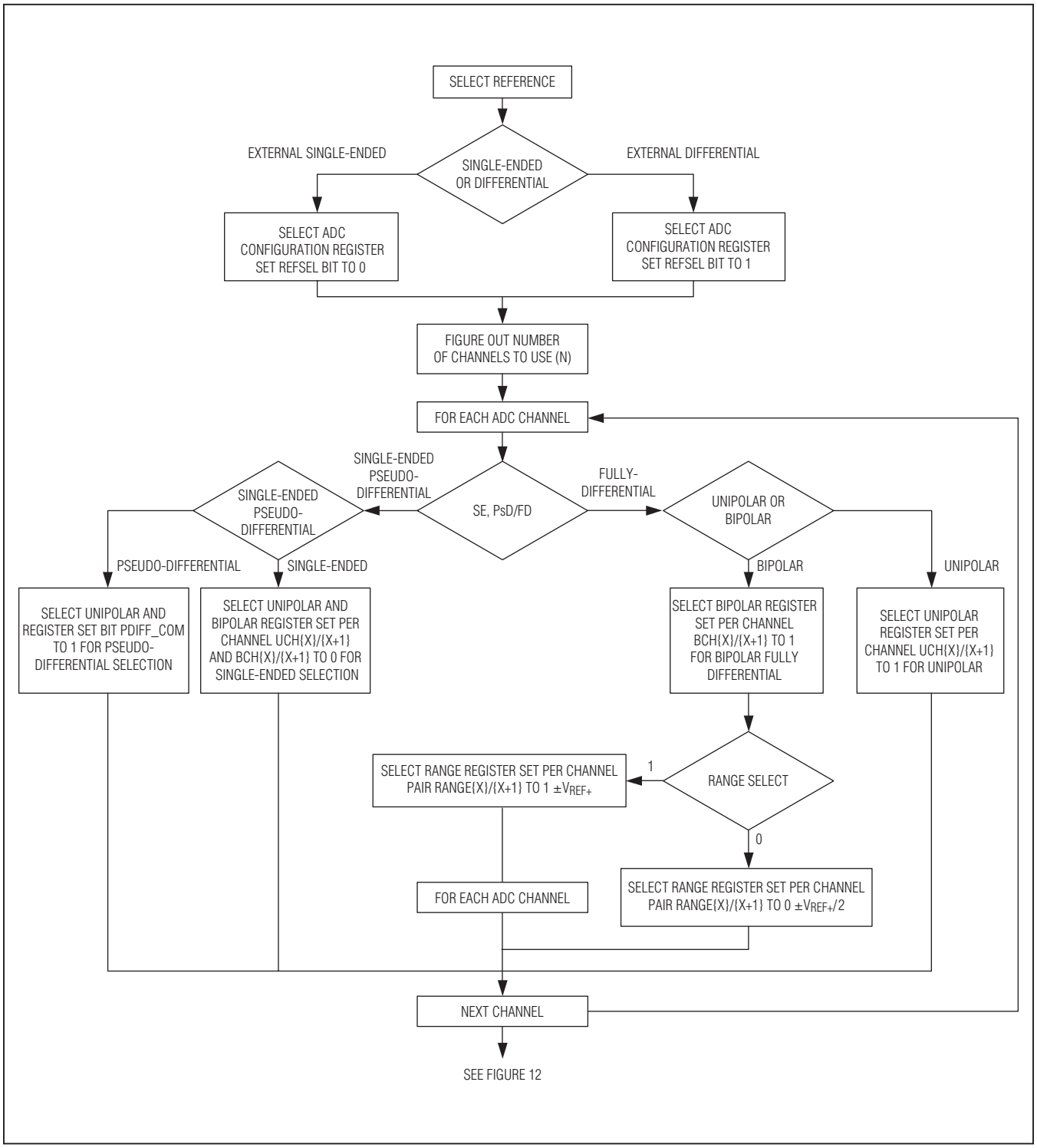


図11. ADCのプログラミングシーケンス

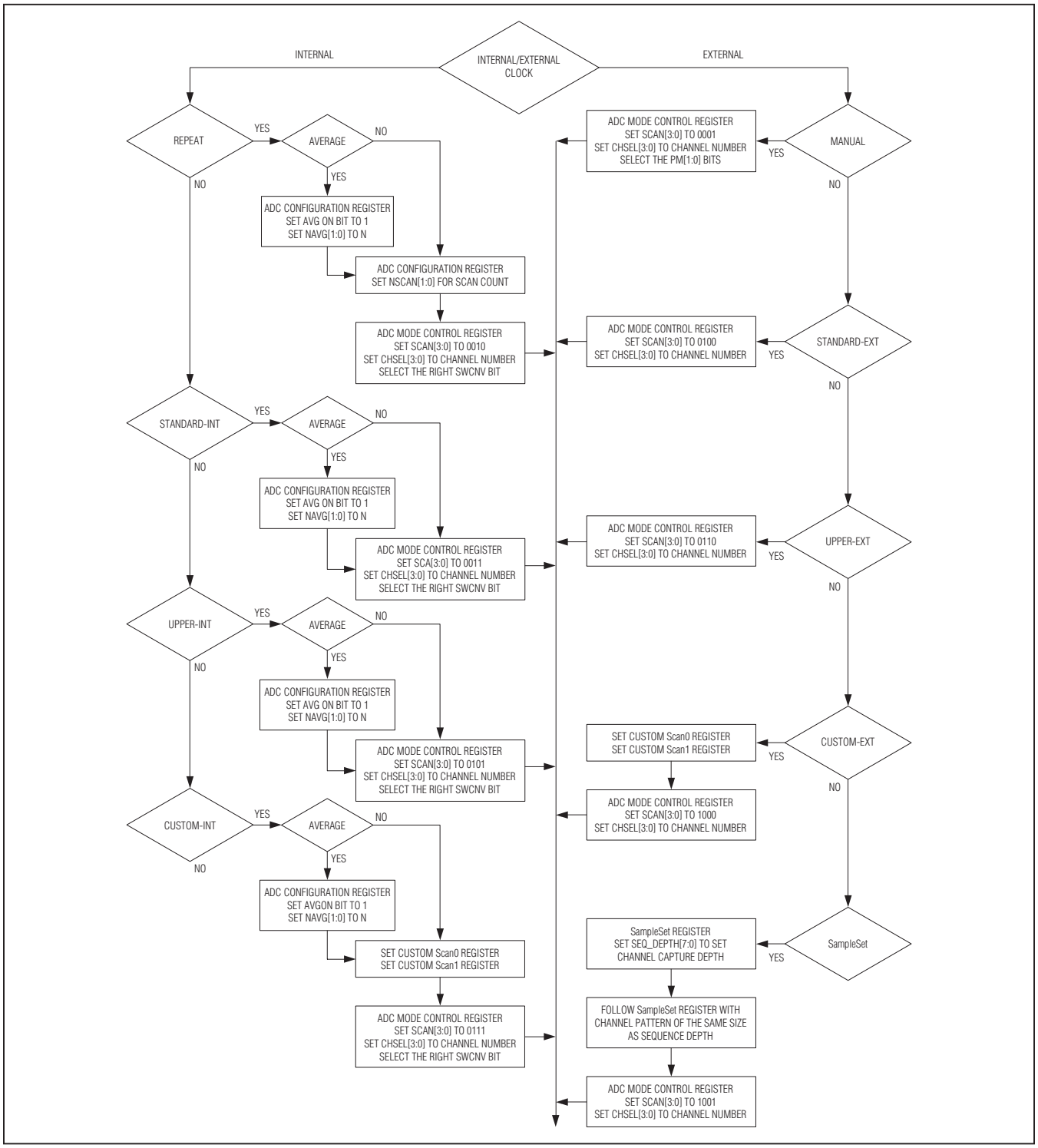


図12. ADCモード選択のプログラミングシーケンス

リファレンスの選択

外部リファレンスを使用するデバイスの場合、リファレンスの選択によってADCの出力精度が決まります。理想的な電圧リファレンスとは、完璧な初期精度を備え、負荷電流、温度、および時間の変化と無関係にリファレンス電圧を維持するものです。リファレンスを選択する際には、以下のパラメータについて考慮する必要があります。

- 入力電圧の精度
- 温度ドリフト
- 電流供給能力
- 電流シンク能力
- 静止時消費電流
- ノイズ

  リファレンスの選択肢としては、ノイズ特性から図13のMAX6126が最善ですがMAX6033およびMAX6043も優れています(図13)。

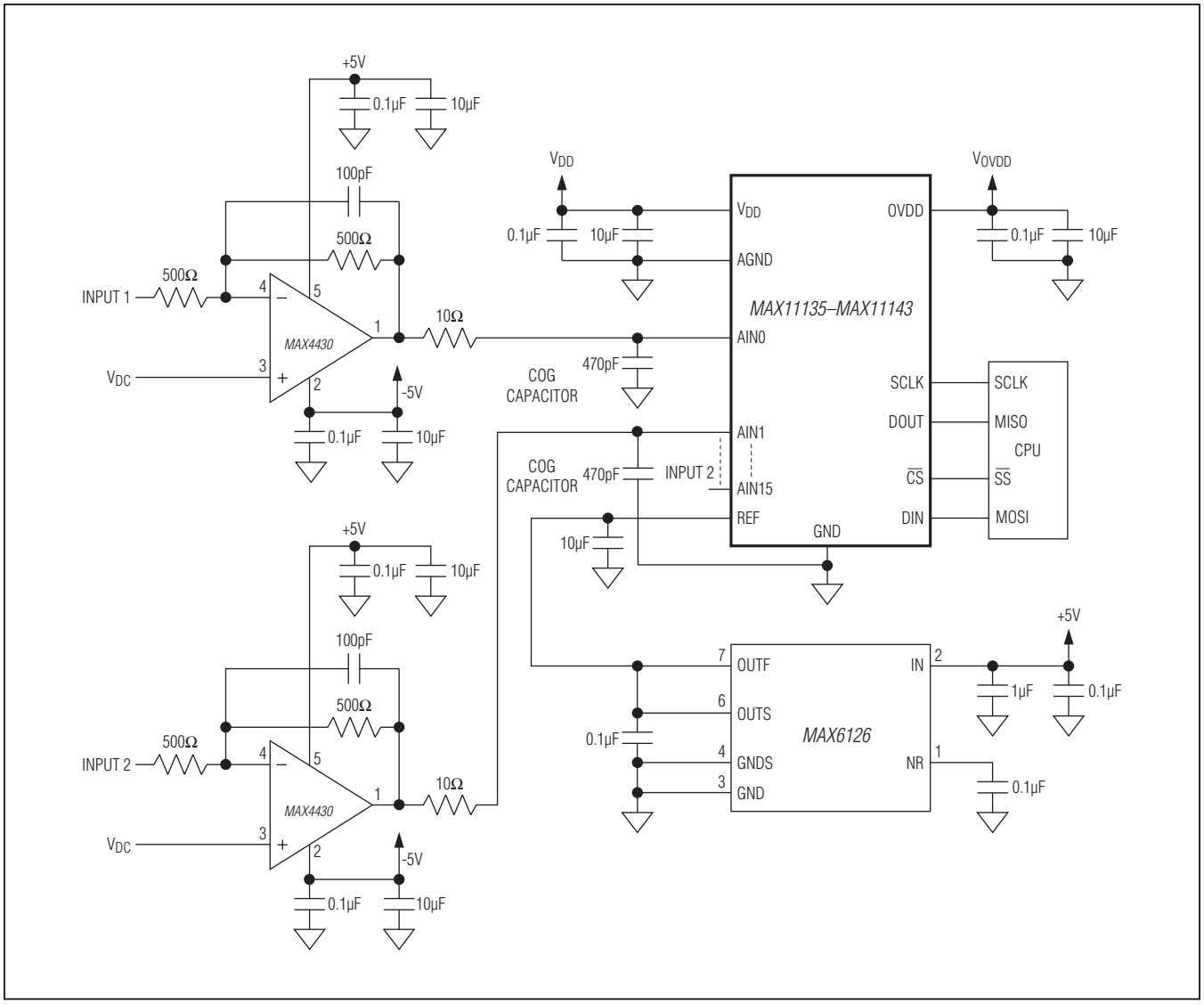


図13. 標準アプリケーション回路

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値と直線との偏差です。この直線には、最近似直線フィット法またはオフセット誤差およびゲイン誤差の相殺後に伝達関数のエンドポイント間に引いた直線を使用することができます。MAX11135～MAX11143の静的直線性パラメータはエンドポイント法を使用して測定されます。

微分非直線性

微分非直線性(DNL)は、1 LSBの実際のステップ幅と理想値との差です。DNL誤差の仕様が1 LSB以下の場合、抜けのないコードおよび単調な伝達関数が保証されます。

信号対ノイズ比

信号対ノイズ比は、特定の時点における目的の信号の振幅とノイズ信号との振幅の比率です。数値が大きいほど、高性能です。理論上の最小アナログ-デジタル変換ノイズは量子化誤差に起因し、ADCの分解能(Nビット)によって直接決定されます。

$$SNR = (6.02 \times N + 1.76)\ dB$$

実際には、サーマルノイズ、リファレンスノイズ、クロックジッタなど、量子化ノイズ以外にもノイズ源が存在します。そのため、SN比はRMS信号のRMSノイズに対する比率を求めることによって計算され、全スペクトル成分から基本波、最初の5つの高調波、およびDCオフセットを除いたものが含まれます。

全高調波歪み

全高調波歪み(THD)は、次式で表されます。

$$THD = 20 \times \log\left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}\right)$$

ここで、V_1は基本波の振幅、V_2～V_5は2次から5次の高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大の信号成分)のRMS振幅と、次に大きな歪み成分のRMS値との比率です。

フルパワー帯域幅

フルパワー帯域幅は、フルスケール入力に対して入力信号の振幅が3dB減衰する周波数です。

フルリニア帯域幅

フルリニア帯域幅は、信号 対 ノイズ + 歪み(SINAD)が68dB以上の周波数です。

混変調歪み

非直線性を備えたデバイスは、2つの異なる周波数(f1およびf2)の2つの正弦波がそのデバイスに入力された場合、歪み成分を生成します。混変調歪み(IMD)は、2つの入力トーン(f1およびf2)の合計入力パワーを基準とするナイキスト周波数までのIM2～IM5の混変調成分の合計パワーです。個々の入力トーンレベルは-6dBFSです。

500ksps、低電力、シリアル12/10/8ビット、4/8/16チャネルADC

型番

PART	PIN-PACKAGE	BITS	SPEED (ksps)	NO. OF CHANNELS
MAX11135ATI+	28 TQFN-EP*	12	500	4
MAX11136ATI+	28 TQFN-EP*	12	500	8
MAX11137ATI+	28 TQFN-EP*	12	500	16
MAX11138ATI+	28 TQFN-EP*	10	500	4
MAX11139ATI+	28 TQFN-EP*	10	500	8
MAX11140ATI+	28 TQFN-EP*	10	500	16
MAX11141ATI+	28 TQFN-EP*	8	500	4
MAX11142ATI+	28 TQFN-EP*	8	500	8
MAX11143ATI+	28 TQFN-EP*	8	500	16

注：すべてのデバイスが-40℃～+125℃の温度範囲での動作を保証されています。
+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
*EP = エクスポーズドパッド。

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**japan.maxim-ic.com/packages**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
28 TQFN-EP	T2855+3	**21-0140**	**90-0023**

改訂履歴

版数	改訂日	説明	改訂ページ
0	2/12	初版	—
1	7/12	MAX11136/MAX11138～MAX11143をリリース	39

マキシム･ジャパン株式会社　〒141-0032　東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F　TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

© 2012 Maxim Integrated Products　MaximはMaxim Integrated Products, Inc.の登録商標です。