

## 12ビット、80Msps、3.3V ADC

## 概要

MAX1208は、完全差動型広帯域トラックホールド(T/H)入力アンプを備え、内蔵の低ノイズ量子化器を駆動する3.3V、12ビット、80Mspsのアナログ-デジタルコンバータ(ADC)です。アナログ入力段は、シングルエンドまたは差動信号で動作します。MAX1208は、低電力、小型、およびベースバンドアプリケーションでの高ダイナミック性能に最適化されています。

MAX1208は、3.0V~3.6Vの単一電源で動作し、消費電力はわずか373mWで、32.5MHzの入力周波数における信号対ノイズ比(SNR)の標準値は68.2dBです。MAX1208は、動作電力が低いことに加えて、3 $\mu$ Wのパワーダウンモードを備えているためアイドル期間の電力を節約することができます。

MAX1208は、フレキシブルなリファレンス構成となっており、内部の2.048Vバンドギャブリファレンスを使用することも外部からリファレンスを印加することも可能です。このリファレンス構成により、フルスケールのアナログ入力を $\pm 0.35V \sim \pm 1.15V$ の範囲で調整することが可能です。MAX1208は、差動アナログ入力回路の設計を簡素化し、外付け部品点数を少なくするために、コモンモードリファレンスを備えています。

MAX1208は、シングルエンドおよび差動入力クロック駆動の両方をサポートしています。ADC内部のデューティサイクルイコライザ(DCE)がクロックデューティサイクルの大幅な変動を補償します。

ADCの変換結果は、12ビット、パラレル、CMOS対応出力バスから得ることができます。デジタル出力形式は、2の補数またはグレイコードのいずれかを端子設定によって選択することができます。データ有効インジケータによって、信頼性の高いデジタルインタフェースに一般的に必要とされる外付け部品が不要になります。デジタル電源入力は、独立した1.7V~3.6Vの広範な電圧で動作するため、MAX1208はさまざまなロジックレベルとインタフェースすることができます。

MAX1208は、6mm x 6mm x 0.8mmの40ピン、エクスポーズドパッド(EP)付きTQFNパッケージで提供され、拡張温度範囲(-40°C~+85°C)での動作が保証されています。

14ビットおよび12ビットの高速ADCの全ファミリについては、「ピンコンパチブルバージョン」表を参照してください。

## アプリケーション

通信レーザ

携帯電話、ポイント間マイクロ波、HFC、WLAN

超音波および医療用画像処理

ポータブル計測機器

低電力データ収集

## 特長

- ◆ 優れたダイナミック性能
  - SNR : 68.2dB/68.0dB ( $f_{IN} = 3\text{MHz}/70\text{MHz}$ において)
  - SFDR : 89.3dBc/85.1dBc ( $f_{IN} = 3\text{MHz}/70\text{MHz}$ において)
- ◆ 3.3Vの低電力動作
  - 373mW (シングルエンドクロックモード)
  - 399mW (差動クロックモード)
  - 3 $\mu$ W (パワーダウンモード)
- ◆ 差動またはシングルエンドクロック
- ◆ 完全差動またはシングルエンドアナログ入力
- ◆ 可変フルスケールアナログ入力範囲 :  $\pm 0.35V \sim \pm 1.15V$
- ◆ コモンモードリファレンス
- ◆ 2の補数またはグレイコードのCMOS対応出力
- ◆ データ有効インジケータによってデジタル設計を簡素化
- ◆ データ範囲外インジケータ
- ◆ 小型、40ピン、エクスポーズドパッド付きTQFNパッケージ
- ◆ 評価キットがご利用頂けます(MAX1211EVKITを注文してください)

## 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX1208ETL	-40°C to +85°C	40 Thin QFN (6mm x 6mm x 0.8mm)	T4066-3

## ピンコンパチブルバージョン

PART	SAMPLING RATE (Msps)	RESOLUTION (BITS)	TARGET APPLICATION
MAX12553	65	14	IF/Baseband
MAX1209	80	12	IF
MAX1211	65	12	IF
MAX1208	80	12	Baseband
MAX1207	65	12	Baseband
MAX1206	40	12	Baseband

ピン配置はデータシートの最後に記載されています。

# 12ビット、80Msps、3.3V ADC

MAX1208

## ABSOLUTE MAXIMUM RATINGS

V<sub>DD</sub> to GND .....-0.3V to +3.6V  
 OV<sub>DD</sub> to GND .....-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V  
 INP, INN to GND ...-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V  
 REFIN, REFOUT, REFP, REFN,  
 COM to GND .....-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V  
 CLKP, CLKN, CLKTYP, G/T, DCE,  
 PD to GND .....-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V

D11 Through D0 I.C., DAV, DOR to GND ...-0.3V to (OV<sub>DD</sub> + 0.3V)  
 Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 40-Pin Thin QFN 6mm x 6mm x 0.8mm  
 (derated 26.3mW/°C above +70°C).....2105.3mW  
 Operating Temperature Range .....-40°C to +85°C  
 Junction Temperature .....+150°C  
 Storage Temperature Range .....-65°C to +150°C  
 Lead Temperature (soldering 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 3.3V, OV<sub>DD</sub> = 2.0V, GND = 0, REFIN = REFOUT (internal reference), V<sub>IN</sub> = -0.5dBFS, CLKTYP = high, DCE = high, PD = low, G/T = low, f<sub>CLK</sub> = 80MHz (50% duty cycle), T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 2)						
Resolution			12			Bits
Integral Nonlinearity	INL	f <sub>IN</sub> = 20MHz		±0.65		LSB
Differential Nonlinearity	DNL	f <sub>IN</sub> = 20MHz, no missing codes over temperature	-0.83	±0.35		LSB
Offset Error		V <sub>REFIN</sub> = 2.048V		±0.25	±0.92	%FS
Gain Error		V <sub>REFIN</sub> = 2.048V		±1.0	±5.6	%FS
<b>ANALOG INPUT (INP, INN)</b>						
Differential Input Voltage Range	V <sub>DIFF</sub>	Differential or single-ended inputs		±1.024		V
Common-Mode Input Voltage				V <sub>DD</sub> / 2		V
Input Capacitance (Figure 3)	C <sub>PAR</sub>	Fixed capacitance to ground		2		pF
	C <sub>SAMPLE</sub>	Switched capacitance		1.9		
<b>CONVERSION RATE</b>						
Maximum Clock Frequency	f <sub>CLK</sub>		80			MHz
Minimum Clock Frequency					5	MHz
Data Latency		Figure 6		8.5		Clock cycles
<b>DYNAMIC CHARACTERISTICS</b> (differential inputs, Note 2)						
Small-Signal Noise Floor	SSNF	Input at less than -35dBFS		-68.8		dBFS
Signal-to-Noise Ratio	SNR	f <sub>IN</sub> = 3MHz at -0.5dBFS		68.2		dB
		f <sub>IN</sub> = 32.5MHz at -0.5dBFS	65.4	68.2		
		f <sub>IN</sub> = 70MHz at -0.5dBFS		68.0		
Signal-to-Noise and Distortion	SINAD	f <sub>IN</sub> = 3MHz at -0.5dBFS		68.1		dB
		f <sub>IN</sub> = 32.5MHz at -0.5dBFS	65.2	68.1		
		f <sub>IN</sub> = 70MHz at -0.5dBFS		67.8		

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = 3.3V, OV<sub>DD</sub> = 2.0V, GND = 0, REFIN = REFOUT (internal reference), V<sub>IN</sub> = -0.5dBFS, CLK<sub>TYP</sub> = high, DCE = high, PD = low, G/T = low, f<sub>CLK</sub> = 80MHz (50% duty cycle), T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Spurious-Free Dynamic Range	SFDR	f <sub>IN</sub> = 3MHz at -0.5dBFS		89.3		dBc
		f <sub>IN</sub> = 32.5MHz at -0.5dBFS	78.7	88.2		
		f <sub>IN</sub> = 70MHz at -0.5dBFS		85.1		
Total Harmonic Distortion	THD	f <sub>IN</sub> = 3MHz at -0.5dBFS		-87.1		dBc
		f <sub>IN</sub> = 32.5MHz at -0.5dBFS		-85.0	-77.2	
		f <sub>IN</sub> = 70MHz at -0.5dBFS		-81.2		
Second Harmonic	HD2	f <sub>IN</sub> = 3MHz at -0.5dBFS		-93		dBc
		f <sub>IN</sub> = 32.5MHz at -0.5dBFS		-89		
		f <sub>IN</sub> = 70MHz at -0.5dBFS		-86.5		
Third Harmonic	HD3	f <sub>IN</sub> = 3MHz at -0.5dBFS		-96.8		dBc
		f <sub>IN</sub> = 32.5MHz at -0.5dBFS		-95.1		
		f <sub>IN</sub> = 70MHz at -0.5dBFS		-85.1		
Intermodulation Distortion	IMD	f <sub>IN1</sub> = 68.5MHz at -7dBFS f <sub>IN2</sub> = 71.5MHz at -7dBFS		-81.1		dBc
Third-Order Intermodulation	IM3	f <sub>IN1</sub> = 68.5MHz at -7dBFS f <sub>IN2</sub> = 71.5MHz at -7dBFS		-84.4		dBc
Two-Tone Spurious-Free Dynamic Range	SFDR <sub>TT</sub>	f <sub>IN1</sub> = 68.5MHz at -7dBFS f <sub>IN2</sub> = 71.5MHz at -7dBFS		85.4		dBc
Aperture Delay	t <sub>AD</sub>	Figure 4		0.9		ns
Aperture Jitter	t <sub>AJ</sub>	Figure 4		<0.2		psRMS
Output Noise	n <sub>OUT</sub>	INP = INN = COM		0.52		LSBRM
Overdrive Recovery Time		±10% beyond full scale		1		Clock cycles
INTERNAL REFERENCE (REFIN = REFOUT; VREFP, VREFN, and VCOM are generated internally)						
REFOUT Output Voltage	VREFOUT		1.978	2.048	2.079	V
COM Output Voltage	VCOM	VDD / 2		1.65		V
Differential Reference Output	VREF	VREF = VREFP - VREFN		1.024		V
REFOUT Load Regulation				35		mV/mA
REFOUT Temperature Coefficient	TCREF			+50		ppm/°C
REFOUT Short-Circuit Current		Short to VDD—sinking		0.24		mA
		Short to GND—sourcing		2.1		
BUFFERED EXTERNAL REFERENCE (REFIN driven externally; VREFIN = 2.048V, VREFP, VREFN, and VCOM are generated internally)						
REFIN Input Voltage	VREFIN			2.048		V
REFP Output Voltage	VREFP	(VDD/2) + (VREFIN / 4)		2.162		V

# 12ビット、80Msps、3.3V ADC

MAX1208

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLK_{TYP} = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFN Output Voltage	$V_{REFN}$	$(V_{DD} / 2) - (V_{REFIN} / 4)$		1.138		V
COM Output Voltage	$V_{COM}$	$V_{DD} / 2$	1.60	1.65	1.70	V
Differential Reference Output Voltage	$V_{REF}$	$V_{REF} = V_{REFP} - V_{REFN}$	0.969	1.024	1.069	V
Differential Reference Temperature Coefficient				$\pm 25$		ppm/ $^{\circ}C$
REFIN Input Resistance				$> 50$		$M\Omega$
<b>UNBUFFERED EXTERNAL REFERENCE (REFIN = GND; VREFP, VREFN, and VCOM are applied externally)</b>						
COM Input Voltage	$V_{COM}$	$V_{DD} / 2$		1.65		V
REFP Input Voltage		$V_{REFP} - V_{COM}$		0.512		V
REFN Input Voltage		$V_{REFN} - V_{COM}$		-0.512		V
Differential Reference Input Voltage	$V_{REF}$	$V_{REF} = V_{REFP} - V_{REFN}$		1.024		V
REFP Sink Current	$I_{REFP}$	$V_{REFP} = 2.162V$		1.1		mA
REFN Source Current	$I_{REFN}$	$V_{REFN} = 1.138V$		1.1		mA
COM Sink Current	$I_{COM}$			0.3		mA
REFP, REFN Capacitance				13		pF
COM Capacitance				6		pF
<b>CLOCK INPUTS (CLKP, CLKN)</b>						
Single-Ended Input High Threshold	$V_{IH}$	$CLK_{TYP} = GND, CLKN = GND$	$0.8 \times V_{DD}$			V
Single-Ended Input Low Threshold	$V_{IL}$	$CLK_{TYP} = GND, CLKN = GND$		$0.2 \times V_{DD}$		V
Differential Input Voltage Swing		$CLK_{TYP} = high$		1.4		$V_{P-P}$
Differential Input Common-Mode Voltage		$CLK_{TYP} = high$		$V_{DD} / 2$		V
Input Resistance	$R_{CLK}$	Figure 5		5		$k\Omega$
Input Capacitance	$C_{CLK}$			2		pF
<b>DIGITAL INPUTS (CLKTYP, G/<math>\bar{T}</math>, PD)</b>						
Input High Threshold	$V_{IH}$		$0.8 \times OV_{DD}$			V

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLK_{TYP} = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Low Threshold	$V_{IL}$				$0.2 \times OV_{DD}$	V
Input Leakage Current		$V_{IH} = OV_{DD}$			$\pm 5$	$\mu A$
		$V_{IL} = 0$			$\pm 5$	
Input Capacitance	$C_{DIN}$			5		pF
<b>DIGITAL OUTPUTS (D11–D0, DAV, DOR)</b>						
Output Voltage Low	$V_{OL}$	D11–D0, DOR, $I_{SINK} = 200\mu A$			0.2	V
		DAV, $I_{SINK} = 600\mu A$			0.2	
Output Voltage High	$V_{OH}$	D11–D0, DOR, $I_{SOURCE} = 200\mu A$		$OV_{DD} - 0.2$		V
		DAV, $I_{SOURCE} = 600\mu A$		$OV_{DD} - 0.2$		
Tri-State Leakage Current	$I_{LEAK}$	(Note 3)			$\pm 5$	$\mu A$
D11–D0, DOR Tri-State Output Capacitance	$C_{OUT}$	(Note 3)		3		pF
DAV Tri-State Output Capacitance	$C_{DAV}$	(Note 3)		6		pF
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	$V_{DD}$		3.0	3.3	3.6	V
Digital Output Supply Voltage	$OV_{DD}$		1.7	2.0	$V_{DD} + 0.3V$	V
Analog Supply Current	$I_{VDD}$	Normal operating mode, $f_{IN} = 32.5MHz$ at $-0.5dBFS$ , $CLK_{TYP} = GND$ , single-ended clock		113		mA
		Normal operating mode, $f_{IN} = 32.5MHz$ at $-0.5dBFS$ , $CLK_{TYP} = OV_{DD}$ , differential clock		121	132.2	
		Power-down mode clock idle, $PD = OV_{DD}$		0.001		
Analog Power Dissipation	$P_{DISS}$	Normal operating mode, $f_{IN} = 32.5MHz$ at $-0.5dBFS$ , $CLK_{TYP} = GND$ , single-ended clock		373		mW
		Normal operating mode, $f_{IN} = 32.5MHz$ at $-0.5dBFS$ , $CLK_{TYP} = OV_{DD}$ , differential clock		399	436.3	
		Power-down mode clock idle, $PD = OV_{DD}$		0.003		

# 12ビット、80Msps、3.3V ADC

MAX1208

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLKTYP = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Digital Output Supply Current	$I_{OVDD}$	Normal operating mode, $f_{IN} = 32.5MHz$ at $-0.5dBFS$ , $OV_{DD} = 2.0V$ , $C_L \approx 5pF$		9.9		mA
		Power-down mode clock idle, $PD = OV_{DD}$		0.9		$\mu A$
<b>TIMING CHARACTERISTICS</b> (Figure 6)						
Clock Pulse Width High	$t_{CH}$			6.25		ns
Clock Pulse Width Low	$t_{CL}$			6.25		ns
Data-Valid Delay	$t_{DAV}$	$C_L = 5pF$ (Note 5)		6.4		ns
Data Setup Time Before Rising Edge of DAV	$t_{SETUP}$	$C_L = 5pF$ (Note 4, Note 5)	7.7			ns
Data Hold Time After Rising Edge of DAV	$t_{HOLD}$	$C_L = 5pF$ (Note 4, Note 5)	4.2			ns
Wake-Up Time from Power-Down	$t_{WAKE}$	$V_{REFIN} = 2.048V$		10		ms

**Note 1:** Specifications  $\geq +25^{\circ}C$  guaranteed by production test,  $< +25^{\circ}C$  guaranteed by design and characterization.

**Note 2:** See definitions in the *Parameter Definitions* section.

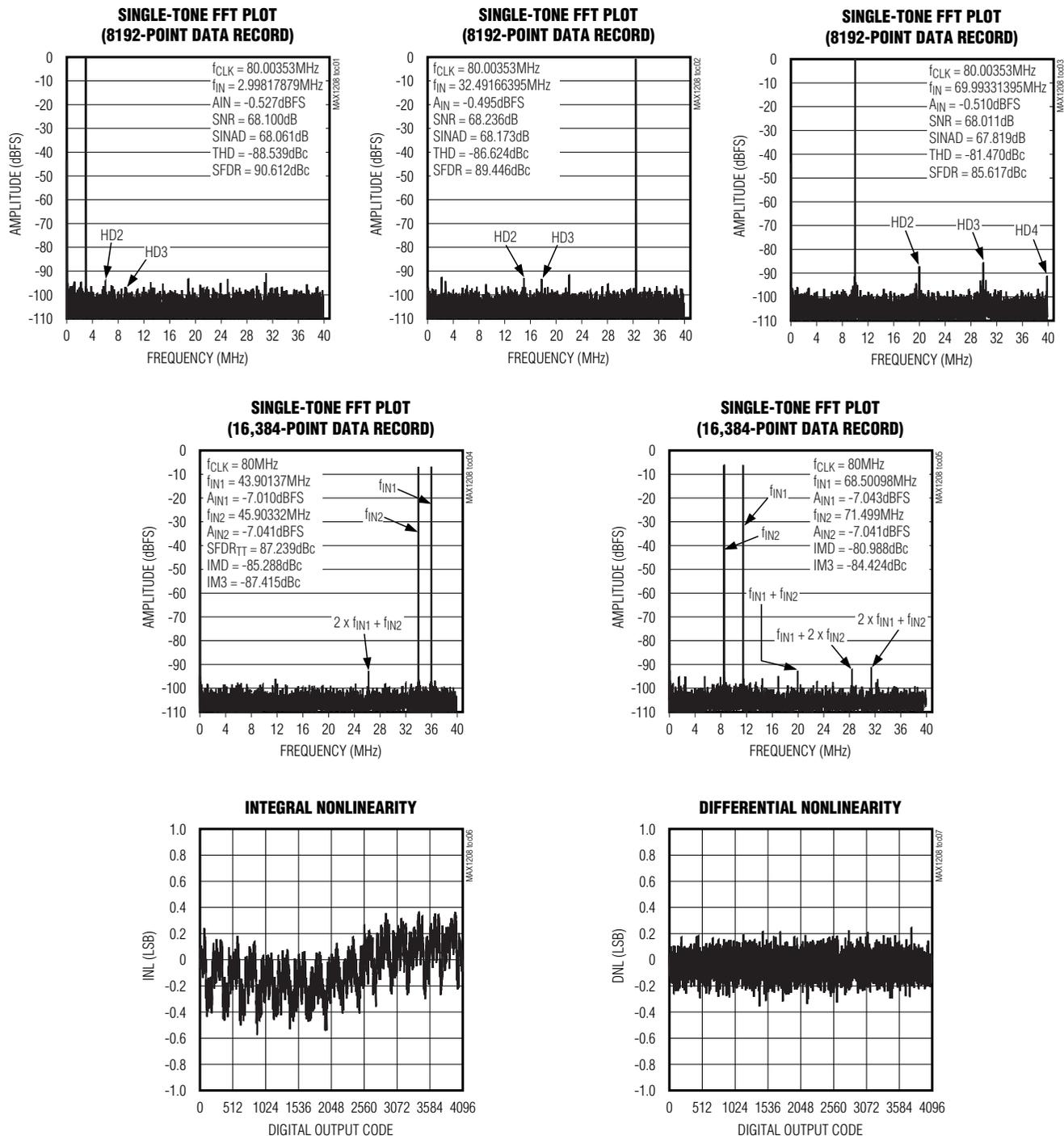
**Note 3:** During power-down, D11–D0, DOR, and DAV are high impedance.

**Note 4:** Guaranteed by design and characterization.

**Note 5:** Digital outputs settle to  $V_{IH}$  or  $V_{IL}$ .

## 標準動作特性

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLK_{TYP} = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)

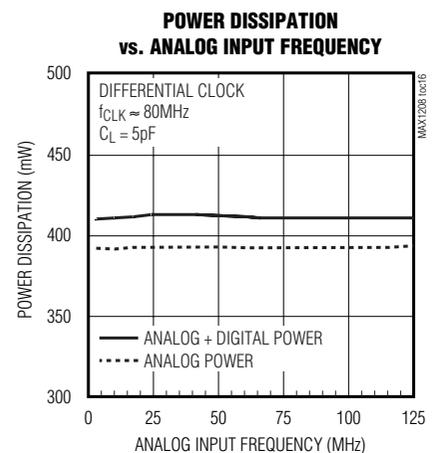
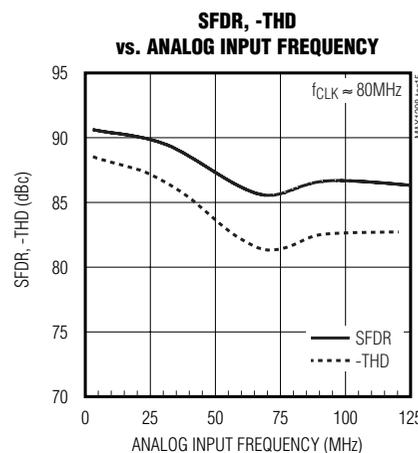
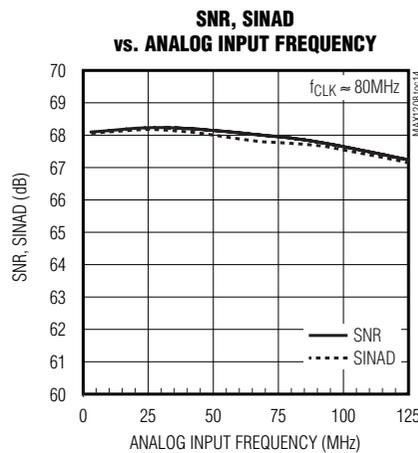
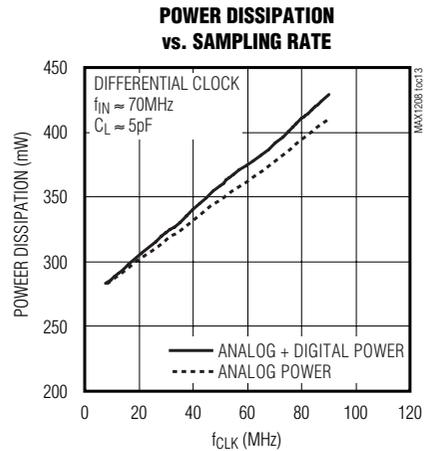
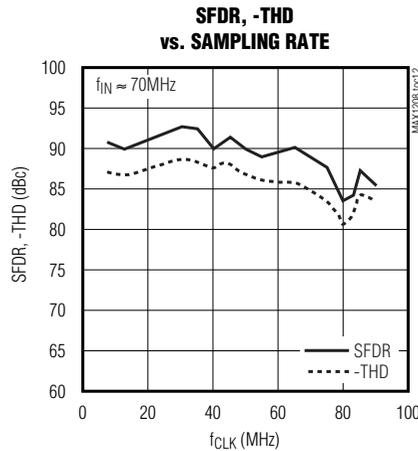
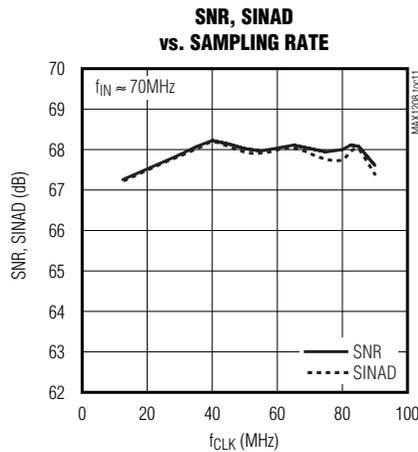
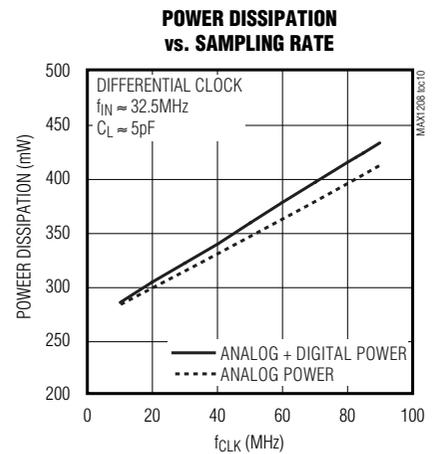
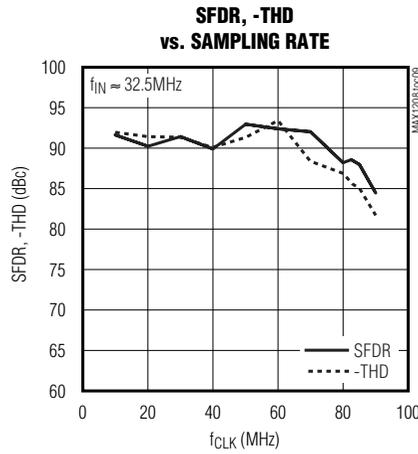
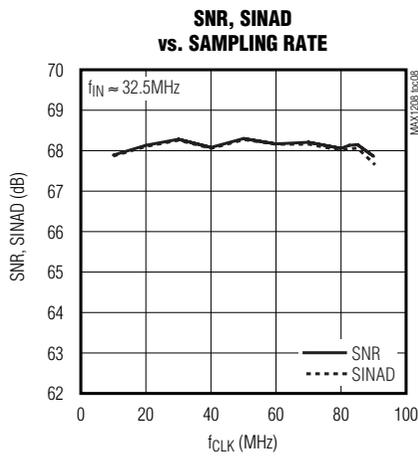


# 12ビット、80MSPS、3.3V ADC

MAX1208

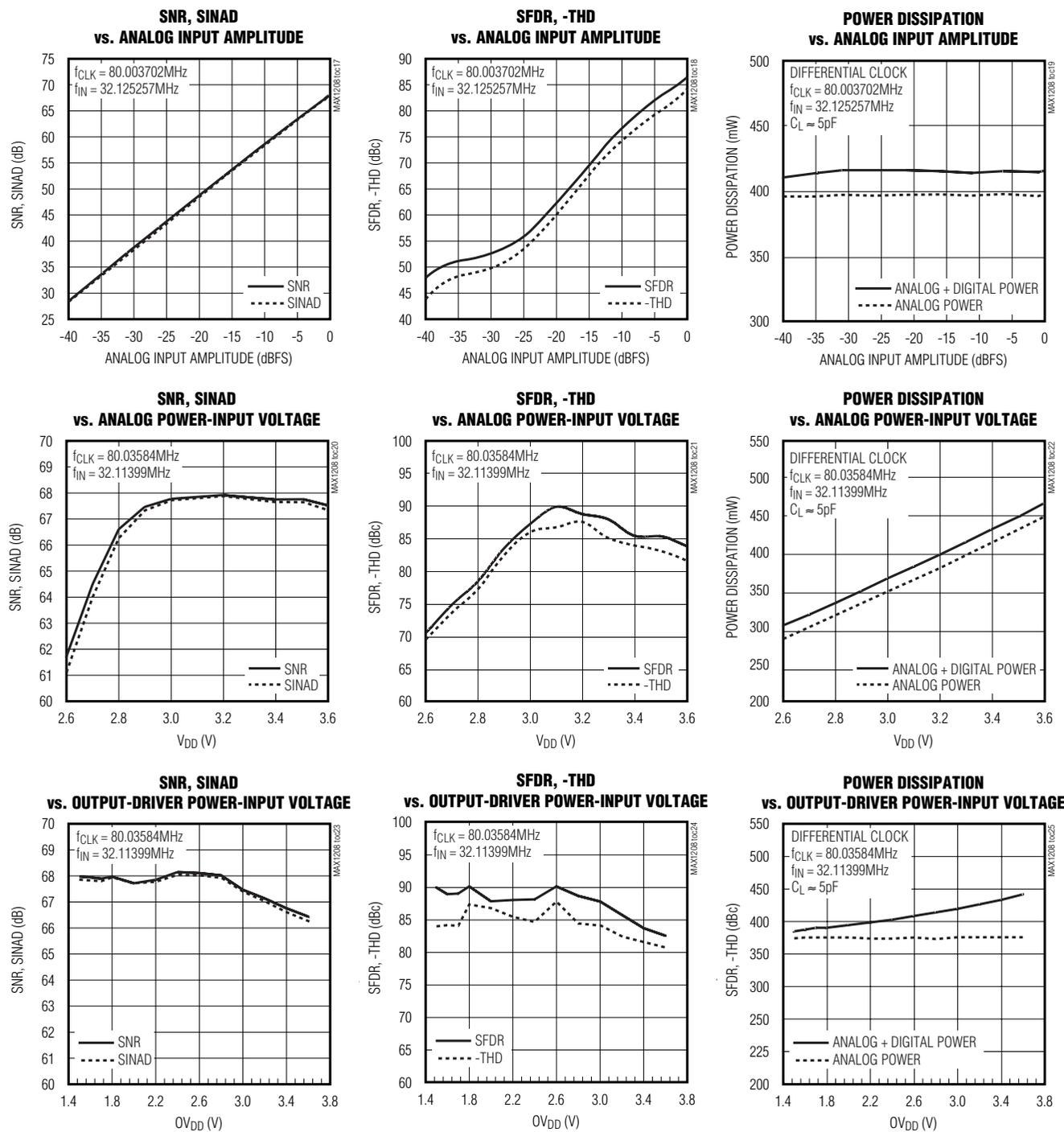
## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLK_{TYP} = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/T = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)



## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLK_{TYP} = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/T = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = +25^{\circ}C$ , unless otherwise noted.)

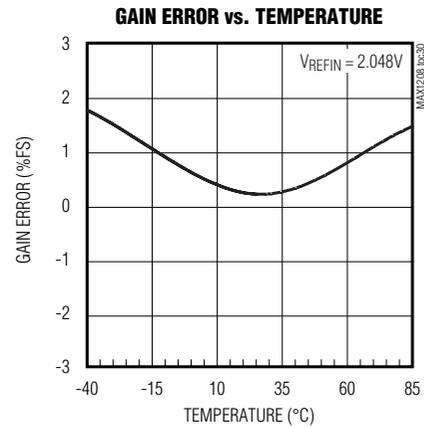
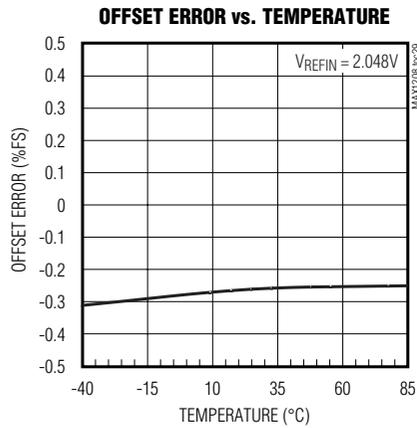
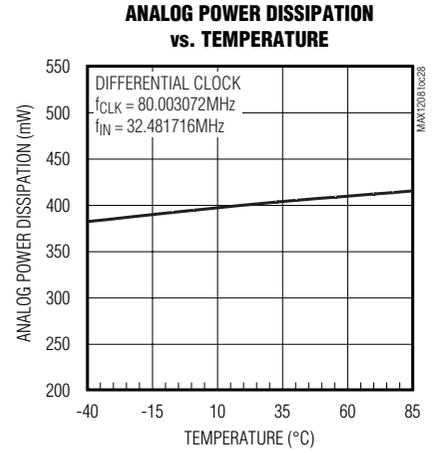
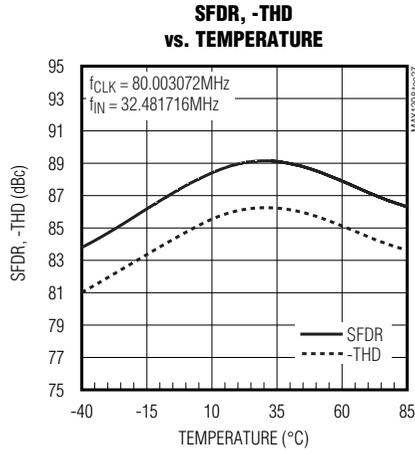
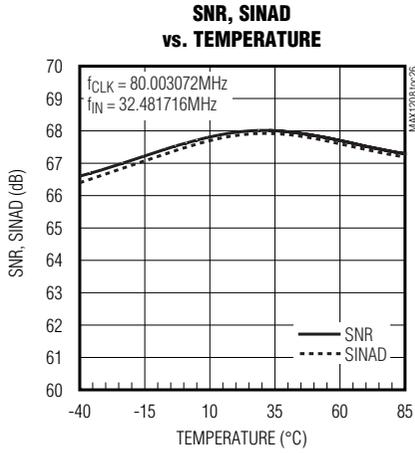


# 12ビット、80Msps、3.3V ADC

MAX1208

## 標準動作特性(続き)

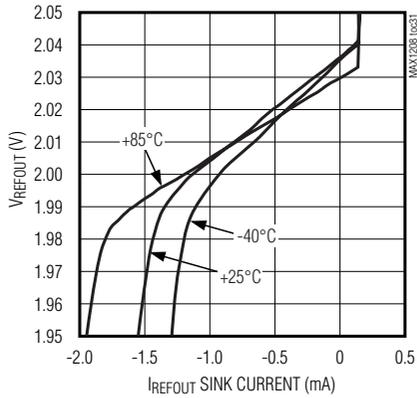
( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLKTYP = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)



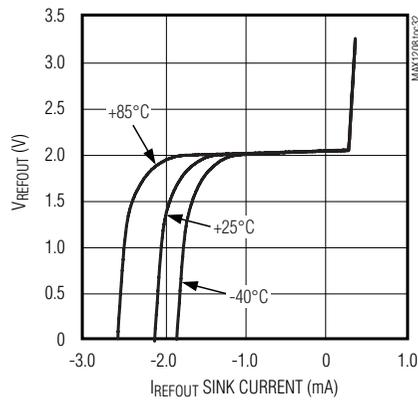
## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $V_{IN} = -0.5dBFS$ ,  $CLKTYP = high$ ,  $DCE = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 80MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)

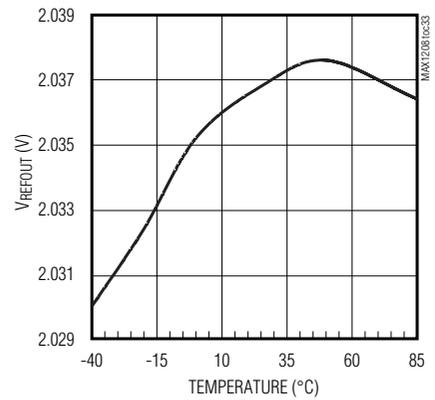
**REFERENCE OUTPUT VOLTAGE  
LOAD REGULATION**



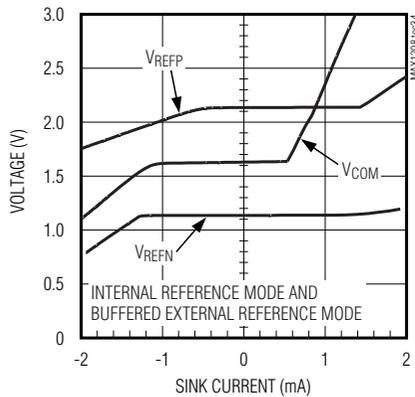
**REFERENCE OUTPUT VOLTAGE  
SHORT-CIRCUIT PERFORMANCE**



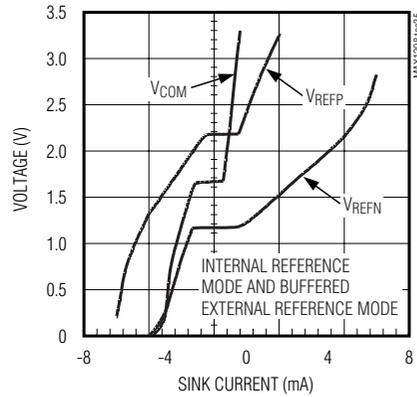
**REFERENCE OUTPUT VOLTAGE  
vs. TEMPERATURE**



**REFP, COM, REFN  
LOAD REGULATION**



**REFP, COM, REFN  
SHORT-CIRCUIT PERFORMANCE**



# 12ビット、80Msps、3.3V ADC

## 端子説明

端子	名称	機能
1	REFP	正リファレンスI/O。フルスケールアナログ入力範囲は $\pm(V_{REFP} - V_{REFN})$ です。REFPを0.1 $\mu$ FのコンデンサでGNDにバイパスしてください。REFPとREFNの間に10 $\mu$ Fのコンデンサと並列に1 $\mu$ Fのコンデンサを接続してください。REFPとREFNの間の1 $\mu$ Fのコンデンサは、プリント基板のデバイスと同じ側でデバイスにできる限り近付けて配置してください。
2	REFN	負リファレンスI/O。フルスケールアナログ入力範囲は $\pm(V_{REFP} - V_{REFN})$ です。REFNを0.1 $\mu$ FのコンデンサでGNDにバイパスしてください。REFPとREFNの間に10 $\mu$ Fのコンデンサと並列に1 $\mu$ Fのコンデンサを接続してください。REFPとREFNの間の1 $\mu$ Fのコンデンサは、プリント基板のデバイスと同じ側でデバイスにできる限り近付けて配置してください。
3	COM	コモンモード電圧I/O。COMを2.2 $\mu$ FのコンデンサでGNDにバイパスしてください。COMとGNDの間の2.2 $\mu$ Fのコンデンサは、デバイスのできる限り近くに配置してください。この2.2 $\mu$ Fのコンデンサは、プリント基板のデバイスと反対側に配置してビアを介してMAX1208に接続することができます。
4, 7, 16, 35	GND	グラウンド。すべてのグラウンド端子とEPは相互に接続してください。
5	INP	正アナログ入力
6	INN	負アナログ入力
8	DCE	デューティサイクルイコライザ入力。内蔵のデューティサイクルイコライザをディセーブルするためには、DCEをロー(GND)に接続してください。内蔵のデューティサイクルイコライザをイネーブルするためには、DCEをハイ(OV <sub>DD</sub> またはV <sub>DD</sub> )に接続してください。
9	CLKN	負クロック入力。差動クロック入力モード(CLKTYP = OV <sub>DD</sub> またはV <sub>DD</sub> )では、CLKPとCLKNの間に差動クロック信号を接続してください。シングルエンドクロックモード(CLKTYP = GND)では、シングルエンドクロック信号をCLKPに印加して、CLKNをGNDに接続してください。
10	CLKP	正クロック入力。差動クロック入力モード(CLKTYP = OV <sub>DD</sub> またはV <sub>DD</sub> )では、CLKPとCLKNの間に差動クロック信号を接続してください。シングルエンドクロックモード(CLKTYP = GND)では、シングルエンドクロック信号をCLKPに印加して、CLKNをGNDに接続してください。
11	CLKTYP	クロックタイプ決定入力。シングルエンドクロック入力に決定するためには、CLKTYPをGNDに接続してください。差動クロック入力に決定するためには、CLKTYPをOV <sub>DD</sub> またはV <sub>DD</sub> に接続してください。
12-15, 36	V <sub>DD</sub>	アナログ電源入力。V <sub>DD</sub> を3.0V~3.6V電源に接続してください。V <sub>DD</sub> を0.1 $\mu$ Fと2.2 $\mu$ F以上の並列コンデンサでGNDにバイパスしてください。すべてのV <sub>DD</sub> ピンを同じ電位に接続してください。
17, 34	OV <sub>DD</sub>	出力ドライバ電源入力。OV <sub>DD</sub> を1.7V~V <sub>DD</sub> 電源に接続してください。OV <sub>DD</sub> を2.2 $\mu$ F以上と0.1 $\mu$ Fの並列コンデンサでGNDにバイパスしてください。
18	DOR	データ範囲外インジケータ。DORデジタル出力は、アナログ入力電圧が正常範囲から外れているか否かを示します。DORが高いとき、アナログ入力はそのフルスケール範囲を超えています。DORがローのとき、アナログ入力はそのフルスケール範囲内にあります(図6)。
19	D11	CMOSデジタル出力、ビット11 (MSB)
20	D10	CMOSデジタル出力、ビット10
21	D9	CMOSデジタル出力、ビット9
22	D8	CMOSデジタル出力、ビット8
23	D7	CMOSデジタル出力、ビット7
24	D6	CMOSデジタル出力、ビット6
25	D5	CMOSデジタル出力、ビット5
26	D4	CMOSデジタル出力、ビット4
27	D3	CMOSデジタル出力、ビット3

## 端子説明(続き)

端子	名称	機能
28	D2	CMOSデジタル出力、ビット2
29	D1	CMOSデジタル出力、ビット1
30	D0	CMOSデジタル出力、ビット0 (LSB)
31, 32	I.C.	内部で接続されています。I.C.には何も接続しないでください。
33	DAV	データ有効出力。DAVは、入力クロックのデューティサイクル変動が補償されたクロックとしてシングルエンド出力するものです。DAVは、標準的には、MAX1208の出力データを外部の後続するデジタル回路にラッチするために使用されます。
37	PD	パワーダウン入力。パワーダウンモードの場合はPDをハイに強制してください。通常動作の場合はPDをローに強制してください。
38	REFOUT	内部リファレンス電圧出力。内部リファレンス動作の場合は、REFOUTをREFINに直接接続するか、またはREFOUTに抵抗分圧器を使用してREFINの電圧を設定してください。REFOUTを0.1μF以上のコンデンサでGNDにバイパスしてください。
39	REFIN	リファレンス入力。内部リファレンスモードおよびバッファ付き外部リファレンスモードでは、REFINを0.1μF以上のコンデンサでGNDにバイパスしてください。これらのモードでは、 $V_{REFP} - V_{REFN} = V_{REFIN}/2$ となります。バッファなしの外部リファレンスモード動作では、REFINをGNDに接続してください。
40	$G/\bar{T}$	出力形式選択入力。2の補数デジタル出力形式の場合は、 $G/\bar{T}$ をGNDに接続してください。グレイコードデジタル出力形式の場合は、 $G/\bar{T}$ をOV <sub>DD</sub> またはV <sub>DD</sub> に接続してください。
—	EP	エクスポーズパッド。MAX1208では、エクスポーズパッドを使用して低インダクタンスのグラウンド接続を実現します。保証性能を実現するために、EPをGNDに接続してください。複数のビアを使用して、プリント基板の上側のグラウンドプレーンをプリント基板の下側のグラウンドプレーンに接続してください。

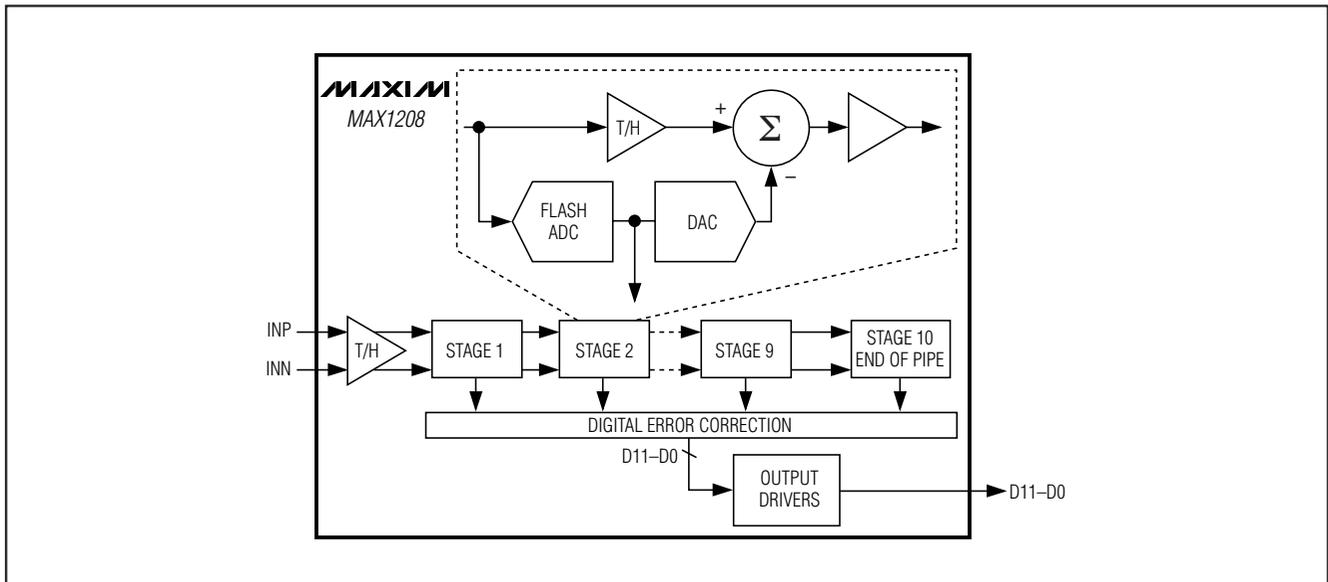


図1. パイプラインアーキテクチャ — ステージブロック

# 12ビット、80Msps、3.3V ADC

MAX1208

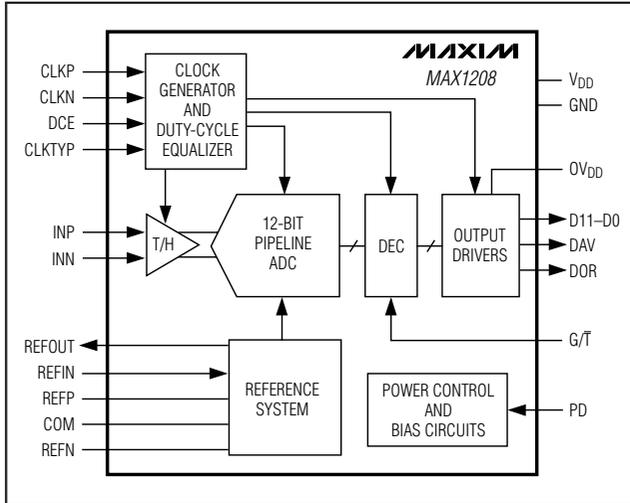


図2. 簡略化ファンクションダイアグラム

## 詳細

MAX1208には、最小の消費電力で高速変換を可能にする10段の完全差動パイプラインアーキテクチャ(図1)が採用されています。入力で取り込まれたサンプルは、1/2サイクルごとにパイプラインの複数段を順次移動します。入力から出力までの全クロックサイクル待ち時間は8.5クロックサイクルです。

パイプラインの各コンバータ段は、その入力電圧をデジタル出力コードに変換します。最終段を除くすべての段で、入力電圧とデジタル出力コードの間の誤差が増幅されて次のパイプライン段に入ります。デジタル誤差補正は、各パイプライン段においてADCコンパレータのオフセットを補償し、ミッシングコードがないことを保証します。図2は、MAX1208のファンクションダイアグラムを示します。

## 入トラックホールド(T/H)回路

図3は、入力T/H回路の簡略化ファンクションダイアグラムを示します。この入力T/H回路は、最高70MHzの高いアナログ入力周波数に対する動作が可能で、 $V_{DD}/2 \pm 0.5V$ のコモンモード入力電圧で動作します。

MAX1208のサンプリングクロックは、ADCのスイッチトキャパシタT/Hアーキテクチャ(図3)を制御し、アナログ入力信号をサンプリングコンデンサに電荷として蓄えることができます。これらのスイッチは、サンプリングクロックがハイのとき閉じ(トラック)、サンプリングクロックがローのとき開きます(ホールド) (図4)。アナログ入力信号源は、サンプリングコンデンサの充放電に必要なダイナミック電流を供給可能であることが必要です。信号の劣化を防ぐために、これらのコンデンサは1/2クロックサイクル以内に1/2LSBの精度まで充電することができなければなりません。

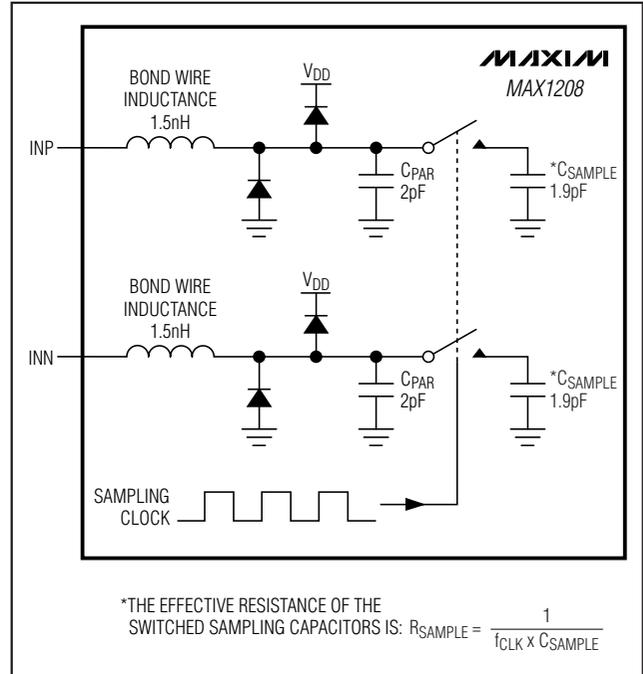


図3. 簡略化入力トラックホールド回路

MAX1208のアナログ入力は、差動またはシングルエンド入力による駆動が可能です。差動入力によって最適な性能を得るためには、INPとINNの入カインピーダンスをバランスさせてコモンモード電圧を電源電圧の中間( $V_{DD}/2$ )に設定してください。MAX1208は、内部リファレンスモードおよびバッファ付き外部リファレンスモードで動作するとき、COM出力から $V_{DD}/2$ の最適なコモンモード電圧を出力します。このCOM出力電圧は、図10、11、および12に示すように、入力回路網のバイアスに使用することができます。

## リファレンス出力(REFOUT)

内部のバンドギャップリファレンスは、MAX1208で使用されるすべての内部電圧とバイアス電流の基準となります。パワーダウンロジック入力(PD)は、リファレンス回路をイネーブル/ディセーブルします。電源がMAX1208に印加されたときやPDがハイからローに遷移するときは、リファレンス回路が起動して整定するまでに10msを要します。MAX1208がパワーダウン状態にあるとき、REFOUTはGNDに対して約17kΩで接続されています。

内部バンドギャップリファレンスとそのバッファは、 $V_{REFOUT}$ に2.048Vを生成します。リファレンスの温度係数は+50ppm/°C (typ)です。安定化のために、0.1μF以上の外付けバイパスコンデンサをREFOUTとGNDの間に接続してください。

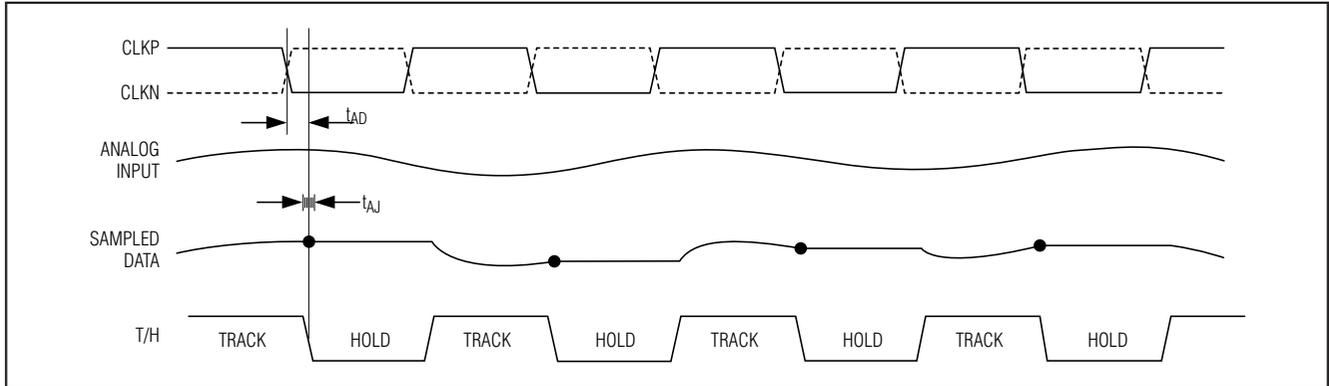


図4. T/Hアパーチャタイミング

REFOUTは、外部回路に対して最大ソース電流が1.0mA、最大シンク電流が0.1mAで、負荷レギュレーションが35mV/mAです。短絡保護によって、REFOUTがGNDに短絡されたとき $I_{REFOUT}$ はソース電流が2.1mAに、また $V_{DD}$ に短絡されたときシンク電流は0.24mAに制限されます。

### アナログ入力とリファレンス設定

MAX1208のフルスケールアナログ入力範囲は、コモンモード入力範囲が $V_{DD}/2 \pm 0.5V$ の場合 $\pm 0.35V \sim \pm 1.15V$ の範囲で調整することができます。MAX1208には、3つのリファレンス動作モードがあります。REFINの電圧( $V_{REFIN}$ )によってリファレンス動作モードが設定されます(表1)。

MAX1208をバッファなし外部リファレンスモードで動作させるためには、REFOUTをREFINに直接または抵抗分圧器を介して接続してください。このモードでは、 $V_{COM} = V_{DD}/2$ 、 $V_{REFP} = V_{DD}/2 + V_{REFIN}/4$ 、 $V_{REFN} = V_{DD}/2 - V_{REFIN}/4$ であり、COM、REFP、およびREFNはローインピーダンス出力となります。REFINの入力インピーダンスは、50MΩを超える非常に大きい値です。抵抗分圧器を介してREFINを駆動する場合は、

10kΩ以上の抵抗を使用してREFOUTに重負荷がかからないようにしてください。

バッファ付き外部リファレンスモードは、リファレンス源がMAX1208のREFOUTからではなく外部リファレンスから与えられること以外は、内部リファレンスモードと実質上同じです。バッファ付き外部リファレンスモードでは、REFINに安定した0.7V~2.3V電源を印加してください。このモードでは、 $V_{COM} = V_{DD}/2$ 、 $V_{REFP} = V_{DD}/2 + V_{REFIN}/4$ 、 $V_{REFN} = V_{DD}/2 - V_{REFIN}/4$ であり、COM、REFP、およびREFNはローインピーダンス出力となります。

MAX1208をバッファなし外部リファレンスモードで動作させるためには、REFINをGNDに接続してください。REFINをGNDに接続すると、COM、REFP、およびREFN用の内蔵リファレンスバッファが不活性になります。各バッファが不活性になると、COM、REFP、およびREFNはハイインピーダンス入力になり、別の外部リファレンス源による駆動が必要になります。 $V_{COM}$ を $V_{DD}/2 \pm 5\%$ で駆動し、 $V_{COM} = (V_{REFP} + V_{REFN})/2$ となるようにREFPとREFNを駆動してください。フルスケールアナログ入力範囲は、 $\pm(V_{REFP} - V_{REFN})$ となります。

リファレンスの3つの動作モードはすべて、次のように

表1. リファレンスモード

$V_{REFIN}$	REFERENCE MODE
35% $V_{REFOUT}$ to 100% $V_{REFOUT}$	<b>Internal Reference Mode.</b> Drive REFIN with REFOUT either through a direct short or a resistive divider. The full-scale analog input range is $\pm V_{REFIN} / 2$ : $V_{COM} = V_{DD} / 2$ $V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4$ $V_{REFN} = V_{DD} / 2 - V_{REFIN} / 4$
0.7V to 2.3V	<b>Buffered External Reference Mode.</b> Apply an external 0.7V to 2.3V reference voltage to REFIN. The full-scale analog input range is $\pm V_{REFIN} / 2$ : $V_{COM} = V_{DD} / 2$ $V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4$ $V_{REFN} = V_{DD} / 2 - V_{REFIN} / 4$
<0.4V	<b>Unbuffered External Reference Mode.</b> Drive REFP, REFN, and COM with external reference sources. The full-scale analog input range is $\pm(V_{REFP} - V_{REFN})$ .

# 12ビット、80Msps、3.3V ADC

同じ組合せのバイパスコンデンサを必要とします。COMを2.2μFのコンデンサでGNDにバイパスしてください。REFPとREFNをおのおの0.1μFのコンデンサでGNDにバイパスしてください。10μFのコンデンサと並列の1μFのコンデンサでREFPをREFNにバイパスしてください。1μFのコンデンサは、プリント基板のデバイスと同じ側でデバイスのできる限り近くに配置してください。REFINとREFOUTを0.1μFのコンデンサでGNDにバイパスしてください。

詳細な回路例については、図13と14を参照してください。

## クロック入力とクロック制御ライン (CLKP、CLKN、CLKTYP)

MAX1208は、差動とシングルエンドの両方のクロック入力で動作します。シングルエンドクロック入力動作では、CLKTYPをGNDに、CLKNをGNDに接続し、CLKPを外部のシングルエンドクロック信号で駆動してください。差動クロック入力動作では、CLKTYPをOV<sub>DD</sub>またはV<sub>DD</sub>に接続し、CLKPとCLKNを外部の差動クロック信号で駆動してください。クロックのジッタを低減するために、外部のシングルエンドクロックは立下りエッジを急峻にする必要があります。クロック入力はアナログ入力と考えて、配線ルートを他のアナログ入力およびデジタル信号ラインから離してください。

MAX1208がパワーダウン状態にあるとき、CLKPとCLKNはハイインピーダンスになります(図5)。

MAX1208の規定されたSNR性能を得るためには、低クロックジッタが求められます。アナログ入力はクロック信号の立下りエッジでサンプリングされるため、このエッジのジッタは可能な限り小さくする必要があります。ジッタは、次の関係に従ってADCの最大SNR性能を制限します。

$$SNR = 20 \times \log\left(\frac{1}{2 \times \pi f_{IN} \times t_J}\right)$$

ここで、 $f_{IN}$ はアナログ入力周波数を表し、 $t_J$ はシステムの全クロックジッタを表します。クロックジッタは、アンダサンプリングアプリケーションにおいて特に重要です。たとえば、クロックジッタが唯一のノイズ源であるとすると、32.5MHzの入力周波数で68.2dBの規定SNRを実現するためには、システムのクロックジッタを1.9ps未満にしなければなりません。

## クロックデューティサイクルイコライザ(DCE)

MAX1208のクロックデューティサイクルイコライザをイネーブルするためには、DCEをOV<sub>DD</sub>またはV<sub>DD</sub>に接続してください。MAX1208のクロックデューティ

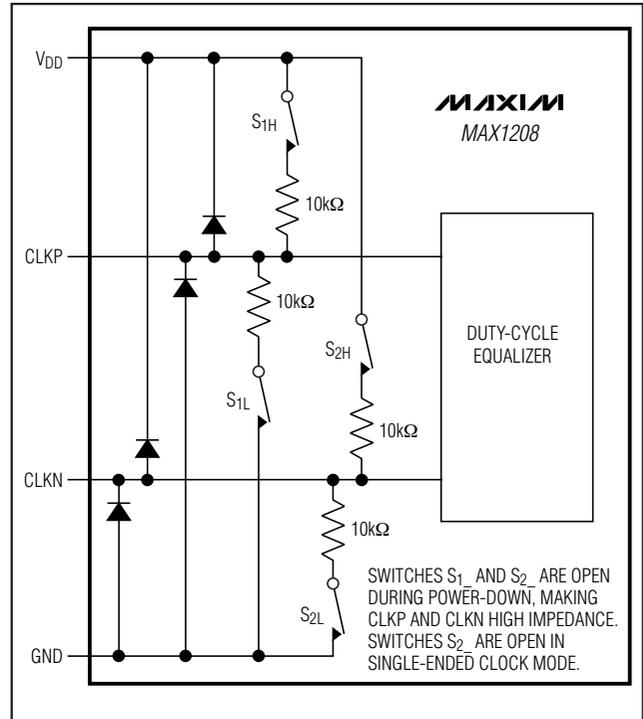


図5. 簡略化クロック入力回路

サイクルイコライザをディセーブルするためには、DCEをGNDに接続してください。

クロックデューティサイクルイコライザは、デューティサイクルとは無関係の内部タイミング信号を生成するために遅延ロックループ(DLL)を使用します。このDLLでは、MAX1208が新たなクロック周波数を獲得してロックするまでに約100クロックサイクルを必要とします。

クロックデューティサイクルイコライザをディセーブルすると、アナログ消費電流が1.5mAだけ減少します。

## システムタイミング要件

図6は、クロック、アナログ入力、DAVインジケータ、DORインジケータ、および変換出力データの関係を示します。アナログ入力はクロック信号の立下りエッジでサンプリングされ、変換されたデータは8.5クロックサイクル後にデジタル出力に現れます。

DAVインジケータは、デジタル出力に同期しており、データを後続のデジタル回路にラッチする用途に最適化されています。また、別の方法として、後続のデジタル回路を、変換クロック(CLKP-CLKN)の立下りエッジでラッチすることもできます。

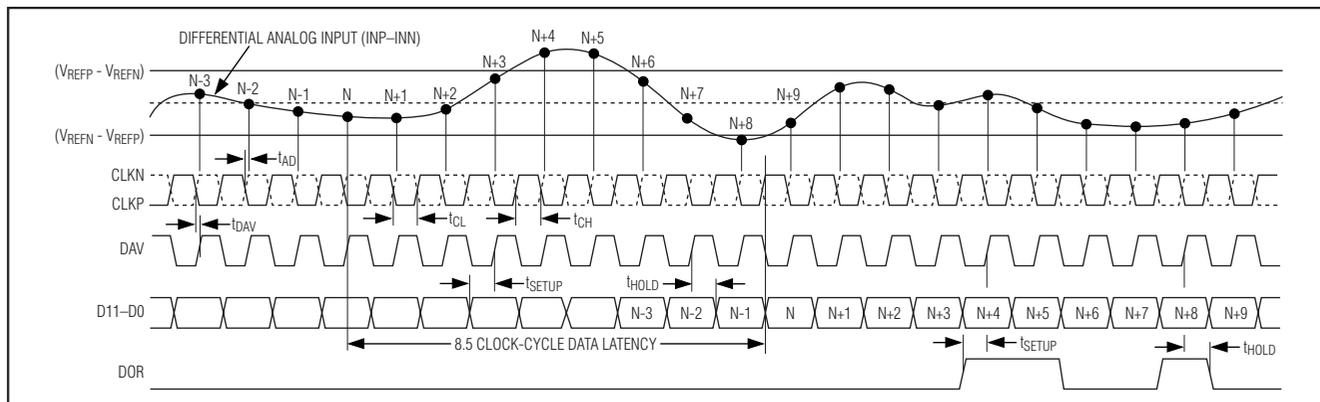


図6. システムのタイミング図

## データ有効出力(DAV)

DAVは、入力クロック(CLKP)をシングルエンドとして出力するものです。出力データはDAVの立下りエッジで変化し、DAVは出力データが有効になると立ち上がります(図6)。

デューティサイクルイコライザ入力(DCE)の状態によって、DAVの波形が変化します。デューティサイクルイコライザをディセーブルする(DCE = ロー)と、DAV信号はCLKPが6.8nsだけ遅れた反転信号として現れます。デューティサイクルイコライザをイネーブルする(DCE = ハイ)と、DAV信号はパルス幅がCLKPと関係なく一定になります。DCEがハイまたはローのいずれの場合も、D11~D0およびDORの出力データはDAVの立ち上がりエッジの7.7ns前からDAVの立ち上がりエッジの4.2ns後まで有効で、DAVの立ち上がりエッジはCLKPの立下りエッジから6.4ns ( $t_{DAV}$ )遅れて同期しています。

MAX1208がパワーダウン状態(PD = ハイ)にあるとき、DAVはハイインピーダンスです。DAVは、600 $\mu$ Aのシンク電流とソース電流を流すことができ、駆動能力がD11~D0およびDORの3倍です。DAVは通常、MAX1208の出力データを外部の後続デジタル回路にラッチするために使用されます。

大きなデジタル電流がMAX1208のアナログ部にフィードバックされてそのダイナミック性能が低下することを防止するため、DAVの容量性負荷をできる限り小さく(25pF未満)抑えてください。DAVの外部にバッファを設けると、DAVは容量性の重負荷から分離されます。外部バッファを介して後続のデジタル回路を駆動するDAVの例については、MAX1211の評価キットの回路図を参照してください。

## データ範囲外インジケータ(DOR)

DORデジタル出力は、アナログ入力電圧がレンジから外れているときに示されます。DORがハイのとき、

アナログ入力はレンジから外れています。DORがローのとき、アナログ入力はレンジ内にあります。有効な差動入力範囲は、 $(V_{REFP} - V_{REFN}) \sim (V_{REFN} - V_{REFP})$ です。信号がこの有効差動範囲外にある場合は、表2と図6に示すように、DORがハイになります。

DORは、DAVに同期しており、出力データD11~D0とともに遷移します。出力データの場合と同様に、DORの動作には8.5クロックサイクルの待ち時間があります(図6)。

MX1208がパワーダウン状態(PD = ハイ)にあるとき、DORはハイインピーダンスです。DORは、PDの立ち上がりエッジ後の10ns以内にハイインピーダンス状態になり、PDの立下りエッジの10ns後にアクティブになります。

## デジタル出力データ(D11~D0)、出力形式(G/T)

MAX1208は、12ビット、パラレル、トリステート出力バスを備えています。D11~D0およびDORは、DAVの立下りエッジで更新され、DAVの立ち上がりエッジで有効になります。

MAX1208の出力データ形式は、ロジック入力G/Tに応じてグレイコードまたは2の補数のいずれかとなります。G/Tがハイの場合は、出力データ形式はグレイコードです。G/Tがローの場合は、出力データ形式は2の補数です。バイナリからグレイ、およびグレイからバイナリへのコード変換例については、図8をご覧ください。次式、表2、図7、および図8によって、デジタル出力とアナログ入力の関係が定まります。

$$V_{INP} - V_{INN} = (V_{REFP} - V_{REFN}) \times 2 \times \frac{CODE_{10} - 2048}{4096}$$

グレイコード(G/T = 1)の場合：

# 12ビット、80Msps、3.3V ADC

$$V_{INP} - V_{INN} = (V_{REFP} - V_{REFN}) \times 2 \times \frac{CODE_{10}}{4096}$$

2の補数の場合( $G/\bar{T} = 0$ ) :

ここで、CODE<sub>10</sub>は、表2に示すようにデジタル出力コードと等価な10進値です。

MAX1208がパワーダウン状態(PD = ハイ)にあるとき、デジタル出力D11~D0はハイインピーダンスです。D11~D0は、PDの立上りエッジの10ns後にハイに遷移し、PDの立下りエッジの10ns後にアクティブになります。

大きなデジタル電流がMAX1208のアナログ部にフィードバックされてそのダイナミック性能が低下することを防止するため、MAX1208のデジタル出力D11~D0の容量性負荷をできる限り小さく(15pF未満)に抑えてください。デジタル出力にデジタルバッファを外付けすると、MAX1208が容量性の重負荷から分離されます。MAX1208のダイナミック性能を向上するために、MAX1208の近くで220Ωの抵抗器をデジタル出力と直列に接続してください。220Ωの直列抵抗器を介してデジタルバッファを駆動するデジタル出力の例については、MAX1211の評価キットの回路図を参照してください。

## パワーダウン入力(PD)

MAX1208は、パワーダウンデジタル入力(PD)によって制御される2つの電力モードを備えています。

表2. 出力コードと入力電圧

GRAY CODE OUTPUT CODE ( $G/\bar{T} = 1$ )				TWO'S-COMPLEMENT OUTPUT CODE ( $G/\bar{T} = 0$ )				$V_{INP} - V_{INN}$ ( $V_{REFP} = 2.162V$ $V_{REFN} = 1.138V$ )
BINARY D11→D0	DOR	HEXADECIMAL EQUIVALENT OF D11→D0	DECIMAL EQUIVALENT OF D11→D0 (CODE <sub>10</sub> )	BINARY D11→D0	DOR	HEXADECIMAL EQUIVALENT OF D11→D0	DECIMAL EQUIVALENT OF D11→D0 (CODE <sub>10</sub> )	
1000 0000 0000	1	0x800	+4095	0111 1111 1111	1	0x7FF	+2047	>+1.0235V (DATA OUT OF RANGE)
1000 0000 0000	0	0x800	+4095	0111 1111 1111	0	0x7FF	+2047	+1.0235V
1000 0000 0001	0	0x801	+4094	0111 1111 1110	0	0x7FE	+2046	+1.0230V
1100 0000 0011	0	0xC03	+2050	0000 0000 0010	0	0x002	+2	+0.0010V
1100 0000 0001	0	0xC01	+2049	0000 0000 0001	0	0x001	+1	+0.0005V
1100 0000 0000	0	0xC00	+2048	0000 0000 0000	0	0x000	0	+0.0000V
0100 0000 0000	0	0x400	+2047	1111 1111 1111	0	0xFFF	-1	-0.0005V
0100 0000 0001	0	0x401	+2046	1111 1111 1110	0	0xFFE	-2	-0.0010V
0000 0000 0001	0	0x001	+1	1000 0000 0001	0	0x801	-2047	-1.0235V
0000 0000 0000	0	0x000	0	1000 0000 0000	0	0x800	-2048	-1.0240V
0000 0000 0000	1	0x000	0	1000 0000 0000	1	0x800	-2048	<-1.0240V (DATA OUT OF RANGE)

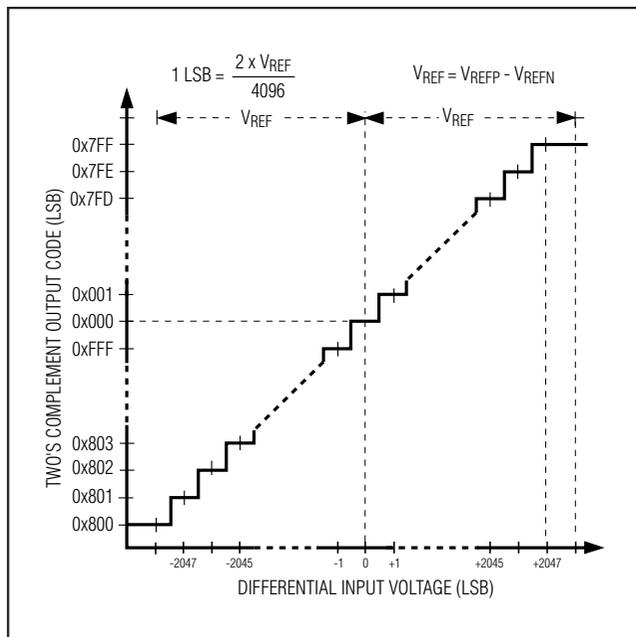


図7. 2の補数の伝達関数( $G/T = 0$ )

PDがローの場合、MAX1208は通常動作モードにあります。PDが高い場合、MAX1208はパワーダウンモードにあります。

パワーダウンモードでは、MAX1208は、変換が必要でないとき低電力状態に移転することによって電力を効率的に使用することができます。さらに、パワーダウンモードではMAX1208の平行出力バスがハイインピーダンスであるため、バス上の他のデバイスがアクセスされることが可能になります。

パワーダウンモードでは、すべての内部回路がオフ状態にあり、アナログ消費電流が $1\mu\text{A}$ に減少し、デジタル消費電流が $0.9\mu\text{A}$ に減少します。以下に、パワーダウンモードにおけるアナログ入力とデジタル出力の状態を示します。

- INP、INNアナログ入力は内部入力アンプから切断される(図3)。
- REFOUTは、GNDに対して約 $17\text{k}\Omega$ となる。
- REFP、COM、およびREFNは、 $V_{DD}$ とGNDに対してハイインピーダンスになるが、REFPとCOMの間に $4\text{k}\Omega$ の内部抵抗器があり、REFNとCOMの間にも $4\text{k}\Omega$ の内部抵抗器がある。
- D11~D0、DOR、およびDAVがハイインピーダンスになる。
- CLKPとCLKNがハイインピーダンスになる(図5)。

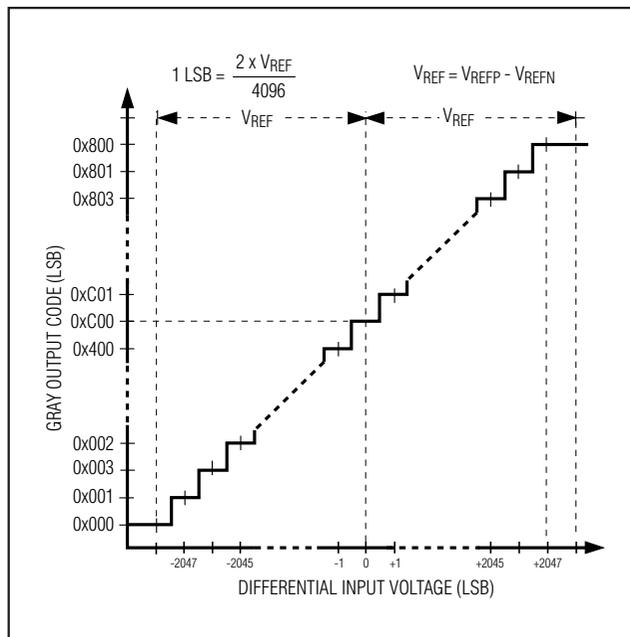


図8. グレイコードの伝達関数( $G/T = 1$ )

パワーダウンモードからのウェイクアップ時間は、REFP、REFN、およびCOMにおけるコンデンサの充電に必要な時間によって支配されます。内部リファレンスモードおよびバッファ付き外部リファレンスモードでは、推奨コンデンサアレイを接続した場合のウェイクアップ時間は $10\text{ms}$ (typ)です(図13)。バッファなし外部リファレンスモードで動作させる場合、ウェイクアップ時間は外付けのリファレンスドライバに依存します。

## アプリケーション情報

### トランス結合の利用

一般に、MAX1208は、シングルエンド入力駆動の場合よりも、完全差動入力信号の場合のSFDRとTHD性能が優れています。差動入力モードでは、両入力が平衡しており、かつADC入力の各々がシングルエンド入力モードに比べて $1/2$ の信号振幅で済むため、偶数次の高調波が少なくなります。

RFトランス(図10)は、シングルエンド入力ソース信号を、最適性能を得るためにMAX1208が必要とする完全差動信号に変換するための優れたソリューションを提供します。トランスのセンタタップをCOMに接続すると、入力に対して $V_{DD}/2$ だけDCレベルがシフトします。1:1のトランスが記載されていますが、ステップアップトランスを選択して駆動要件を緩和することもできます。オペアンプなどの入力ドライバの信号振幅を小さくする

# 12ビット、80Msps、3.3V ADC

### BINARY-TO-GRAY CODE CONVERSION

1) THE MOST SIGNIFICANT GRAY-CODE BIT IS THE SAME AS THE MOST SIGNIFICANT BINARY BIT.

D11 → D7 → D3 → D0	BIT POSITION
0 1 1 1    0 1 0 0    1 1 0 0	BINARY
↓	
0	GRAY CODE

2) SUBSEQUENT GRAY-CODE BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{GRAY}_X = \text{BINARY}_X \oplus \text{BINARY}_{X+1}$$

WHERE  $\oplus$  IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{GRAY}_{10} = \text{BINARY}_{10} \oplus \text{BINARY}_{11}$$

$$\text{GRAY}_{10} = 1 \oplus 0$$

$$\text{GRAY}_{10} = 1$$

D11 → D7 → D3 → D0	BIT POSITION
0 $\oplus$ 1 1 1    0 1 0 0    1 1 0 0	BINARY
↓	
0 1	GRAY CODE

3) REPEAT STEP 2 UNTIL COMPLETE:

$$\text{GRAY}_9 = \text{BINARY}_9 \oplus \text{BINARY}_{10}$$

$$\text{GRAY}_9 = 1 \oplus 1$$

$$\text{GRAY}_9 = 0$$

D11 → D7 → D3 → D0	BIT POSITION
0 1 $\oplus$ 1 1    0 1 0 0    1 1 0 0	BINARY
↓	
0 1 0	GRAY CODE

4) THE FINAL GRAY CODE CONVERSION IS:

D11 → D7 → D3 → D0	BIT POSITION
0 1 1 1    0 1 0 0    1 1 0 0	BINARY
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE

### GRAY-TO-BINARY CODE CONVERSION

1) THE MOST SIGNIFICANT BINARY BIT IS THE SAME AS THE MOST SIGNIFICANT GRAY-CODE BIT.

D11 → D7 → D3 → D0	BIT POSITION
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE
↓	
0	BINARY

2) SUBSEQUENT BINARY BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{BINARY}_X = \text{BINARY}_{X+1} \oplus \text{GRAY}_X$$

WHERE  $\oplus$  IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{BINARY}_{10} = \text{BINARY}_{11} \oplus \text{GRAY}_{10}$$

$$\text{BINARY}_{10} = 0 \oplus 1$$

$$\text{BINARY}_{10} = 1$$

D11 → D7 → D3 → D0	BIT POSITION
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE
↓	
0 1 1 1	BINARY

3) REPEAT STEP 2 UNTIL COMPLETE:

$$\text{BINARY}_9 = \text{BINARY}_{10} \oplus \text{GRAY}_9$$

$$\text{BINARY}_9 = 1 \oplus 0$$

$$\text{BINARY}_9 = 1$$

D11 → D7 → D3 → D0	BIT POSITION
0 1 1 1    0 1 1 0    1 0 1 0	GRAY CODE
↓	
0 1 1 1	BINARY

4) THE FINAL BINARY CONVERSION IS:

D11 → D7 → D3 → D0	BIT POSITION
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE
0 1 1 1    0 1 0 0    1 1 0 0	BINARY

EXCLUSIVE OR TRUTH TABLE

A	B	Y = A $\oplus$ B
0	0	0
0	1	1
1	0	1
1	1	0

図9. バイナリからグレイ、およびグレイからバイナリへのコード変換

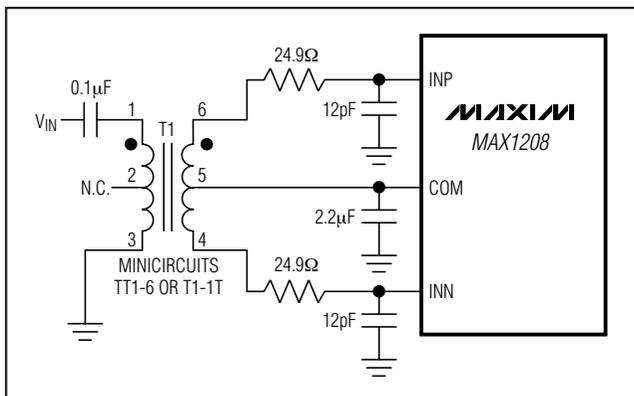


図10. ナイキストまでの入力周波数に対するトランス結合入力駆動

ことによって、総合歪みを改善することもできます。図10の構成は、ナイキスト( $f_{CLK}/2$ )までの周波数に適しています。

図11の回路は、シングルエンド入力信号を図10と同じように完全差動に変換します。ただし、図11では共通モード除去比を改善するためにもう1個トランスを利用しているため、ナイキスト周波数を超える高周波信号を処理することができます。2組の終端抵抗器を使用して、信号源に対し75Ωに等しい終端が行われています。

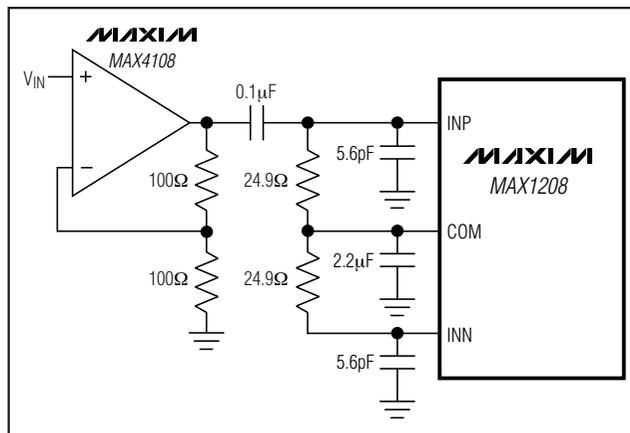


図12. シングルエンドAC結合入力駆動

2番目の組の終端抵抗器を接続することによって、COMに適切な入力共通モード電圧を供給しています。アナログ入力に2個の0Ω抵抗器を直列接続すると、IF入力周波数を高くすることができます。これらの0Ω抵抗器を値の小さい抵抗器に置き換えると入力帯域幅を制限することができます。

### シングルエンドAC結合入力信号

図12には、AC結合シングルエンド入力アプリケーションを示します。MAX4108は、高速、広帯域幅、低ノイズ、および低歪みの特長を備えており、入力信号の完全性を保ちます。

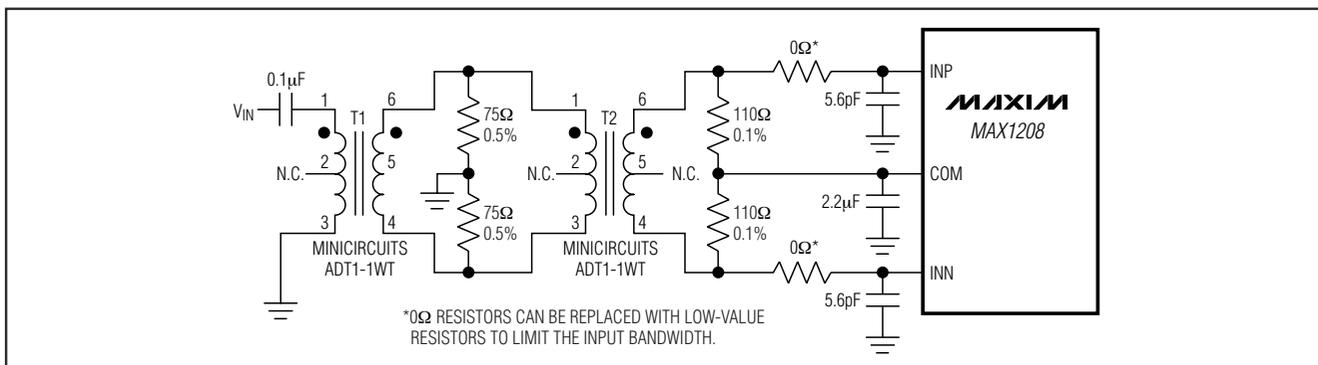


図11. ナイキストを超える入力周波数に対するトランス結合入力駆動

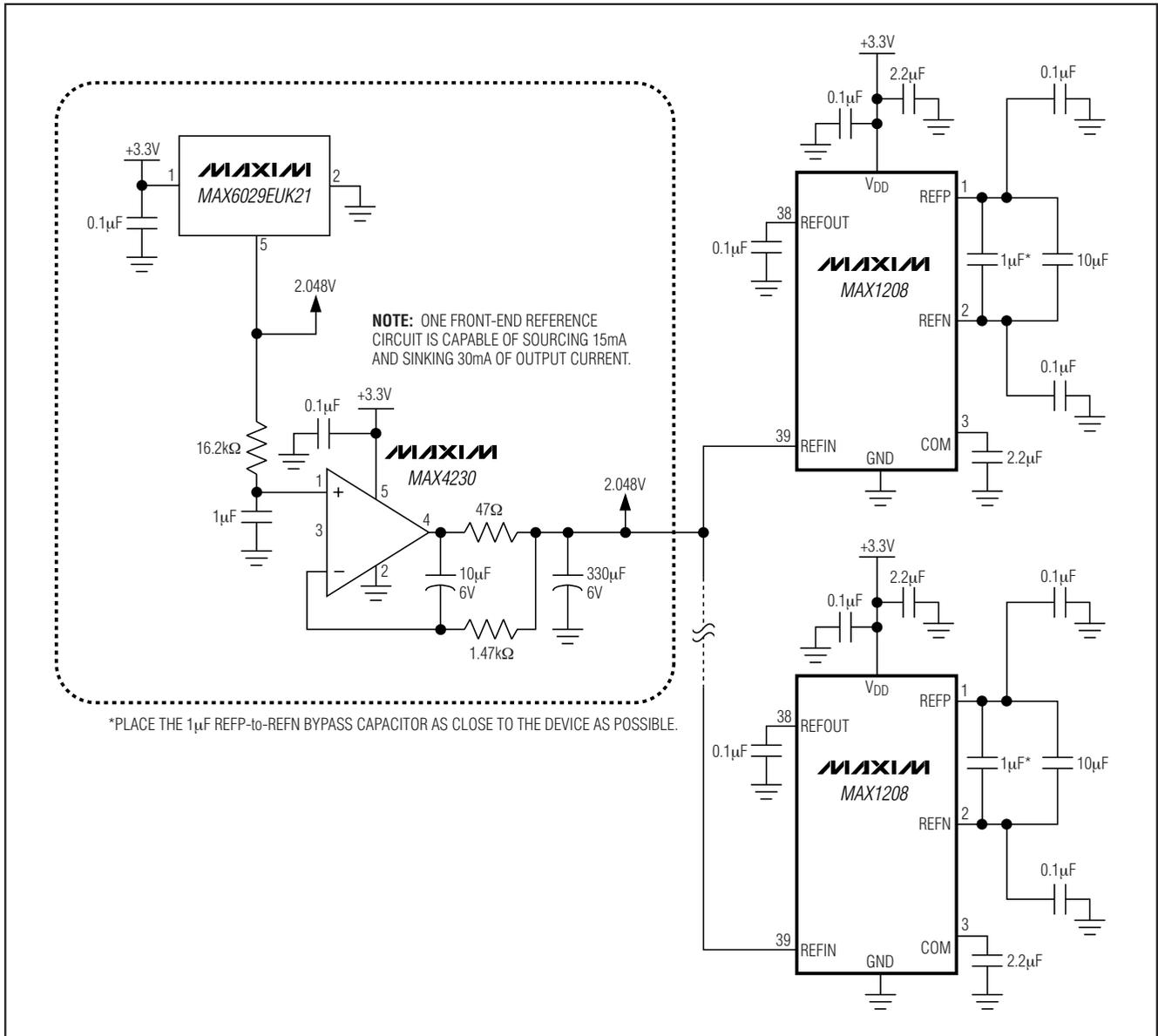


図13. 複数のADCを駆動するバッファ付き外部リファレンス

### 複数のADCを駆動するバッファ付き外部リファレンス

バッファ付き外部リファレンスモードを使用すると、MAX1208のリファレンス電圧に対する、より多くの制御が可能になり、複数のコンバータが共通のリファレンスを使用することができます。REFINの入カインピーダンスは50MΩを超えています。

図13では、複数のコンバータに対する共通のリファレンスとして高精度2.048VリファレンスのMAX6029EUK21を使用しています。MAX6029の2.048V出力は、1次、10Hzのローパスフィルタを介してMAX4230に接続されています。MAX4230は2.048Vリファレンスのバッファとして働き、その出力がMAX1208のREFIN入力に加えられる前にさらに10Hzのローパスフィルタ処理を行っています。

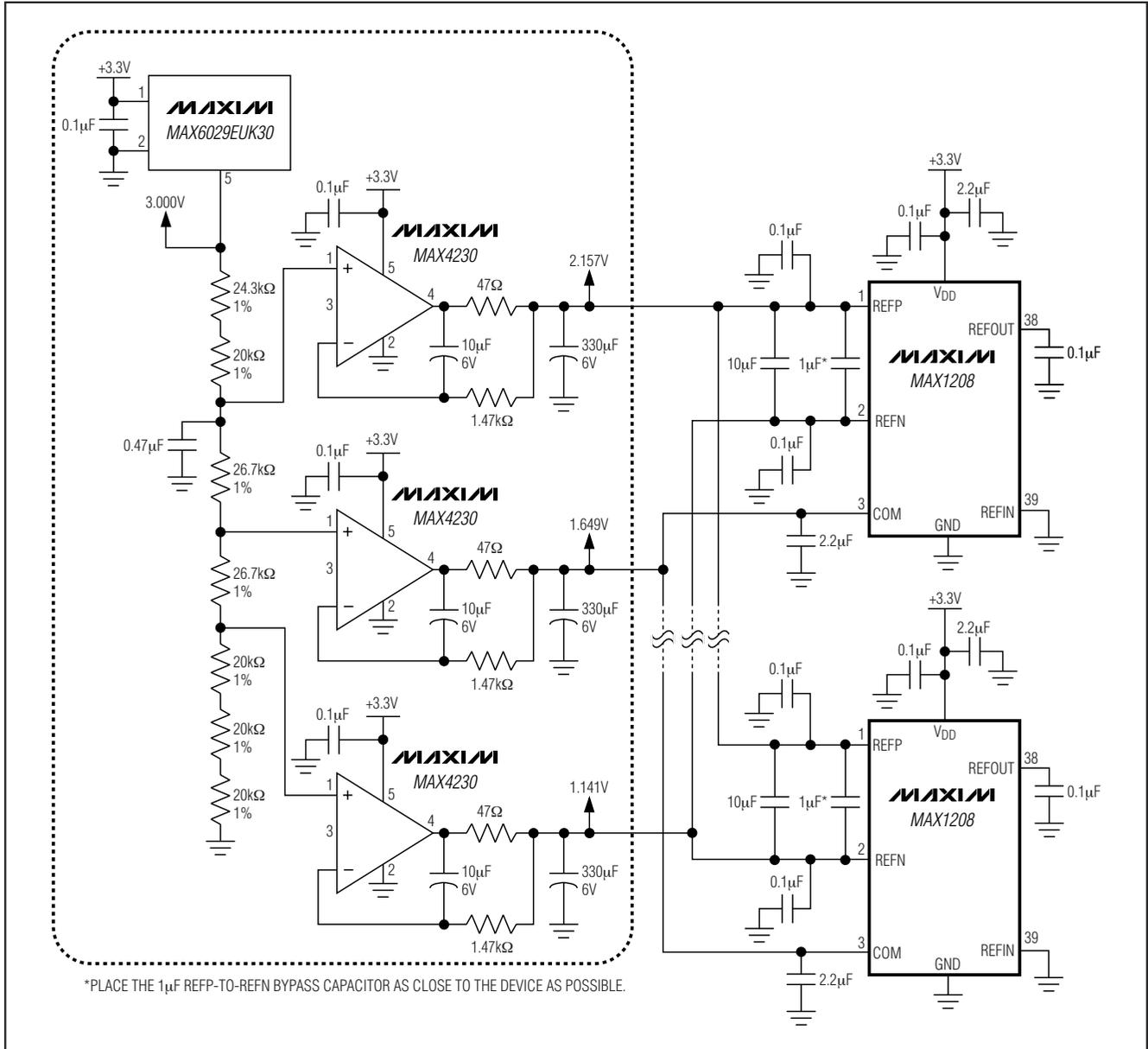


図14. 複数のADCを駆動するバッファなし外部リファレンス

### 複数のADCを駆動する バッファなし外部リファレンス

バッファなし外部リファレンスモードを使用すると、MAX1208のリファレンスに対する高精度の制御が可能になり、複数のコンバータが共通のリファレンスを使用することができます。REFINをGNDに接続すると、内部リファレンスがディセーブルされて、REFP、REFN、およびCOMを1組の外部リファレンスソースによって直接駆動することができます。

図14では、複数のコンバータに対する共通のリファレンスとして高精度3.000VリファレンスのMAX6029EUK30を使用しています。5個の部品からなる抵抗分圧器列が電圧リファレンスのMAX6029の後に接続されています。0.47µFのコンデンサがこの抵抗列とともに10Hzのローパスフィルタを形成しています。3個のオペアンプMAX4230が、この抵抗器列に沿ったタップにバッファとして接続され、MAX1208のREFP、COM、およびREFNのリファレンス入力にそれぞれ2.157V、1.649V、および1.141Vを供給しています。

# 12ビット、80Msps、3.3V ADC

オペアンプのMAX4230にフィードバックを施すことによって、10Hzのローパスフィルタが新たに加わります。2.157Vと1.141Vのリファレンス電圧によって、フルスケールアナログ入力範囲が±1.016Vに設定されます。全能動部品の電源を共通にすることによって、電源投入または電源切断の際の電源シーケンスに関する問題が解消します。

## グラウンド、バイパス、および基板レイアウト

MAX1208では、高速基板レイアウトの設計手法を適用する必要があります。基板のレイアウトの参考として、MAX1211の評価キットのデータシートを参照してください。インダクタンスを最小限に抑えるため、表面実装デバイスを使って、すべてのバイパスコンデンサをデバイスにできる限り近接させて(できればADCと基板の同じ面に)配置してください。2.2μFのセラミックコンデンサと並列の0.1μFのセラミックコンデンサでV<sub>DD</sub>をGNDにバイパスしてください。2.2μFのセラミックコンデンサと並列の0.1μFのセラミックコンデンサでOV<sub>DD</sub>をGNDにバイパスしてください。

グラウンドプレーンと電源プレーンが十分に広い多層基板を使用すると、最高レベルの信号完全性が実現します。MAX1208のすべてのGNDと裏側エクスポーズドパッドを同じグラウンドプレーンに接続する必要があります。MAX1208では、裏側エクスポーズドパッドを使用して低インダクタンスグラウンド接続を実現します。複数のビアを使用して上側のグラウンドを下側のグラウンドに接続してください。グラウンドプレーンは、DSPや出力バッファグラウンドなど、ノイズの多いデジタルシステムのグラウンドプレーンから分離してください。

高速デジタル信号配線は、敏感なアナログ配線から遠ざけてください。すべての信号ラインは短くし、直角に曲げないでください。

差動アナログ入力回路のレイアウトを対称にして、すべての寄生成分を均等にバランスさせてください。対称な入力レイアウトの例については、MAX1211評価キットのデータシートを参照してください。

## パラメータの定義

### Integral Nonlinearity (積分非直線性) (INL)

積分非直線性は、実際の伝達関数上の値の直線からの偏差です。MAX1208の場合、この直線は、オフセットおよび利得誤差をゼロにした後の伝達関数の両端点を結んだ直線です。INL偏差は伝達関数の全ステップで測定され、ワーストケースの偏差が「電気的特性 (Electrical Characteristics)」表に示されています。

### Differential Nonlinearity (微分非直線性) (DNL)

微分非直線性は、実際のステップ幅と1 LSBの理想値の差です。1 LSB未満のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証します。MAX1208の場合、DNLの偏差は伝達関数の全ステップで測定され、ワーストケースの偏差が「電気的特性 (Electrical Characteristics)」表に示されています。

### Offset Error (オフセット誤差)

オフセット誤差は、実際の伝達関数が理想的な伝達関数と1点で一致する度合いを示す性能指数です。理想的には、ミッドスケールのMAX1208の遷移がミッドスケールよりも0.5LSBだけ上で起ります。オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点の間の偏差の大きさです。

### Gain Error (利得誤差)

利得誤差は、実際の伝達関数の傾きが理想的な伝達関数の傾きと一致する度合いを示す性能指数です。実際の伝達関数の傾きは、2つのデータポイントの間、すなわち正のフルスケールと負のフルスケールの間で測定されます。理想的には、正のフルスケールのMAX1208の遷移が正のフルスケールよりも1.5LSBだけ下で起り、負のフルスケール遷移が負のフルスケールよりも0.5LSBだけ上で起ります。利得誤差は、測定された遷移点の差から、理想的な遷移点の差を差し引いた値です。

### Small-Signal Noise Floor (小信号ノイズフロア) (SSNF)

小信号ノイズフロアは、小信号入力の場合のナイキスト帯域のノイズと歪みのパワーの総合値です。DCオフセットはこのノイズの計算から除外されます。このコンバータの場合、小信号は、-35dBFS未満の振幅を有するシングルトーンとして定義されます。このパラメータは、コンバータのサーマルノイズおよび量子化ノイズ特性を取り入れて受信チャネルの総合ノイズ指数の計算に役立てることができます。サーマルノイズおよび量子化ノイズフロアに関するアプリケーションノートについては、[japan.maxim-ic.com](http://japan.maxim-ic.com)を参照してください。

### Signal-to-Noise Ratio (信号対ノイズ比) (SNR)

デジタルサンプルから完全に再現される波形の場合、理論上の最大SNRはフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比です。理想的な理論上の最小アナログ-デジタル変換ノイズは、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます：

$$\text{SNR}_{[\text{max}]} = 6.02 \times N + 1.76$$

実際には、量子化ノイズ以外に、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズ源があります。SNRはRMS信号の、RMSノイズに対する比を取ることによって求められます。RMSノイズには、基本波、最初の6つの高調波(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

## Signal-to-Noise Plus Distortion (信号対ノイズ + 歪み) (SINAD)

SINADは、RMS信号の、RMSノイズ+歪みに対する比を取ることによって求められます。RMSノイズ + 歪みには、基本波とDCオフセットを除くナイキスト周波数までの全スペクトル成分が含まれます。

## Effective Number of Bits (有効ビット数) (ENOB)

ENOBは、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能を表します。理想的なADCの誤差は、量子化ノイズのみからなります。フルスケール正弦波入力波形に対するENOBは次式から計算されます：

$$\text{ENOB} = \left( \frac{\text{SINAD} - 1.76}{6.02} \right)$$

## Single-Tone Spurious-Free Dynamic Range (シングルトンスプリアスフリーダイナミックレンジ) (SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅の、次に大きいスプリアス成分(DCオフセットを除く)のRMS振幅に対する比をデシベル単位で表した値です。

## Total Harmonic Distortion (全高調波歪み) (THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS和の、基本波そのものに対する比です。これは次式で表されます：

$$\text{THD} = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

ここで、 $V_1$ は基本波の振幅で、 $V_2 \sim V_7$ は第2から第7までの高調波(HD2~HD7)の振幅です。

## Intermodulation Distortion (相互変調歪み)(IMD)

IMDは、相互変調積のRMS和の、2つ基本波入力トーンのRMS和に対する比です。これは次式で表されます：

$$\text{IMD} = 20 \times \log \left( \frac{\sqrt{V_{\text{IM}1}^2 + V_{\text{IM}2}^2 + \dots + V_{\text{IM}13}^2 + V_{\text{IM}14}^2}}{\sqrt{V_1^2 + V_2^2}} \right)$$

基本波入力トーンの振幅( $V_1$ と $V_2$ )は、-7dBFSにおける値です。MAX1208のIMDの計算では、14個の相互変調積( $V_{\text{IM}_i}$ )が使用されます。相互変調積は下記の周波数における出力スペクトルの振幅で、 $f_{\text{IN}1}$ と $f_{\text{IN}2}$ は基本波入力トーン周波数です：

- 2次相互変調積：  
 $f_{\text{IN}1} + f_{\text{IN}2}$ 、 $f_{\text{IN}2} - f_{\text{IN}1}$
- 3次相互変調積：  
 $2 \times f_{\text{IN}1} - f_{\text{IN}2}$ 、 $2 \times f_{\text{IN}2} - f_{\text{IN}1}$ 、 $2 \times f_{\text{IN}1} + f_{\text{IN}2}$ 、 $2 \times f_{\text{IN}2} + f_{\text{IN}1}$
- 4次相互変調積：  
 $3 \times f_{\text{IN}1} - f_{\text{IN}2}$ 、 $3 \times f_{\text{IN}2} - f_{\text{IN}1}$ 、 $3 \times f_{\text{IN}1} + f_{\text{IN}2}$ 、 $3 \times f_{\text{IN}2} + f_{\text{IN}1}$
- 5次相互変調積：  
 $3 \times f_{\text{IN}1} - 2 \times f_{\text{IN}2}$ 、 $3 \times f_{\text{IN}2} - 2 \times f_{\text{IN}1}$ 、 $3 \times f_{\text{IN}1} + 2 \times f_{\text{IN}2}$ 、 $3 \times f_{\text{IN}2} + 2 \times f_{\text{IN}1}$

## Third-Order Intermodulation (3次相互変調) (IM3)

IM3は、ナイキスト周波数までの3次相互変調積の、2つの入力トーン $f_{\text{IN}1}$ と $f_{\text{IN}2}$ の全入力パワーに対する比です。各入力トーンレベルは、-7dBFSとします。3次相互変調積は、 $2 \times f_{\text{IN}1} - f_{\text{IN}2}$ 、 $2 \times f_{\text{IN}2} - f_{\text{IN}1}$ 、 $2 \times f_{\text{IN}1} + f_{\text{IN}2}$ 、 $2 \times f_{\text{IN}2} + f_{\text{IN}1}$ です。

## Two-Tone Spurious-Free Dynamic Range (2トンスプリアスフリーダイナミックレンジ) (SFDR<sub>TT</sub>)

SFDR<sub>TT</sub>は、どちらかの入力トーンのRMS振幅の、スペクトルにおける次に大きいスプリアス成分(DCオフセットを除く)のRMS振幅に対する比をデシベル単位で表した値です。このスプリアス成分は、ナイキスト周波数までのスペクトルのどこにでも発生する可能性があり、通常は相互変調積または高調波です。

## Aperture Delay (アパーチャ遅延)

MAX1208では、そのサンプリングクロックの立下りエッジでデータがサンプリングされます。実際には、サンプリングクロックの立下りエッジと実際のサンプリング時点の間にわずかな遅延があります。アパーチャ遅延( $t_{\text{AD}}$ )は、サンプリングクロックの立下りエッジから実際のサンプリングが行なわれる瞬間までの時間です(図4)。

## Aperture Jitter (アパーチャジッタ)

図4はアパーチャジッタ( $t_{\text{AJ}}$ )を示します。これは、アパーチャ遅延における各サンプル間の変動です。

# 12ビット、80Msps、3.3V ADC

MAX1208

## Output Noise (出力ノイズ) ( $n_{OUT}$ )

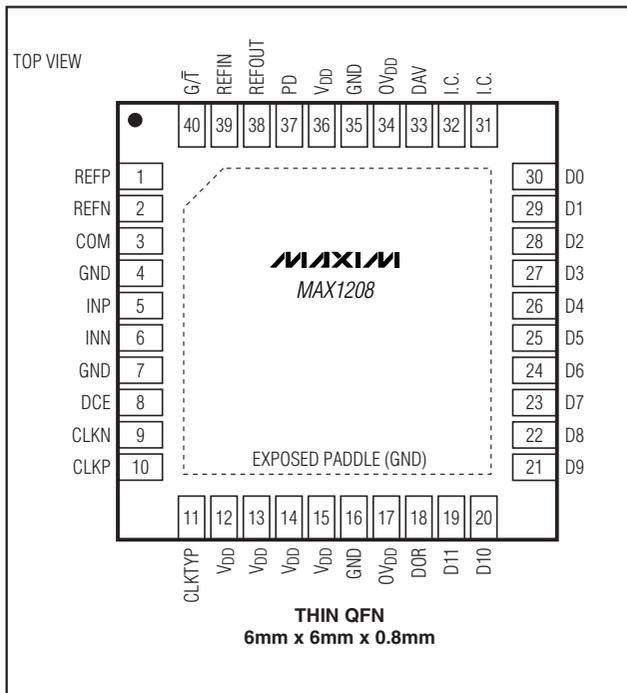
出力ノイズ( $n_{OUT}$ )パラメータは、サーマルノイズ+量子化ノイズパラメータに似ており、ADCの総合ノイズ性能を表します。

$n_{OUT}$ の試験には、基本波入力トーンは使用されません。INP、INN、およびCOMを相互に接続して、1024kのデータポイントが収集されます。 $n_{OUT}$ は、収集されたデータポイントのRMS値を求めることによって計算されます。

## Overdrive Recovery Time (オーバドライブ回復時間)

オーバドライブ回復時間は、ADCがフルスケールの限界値を超える過渡入力から回復するのに要する時間です。MAX1208では、フルスケールの限界値を $\pm 10\%$ だけ超える過渡入力を使用してオーバドライブ回復時間を規定します。

## ピン配置

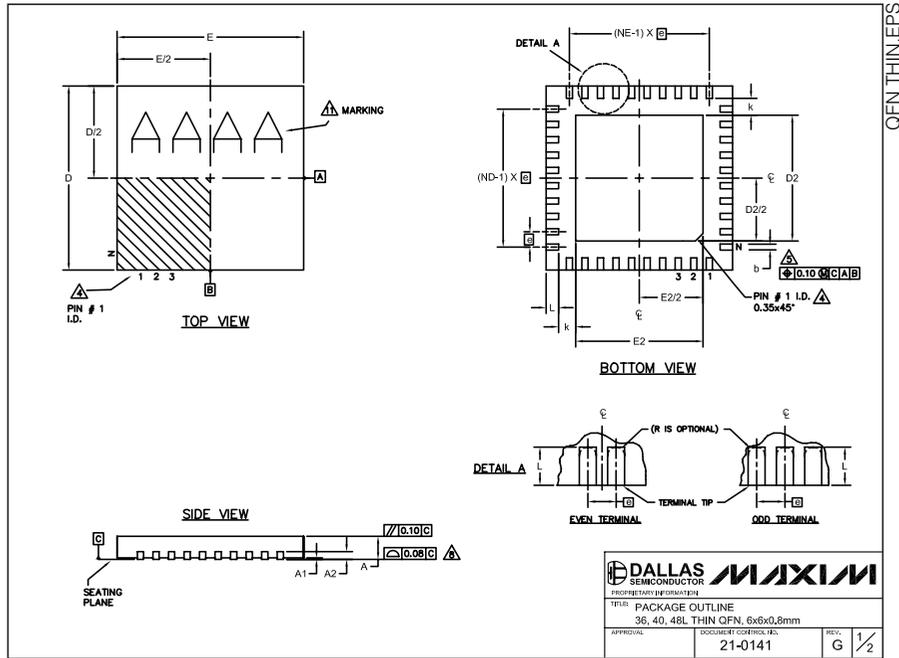


# 12ビット、80MSPS、3.3V ADC

MAX1208

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



COMMON DIMENSIONS									
PKG. SYMBOL	36L 6x6			40L 6x6			48L 6x6		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJ4D-1			WJ4D-2			-		

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80
T3666N-1	3.60	3.70	3.80	3.60	3.70	3.80
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20
T4866-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866-2	4.40	4.50	4.60	4.40	4.50	4.60

**NOTES:**

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS, ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED, THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN FOR REFERENCE ONLY.

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 27

© 2004 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.