

## 65Msps、12ビット、IFサンプリングADC

## 概要

MAX1211は3.3V、12ビットのアナログ-デジタルコンバータ(ADC)で、完全差動広帯域トラック/ホールド(T/H)入力を備え、内蔵量子化器を駆動します。MAX1211は、中間周波数(IF)サンプリングアプリケーションにおいて、低電力、小型サイズで高いダイナミック性能を発揮します。このADCは3.0V~3.6Vの単一電源で動作し、消費電力はわずか358mWですが、175MHzの入力周波数で信号対ノイズ比(SN比)性能、66dB(typ)を発揮します。入力段はT/H駆動で、シングルエンド入力または差動入力とすることができます。MAX1211は動作電力が低いだけでなく、アイドル時にさらに節電することができるよう、13mWしか消費しないパワーダウンモードも持っています。

MAX1211は、リファレンス構造がフレキシブルで、内蔵の高精度バンドギャップリファレンスも外部印加リファレンスも利用することができます。

MAX1211は、クロック駆動にシングルエンドと差動入力の両方が使えます。クロックデューティサイクルが大きく変動しても、ADC内蔵のデューティサイクルイコライザで補償されます。

MAX1211は、CMOS対応の平行出力を備えています。このデジタル出力のフォーマットは、ピンによって、2の補数またはグレイコードを選択します。デジタル出力用として1.7V~3.6Vの独立電源が利用可能であるため、さまざまなロジックレベルに対して柔軟にインタフェースすることができます。MAX1211は6mm x 6mm x 0.8mmの40ピン裏面放熱パドル(EP)付、薄型QFNパッケージで提供され、工業用拡張温度範囲(-40°C~+85°C)での動作が保証されています。

## アプリケーション

- IF及びベースバンド通信レシーバ
  - セルラ、LMDS、ポイント間マイクロ波、MMDS、HFC、WLAN
- 超音波及び医療用イメージング
- ポータブル計測機器
- 低電力データ収集

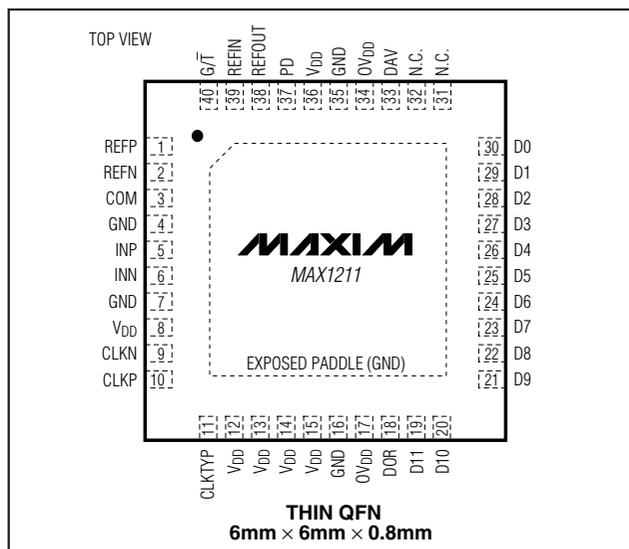
## 特長

- ◆ 直接IFサンプリング：最高400MHz
- ◆ 卓越したダイナミック性能
  - SN比 66dB ( $f_{IN} = 175\text{MHz}$ 時)
  - SFDR 76dBc ( $f_{IN} = 175\text{MHz}$ 時)
- ◆ 差動クロック/シングルエンドクロック
- ◆ 低電力動作：3.3V
  - 358mW (差動クロックモード時)
  - 327mW (シングルエンドクロックモード時)
- ◆ 20%~80%デューティサイクルのクロックを受け入れ
- ◆ アナログ入力は完全差動またはシングルエンド
- ◆ 広差動アナログ入力電圧範囲：±1V<sub>P-P</sub>
- ◆ 入力帯域幅：700MHz
- ◆ パワーダウンモード
- ◆ 2の補数またはグレイコードのCMOS対応出力
- ◆ 範囲外インジケータとデータ有効インジケータ
- ◆ 裏面放熱パドル付小型40ピン Thin QFNパッケージ
- ◆ 評価キットを提供(MAX1211EVKITをご請求ください)

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1211ETL	-40°C to +85°C	40 Thin QFN 6mm x 6mm

## ピン配置



# 65Msps, 12ビット、IFサンプリングADC

MAX1211

## ABSOLUTE MAXIMUM RATINGS

V<sub>DD</sub> to GND .....-0.3V to +3.6V  
 OV<sub>DD</sub> to GND .....-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V  
 INP, INN to GND ...-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V  
 REFIN, REFOUT, REFP, REFN,  
 COM to GND .....-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V  
 CLKP, CLKN, CLKTYP, G $\bar{T}$ ,  
 PD to GND .....-0.3V to the lower of (V<sub>DD</sub> + 0.3V) and +3.6V  
 D11-D0, DAV, DOR to GND .....-0.3V to (OV<sub>DD</sub> + 0.3V)

Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 40-Pin Thin QFN 6mm x 6mm x 0.8mm  
 (derated 26.3mW/°C above +70°C) .....2105.3mW  
 Operating Temperature Range .....-40°C to +85°C  
 Junction Temperature .....+150°C  
 Storage Temperature Range .....-65°C to +150°C  
 Lead Temperature (soldering 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 3.3V, OV<sub>DD</sub> = 2.0V, GND = 0, REFIN = REFOUT (internal reference), C<sub>REFOUT</sub> = 0.1μF, C<sub>L</sub> ≈ 5pF at digital outputs, V<sub>IN</sub> = -0.2dBFS, CLKTYP = high, PD = low, G $\bar{T}$  = low, f<sub>CLK</sub> = 65MHz (50% duty cycle), C<sub>REFP</sub> = C<sub>REFN</sub> = 0.1μF to GND, 10μF between REFP and REFN, C<sub>COM</sub> = 0.1μF in parallel with 2.2μF to GND, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution			12			Bits
Integral Nonlinearity	INL	f <sub>IN</sub> = 20MHz		±0.8		LSB
Differential Nonlinearity	DNL	f <sub>IN</sub> = 20MHz, no missing codes over temperature		±0.30	±0.95	LSB
Offset Error		V <sub>REFIN</sub> = 2.048V		±0.1	±1.2	%FS
Gain Error		V <sub>REFIN</sub> = 2.048V		±1.0		%FS
<b>ANALOG INPUT (INP, INN)</b>						
Differential Input Voltage Range	V <sub>DIFF</sub>	Differential or single-ended inputs		±1		V
Common-Mode Input Voltage				V <sub>DD</sub> / 2		V
Input Resistance	R <sub>IN</sub>	Switched capacitor load		15		kΩ
Input Capacitance	C <sub>IN</sub>			4		pF
<b>CONVERSION RATE</b>						
Maximum Clock Frequency	f <sub>CLK</sub>		65			MHz
Minimum Clock Frequency					5	MHz
Data Latency				8.5		Clock cycles
<b>DYNAMIC CHARACTERISTICS</b> (differential inputs, 4096-point FFT)						
Signal-to-Noise Ratio	SNR	f <sub>IN</sub> = 32.4MHz at -0.2dBFS		67.2		dB
		f <sub>IN</sub> = 175MHz at -0.2dBFS		66.1		
		f <sub>IN</sub> = 250MHz at -0.2dBFS		65.1		
Signal-to-Noise and Distortion	SINAD	f <sub>IN</sub> = 32.4MHz at -0.2dBFS		67		dB
		f <sub>IN</sub> = 175MHz at -0.2dBFS		65.3		
		f <sub>IN</sub> = 250MHz at -0.2dBFS		63.1		
Spurious-Free Dynamic Range	SFDR	f <sub>IN</sub> = 32.4MHz at -0.2dBFS		81.4		dBc
		f <sub>IN</sub> = 175MHz at -0.2dBFS		76		
		f <sub>IN</sub> = 250MHz at -0.2dBFS		68		

# 65Msps、12ビット、IFサンプリングADC

MAX1211

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  to GND,  $10\mu F$  between REFP and REFN,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to GND,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Total Harmonic Distortion	THD	$f_{IN} = 32.4MHz$ at $-0.2dBFS$		-79		dBc
		$f_{IN} = 175MHz$ at $-0.2dBFS$		-73		
		$f_{IN} = 250MHz$ at $-0.2dBFS$		-67.3		
Third-Order Intermodulation	IM3	$f_{IN1} = 247.2MHz$ at $-7dBFS$ $f_{IN2} = 253.6MHz$ at $-7dBFS$		-73.3		dBc
Full-Power Bandwidth	FPBW	Input at $-0.2dBFS$ , $-3dB$ rolloff		700		MHz
Aperture Delay	$t_{AD}$			0.9		ns
Aperture Jitter	$t_{AJ}$			<0.2		psRMS
Output Noise	$n_{OUT}$	INP = INN = COM		0.6		LSBRMS
Overdrive Recovery Time		$\pm 10\%$ beyond full scale		1		Clock cycles
<b>INTERNAL REFERENCE</b> ( $REFIN = REFOUT$ ; $V_{REFP}$ , $V_{REFN}$ , and $V_{COM}$ are generated internally)						
REFOUT Output Voltage	$V_{REFOUT}$		1.9	2.048	2.1	V
COM Output Voltage	$V_{COM}$	$V_{DD} / 2$		1.65		V
Differential Reference Output Voltage	$V_{REF}$	$V_{REF} = V_{REFP} - V_{REFN}$		1.024		V
REFOUT Load Regulation				35		mV/mA
REFOUT Temperature Coefficient	$TC_{REF}$			+100		ppm/ $^\circ C$
REFOUT Short-Circuit Current		Short to $V_{DD}$		0.24		mA
		Short to GND		2.1		
<b>BUFFERED EXTERNAL REFERENCE</b> ( $REFIN$ driven externally, $V_{REFIN} = 2.048V$ , $V_{REFP}$ , $V_{REFN}$ , and $V_{COM}$ are generated internally)						
REFIN Input Voltage	$V_{REFIN}$			2.048		V
REFP Output Voltage	$V_{REFP}$	$(V_{DD} / 2) + (V_{REFIN} / 4)$		2.162		V
REFN Output Voltage	$V_{REFN}$	$(V_{DD} / 2) - (V_{REFIN} / 4)$		1.138		V
COM Output Voltage	$V_{COM}$	$V_{DD} / 2$	1.6	1.65	1.7	V
Differential Reference Output Voltage	$V_{REF}$	$V_{REF} = V_{REFP} - V_{REFN}$		1.024		V
Maximum REFP Current	$I_{REFP}$	Source		0.4		mA
		Sink		1.4		
Maximum COM Current	$I_{REFP}$	Source		1.0		mA
		Sink		0.4		
Maximum REFN Current	$I_{REFP}$	Source		1.0		mA
		Sink		1.0		
REFIN Input Resistance				>50		$M\Omega$

# 65Msps, 12ビット、IFサンプリングADC

MAX1211

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>UNBUFFERED EXTERNAL REFERENCE</b> ( $REFIN = GND$ , $V_{REFP}$ , $V_{REFN}$ , and $V_{COM}$ are applied externally)						
COM Input Voltage	$V_{COM}$			$V_{DD} / 2$		V
REFP Input Voltage		$V_{REFP} - V_{COM}$		0.512		V
REFN Input Voltage		$V_{REFN} - V_{COM}$		-0.512		V
Differential Reference Input Voltage	$V_{REF}$	$V_{REF} = V_{REFP} - V_{REFN}$		1.024		V
REFP Sink Current	$I_{REFP}$	$V_{REFP} = 2.162V$		1.1		mA
REFN Source Resistance	$I_{REFN}$	$V_{REFP} = 1.138V$		1.1		mA
REFP, REFN, Capacitance				13		pF
Com Capacitance				6		pF
<b>CLOCK INPUTS</b> ( $CLKP$ , $CLKN$ )						
Single-Ended Input High Threshold	$V_{IH}$	$CLKTYP = GND$ , $CLKN = GND$		$0.8 \times V_{DD}$		V
Single-Ended Input Low Threshold	$V_{IL}$	$CLKTYP = GND$ , $CLKN = GND$			$0.2 \times V_{DD}$	V
Differential Input Voltage Swing		$CLKTYP = high$		0.7		V
Differential Input Common-Mode Voltage		$CLKTYP = high$		$V_{DD} / 2$		V
Clock Duty Cycle				50		%
Clock Duty-Cycle Tolerance				$\pm 30$		%
Input Capacitance	$C_{IN}$			2		pF
<b>DIGITAL INPUTS</b> ( $CLKTYP$ , $G/\bar{T}$ , $PD$ )						
Input High Threshold	$V_{IH}$			$0.8 \times OV_{DD}$		V
Input Low Threshold	$V_{IL}$				$0.2 \times OV_{DD}$	V
Input Leakage Current		$V_{IH} = OV_{DD}$			$\pm 5$	$\mu A$
		$V_{IL} = 0$			$\pm 5$	
Input Capacitance	$C_{IN}$			2		pF
<b>DIGITAL OUTPUTS</b> ( $D0-D11$ , $DAV$ , $DOR$ )						
Output-Voltage Low	$V_{OL}$	$D0-D11$ , $DOR$ , $I_{SINK} = 200\mu A$			0.2	V
		$DAV$ , $I_{SINK} = 600\mu A$			0.1	
Output-Voltage High	$V_{OH}$	$D0-D11$ , $DOR$ , $I_{SOURCE} = 200\mu A$		$OV_{DD} - 0.2$		V
		$DAV$ , $I_{SOURCE} = 600\mu A$			$OV_{DD} - 0.1$	
Tri-State Leakage Current	$I_{LEAK}$	(Note 2)		$< \pm 5$		$\mu A$

# 65Msps、12ビット、IFサンプリングADC

MAX1211

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
D11–D0, DOR Tri-State Output Capacitance	$C_{OUT}$	(Note 2)		3		pF
DAV Tri-State Output Capacitance	$C_{OUT}$	(Note 2)		6		pF
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	$V_{DD}$		3.0	3.3	3.6	V
Digital Output Supply Voltage	$OV_{DD}$		1.7	2.0	$V_{DD} + 0.3V$	V
Analog Supply Current	$I_{VDD}$	Normal operating mode, $f_{IN} = 32.4MHz$ at $-0.2dBFS$ , $CLKTYP = GND$ , single-ended clock		99		mA
		Normal operating mode, $f_{IN} = 32.4MHz$ at $-0.2dBFS$ , $CLKTYP = OV_{DD}$ , differential clock		108	121	
		Power-down mode; clock idle, $PD = OV_{DD}$		4	12	
Analog Power Dissipation	$P_{DISS}$	Normal operating mode, $f_{IN} = 32.4MHz$ at $-0.2dBFS$ , $CLKTYP = GND$ , single-ended clock		327		mW
		Normal operating mode, $f_{IN} = 32.4MHz$ at $-0.2dBFS$ , $CLKTYP = OV_{DD}$ , differential clock		358	400	
		Power-down mode, clock idle, $PD = OV_{DD}$		13	40	
Digital Output Supply Current	$I_{OVDD}$	Normal operating mode, $f_{IN} = 32.4MHz$ at $-0.2dBFS$ , $OV_{DD} = 2.0V$ , $C_L \approx 5pF$		10		mA
		Power-down mode; clock idle, $PD = OV_{DD}$		19		$\mu A$

# 65Msps、12ビット、IFサンプリングADC

MAX1211

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TIMING CHARACTERISTICS</b> (Figure 5)						
Clock Pulse Width High	$t_{CH}$			7.7		ns
Clock Pulse Width Low	$t_{CL}$			7.7		ns
Data Valid Delay	$t_{DAV}$	$C_L = 5pF$ (Note 3)		6.4		ns
Data Setup Time Before Rising Edge of DAV	$t_{SETUP}$	$C_L = 5pF$ (Note 3)		8.4		ns
Data Hold Time After Rising Edge of DAV	$t_{HOLD}$	$C_L = 5pF$ (Note 3)		6.6		ns
Wake-Up Time from Power-Down	$t_{WAKE}$	$V_{REFIN} = 2.048V$		10		ms

**Note 1:** Specifications  $\geq +25^\circ C$  guaranteed by production test,  $< +25^\circ C$  guaranteed by design and characterization.

**Note 2:** During power-down,  $D_{11-D0}$ ,  $DOR$ , and  $DAV$  are high impedance.

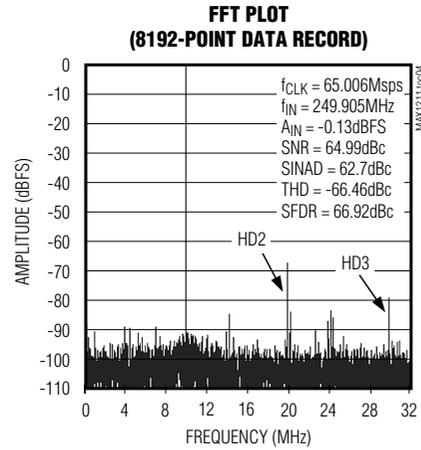
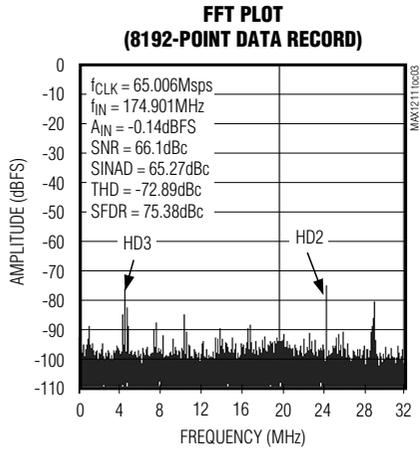
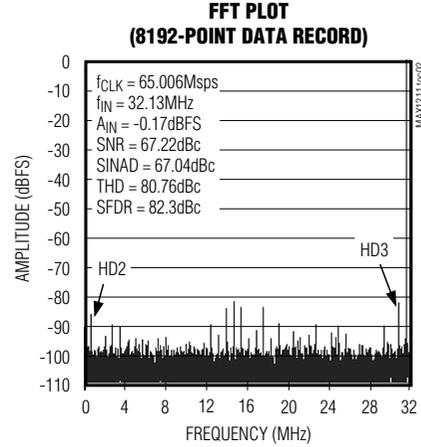
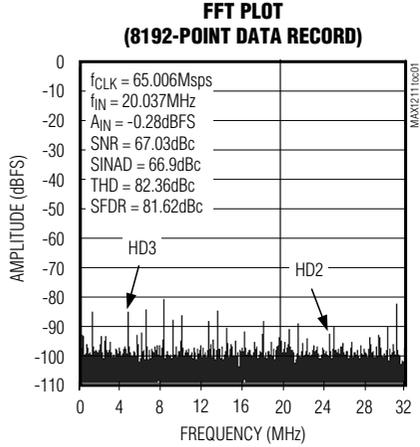
**Note 3:** Digital outputs settle to  $V_{IH}$  or  $V_{IL}$ .

# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $C_{REF_{OUT}} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLK_{TYP} = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

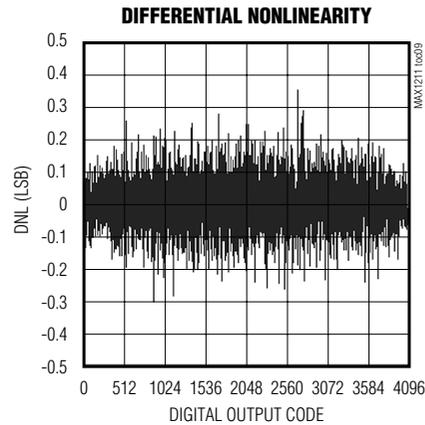
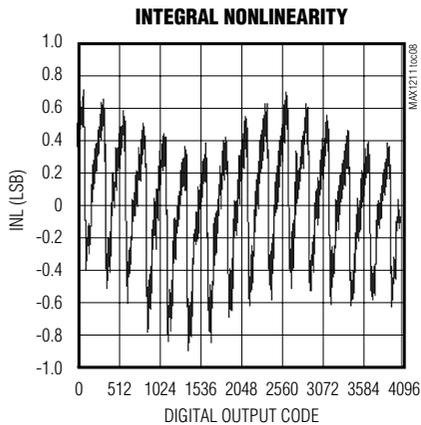
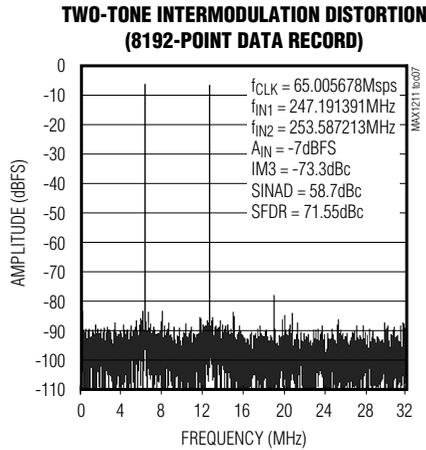
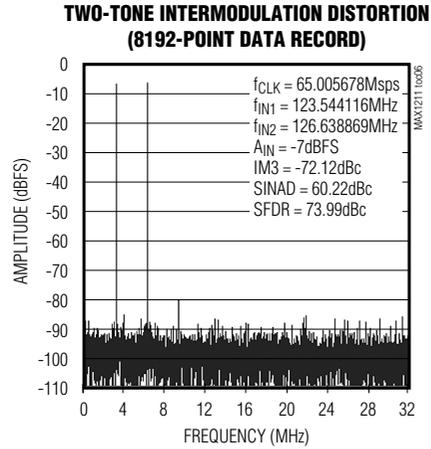
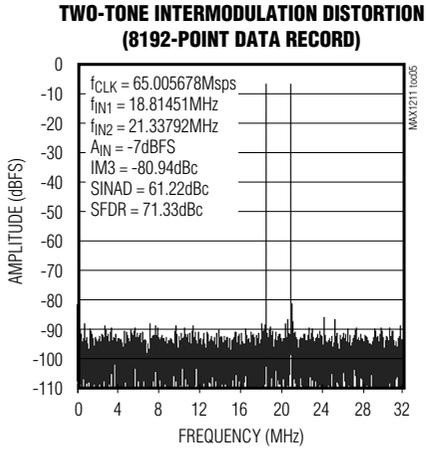


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性 (続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

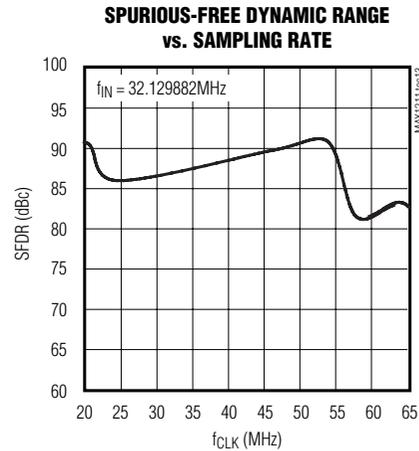
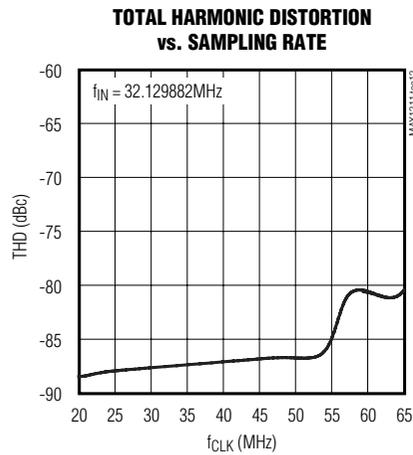
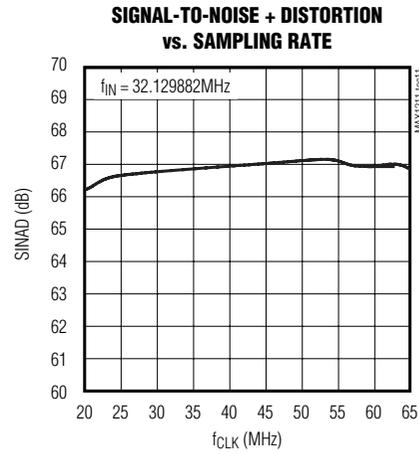
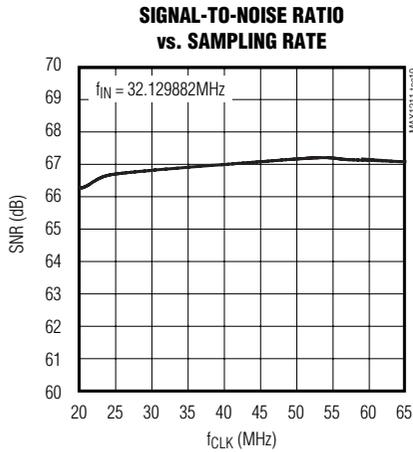


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性 (続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

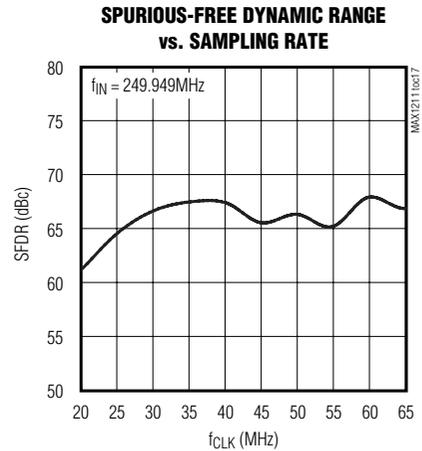
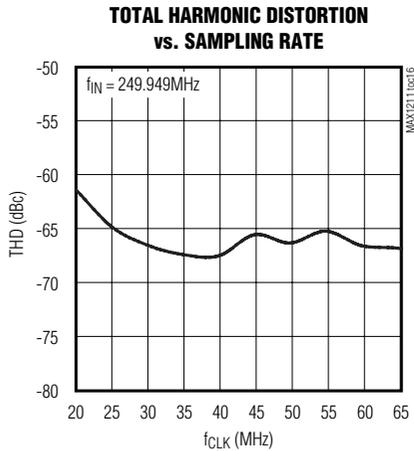
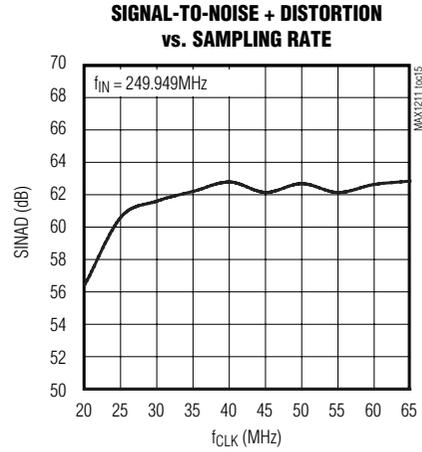
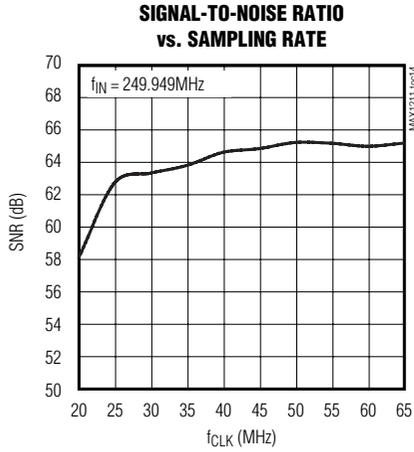


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性 (続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

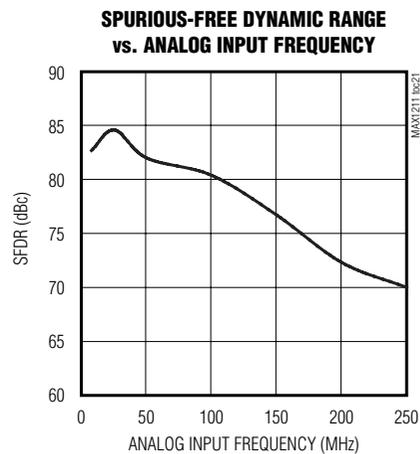
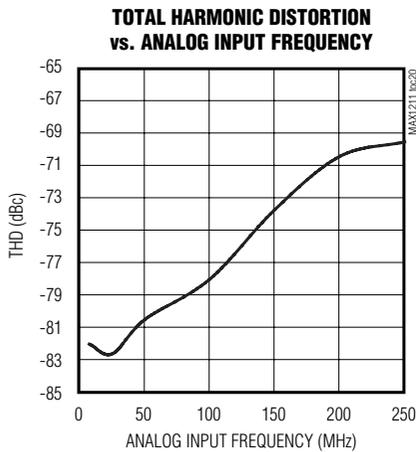
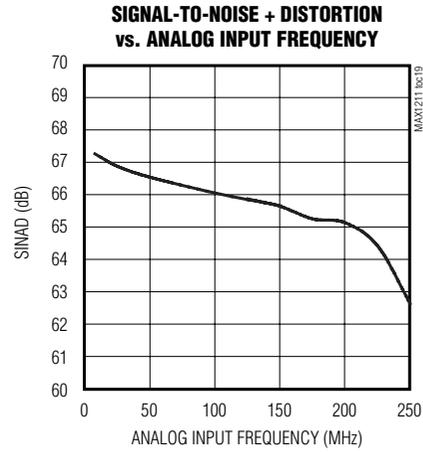
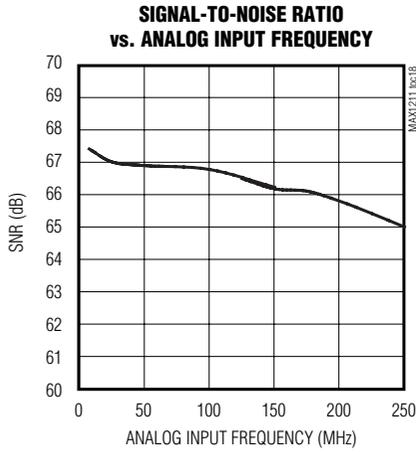


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性 (続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

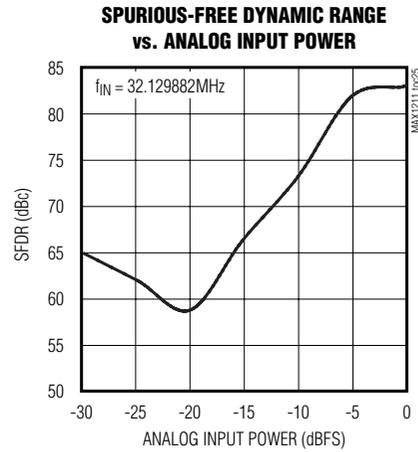
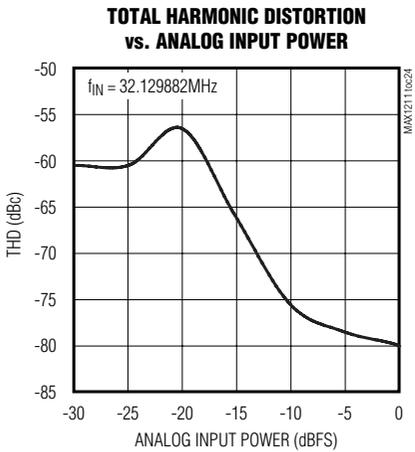
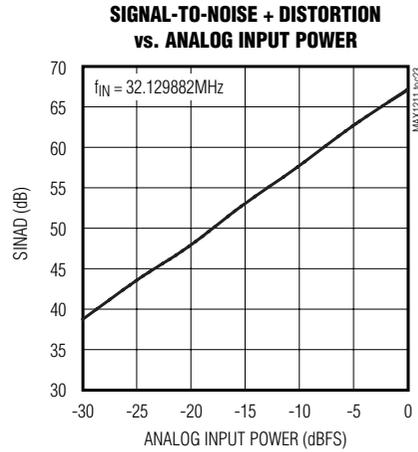
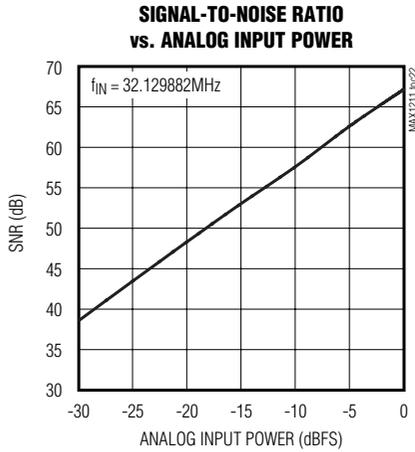


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

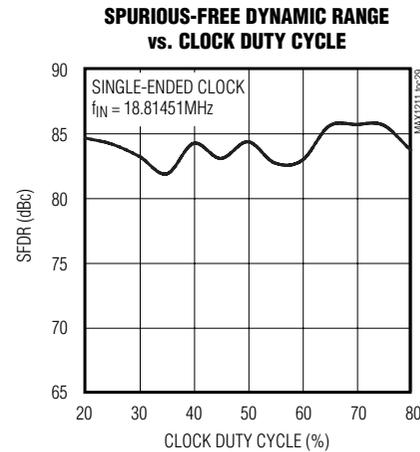
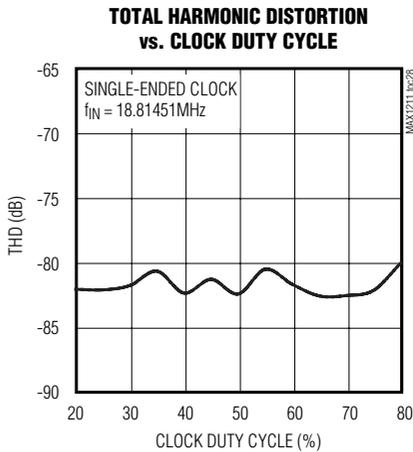
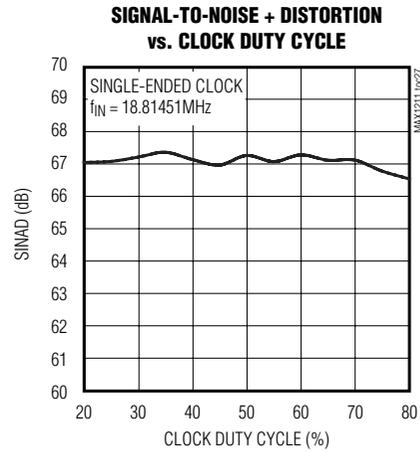
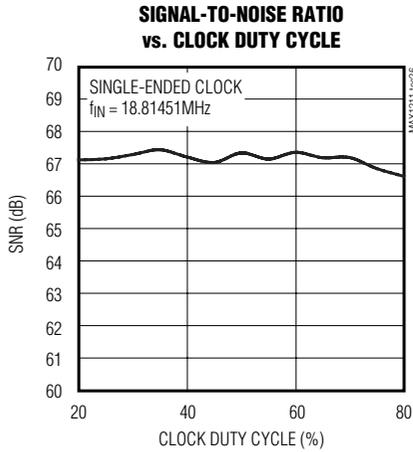


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $C_{REF_{OUT}} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLK_{TYP} = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to GND,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to GND,  $T_A = +25^\circ C$ , unless otherwise noted.)

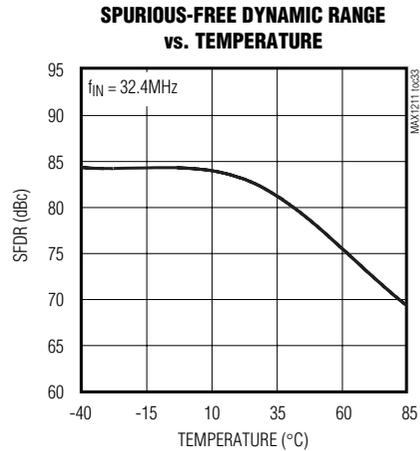
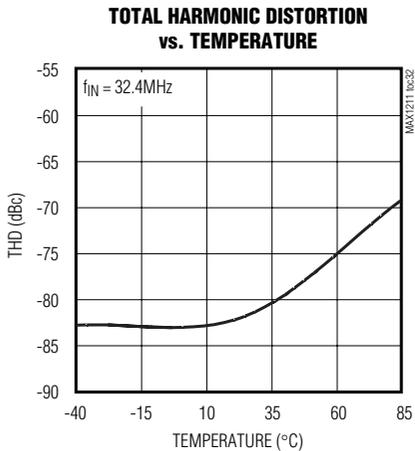
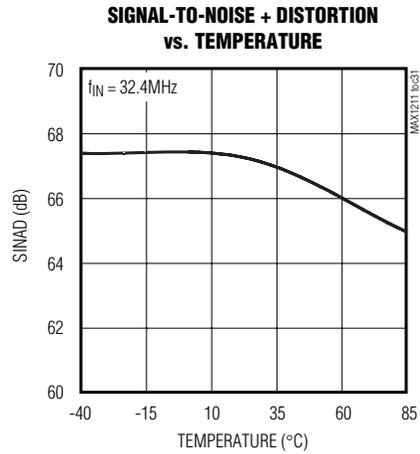
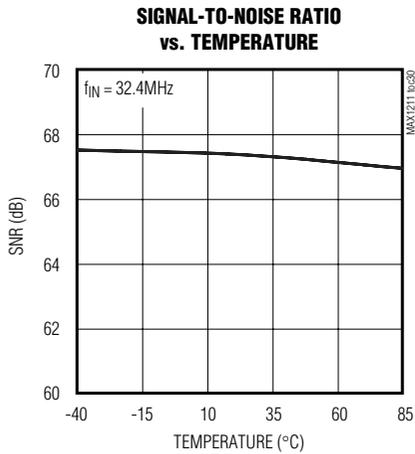


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to  $GND$ ,  $10\mu F$  between  $REFP$  and  $REFN$ ,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to  $GND$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

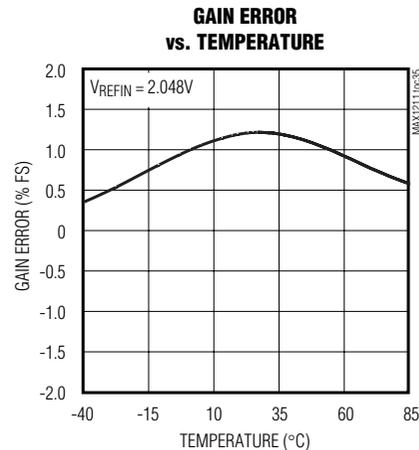
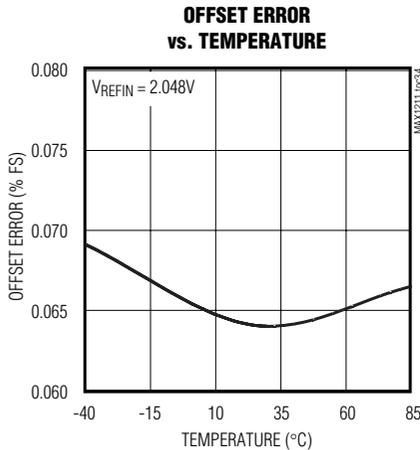


# 65Msps、12ビット、IFサンプリングADC

MAX1211

## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_{REFOUT} = 0.1\mu F$ ,  $C_L \approx 8pF$  at digital outputs, differential input at  $-0.2dBFS$ ,  $CLKTYP = high$ ,  $PD = low$ ,  $G/\bar{T} = low$ ,  $f_{CLK} = 65.005678MHz$  (50% duty cycle),  $C_{REFP} = C_{REFN} = 0.1\mu F$  in parallel with  $10\mu F$  to GND,  $10\mu F$  between REFP and REFN,  $C_{COM} = 0.1\mu F$  in parallel with  $2.2\mu F$  to GND,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 端子説明

端子	名称	機能
1	REFP	正リファレンスI/O。変換範囲は $\pm(V_{REFP} - V_{REFN})$ です。REFPからGNDに、 $\geq 2.2\mu F$ のコンデンサと $0.1\mu F$ コンデンサを並列接続してバイパスしてください。REFPとREFNの間には、 $10\mu F$ のバイパスコンデンサを取り付けます。
2	REFN	負リファレンスI/O。変換範囲は $\pm(V_{REFP} - V_{REFN})$ です。REFNからGNDに、 $\geq 2.2\mu F$ のコンデンサと $0.1\mu F$ コンデンサを並列接続してバイパスしてください。REFPとREFNの間には、 $10\mu F$ のバイパスコンデンサを取り付けます。
3	COM	コモンモード電圧I/O。COMからGNDに、 $\geq 2.2\mu F$ のコンデンサと $0.1\mu F$ コンデンサを並列接続してバイパスしてください。
4, 7, 16, 35	GND	グラウンド。グラウンドピンとEPのすべてを結線します。
5	INP	正アナログ入力。シングルエンド入力動作では、信号ソースをINPに、INNをCOMに接続します。差動入力動作では、入力信号をINPとINNに接続します。
6	INN	負アナログ入力。シングルエンド入力動作では、INNをCOMに接続します。差動入力動作では、入力信号をINPとINNに接続します。
8, 12-15, 36	$V_{DD}$	アナログ電源。 $V_{DD}$ を $3.0V \sim 3.6V$ の電源に接続します。 $V_{DD}$ からGNDに、 $\geq 2.2\mu F$ と $0.1\mu F$ のコンデンサを並列接続したものでバイパスします。 $V_{DD}$ ピンは、すべて、同電位に接続します。
9	CLKN	負クロック入力。差動クロック入力モード( $CLKTYP = OV_{DD}$ または $V_{DD}$ )では、クロック信号をCLKPとCLKNに接続します。シングルエンドクロックモード( $CLKTYP = GND$ )では、クロック信号をCLKPに供給し、CLKNはGNDに接続します。
10	CLKP	正クロック入力。差動クロック入力モード( $CLKTYP = OV_{DD}$ または $V_{DD}$ )では、クロック信号をCLKPとCLKNに接続します。シングルエンドクロックモード( $CLKTYP = GND$ )では、シングルエンドクロック信号をCLKPに供給し、CLKNはGNDに接続します。

# 65Msps、12ビット、1FサンプリングADC

MAX1211

## 端子説明(続き)

端子	名称	機能
11	CLKTYP	クロックタイプ指定入力。CLKTYPをGNDに接続するとシングルエンドクロック入力になります。CLKTYPをOV <sub>DD</sub> またはV <sub>DD</sub> に接続すると差動クロック入力になります。
17, 34	OV <sub>DD</sub>	出力ドライバ電源入力。OV <sub>DD</sub> は、1.7VのV <sub>DD</sub> 電源に接続します。OV <sub>DD</sub> からGNDに、 $\geq 2.2\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列接続したものでバイパスします。
18	DOR	データ範囲外インジケータ。DORはデジタル出力で、アナログ入力電圧が範囲外であるかどうかを示します。DORがハイなら、アナログ入力が入力レンジを超えています。DORがローなら、アナログ入力が入力レンジ内にあります。
19	D11	CMOSデジタル出力、ビット11 (MSB)
20	D10	CMOSデジタル出力、ビット10
21	D9	CMOSデジタル出力、ビット9
22	D8	CMOSデジタル出力、ビット8
23	D7	CMOSデジタル出力、ビット7
24	D6	CMOSデジタル出力、ビット6
25	D5	CMOSデジタル出力、ビット5
26	D4	CMOSデジタル出力、ビット4
27	D3	CMOSデジタル出力、ビット3
28	D2	CMOSデジタル出力、ビット2
29	D1	CMOSデジタル出力、ビット1
30	D0	CMOSデジタル出力、ビット0 (LSB)
31, 32	N.C.	接続なし。N.C.は未接続のままとします。
33	DAV	データ有効出力。DAVはシングルエンドの入力クロックで、クロックデューティサイクルの変動が補正されています。DAVは普通、MAX1211の出力データを外部のバックエンドデジタル回路にラッチする際に使用されます。
37	PD	パワーダウン入力。PDをハイにするとパワーダウンモードになります。通常動作では、PDをローにしておきます。
38	REFOUT	内蔵リファレンス電圧出力。内蔵リファレンスを使った動作とする場合、REFOUTをREFINに直結するか、REFOUTから抵抗分圧器経由でREFINに適切な電圧をセットします。REFOUTからGNDに、 $\geq 0.1\mu\text{F}$ のコンデンサでバイパスします。
39	REFIN	リファレンス入力。 $V_{\text{REFIN}} = 2 \times (V_{\text{REFP}} - V_{\text{REFN}})$ 。REFINからGNDに、 $\geq 0.1\mu\text{F}$ のコンデンサでバイパスします。
40	G/ $\bar{T}$	出力フォーマット選択入力。G/ $\bar{T}$ をGNDに接続するとデジタル出力フォーマットが2の補数となります。G/ $\bar{T}$ をOV <sub>DD</sub> またはV <sub>DD</sub> に接続するとデジタル出力フォーマットがグレイコードになります。
—	EP	裏面放熱パドル。EPは内部でGNDに接続されています。所定の性能を発揮させるため、外部配線でもEPをGNDに接続してください。

## 詳細

MAX1211は10段の完全差動パイプラインアーキテクチャ(図1)を採用しており、低消費電力で高速変換が行えます。入力でサンプリングされたデータは、1/2クロックサイクルごとにパイプラインステージを移動していきます。入力から出力までの所要時間は8.5クロックサイクルです。

パイプラインコンバータでは、各段で入力電圧をデジタル出力コードに変換していきます。最終段を除くすべての段で、入力電圧とデジタル出力コードに誤差があると、それが増幅され、次のパイプライン段に渡されます。各パイプライン段においてデジタル誤差補正でADCコンパレータのオフセットを補償し、ミッシングコードをなくします。図2に、MAX1211のファンクションダイアグラムを示します。

### 入カトラック/ホールド(T/H)回路

図3に、入力T/H回路の概略ファンクションダイアグラムを示します。トラックモードでは、スイッチS1とS2a、S2b、S4a、S4b、S5a、S5bが閉じています。これは完全差動回路で、入力信号はスイッチS4aとS4bを経由して2つのコンデンサ(C2aとC2b)にサンプリングされます。スイッチS2aとS2bはOTA(オペレーショナルトランスコンダクタンスアンプ)にコモンモードをセットするスイッチで、S1と同時に開き、入力波形のサンプリングを行います。続いてスイッチS4a、S4b、S5a、S5bが開き、その後、スイッチS3aとS3bが閉じてC1aとC1bという2つのコンデンサがアンプ出力に接続され、S4cが閉じます。得られた差動電圧はC2aとC2bに保持されます。C1aとC1bは、アンプによって、C2aとC2bに保持されている電荷と同じ値まで充電されます。その後、この値が第1段の量子化器に入力されるとともに、パイプラインが急速に変化する入力から切り離されます。MAX1211のT/Hアンプは入力帯域が広いことから、ナイキスト周波数をはるかに超える周波数のアナログ入力もトラックし、サンプル/ホールドすることができます。アナログ入力のINPからINNは、差動動作とすることもシングルエンドとすることもできます。差動入力とすることは、INPとINNの入力インピーダンスをバランスさせ、コモンモード電圧としてミッドサプライ( $V_{DD}/2$ )をセットしてください。

### リファレンス出力(REFOUT)

MAX1211では、内蔵バンドギャップリファレンスを基準として内部の電圧とバイアス電流を定めます。リファレンス回路のイネーブル/ディセーブルは、パワーダウジョック入力(PD)によって行います。REFOUTからGNDまでの抵抗は、MAX1211がパワーダウンの状態で約17kΩです。MAX1211に電源が供給されたあと、あるいはPDがハイからローに変化したあと、リファレンス回路がパワーアップして安定するまで10msの時間がかかります。

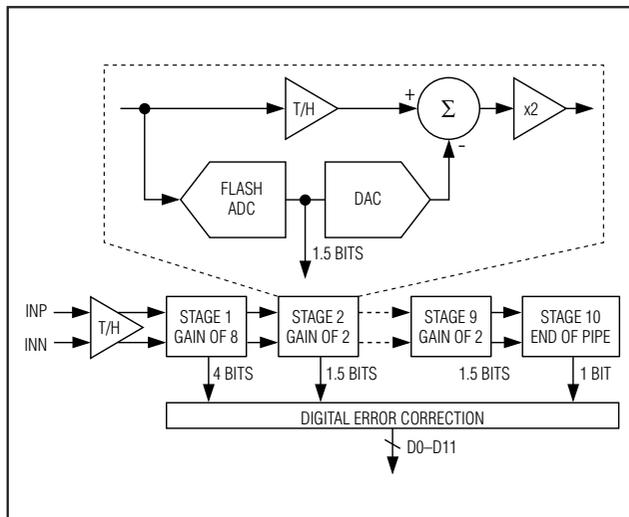


図1. パイプラインアーキテクチャ―段ブロック

内蔵のバンドギャップリファレンスとバッファにより生成されるREFOUTは、電圧が2.048V、温度係数が+100ppm/℃となります。安定度を高めるため、REFOUTは、 $\geq 0.1\mu\text{F}$ の外付けバイパスコンデンサでGNDに落としておきます。REFOUTは、35mV/mAの負荷レギュレーションを持つ外部回路に対して最大1.4mAのソース、100 $\mu\text{A}$ のシンクとして働きます。短絡保護機能があり、 $I_{REFOUT}$ がGNDにショートされたときのソース電流は2.1mAまでに、 $V_{DD}$ にショートされたときのシンク電流は240 $\mu\text{A}$ までに制限されます。

### アナログ入力とリファレンス構成

MAX1211は、フルスケールアナログ入力レンジが $\pm V_{REF}$ 、コモンモード入力レンジが $V_{DD}/2 \pm 0.5V$ となっています。なお、 $V_{REF}$ は $V_{REFP}$ と $V_{REFN}$ の差です。MAX1211には、3種類のリファレンス動作があります。リファレンス動作モードは、REFINに加える電圧( $V_{REFIN}$ )によって決定します(表1)。

REFOUTとREFINを直結するか抵抗分圧器で結び、内蔵リファレンスモードになります。このとき、COMとREFP、REFNはローインピーダンス出力となり、 $V_{COM} = V_{DD}/2$ 、 $V_{REFP} = V_{DD}/2 + V_{REFIN}/4$ 、及び $V_{REFN} = V_{DD}/2 - V_{REFIN}/4$ となります。COMとREFP、REFNは、 $\geq 2.2\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列接続したものでGNDにバイパスしてください。REFPからREFNは、10 $\mu\text{F}$ のコンデンサでバイパスします。REFINとREFOUTからGNDへは、 $0.1\mu\text{F}$ のコンデンサでバイパスします。REFINは、非常に高い入力インピーダンスを持ちます( $>50M\Omega$ )。抵抗分圧器経由でREFINを駆動する際には、 $\geq 10k\Omega$ の電気抵抗を用い、REFOUTに負荷がかからないようにします。

もう一つのモードはバッファ付外部リファレンスモードで、これは、リファレンスソースがMAX1211の

# 65Msps、12ビット、IFサンプリングADC

MAX1211

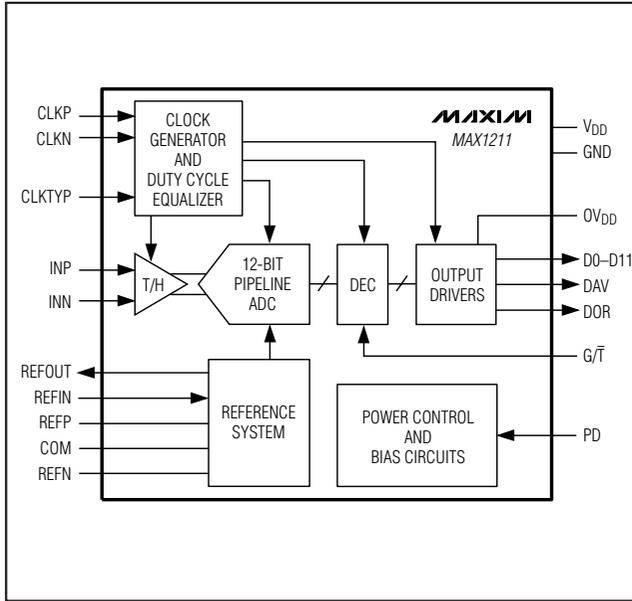


図2. ファンクションダイアグラム

REFOUTではなく外部リファレンスである以外、内蔵リファレンスモードとまったく同じです。バッファ付外部リファレンスモードでは、REFINに安定化された0.7V~2.3Vのソース電源を加えます。COMとREFP、REFNIはローインピーダンス出力となり、 $V_{COM} = V_{DD} / 2$ 、 $V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4$ 、及び $V_{REFNI} = V_{DD} / 2 - V_{REFIN} / 4$ となります。COMとREFP、REFNIは、 $\geq 2.2\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列接続したものでGNDにバイパスしてください。REFPからREFNIは、 $10\mu\text{F}$ のコンデンサでバイパスします。REFINとREFOUTからGNDへは、 $0.1\mu\text{F}$ のコンデンサでバイパスします。

REFINをGNDに接続すると、バッファなし外部リファレンスモードとなります。このとき、COM、REFP、REFNIに対してオンチップリファレンスバッファは動作しません。バッファがないため、COMとREFP、REFNIはハイインピーダンス入力となり、個別に外部リファレンスソースで駆動する必要があります。 $V_{COM}$ は $V_{DD} / 2 \pm 5\%$ で駆動し、REFPとREFNIは $V_{COM} = (V_{REFP} + V_{REFNI}) / 2$ となるように駆動します。アナログ入力レンジは $\pm(V_{REFP} - V_{REFNI})$ となります。COMとREFP、

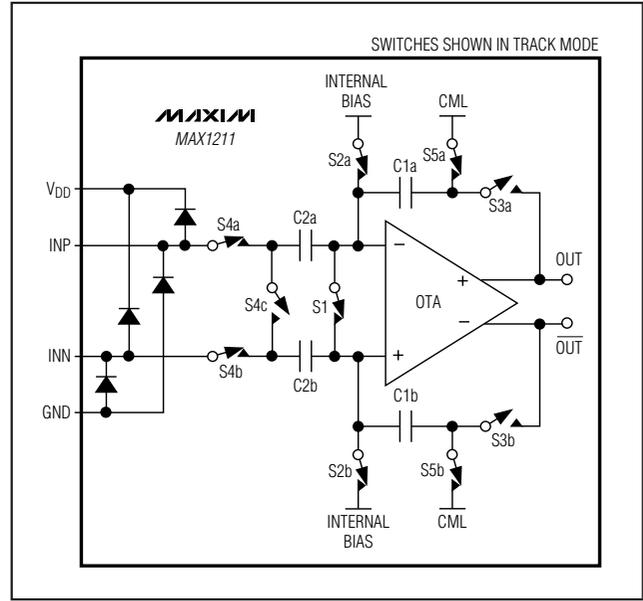


図3. 内蔵T/H回路

REFNIは、 $\geq 2.2\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列接続したものでGNDにバイパスしてください。REFPからREFNIは、 $10\mu\text{F}$ のコンデンサでバイパスします。REFOUTからGNDへは、 $0.1\mu\text{F}$ のコンデンサでバイパスします。

どのような回路とすべきか、あるいは、バッファ付/バッファなしの外部リファレンスモードでどのようにADCを駆動するのかといった詳細は、アプリケーション情報を参照してください。

## クロック入力ラインとクロック制御ライン (CLKP、CLKN、CLKTYP)

MAX1211は、20%~80%という広範なデューティサイクルのクロックを差動入力あるいはシングルエンド入力で受け入れることができます。シングルエンドクロック入力動作とする場合は、CLKTYPをGNDに、CLKNをGNDに接続し、CLKPを外部のシングルエンドクロック信号で駆動します。クロックジッタを抑えるため、外部シングルエンドクロックはするどい立下りエッジを持つ必要があります。差動クロック入力動作

表1. リファレンスモード

VREFIN	REFERENCE MODE
35% VREFOUT to 100% VREFOUT	<b>Internal reference mode.</b> REFIN is driven by REFOUT either through a direct short or a resistive divider. $V_{COM} = V_{DD} / 2$ , $V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4$ , and $V_{REFNI} = V_{DD} / 2 - V_{REFIN} / 4$ .
0.7V to 2.3V	<b>Buffered external reference mode.</b> An external 0.7V to 2.3V reference voltage is applied to REFIN. $V_{COM} = V_{DD} / 2$ , $V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4$ , and $V_{REFNI} = V_{DD} / 2 - V_{REFIN} / 4$ .
<0.5V	<b>Unbuffered external reference mode.</b> REFP, REFNI, and COM are driven by external reference sources. VREF is the difference between the externally applied VREFP and VREFNI.

とする場合は、CLKTYPをOV<sub>DD</sub>あるいはV<sub>DD</sub>に接続し、CLKPとCLKNを外部の差動クロック信号で駆動します。クロック入力にはアナログ入力だとみなすべきで、他のアナログ入力ラインやデジタル信号ラインからできるだけ離して配線します。

CLKPとCLKNは、MAX1211がパワーダウンの間、ハイインピーダンスになります(図4)。

MAX1211で所定のSN比を得るためには、クロックジッタを低く抑える必要があります。アナログ入力にはクロック信号の立下りエッジでサンプリングされるため、このエッジ部分のジッタを極力低く抑えなければなりません。次式に示すように、ADCは、ジッタによって最大SN比が制限されるものであるためです。

$$SNR = 20 \times \log \left( \frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ただし、 $f_{IN}$ はアナログ入力周波数、 $t_J$ はトータルのシステムクロックジッタです。アンダーサンプリングアプリケーションでは、クロックジッタが特に重要です。クロックジッタのみがノイズソースであると仮定すると、入力周波数250MHzで65.1dBというSN比を得るためにはクロックジッタを0.35ps以下に抑えなければなりません。現実には、サーマルノイズや数値化ノイズもあるため、250MHzで65.1dBというSN比を得るためにはクロックジッタを0.22ps以下に抑える必要があります。

## システムのタイミング要件

図5は、クロックとアナログ入力、DAVインジケータ、DORインジケータ、そして、その結果出力されるデータの関係です。アナログ入力はクロック信号の立下りエッジでサンプリングされ、最終的なデータが8.5クロックサイクル後にデジタル出力に現れます。

DAVインジケータはデジタル出力に同期されており、バックエンドのデジタル回路にデータをラッチングするのに最適です。または、バックエンドのデジタル回路をクロックの立下りエッジでラッチングすることもできます。

## データ有効出力(DAV)

DAVは、シングルエンドの入力クロックで、クロックデューティサイクルの変動が補正されています。DAVの立下りエッジで出力データが変化し、出力データが有効になるとDAVが立上ります。DAVの立下りエッジは、入力クロックの立下りエッジから6.4ns遅れます。D0~D11とDORの出力データは、DAV立上りエッジの8.4ns前からDAV立上りエッジの6.6ns後まで有効となります。

DAVは、MAX1211がパワーダウンの間(PDがハイ)、ハイインピーダンスになります。ソースとしてもシン

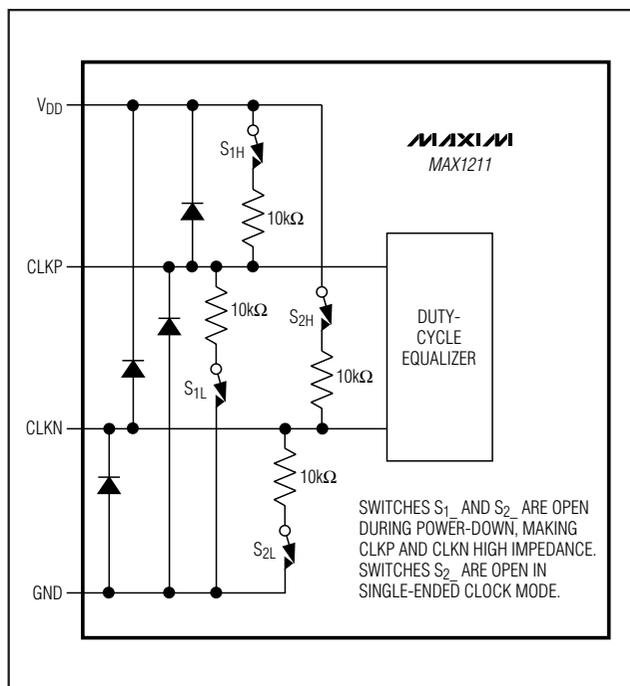


図4. クロック入力回路の概要

クとしても600μAの能力を持ち、D0~D11とDORの3倍の駆動力を持ちます。MAX1211の出力データを外部のバックエンドデジタル回路にラッチングするために、よく使われます。

DAVに対する容量性負荷はできるだけ低くしてください(<25pF)。容量性負荷が大きくなると、MAX1211のアナログ部分に大量のデジタル電流がフィードバックされ、ダイナミック性能が低下してしまいます。容量性負荷の影響は、DAVに外部バッファを取り付けることによって避けられます。DAVから外部バッファ経由でバックエンドデジタル回路を駆動する方法は、MAX1211評価キットの図を参照してください。

## データ範囲外インジケータ(DOR)

DORはデジタル出力で、アナログ入力電圧が範囲外であるかどうかを示します。DORがハイなら、アナログ入力がフルスケールレンジを超えています。DORがローなら、アナログ入力がフルスケールレンジ内にあります。有効な差動入力レンジは(V<sub>REFP</sub> - V<sub>REFN</sub>) から (V<sub>REFN</sub> - V<sub>REFP</sub>)までです。このレンジをはずれた差動入力信号が入ると、表2に示すように、DORがハイになります。

DORはDAVと同期されており、D0~D11の出力データと一緒に遷移します。DORの待ち時間も、出力データと同じで8.5クロックサイクルとなります(図5)。

DORは、MAX1211がパワーダウンの間(PDがハイ)、ハイインピーダンスになります。PDの立上りエッジ

# 65Msps、12ビット、IFサンプリングADC

MAX1211

表2. 出力コードと入力電圧の関係

GRAY CODE OUTPUT CODE ( $G/\bar{T} = 1$ )				TWO'S COMPLEMENT OUTPUT CODE ( $G/\bar{T} = 0$ )				$V_{INP} - V_{INN}$ ( $V_{REFP} = 2.162V$ ) ( $V_{REFN} = 1.138V$ )
BINARY D11 → D0	DOR	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0 (CODE <sub>10</sub> )	BINARY D11 → D0	DOR	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0 (CODE <sub>10</sub> )	
1000 0000 0000	1	0x800	+4095	0111 1111 1111	1	0x7FF	+2047	>+1.0235V (DATA OUT OF RANGE)
1000 0000 0000	0	0x800	+4095	0111 1111 1111	0	0x7FF	+2047	+1.0235V
1000 0000 0001	0	0x801	+4094	0111 1111 1110	0	0x7FE	+2046	+1.0230V
1100 0000 0011	0	0xC03	+2050	0000 0000 0010	0	0x002	+2	+0.0010V
1100 0000 0001	0	0xC01	+2049	0000 0000 0001	0	0x001	+1	+0.0005V
1100 0000 0000	0	0xC00	+2048	0000 0000 0000	0	0x000	0	+0.0000V
0100 0000 0000	0	0x400	+2047	1111 1111 1111	0	0xFFF	-1	-0.0005V
0100 0000 0001	0	0x401	+2046	1111 1111 1110	0	0xFFE	-2	-0.0010V
0000 0000 0001	0	0x001	+1	1000 0000 0001	0	0x801	-2047	-1.0235V
0000 0000 0000	0	0x000	0	1000 0000 0000	0	0x800	-2048	-1.0240V
0000 0000 0000	1	0x000	0	1000 0000 0000	1	0x800	-2048	<-1.0240V (DATA OUT OF RANGE)

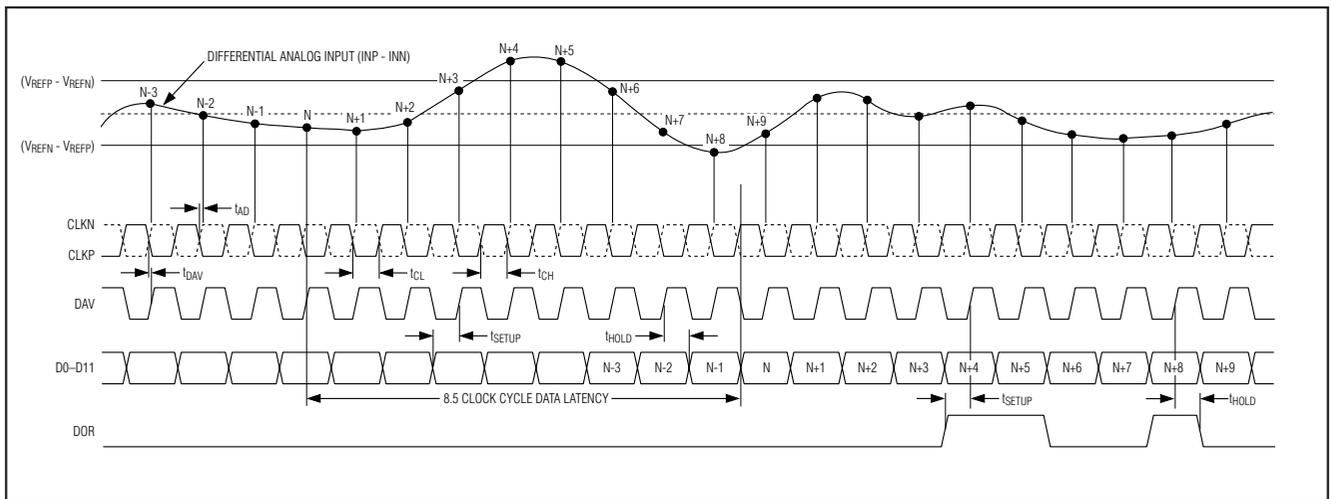


図5. システムタイミングのダイアグラム

から10ns以内に、DORはハイインピーダンスとなり、立下りエッジから10ns以内にアクティブとなります。

## デジタル出力データ(D0~D11)、出力フォーマット(G/ $\bar{T}$ )

MAX1211は、12ビット、パラレル、トライステートの出力バス(D0~D11)を備えています。D0~D11とDORは、DAV立下りエッジで更新され、DAV立上りエッジで有効になります。

MAX1211の出力データフォーマットはグレイコードか2の補数です。いずれになるかはロジック入力のG/ $\bar{T}$ によって決まります。G/ $\bar{T}$ をハイにするとグレイコードになり、ローにすると2の補数になります。参考として、2の補数とグレイコードの変換の例を図8に示します。

アナログ入力とデジタル出力の関係は、次式と表2、図6、図8によって定義されます。

グレイコード(G/ $\bar{T}$  = 1)のときは

$$V_{INP} - V_{INN} = (V_{REFP} - V_{REFN}) \times 2 \times \frac{CODE_{10} - 2048}{4096}$$

2の補数(G/ $\bar{T}$  = 0)のときは

$$V_{INP} - V_{INN} = (V_{REFP} - V_{REFN}) \times 2 \times \frac{CODE_{10}}{4096}$$

ただし、CODE<sub>10</sub>は、表2に示すデジタル出力コードの10進表記です。

D0~D11のデジタル出力は、MAX1211がパワーダウンの間(PDがハイ)、ハイインピーダンスになります。PDの立上りエッジから10ns以内に、D0~D11はハイインピーダンスとなり、立下りエッジから10ns以内にアクティブとなります。

MAX1211のデジタル出力D0~D11に対する容量性負荷はできるだけ低くしてください(<15pF)。容量性負荷が大きくなると、MAX1211のアナログ部分に大量のデジタル電流がフィードバックされ、ダイナミック性能が低下してしまいます。容量性負荷が大きい場合、デジタルバッファを追加すれば、その影響を避けることができます。220Ω抵抗をデジタル出力に直列に取り付けると(MAX1211にできるだけ近い位置に取り付ける)、MAX1211はより高いダイナミック性能を得ることができます。220Ωの直列抵抗経由でデジタルバッファを駆動する方法は、MAX1211評価キットの図を参照してください。

## パワーダウン入力(PD)

MAX1211には、2種類のパワーモードがあり、デジタルのパワーダウン入力(PD)によって選択することが

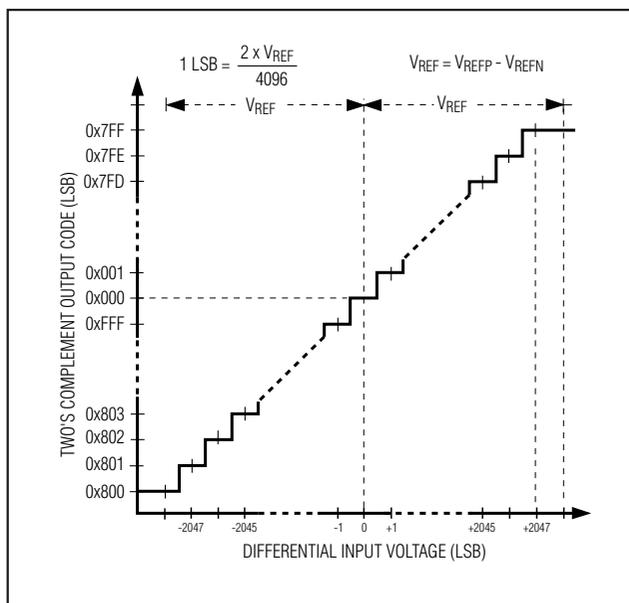


図6. 2の補数の変換関数(G/ $\bar{T}$  = 0)

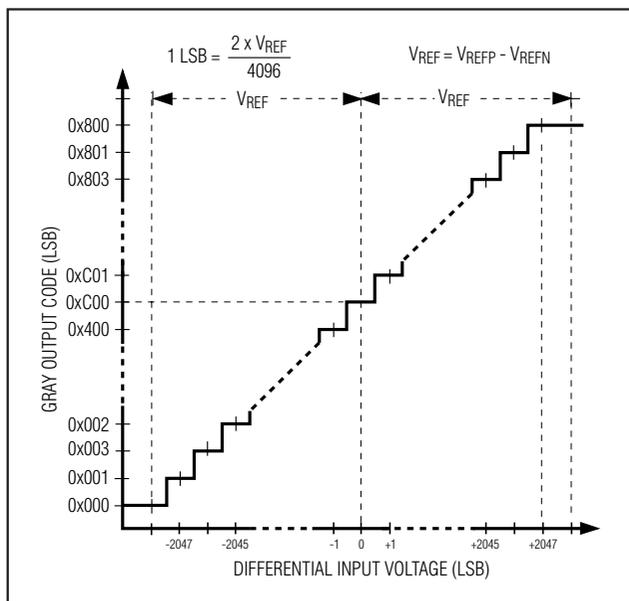


図7. グレイコードの変換関数(G/ $\bar{T}$  = 1)

できます。PDがローならMAX1211は通常動作モードとなり、PDがハイならパワーダウンモードとなります。パワーダウンモードでは、変換が不要になると低電力状態に移行し、MAX1211は無駄な電力の消費を抑えます。また、パワーダウンモードではMAX1211のパラレル出力バスがハイインピーダンスとなるので、バス上にある他のデバイスにアクセスすることが可能になります。

パワーダウンモードでは内蔵回路がすべてオフになり、アナログ供給電流は4mA、デジタル供給電流は19μA

### BINARY-TO-GRAY CODE CONVERSION

1) THE MOST SIGNIFICANT GRAY CODE BIT IS THE SAME AS THE MOST SIGNIFICANT BINARY BIT.

D11 → D7 → D3 → D0	BIT POSITION
0 1 1 1    0 1 0 0    1 1 0 0	BINARY
↓	
0	GRAY CODE

2) SUBSEQUENT GRAY CODE BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{GRAY}_X = \text{BINARY}_X \oplus \text{BINARY}_{X+1}$$

WHERE  $\oplus$  IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION.

$$\text{GRAY}_{10} = \text{BINARY}_{10} \oplus \text{BINARY}_{11}$$

$$\text{GRAY}_{10} = 1 \oplus 0$$

$$\text{GRAY}_{10} = 1$$
  

D11 → D7 → D3 → D0	BIT POSITION
0 $\oplus$ 1 1 1    0 1 0 0    1 1 0 0	BINARY
↓	
0 1	GRAY CODE

3) REPEAT STEP 2 UNTIL COMPLETE

$$\text{GRAY}_9 = \text{BINARY}_9 \oplus \text{BINARY}_{10}$$

$$\text{GRAY}_9 = 1 \oplus 1$$

$$\text{GRAY}_9 = 0$$
  

D11 → D7 → D3 → D0	BIT POSITION
0 1 $\oplus$ 1 1    0 1 0 0    1 1 0 0	BINARY
↓	
0 1 0	GRAY CODE

4) THE FINAL GRAY CODE CONVERSION IS:

D11 → D7 → D3 → D0	BIT POSITION
0 1 1 1    0 1 0 0    1 1 0 0	BINARY
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE

### GRAY-TO-BINARY CODE CONVERSION

1) THE MOST SIGNIFICANT BINARY BIT IS THE SAME AS THE MOST SIGNIFICANT GRAY CODE BIT.

D11 → D7 → D3 → D0	BIT POSITION
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE
↓	
0	BINARY

2) SUBSEQUENT BINARY BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{BINARY}_X = \text{BINARY}_{X+1} \oplus \text{GRAY}_X$$

WHERE  $\oplus$  IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION.

$$\text{BINARY}_{10} = \text{BINARY}_{11} \oplus \text{GRAY}_{10}$$

$$\text{BINARY}_{10} = 0 \oplus 1$$

$$\text{BINARY}_{10} = 1$$
  

D11 → D7 → D3 → D0	BIT POSITION
0 0 0 0    1 1 1 0    1 0 1 0	GRAY CODE
↓	
0 1	BINARY

3) REPEAT STEP 2 UNTIL COMPLETE

$$\text{BINARY}_9 = \text{BINARY}_{10} \oplus \text{GRAY}_9$$

$$\text{BINARY}_9 = 1 \oplus 0$$

$$\text{BINARY}_9 = 1$$
  

D11 → D7 → D3 → D0	BIT POSITION
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE
↓	
0 1 1	BINARY

4) THE FINAL BINARY CONVERSION IS:

D11 → D7 → D3 → D0	BIT POSITION
0 1 0 0    1 1 1 0    1 0 1 0	GRAY CODE
0 1 1 1    0 1 0 0    1 1 0 0	BINARY

EXCLUSIVE OR TRUTH TABLE

A	B	Y = A $\oplus$ B
0	0	0
0	1	1
1	0	1
1	1	0

図8. 2の補数とグレイコードの変換

まで低下します。アナログ入力とデジタル出力は、以下のような状態になります。

- INPとINNのアナログ入力は、内蔵入力アンプから切り離されます(図3)。
- REFOUT-GND間は約17kΩとなります。
- REFPとCOM、REFNはV<sub>DD</sub>やGNDに対してハイインピーダンスとなります。ただし、REFP-COM間もREFN-COM間も、それぞれ、内蔵の4kΩ抵抗で接続されています。
- D0～D11とDOR、DAVはハイインピーダンスになります。
- CLKPとCLKNのクロック入力はハイインピーダンスになります(図4)。

パワーダウンモードからの復帰に要する時間は、REFPとREFN、COMにあるコンデンサを充電するのに必要な時間によって決まります。内蔵リファレンスモードとバッファ付外部リファレンスモードでは、多くの場合、10msで復帰します。バッファなし外部リファレンスモードのときは、外部リファレンスドライバによって復帰時間が異なります。

## アプリケーション情報

### トランス結合の採用

MAX1211では、一般に、シングルエンド入力よりも完全差動入力としたほうが、SFDRとTHDがよくなります。特に、入力周波数が125MHzを超えると、この傾向が顕著になります。差動入力モードでは2本の入力がバランスするため偶数次高調波が低くなるとともに、ADC入力が必要とする信号スイングがシングルエンド入力モードの半分になります。

シングルエンド入力ソースの信号を完全差動信号とし、MAX1211の性能を十分に活用するためには、RFトランス(図9)の採用が一番よいでしょう。トランスのセンタータップをCOMにつなげば、入力をV<sub>DD</sub> / 2 DCレベルにシフトすることができます。図では1:1トランスを使っていますが、ステップアップトランスを使って駆動制限を緩和することも可能です。オペアンプなどの入力ドライバからの信号スイングを小さくすれば、総合的な歪み性能を高めることができます。図9に示す構成は、入力周波数がナイキスト周波数( $f_{CLK}/2$ )以下のとき、効果的です。

図10の回路も、図9と同様にシングルエンド入力信号を完全差動信号に変換する回路です。図10ではトランスをもう一つ追加し、コモンモード除去性能を高めているため、ナイキスト周波数を超えた高い周波数の信号にも適用できます。2段の49.9Ω抵抗による終端処理は、信号ソースから見ると50Ωの終端処理となります。

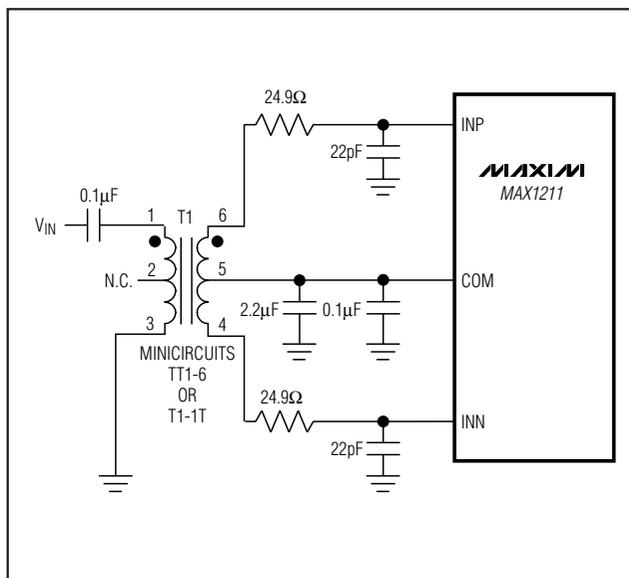


図9. ナイキスト周波数以下の入力周波数に適したトランス結合入力駆動方式

COMに接続された2段目の終端抵抗は、入力コモンモード電圧を正しく保つ機能を持ちます。COMに接続する0.1µFと4.7µFのデカップリングコンデンサも、プリント基板レイアウトが完全に対称になるようにしてあります。アナログ入力と直列に入っている2本の0Ω抵抗は、高いIF入力周波数に対応するためのものです。この0Ω抵抗を抵抗値の低いものと交換すると、入力帯域を制限することが可能です。

### シングルエンドのAC結合入力信号

図11に、AC結合によるシングルエンド入力アプリケーションを示します。MAX4108は高速、広帯域、低ノイズ、低歪みであり、入力信号の完全性を保つことができます。

### バッファ付外部リファレンスによる駆動複数ADCの使用

バッファ付外部リファレンスモードでは、MAX1211のリファレンス電圧をより細かく制御するとともに、共通リファレンスを複数のコンバータで使うことが可能になります。REFINの入力インピーダンスは>50MΩです。図12に示す例は、複数のコンバータで共通リファレンスとしてMAX6062高精度バンドギャップリファレンスを使う回路です。MAX6062から出力された2.048Vを1ポール、10Hzのローパスフィルタ経由でMAX4250に入力します。このMAX4250をバッファとして、2.048VというリファレンスがMAX1211のREFIN入力に加えられます。このリファレンス電圧は、MAX4250によって低オフセット電圧(高ゲイン精度)、低ノイズレベルとなります。

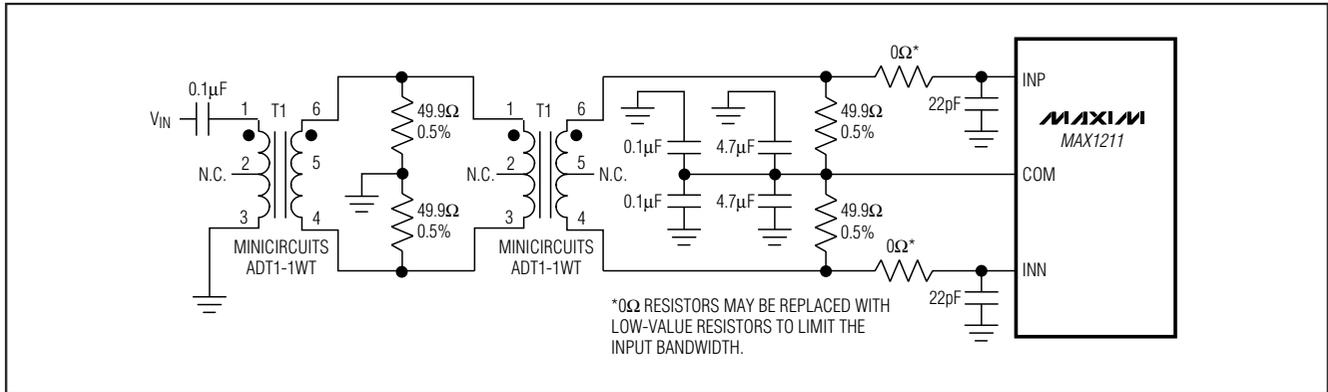


図10. ナイキスト周波数以上の入力周波数に対応したトランス結合入力駆動方式

## バッファなし外部リファレンスによる駆動 複数ADCの使用

バッファなし外部リファレンスモードMAX1211の基準電圧をより細かく制御するとともに、共通リファレンスを複数のコンバータで使うことが可能になります。REFINをGNDに落とすと内蔵リファレンスがディセーブルとなり、REFPとREFN、COMを外部リファレンスソースで直接駆動することができるようになります。

図13に示す例は、複数のコンバータで共通リファレンスとしてMAX6066高精度バンドギャップリファレンスを使う回路です。MAX6066から出力された2.500Vを10Hzのローパスフィルタと高精度分圧抵抗に通します。分圧抵抗のタップからバッファのMAX4254を経由して、+2.000Vと+1.500V、+1.000VをREFPとREFN、COMに供給します。これらのリファレンス電圧は、MAX4254によって低オフセット電圧、低ノイズレベルとなります。各バッファの後流に10Hzローパスフィルタがあり、リファレンス電圧とアンプノイズを3nV/√Hzレベルにフィルタリングします。2.000Vと1.000Vというリファレンス電圧によって、ADCの差動フルスケールレンジを±1.000Vにセットします。

能動素子すべてに共通の電源を供給すれば、パワーアップ中やパワーダウン中の電源シーケンシングが不要になります。

MAX4252の出力マッチングは0.1%以上なので、MAX4252バッファとローパスフィルタによって最大8つのADCをサポート可能です。

## グラウンド、バイパス、基板レイアウト

MAX1211を使用するためには、高速基板レイアウトの設計技術が必要です。詳細は、MAX1211評価キットのデータシートを参照してください。バイパスコンデンサは、すべて、デバイスにできるだけ近い位置に取り付けます。できれば、表面実装デバイスとしてADCと同じ面に取り付けると、インダクタンスを最小限に抑える

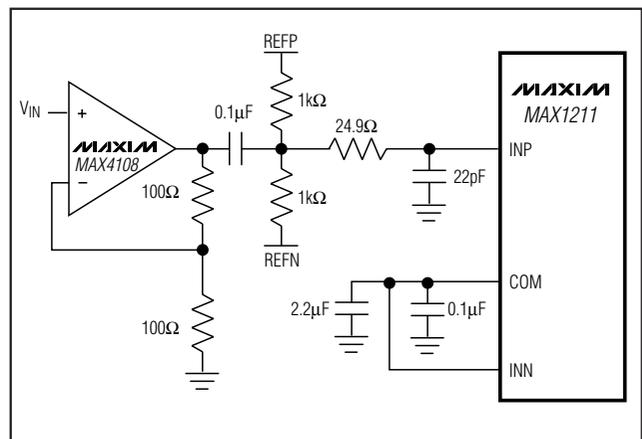


図11. AC結合、シングルエンド入力駆動

ことができます。V<sub>DD</sub>からGNDは、2.2μFのセラミックコンデンサと0.1μFセラミックコンデンサを並列接続してバイパスします。OV<sub>DD</sub>からGNDも、2.2μFのセラミックコンデンサと0.1μFセラミックコンデンサを並列接続してバイパスします。

信号の完全性を高めるために、十分なグランドプレーンと電源プレーンを持つマルチレイヤボードを使用します。MAX1211のGNDと裏面エクスポートパッドは、すべて、同じグランドプレーンに接続します。MAX1211では、裏面エクスポートパッドによって低インダクタンスのグランド接続を実現します。グランドプレーンは、DSPや出力バッファのグランドのように、ノイズの多いデジタルシステムグランドプレーンから絶縁してください。

高速デジタル配線は、影響を受けやすいアナログ配線から離して配線します。信号ラインはできるだけ短くするとともに、90°の曲がり avoids。

差動アナログ入力回路のレイアウトは対称とし、寄生がすべてバランスするようにします。対称な入力回路のレイアウトについては、MAX1211評価キットのデータシートに例があります。



# 65Msps、12ビット、IFサンプリングADC

MAX1211

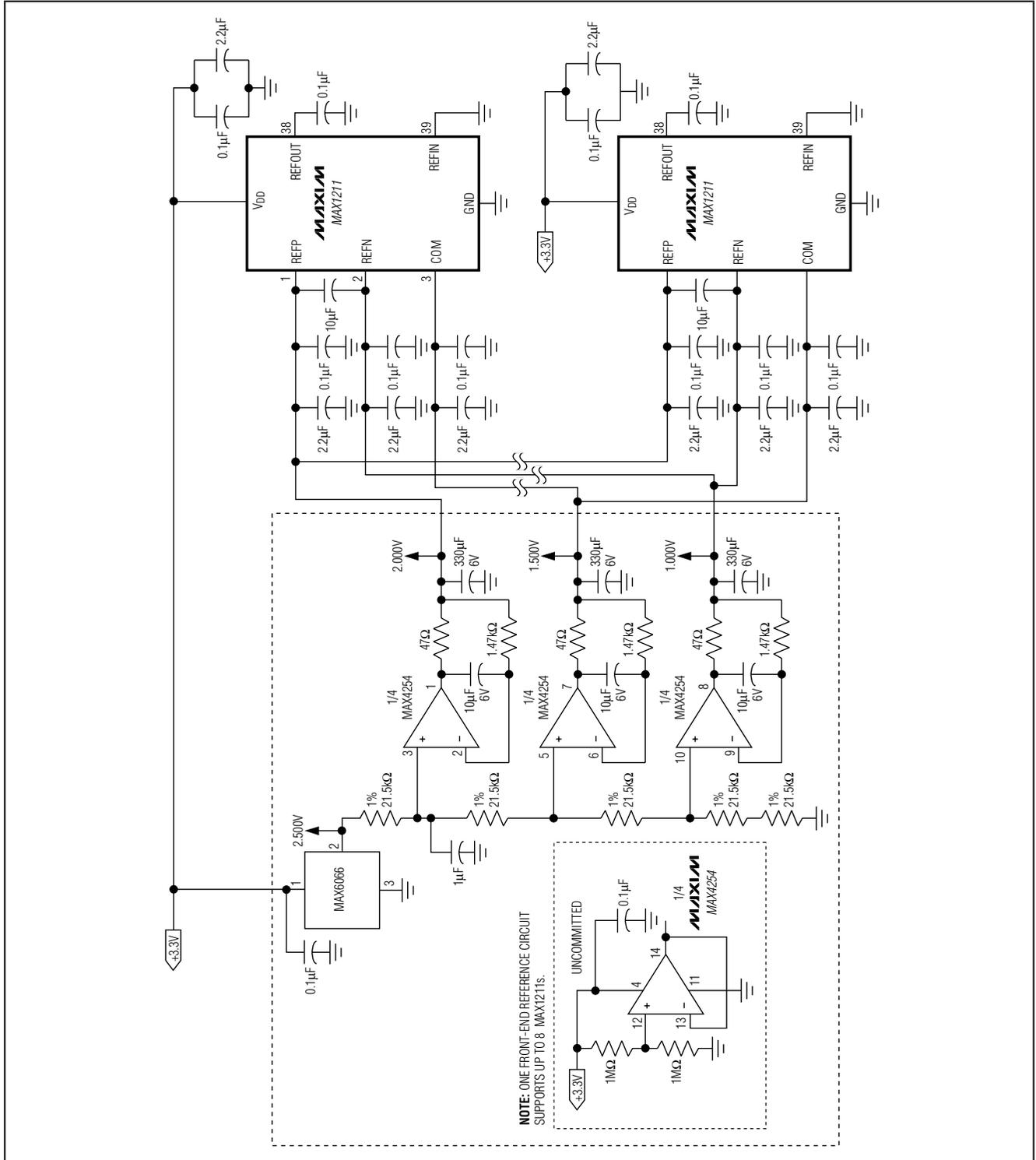


図13. MAX4254とMAX6066を用い、外付けのバッファなしリファレンスによって8つのADCを駆動する回路の例

## 利得誤差

MAX1211では、正のフルスケール遷移が正のフルスケールから1.5 LSB低い点で発生し、負のフルスケール遷移が負のフルスケールから0.5 LSB高い点で発生します。利得誤差は、実際の遷移ポイントから理想的な遷移ポイントの差を引いたものとなります。

## アパーチャジッタ

図14に、アパーチャジッタ( $t_{AJ}$ )の例を示します。これは、サンプル間におけるアパーチャ遅延の差です。

## アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立上りエッジから実際にサンプリングされる瞬間までの時間です。(図14)

## オーバドライブ回復時間

オーバドライブ回復時間は、フルスケールを超えた入力遷移からADCが復帰するのに必要な時間です。MAX1211では、フルスケールを±10%超えた入力遷移によってオーバドライブ回復時間を計測しています。

## 信号対ノイズ比(SN比)

デジタルサンプルから波形を完全に再構築できたとすると、そのSN比は、理論上、フルスケールアナログ入力(RMS値)とRMS量子化誤差(残存誤差)の比になります。アナログ-デジタル変換ノイズの理論的最小値となるのは量子化誤差のみであり、ADCの分解能(Nビット)によって決定されます。

$$\text{SNR}_{\text{dB}[\text{max}]} = 6.02\text{dB} \times N + 1.76\text{dB}$$

現実には、量子化ノイズ以外に、サーマルノイズやリファレンスノイズ、クロックジッタなど、さまざまなノイズソースがあります。SN比は、RMS信号とRMSノイズの比をとって算出します。RMSノイズには、基本周波数と最初の6高調波(HD2~HD7)、DCオフセットを除くナイキスト周波数の全スペクトル成分が含まれます。

## 信号対ノイズ+歪み(SINAD)

SINADは、RMS信号とRMSノイズプラス歪みの比として算出します。RMSノイズプラス歪みには、基本周波数とDCオフセットを除くナイキスト周波数の全スペクトル成分が含まれます。

## 実効ビット数(ENOB)

ENOBから、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能がわかります。理想的なADCでは、誤差は量子化ノイズのみとなります。

フルスケールのサイン波に対するENOBは、次式で算出できます。

$$\text{ENOB} = \left( \frac{\text{SINAD} - 1.76}{6.02} \right)$$

## 全高調波歪み(THD)

THDは、入力信号の最初の6高調波のRMSを合計したものと基本周波数のRMSの比で、次式で表されます。

$$\text{THD} = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

ただし、 $V_1$ は基本周波数の振幅、 $V_2$ から $V_7$ は第2高調波から第7高調波(HD2~HD7)の振幅です。

## スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本周波数のRMS振幅(信号の最大成分)とDCオフセットを除く最大のスプリアス成分のRMS値の比をデシベル単位で表したものです。

## 相互変調歪み(IMD)

IMDとは、ナイキスト周波数に対するIM2からIM5までの相互変調積の総歪み電力を、 $f_1$ と $f_2$ という2つの周波数の合計入力電力に対する相対値で表したものです。各入力トーンのレベルは-dBFSとします。各相互変調積は、以下のようになります。

- 2次相互変調積 (IM2):  $f_1 + f_2$ 、 $f_2 - f_1$
- 3次相互変調積 (IM3):  $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$
- 4次相互変調積 (IM4):  $3 \times f_1 - f_2$ 、 $3 \times f_2 - f_1$ 、 $3 \times f_1 + f_2$ 、 $3 \times f_2 + f_1$
- 5次相互変調積 (IM5):  $3 \times f_1 - 2 \times f_2$ 、 $3 \times f_2 - 2 \times f_1$ 、 $3 \times f_1 + 2 \times f_2$ 、 $3 \times f_2 + 2 \times f_1$

## 3次相互変調積(IM3)

IM3とは、ナイキスト周波数に対する3次相互変調積の総歪み電力を、 $f_1$ と $f_2$ という2つの周波数の合計入力電力に対する相対値で表したものです。各入力トーンのレベルは-7dBFSとします。3次相互変調積は、 $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$ となります。

## フルパワー帯域幅

ADCに-0.5dBFSという大きなアナログ入力信号を加え、デジタル化した結果の振幅が-3dB低下するまで入力周波数を掃引します。この点をフルパワー入力帯域周波数といいます。

# 65Msps、12ビット、IFサンプリングADC

MAX1211

## チップ情報

TRANSISTOR COUNT: 18,700

PROCESS: CMOS

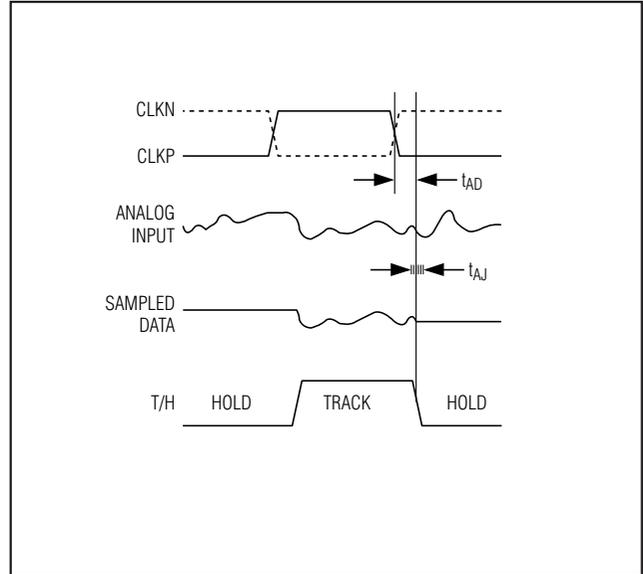


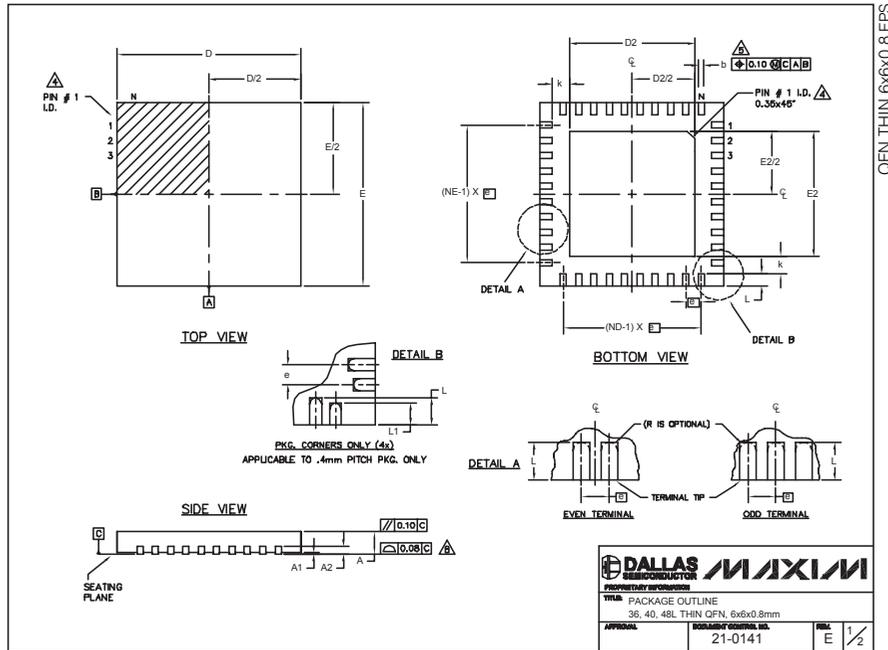
図14. T/Hアパーチャタイミング

# 65MSPS、12ビット、IFサンプリングADC

MAX1211

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



COMMON DIMENSIONS									
PKG. SYMBOL	36L 6x6			40L 6x6			48L 6x6		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.80	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.80	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	0.35	0.45
L	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	-	-	-	-	-	-	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

PKG. CODES	D2			E2			DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3666-1	3.60	3.70	3.80	3.60	3.70	3.80	NO
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80	YES
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80	NO
T4066-1	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40	YES

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 29