

マルチレンジ、+5V、8チャンネル、  
シリアル12ビットADC

## 概要

MAX1270/MAX1271はマルチレンジの12ビットデータ収集システム(DAS)で、+5V単一電源で動作し、アナログ入力信号範囲がグランド以下でも電源電圧以上でも受付けます。本製品は8チャンネルのアナログ入力を装備し、チャンネル毎に独立した各種のレンジ設定がソフトウェアでできます。MAX1270に設定できる有効なレンジは $\pm 10V$ 、 $\pm 5V$ 、 $0 \sim +10V$ 、 $0 \sim +5V$ で、MAX1271の場合は $\pm V_{REF}$ 、 $\pm V_{REF}/2$ 、 $0 \sim V_{REF}$ 、 $0 \sim V_{REF}/2$ です。このレンジの切換機能は、ダイナミックレンジを実質的に14ビットに拡張させ、また+5Vの単一電源システムでありながら、直接インタフェースできるセンサは、 $4 \sim 20mA$ 、 $\pm 12V$ 、又は $\pm 15V$ 形式というように、柔軟性にも富んでいます。コンバータ自体は $\pm 16.5V$ のフォルト保護機能を備えているので、どのチャンネル上で発生したフォルト状態も、他の動作中のチャンネルの変換結果に影響を与えません。さらに優れた特長は、5MHz帯域のトラック/ホールド、ソフトウェアで選択できる内部/外部クロック、110kspsのスループットレート、内部の4.096V又は外部リファレンスでの動作など、高度で多彩な機能を装備していることです。

MAX1270/MAX1271シリアルインタフェースはSPI™、QSPI™、およびMICROWIRE™機器とも、外部ロジック回路なしで直接接続できます。

本製品はハードによる1つのシャットダウン入力( $\overline{SHDN}$ )に加え、ソフトで選択できる2つのパワーダウンモードを備えており、スタンバイ(STBYPD)又はフルパワーダウン(FULLPD)は変換と変換の間を低電流のシャットダウン状態にします。このスタンバイモードのとき、リファレンスバッファはアクティブを維持し、スタートアップの遅延を防止します。

MAX1270/MAX1271は24ピンのナローDIPパッケージ、及び省スペースの28ピンSSOPパッケージで提供されています。

## アプリケーション

- 産業用制御システム
- データ収集システム
- ロボット産業
- 自動テスト
- バッテリー駆動機器
- 医療機器

## 型番

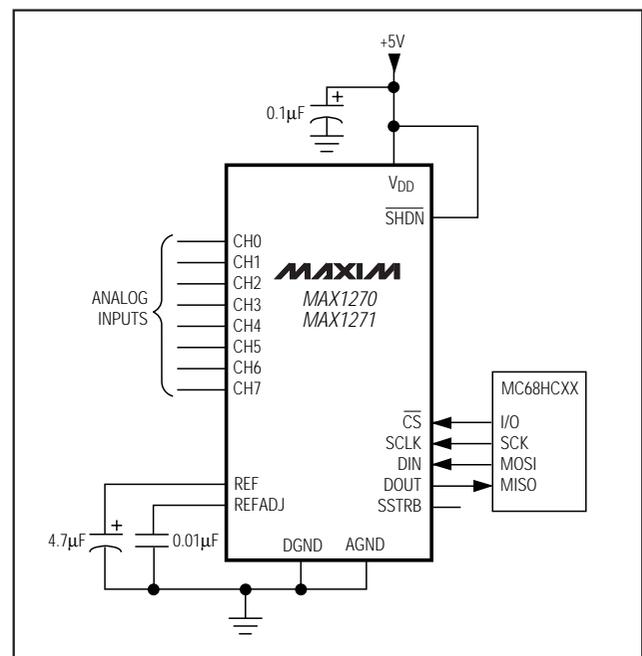
PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1270ACNG	0°C to +70°C	24 Narrow Plastic DIP	$\pm 1/2$
MAX1270BCNG	0°C to +70°C	24 Narrow Plastic DIP	$\pm 1$
MAX1270ACAI	0°C to +70°C	28 SSOP	$\pm 1/2$
MAX1270BCAI	0°C to +70°C	28 SSOP	$\pm 1$

型番の続きはデータシートの最後に記載されています。

## 特長

- ◆ 12ビット分解能、1/2LSB直線形
- ◆ 電源：+5V単一
- ◆ 3線インタフェース：  
SPI/QSPI、およびMICROWIREにコンパチブル
- ◆ ソフトウェア選択可能な4入力範囲  
MAX1270：0 $\sim$ +10V、0 $\sim$ +5V、 $\pm 10V$ 、 $\pm 5V$   
MAX1271：0 $\sim V_{REF}$ 、0 $\sim V_{REF}/2$ 、 $\pm V_{REF}$ 、 $\pm V_{REF}/2$
- ◆ アナログ入力チャンネル数：8
- ◆ サンプリングレート：110ksps
- ◆ 入力マルチプレクサの過電圧許容値： $\pm 16.5V$
- ◆ リファレンス：内部4.096V又は外部より供給
- ◆ パワーダウンモード数：2
- ◆ 内部又は外部クロック
- ◆ パッケージ：24ピンナローDIP/28ピンSSOP

## 標準動作回路



ピン配置はデータシートの最後に記載されています。

SPI及びQSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND	-0.3V to +6V
AGND to DGND	-0.3V to +0.3V
CH0-CH7 to AGND	±16.5V
REF, REFADJ to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
SSTRB, DOUT to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
SHDN, CS, DIN, SCLK to DGND	-0.3V to +6V
Max Current into Any Pin	50mA
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
24-Pin Narrow DIP (derate 13.33mW/°C above +70°C)	1067mW
28-Pin SSOP (derate 9.52mW/°C above +70°C)	762mW

Operating Temperature Ranges	
MAX127_C_	0°C to +70°C
MAX127_E_	-40°C to +85°C
Storage Temperature Range	
	-65°C to +150°C
Lead Temperature (soldering, 10sec)	
	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +5.0V ±5%; unipolar/bipolar range; external reference mode, V<sub>REF</sub> = +4.096V; 4.7μF at REF; external clock, f<sub>CLK</sub> = 2.0MHz (50% duty cycle), 18 clock/conversion cycle, 110ksps; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted. Typical values are T<sub>A</sub> = +25°C.)

PARAMETERS	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>ACCURACY</b> (Note 1)							
Resolution			12			bits	
Integral Nonlinearity	INL	MAX127_A			±0.5	LSB	
		MAX127_B			±1.0		
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB	
Offset Error		Unipolar	MAX127_A			±3	LSB
			MAX127_B			±5	
		Bipolar	MAX127_A			±5	
			MAX127_B			±10	
Channel-to-Channel Offset Error Matching		Unipolar			±0.1	LSB	
		Bipolar			±0.3		
Gain Error (Note 2)		Unipolar	MAX127_A			±7	LSB
			MAX127_B			±10	
		Bipolar	MAX127_A			±7	
			MAX127_B			±10	
Gain Error Temperature Coefficient (Note 2)		Unipolar, external reference			±3	ppm/°C	
		Bipolar, external reference			±5		
<b>DYNAMIC SPECIFICATIONS</b> (10kHz sine-wave input, ±10Vp-p (MAX1270), or ±4.096Vp-p (MAX1271), f <sub>SAMPLE</sub> = 110ksps)							
Signal-to-Noise + Distortion Ratio	SINAD		70			dB	
Total Harmonic Distortion	THD	Up to the 5th harmonic		-87	-78	dB	
Spurious-Free Dynamic Range	SFDR		80			dB	
Channel-to-Channel Crosstalk		50kHz (Note 3)			-86	dB	
		DC, V <sub>IN</sub> = ±16.5V			-96		
Aperture Delay		External clock mode			15	ns	
Aperture Jitter		External clock mode			<50	ps	
		Internal clock mode			10	ns	

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +5.0V \pm 5\%$ ; unipolar/bipolar range; external reference mode,  $V_{REF} = +4.096V$ ;  $4.7\mu F$  at REF; external clock,  $f_{CLK} = 2.0MHz$  (50% duty cycle), 18 clock/conversion cycle, 110ksps;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted. Typical values are  $T_A = +25^\circ C$ .)

PARAMETERS	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>ANALOG INPUT</b>							
Track/Hold Acquisition Time	$t_{ACQ}$	$f_{CLK} = 2.0MHz$				3	$\mu s$
Small-Signal Bandwidth		-3dB rolloff	$\pm 10V$ or $\pm V_{REF}$ range			5	MHz
			$\pm 5V$ or $\pm V_{REF}/2$ range			2.5	
			0 to 10V or 0 to $V_{REF}$ range			2.5	
			0 to 5V or 0 to $V_{REF}/2$ range			1.25	
Input Voltage Range	$V_{IN}$	Unipolar (BIP = 0), Table 3	MAX1270	RNG = 1	0	10	V
				RNG = 0	0	5	
			MAX1271	RNG = 1	0	$V_{REF}$	
		Bipolar (BIP = 1), Table 3	MAX1270	RNG = 1	-10	10	
				RNG = 0	-5	5	
			MAX1271	RNG = 1	$-V_{REF}$	$V_{REF}$	
RNG = 0	$-V_{REF}/2$	$V_{REF}/2$					
Input Current	$I_{IN}$	Unipolar	MAX1270	0 to 10V range	-10	720	$\mu A$
				0 to 5V range	-10	360	
			MAX1271		-10	0.1	
		Bipolar	MAX1270	$\pm 10V$ range	-1200	720	
				$\pm 5V$ range	-600	360	
			MAX1271	$\pm V_{REF}$ range	-1200	10	
$\pm V_{REF}/2$ range	-600	10					
Dynamic Resistance	$\Delta V_{IN}/\Delta I_{IN}$	Unipolar			21		k $\Omega$
		Bipolar			16		
Input Capacitance		(Note 4)				40	pF
<b>INTERNAL REFERENCE</b>							
REF Output Voltage	$V_{REF}$	$T_A = +25^\circ C$		4.076	4.096	4.116	V
REF Output Tempco	$TC V_{REF}$	MAX1270_C/MAX1271_C			$\pm 15$		ppm/ $^\circ C$
		MAX1270_E/MAX1271_E			$\pm 30$		
Output Short Circuit Current						30	mA
Load Regulation (Note 5)		0 to 0.5mA output current				10	mV
Capacitive Bypass at REF				4.7			$\mu F$
Capacitive Bypass at REFADJ				0.01			$\mu F$
REFADJ Output Voltage				2.465	2.500	2.535	V
REFADJ Adjustment Range		Figure 1			$\pm 1.5$		%
Buffer Voltage Gain					1.638		V/V
<b>REFERENCE INPUT</b> (Reference buffer disabled, reference input applied to REF)							
Input Voltage Range				2.40		4.18	V
Input Current		$V_{REF} = 4.18V$	Normal or STBYPD			400	$\mu A$
			FULLPD			1	

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +5.0V \pm 5\%$ ; unipolar/bipolar range; external reference mode,  $V_{REF} = +4.096V$ ;  $4.7\mu F$  at REF; external clock,  $f_{CLK} = 2.0MHz$  (50% duty cycle), 18 clock/conversion cycle, 110ksps;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted. Typical values are  $T_A = +25^\circ C$ .)

PARAMETERS	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Resistance		$V_{REF} = 4.18V$	Normal or STBYPD	10			$k\Omega$
			FULLPD	4.18			$M\Omega$
REFADJ Threshold for Buffer Disable				$V_{DD} - 0.5$			V
<b>POWER REQUIREMENT</b>							
Supply Voltage	$V_{DD}$			4.75		5.25	V
Supply Current	$I_{DD}$	Normal	Bipolar range			18	mA
			Unipolar range		6	10	
		STBYPD power down mode (Note 6)			700	850	
FULLPD power down mode			120	220			
Power-Supply Rejection Ratio (Note 7)	PSRR	External reference = 4.096V		$\pm 0.1$		$\pm 0.5$	LSB
		Internal reference		$\pm 0.5$			
<b>TIMING</b>							
External Clock Frequency Range	$f_{CLK}$			0.1		2.0	MHz
Acquisition Phase		External clock mode (Note 8)		3			$\mu s$
		Internal clock mode, Figure 9		3		5	
Conversion Time	$t_{CONV}$	External clock mode (Note 8)		6			$\mu s$
		Internal clock mode, Figure 9		6	7.7	11	
Throughput Rate		External clock mode				110	ksps
		Internal clock mode				43	
Bandgap Reference Start-Up Time (Note 9)		Power-up			200		$\mu s$
Reference Buffer Settling Time		To 0.1mV, REF bypass capacitor fully discharged	$C_{REF} = 4.7\mu F$		8		ms
			$C_{REF} = 33\mu F$		60		
<b>DIGITAL INPUTS: DIN, SCLK, CS, SHDN</b>							
Input High Threshold Voltage	$V_{IH}$					2.4	V
Input Low Threshold Voltage	$V_{IL}$			0.8			V
Input Hysteresis	$V_{HYS}$				0.2		V
Input Leakage Current	$I_{IN}$	$V_{IN} = 0$ to $V_{DD}$		-10		10	$\mu A$
Input Capacitance	$C_{IN}$	(Note 4)				15	pF
<b>DIGITAL OUTPUTS: DOUT, SSTRB</b>							
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$				0.4	V
		$I_{SINK} = 16mA$			0.4		
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 0.5mA$		$V_{DD} - 0.5$			V
Three-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$		-10		10	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$ (Note 4)				15	pF

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

## TIMING CHARACTERISTICS

( $V_{DD} = +4.75V$  to  $+5.25V$ ; unipolar/bipolar range; external reference mode,  $V_{REF} = +4.096V$ ;  $4.7\mu F$  at REF; external clock,  $f_{CLK} = 2MHz$ ;  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are  $T_A = +25^\circ C$ .) (Figures 2, 5, 7, 10)

PARAMETERS	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIN to SCLK Setup	$t_{DS}$		100			ns
DIN to SCLK Hold	$t_{DH}$				0	ns
SCLK Fall to Output Data Valid	$t_{DO}$	$C_{LOAD} = 100pF$	20		170	ns
$\overline{CS}$ Fall to Output Enable	$t_{DV}$	$C_{LOAD} = 100pF$			120	ns
$\overline{CS}$ Rise to Output Disable	$t_{TR}$	$C_{LOAD} = 100pF$			100	ns
$\overline{CS}$ to SCLK Rise Setup	$t_{CSS}$		100			ns
$\overline{CS}$ to SCLK Rise Hold	$t_{CSH}$		0			ns
SCLK Pulse Width High	$t_{CH}$		200			ns
SCLK Pulse Width Low	$t_{CL}$		200			ns
SCLK Fall to SSTRB	$t_{SSTRB}$	$C_{LOAD} = 100pF$			200	ns
$\overline{CS}$ to SSTRB Output Enable	$t_{SDV}$	$C_{LOAD} = 100pF$ External clock mode only			200	ns
$\overline{CS}$ to SSTRB Output Disable	$t_{STR}$	$C_{LOAD} = 100pF$ External clock mode only			200	ns
SSTRB Rise to SCLK Rise (Note 4)	$t_{SCK}$	Internal clock mode only	0			ns

**Note 1:** Accuracy specifications tested at  $V_{DD} = +5.0V$ . Performance at power-supply tolerance limit is guaranteed by Power-Supply Rejection test.

**Note 2:** External reference:  $V_{REF} = 4.096V$ , offset error nulled. Ideal last-code transition =  $FS - 3/2LSB$ .

**Note 3:** Ground "on" channel; sine wave applied to all "off" channels.  $V_{IN} = \pm 5V$  (MAX1270),  $V_{IN} = \pm 4V$  (MAX1271).

**Note 4:** Guaranteed by design, not production tested.

**Note 5:** Use static external loads during conversion for specified accuracy.

**Note 6:** Tested using internal reference.

**Note 7:** PSRR measured at full scale. Tested for the  $\pm 10V$  (MAX1270) and  $\pm 4.096V$  (MAX1271) input ranges.

**Note 8:** Acquisition phase and conversion time are dependent on the clock period; clock has 50% duty cycle (Figure 6).

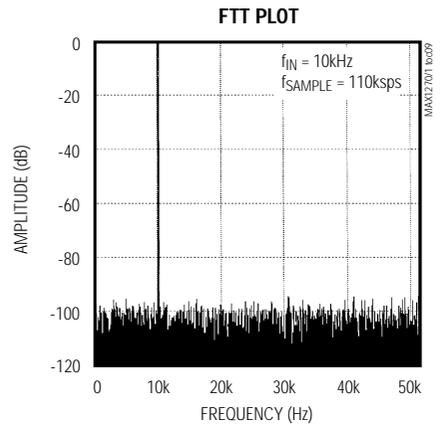
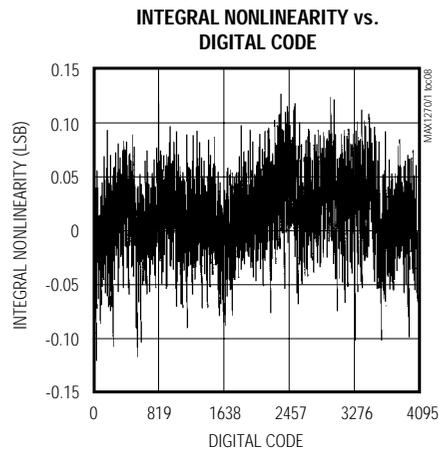
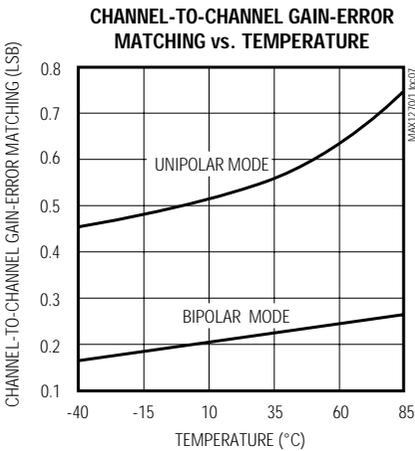
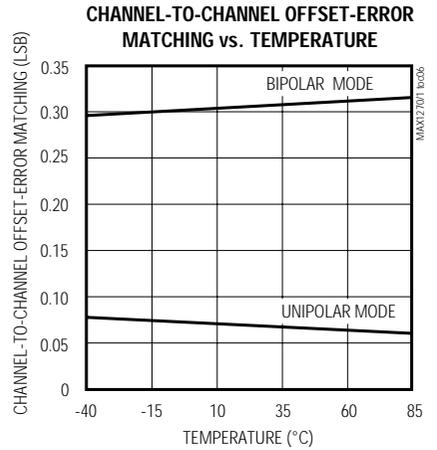
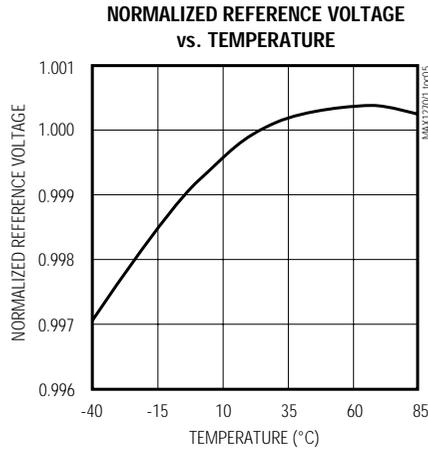
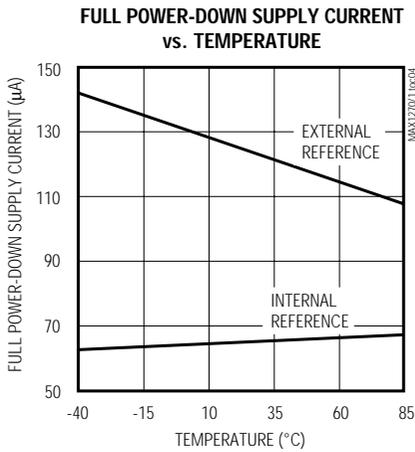
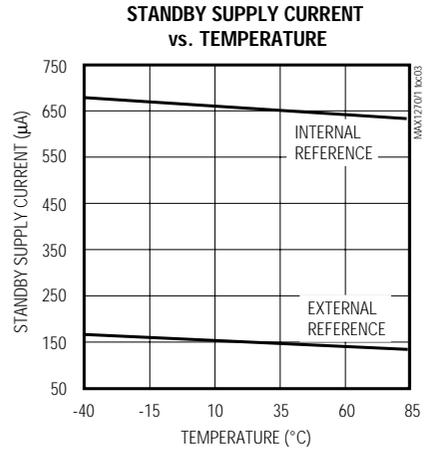
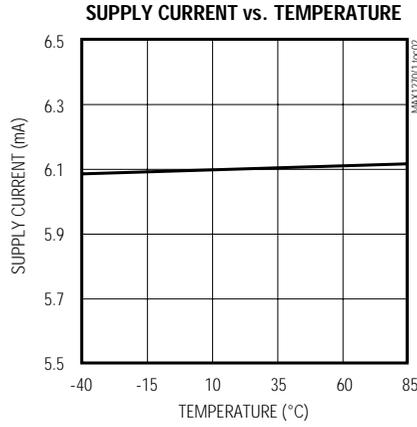
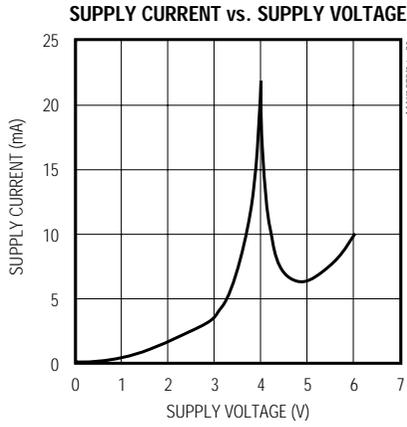
**Note 9:** Not production tested. Provided for design guidance only.

# マルチレンジ、+5V、8チャンネル、シリアル12ビットADC

MAX1270/MAX1271

## 標準動作特性

(Typical Operating Circuit,  $V_{DD} = +5V$ ; external reference mode,  $V_{REF} = +4.096V$ ;  $4.7\mu F$  at REF; external clock,  $f_{CLK} = 2MHz$ ;  $110ksps$ ;  $T_A = +25^\circ C$ ; unless otherwise noted.)

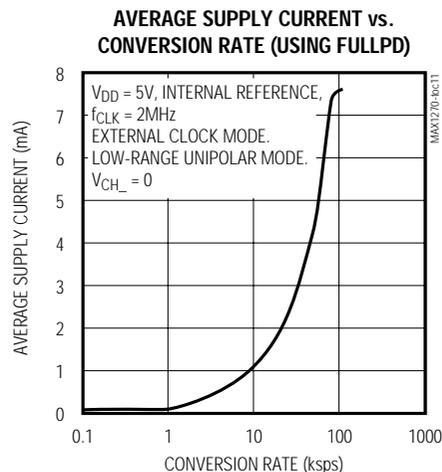
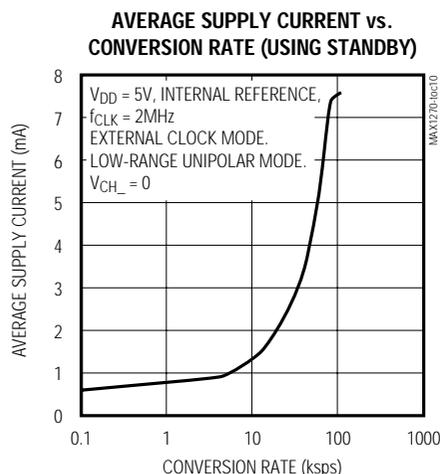


# マルチレンジ、+5V、8チャンネル、シリアル12ビットADC

MAX1270/MAX1271

## 標準動作特性( 続き )

(Typical Operating Circuit,  $V_{DD} = +5V$ ; external reference mode,  $V_{REF} = +4.096V$ ;  $4.7\mu F$  at REF; external clock,  $f_{CLK} = 2MHz$ ; 110ksps;  $T_A = +25^\circ C$ ; unless otherwise noted.)



## 端子説明

端子		名称	機能
DIP	SSOP		
1	1	$V_{DD}$	+5V電源。0.1 $\mu F$ のコンデンサでAGNDへバイパスしてください。
2, 4	2, 3	DGND	デジタルグランド
3, 9, 22, 24	4, 7, 8, 11, 22, 24, 25, 28	N.C.	無接続。内部接続されていません。
5	5	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロック入力又はクロック出力します。外部クロックモードのときSCLKが変換速度も設定します。
6	6	$\overline{CS}$	アクティブローのチップセレクト入力。 $\overline{CS}$ がローでない限り、データはDINにクロックインされません。 $\overline{CS}$ がハイのとき、DOUTはハイインピーダンスになります。
7	9	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロック入力されます。
8	10	SSTRB	シリアルストローブ出力。内部クロックモードのとき、SSTRBは8番目のSCLKの立下がりエッジでローになり、変換の終了時にハイに戻ります。外部クロックモードのときSSTRBはMSBの出力以前に1クロックサイクルの間、ハイのパルスを出力します。外部クロックモードで $\overline{CS}$ がハイのとき、ハイインピーダンスになります。
10	12	DOUT	シリアルデータ出力。データはSCLKの立下がりエッジでクロック出力されます。 $\overline{CS}$ がハイのときハイインピーダンスになります。
11	13	$\overline{SHDN}$	シャットダウン入力。ローのとき、FULLPDモードになります。通常の動作ではハイにしてください。
12	14	AGND	アナロググランド
13-20	15-21, 23	CH0-CH7	アナログ入力チャンネル
21	26	REFADJ	バンドギャップ電圧リファレンス出力/外部調節ピン。0.01 $\mu F$ のコンデンサでAGNDへバイパスしてください。REFの外部リファレンスを使用するとき、 $V_{DD}$ に接続してください。
23	27	REF	リファレンスバッファ出力/ADCリファレンス入力。内部リファレンスモードの場合、リファレンスバッファは公称電圧4.096Vを出力し、REFADJで外部から調節できます。外部リファレンスモードではREFADJを $V_{DD}$ にプルアップして内部リファレンスをディセーブルにし、外部リファレンスをREFに印加してください。

# マルチレンジ、+5V、8チャンネル、シリアル12ビットADC

MAX1270/MAX1271

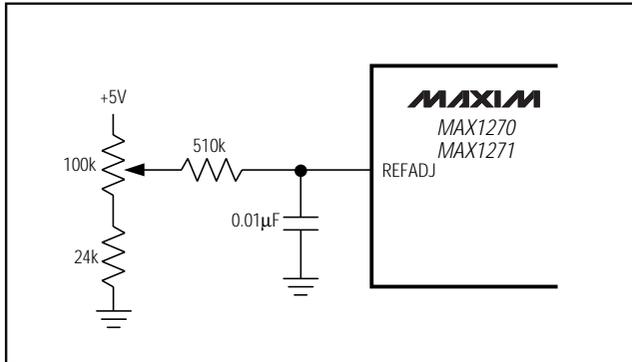


図1. リファレンス調節回路

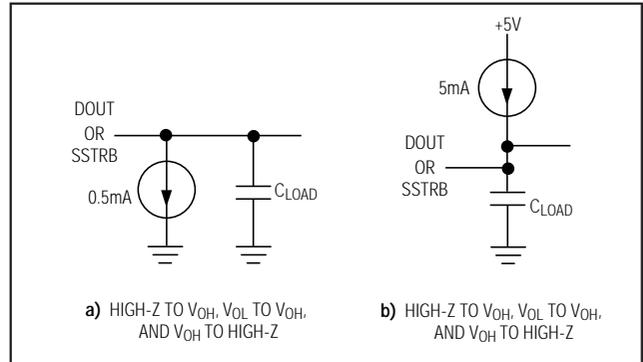


図2. タイミング特性用の出力負荷等価回路

## 詳細

### コンバータの動作

MAX1270/MAX1271はアナログ信号を12ビットのデジタル出力へ変換するために、逐次比較型の変換法とトラック/ホールド(T/H)回路を内部に用いた、マルチレンジでフォルト保護付のADCです。図3にMAX1270/MAX1271のブロック図を示します。

### アナログ入力トラック/ホールド

T/Hは8ビットの入力制御ワードのうち、6番目のクロックの立下がりエッジでトラック/アキュジションモードに入り、時間設定されたアキュジション期間の終了時点(6クロック周期、最小3µs)でホールド/変換モードに入ります。内部クロックモードのとき、アキュジションは外部の2クロック周期と内部の4クロック周期でタイミングが調節されます。

バイポーラモードで動作する場合(MAX1270とMAX1271)あるいはユニポーラモードで動作する場合(MAX1270)、入力チャンネルに印加された信号がR1、R2、およびR3で構成される抵抗分圧回路を通過するとき、スケールの再調整が行われます(図4)。このときの利得誤差を最小にするため、低インピーダンス(4以下)の入力ソースを推奨します。MAX1271がユニポーラモードに設定されると、チャンネル入力抵抗( $R_{IN}$ )は固定の5.12k (typ)になります。ソースインピーダンスが15k以下( $0 \sim V_{REF}$ )又は5k以下( $0 \sim V_{REF}/2$ )であってもADCのAC性能に大きな影響はありません。

アキュジション時間( $t_{ACQ}$ )はソースの出力抵抗、チャンネル入力抵抗、およびT/Hコンデンサの関数です。入力コンデンサをアナログ入力とAGNDの間に接続すると、ソースインピーダンスが多少高くても使用できます。ただし入力コンデンサが入力ソースインピーダンスと共にRCフィルタを形成し、ADCの信号帯域幅を制限するので注意してください。

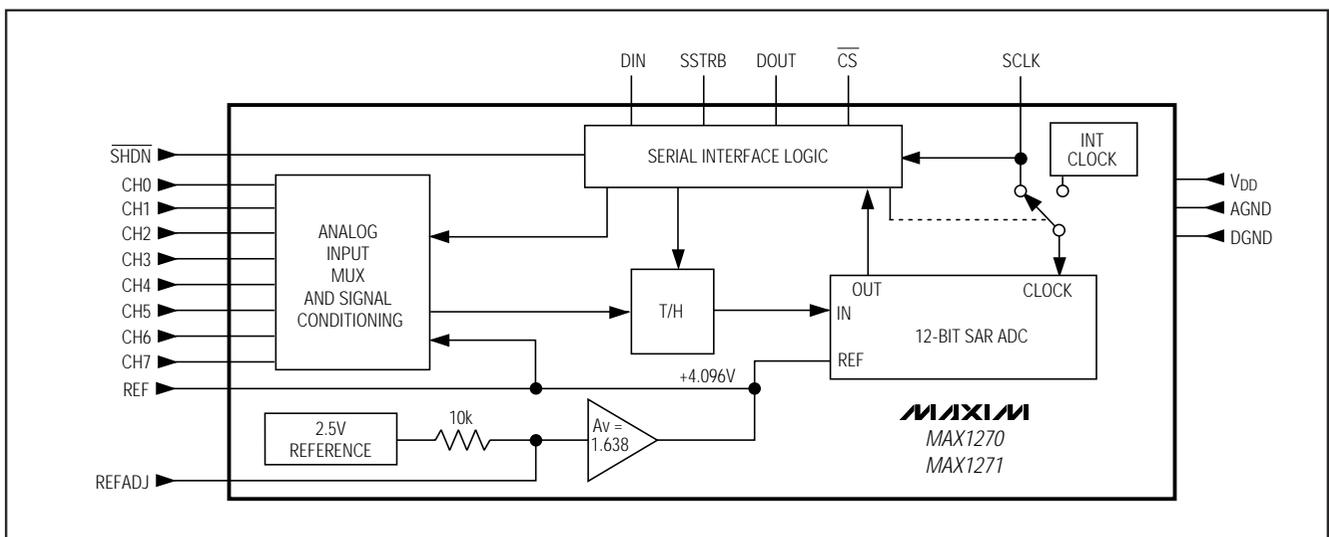


図3. ブロック図

# マルチレンジ、+5V、8チャンネル、シリアル12ビットADC

MAX1270/MAX1271

## 入力帯域幅

ADC入力の小信号帯域幅は、選択された入力レンジにより1.5MHzから5MHzまで変わります(「Electrical Characteristics」を参照)。MAX1270/MAX1271の最大のサンプリングレートは110ksp/sです。アンダーサンプリング技法を用いると、高速なトランジェント現象を数値化することができ、帯域幅がADCのサンプリングレート以上の周期的な信号の測定も可能です。

測定しようとする周波数帯域にエリアスされた高周波信号の侵入を防止するため、アンチエイリアシングフィルタリングを推奨します。

## 入力レンジと保護

MAX1270/MAX1271はソフトウェアによる入力レンジの切換機能を備えています。各アナログ入力チャンネル毎に独立して、制御バイトの中の適切な制御ビット(RNG、BIP)を設定すると、4レンジの中の1レンジをプログラムできます(表1)。MAX1270は選択可能な入力レンジを $\pm 10V$ ( $\pm V_{REF} \cdot 2.441$ )まで拡大でき、MAX1271は選択可能な入力レンジを $\pm V_{REF}$ まで拡大できます。図4に入力の等価回路を示します。

すべてのチャンネルの各アナログ入力抵抗回路は $\pm 16.5V$ のフォルト保護機能を備えています。チャンネルがオンであるか否かに関りなく、本回路はピンへ流入又は流出する電流を2mA未満に制限します。ユニポラモードに設定したのに、負の信号が入力に印加されると、選択された入力チャンネルで瞬間的な過電圧の発生になりますが、本製品は保護のために追加のレイヤを準備します。たとえICがパワーダウンモードでも、あるいは $V_{DD}=0$ でも、過電圧保護機能は動作します。

## デジタルインタフェース

MAX1270/MAX1271はSPI/QSPIおよびMICROWIRE機器と完全にコンパチブルなシリアルインタフェースの機能を備えています。SPI/QSPIの場合、マイクロコントローラのSPI制御レジスタの中にCPOL=0、CPHA=0を設定してください。図5にシリアルインタフェースのタイミングの詳細を示します。入力制御バイトの設定に関しては、表1を参照してください。

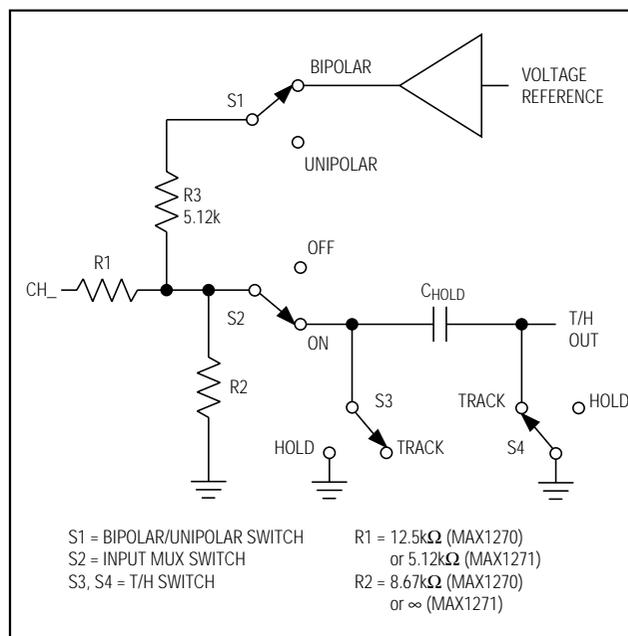


図4. 入力等価回路

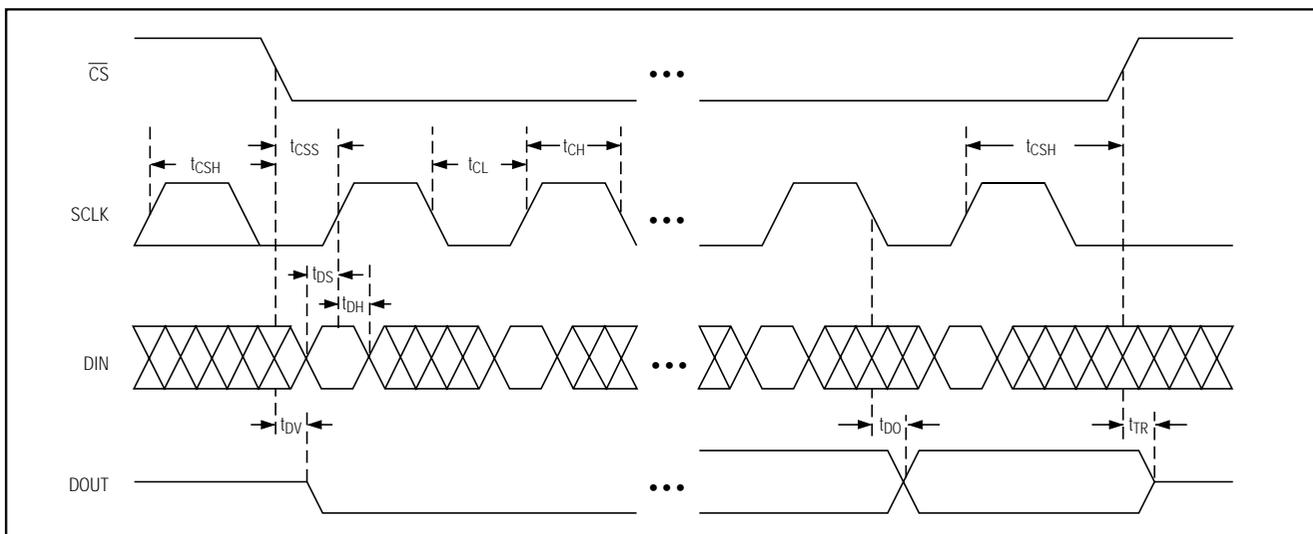


図5. シリアルインタフェースのタイミングの詳細

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

表1. 制御バイトフォーマット

Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)
START	SEL2	SEL1	SEL0	RNG	BIP	PD1	PD0
ビット	名称	説明					
7 (MSB)	START	CSがローになった後の最初のロジック「1」が制御バイトの開始の定義です。					
6, 5, 4	SEL2, SEL1, SEL0	これらの3ビットが測定しようとする"on"チャンネルを選択します(表2)。					
3	RNG	フルスケール入力電圧レンジを選択します(表3)。					
2	BIP	変換モードがユニポーラかバイポーラかを選択します(表3)。					
1, 0 (LSB)	PD1, PD0	クロックモードとパワーダウンモードを選択します(表4)。					

表2. チャンネル選択

SEL2	SEL1	SEL0	CHANNEL
0	0	0	CH0
0	0	1	CH1
0	1	0	CH2
0	1	1	CH3
1	0	0	CH4
1	0	1	CH5
1	1	0	CH6
1	1	1	CH7

表4. パワーダウンとクロック選択

PD1	PD0	モード
0	0	正常な動作(常時オン) 内部クロックモード
0	1	正常な動作(常時オン) 外部クロックモード
1	0	スタンバイパワーダウンモード(STBYPD) クロックモードに無関係です
1	1	フルパワーダウンモード(FULLPD) クロックモードに無関係です

表3. MAX1270/MAX1271のレンジとポーラリティ選択

RANGE AND POLARITY SELECTION FOR MAX1270					
INPUT RANGE	RNG	BIP	NEGATIVE FULL SCALE	ZERO SCALE (V)	FULL SCALE
0 to 5V	0	0	—	0	$V_{REF} \cdot 1.2207$
0 to 10V	1	0	—	0	$V_{REF} \cdot 2.4414$
$\pm 5V$	0	1	$-V_{REF} \cdot 1.2207$	0	$V_{REF} \cdot 1.2207$
$\pm 10V$	1	1	$-V_{REF} \cdot 2.4414$	0	$V_{REF} \cdot 2.4414$
RANGE AND POLARITY SELECTION FOR MAX1271					
INPUT RANGE	RNG	BIP	NEGATIVE FULL SCALE	ZERO SCALE (V)	FULL SCALE
0 to $V_{REF}/2$	0	0	—	0	$V_{REF}/2$
0 to $V_{REF}$	1	0	—	0	$V_{REF}$
$\pm V_{REF}/2$	0	1	$-V_{REF}/2$	0	$V_{REF}/2$
$\pm V_{REF}$	1	1	$-V_{REF}$	0	$V_{REF}$

# マルチレンジ、+5V、8チャネル、 シリアル12ビットADC

## 入力データフォーマット

入力データ(制御バイト)はSCLKの立上がりエッジでDINへクロックインされます。 $\overline{CS}$ はMAX1270/MAX1271のコミュニケーションをイネーブルにします。 $\overline{CS}$ がローになってから到着した最初のロジックビット「1」が入力制御バイトのスタートビット(MSB)を表します。スタートビットは以下のように定義されます。

コンバータがアイドル状態である任意の時間、例えば $V_{DD}$ が印加された後に $\overline{CS}$ がローの状態ではDINにクロックインされた最初のハイビット。

又は

処理中の変換のビット6(D6)がDOUTにクロックアウトされた後にDINにクロックインされてきた最初のハイビット。

## 出力データフォーマット

出力データはMSB(D11)を先頭に、SCLKの立下がりエッジでDOUTからクロックアウトされます。ユニポーラモードのとき、出力はストレートなバイナリです。バイポーラモードのとき、出力は2の補数形式のバイナリになります。出力の2進コードに関しては、「伝達関数」の項を参照してください。

## 変換開始方法

MAX1270/MAX1271はアキュイジションと変換を実行するために、外部シリアルクロック又は内部クロックのいずれかを使用します。いずれのクロックモードでも、シフトインおよびシフトアウトは外部クロックが実行します。クロックモードの設定に関しては表4を参照してください。

$\overline{CS}$ の立下がりエッジがMAX1270/MAX1271に変換を

開始させるのではなく、各変換ごとに制御バイトが必要です。入力制御バイトの中の6番目のビットが設定されてからアキュイジションを開始します。6クロック周期分のアキュイジション時間が終了すると変換を開始します。変換を続行している間、 $\overline{CS}$ をローに維持します。 $\overline{CS}$ がハイからローになる遷移の後でスタートビットが受信されても、出力ビットの6(D6)が有効になる前ならば、現在の変換を中断し、新しい変換を開始します。

## 外部クロックモード(PD1=0、PD0=1)

外部クロックモードではクロックがMAX1270/MAX1271のデータをシフトイン又はシフトアウトさせ、アキュイジションと変換のタイミングを制御します。アキュイジションが完了したら、SSTRBはハイのパルスで1クロックサイクルの間、出力してから変換を開始します。逐次比較型による変換結果のビットは、次の12個のSCLKの立下がりエッジでDOUTに出力されます(図6)。その後のSCLK立下がりエッジは、結果的にゼロをDOUTから出力させます。図7に外部クロックモードのSSTRBタイミングを示します。

$\overline{CS}$ がハイになると、SSTRBとDOUTはハイインピーダンス状態になり、次の $\overline{CS}$ の立下がりエッジ後、SSTRBおよびDOUTはロジックローを出力します。

変換は一定の最小時間内に完了しなければならず、そうでないとサンプルアンドホールドコンデンサの中で電圧低下が生じ、変換結果を劣化させます。クロック周期が10 $\mu$ sを超えるか、又はシリアルクロックの割込みが原因で変換期間が120 $\mu$ sを超える可能性があるとき、内部クロックモードを使用してください。外部クロックモードでMAX1270/MAX1271を動作させる場合、最も高速なのは各変換を18個のクロックで処理し、さらに2MHzのクロックのとき最大のサンプリングレートは111kspsです(図8)。最大のスループットを達成

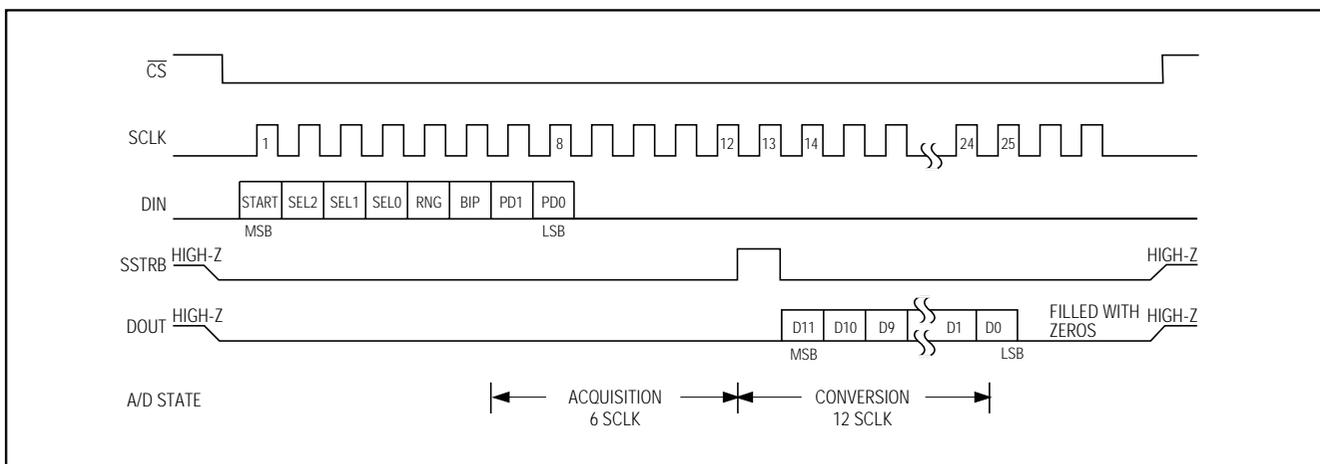


図6. 外部クロックモード、25クロック/変換タイミング

# マルチレンジ、+5V、8チャンネル、シリアル12ビットADC

MAX1270/MAX1271

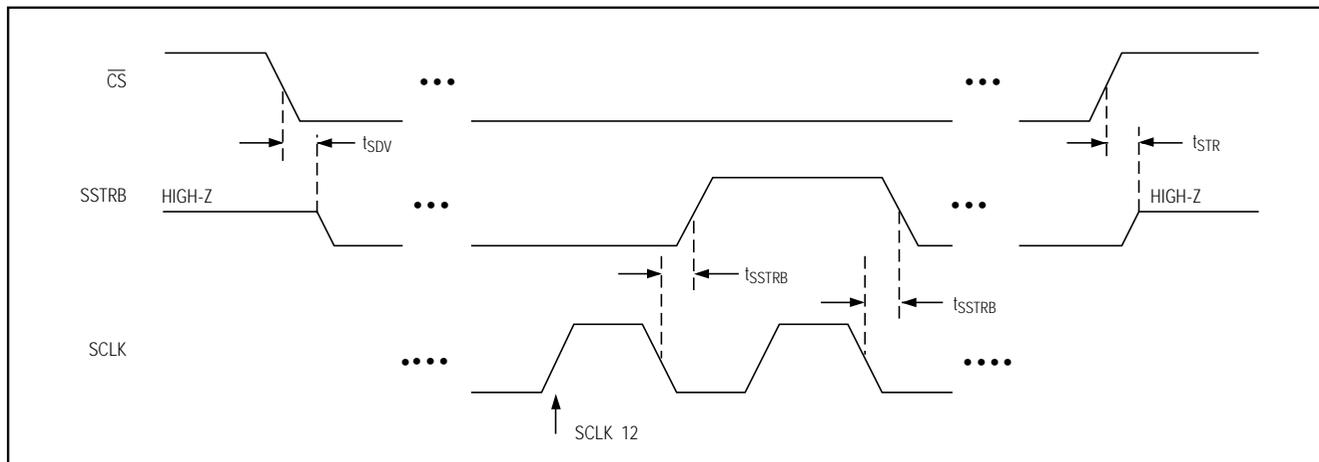


図7. 外部クロックモードによるSSTRBのタイミングの詳細

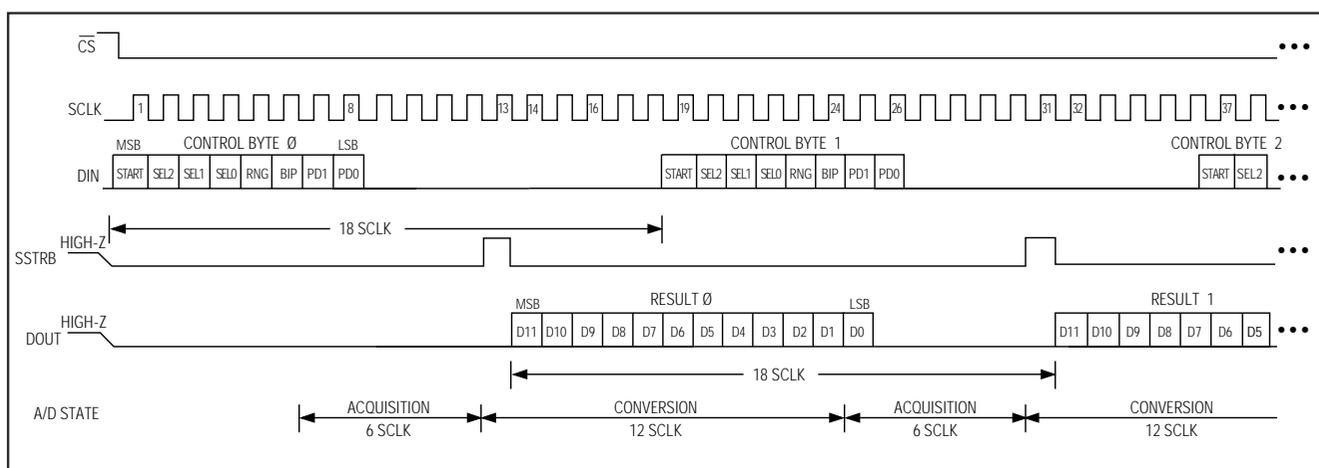


図8. 外部クロックモード、18クロック/変換のタイミング

するには、 $\overline{CS}$ をローに維持し、外部クロックモードのSCLKで連続的に動作させ、処理中の変換されたビットの6(D6)がDOUTにクロックアウトされた後に、以降の制御バイトを開始してください。

$\overline{CS}$ がローで、SCLKを連続的に使用する場合、最初に18個のゼロをクロックインする方法でスタートビットを保証してください。

内部クロックモード (PD1=0、PD0=0)

内部クロックモードの場合、MAX1270/MAX1271自体が内部で変換クロックを発生させます。この結果、マイクロプロセッサはアキュイジションとSAR変換クロックを動作させる負担から解放され、プロセッサは都合のよいときに変換結果を0から10MHz (typ)までの任意のクロックレートで読み取ることができます。

シフトインされた制御バイトの最終ビット(PD0)の立下がりエッジより後でSSTRBはローになり、さらに変換が完了するとハイに戻ります。アキュイジションが完了すると、変換は制御バイトより後の内部クロックパルスの4番目の立下がりエッジで開始します。変換は内部クロックパルスの16番目の立下がりエッジで終了します(12個の内部クロックサイクルパルスが変換のために使用されます)。SSTRBがローを維持するのは最大で15 $\mu$ sの間ですが、最良の雑音特性を得るためにその間、SCLKもローにすることを推奨します。変換の処理中は内部のレジスタがデータを保管します。変換されたバイトのMSB(D11)は変換最後の内部クロックの立下がりエッジでDOUTに出力されます。SCLKの連続した立下がりエッジが、残りのデータをこのレジスタの外にシフトアウトします(図9)。以降のSCLKエッジは結果的に、DOUT上の出力をゼロにします。

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

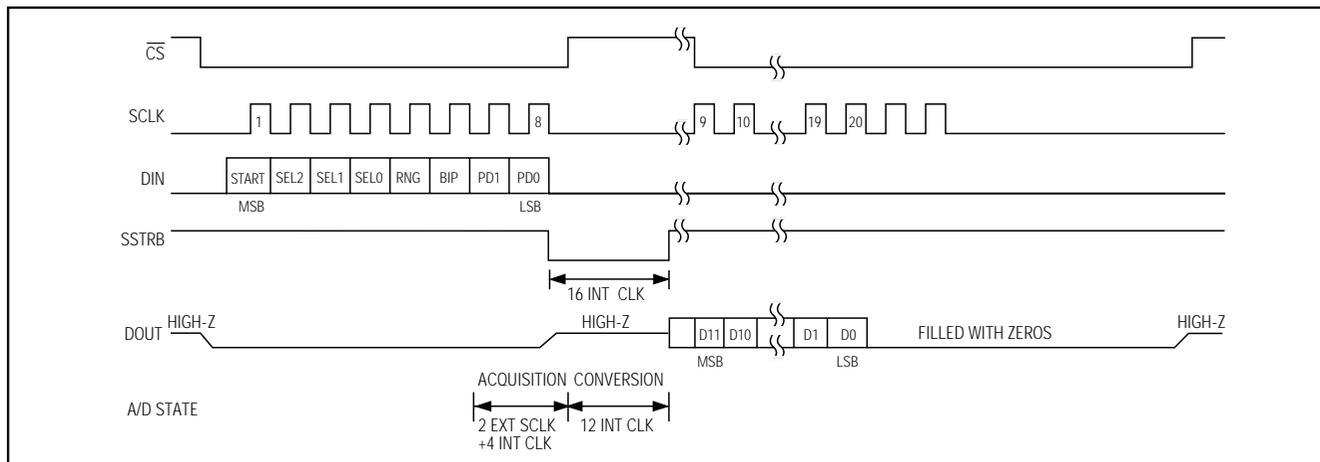


図9. 内部クロックモード、20 SCLK/変換のタイミング

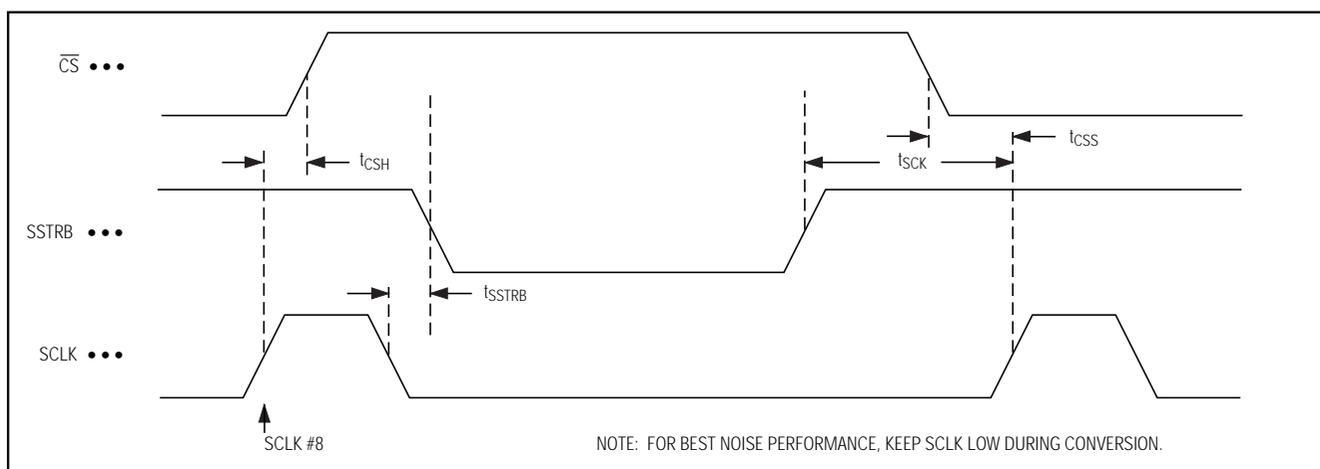


図10. 内部クロックモードでのSSTRBのタイミングの詳細

内部クロックモードが選択されると、 $\overline{CS}$ がハイになってもSSTRBはハイインピーダンスの状態になりません。 $\overline{CS}$ をハイにするとデータがクロックインされなくなり、DOUTがスリーステイトになりますが、処理中の変換に悪影響を及ぼすことはありません。図10に内部クロックモードのSSTRBタイミングを示します。

内部クロックモードによる変換は、変換あたり13個の外部クロックで完了しますが、変換が完了するまで15 $\mu$ sの待ち時間が必要です(図11)。

ほとんどのマイクロコントローラの場合、変換は8 SCLKクロックの整数倍で処理する必要があります。図12に示すように、変換あたり16クロックはマイクロコントローラがMAX1270/MAX1271を駆動する上で最も都合で標準的な方式です。

## アプリケーション情報

### パワーオンリセット

MAX1270/MAX1271は正常な動作状態(内部の回路がすべてアクティブ)および内部クロックモードでパワーアップし、スタートビットを待ちます。出力データレジスタの内容は、パワーアップでクリアされます。

### 内部又は外部リファレンス

MAX1270/MAX1271は内部又は外部リファレンスのどちらでも動作します。外部リファレンスはREF又はREFADJのいずれかに接続します(図13)。2.5Vのリファレンスを基にREFから4.096Vを供給するため、REFADJの内部バッファの利得が1.638Vに調整されています。

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

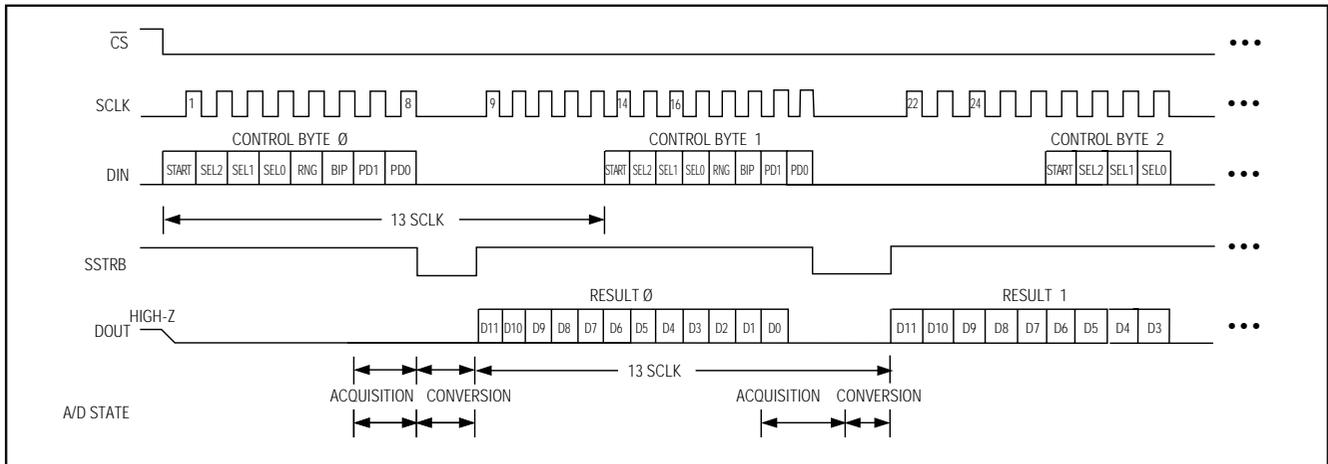


図11. 内部クロックモード、13クロック/変換のタイミング

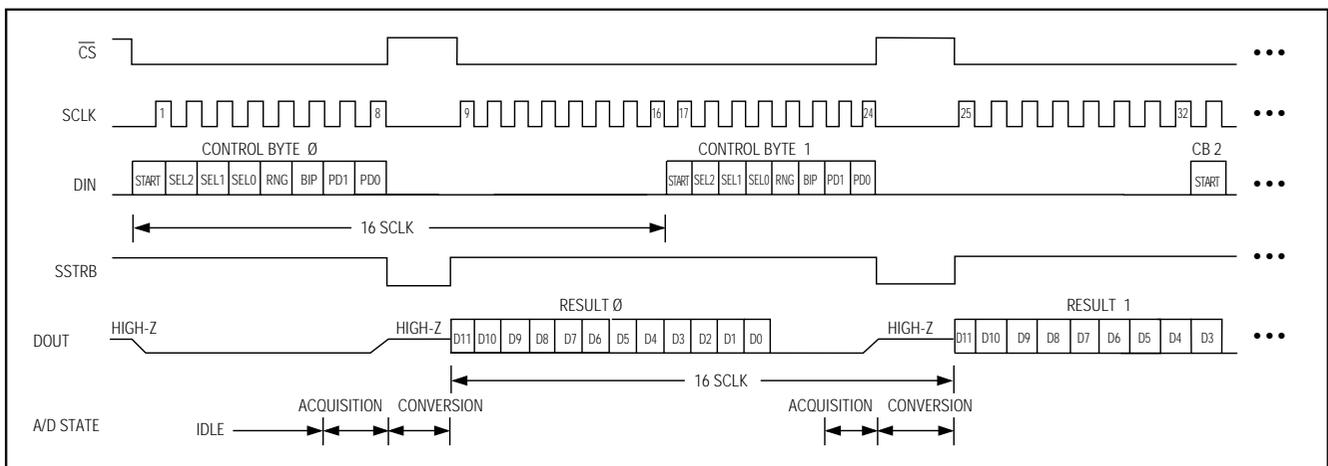


図12. 内部クロックモード、16クロック/変換のタイミング

## 内部リファレンス

内部で調整された2.50Vリファレンスは、REFADJバッファを通りREFから4.096Vを出力するために増幅されます。REFからAGNDに4.7μFのコンデンサでバイパスし、REFADJからAGNDに0.01μFのコンデンサでバイパスしてください(図13a)。図1の調節回路で内部リファレンス電圧を±1.5%(±65 LSB)程度可変できます。

## 外部リファレンス

REF入力を直接使用する場合、REFADJをV<sub>DD</sub>に接続して内部バッファをディセーブルしてください(図13b)。REFADJ入力を使用すると、外部でリファレンスをバッファリングする必要がなくなります。リファレンスをREFADJに印加するとき、REFADJからAGNDに0.01μFのコンデンサでバイパスしてください。REFADJに外部リファレンスを印加する場合、REFの電圧は以下のよう計算できます。

$$V_{REF} = 1.6384 \cdot V_{REFADJ} \quad (2.4 < V_{REF} < 4.18)$$

(図13cを参照してください。)DC電流を節約するため、REFとREFADJの入力インピーダンスを最小でも10kにしてください。変換処理の間、REFの外部リファレンスは最大で400μAのDC負荷電流を供給するので、出カインピーダンスは10 またはそれ以下でなければなりません。リファレンス出カインピーダンスがそれ以上か、又はノイズを含む場合、可能な限りチップの近くでREFからAGNDに4.7μFのコンデンサでバイパスしてください。

REFで2.5V以下、REFADJで4.096V以下の外部リファレンス電圧、およびLSB値(フルスケール/4096)に対するRMS雑音の比率の増加は性能の劣化(有効ビットの損失)になります。

## パワーダウンモード

省電力化のため、変換と変換の間にコンバータを低電流のシャットダウンモードに設定できます。1つのハードウェアシャットダウンに加え、2つのプログラマブル

# マルチレンジ、+5V、8チャンネル、シリアル12ビットADC

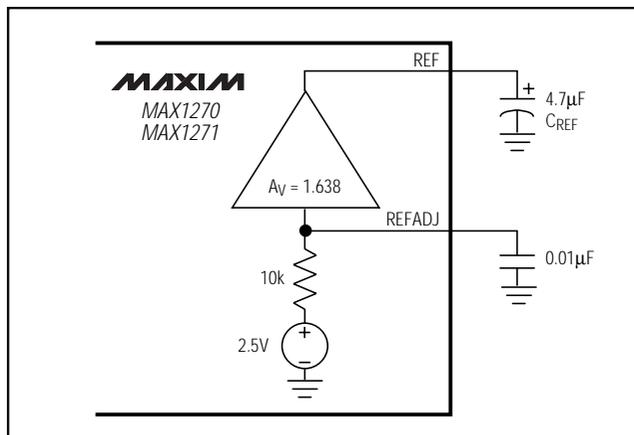


図13a. 内部リファレンス

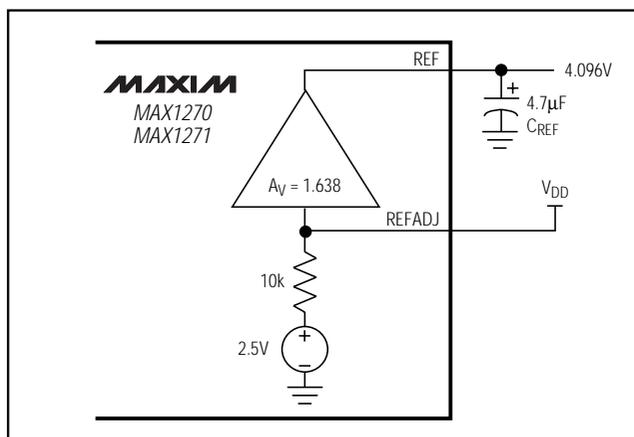


図13b. 外部リファレンス、REFでリファレンス

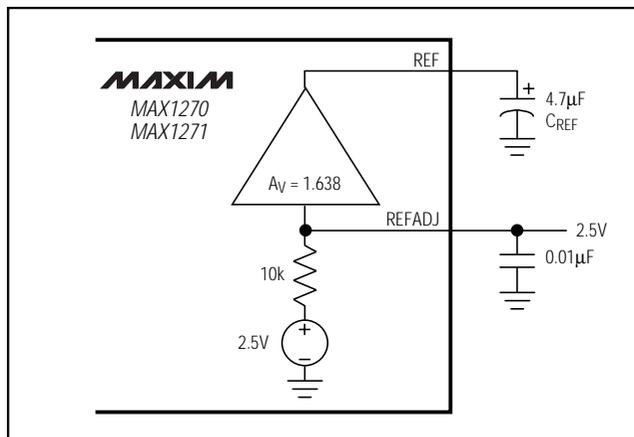


図13c. 外部リファレンス、REFADJでリファレンス

パワーダウンモードが利用できます。入力制御バイトの中でPD0又はPD1を設定し、STBYPDかFULLPDを選択してください(表4)。ソフトウェアパワーダウンが発生すると、変換の終了後のみ実行されます。例えば、制御バイトのPD1=0なら、チップに電力が供給され続けます。PD1=1なら、チップは変換の終了後にパワーダウンします。どのパワーダウンモードでも、インタフェースはアクティブに維持されるので、変換結果を読み出せます。入力過電圧保護はすべてのパワーダウンモード状態でも有効です。

$\overline{CS}$ がローに落ちた後、DIN上の最初のロジック1はスタート条件と解釈され、次にソフトウェア設定でSTBYPD又はFULLPD状態になったMAX1270/MAX1271をパワーアップします。

ハードウェア制御によるパワーダウン(FULLPD)をするとき、 $\overline{SHDN}$ をローにプルダウンします。ハードウェアシャットダウンが発生させると即座に機能し、いかなる処理中の変換も放棄されます。

## パワーダウンモードの選択

STBYPDモードのとき、バンドギャップリファレンスとリファレンスバッファはアクティブを維持し、このとき電圧を保持するのはREFの4.7µFのコンデンサです。これはどのような期間のパワーダウンの後でも低下しない「DC」の状態です。

FULLPDモードではバンドギャップリファレンスのみがアクティブです。変換と変換の間のリファレンス電圧を維持するため、またバッファがイネーブルにされたりディセーブルにされるときに過渡現象を軽減するため、REFとAGNDの間に33µFのコンデンサを接続してください。変換の前にリファレンスを取込む時間を十分割り当てなくても、最低1kspsのスループットレートが確保できます。これでパワーアップの直後に変換を開始できるようになります。FULLPD期間中のREFコンデンサの放電が、精度に必要な限界(LSBの量より小)を超えるようであれば、変換を開始する前にSTBYPDパワーダウンサイクルを起動します。80mV/msのスループットでリファレンスバッファがバイパスコンデンサを再充電する時間を考慮し、セトリングタイムとして50µsを追加してください。

## 自動シャットダウン

変換毎に自動シャットダウンSTBYPDを選択すると、変換後、自動的にMAX1270/MAX1271をシャットダウンし、次の変換でスタートアップタイムを必要としません。

# マルチレンジ、+5V、8チャンネル、シリアル12ビットADC

MAX1270/MAX1271

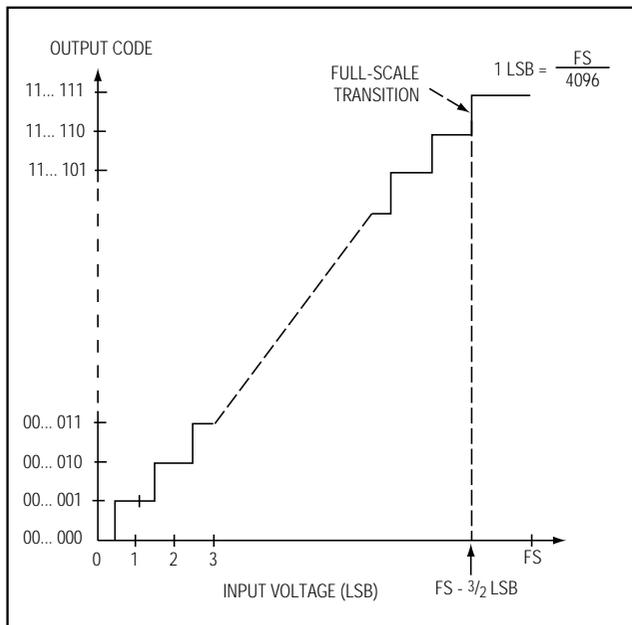


図14a. ユニポーラの伝達関数

## 伝達関数

MAX1270/MAX1271の出力データの符号化は、ユニポーラモードのとき1LSB = (FS/4096)のバイナリで、またバイポーラモードのときは1LSB = [(2 · |FS|) / 4096]で2の補数形式のバイナリになります。コードの遷移は、隣接するLSBの整数倍同士の間接点で発生します。図14aと14bはそれぞれ、ユニポーラとバイポーラの入力対出力(I/O)の伝達関数を示します。フルスケール値に関しては表3を参照してください。

## レイアウト、グラウンド、およびバイパス

慎重なプリント板レイアウトは最良のシステム性能に不可欠です。最高の性能を得るため、グラウンドに導体面を使用してください。クロストークと雑音混入を抑制するため、アナログとデジタルの信号系を分離してください。アナロググラウンドおよびDGNDはスター状にAGNDへ接続してください。ノイズの影響を抑制するため、AGNDから電源へのグラウンドリターンを低インピーダンスにし、またできるだけ短くして万全を期してください。ロジックグラウンドは電源のグラウンドに直接接続してください。V<sub>DD</sub>からAGNDへ0.1μFと4.7μFのコンデンサでバイパスし、周波数の上下変動を最小に抑えてください。電源のノイズが過剰なら、図15に示すように5Ωの抵抗器を電源とV<sub>DD</sub>の間に接続してください。

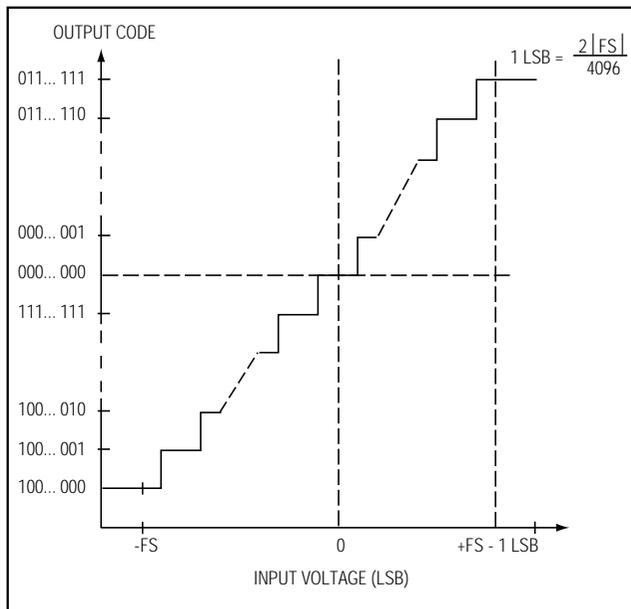


図14b. バイポーラの伝達関数

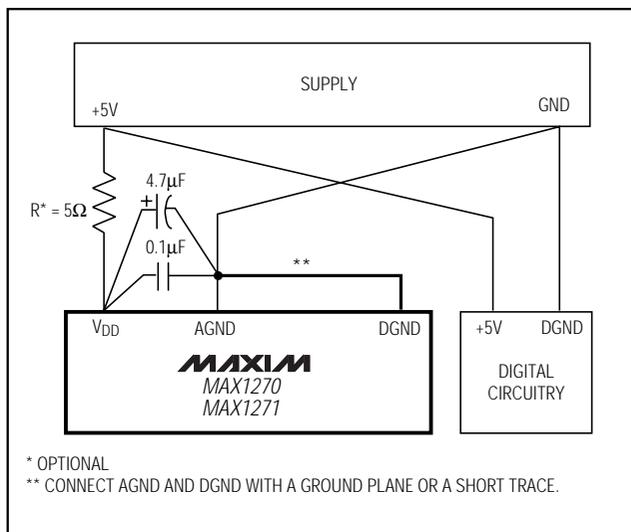
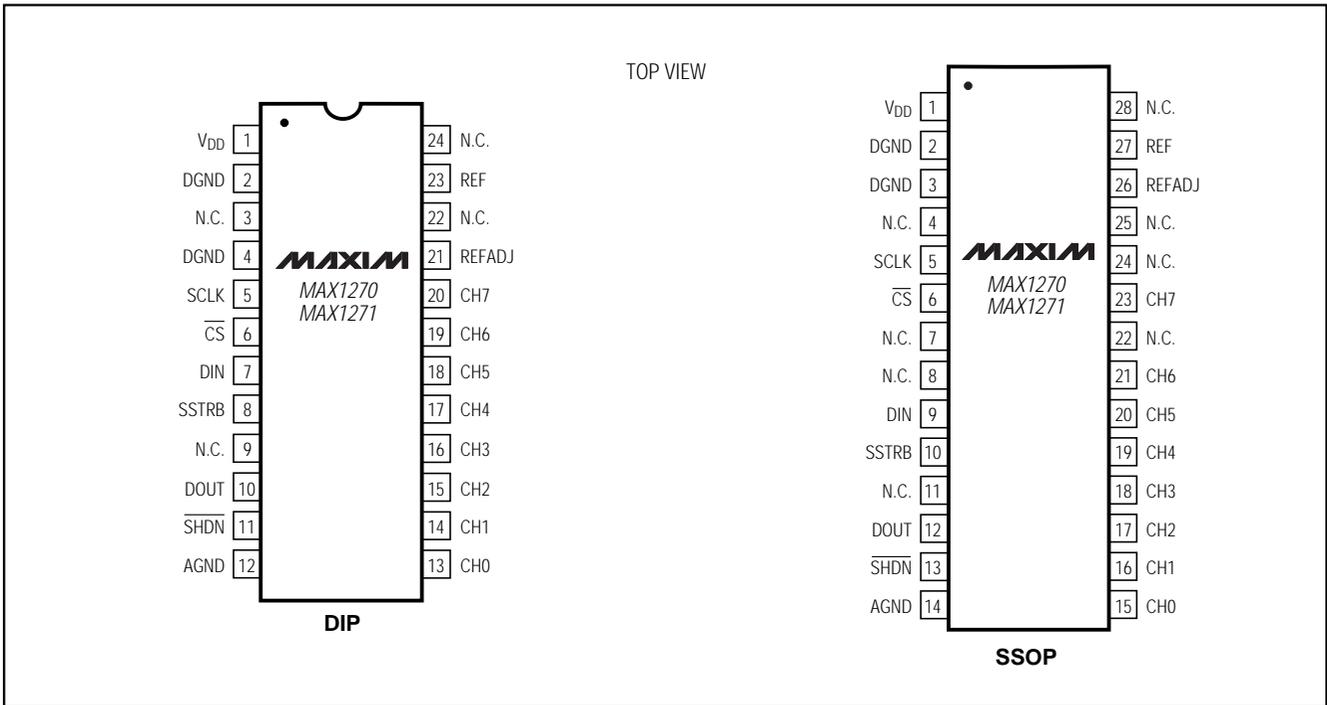


図15. 電源グラウンド接続図

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

## ピン配置



MAX1270/MAX1271

## 型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1270AENG	-40°C to +85°C	24 Narrow Plastic DIP	±1/2
MAX1270BENG	-40°C to +85°C	24 Narrow Plastic DIP	±1
MAX1270AEAI	-40°C to +85°C	28 SSOP	±1/2
MAX1270BEAI	-40°C to +85°C	28 SSOP	±1
<b>MAX1271ACNG</b>	0°C to +70°C	24 Narrow Plastic DIP	±1/2
MAX1271BCNG	0°C to +70°C	24 Narrow Plastic DIP	±1
MAX1271ACAI	0°C to +70°C	28 SSOP	±1/2
MAX1271BCAI	0°C to +70°C	28 SSOP	±1
MAX1271AENG	-40°C to +85°C	24 Narrow Plastic DIP	±1/2
MAX1271BENG	-40°C to +85°C	24 Narrow Plastic DIP	±1
MAX1271AEAI	-40°C to +85°C	28 SSOP	±1/2
MAX1271BEAI	-40°C to +85°C	28 SSOP	±1

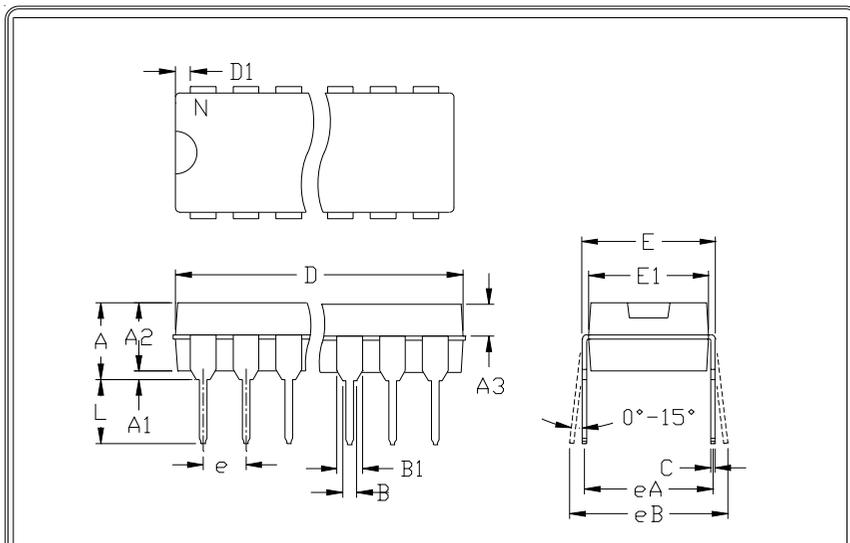
## チップ情報

TRANSISTOR COUNT: 4219  
SUBSTRATE CONNECTED TO AGND

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

MAX1270/MAX1271

パッケージ



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
A1	0.015	---	0.38	---
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	---	2.54	---
eA	0.300	---	7.62	---
eB	---	0.400	---	10.16
L	0.115	0.150	2.92	3.81

	INCHES		MILLIMETERS		N	MS001
	MIN	MAX	MIN	MAX		
D	0.348	0.390	8.84	9.91	8	AB
D	0.735	0.765	18.67	19.43	14	AC
D	0.745	0.765	18.92	19.43	16	AA
D	0.885	0.915	22.48	23.24	18	AD
D	1.015	1.045	25.78	26.54	20	AE
D	1.14	1.265	28.96	32.13	24	AF
D	1.360	1.380	34.54	35.05	28	*5

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
3. CONTROLLING DIMENSION: MILLIMETER
4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE
5. SIMILAR TO JEDEC MO-058AB
6. N = NUMBER OF PINS



120 SAN GABRIEL DR. SAN RAYMOND, CA 94583 FAX (925) 737-7194  
PROPRIETARY INFORMATION

PACKAGE FAMILY OUTLINE: PDIP .300" TITLE

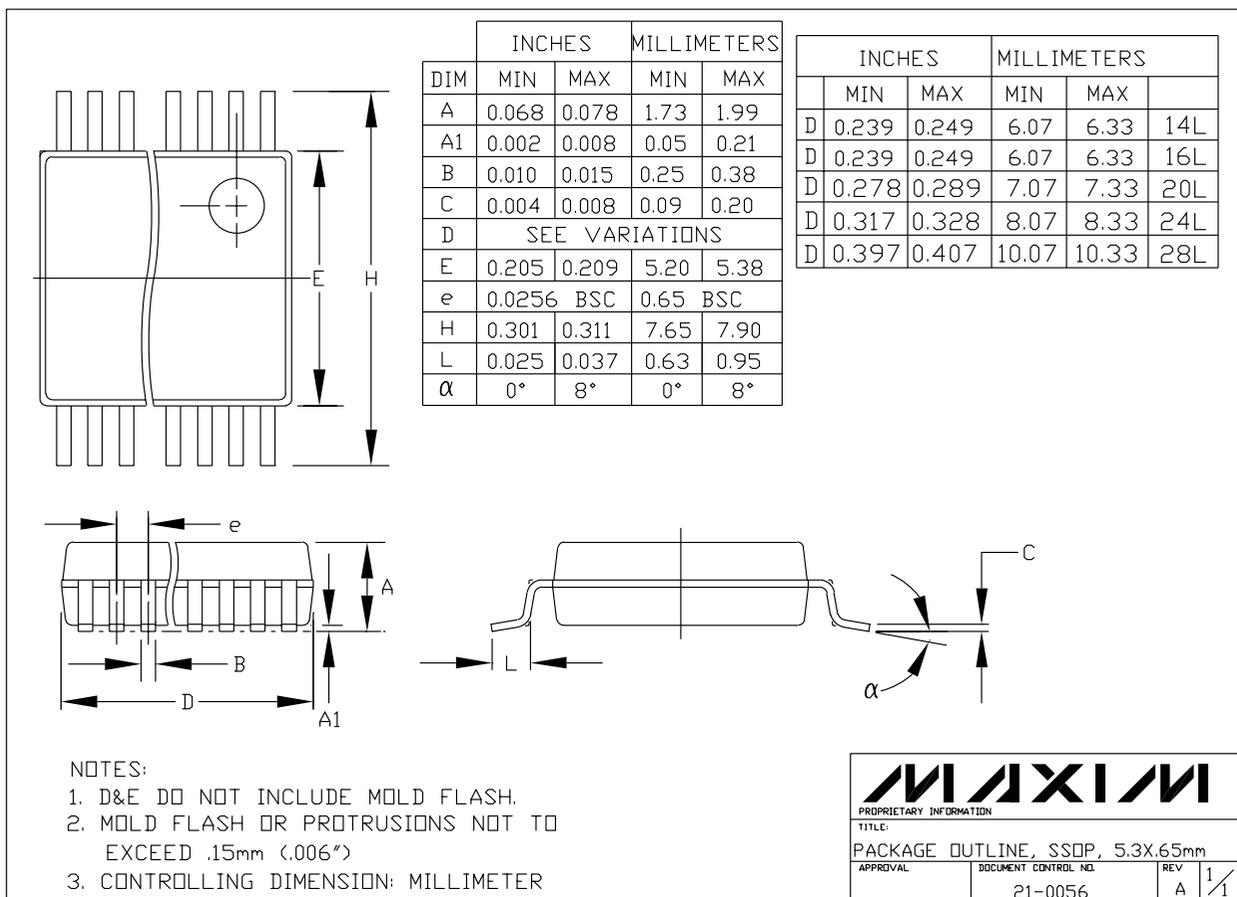
1/1

21-0043 A DOCUMENT CONTROL NUMBER REV

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

パッケージ(続き)

MAX1270/MAX1271



SSOP-EPS

# マルチレンジ、+5V、8チャンネル、 シリアル12ビットADC

---

MAX1270/MAX1271

NOTES