

1.8Msps、単一電源、低電力、 真の差動、12ビットADC

概要

MAX1274/MAX1275は、最高1.8Mspsで動作する低電力、高速、シリアル出力、12ビット、アナログデジタルコンバータ(ADC)です。これらのデバイスは、真の差動入力の特徴としており、優れたノイズ耐性、歪みの改善、シングルエンド入力に対する広いダイナミックレンジを提供します。標準的なSPI™/QSPI™/MICROWIRE™インタフェースは、変換に必要なクロックを発生します。これらのデバイスは、標準デジタル信号プロセッサ(DSP)の同期シリアルインタフェースと容易に接続することができます。

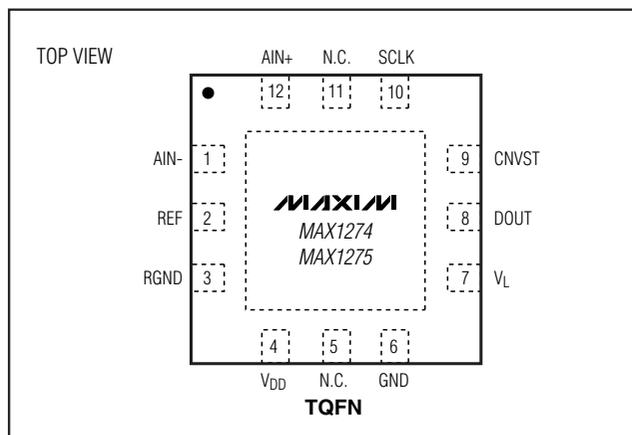
MAX1274/MAX1275は、+4.75V~+5.25Vの単一電源で動作し、外部リファレンスを必要とします。MAX1274はユニポーラのアナログ入力を備えており、MAX1275はバイポーラのアナログ入力を備えています。これらのデバイスでは、変換と変換の間での一時的パワーダウンモードと完全パワーダウンモードがあり、消費電流がそれぞれ1mA (typ)と1μA (max)に低減されます。さらに、もう一つの特徴は、+1.8V~V_{DD}のデジタルロジックに直接接続可能な独立の電源入力(V_L)を備えていることです。高速変換、低電力損失、優れたAC性能、及びDC精度(±1 LSB INL)を備えたMAX1274/MAX1275は、産業用プロセス制御、モータ制御、及び基地局の各アプリケーションに最適です。

MAX1274/MAX1275は、12ピンTQFNパッケージで提供され、拡張(-40°C~+85°C)温度範囲での動作が保証されています。

アプリケーション

データ収集 通信
紙幣照合 携帯機器
モータ制御

ピン配置



SPI/QSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

特長

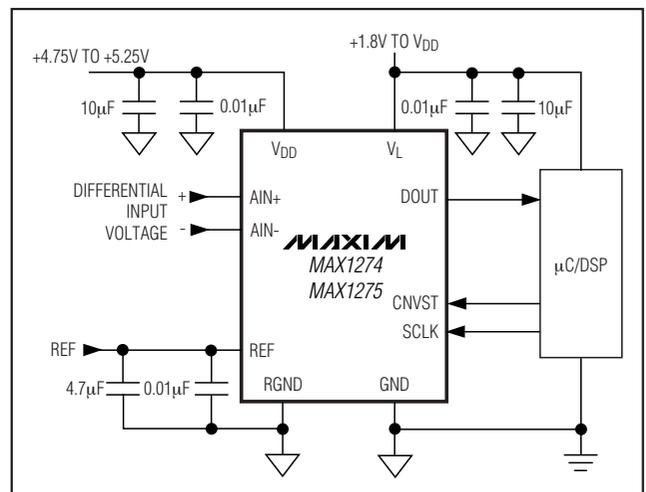
- ◆ サンプリング速度：1.8Msps
- ◆ 消費電力：わずか45mW (typ)
- ◆ シャットダウン電流：わずか1μA (max)
- ◆ 高速SPI対応3線式シリアルインタフェース
- ◆ 70dB S/(N + D) (525kHz入力周波数)
- ◆ 真の差動トラック/ホールド(T/H)内蔵
- ◆ 外部リファレンス
- ◆ パイプライン遅延なし
- ◆ 小型12ピンTQFNパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE	INPUT
MAX1274AETC+T	-40°C to +85°C	12 TQFN	Unipolar
MAX1274BETC+T	-40°C to +85°C	12 TQFN	Unipolar
MAX1275AETC+T	-40°C to +85°C	12 TQFN	Bipolar
MAX1275BETC+T	-40°C to +85°C	12 TQFN	Bipolar

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
T = テープ&リール

標準動作回路



1.8Msps、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V	Maximum Current into Any Pin.....	50mA
V _L to GND	-0.3V to the lower of (V _{DD} + 0.3V) or +6V	Continuous Power Dissipation (T _A = +70°C)	
Digital Inputs		12-Pin TQFN (derate 16.9mW/°C above +70°C)	1349mW
to GND	-0.3V to the lower of (V _{DD} + 0.3V) or +6V	Operating Temperature Range	
Digital Output		MAX127_ ETC.....	-40°C to +85°C
to GND.....	-0.3V to the lower of (V _L + 0.3V) or +6V	Junction Temperature.....	+150°C
Analog Inputs and		Storage Temperature Range	-60°C to +150°C
REF to GND.....	-0.3V to the lower of (V _{DD} + 0.3V) or +6V	Lead Temperature (soldering, 10s)	+300°C
RGND to GND	-0.3V to +0.3V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±5%, V_L = V_{DD}, V_{REF} = 4.096V, f_{SCLK} = 28.8MHz, 50% duty cycle, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			12			Bits
Relative Accuracy	INL	(Note 1) MAX127_A	-1.0		+1.0	LSB
		MAX127_B	-1.75		+1.75	
Differential Nonlinearity	DNL	(Note 2) MAX127_A	-1.0		+1.0	LSB
		MAX127_B	-1.0		+1.75	
Offset Error					±6.0	LSB
Offset-Error Temperature Coefficient				±1		ppm/°C
Gain Error		Offset nulled			±6.0	LSB
Gain Temperature Coefficient				±2		ppm/°C
DYNAMIC SPECIFICATIONS (f_{IN} = 525kHz sine wave, V_{IN} = V_{REF}, unless otherwise noted.)						
Signal-to-Noise Plus Distortion	SINAD	MAX127_A	69	70		dB
		MAX127_B	67	70		
Total Harmonic Distortion (Up to the 5th Harmonic)	THD			-80	-76	dB
Spurious-Free Dynamic Range	SFDR			-83	-76	dB
Intermodulation Distortion	IMD	f _{IN1} = 250kHz, f _{IN2} = 300kHz		-78		dB
Full-Power Bandwidth		-3dB point, small-signal method		20		MHz
Full-Linear Bandwidth		S/(N + D) > 68dB, single ended		1.2		MHz
CONVERSION RATE						
Minimum Conversion Time	t _{CONV}	(Note 3)			0.556	µs
Maximum Throughput Rate			1.8			Msps
Minimum Throughput Rate		(Note 4)	10			ksps
Track-and-Hold Acquisition Time	t _{ACQ}	(Note 5)		104		ns
Aperture Delay				5		ns
Aperture Jitter		(Note 6)		30		ps
External Clock Frequency	f _{SCLK}				28.8	MHz

1.8Msps、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_L = V_{DD}$, $V_{REF} = 4.096V$, $f_{SCLK} = 28.8MHz$, 50% duty cycle, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS (AIN+, AIN-)						
Differential Input Voltage Range	V_{IN}	AIN+ - AIN-, MAX1274	0		V_{REF}	V
		AIN+ - AIN-, MAX1275	$-V_{REF}/2$		$+V_{REF}/2$	
Absolute Input Voltage Range			0		V_{DD}	V
DC Leakage Current					± 1	μA
Input Capacitance		Per input pin		16		pF
Input Current (Average)		Time averaged at maximum throughput rate		75		μA
REFERENCE INPUT (REF)						
REF Input Voltage Range	V_{REF}		1.0		$V_{DD} + 50mV$	V
Input Capacitance				20		pF
DC Leakage Current					± 1	μA
Input Current (Average)		Time averaged at maximum throughput rate		400		μA
DIGITAL INPUTS (SCLK, CNVST)						
Input Voltage Low	V_{IL}				$0.3 \times V_L$	V
Input Voltage High	V_{IH}		$0.7 \times V_L$			V
Input Leakage Current	I_{IL}			0.05	± 10	μA
DIGITAL OUTPUT (DOUT)						
Output Load Capacitance	C_{OUT}	For stated timing performance			30	pF
Output Voltage Low	V_{OL}	$I_{SINK} = 5mA$, $V_L \geq 1.8V$			0.4	V
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$, $V_L \geq 1.8V$	$V_L - 0.5V$			V
Output Leakage Current	I_{OL}	Output high impedance		± 0.2	± 10	μA
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		4.75		5.25	V
Digital Supply Voltage	V_L		1.8		V_{DD}	V
Analog Supply Current, Normal Mode	I_{DD}	Static, $f_{SCLK} = 28.8MHz$		7	9	mA
		Static, no SCLK		4	5	
		Operational, 1.8Msps		9	11	
Analog Supply Current, Partial Power-Down Mode	I_{DD}	$f_{SCLK} = 28.8MHz$		1		mA
		No SCLK		1		
Analog Supply Current, Full Power-Down Mode	I_{DD}	$f_{SCLK} = 28.8MHz$		1		μA
		No SCLK			1	
Digital Supply Current (Note 7)		Operational, full-scale input at 1.8Msps		1	2.5	mA
		Static, $f_{SCLK} = 28.8MHz$		0.4	1	
		Partial/full power-down mode, $f_{SCLK} = 28.8MHz$		0.2	0.5	
		Static, no SCLK, all modes		0.1	1	
Positive-Supply Rejection	PSR	$V_{DD} = 5V \pm 5\%$, full-scale input		± 0.2	± 3.0	mV

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

TIMING CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_L = V_{DD}$, $V_{REF} = 4.096V$, $f_{SCLK} = 28.8MHz$, 50% duty cycle, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Pulse-Width High	t_{CH}	$V_L = 1.8V$ to V_{DD}	15.6			ns
SCLK Pulse-Width Low	t_{CL}	$V_L = 1.8V$ to V_{DD}	15.6			ns
SCLK Rise to DOUT Transition	t_{DOUT}	$C_L = 30pF$, $V_L = 4.75V$ to V_{DD}			14	ns
		$C_L = 30pF$, $V_L = 2.7V$ to V_{DD}			17	
		$C_L = 30pF$, $V_L = 1.8V$ to V_{DD}			24	
DOUT Remains Valid After SCLK Rise	t_{DHOLD}	$V_L = 1.8V$ to V_{DD}	4			ns
CNVST Fall to SCLK Fall	t_{SETUP}	$V_L = 1.8V$ to V_{DD}	10			ns
CNVST Pulse Width	t_{CSW}	$V_L = 1.8V$ to V_{DD}	20			ns
Power-Up Time; Full Power-Down	t_{PWR-UP}			2		ms
Restart Time; Partial Power-Down	t_{RCV}			16		Cycles

Note 1: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the gain error and the offset error have been nulled.

Note 2: No missing codes over temperature.

Note 3: Conversion time is defined as the number of clock cycles (16) multiplied by the clock period.

Note 4: At sample rates below 10ksps, the input full-linear bandwidth is reduced to 5kHz.

Note 5: The listed value of three SCLK cycles is given for full-speed continuous conversions. Acquisition time begins on the 14th rising edge of SCLK and terminates on the next falling edge of CNVST. The IC idles in acquisition mode between conversions.

Note 6: Undersampling at the maximum signal bandwidth requires the minimum jitter spec for SINAD performance.

Note 7: Digital supply current is measured with the V_{IH} level equal to V_L , and the V_{IL} level equal to GND.

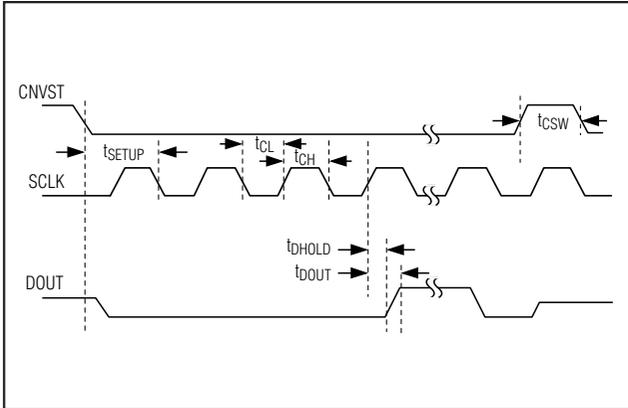


図1. 詳細なシリアルインターフェースのタイミング

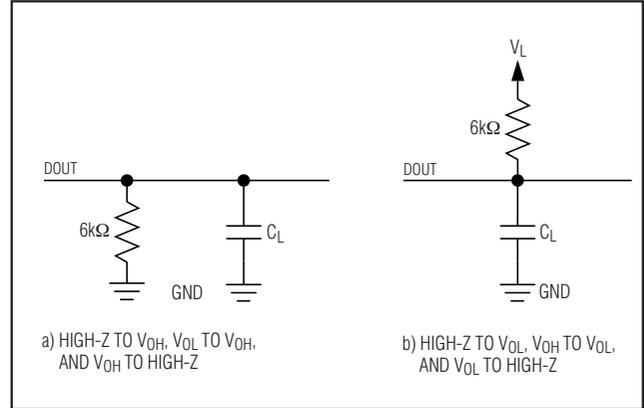


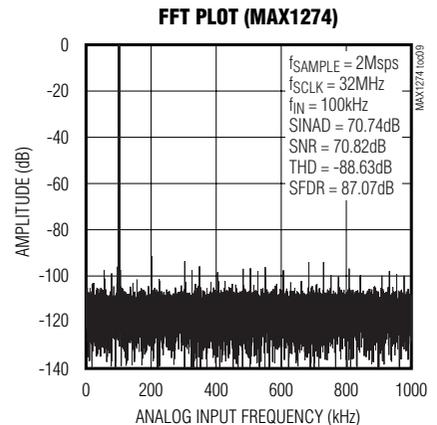
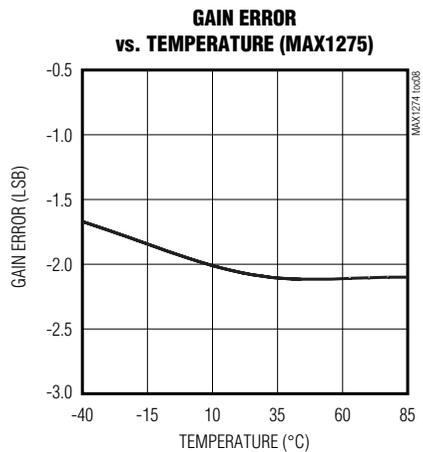
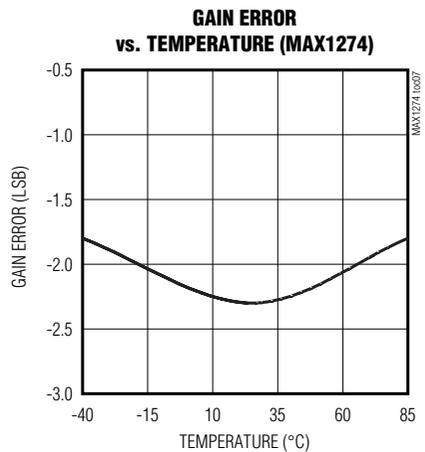
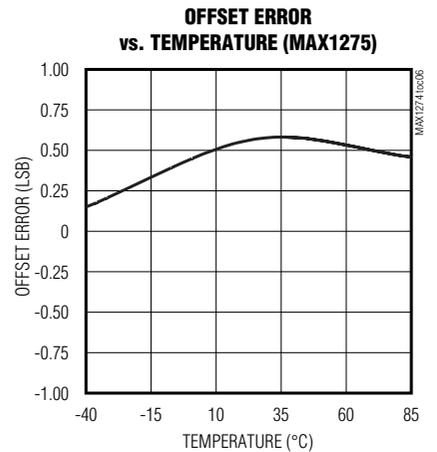
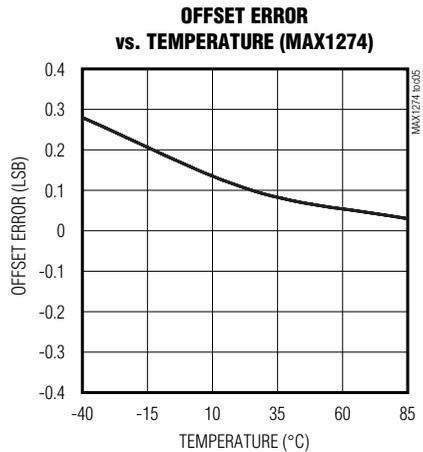
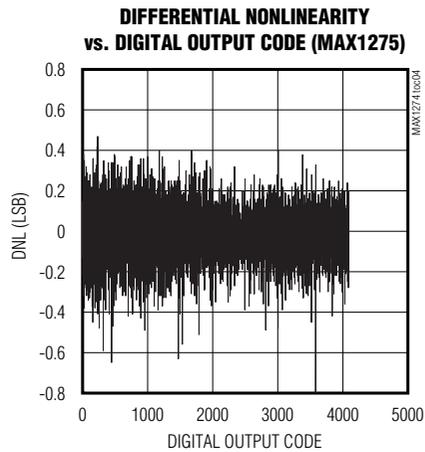
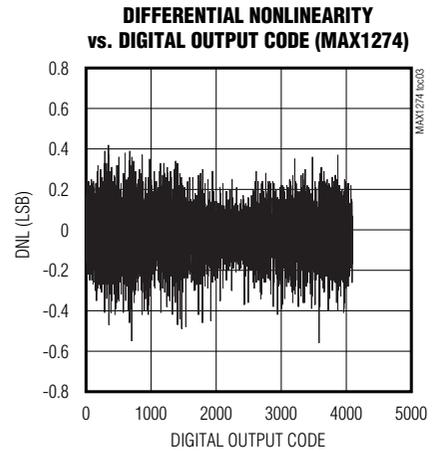
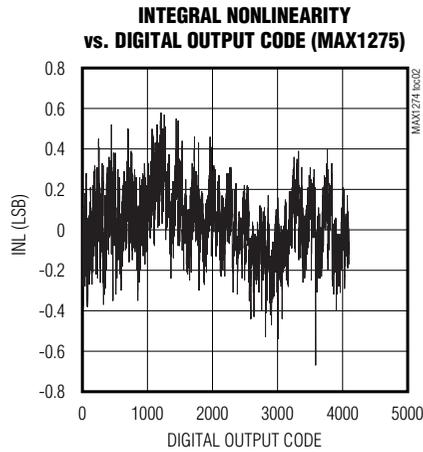
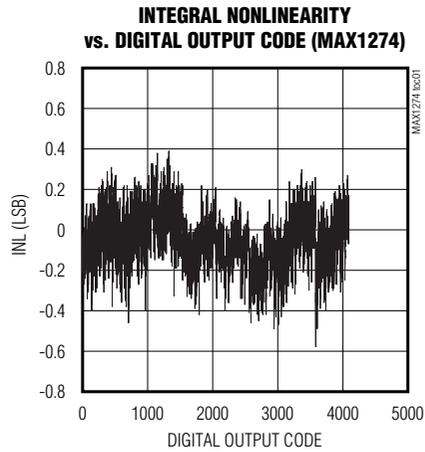
図2. イネーブル/ディセーブル時間の負荷回路

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

標準動作特性

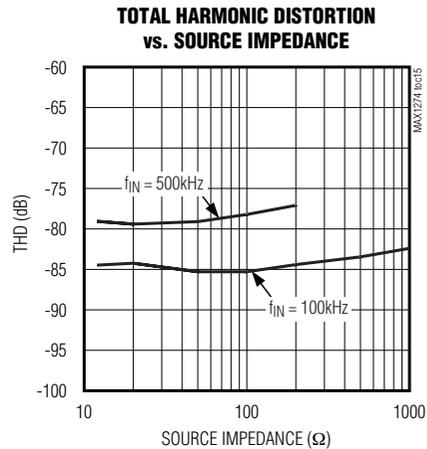
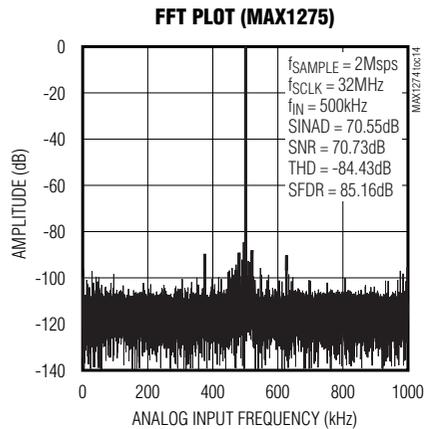
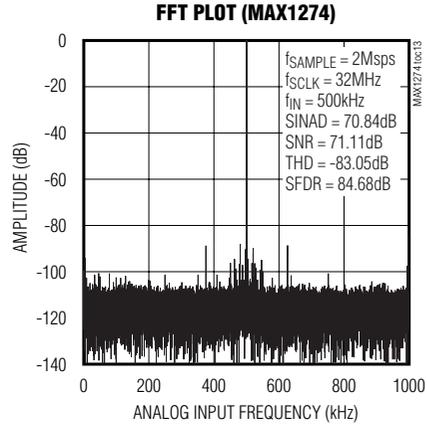
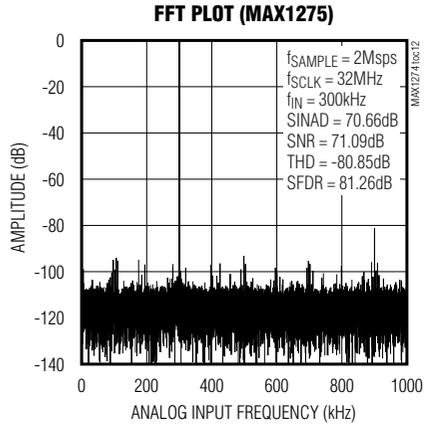
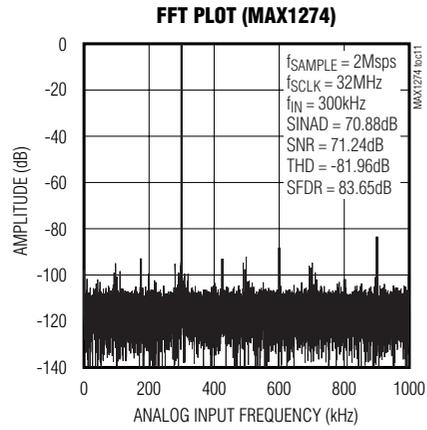
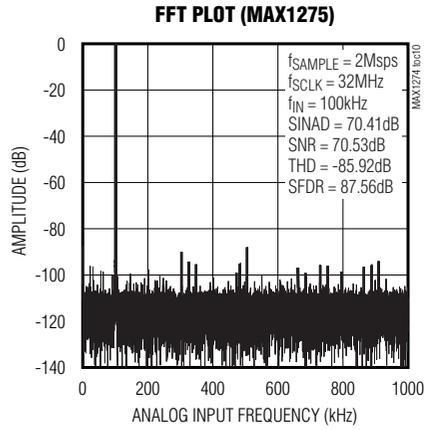
($V_{DD} = +5V$, $V_L = V_{DD}$, $V_{REF} = 4.096V$, $f_{SCLK} = 28.8MHz$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)



1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

標準動作特性(続き)

($V_{DD} = +5V$, $V_L = V_{DD}$, $V_{REF} = 4.096V$, $f_{SCLK} = 28.8MHz$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)

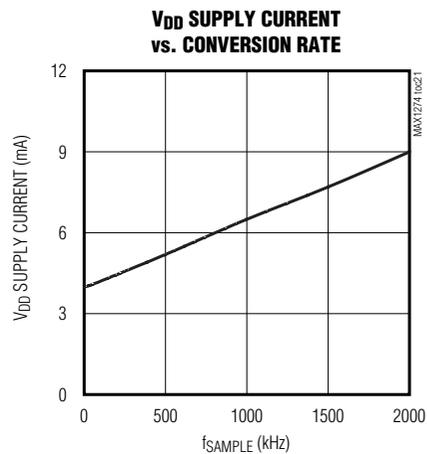
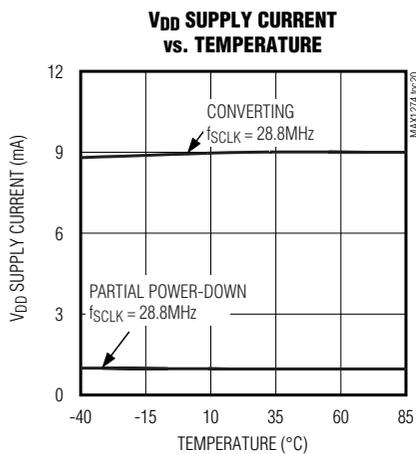
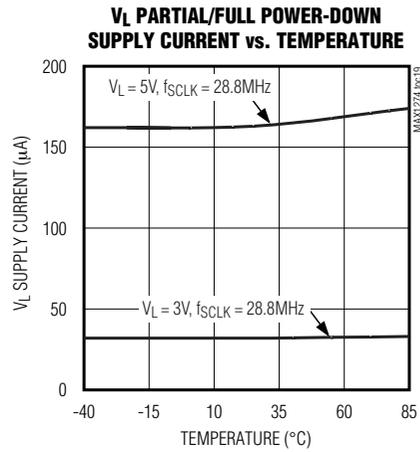
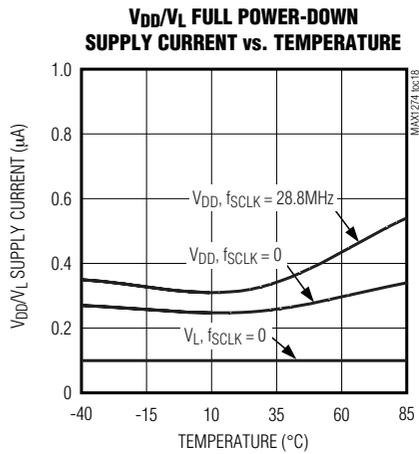
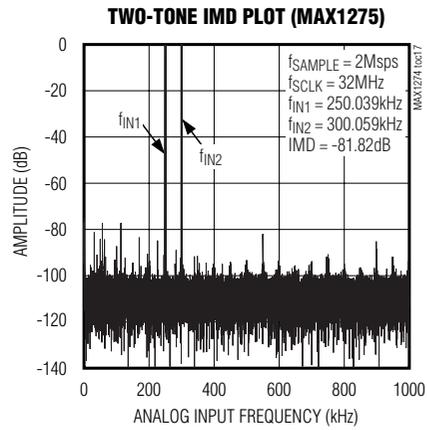
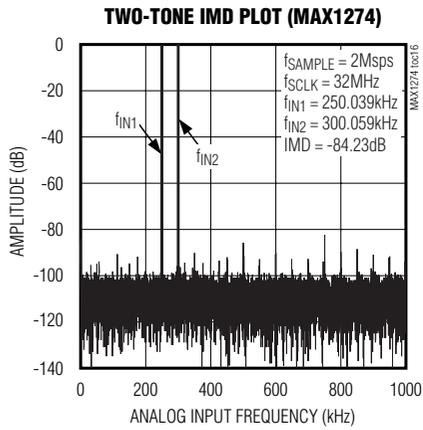


1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

標準動作特性(続き)

($V_{DD} = +5V$, $V_L = V_{DD}$, $V_{REF} = 4.096V$, $f_{SCLK} = 28.8MHz$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)

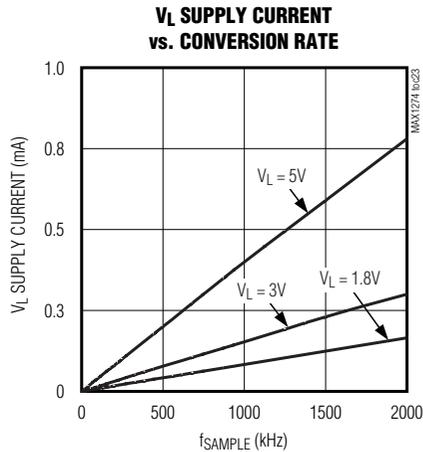
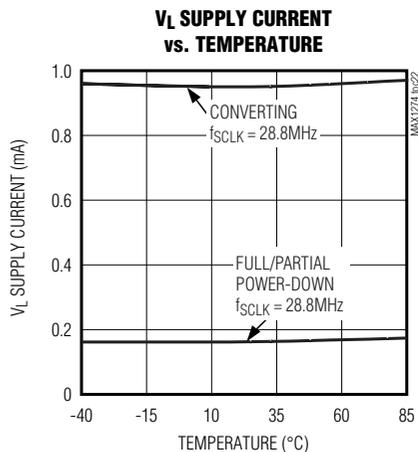


1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

標準動作特性(続き)

($V_{DD} = +5V$, $V_L = V_{DD}$, $V_{REF} = 4.096V$, $f_{SCLK} = 28.8MHz$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)



端子説明

端子	名称	機能
1	AIN-	負アナログ入力。
2	REF	外部リファレンス電圧入力。V _{REF} によって、アナログ入力範囲が設定されます。0.01μFのコンデンサと4.7μFのコンデンサでREFをRGNDにバイパスします。
3	RGND	リファレンスグランド。RGNDをGNDに接続します。
4	V _{DD}	正アナログ電源電圧(+4.75V~+5.25V)。0.01μFのコンデンサと10μFのコンデンサでV _{DD} をGNDにバイパスします。
5, 11	N.C.	無接続。
6	GND	グランド。GNDは内部でEPに接続されています。
7	V _L	正ロジック電源電圧(1.8V~V _{DD})。0.01μFのコンデンサと10μFのコンデンサでV _L をGNDにバイパスします。
8	DOUT	シリアルデータ出力。データは、SCLKの立上りエッジでクロックアウトされます。
9	CNVST	変換開始。CNVSTを強制的にハイにすると、デバイスが変換の準備をします。変換は、CNVSTの立下りエッジで始まります。サンプリング時点は、CNVSTの立下りエッジで決まります。
10	SCLK	シリアルクロック入力。シリアルインタフェースからのクロックデータ。SCLKは変換速度も設定します。
12	AIN+	正アナログ入力。
—	EP	エクスポーズドパッド。EPは内部でGNDに接続されています。

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

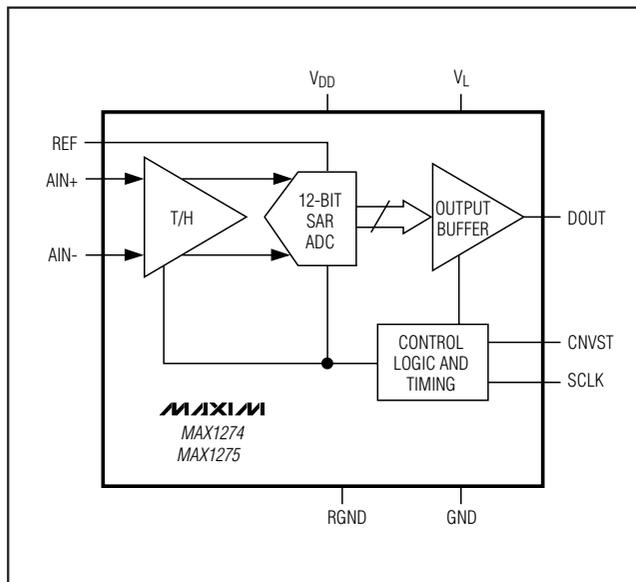


図3. ファンクションダイアグラム

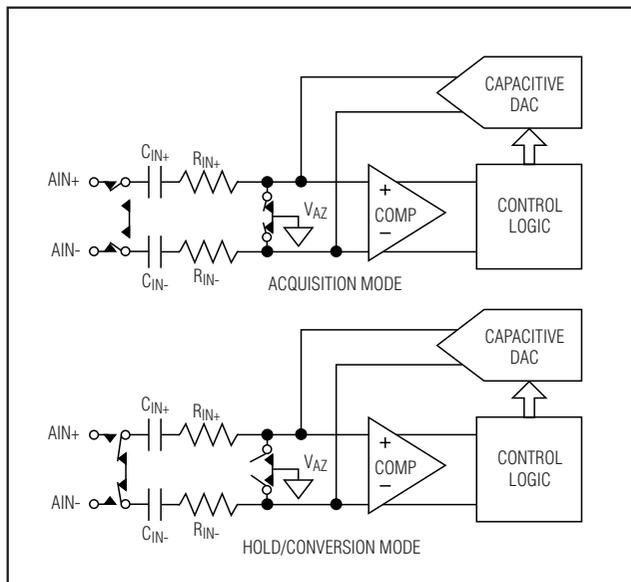


図4. 等価入力回路

詳細

MAX1274/MAX1275では、入力T/H及び逐次比較レジスタ(SAR)回路を使用してアナログ入力信号をデジタル12ビット出力に変換します。シリアルインタフェースは、3本のデジタルライン(SCLK、CNVST、及びDOUT)のみを必要とし、マイクロプロセッサ(μ P)とDSPに容易に接続されます。図3は、MAX1274/MAX1275の内部構成を簡略化して示したものです。

真の差動アナログ入力T/H

図4の等価回路は、T/H、コンパレータ、及びスイッチトキャパシタデジタル-アナログコンバータ(DAC)で構成されるMAX1274/MAX1275の入力アーキテクチャを示します。T/Hは、前の変換の14番目のSCLK立上りエッジでそのトラッキングモードに入ります。電源を投入すると、T/Hは直ちにそのトラッキングモードに入ります。正側の入力コンデンサは、AIN+に接続されています。負側の入力コンデンサはAIN-に接続されています。T/Hは、CNVSTの立下りエッジでそのホールドモードに入り、サンプリングされた正と負の入力電圧間の差が変換されます。T/Hが入力信号の収集に要する時間は、その入力容量の充電速度で決まります。入力信号源インピーダンスが高い場合は、アキュイジション時間が長くなります。アキュイジション時間 t_{ACQ} は、信

号の収集に必要な最小時間です。これは次式によって計算されます。

$$t_{ACQ} \geq 9 \times (R_S + R_{IN}) \times 16\text{pF}$$

ここで、 $R_{IN} = 200\Omega$ で、 R_S は入力信号源インピーダンスです。

注： t_{ACQ} は必ず104ns以上であり、12 Ω 以下の信号源インピーダンスによるADCのAC性能への影響はほとんどありません。

入力帯域幅

ADCの入力トラッキング回路は、小信号帯域幅が20MHzであるため、アンダサンプリング技術を利用することによって高速の過渡現象をデジタル化し、ADCのサンプリング速度を超える帯域幅の周期信号を測定することができます。高周波信号が所定帯域にエイリアシングとして現れるのを防止するため、アンチエイリアスフィルタの使用をお奨めします。

アナログ入力保護

アナログ入力を V_{DD} とGNDにクランプする保護ダイオードが内蔵されているため、アナログ入力ピンは損傷を受けることなくGND - 0.3Vから $V_{DD} + 0.3V$ までの間でスイングすることができます。変換を正確に行なうためには、両入力 V_{DD} 以下、またはGND以上にします。

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

シリアルインタフェース

電源投入後の初期化及び変換の開始

最初の電源投入の際、MAX1274/MAX1275は、内部校正の初期化のために1回の変換サイクルを必要とします。この初期変換の後、デバイスは通常動作の準備が完了します。この初期化は、ハードウェアの電源投入シーケンスの後に必要なだけで、一時的または完全なパワーダウンモードからの立上り後では不要です。

変換を開始するには、CNVSTをローにプルダウンします。CNVSTの立下りエッジで、T/Hはそのホールドモードに入り変換が始まります。SCLKによって変換が実行されると、これに続いてデータがDOUTにシリアルにシフトアウトされます。

タイミングと制御

変換開始とデータ読み取り動作は、CNVST及びSCLKデジタル入力によって制御されます。図1と5は、シリアルインタフェース動作の概要を示すタイミング図を示します。

変換シーケンスは、CNVSTの立下りエッジで開始されます。すなわち、T/H段が入力電圧をホールドし、ADCが変換を開始し、DOUTがハイインピーダンスからロジックローに変わります。SCLKは、変換過程の駆動に使用され、各変換ビットが確定するとデータをシフトアウトします。

SCLKは、SCLKの4番目の立上りエッジの後にデータのシフトアウトを開始します。DOUTは、各SCLKの立上りエッジ後 t_{DOUT} の間に遷移し、次の立上りエッジ後4ns ($t_{D\text{HOLD}}$)の間有効な状態を保ちます。4番目の立上りクロックエッジで変換されたMSBがDOUTに出力され、MSBは5番目の立上りエッジ後4nsの間有効な状態を保ちます。12データビット及び3個の先行ゼロビットがあるため、これらのビットをシフトアウトするには少なくとも16個の立上りクロックエッジが必要です。連続動作では、14番目と16番目のSCLK立上りエッジの間にCNVSTをハイにプルアップしてください。16番目のSCLKサイクルの立下りエッジ後、CNVSTがローのままである場合は、DOUTラインがCNVSTの立上りエッジまたは次のSCLKの立上りエッジのいずれかでハイインピーダンス状態になります。

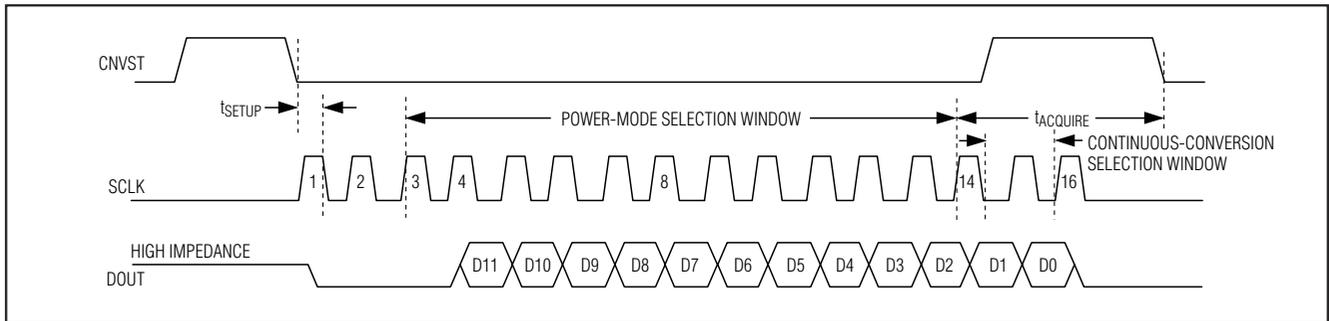


図5. インタフェース-タイミングシーケンス

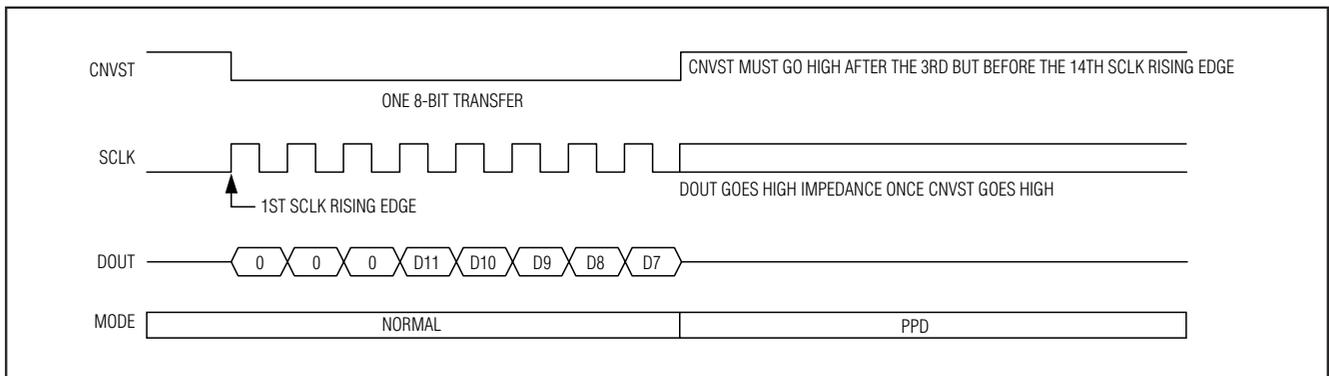


図6. SPIインタフェース—一時的パワーダウンモード

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

一時的パワーダウン及び完全パワーダウンモード

消費電力は、MAX1274/MAX1275を一時的パワーダウンモードまたは完全パワーダウンモードのいずれかに入れることによって著しく低減することができます。一時的パワーダウンモードは、頻度の少ないデータサンプリング及び高速ウェイクアップ時間のアプリケーションに最適です。デバイスを一時的パワーダウンモードに入れてこのモードを維持するには、3番目のSCLK立上りエッジの後と14番目のSCLK立上りエッジの前にCNVSTをハイにプルアップします(図6参照)。これで、消費電流が1mAに減少します。一時的パワーダウンモードを終了するには、CNVSTをローに駆動して少なくとも14 SCLKサイクルが経過してからCNVSTをハイに駆動します。

完全パワーダウンモードは、頻度の少ないデータサンプリング及び超低消費電流のアプリケーションに最適です。MAX1274/MAX1275を完全パワーダウンモードに入れるには、これらのデバイスが一時的パワーダウンモードになければなりません。前記のSCLK/CNVSTシーケンスを実行してデバイスを一時的パワーダウンモードに入れます。つぎに、同じシーケンスを繰り返して完全パワーダウンモードに入ります(図7参照)。完全パワーダウンモードを終了するには、CNVSTをローに駆動して少なくとも14 SCLKサイクルが経過してからCNVSTをハイに駆動します。一時的/完全パワーダウンモードでは、消費電力を最小限に抑制するためにSCLKをロジックローまたはロジックハイに保ちます。

伝達関数

図8は、MAX1274のユニポーラ伝達関数を示します。図9は、MAX1275のバイポーラ伝達関数を示します。MAX1274の出力はストレートバイナリですが、MAX1275の出力は2の補数です。

アプリケーション情報

外部リファレンス

MAX1274/MAX1275には、外部リファレンスが必要です。最良の性能を得るためには、4.7 μ Fと0.01 μ FのバイパスコンデンサをREFピンに接続します。リファレンス入力回路には、+1V \sim V_{DD}の電圧を印加することができます。

変換の開始方法

アナログ-デジタル変換は、CNVSTによって開始され、SCLKでクロックされ、得られたデータはSCLKによってDOUTにクロックアウトされます。SCLKをハイまたはロー状態で、CNVSTの立下りエッジで変換が始まります。これで、アナログ入力段がトラックモードからホールドモードに遷移し、DOUTがハイインピーダンスからアクティブローに駆動される状態に遷移します。通常の変換を終了するには、全部で16 SCLKサイクルが必要です。16番目の立下りSCLKエッジの期間にCNVSTがローである場合、DOUTはCNVSTまたはSCLKの次の立上りエッジでハイインピーダンスに戻るため、複数のデバイスがシリアルインタフェースを共有することができます。CNVSTがSCLKの14番目の立上りエッジ以降、ただし16番目の立上りエッジ以前にハイに戻れば、DOUTはアクティブのままであるため連続変換を持続することができます。最大スループットは、連続変換を行なう場合に得られます。図10は、標準的なシリアルインタフェースを使用した変換を示します。

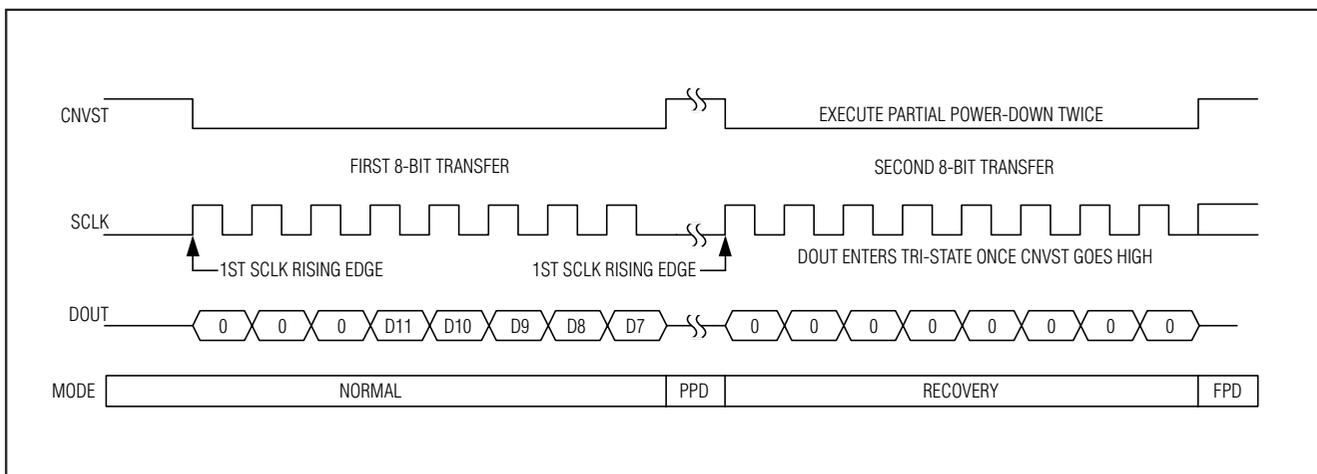


図7. SPIインタフェース—完全パワーダウンモード

1.8Msps、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

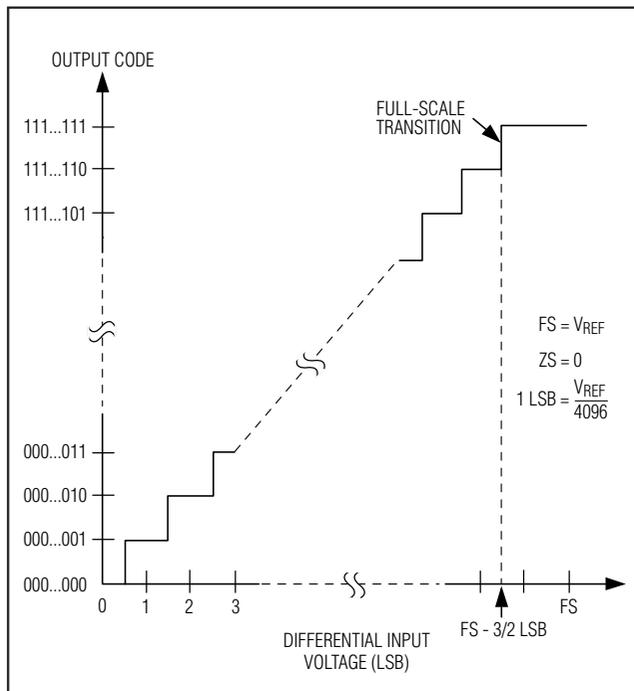


図8. ユニポーラ伝達関数(MAX1274のみ)

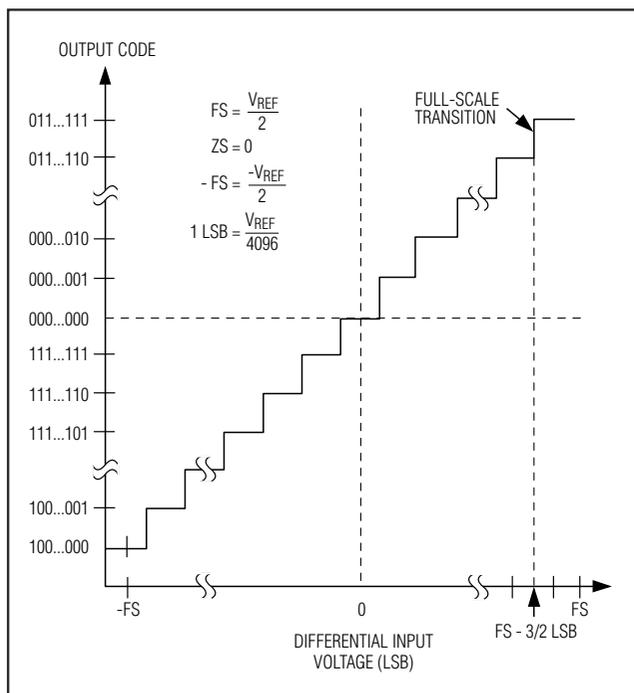


図9. バイポーラ伝達関数(MAX1275のみ)

標準インタフェースへの接続

MAX1274/MAX1275のシリアルインタフェースは、SPI/QSPI、及びMICROWIREに完全対応しています(図11参照)。シリアルインタフェースが利用可能な場合は、CPUのシリアルインタフェースをマスターモードに設定するとCPUがシリアルクロックを発生します。最高28.8MHzまでのクロック周波数を選択してください。

SPIとMICROWIRE

SPIまたはMICROWIREを使用する場合、MAX1274/MAX1275は、SPIまたはMICROWIRE制御レジスタのCPHA及びCPOLビットを使用してプログラムした4つのすべてのモードに適應します。変換は、CNVSTの立下りエッジで始まります。DOUTがローになり、変換が進行中であることを示します。ADCから完全な12ビットを発生させるには、1バイトを連続2回読み取る必要があります。DOUTは、SCLKの立下りエッジで遷移します。DOUTは、次の t_{DOUT} まで有効であることが保証されており、次のSCLK立下りエッジの後 $t_{D HOLD}$ の間有効な状態を保ちます。CPOL = 0とCPHA = 0またはCPOL = 1とCPHA = 1を使用する場合、データは次の立下りエッジでクロックによって μP に取り込まれます。CPOL = 0及びCPHA = 1、またはCPOL = 1及びCPHA = 0を使用する場合、データはクロックの次の立下りエッジで μP に取り込まれます。接続については図11を、タイミングについては図12と13を参照してください。最適な利用方法を決定するには、「Timing Characteristics (タイミング特性)」の項を参照してください。

QSPI

ADCから12ビットのデータを収集するのに1バイトを2回読み取る必要があるSPIとは異なり、QSPIでは最小限のクロックサイクル数でデータをクロック入力することができます。MAX1274/MAX1275は、12ビットのデータをクロックアウトするのに μP から16クロックサイクルを必要とします。図14は、CPOL = 1とCPHA = 1を使用した転送を示します。変換結果は、3個のゼロビットがあり、その後12データビットが続き、また次のゼロビットが続いており、データはMSBファースト形式です。

TMS320C54_へのDSPインタフェース

MAX1274/MAX1275は、Texas Instruments, Inc.のTMS320C54_ファミリのDSPに直接接続することができます。DSPでは、それ自身でクロックを発生させるか外部クロック信号を使用するか選択します。標準またはバッファ付きシリアルポートのいずれかを使用します。図15は、MAX1274/MAX1275とTMS320C54_の最も簡単なインタフェースを示すもので、この場合、

1.8Msps、単一電源、低電力、 真の差動、12ビットADC

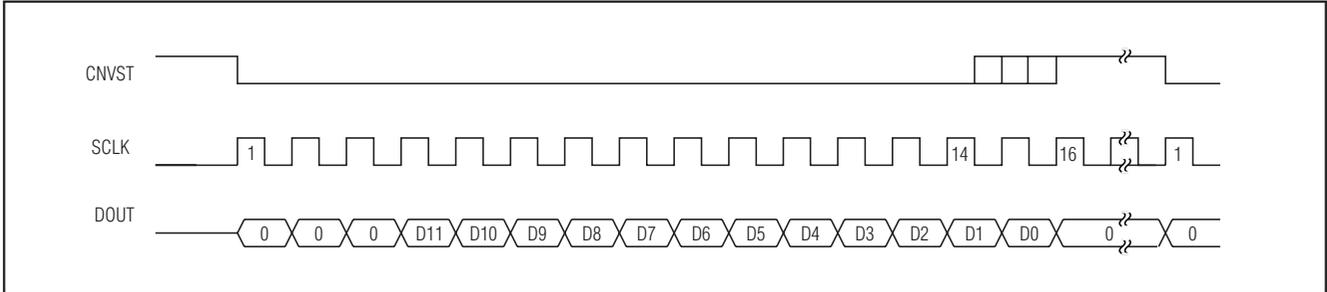


図10. バースト/連続クロックによる連続変換

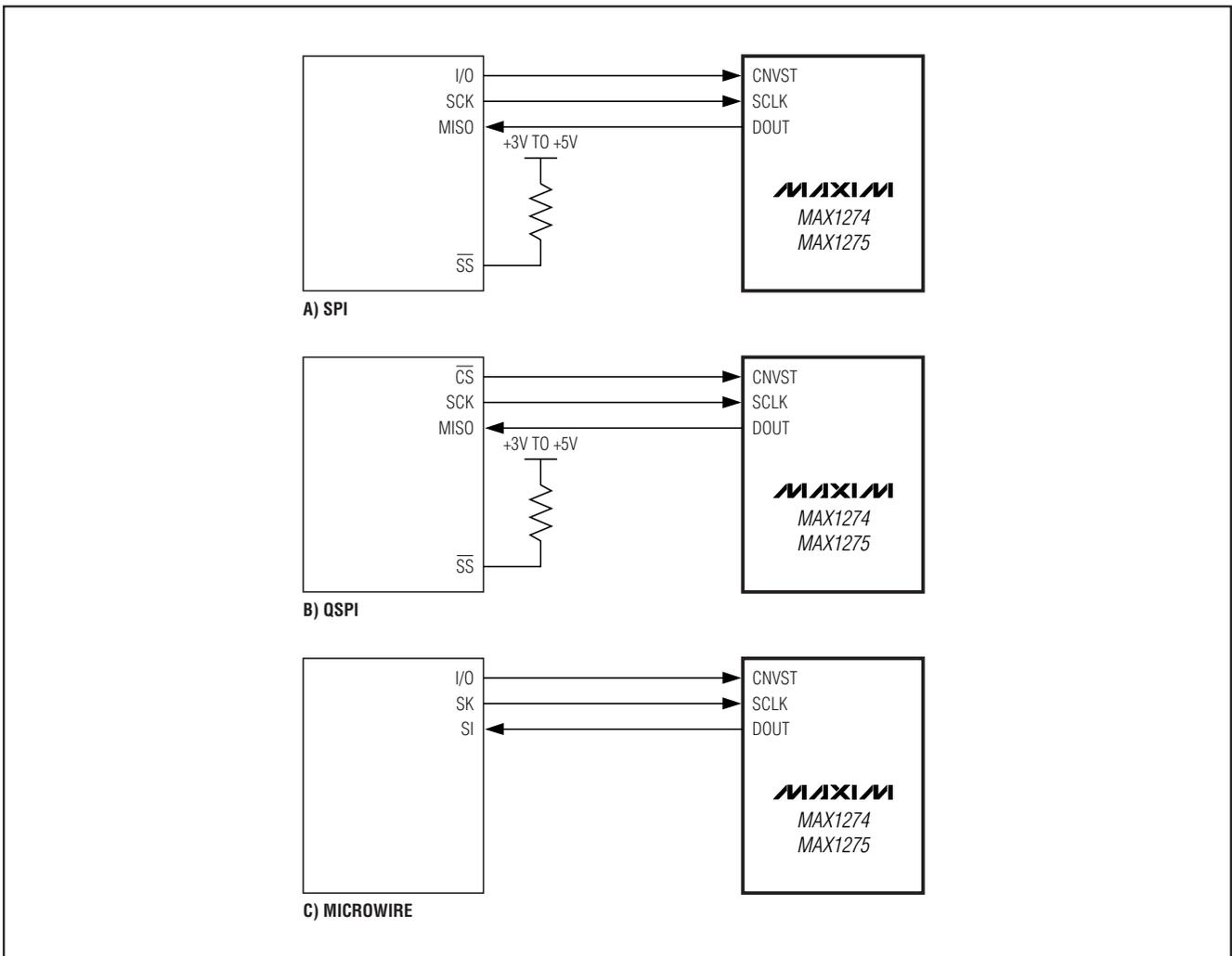


図11. MAX1274/MAX1275への一般的シリアルインタフェース接続

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

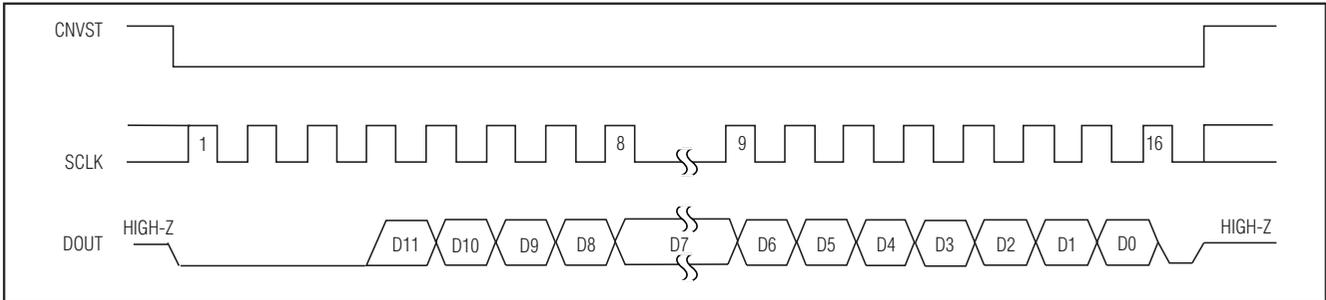


図12. SPI/MICROWIREシリアルインタフェースのタイミング—単一変換(CPOL = CPHA = 0)、(CPOL = CPHA = 1)

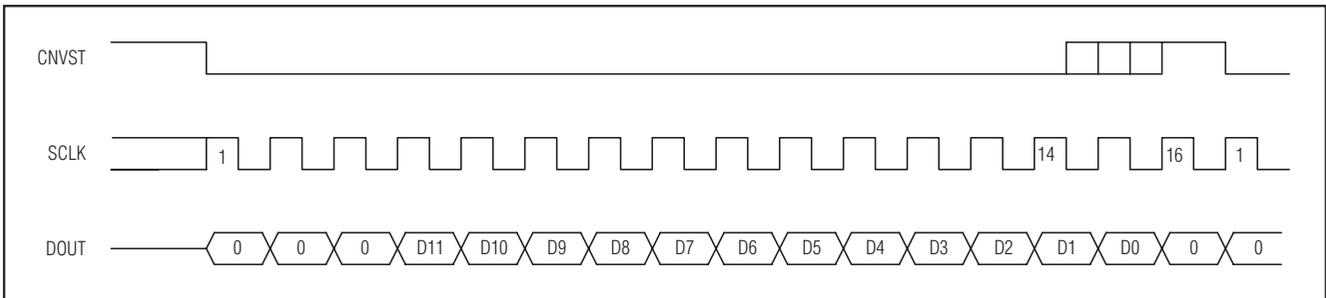


図13. SPI/MICROWIREシリアルインタフェースのタイミング—連続変換(CPOL = CPHA = 0)、(CPOL = CPHA = 1)

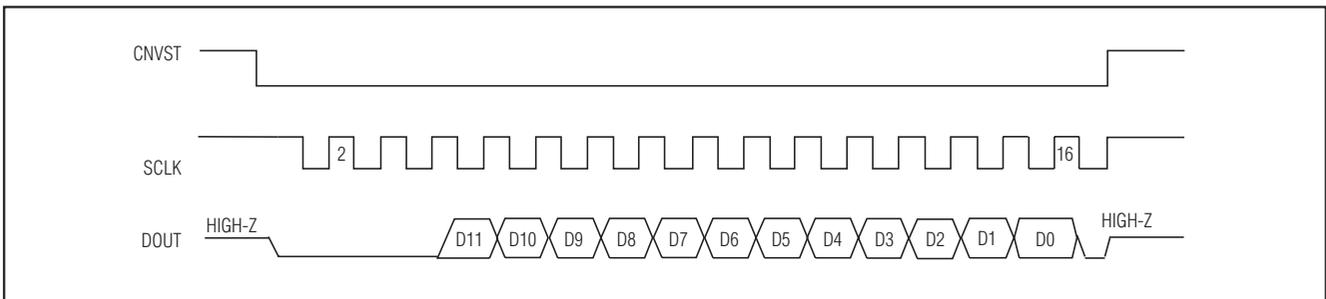


図14. QSPIシリアルインタフェースのタイミング—単一変換(CPOL = 1、CPHA = 1)

送信シリアルクロック(CLKX)が受信シリアルクロック(CLKR)とSCLKを駆動し、送信フレーム同期信号(FSX)が受信フレーム同期信号(FSR)とCNVSTを駆動します。連続変換では、クロックを送信するためにシリアルポートを設定し、データ送信前のクロック期間にフレーム同期信号パルスが発生します。シリアルポート設定(SPC)レジスタは、内部フレーム同期(TXM = 1)、内蔵クロック信号源によって駆動されるCLKX (MCM = 1)、バーストモード(FSM = 1)、及び16ビットワード長(FO = 0)によって設定される必要があります。

この設定によって、連続変換が可能になります。ただし、データ送信レジスタ(DXR)とデータ受信レジスタ(DRR)が次の変換前に使用可能である必要があります。代わりにの方法として、バッファ付きシリアルポートを使用して変換を行いCPUの介入なしでデータを読み取るときに

自動バッファリングをイネーブルにします。MAX1274/MAX1275がDSP電源電圧よりも高いアナログ電源電圧で動作する場合は、V_LピンをTMS320C54_電源電圧に接続してください。FO = 1としワード長を8ビットに設定すると、パワーダウンモードを実行することが可能です。パワーダウン状態に保つには、CNVSTピンをハイの状態にしておく必要があります。

MAX1274/MAX1275をTMS320C54_に接続するもう一つの方法は、どのデバイスに対してもクロック信号を外部で発生することです。この接続を図16に示します。この図では、シリアルクロック(CLOCK)がCLKRとSCLKを駆動し、変換信号(CONVERT)がFSRとCNVSTを駆動します。

外部受信クロックと外部受信フレーム同期信号を受け入れるには、シリアルポートを設定する必要があります。

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

SPCレジスタには、次のように書き込む必要があります。

TXM = 0、外部フレーム同期

MCM = 0、CLKXをCLKXピンから取り出します。

FSM = 1、バーストモード

FO = 0、16ビットワードとして送受信されるデータ

この設定によって、連続変換が可能になります。ただし、DDRは次の変換前に使用可能である必要があります。代替の方法として、バッファ付きシリアルポートを使用してCPUの介入なしでデータを読み取るときに自動バッファリングをイネーブします。MAX1274/MAX1275がDSP電源電圧よりも高いアナログ電源電圧

で動作する場合は、V_LピンをTMS320C54_電源電圧に接続してください。

また、MAX1274/MAX1275は、データ送信(DX)ピンを使用してTMS320C54_に接続することができ、SCLKを駆動するために内部で生成したCNVSTとCLKXを駆動します。DXがハイインピーダンスになりかつ連続変換のために0001hexをDXRに絶えず書き込む必要がある場合は、CNVST信号にプルアップ抵抗器を接続してこの信号をハイに保つ必要があります。00FFhexをDXRに書き込むことによってパワーダウンモードに入ることができます(図17と18参照)。

ADSP21_ _ _へのDSPインタフェース

MAX1274/MAX1275は、Analog Devices, Inc.のADSP21_ _ _ファミリのDSPに直接接続することができます。図19は、ADSP21_ _ _へのMAX1274/MAX1275の直接接続を示します。MAX1274/MAX1275とのインタフェースでは、2つの動作モードをプログラムすることができます。連続変換の場合、CNVSTをローのままにして前に送信されるワードのLSBの期間中に1クロックサイクルの間CNVSTをハイパルスで駆動します。ADSP21_ _ _ STCTL及びSRCTLの各レジスタは、初期のフレーミング(LAFR = 0)及びアクティブハイフレーム(LTFS = 0、LRFS = 0)信号に設定する必要があります。このモードでは、データと無関係なフレーム同期ビット(DITFS = 1)を選択して、送信データレジスタに2度以上書き込む必要がないようにすることができます。単一変換の場合、CNVSTをハイのままにして全変換期間中CNVSTにローパルスを印加します。ADSP21_ _ _ STCTL及びSRCTLの各レジスタは、後期のフレーミング(LAFR = 1)及びアクティブローフレーム(LTFS = 1、LRFS = 1)信号に設定する必要があります。また、この場合は、ワード長を8ビットに設定(SLEN = 1001)することによってパワーダウンモードに入るのが最良の方法です。MAX1274/MAX1275がDSP電源電圧よりも高い電源電圧で動作する場合は、V_LピンをADSP21_ _ _電源電圧に接続します(図17と18参照)。

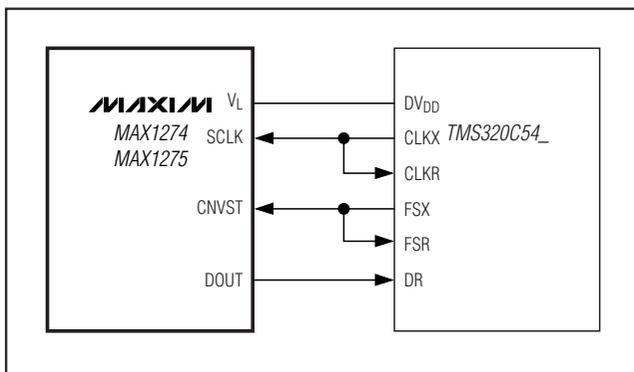


図15. TMS320C54_内部クロックへのインタフェース

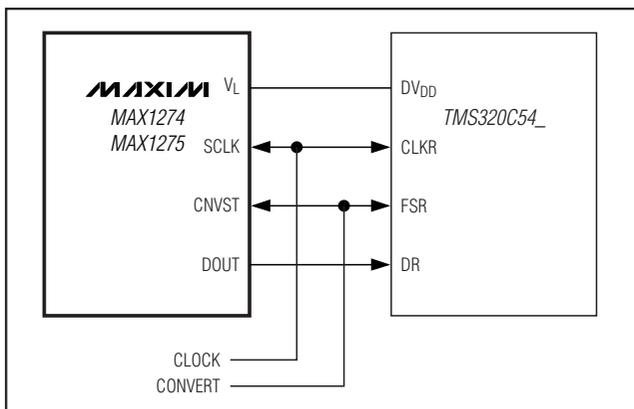


図16. TMS320C54_外部クロックへのインタフェース

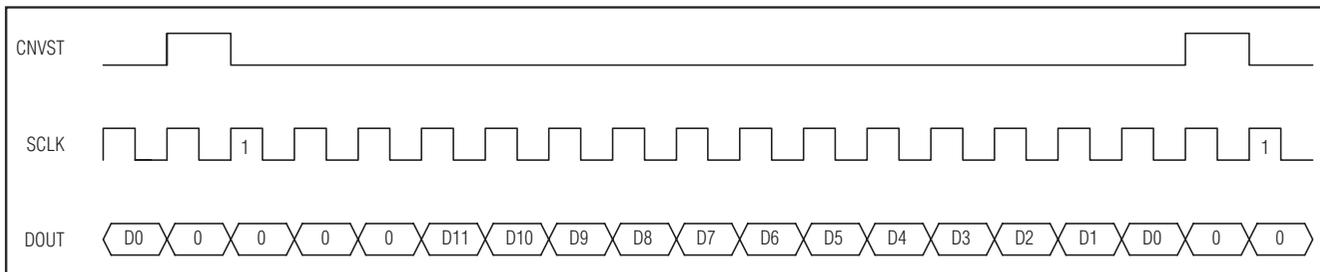


図17. DSPインタフェース—連続変換

1.8MSPS、単一電源、低電力、 真の差動、12ビットADC

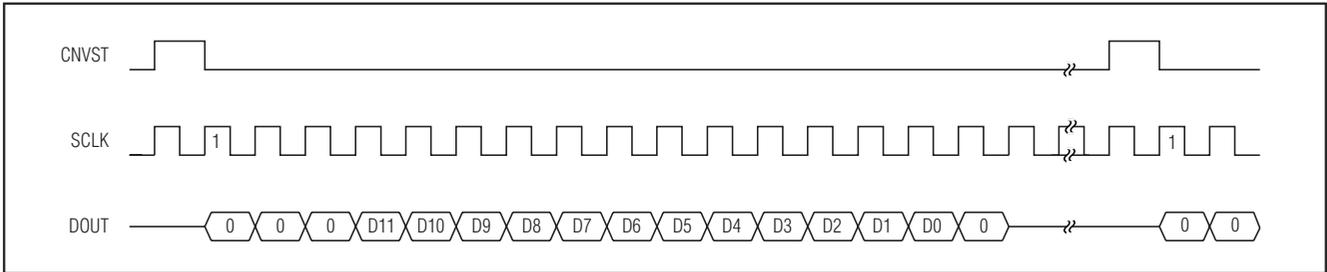


図18. DSPインターフェース—単一変換、連続/バーストクロック

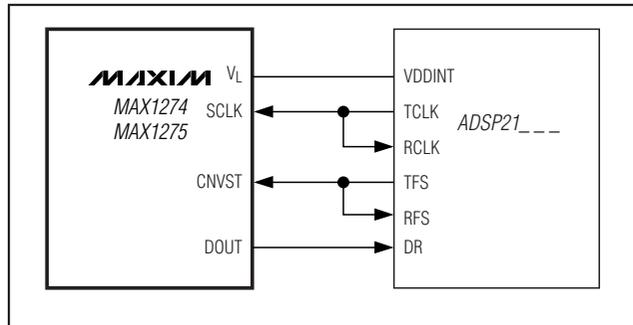


図19. ADSP21_...へのインターフェース

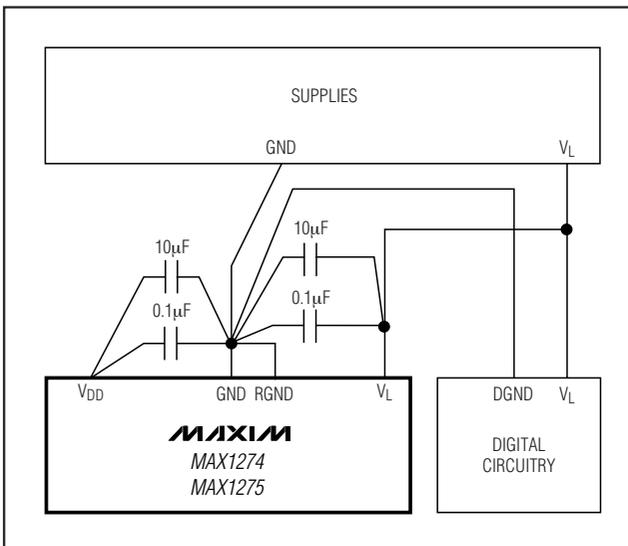


図20. 電源の接地条件

レイアウト、グラウンド、及びバイパス

最良の性能を得るためには、プリント基板を使用します。ワイヤラップボードは推奨できません。ボードのレイアウトでは、デジタルとアナログの信号ラインを互いに分離します。アナログとデジタル(特にクロック)の各ラインを互いに平行に配線したり、デジタルラインをADCパッケージの下に配線しないようにしてください。

図20に推奨システムグラウンド接続を示します。アナロググラウンドは、ロジックグラウンドから離してGNDで1点接続(スターグラウンドポイント)してください。ノイズをさらに低減するため、その他の全アナロググラウンドとDGNDをこのスターグラウンドポイントに接続します。このグラウンドの電源へのグラウンドリターンは、ノイズフリーにするために、できる限り短くしてローインピーダンスにします。

V_{DD} 電源の高周波ノイズは、ADCの高速コンパレータに影響を及ぼす可能性があります。この電源から1点アナロググラウンドに $0.01\mu\text{F}$ と $10\mu\text{F}$ のバイパスコンデンサでバイパスしてください。電源ノイズを極力排除するために、コンデンサのリード長はできる限り短くします。

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数と直線とのずれです。この直線は、オフセットとゲインエラーをゼロにした後の一次回帰直線または伝達関数の両端を結んだ直線のいずれかです。MAX1274/MAX1275の静的直線性パラメータは、終点法を使用して測定します。

微分非直線性

微分非直線性(DNL)は、実際のステップ幅と1 LSBの理想値の差です。1 LSB以下のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、各サンプル間の時間間隔の変動です。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、CNVSTの立下りエッジから実際のサンプリングが行なわれる瞬間までの時間です。

1.8Msps、単一電源、低電力、 真の差動、12ビットADC

MAX1274/MAX1275

信号対雑音比

デジタルサンプルから完全に再現される波形の場合、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)の比です。理論的な最小アナログ対デジタル雑音は、量子化誤差によって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます。

$$\text{SNR} = (6.02 \times N + 1.76) \text{dB}$$

実際には、量子化雑音以外に、熱雑音、リファレンス雑音、クロックジッタなどの雑音源があります。したがって、SNRは、RMS信号とRMS雑音の比をとることによって求められます。RMS雑音には、全スペクトル成分から基本波を差し引いた成分、最初の5つの高調波成分、及びDCオフセットが含まれます。

信号対雑音+歪み

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他すべてのADC出力信号のRMS振幅との比です。

$$\text{SINAD}(\text{dB}) = 20 \times \log(\text{Signal}_{\text{RMS}}/\text{Noise}_{\text{RMS}})$$

有効ビット数

有効ビット数(ENOB)は、特定の入力周波数とサンプリング速度におけるADCの総合的な精度を表わします。理想的なADCの誤差は、量子化雑音のみから成ります。ADCのフルスケールレンジに等しい入力範囲で、ENOBを次式から計算します。

$$\text{ENOB} = \frac{(\text{SINAD} - 1.76)}{6.02}$$

全高調波歪み

全高調波歪み(THD)は、入力信号に含まれる最初の5つの高調波のRMS合計と基本波そのものとの比です。これは、次式で表わされます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

チップ情報

TRANSISTOR COUNT: 13,016

PROCESS: BiCMOS

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_5$ は第2から第5までの高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と2番目に大きい歪み成分のRMS値との比です。

フルパワー帯域幅

フルパワー帯域幅は、フルスケール入力で、入力信号振幅が3dBだけ減衰する周波数です。

フルリニア帯域幅

フルリニア帯域幅は、信号対雑音+歪み(SINAD)が68dBに等しい周波数です。

相互変調歪み(IMD)

非直線性を有するデバイスで、2種類の周波数(f_1 と f_2)の2つの正弦波がデバイスに入力されるとき歪み積が発生します。相互変調歪み(IMD)は、2つの入力トーン f_1 と f_2 の全入力パワーを基準としたナイキスト周波数までのIM2~IM5の相互変調積の全パワーです。各入力トーンレベルは、-7dBFSです。

相互変調積は、次の通りです。

- 2次の相互変調積(IM2) : $f_1 + f_2, f_2 - f_1$
- 3次の相互変調積(IM3) : $2f_1 - f_2, 2f_2 - f_1, 2f_1 + f_2, 2f_2 + f_1$
- 4次の相互変調積(IM4) : $3f_1 - f_2, 3f_2 - f_1, 3f_1 + f_2, 3f_2 + f_1$
- 5次の相互変調積(IM5) : $3f_1 - 2f_2, 3f_2 - 2f_1, 3f_1 + 2f_2, 3f_2 + 2f_1$

パッケージ

最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
12 TQFN	T1244+3	21-0139

1.8Msps、単一電源、低電力、 真の差動、12ビットADC

改訂履歴

版数	改訂日	説明	改訂ページ
0	1/04	初版	—
1	4/09	民生用グレード製品をデータシートから削除。	1-8

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**