

1%精度、デジタルトリミング センサ信号コンディショナ

概要

MAX1458は、外部部品なしで圧電抵抗センサのキャリブレーション及び補償用として最適化された高度統合アナログセンサ信号プロセッサです。MAX1458には、センサ励起用プログラマブル電流ソース、3ビットプログラマブル利得アンプ(PGA)、128ビット内部EEPROM及び4つの12ビットDACが含まれています。総合誤差率がセンサの繰返し誤差の1%以内となっているMAX1458は、シリコン圧電抵抗センサのオフセット、オフセット温度係数、フルスパン出力(FSO)、FSO温度係数(FSOTC)及びFSO非線形性を補償します。

MAX1458は、D/Aコンバータ(DAC)を介して入力信号のオフセットとスパンを調整することによって、1次温度誤差をキャリブレーション及び補償し、量子化雑音を除去します。又、内蔵の試験機能によって、従来の3つのセンサ製造過程を1つの自動プロセスに統合します。

- プレテスト：ホストテストコンピュータの制御下でのセンサ性能データ収集。
- キャリブレーション及び補償：テストコンピュータで求め、MAX1458にダウンロードしたキャリブレーション及び補償係数の計算と保存(内部EEPROMに)。
- 最終テスト：プレテストソケットから外さずに、トランスデューサのキャリブレーション及び補償の確認。

MAX1458は圧電抵抗センサ用として最適化されていますが、いくつかの外部部品を追加することにより、他の種類の抵抗センサ用(加速度計やストレインゲージ用など)として利用することもできます。

カスタム化

MAX1458はユニークな仕様に対応できるようにカスタム化することができます。マキシム社では、90以上のセンサ特定機能ブロックから成る専用セルライブラリにより、MAX1458を迅速にカスタム化し提供することができます。詳細についてはマキシム社までお問い合わせ下さい。

アプリケーション

- 圧電抵抗圧力/加速トランスデューサ及びトランスミッタ
- MAP(マニホールド絶対圧力)センサ
- 自動車システム
- ハイドロリックシステム
- 工業圧力センサ

特長

- ◆ 精度($\pm 1\%$)、単一チップセンサ信号コンディショナ
- ◆ 内部EEPROMに保存した補正係数を使用してセンサ誤差をトリミング
レーザートリミング及びポテンショメータは不要
- ◆ オフセット、オフセットTC、FSO、FSO TC、FSOリニアリティを補償
- ◆ センサ励起用のプログラマブル電流ソース(0.1mA ~ 2.0mA)
- ◆ 高速信号経路セトリング時間(1ms以下)
- ◆ 10mV/V ~ 40mV/Vのセンサ出力に対応
- ◆ 完全アナログ信号経路

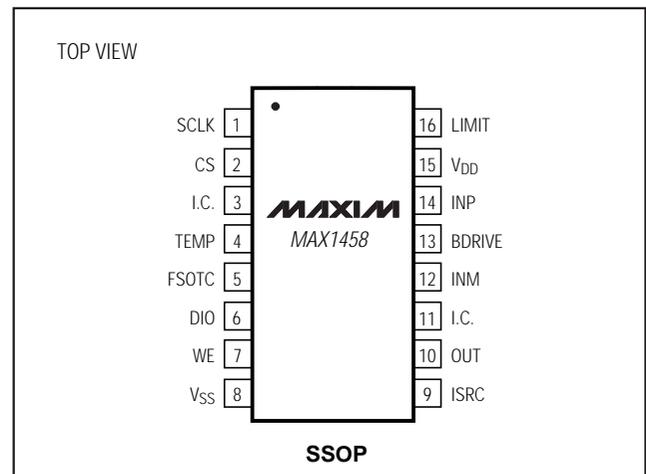
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1458CAE	0°C to +70°C	16 SSOP
MAX1458C/D	0°C to +70°C	Dice*
MAX1458AAE	-40°C to +125°C	16 SSOP

*Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

ファンクションダイアグラムはデータシートの最後に記載されています。

ピン配置



1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{DD} to V_{SS}-0.3V to +6V
 All Other Pins($V_{SS} - 0.3V$) to ($V_{DD} + 0.3V$)
 Short-Circuit Duration, FSOTC, OUT, BDRIVEContinuous
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 SSOP (derate 8.00mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)640mW

Operating Temperature Ranges
 MAX1458CAE 0°C to $+70^\circ\text{C}$
 MAX1458AAE -40°C to $+125^\circ\text{C}$
 Storage Temperature Range -65°C to $+160^\circ\text{C}$
 Lead Temperature (soldering, 10sec) $+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = +5V$, $V_{SS} = 0$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS						
Supply Voltage	V_{DD}		4.5	5.0	5.5	V
Supply Current	I_{DD}	(Note 1)		3	6	mA
ANALOG INPUT (PGA)						
Input Impedance	R_{IN}			1		$M\Omega$
Input-Referred Offset Tempco		(Notes 2, 3)		± 0.5		$\mu\text{V}/^\circ\text{C}$
Amplifier Gain Nonlinearity				0.01		% V_{DD}
Output Step Response		63% of final value		1		ms
Common-Mode Rejection Ratio	CMRR	From V_{SS} to V_{DD}		90		dB
Input-Referred Adjustable Offset Range		At minimum gain (Note 4)		± 150		mV
Input-Referred Adjustable FSO Range		(Note 5)		10 to 40		mV/V
ANALOG OUTPUT (PGA)						
Differential Signal-Gain Range		Selectable in eight steps		41 to 230		V/V
Minimum Differential Signal Gain		$T_A = T_{MIN}$ to T_{MAX}	36	41	45	V/V
Differential Signal-Gain Tempco				± 50		ppm/ $^\circ\text{C}$
Output Voltage Swing		$V_{LIMIT} = 5.0V$, no load	$V_{SS} + 0.15$		$V_{DD} - 0.25$	V
		$V_{LIMIT} = 4.6V$	10k Ω load to V_{SS} or V_{DD}		$V_{LIMIT} \pm 0.3$	
			No load		$V_{LIMIT} \pm 0.2$	
Output Current Range		$V_{LIMIT} = 4.6V$, $V_{OUT} = (V_{SS} + 0.25V)$ to ($V_{LIMIT} - 0.3V$)	-0.45 (sink)		0.45 (source)	mA
Output Noise		DC to 10Hz (gain = 41, source impedance = 5k Ω)		500		μV_{RMS}

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V$, $V_{SS} = 0$, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CURRENT SOURCE						
Bridge Current Range	I_{BDRIVE}		0.1	0.5	2.0	mA
Bridge Voltage Swing	V_{BDRIVE}		$V_{SS} + 1.3$		$V_{DD} - 1.3$	V
Reference Input Voltage Range (ISRC)	V_{ISRC}		$V_{SS} + 1.3$		$V_{DD} - 1.3$	V
DIGITAL-TO-ANALOG CONVERTERS						
DAC Resolution					12	Bits
Differential Nonlinearity	DNL			± 1.5		LSB
Offset DAC Bit Weight	$\frac{\Delta V_{OUT}}{\Delta Code}$	DAC reference = $V_{DD} = 5.0V$		2.8		mV/bit
Offset TC DAC Bit Weight	$\frac{\Delta V_{OUT}}{\Delta Code}$	DAC reference = $V_{BDRIVE} = 2.5V$		1.4		mV/bit
FSO DAC Bit Weight	$\frac{\Delta V_{ISRC}}{\Delta Code}$	DAC reference = $V_{DD} = 5.0V$		1.22		mV/bit
FSO TC DAC Bit Weight	$\frac{\Delta V_{FSOTC}}{\Delta Code}$	DAC reference = $V_{BDRIVE} = 2.5V$		0.6		mV/bit
IRO DAC						
DAC Resolution				3		Bits
DAC Bit Weight		Input referred, $V_{DD} = 5V$ (Note 6)		9		mV/bit
FSOTC BUFFER						
Output Voltage Swing		No load	$V_{SS} + 0.3$		$V_{DD} - 1.3$	V
Current Drive		$V_{FSOTC} = 2.5V$	-20		20	μA
INTERNAL RESISTORS						
Current-Source Reference Resistor	R_{ISRC}			75		$k\Omega$
FSO Trim Resistor	R_{FTC}			75		$k\Omega$
Temperature-Dependent Resistor	R_{TEMP}	Typically 4600ppm/ $^\circ C$ tempco		100		$k\Omega$

Note 1: Excludes the sensor or load current.

Note 2: All electronics temperature errors are compensated together with sensor errors.

Note 3: The sensor and the MAX1458 must always be at the same temperature during calibration and use.

Note 4: This is the maximum allowable sensor offset.

Note 5: This is the sensor's sensitivity normalized to its drive voltage, assuming a desired full-span output of 4V and a bridge voltage of 2.5V.

Note 6: Bit weight is ratiometric to V_{DD} .

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

端子説明

端子	名称	機能
1	SCLK	データクロック入力。プログラミング/試験中にもみ使用。1M (typ)抵抗でV _{SS} に接続されています。データはクロックの立上りエッジでクロックインされます。最大SCLK周波数は10kHzです。
2	CS	チップ選択入力。この端子がハイの時にMAX1458が選択されます。ローの時は、OUTとDIOがハイインピーダンスになります。この端子は1M (typ)抵抗でV _{DD} に内部で接続されています。通常動作時は、未接続のままにしておいて下さい。
3, 11	I.C.	内部接続されています。この端子は未接続のままにしておいて下さい。
4	TEMP	温度センサ出力。温度依存電圧を供給できる内部温度センサ(100k、4600ppm/TC抵抗)。
5	FSOTC	バッファFSOTC DAC出力。FSOTCからISRCには75kの内部抵抗(R _{FTC})が接続されています(「ファンクションダイアグラム」参照)。オプションとして、外部抵抗をR _{FTC} とR _{ISRC} の代わりに、又は並列に接続することができます。
6	DIO	データ入力/出力。プログラミング/試験中にもみ使用。1M (typ)抵抗でV _{SS} に内部で接続されています。CSがローの時、ハイインピーダンスになります。
7	WE	デュアル機能入力端子。EEPROMの消去/書き込み動作をイネーブルするために使用します。又、DACリフレッシュモードを設定するためにも使用します。この端子は1M (typ)抵抗でV _{DD} に内部で接続されています。「チップ選択(CS)及びライトイネーブル(WE)」の項を参照して下さい。
8	V _{SS}	負の電源入力
9	ISRC	電流ソースリファレンス。ISRCからV _{SS} には75kの内部抵抗(R _{ISRC})が接続されています(「ファンクションダイアグラム」参照)。オプションとして、外部抵抗をR _{FTC} とR _{ISRC} の代わりに、又は並列に接続することができます。
10	OUT	PGA出力電圧
12	INM	負のセンサ入力。入力インピーダンス > 1M。レイルトゥレイル入力範囲。
13	BDRIVE	センサ励起電流出力。この電流ソースによってブリッジを起動します。
14	INP	正のセンサ入力。入力インピーダンス > 1M。レイルトゥレイル入力範囲。
15	V _{DD}	正の電源入力。V _{DD} からV _{SS} には0.1μFコンデンサを接続して下さい。
16	LIMIT	電圧制限入力。この端子は、OUTの最大電圧を設定します。未接続の時は、出力電圧が4.6V(V _{DD} = 5V)に制限されます。最大出力スイングを得る場合はV _{DD} に接続して下さい。許容範囲は4.5V < V _{LIMIT} < V _{DD} です。

詳細

MAX1458は、センサ信号用のアナログ増幅パスを提供します。キャリブレーション及び補正は、プログラマブル利得アンプ(PGA)のオフセットと利得、及びセンサブリッジ電流を変化させることによって行います。PGAには、入力換算粗調整オフセットトリミング範囲±63mV(9mV単位)のスイッチトキャパシタCMOS技術を適用しています。出力換算微調整オフセットトリミングは、オフセットDAC(約2.8mV単位)で行います。このPGAは、+41V/V~+230V/Vの範囲で8つの利得値を提供します。ブリッジ電流ソースは、0.1mAから2mAまでプログラム可能です。

MAX1458では、4つの12ビットDACと1つの3ビットDACを使用し、キャリブレーション係数を128ビットの内部EEPROMに保存します。このメモリには、次の

キャリブレーション係数が12ビットワードとして保存されます。

- コンフィギュレーションレジスタ
- オフセットキャリブレーション係数
- オフセット温度誤差補償係数
- FSO(フルスパン出力)キャリブレーション係数
- FSO 温度誤差補償係数
- 製造データ(シリアル番号や日付など)のプログラミングに使用するユーザ定義の24ビット

図1に、標準圧力センサ出力と、電圧の関数としてのオフセット、フルスケール及びフルスパン出力値を示します。

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

FSOTC補償

シリコン圧電抵抗トランスデューサ(PRT)は、大きな正の入力抵抗温度係数(TCR)を示すため、一定の電流励起状態では温度と共にブリッジ電圧(V_{BDRIVE})が増大します。センサ温度に対する V_{BDRIVE} のこの依存性は、センサ温度誤差を補償するために利用できます。PRTは、又、大きな負のフルスパン出力感度温度係数(TCS)を持つため、一定の電圧励起状態では温度と共にフルスパン出力(FSO)が減少し、フルスパン出力温度係数(FSOTC)誤差が発生します。しかし、温度によるTCSの減少と同じ割合でブリッジ電圧を増大することにより、FSOを一定に保つことができます。

FSOTCは、抵抗 R_{FTC} 及びFSOTC DACによって補償します。 R_{FTC} 及びFSOTC DACは、温度の関数として励起リファレンス電流をISRCで変調します(図3)。FS DACは V_{ISRC} を設定し、FSOTCの電圧が温度によって変化しても一定の値を保ちます。FSOTCはFSOTC DACのバッファ出力です。リファレンスDAC電圧は V_{BDRIVE} であり、温度に依存します。電流ソースの温度係数はFSOTC DACによって変化します。ブリッジ電圧の温度係数がTCSと同じ値で、極性が反対であれば、FSOTC誤差が補償されFSOが温度に関係なく一定になります。

OFFSET TC補償

オフセットTC誤差を補償するには、まず補償前のオフセットTC誤差を測定し、次にこの誤差を補正するために出力サミングジャンクションに追加する必要がある温度依存電圧 V_{BDRIVE} の割合を求めます。出力サミングジャンクションに追加するBDRIVE電圧の値は、オフセットTC DACで調整します(図2)。

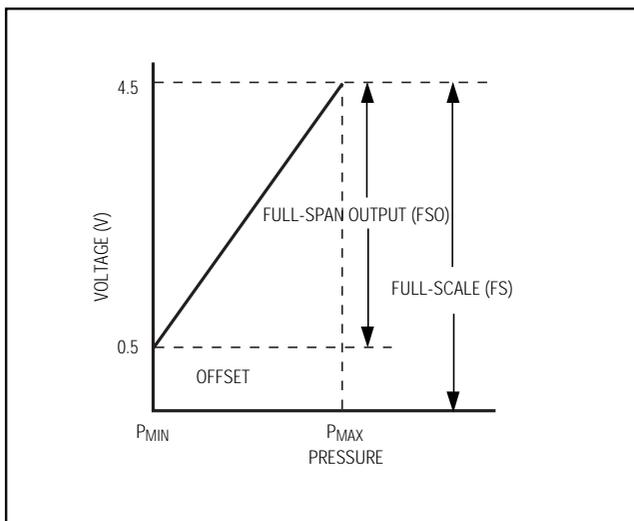


図1. 標準圧力センサ出力

アナログ信号経路

完全差動アナログ信号経路は、次の4段から構成されています。

- 粗オフセット補正用のフロントエンドサミングジャンクション
- 41から230までの利得を8段階で選択可能な3ビットPGA
- 3入力チャンネルサミングジャンクション
- 差動 - シングルエンド出力バッファ(図2)

粗オフセット補正

センサ出力は、まずCMRR > 90dB、入力インピーダンス約1M Ω 、コモンモード入力電圧範囲 $V_{SS} \sim V_{DD}$ の差動サミングジャンクション(INM(マイナス入力)及びINP(プラス入力))に供給されます。このサミングジャンクションでは、粗オフセット補正電圧が加算され、得られた電圧はPGAに供給されます。3ビット(符号に加えて)入力換算オフセットDAC(IRO DAC)は、粗オフセット補正電圧を発生します。DAC電圧リファレンスは V_{DD} の1.25%になっているため、 V_{DD} が5Vの時は、フロントエンドオフセット補正電圧範囲が9mVステップで、-63mV ~ +63mVになります(表1)。入力信号にオフセットを加算するには、IRO符号ビットをハイに設定し、入力信号からオフセットを減算するには、IRO符号ビットをローに設定します。IRO DACビット(C2、C1、C0、及びIRO符号ビット)は、コンフィギュレーションレジスタにプログラムされます(「内部EEPROM」の項参照)。

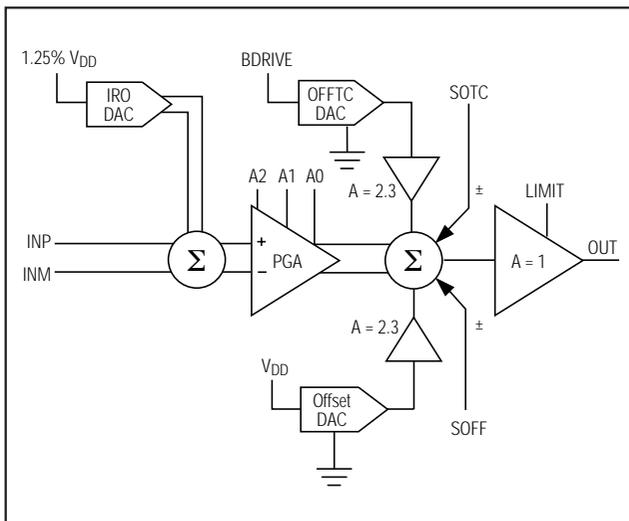


図2. 信号経路のブロック図

1%精度、デジタルトリミング センサ信号コンディショナ

表1. 入力換算オフセットDACの補正值

IRO DAC					OFFSET CORRECTION % of V _{DD} (%)	OFFSET CORRECTION AT V _{DD} = 5V (mV)
VALUE	SIGN	C2	C1	C0		
+7	1	1	1	1	+1.25	+63
+6	1	1	1	0	+1.08	+54
+5	1	1	0	1	+0.90	+45
+4	1	1	0	0	+0.72	+36
+3	1	0	1	1	+0.54	+27
+2	1	0	1	0	+0.36	+18
+1	1	0	0	1	+0.18	+9
+0	1	0	0	0	0	0
-0	0	0	0	0	0	0
-1	0	0	0	1	-0.18	-9
-2	0	0	1	0	-0.36	-18
-3	0	0	1	1	-0.54	-27
-4	0	1	0	0	-0.72	-36
-5	0	1	0	1	-0.90	-45
-6	0	1	1	0	-1.08	-54
-7	0	1	1	1	-1.25	-63

プログラマブル利得アンプ

粗FSO設定に使用するプログラマブル利得アンプ(PGA)は、スイッチトキャパシタCMOS技術を適用し、41~230までの利得を27刻みで選択できるようになっています(表2)。PGAの出力は出力サミングジャンクションに供給されます。3つのPGA利得ビットA2、A1、及びA0は、コンフィギュレーションレジスタに保存されます。

出力サミングジャンクション

アナログ信号経路の3段目は、PGA出力、オフセット補正及びオフセットTC補正用のサミングジャンクションで構成されています。オフセット及びオフセットTC補正電圧は、サミングジャンクションに供給する前に2.3倍に増加し、オフセット及びオフセットTC補正範囲を拡大します。オフセット符号ビット及びオフセットTC符号ビットは、コンフィギュレーションレジスタに保存されます。オフセット補正電圧をPGA出力に加算するのか(符号ビットがハイの場合)、減算するのか(符号ビットがローの場合)は、このオフセット符号ビットで決まります。負のオフセットTC誤差にはオフセットTC符号ビットのロジックハイが必要で、正のオフセットTC誤差にはオフセットTC符号ビットのロジックローが必要です。サミングジャンクションの出力は出力バッファに供給されます。

表2. PGA利得セトリング及びIRO DACのステップサイズ

PGA VALUE	A2	A1	A0	PGA GAIN (V/V)	OUTPUT-REFERRED IRO DAC STEP SIZE (V _{DD} = 5V) (V)
0	0	0	0	41	0.369
1	0	0	1	68	0.612
2	0	1	0	95	0.855
3	0	1	1	122	1.098
4	1	0	0	149	1.341
5	1	0	1	176	1.584
6	1	1	0	203	1.827
7	1	1	1	230	2.070

出力バッファ

OUTは0.1µFの容量を駆動できます。CSをローにすると、OUTがハイインピーダンスになります(この時の標準出力インピーダンスは1MΩです)。この出力は電流制限されており、V_{DD}又はV_{SS}に無制限に短絡されても構いません。

最大出力電圧は、LIMIT端子を使用することにより制限できます。出力制限はセンサを診断するために行います。電圧制限機能をディセーブルするには、LIMITをV_{DD}に接続します。

ブリッジ駆動

FSOの微補正は、12ビットFSO DACでセンサ励起電流を変化させることによって行います(図3)。センサブリッジ励起には、2mAまでを供給できるプログラマブル電流ソースを使用します。ISRCのリファレンス電流は、抵抗R_{ISRC}とノードISRCの電圧(FSO DACによって制御)で設定されます。このピンに流れるリファレンス電流は、電流ミラー(AA ≒ 14)で乗算してから、センサ励起用としてBDRIVEに供給されます。温度に対するこの電流の変化は、FSOTC誤差を補正するために利用でき、出力電圧(V_{OUT})に対する変化は、FSOリニアリティ誤差を補正するために利用できます。

D/Aコンバータ

4つの12ビットシグマ-デルタDACは、通常100ms以内でセトリングします。4つのDACは、対応する補正係数を保存するためのメモリレジスタをEEPROMに持っています。

FSO DACは、FSOを調整するために使用して下さい。FSO DACはV_{DD}からのリファレンスを基にVISRCを制御し、R_{ISRC}と共にセンサ励起の基本電流を設定します。又、オフセットDACもV_{DD}からのリファレンスを基に、

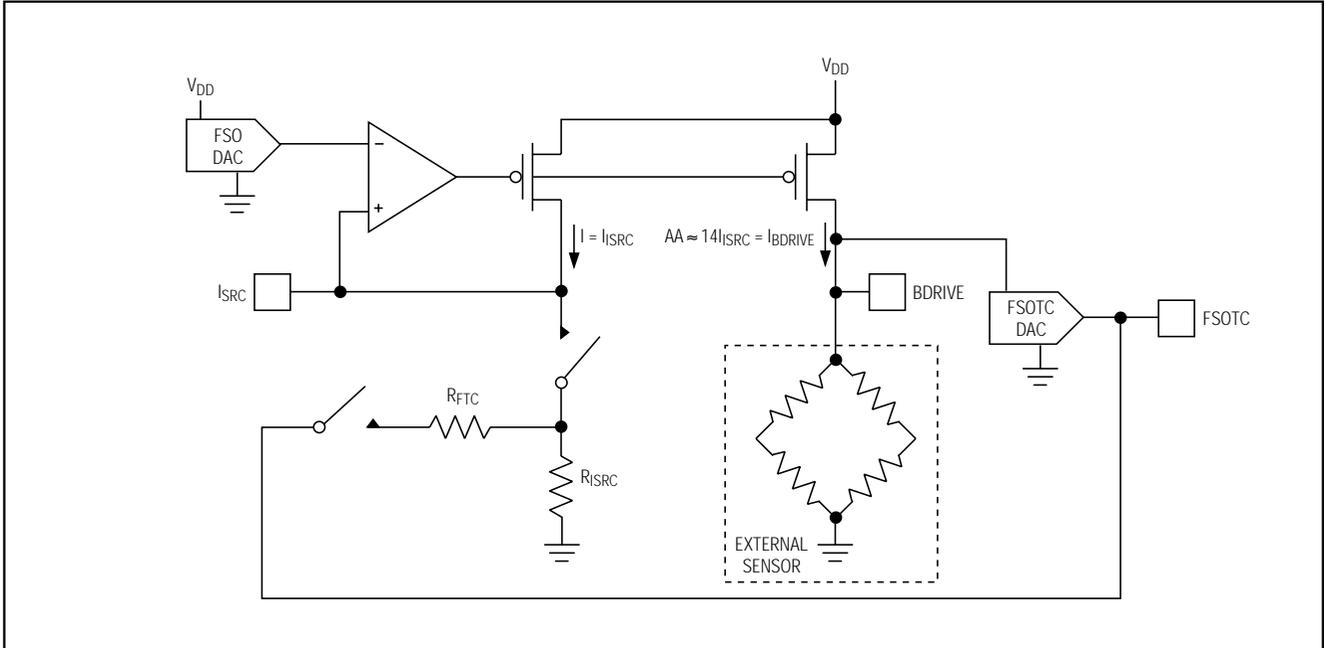


図3. ブリッジ励起回路

5Vの V_{DD} で1.22mV分解能を提供します。オフセットDACの出力は、出力サミングジャンクションに供給され、ここで約2.3倍されるため、出力換算オフセット補正分解能は2.8mVに増えています。

オフセットTC及びFSOTC DACは、温度依存電圧であるBDRIVEからリファレンスを取ります。 V_{BDRIVE} 2.5V(公称)当たりのステップサイズは0.6mVです。オフセットTC DACの出力は、出力サミングジャンクションに供給され、ここで約2.3倍されるため、オフセットTC補正範囲が増大します。バッファされたFSOTC DACの出力はFSOTCで得られ、FSOTC誤差を補正するために R_{FTC} を通じてISRCに接続されています。

内部抵抗

MAX1458には、一般のシリコンPRT用として最適化された3つの内部抵抗(R_{ISRC} 、 R_{FTC} 、 R_{TEMP})があります。 R_{ISRC} は(FSO DACと共に)標準のセンサ励起電流をプログラムします。 R_{FTC} は(FSOTC DACと共に)FSOTC誤差を補償します。 R_{ISRC} 及び R_{FTC} の値は、共に75k (公称値)です。外部抵抗を使用する場合は、コンフィギュレーションレジスタの該当するビットをリセット(アドレス07hのゼロリセット)することによって、 R_{ISRC} と R_{FTC} をディセーブルできます(表3)。

R_{TEMP} は、TCが+4600ppm/、+25における公称値が100kの高温度係数抵抗です。この抵抗は外部温度センサを必要とするセンサで使用できます。

表3. コンフィギュレーションレジスタ

EEPROM ADDRESS (hex)	DESCRIPTION
00h	Offset TC Sign Bit, SOTC
01h	Offset Sign Bit, SOFF
02h	PGA Gain (MSB), A2
03h	PGA Gain, A1
04h	PGA Gain (LSB), A0
05h	Reserved "0"
06h	Reserved "0"
07h	Internal Resistor (R_{FTC} and R_{ISRC}) Selection
08h	Input-Referred Offset (IRO) Sign Bit
09h	Input-Referred Offset (MSB)
0Ah	Input-Referred Offset
0Bh	Input-Referred Offset (LSB)

内部EEPROM

MAX1458は、8つの16ビットワードとして構成した128ビット内部EEPROMを備えています。各レジスタの上位4ビットは予約ビットです。この内部EEPROMには、(表4のメモリマップで示す)次の情報が保存されます。

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

表4. EEPROMのメモリマップ

EE Address	0F	0E	0D	0C	0B	0A	09	08	07	06	05	04	03	02	01	00
Contents	1	0	0	0	Configuration											
EE Address	1F	1E	1D	1C	1B	1A	19	18	17	16	15	14	13	12	11	10
Contents	1	0	0	1	MSB	Offset										LSB
EE Address	2F	2E	2D	2C	2B	2A	29	28	27	26	25	24	23	22	21	20
Contents	1	0	1	0	MSB	Offset TC										LSB
EE Address	3F	3E	3D	3C	3B	3A	39	38	37	36	35	34	33	32	31	30
Contents	1	0	1	1	MSB	FSO										LSB
EE Address	4F	4E	4D	4C	4B	4A	49	48	47	46	45	44	43	42	41	40
Contents	1	1	0	0	MSB	FSOTC										LSB
Reserved*	5F	5E	5D	5C	5B	5A	59	58	57	56	55	54	53	52	51	50
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
EE Address	6F	6E	6D	6C	6B	6A	69	68	67	66	65	64	63	62	61	60
Contents	0	0	0	0	User defined bits											
EE Address	7F	7E	7D	7C	7B	7A	79	78	77	76	75	74	73	72	71	70
Contents	0	0	0	0	User defined bits											

= Reserved Bits

Note: The MAX1458 processes the Reserved Bits in the EEPROM. If these bits are not properly programmed, the configuration and DAC registers will not be updated correctly.

* The contents of the Reserved EE Address 50–5F must all be reset to zero.

- コンフィギュレーションレジスタ(表3)
- オフセット及びFSO DAC用の12ビットキャリブレーション係数
- オフセットTC及びFSOTC DAC用の12ビット補償係数
- シリアル番号、ロットデータ、チェックサムなどのユーザ情報を保存するための2つの汎用レジスタ

EEPROMは1ビットずつプログラムして下さい。これらのビットのアドレスは、0~127(16進で7F)です。

コンフィギュレーションレジスタ

コンフィギュレーションレジスタ(表3)は、PGA利得、オフセット及びオフセットTC係数の極性、及び粗オフセット補正(IRO DAC)を決定するために使用します。又、内部抵抗(R_{FTC} 及び R_{ISRC})をイネーブル/ディセーブルするためにも使用します。

DACレジスタ

オフセット、オフセットTC、FSO及びFSOTCレジスタには、それぞれのキャリブレーション/補償DACで使用する係数を保存します。

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

デジタルラインの詳細

チップ選択(CS)及びライトイネーブル(WE)

CSは、OUTのイネーブル、シリアル通信の制御及びコンフィギュレーションとDACレジスタの更新に使用します。

- CSがローになると、シリアル通信がディセーブルされ、OUTがハイインピーダンスになります。
- CSがローからハイに遷移すると、ビットUがゼロの時は、コンフィギュレーション及びDACレジスタがEEPROMより更新されます。
- CSがハイからローに遷移すると、プログラミングモードが終了します。
- CSがロジックハイになると、OUT及びシリアル通信がイネーブルされます(「通信プロトコル」の項参照)。

WEは、EEPROMの内部コンフィギュレーション及びDACレジスタのリフレッシュレートを制御し、消去/書込み動作をイネーブルします。通信が開始されている場合は(「通信プロトコル」の項参照)、内部レジスタのリフレッシュがディセーブルされます。

- WEがローになると、消去/書込み動作がディセーブルされ、レジスタのEEPROMからのリフレッシュがディセーブルされます。
- WEがハイになると、1秒当たり約400回のリフレッシュレートが選択され、EEPROMの消去/書込み動作がイネーブルされます。
- WEは、MAX1458 EEPROMのプログラム後は V_{SS} に接続するようお勧めします。

SCLK(シリアルクロック)

SCLKは、外部で駆動することが必要で、MAX1458にコマンドを入力し、EEPROMの内容を読み取るために使用します。DIOの入力データは、SCLKの立上りエッジでラッチされます。尚、SCLKのノイズは通信に影響する可能性があります。ノイズの多い環境では、SCLKと V_{SS} の間にコンデンサ(0.01 μ F)を接続して下さい。

データ入力/出力(DIO)

DIOラインは、MAX1458にコマンドを発行するため(入力モード)、又はEEPROMの内容を読み取るための(出力モード)入力/出力端子です。

入力モード(デフォルトモード)では、DIOのデータはSCLKの各立上りエッジでラッチされます。従って、DIOのデータはSCLKの各立上りエッジで安定していなければならない、SCLKの立下りエッジで遷移させることが必要です。

DIOは、'READ EEPROM'コマンドの受取り後出力モードに切り換わり、'READ EEPROM'コマンドのデジタル値で指定されたデータビットを返します。CSがローからハイに遷移した後、DIOは入力モードに戻り、コマンドの受け付けを開始します。

通信プロトコル

通信を開始するには、CSがローからハイに遷移した後DIOの始めの6ビットが1010U0(INIT SEQUENCEとして定義)であることが必要です。この後、MAX1458は16ビット制御ワードの受け付けを開始します(図4)。

INIT SEQUENCEが検出されない場合は、CSが再びローからハイに遷移し、正しいINIT SEQUENCEを受け取るまで、DIOの以降のデータは全て無視されます。

INIT SEQUENCEのビットUは、DACとコンフィギュレーションレジスタを内部EEPROMで更新する制御を行います。このビットがロー(U=0)の時は、CSの次の立上りエッジで4個の全ての内部DAC及びコンフィギュレーションレジスタがEEPROMから更新されます(これはパワーアップ時のデフォルト動作です)。ビットUがハイの時は、内部EEPROMのDAC及びコンフィギュレーションレジスタは更新されず、CSの以降の立上りエッジでは現在の値を維持します。MAX1458はCSがローになるまで制御ワードを受け付け続けます。

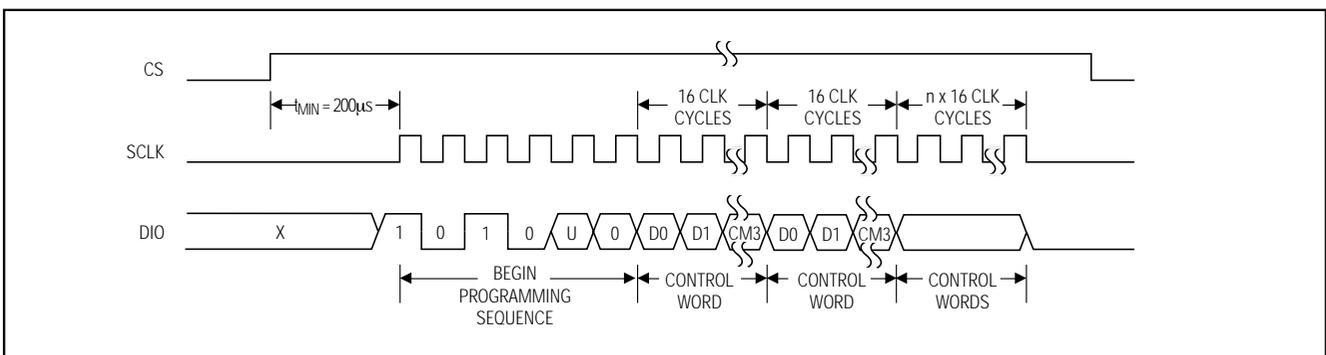


図4. 通信シーケンス

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

制御ワード

DIOのINIT SEQUENCEを受け取ると、MAX1458は、LSBから順に16ビット制御ワードのラッチを開始します(図5)。

最初の12ビット(D0~D11)はデータフィールドです。制御ワードの終わりの4ビット(MSB: CM0~CM3)は、コマンドフィールドです。MAX1458は、表5に示すコマンドをサポートします。

ERASE EEPROMコマンド

ERASE EEPROMコマンドが発行されると、EEPROMの全てのメモリ領域がロジック0にリセットされます。この時、16ビットワードのデータフィールドは無視されます。

重要: 内部チャージポンプには、EEPROMプログラミング動作として20V以上を発生します。EEPROM制御ロジックでは、EEPROMの消去に50msを要します。WRITE又はERASEコマンドの送信後50ms以内に別のコマンドを発行すると、間違っデータがEEPROMに書き込まれる恐れがあります。ERASE EEPROMサイクルは、最大100回を越えないようにして下さい。

BEGIN EEPROM WRITEコマンド

BEGIN EEPROM WRITEコマンドは、データフィールドの下位7ビット(A0~A6)で指定されたアドレスにロジックハイを保存します。このデータフィールドの高位ビット

表5. MAX1458コマンド

FUNCTION	HEX CODE	CM3	CM2	CM1	CM0
ERASE EEPROM	1h	0	0	0	1
BEGIN EEPROM WRITE at Address	2h	0	0	1	0
READ EEPROM at Address	3h	0	0	1	1
Maxim Reserved	4h	0	1	0	0
END EEPROM WRITE at Address	5h	0	1	0	1
WRITE Data to Configuration Register	8h	1	0	0	0
WRITE Offset DAC	9h	1	0	0	1
WRITE Offset TC DAC	Ah	1	0	1	0
WRITE FSO DAC	Bh	1	0	1	1
WRITE FSOTC DAC	Ch	1	1	0	0
No Operation	0h	0	0	0	0
Load Register	6h,	0	1	1	0
	7h,	0	1	1	1
	Dh,	1	1	0	1
	Eh,	1	1	1	0
	Fh	1	1	1	1

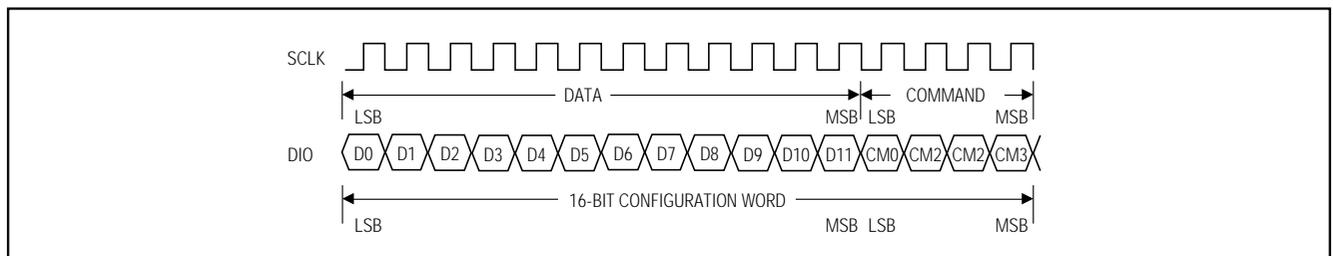


図5. 制御ワードのタイミング図

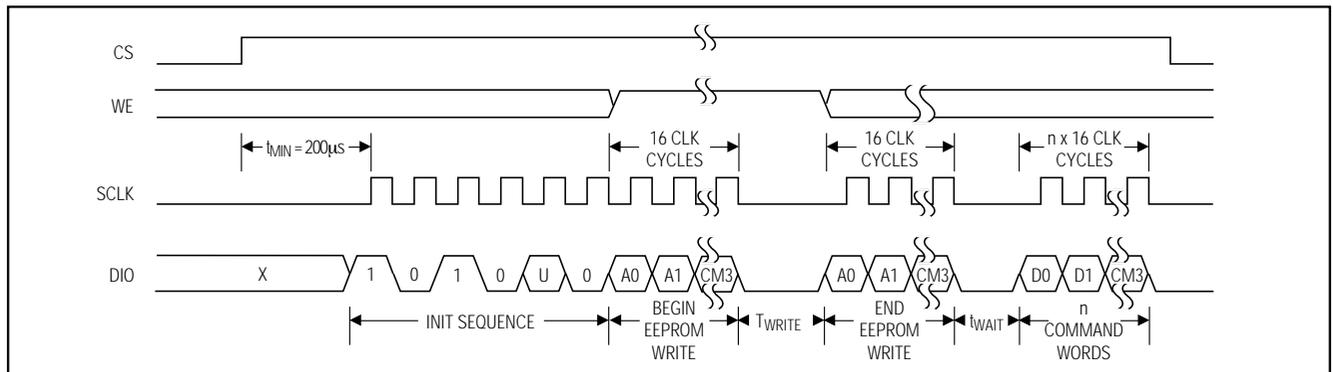


図6. WRITE EEPROM動作のタイミング図

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

(A7 ~ A11)は無視されます(図6)。内部EEPROMにデータを書き込むには、WE及びCSがハイであることが必要です。又、EEPROMへの書き込みは、 $T_A = +25$ 及び $V_{DD} = 5V$ で行うようにして下さい。

書き込み処理には時間がかかるため、1回だけ行うようにするのが適切です。全てのキャリブレーション/補償係数は、DAC及びコンフィギュレーションレジスタに直接書き込むことによって得られます。キャリブレーション/補償係数をEEPROMに書き込む時は、次の手順に従って下さい。

- 1) ERASE EEPROMコマンドを発行します。
- 2) 50ms間(t_{WRITE})待ちます。
- 3) アドレス00hにEND EEPROM WRITEコマンドを発行します。
- 4) 1ms間(t_{WAIT})待ちます。
- 5) 設定すべきアドレスにBEGIN EEPROM WRITEコマンドを発行します(図7)。
- 6) 50ms間待ちます。
- 7) ステップ5と同じアドレスにEND EEPROM WRITEコマンドを発行します。

- 8) 1ms間待ちます。
- 9) ステップ5以降を繰り返し、必要なビット全部を設定します。
- 10) 正しいキャリブレーション/補償係数が保存されたことを確認するために、EEPROMを読み取ります。

内部EEPROMへのREAD EEPROMコマンド

READ EEPROMコマンドは、データフィールドの下位7ビット(A0 ~ A6)で指定されたアドレスに保存されているビットを返します。この時、データフィールドの上位ビット(A7 ~ A11)は無視されます。読取りコマンドを発行すると、DIOラインが出力になり、16番目のSCLKサイクルの立下りエッジ後 $200\mu s$ (t_{READ} 後)に、指定されたEEPROM内のアドレスの状態がDIOに出力されます(図8)。READ EEPROMコマンドの発行後は、CSの立下りエッジでDIOが入力モードに戻ります。EEPROMの内容全てを読み取るには、READ EEPROMコマンドを128回発行する必要があります。

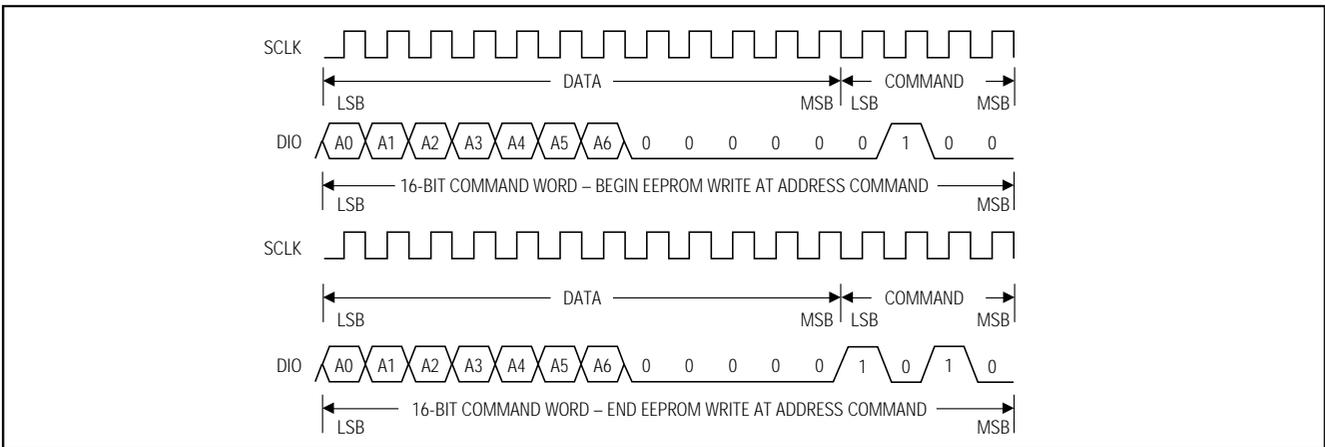


図7. BEGIN WRITE EEPROM及びEND WRITE EEPROMのタイミング図

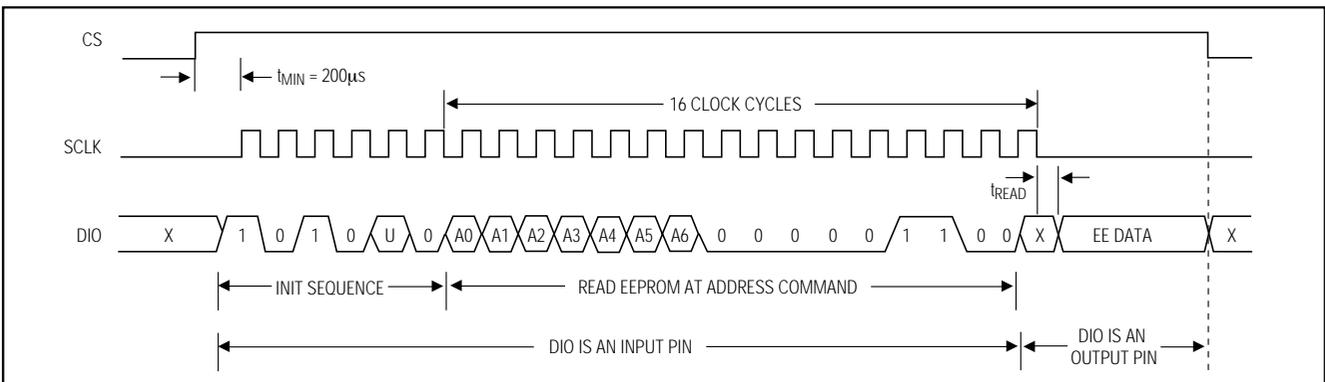


図8. READ EEPROMのタイミング図

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

コンフィギュレーションレジスタ及び
DACレジスタへの書込み

コンフィギュレーションレジスタへの書込み時、又は内部12ビットDACに直接書き込む時は、該当するレジスタに書き込むべきデータがデータフィールド(D0~D11)に存在します。4つ全てのDAC及びコンフィギュレーションレジスタは、CSラインを切り替えなくても更新できます。尚、各レジスタ書込みコマンドの後には、LOAD REGISTERコマンドが必要です。

アプリケーション情報 _____

パワーアップ

パワーアップ時は次の処理が行われます。

- 1) DAC及びコンフィギュレーションレジスタがゼロにリセットされます。
- 2) パワーアップ後、CSがローからハイに遷移し(CSが未接続になっている場合は、内部プルアップ抵抗によってこの動作が確実に行われます)、EEPROMの内容が読み込まれ、処理されます。
- 3) DAC及びコンフィギュレーションレジスタが、一度又は1秒当たり約400回(WEの状態に依存)更新されます。
- 4) INIT SEQUENCEを受け取ると、MAX1458はDIOのシリアルフォーマットのコマンドを受付けを開始します。

MAX1458の出荷時、内部EEPROMのメモリ領域は初期設定されていません。従って、MAX1458は正しく動作するようにプログラムすることが必要です。

補償手順

図9及び表8の結果は、次に示す補償手順で得られたものです。この手順は、圧力トランスデューサの電源が+5Vで、出力電圧が電源電圧に対してレシオメトリックであることが前提となっています。要求するオフセット電圧(P_{MIN} での V_{OUT})は0.5V、FSO電圧($V_{OUT(PMAX)} - V_{OUT(PMIN)}$)は4Vであるため、フルスケール出力電圧(P_{MAX} における V_{OUT})は、4.5Vになります(図1参照)。この手順では、少なくとも2つのテスト圧力(例えばゼロとフルスケール)及び2つの任意の温度(T_1 及び T_2)が必要です。この場合、最適な線形近似補償を行う2点を、 T_1 及び T_2 に設定することが理想的です。次に、標準の補償手順の概要を示します。

- 1) 係数初期設定の実行
- 2) FSOキャリブレーションの実行
- 3) FSOTC補償の実行
- 4) オフセットTC補償の実行
- 5) オフセットキャリブレーションの実行

係数の初期設定

PGA及びブリッジ電流ソースの過負荷状態を避けるために、適切な抵抗値及びPGA利得を選択します。これらの値はセンサの動作に依存するため、センサの特性データを入手することが必要です。センサの特性データは、センサメーカーから入手して下さい。入手できない場合は、2温度、2圧力センサ評価を行うと得られます。表6に必要なセンサ情報を示します。表7に示すパラメータ値は、この情報から求めることができます。

表6. 標準PRTのセンサ情報

PARAMETER	SENSOR DESCRIPTION	TYPICAL VALUES
Rb(T)	Bridge Impedance	5kΩ at +25°C
TCR	Bridge Impedance Tempco	2600ppm/°C
S(T)	Sensitivity	1.5mV/V per PSI at +25°C
TCS	Sensitivity Tempco	-2100ppm/°C
O(T)	Offset	12mV/V at +25°C
OTC	Offset Tempco	-1000ppm/°C of FSO
S(p)	Sensitivity Linearity Error as % FSO, BSLF (Best Straight-Line Fit)	0.1% FSO, BSLF
PMIN	Minimum Input Pressure	0 PSI
PMAX	Maximum Input Pressure	10 PSI

R_{ISRC}の選択

外部抵抗を使用する場合は、下に示す式から R_{ISRC} の値を求め、この抵抗をISRCと V_{SS} の間に接続して下さい。12ビットFSO DACのダイナミックレンジは大きいいため、 R_{ISRC} には正確な値を使用する必要はありません。一般に、計算値の±50%の抵抗値で問題ありません。内部抵抗に R_{ISRC} と R_{FTC} の両方を使用する場合は、EEPROMのアドレスビット7のIRSビットをハイに設定して下さい。それ以外はIRSをローに設定し、図10に示すように外部抵抗を接続します。

$$R_{ISRC} \approx 14 \times R_b(T1) \\ \approx 14 \times 5k\Omega = 70k\Omega$$

ここで、 $R_b(T)$ は温度 T_1 (この例では+25)におけるセンサ入力インピーダンスを示します。

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

表7. 補償部品とその値

PARAMETER	DESCRIPTION
RISRC	Internal (approximately 75kΩ) or user-supplied resistor that programs the nominal sensor excitation current.
RFTC	Internal (approximately 75kΩ) or user-supplied resistor that compensates FSO TC errors.
APGA	Programmable-gain amplifier gain
IRO	Input-referred offset correction DAC value
IRO Sign	Input-referred offset sign bit
IRS	Internal resistor selection bit
OFF COEF	Offset correction DAC coefficient
OFF Sign	Offset sign bit
OFFTC COEF	Offset TC compensation DAC coefficient
OFFTC Sign	Offset TC sign bit
FSO COEF	FSO trim DAC coefficient
FSOTC COEF	FSO TC compensation DAC coefficient

R_{FTC}の選択

外部抵抗を使用する場合は、次に示す式からR_{FTC}の値を求め、この抵抗をISRCとFSOTC間に接続して下さい。12ビットFSOTC DACのダイナミックレンジは大きいので、R_{FTC}には正確な値を使用する必要はありません。一般に、計算値の±50%の抵抗値で問題ありません。

$$R_{FTC} \approx \frac{R_{ISRC} \times 500\text{ppm}/^{\circ}\text{C}}{\text{TCR} - |\text{TCS}|}$$

$$\approx \frac{70\text{k}\Omega \times 500\text{ppm}/^{\circ}\text{C}}{2600\text{ppm}/^{\circ}\text{C} - |-2100\text{ppm}/^{\circ}\text{C}|} = 70\text{k}\Omega$$

この概算は、大量のマイクロ加工のシリコンPRTに最も適しています。R_{FTC}が負の値の時は、予期しないセンサ動作が発生することを示し、これを補償するために、MAX1458に外部回路を付加することが必要です。

PGA利得設定の選択

PGA利得設定を選択するには、まずT1におけるセンサフルスパン出力電圧SensorFSOを次式で求めます。

$$\text{SensorFSO} = S \times V_{\text{BDRIVE}} \times \Delta P$$

$$= 1.5\text{mV/V per PSI} \times 2.5\text{V} \times 10\text{ PSI}$$

$$= 0.0375\text{V}$$

ここで、SはT1でのセンサ感度、V_{BDRIVE}はセンサの励起電圧(初期値2.5V)、Pは最大圧力差を示します。

次に、次式から理想的な利得を求め、それに最も近い利得設定を表2から選択します。

$$A_{\text{PGA}} = \frac{\text{OUTFSO}}{\text{SensorFSO}}$$

$$= \frac{4\text{V}}{0.0375\text{V}} = 106\text{V/V}$$

ここで、OUTFSOはキャリブレーション後の希望するトランスデューサフルスパン出力電圧、SensorFSOはT1でのセンサフルスパン出力電圧を示します。

この例では、2(利得+95V/V)がPGAの値として最も適しています。

入力換算OFFSETの決定(IRO)

入力換算オフセットレジスタは、PGAで増幅する前にフロントエンドセンサオフセット誤差をゼロにするために使用します。これによってPGAが飽和するのを防ぎ、(特により高い利得値で)PGAのダイナミックレンジを最大にします。

まず、次式で理想的なIRO補正電圧を求め、それに最も近い設定を表1から選択します。

$$I\text{RO}_{\text{Ideal}} = -[O(T1) \times V_{\text{BDRIVE}}(T1)]$$

$$= -(0.012\text{V/V}) \times 2.5\text{V}$$

$$= -30\text{mV}$$

ここで、IRO_{Ideal}はセンサを完全にゼロにするために必要な電圧、O(T1)は+25 V/Vで表わしたセンサオフセット電圧、V_{BDRIVE}(T1)は+25 Vでの標準センサ励起電圧を示します。この例では、センサを完全にゼロにするためにアンプのフロントエンドから30mVを減算することが必要です。IRO DACを27mVに設定するには、表1から、理想値に最も近い3をIROの値として選択します。この値を減算するには、IRO符号ビットを0に設定します。残りの出力換算オフセット誤差は、以降オフセットDACで補正します。

OFFTC COEF初期値の決定

一般に、オフセットTC誤差は以降のステップで補償するため、最初はOFFTC COEFを0に設定しておいて構いません。但し、センサのオフセットTC誤差が大きい場合は、補償処理中、温度の上昇に従ってPGAが飽和するのを防ぐために、オフセットTCの初期粗調整を行うことが必要です。オフセットTCの初期粗調整が必要になるのは、オフセットTC誤差がFSOの約10%以上大きい場合です。オフセットTCの粗調整を行う場合は、次式を使用して下さい。

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

$$\begin{aligned} \text{OFFTC COEF} &= \frac{4096 \times \Delta V_{\text{OUT}}(T)}{\Delta V_{\text{BDRIVE}}(T) \times 2.3} \\ &= \frac{4096 \times (\text{OTC} \times \text{FSO}) \times \Delta T}{\text{TCS} \times V_{\text{BDRIVE}} \times 2.3 \times \Delta T} \\ &= \frac{4096 \times (-1000 \text{ppm}/^\circ\text{C} \times 4\text{V})}{-2100 \text{ppm}/^\circ\text{C} \times 2.5\text{V} \times 2.3} = 1357 \end{aligned}$$

ここで、OTCはOUTFSOのppm/°CにおけるセンサオフセットTC誤差(表6)、Tは摂氏で表した動作温度範囲、OFFTC COEFはDACにロードすべき10進値を示します。OFFTC COEFの値が正の場合はOFFTC符号ビットをハイに設定し、負の場合はOFFTC符号ビットをローに設定します。OFFTC COEFの絶対値が4096以上の場合は、センサのオフセットTC誤差が非常に大きいことを意味し、この場合MAX1458で完全に補正することはできません。

FSOキャリブレーション

FSOキャリブレーションは、室温、フルスケールセンサを励起で実行して下さい。

- 1) FSOTC COEFを1000に設定します。
- 2) T1で、V_{BDRIVE}が約2.5VになるまでFSO DACを調整します。
- 3) T1オフセット電圧が0.5VになるまでオフセットDAC(必要な場合はOFFSETビット符号も)調整します(「OFFSETキャリブレーション」の項参照)。
- 4) フルスパン出力を測定します(measuredV_{FSO})。
- 5) 次式で理想的なブリッジ電圧V_{BIDEAL}(T1)を求めます。

$$V_{\text{BIDEAL}}(T1) = V_{\text{BDRIVE}} \times \left(1 + \frac{\text{desired}V_{\text{FSO}} - \text{measured}V_{\text{FSO}}(T1)}{\text{measured}V_{\text{FSO}}(T1)} \right)$$

注：V_{BIDEAL}(T1)が、許容ブリッジ電圧スイング範囲(V_{SS} + 1.3V) ~ (V_{DD} - 1.3V)を超える場合は、PGA利得設定を再調整して下さい。V_{BIDEAL}(T1)が低すぎる場合は、PGA利得設定を1段階下げ、ステップ2に戻ります。V_{BIDEAL}(T1)が高すぎる場合は、PGA利得設定を1段階上げ、ステップ2に戻ります。

- 6) FSO DACを調整してV_{BIDEAL}(T1)を設定します。
- 7) オフセット電圧が0.5VになるまでオフセットDACを再調整します(「OFFSETキャリブレーション」の項参照)。

3ステップFSOTC補償

ステップ1

FSOTC COEFは次の手順で決定します。尚、この手順では4つの変数A ~ Dを使用します。

- 1) 現在のFSO DAC係数の名前をAにします。
- 2) FSOTC DACを3000に変更します。
- 3) V_{BDRIVE}(T1)がV_{BIDEAL}(T1)と等しくなるまでFSO DACを調整します。
- 4) 現在のFSO DAC係数の名前をBにします。
- 5) 必要な場合は、(オフセットDACを調整することによって)オフセット電圧を0.5Vに再調整します。

上の手順の実行後オフセットTC補償ステップが完了するまでは、オフセット及びオフセットTC DACを変更しないで下さい。

ステップ2

リニアFSOTC補償を完了するために、第2の温度T2(T2 > T1)で測定データを取得します。このステップは、次の手順で行って下さい。

- 1) フルスパン出力(measuredV_{FSO}(T2))を測定します。
- 2) 次式からV_{BIDEAL}(T2)を求めます。

$$V_{\text{BIDEAL}}(T2) = V_{\text{BDRIVE}} \times \left(1 + \frac{\text{desired}V_{\text{FSO}} - \text{measured}V_{\text{FSO}}(T2)}{\text{measured}V_{\text{FSO}}(T2)} \right)$$

- 3) FSO DACを調整し、V_{BIDEAL}(T2)を設定します。
- 4) 現在のFSO DAC係数の名前をDにします。
- 5) FSOTC DACを1000に変更します。
- 6) V_{BDRIVE}がV_{BIDEAL}(T2)と等しくなるまでFSO DACを調整します。
- 7) FSO DAC係数の名前をCにします。

ステップ3

ステップ1と2から得られた値を次式に代入し、FSOTC COEFを求めます。

$$\text{FSOTC COEF} = \frac{1000(B - D) + 3000(C - A)}{(B - D) + (C - A)}$$

- 1) このFSOTC COEF値をFSOTC DACにロードします。
- 2) V_{BDRIVE}(T2)がV_{BIDEAL}(T2)と等しくなるまでFSO DACを調整します。

これで、FSOキャリブレーション及びFSOTC補償が完了したことになります。

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

オフセットTC補償

T1におけるオフセット電圧は0.5Vに設定したため、T2での電圧の変化はオフセットTC誤差になります。オフセットTCの補償は、次の手順で行ってください。

- 1) T2におけるオフセット電圧を測定します。
- 2) 次式から必要な補正を求めます。

$$\text{NewOFFTC COEF} = \text{CurrentOFFTC COEF} + \left(\frac{4096 [V_{\text{OFFSET}}(T1) - V_{\text{OFFSET}}(T2)]}{2.3 [V_{\text{BDRIVE}}(T1) - V_{\text{BDRIVE}}(T2)]} \right)$$

注：CurrentOFFTC COEFは、OFFSET TC DACに保存されている現在の値を示します。OFFSET TC符号ビット(SOTC)がローの時は、値は負になります。

- 3) この値をOFFSET TC DACにロードします。
 - 4) NewOFFTC COEFの値が負の場合は、SOTCビットをローに設定し、それ以外の場合はハイに設定します。
- これで、オフセットTC補償が完了したことになります。

OFFSETキャリブレーション

この時点では、センサの温度がT2のままになっているはずですが、最終的なオフセット調整は、出力($V_{\text{OUT}}(\text{PMIN})$)がゼロ入力圧で0.5Vになるまで、OFFSET DAC(及びオフセット符号ビットSOFF(オプション))をT2又はT1で調整することによって行います。この場合、次の手順に従ってください。

- 1) OFFSET DACをゼロに設定します。(OFFSET COEF = 0)
- 2) OUTの電圧を測定します。
- 3) V_{OUT} が望みのオフセット電圧(この例では0.5V)より大きい場合は、SOFFをローに設定し、それ以外の場合はハイに設定します。
- 4) V_{OUT} が望みのオフセット電圧と等しくなるまでOFFSET COEFを大きくします。

これで、オフセットキャリブレーションが完了しました。表8及び図9に、補償していない入力と補償した標準トランスデューサ出力の比較を示します。

表8. MAX1458のキャリブレーション及び補償

Typical Uncompensated Input (Sensor)	Typical Compensated Transducer Output
Offset ±80% FSO	V_{OUT} Ratiometric to V_{DD} at 5.0V
FSO 15mV/V	Offset at +25°C 0.500V ±5mV
Offset TC -17% FSO	FSO at +25°C 4.000V ±5mV
Offset TC Nonlinearity 0.7% FSO	Offset Accuracy Over Temp. Range ±28mV (±0.7% FSO)
FSO TC -35% FSO	FSO Accuracy Over Temp. Range ±20mV (±0.5% FSO)
FSO TC Nonlinearity 0.5% FSO	
Temperature Range -40°C to +125°C	

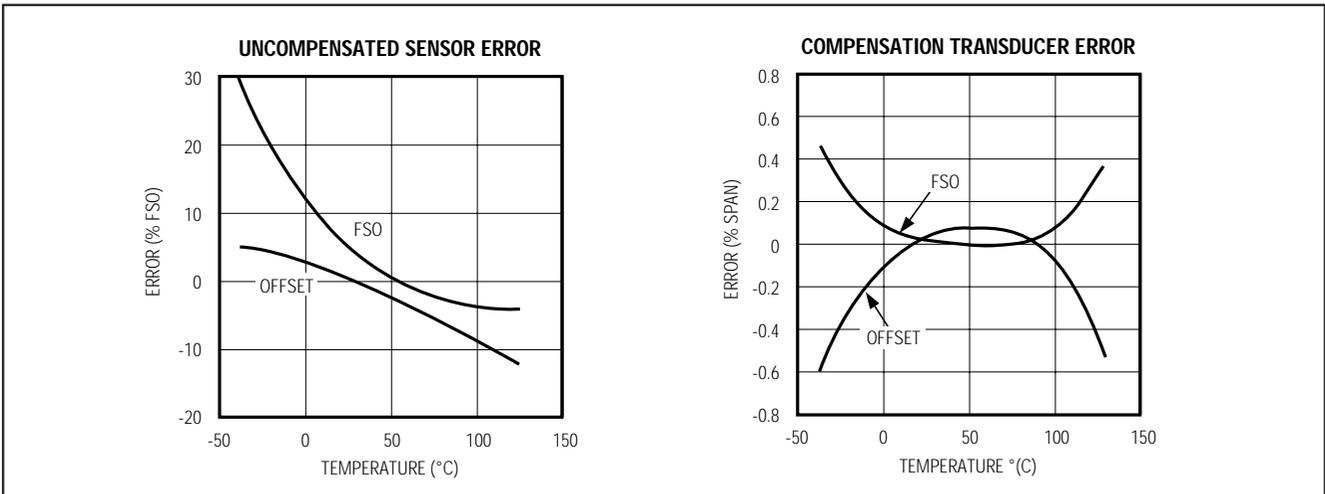


図9. キャリブレーションしていないセンサと温度補償したトランスデューサの比較

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

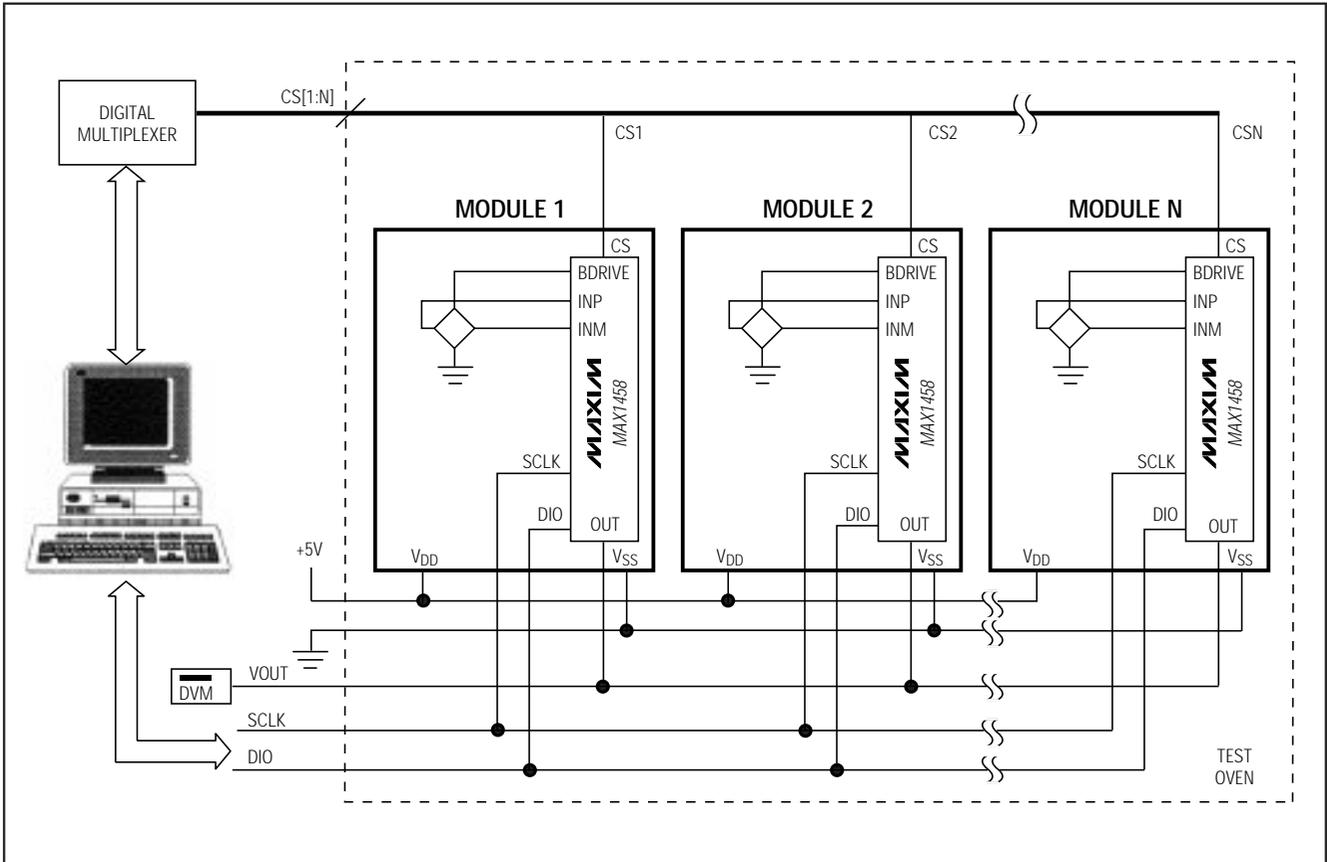


図11. 自動テストシステムの概念

MAX1458評価開発キット

マキシム社では、MAX1458を使用したトランスデューサ及びテストシステムを容易に開発できるようにするために、MAX1458評価キット(EVキット)を提供しています。MAX1458を初めてご利用になる方は、このキットのご使用を強くお勧めします。MAX1458 EVキットは、MAX1458の手動プログラミングをスピードアップできるように設計されており、次のものが含まれています。

- 1) シリコン圧力センサ付き評価ボード
- 2) MAX1458の構造及び機能を詳細に説明した設計/アプリケーションガイド。このマニュアルは、センサデータの収集を行うテストエンジニア用に作成されたもので、センサ補償アルゴリズム及びテスト手順が記載されています。

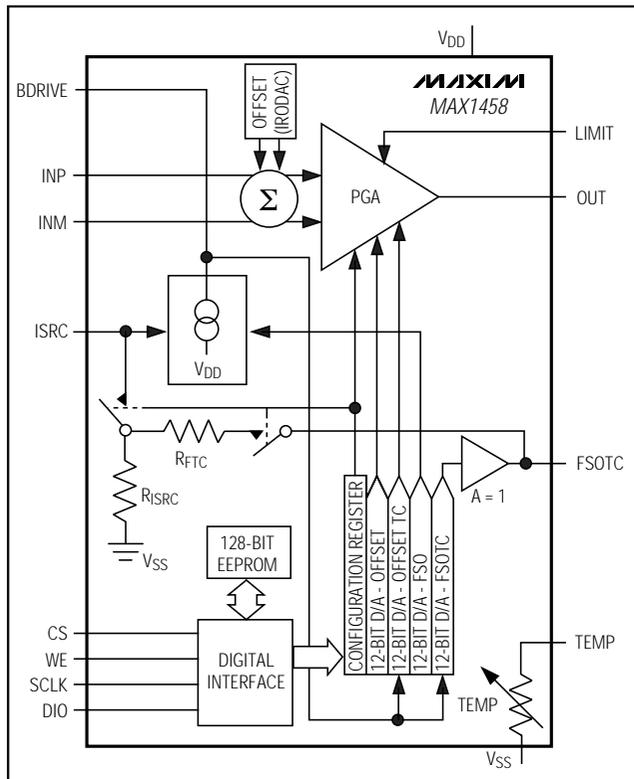
- 3) モジュールを1つずつコンピュータ(IBMコンパチブル)からプログラミングできるMAX1458通信ソフトウェア。
- 4) 評価ボードをPCの平行ポートに接続するためのインタフェースアダプタ及びカード。

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

ファンクションダイアグラム _____

チップ情報 _____



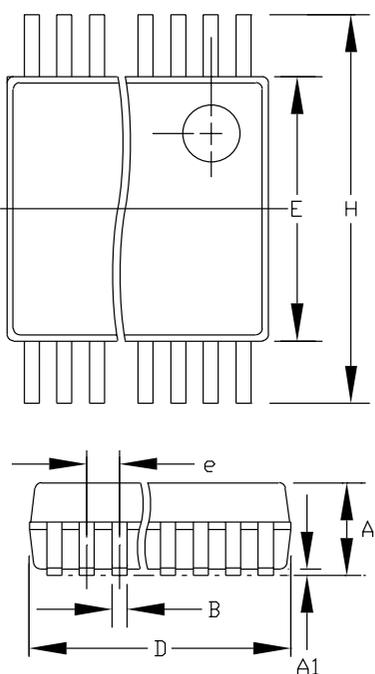
TRANSISTOR COUNT: 7772
SUBSTRATE CONNECTED TO VSS

1%精度、デジタルトリミング センサ信号コンディショナ

パッケージ

MAX1458

SSOP-EPS



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256	BSC	0.65	BSC
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

	INCHES		MILLIMETERS		
	MIN	MAX	MIN	MAX	
D	0.239	0.249	6.07	6.33	14L
D	0.239	0.249	6.07	6.33	16L
D	0.278	0.289	7.07	7.33	20L
D	0.317	0.328	8.07	8.33	24L
D	0.397	0.407	10.07	10.33	28L

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
3. CONTROLLING DIMENSION: MILLIMETER



PROPRIETARY INFORMATION

TITLE:
PACKAGE OUTLINE, SSOP, 5.3X.65mm

APPROVAL	DOCUMENT CONTROL NO. 21-0056	REV A	1/1
----------	---------------------------------	----------	-----

1%精度、デジタルトリミング センサ信号コンディショナ

MAX1458

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1998 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.