MAX14900E　オクタル(8回路)、高速、産業用、ハイサイドスイッチ

概要

MAX14900Eは、チャネル別のハイサイドまたはプッシュプル動作の設定を備えたオクタル(8回路)パワースイッチです。低伝播遅延、高レートの負荷スイッチングによって、このデバイスは次世代の高速PLCシステムに最適です。各ハイサイドスイッチは850mAの連続電流を供給し、T_A = +125℃において500mAで165mΩ (max)の低オン抵抗を備えています。ハイサイドスイッチは、抵抗性負荷の駆動時に2µs (max)の入力-出力間伝播遅延を特長とします。プッシュプル動作では、PWM/PPO制御用の最大100kHzのスイッチングレートで長いケーブルを駆動することができます。複数のハイサイドスイッチを並列に接続して、より高い駆動電流を実現可能です。このデバイスは、広い10V～36Vの電源入力範囲を備えています。

MAX14900Eは、SPIおよび/またはパラレルインタフェースによって設定、監視、および駆動されます。パラレルモードでは、8つのロジック入力が出力を直接制御し、シリアルインタフェースは構成/監視に使用することができます。シリアルモードは、シリアルインタフェースを設定と構成の両方に利用し、堅牢なSPI通信を確保するためのCRCエラー検出を備えています。

電流制限およびチャネル別のサーマルシャットダウンは、各スイッチ/ドライバを保護します。このデバイスは全体の診断出力とともに、シリアルインタフェースを介したチャネル別の診断および監視を備えています。

MAX14900Eは、48ピンQFN-EP (7mm x 7mm)または標準48ピンTQFN-EPパッケージで提供され、-40℃～+125℃の温度範囲での動作が保証されています。

アプリケーション

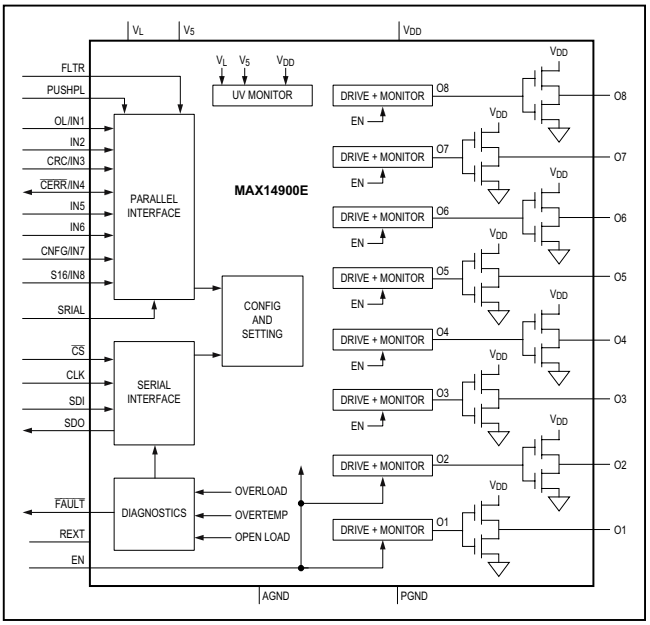
- プログラマブルロジックコントローラ
- 高密度デジタル出力モジュール
- モータコントローラ
- PWM/PPO制御

型番および標準動作回路はデータシートの最後に記載されています。

利点と特長

- 高密度モジュール用の低電力
  - 総消費電流：3mA (max)
  - ハイサイドR_{ON}：165mΩ (max、+125℃時)
- 高精度、高速制御システムに最適な高速スイッチング
  - 伝播遅延(ハイサイドモード)：2µs
  - 伝播遅延(プッシュプルモード)：0.8µs
  - スイッチングレート(プッシュプルモード)：100kHz (max)
- 広範なフォルトフィードバックによって保守を簡易化し設置時間を短縮
  - 全体およびチャネル別の診断
  - オープン負荷/ワイヤ検出
  - サーマルシャットダウンフォルト通知
  - 出力ロジック状態フィードバック
  - 低電圧ロックアウト
- シリアルインタフェースを備えた小型パッケージによって高密度モジュールの作成が可能
  - デイジーチェーン接続可能なSPIで絶縁コストを最小化
  - 7mm x 7mmの48ピンQFNおよびTQFNパッケージ

ファンクションダイアグラム



19-6563; Rev 4; 4/15

maxim integrated™

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(www.maximintegrated.com/jp)をご覧ください。

Absolute Maximum Ratings

(All voltages referenced to AGND = PGND.)
V_{DD} ..... -0.3V to +40V
O_ ..... -0.3V to (V_{DD} + 0.3V)
V_5, V_L, $\overline{FAULT}$, IN_, PUSHPL, FLTR, SRIAL, CLK, SDI, $\overline{CS}$, EN ..... -0.3V to +6V
REXT ..... -0.3V to (V_5 + 0.3V)
SDO ..... -0.3V to (V_L + 0.3V)
Continuous Reverse Current (O_) 2.0A
Inductive Kickback Current (O_) 1.9A
Continuous Current (Any Other Terminal) ..... ±100mA
Continuous Power Dissipation (T_A = +70°C) (derate 38.5mW/°C above +70°C) 4400mW
Operating Temperature Range ..... -40°C to +125°C
Junction Temperature ..... Internally Limited
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (soldering, 10s) ..... +300°C
Soldering Temperature (reflow) ..... +260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

Junction-to-Ambient Thermal Resistance (θ_{JA}) ..... 18°C/W
Junction-to-Case Thermal Resistance (θ_{JC}) ..... 1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to **www.maximintegrated.com/jp/thermal-tutorial**.

Electrical Characteristics

(V_{DD} = 10V to 36V, V_5 = 4.5V to 5.5V, V_L = 2.5V to 5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD} = 24V, V_5 = 5V, V_L = 3.3V, and T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC CHARACTERISTICS						
V_{DD} Supply Voltage	V_{DD}		10		36	V
V_{DD} Supply Current	I_{DD}	EN = high, O_ in push-pull mode and unloaded		0.7	1.5	mA
		EN = high, O_ in high-side mode and unloaded		0.7	1.5	
V_{DD} Disable Supply Current	I_{DD_DIS}	EN = low		0.7	1.5	mA
V_{DD} Undervoltage-Lockout Threshold	V_{DD_UVLO}	V_5 = 5V, V_{DD} rising	7.0	7.8	8.5	V
V_{DD} Undervoltage-Lockout Hysteresis	V_{DD_UVHYS}	V_5 = 5V		2.5		V
V_5 Supply Voltage	V_5		4.5		5.5	V
V_5 Supply Current	I_5	O_ in push-pull or high-side mode, $\overline{CS}$ = high, DC output		0.9	1.5	mA
V_5 Undervoltage-Lockout Threshold	V_{5_UVLO}	V_{DD} = 24V, V_5 rising	3.8	4	4.2	V
V_5 Undervoltage-Lockout Hysteresis	V_{5_UVHYS}	V_{DD} = 24V		0.3		V
V_5 POR Threshold	V_{5_POR}			1.6	2.4	V
V_L Supply Voltage	V_L		2.5		5.5	V
V_L Supply Current	I_L	Logic inputs unconnected		9	40	µA
V_L POR Threshold	V_{L_POR}			1.6	2.4	V

Electrical Characteristics (continued)

(V_{DD} = 10V to 36V, V_5 = 4.5V to 5.5V, V_L = 2.5V to 5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD} = 24V, V_5 = 5V, V_L = 3.3V, and T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DRIVER OUTPUTS (O_)							
High-Side Mode On-Resistance	R_{ON_HS}	High-side mode, EN = high, O_ = high, $I_{O_}$ = 500mA			85	165	mΩ
High-Side Mode Current Limit	I_{LIM_HS}	High-side mode, EN = high, O_ = high		1.4	1.7	2.0	A
High-Side Mode Leakage Current	I_{LKG_HS}	EN = low, $V_{O_}$ = 0V		-1		+20	µA
Push-Pull Mode On-Resistance	R_{ON_PP}	Push-pull mode, EN = high	$I_{O_}$ = +50mA, O_ = high		1.6	4	Ω
			I_O = -50mA, O_ = low		5.2	10	
Push-Pull Current Limit	I_{LIM_PP}	Push-pull mode, EN = high, during blanking time	0V < $V_{O_}$ < V_{DD} - 3V, O_ = high	200	500		mA
			3V < $V_{O_}$ < V_{DD}, O_ = low	200	300		
Current-Limit Autoretry Blanking Time	t_{BLANK}	Push-pull mode, EN = high, O_ connected to V_{DD} or PGND			90		µs
Current-Limit Autoretry Off-Time	t_{RETRY}	Push-pull mode, EN = high, O_ connected to V_{DD} or PGND			11		ms
OPEN-LOAD DETECTION (O_)							
Open-Load Pullup Current	I_{OL}	High-side mode, O_ = off, 0V < $V_{O_}$ < (V_{DD} – 2V), OL detect = on		65	80	110	µA
Open-Load and Status-Detect Threshold	$V_{TOL_}$	EN = high, OL detect = on, high-side mode, O_ = off		6.3	7	7.7	V
LOGIC INPUTS (IN_, PUSHPL, FLTR, SRIAL, CLK, SDI, $\overline{CS}$, EN)							
Input Logic-High Voltage	V_{IH}			0.7 x V_L			V
Input Logic-Low Voltage	V_{IL}					0.3 x V_L	V
Input Threshold Hysteresis	V_{ITHYS}				0.1 x V_L		V
Input Pulldown/Pullup Resistor	R_{PULL}	(Note 3)		140	200	270	kΩ
LOGIC OUTPUTS ($\overline{FAULT}$, $\overline{CERR}$/IN4, SDO)							
Open-Drain Output Logic-Low Voltage	V_{ODL}	I_{SINK} = 5mA				0.33	V
Open-Drain Output Leakage Current	I_{LKG_OD}	SRIAL = high, output not asserted, V_{OUT} = 5.5V		-1		+1	µA
SDO Output Logic-High Voltage	V_{OH}	I_{SOURCE} = 5mA		V_L - 0.33			V
SDO Output Logic-Low Voltage	V_{OL}	I_{SINK} = 5mA				0.33	V
SDO Pulldown Resistor	R_{SDO}	$\overline{CS}$ = high		140	200	270	kΩ

Electrical Characteristics (continued)

(V_{DD} = 10V to 36V, V_5 = 4.5V to 5.5V, V_L = 2.5V to 5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD} = 24V, V_5 = 5V, V_L = 3.3V, and T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS						
High-Side Mode LTH Output Propagation Delay	t_{PDHS_LH}	High-side mode, delay from IN_ transition (parallel mode) or $\overline{CS}$ rising-edge (serial mode) to O_ rising by 0.5V; R_L = 48Ω, C_L = 1nF, t_R/t_F ≤ 20ns, FLTR = low, Figure 1 (Note 4)		0.2	1	µs
High-Side Mode HTL Output Propagation Delay	t_{PDHS_HL}	High-side mode, delay from IN_ transition (parallel mode) or $\overline{CS}$ rising-edge (serial mode) to O_ falling by 0.5V, R_L = 48Ω, C_L = 1nF, t_R/t_F ≤ 20ns, FLTR = low, Figure 1 (Note 4)		0.9	2	µs
Push-Pull Output LTH Propagation Delay	t_{PDPP_LH}	Push-pull mode, delay from IN_ transition (parallel mode) or $\overline{CS}$ rising-edge (serial mode) to O_ settling to within 0.8 x V_{DD}, R_L = 5kΩ, C_L = 1nF, FLTR = low, Figure 2		0.3	0.7	µs
Push-Pull Output HTL Propagation Delay	t_{PDPP_HL}	Push-pull mode, delay from IN_ transition (parallel mode) or $\overline{CS}$ rising-edge (serial mode) to O_ settling to within 0.2 x V_{DD}, R_L = 5kΩ, C_L = 1nF, FLTR = low, Figure 2		0.3	0.8	µs
Output Rise and Fall Time	t_R, t_F	High-side mode, 20% to 80%, R_L = 48Ω, C_L = 1nF, Figure 1		1.5	4	µs
		Push-pull mode, 20% to 80%, R_L = 5kΩ, C_L = 1nF, Figure 2		0.1	0.4	
		Push-pull mode, 20% to 80%, R_L = 240Ω, V_{CC} = 24V, C_L = 1nF, Figure 2		0.1	0.4	
Output Switching Rate	f_O	Push-pull mode, R_L = 5kΩ or I_L = 100mA to ground, C_L = 1nF, SRIAL = low			100	kHz
Channel-to-Channel Skew	t_{PDSK_LH}, t_{PDSK_HL}	Push-pull mode, Figure 2 (Note 5)	-100		+100	ns
CRC Error-Detect Propagation Delay	t_{PDL_CERR}	Error detected on SDI data, from $\overline{CS}$ rising-edge to $\overline{CERR}$/IN4 falling-edge; I_{SOURCE} = 5mA, Figure 3		14.5	30	ns
CRC Error-Clear Propagation Delay	t_{PDH_CERR}	Error cleared, from $\overline{CS}$ rising-edge to $\overline{CERR}$/IN4 rising, I_{SOURCE} = 5mA, Figure 3		17	40	ns
Pulse Length of Rejected Glitch	t_{GL}	FLTR = high	0		80	ns
Admitted Pulse Length		FLTR = high	300			ns
Glitch Filter Propagation Delay Time	t_{PDGF}	FLTR = high		140	300	ns

Electrical Characteristics (continued)

(V_{DD} = 10V to 36V, V_5 = 4.5V to 5.5V, V_L = 2.5V to 5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD} = 24V, V_5 = 5V, V_L = 3.3V, and T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPI TIMING CHARACTERISTICS (Figure 4)						
CLK Clock Period	t_{CH+CL}		50			ns
CLK Pulse-Width High	t_{CH}		5			ns
CLK Pulse-Width Low	t_{CL}		5			ns
$\overline{CS}$ Fall-to-CLK Rise Time	t_{CSS}	FLTR = low (Note 4)	5			ns
		FLTR = high	300			
SDI Hold Time	t_{DH}		5			ns
SDI Setup Time	t_{DS}		5			ns
Output Data Propagation Delay	t_{DO}	C_L = 10pF. CLK falling-edge to SDO stable			25	ns
SDO Rise and Fall Times	t_{FT}	C_L = 10pF		4		ns
$\overline{CS}$ Hold Time	t_{CSH}	(Note 4)	50			ns
$\overline{CS}$ Pulse-Width High	t_{CSPW}	FLTR = low (Note 4)	50			ns
		FLTR = high	280			
PROTECTION SPECIFICATIONS						
Channel Thermal-Shutdown Threshold	T_{C_SD}	Temperature rising		+170		°C
Thermal-Shutdown Hysteresis	$T_{C_SD_HYS}$			15		°C
Global Thermal-Shutdown Threshold	T_{G_SD}	Temperature rising		150		°C
Global Thermal-Shutdown Hysteresis	$T_{G_SD_HYS}$			10		°C
ESD Protection	V_{ESD}	O_ pins, Human Body Model (Note 6)		±15		kV
		All other pins, Human Body Model		±2		

Note 2: All units are production tested at T_A = +25°C. Specifications over temperature are guaranteed by design.
Note 3: All logic input pins except $\overline{CS}$ have a pulldown resistor. $\overline{CS}$ has a pullup resistor.
Note 4: Specifications are guaranteed by design; not production tested.
Note 5: Channel-to-channel skew is defined as the difference in propagation delays between channels on the same device with the same polarity.
Note 6: Bypass V_{DD} pins to AGND with a 1µF capacitor as close as possible to the device for high-ESD protection.

テスト回路/タイミング図

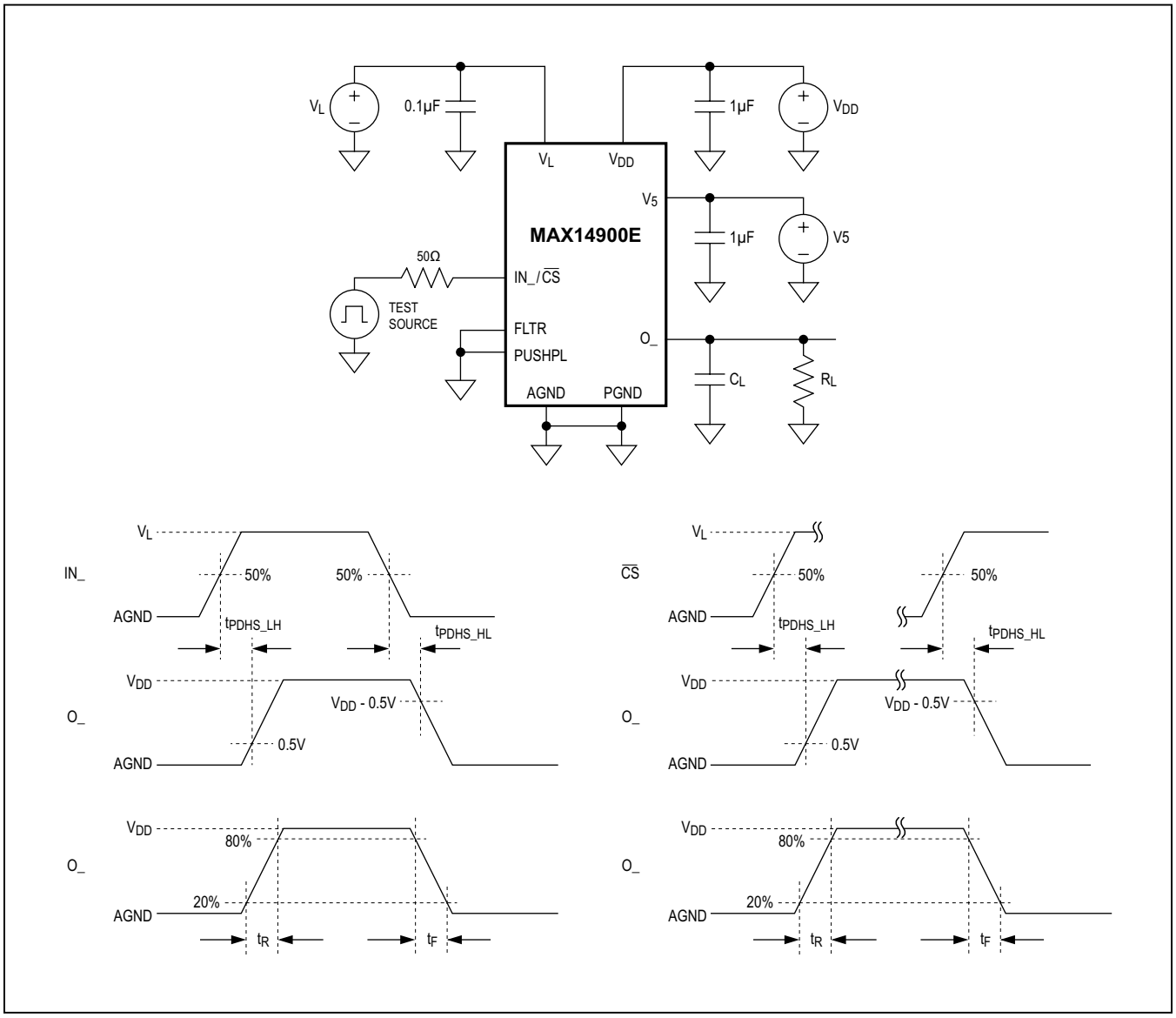


図 1. ハイサイドモードのタイミング特性

テスト回路/タイミング図(続き)

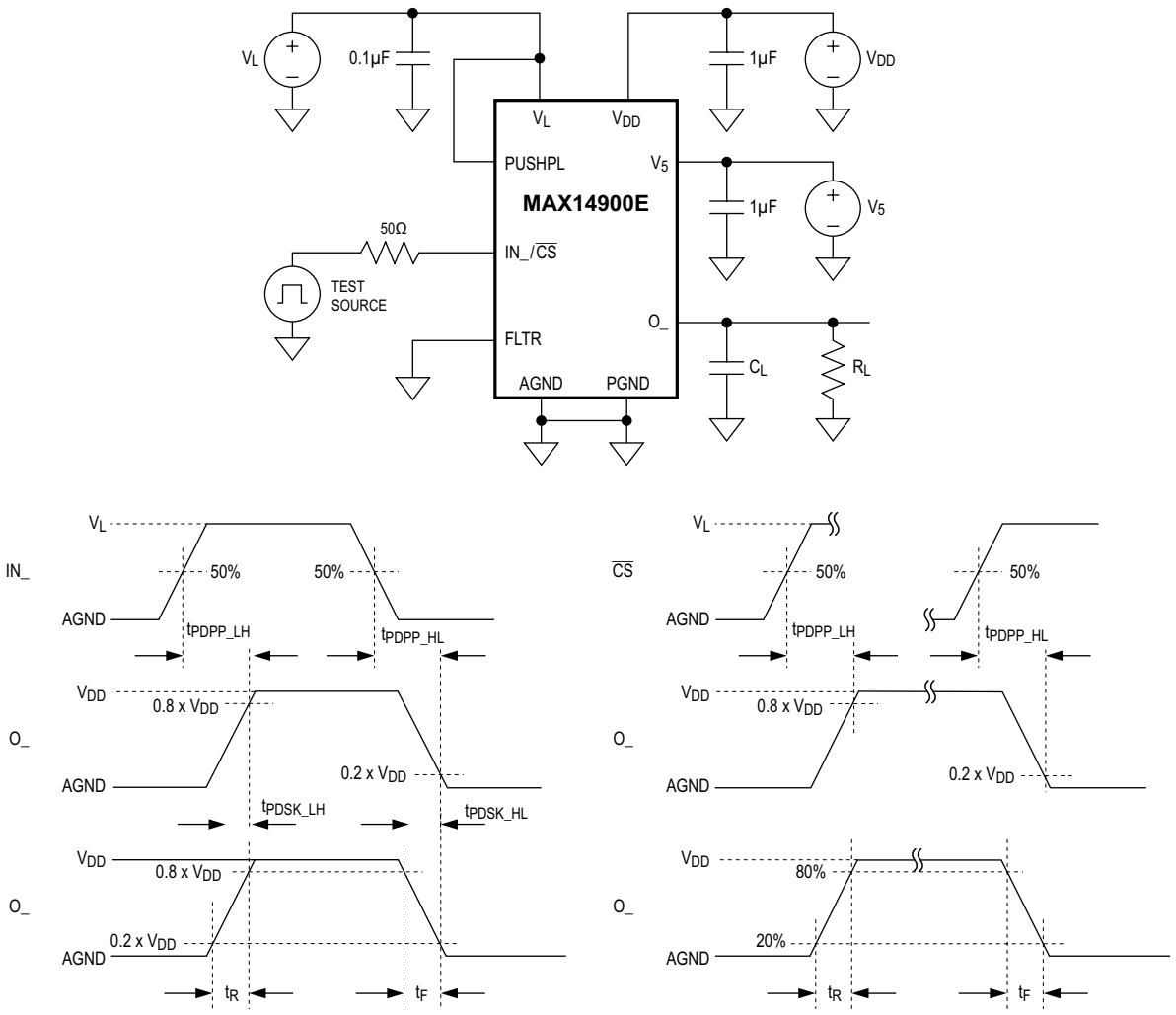


図 2. プッシュプルモードのタイミング特性

テスト回路/タイミング図(続き)

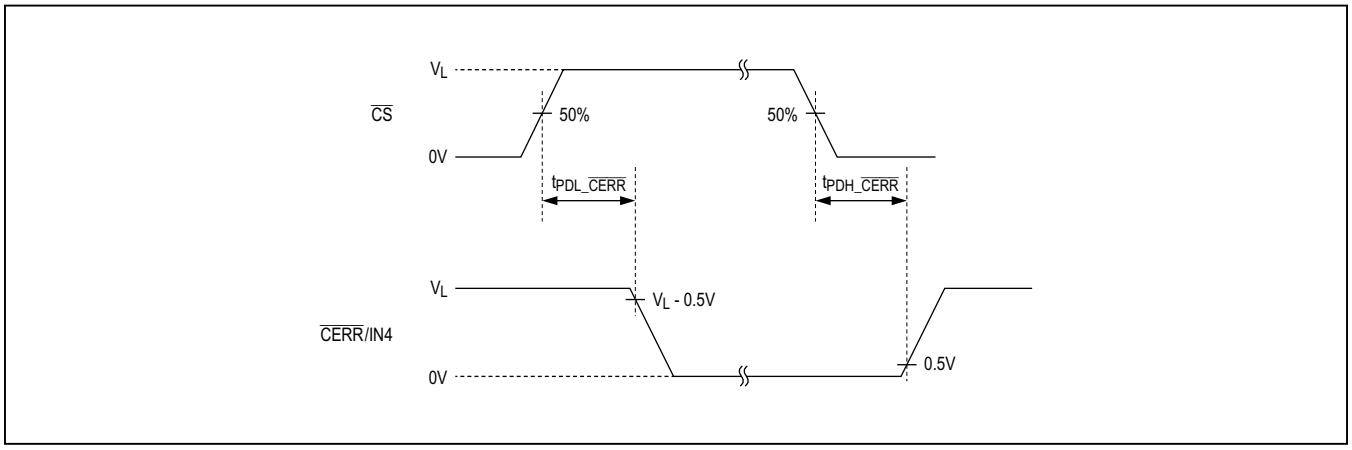


図 3. CRC エラー検出タイミング

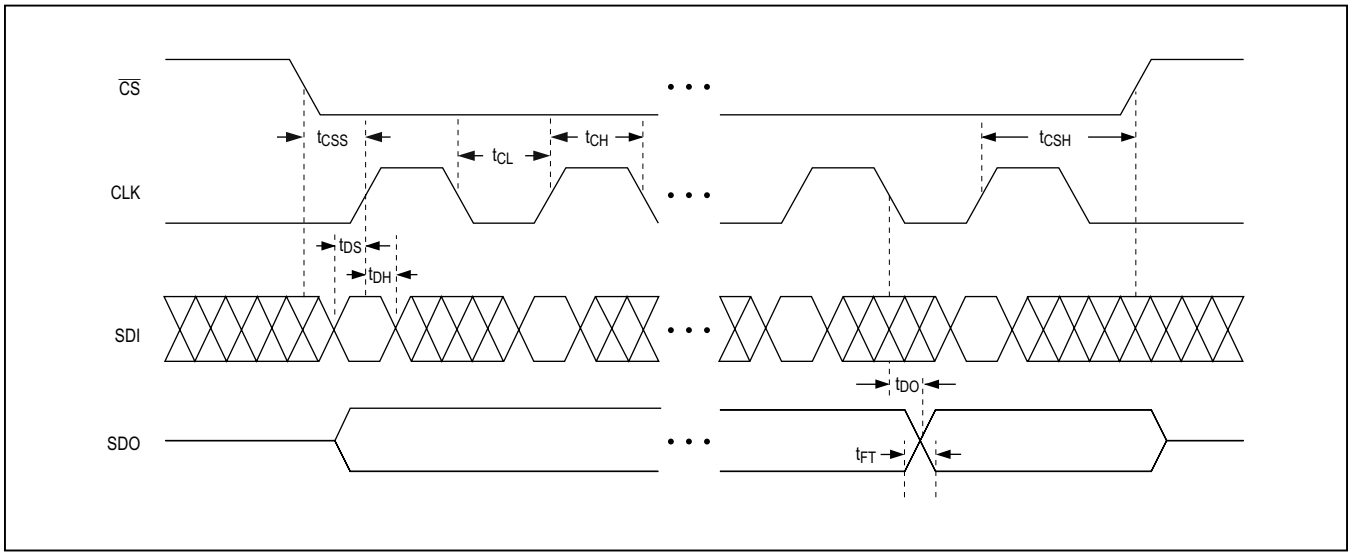
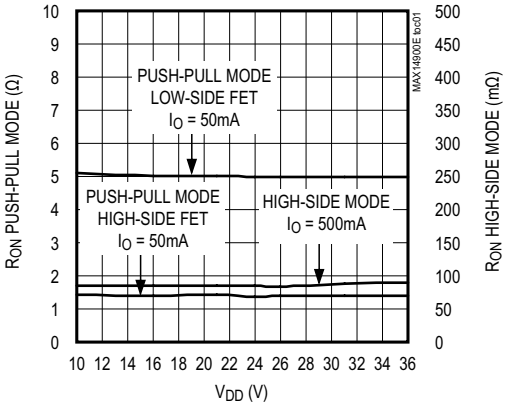


図 4. SPI のタイミング図

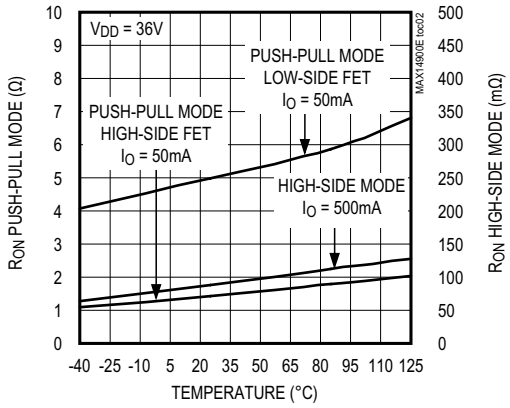
標準動作特性

(V_{DD} = +24V, V_5 = V_L = 5.0V, T_A = +25°C, unless otherwise noted.)

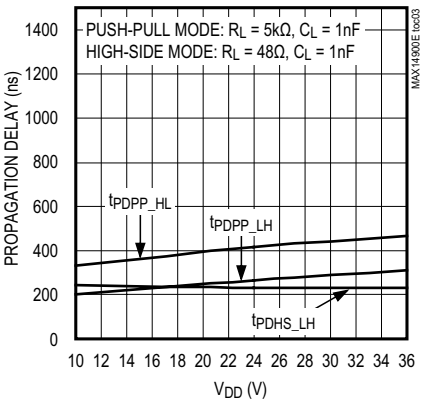
RON vs. VDD



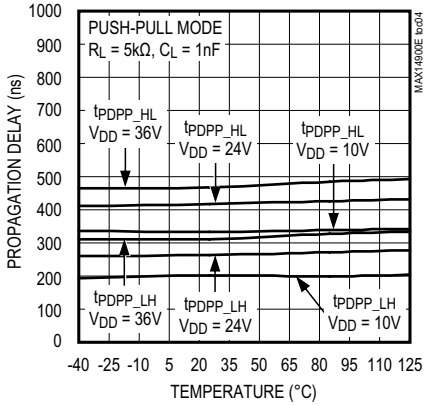
RON vs. TEMPERATURE



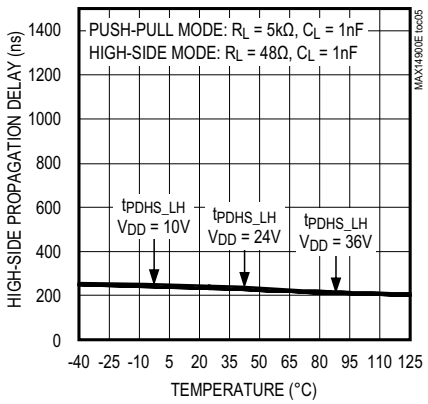
PROPAGATION DELAY vs. VDD



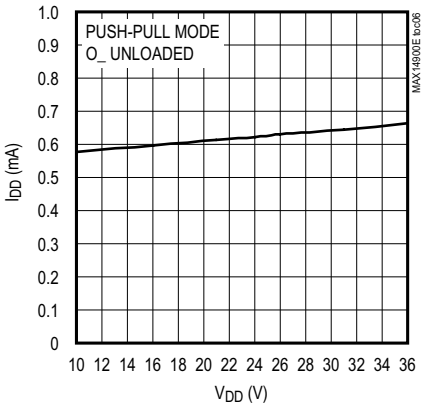
PUSH-PULL PROPAGATION DELAY vs. TEMPERATURE



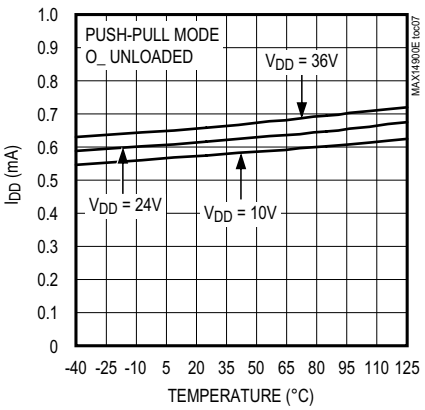
HIGH-SIDE PROPAGATION DELAY vs. TEMPERATURE



IDD vs. VDD



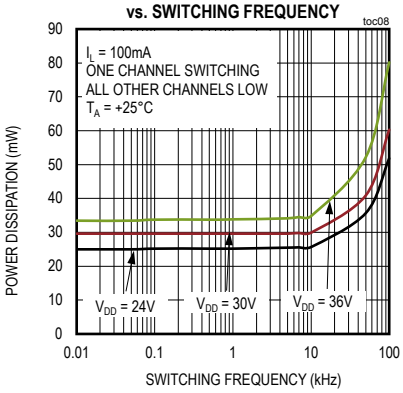
IDD vs. TEMPERATURE



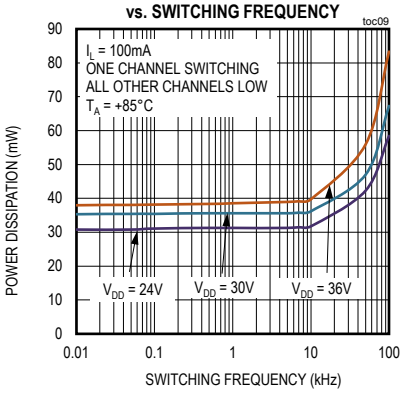
標準動作特性(続き)

(V_{DD} = +24V, V_5 = V_L = 5.0V, T_A = +25°C, unless otherwise noted.)

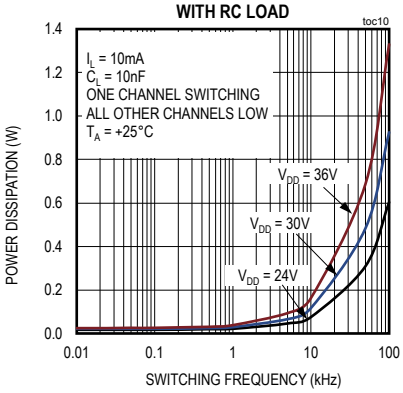
PP MODE POWER DISSIPATION vs. SWITCHING FREQUENCY



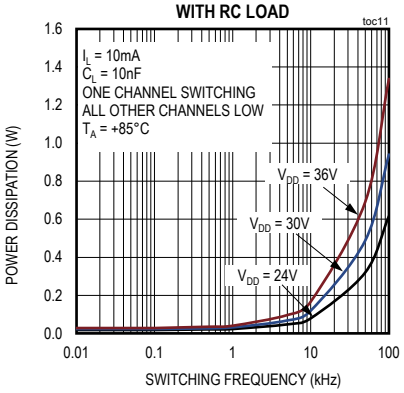
PP MODE POWER DISSIPATION vs. SWITCHING FREQUENCY



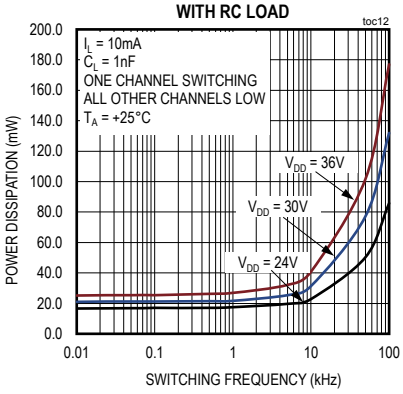
PP MODE POWER DISSIPATION vs. SWITCHING FREQUENCY WITH RC LOAD



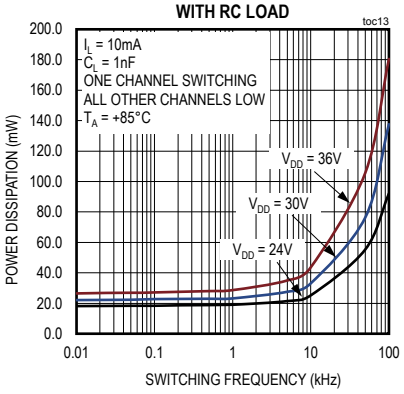
PP MODE POWER DISSIPATION vs. SWITCHING FREQUENCY WITH RC LOAD



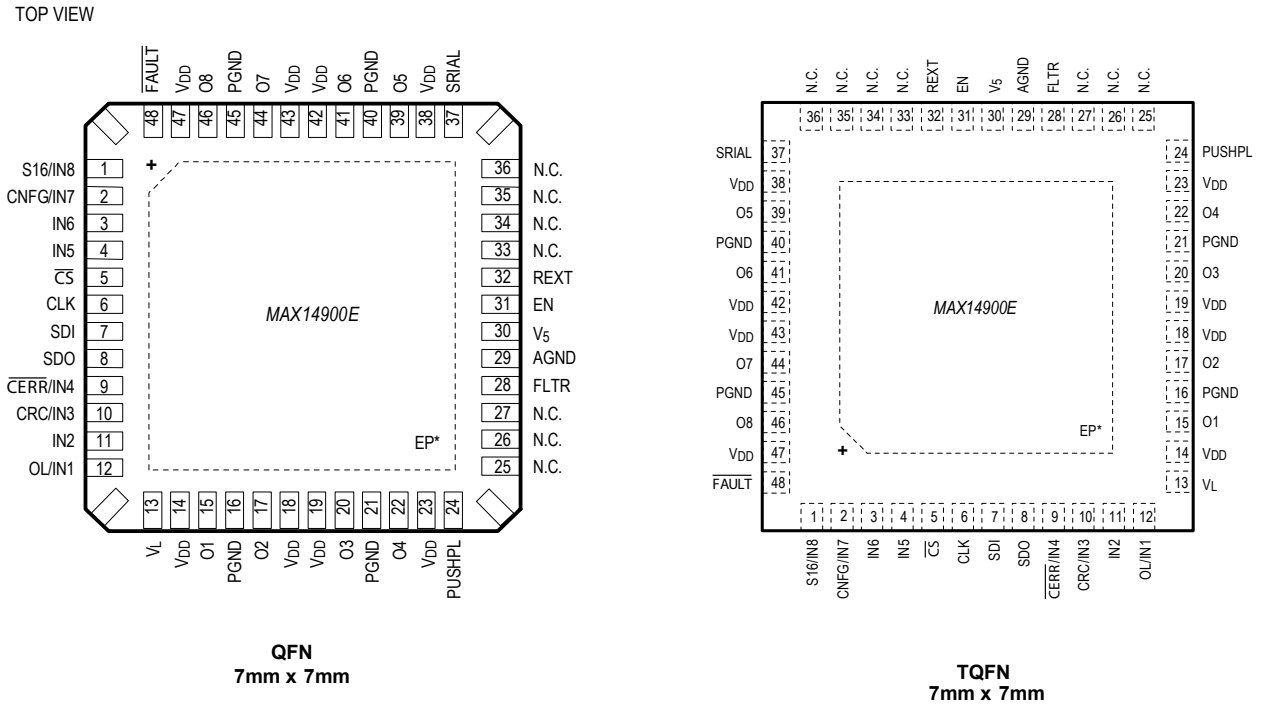
PP MODE POWER DISSIPATION vs. SWITCHING FREQUENCY WITH RC LOAD



PP MODE POWER DISSIPATION vs. SWITCHING FREQUENCY WITH RC LOAD



ピン配置



端子説明

端子	名称	機能
1	S16/IN8	16ビットシリアル選択入力/IN8入力。シリアルモード(SRIAL = ハイ)では、S16/IN8をハイに駆動すると16ビットシリアル動作が選択されます。S16/IN8をローに駆動すると8ビットシリアル動作が選択されます。パラレルモード(SRIAL = ロー)では、S16/IN8はO8出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。S16/IN8は200kΩのプルダウン抵抗を内蔵しています。
2	CNFG/IN7	設定選択入力/IN7入力。シリアルモード(SRIAL = ハイ)では、CNFG/IN7をハイに駆動すると、シリアルインタフェース上でのチャネル単位の設定が選択されます。CNFG/IN7をローに駆動すると、シリアルインタフェース上でのO_出力の設定が選択されます。パラレルモード(SRIAL = ロー)では、CNFG/IN7はO7出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。CNFG/IN7は200kΩのプルダウン抵抗を内蔵しています。
3	IN6	IN6入力。パラレルモード(SRIAL = ロー)では、IN6はO6出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。IN6は200kΩのプルダウン抵抗を内蔵しています。
4	IN5	IN5入力。パラレルモード(SRIAL = ロー)では、IN5はO5出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。IN5は200kΩのプルダウン抵抗を内蔵しています。
5	$\overline{CS}$	SPIチップセレクト入力。$\overline{CS}$はSPIのアクティブローのチップセレクトです。$\overline{CS}$は200kΩのプルアップ抵抗を内蔵しています。
6	CLK	シリアルクロック入力。CLKはSPIのシリアルクロック入力(最大20MHz)で、200kΩのプルダウン抵抗を内蔵しています。
7	SDI	シリアルデータ入力。SDIはSPIのシリアルデータ入力で、200kΩのプルダウン抵抗を内蔵しています。
8	SDO	シリアルデータ出力。SDOはSPIのシリアルデータ出力です。$\overline{CS}$がロジックハイの場合、SDOは200kΩのプルダウン抵抗を内蔵しています。

端子説明(続き)

端子	名称	機能
9	$\overline{\text{CERR}}$/IN4	CRCエラー検出出力/IN4入力。シリアルモード(SRIAL = ハイ)でエラーチェックがイネーブルされている場合(CRC/IN3 = ハイ)、$\overline{\text{CERR}}$/IN4はアクティブローのオープンドレイン出力で、SDIデータ上でCRCエラーが検出されたときにアサートされます。パラレルモード(SRIAL = ロー)では、$\overline{\text{CERR}}$/IN4はO4出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。SRIAL = 0の場合、$\overline{\text{CERR}}$/IN4は200kΩのプルダウン抵抗を内蔵しています。
10	CRC/IN3	CRCイネーブル入力/IN3入力。シリアルモード(SRIAL = ハイ)では、CRC/IN3をハイに駆動するとSPIデータのCRC生成/エラー検出がイネーブルされます。パラレルモード(SRIAL = ロー)では、CRC/IN3はO3出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。CRC/IN3は200kΩのプルダウン抵抗を内蔵しています。
11	IN2	IN2入力。パラレルモード(SRIAL = ロー)では、IN2はO2出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。IN2は200kΩのプルダウン抵抗を内蔵しています。
12	OL/IN1	オープン負荷イネーブル入力/IN1入力。シリアルモード(SRIAL = ハイ)では、OL/IN1をハイに駆動すると、シリアル設定に関係なく、ハイサイドモードに設定された全8つのO_出力でオープン負荷検出がイネーブルされます。OL/IN1をローに駆動すると、シリアルインタフェースによってイネーブルされていない限り、オープン負荷検出がディセーブルされます。パラレルモード(SRIAL = ロー)では、OL/IN1はO1出力のオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を設定します。OL/IN1は、常時接続された200kΩのプルダウン抵抗を内蔵しています。
13	V_L	ロジック電源入力。V_Lは全I/Oロジックインタフェース端子のロジックレベルを2.5V～5.5Vの範囲で定義します。できる限りデバイスの近くに配置した0.1µFのセラミックコンデンサでV_LをAGNDに接続してください。
14, 18, 19, 23, 38, 42, 43, 47	V_{DD}	電源電圧入力。V_{DD}電源は10V～36Vです。1µFのセラミックコンデンサでV_{DD}端子をグランドプレーンに接続してください。外部で全V_{DD}端子を接続し、各V_{DD}端子間の最大トレース抵抗が10mΩ以下であることを確保してください。
15	O1	ドライバ出力1。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
16, 21, 40, 45	PGND	電源グランド。PGNDをグランドプレーンに接続してください。
17	O2	ドライバ出力2。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
20	O3	ドライバ出力3。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
22	O4	ドライバ出力4。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
24	PUSHPL	グローバルプッシュプル/ハイサイド選択入力。パラレルモード(SRIAL = ロー)では、PUSHPLをハイに駆動すると、シリアル設定に関係なく、プッシュプルモードで動作するように全O_出力がグローバルに設定されます。PUSHPLをローに駆動すると、シリアルインタフェースによってプッシュプルとして設定されていない限り、全O_出力がハイサイドモードで動作するように設定されます。PUSHPLは200kΩのプルダウン抵抗を内蔵しています。
25–27, 33–36	N.C.	接続なし。内部で接続されていません。
28	FLTR	グリッチフィルタイネーブル入力。FLTRをハイに設定すると、SDIとCLK以外の全ロジック入力でグリッチフィルタがイネーブルされます。FLTRは200kΩのプルダウン抵抗を内蔵しています。
29	AGND	アナロググランド。AGNDをグランドプレーンに接続してください。
30	V_5	5V電源入力。できる限りデバイスの近くに配置した1µFのセラミックコンデンサでV_5をAGNDに接続してください。
31	EN	イネーブル入力。ENをハイに駆動すると、全O_出力の通常動作がイネーブルされます。ENをローに駆動すると、全O_出力が強制的にハイインピーダンスモードになります。ENは200kΩのプルダウン抵抗を内蔵しています。
32	REXT	外付け抵抗接続。REXTとAGND間に56kΩ ±1%の抵抗を接続してください。

端子説明(続き)

端子	名称	機能
37	SRIAL	シリアル/パラレル選択入力。シリアルインタフェースを介してO_出力の設定および構成を行う場合は、SRIALをハイに駆動します。パラレル(IN_)端子を介してO_出力の設定を行う場合は、SRIALをローに駆動します。SRIALは、シリアルインタフェースを介した診断/状態情報の読取りには影響を与えません。SRIALは200kΩのプルダウン抵抗を内蔵しています。
39	O5	ドライバ出力5。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
41	O6	ドライバ出力6。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
44	O7	ドライバ出力7。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
46	O8	ドライバ出力8。ハイサイドスイッチまたはプッシュプル出力として設定可能です。
48	$\overline{\text{FAULT}}$	グローバルフォルト出力。$\overline{\text{FAULT}}$はオープンドレイン、アクティブロー出力で、いずれかのO_出力で、フォルト状態(サーマルシャットダウン、オープン負荷、および/または過負荷保護)が検出された場合にアサートします。
—	EP	エクスポーズドパッド。熱抵抗を最小限に抑えるため、ビアファームを使用してEPを(電気的にPGNDに接続された)大面積のグランドプレーンに接続してください。電気的な接点として使用するためのものではありません。

ファンクションダイアグラム

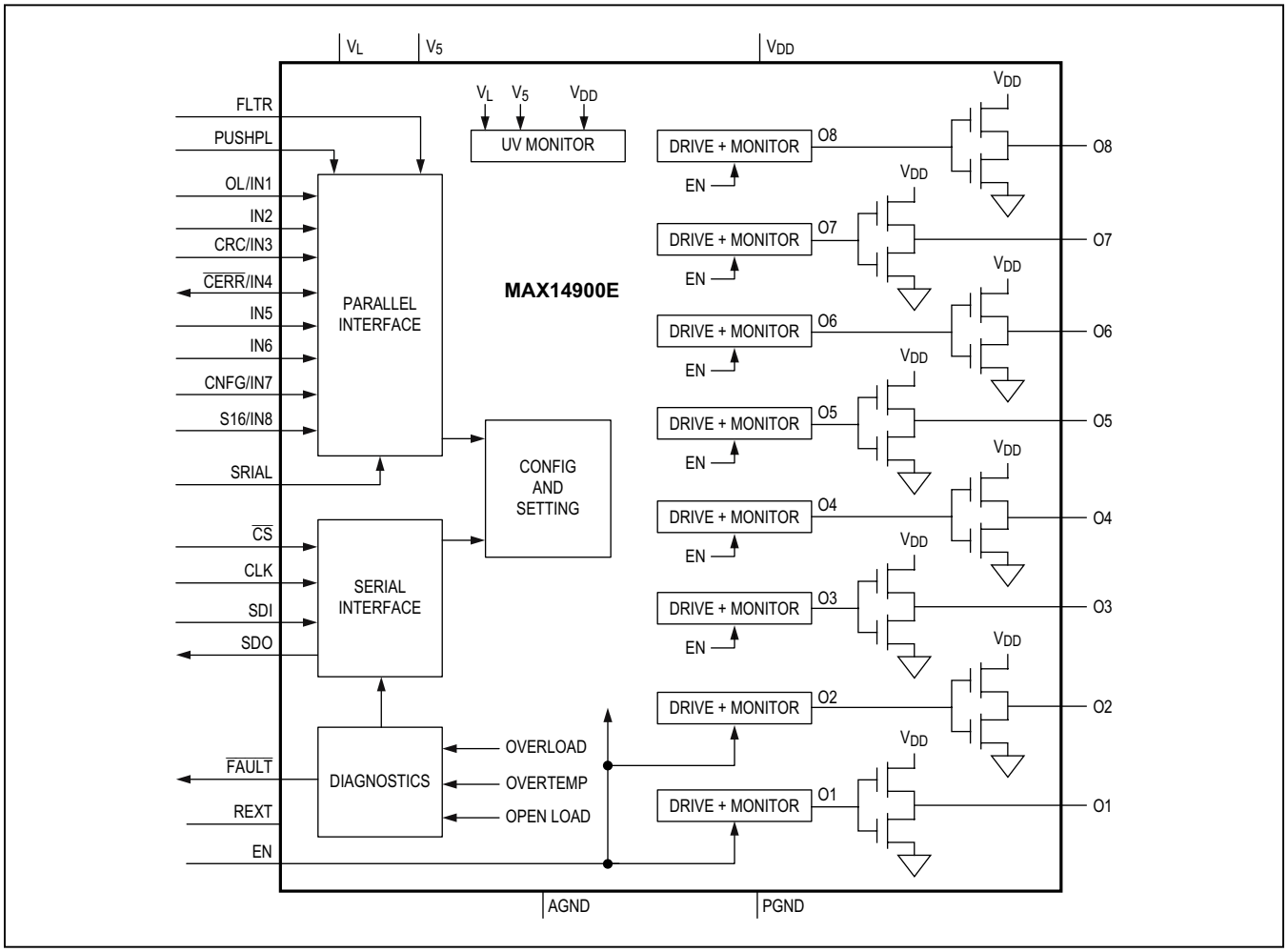


表1. シリアル/パラレル動作モード

OPERATING MODE	SRIAL	S16/IN8	CNFG/IN7	SDI DATA		SDO DATA	
				SETTING	CONFIG	FAULT	STATUS
Parallel mode with optional SPI configuration, diagnostics, and monitoring	0	X	X	N/A	16-bit	8-bit	8-bit
8-bit serial mode with SPI setting and diagnostics	1	0	0	8-bit	N/A	8-bit	N/A
8-bit serial mode with SPI configuration and diagnostics	1	0	1	N/A	8-bit	8-bit	N/A
16-bit serial mode with SPI setting, configuration, diagnostics, and monitoring	1	1	0	8-bit	8-bit	8-bit	8-bit
16-bit serial mode with SPI configuration, diagnostics, and monitoring	1	1	1	N/A	16-bit	8-bit	8-bit

X = 任意

詳細

MAX14900Eは、オクタル(8回路)低伝播遅延850mAハイサイドスイッチで、高スイッチングレート機能を備えたプッシュプルドライバとしての動作が可能です。各チャネルは、ハイサイドまたはプッシュプルモードで動作するように設定可能です。プッシュプルモードは、高いスイッチングレートで駆動する必要がある長いケーブルなどの容量性負荷を駆動します。ハイサイドモードでは、各チャネルは165mΩ（max)のオン抵抗で最大850mAの負荷電流をスイッチングします。

MAX14900Eのスイッチ/ドライバは、シリアルSPIインタフェースによる個別の設定および/またはパラレルインタフェースによるグローバルな設定が可能です。パラレル動作モード(SRIAL = ロー)では、IN_入力はO_出力を直接制御し、SPIインタフェースは各チャネルの設定を行って診断および状態を読み取ります。シリアル動作モード(SRIAL = ハイ)では、SPIインタフェースを使用して各チャネルの設定および状態の設定を行い、パラレル入力によってオプションの設定が可能になります。

電流制限、過負荷保護、およびサーマルシャットダウン回路は各スイッチ/ドライバを保護します。このデバイスはチャネル単位の診断検出を備えており、チャネル単位のサーマルシャットダウンおよび出力状態の情報がフィードバックされます。ハイサイドモードでは、複数のチャネルを並列に接続してより高い負荷電流を実現することができます。

シリアル/パラレル動作モード

シリアルSPIおよびパラレルインタフェースによって、MAX14900Eの設定、監視、および駆動が可能です。シリアルインタフェースはチャネル単位の設定、出力設定、および診断/監視をサポートし、パラレルインタフェースはスイッチ/出力を直接駆動することができます。表1に、設定

表2. パラレル駆動の真理値表

IN_	O_ STATE	
	PUSH-PULL	HIGH-SIDE
0	Low	Off
1	High	On

選択入力の状態に応じてデバイスが各インタフェースを利用する方法の詳細を示します。

パラレル動作モード

パラレル動作モード(SRIAL = ロー)では、8つのIN_入力がO_スイッチのオン/オフ(ハイサイドモード時)またはハイ/ロー(プッシュプルモード時)を直接設定します(表2)。シリアルインタフェースをオプションで使用して、各出力をハイサイドスイッチまたはプッシュプルドライバとして構成し、各ハイサイドスイッチのオープン負荷検出をイネーブルすることができます。シリアルインタフェースをパラレルモードで使用して、チャネル単位のフォルト、オープン負荷検出、および出力ロジック状態の情報を読み取ることも可能です。

出力は、PUSHPL入力によってグローバルにプッシュプル動作の設定が可能です。グローバルな診断、フォルト、およびオープン負荷の情報は、$\overline{\text{FAULT}}$出力によって通知されます。

シリアル動作モード

シリアル動作モード(SRIAL = ハイ)では、SPIインタフェースによってスイッチ/ドライバの設定、構成、および監視を行います。S16/IN8、CNFG/IN7、CRC/IN3、およびOL/IN1入力と$\overline{\text{CERR}}$/IN4出力は、シリアル動作モードでさらなる構成と監視のオプションを提供します。残りのIN_ 入力は未使用です。詳細については、「シリアルコントローラインタフェース」の項を参照してください。

設定

グローバル設定入力は全8つのO_チャネルに影響するのに対して、シリアル設定はチャネル単位です。表3を参照してください。

シリアルインタフェースを使用して、各出力を個別にプッシュプルまたはハイサイドモードに設定し、ハイサイドモードの場合はそのチャネルのオープン負荷監視をイネーブルすることができます。PUSHPLおよびOL/IN1入力がハイに設定された場合は、チャネル単位のシリアル設定よりも優先されます。

出力ドライバ

ドライバは、ハイサイドまたはプッシュプル動作に設定可能です。ハイサイドモードに設定した場合、各ドライバは850mA (max)の負荷電流を安全に連続して供給することができます。ハイサイドスイッチは1.4A (min)～2.0A (max)の範囲のアクティブな電流制限を備えています。

ドライバがプッシュプルモード時、出力は抵抗性/容量性負荷を高スイッチングレートでグランドへの最大100mAの負荷電流で駆動します。R_{ON}は、ハイサイドの場合で4Ω (max)、プッシュプルモードのローサイドドライバの場合で10Ω (max)です。

出力ロジック状態の監視

各O_ドライバ/スイッチの電圧状態は、SPI経由で読み取ることができます。O_出力の電圧が7V (typ)のスレッショルドより高い場合、ステータスバイト内の対応するS_ビットはロジック1です。O_出力の電圧がスレッショルド以下の場合、対応するS_ビットはロジック0です。状態監視は、16ビットシリアルモード経由で読み取ることができます。これは全モードおよび出力の全状態(オン/オフ/ハイ/ロー)で可能です。

オープン負荷検出

ハイサイドモードに設定された場合、このデバイスはO_出力に負荷が接続されていないか、または負荷へのワイヤがオープン回路であることを検出可能です。オープン負荷検出は、シリアルモード時にOL/IN1入力経由でグローバルにイネーブルするか、またはパラレルおよびシリアルモード時にシリアルインタフェースを経由してチャネル単位でイネーブルすることができます。検出回路は80µAの電流を負荷に印加し、O_の電圧を監視します。オープン負荷検出は、出力がハイサイドモードに設定され、ハイサイドドライバがオフ時に出力がアクティブの場合に発生します。

ハイサイドスイッチでオープン負荷状態が検出された場合、対応するスイッチのフォルトビットに1が設定され、グローバル$\overline{FAULT}$出力がアサートされます。大きい容量性負荷と低いブリード抵抗値のハイサイドドライバをオフにすると、オープン負荷状態が一時的に検出され、O_の電圧が7V (typ)のスレッショルド以下に減衰するまで$\overline{FAULT}$がアサートされます。

表3. グローバル設定入力

入力	SRIAL	設定機能
FLTR	X	SDIとCLK以外の全ロジック入力端子でアンチグリッチフィルタをイネーブル 0 = グリッチフィルタはディセーブル 1 = グリッチフィルタはイネーブル
PUSHPL	X	全O_出力をプッシュプルまたはハイサイドとして設定 0 = シリアルインタフェースによってプッシュプルとして設定されていない限り全ドライバはハイサイドモード 1 = 全ドライバはプッシュプルモード
EN	X	全O_出力の通常動作をイネーブル 0 = 全O_出力はハイインピーダンス 1 = 通常動作
OL/IN1	1	シリアルモードでグローバルなオープン負荷検出をイネーブル 0 = シリアルインタフェースによってイネーブルされていない限りオープン負荷検出はディセーブル 1 = 全ハイサイドモードスイッチでオープン負荷検出はイネーブル
CRC/IN3	1	SPIデータのCRC生成およびエラー検出をイネーブル 0 = CRCはディセーブル 1 = CRCはイネーブル

X = 任意

サーマルシャットダウン保護

熱過負荷回路は常に各スイッチ/ドライバを監視し、グローバルサーマルシャットダウン回路は平均チップ温度を監視します。ドライバの1つにローカルサーマルシャットダウン状態が発生した場合、そのドライバはディセーブルされ他のドライバは動作を継続します。ローカル温度がアクティブ化スレッショルド(T_{C_SD} - $T_{C_SD_HYS}$)を下回ると、そのドライバは自動的に再イネーブルされます。グローバルサーマルシャットダウンの場合、O_出力はディセーブルされませんが、グローバル温度センサーが制限以下になるまでどのチャネルもそれ自体の再イネーブルを抑止されます。

$\overline{FAULT}$出力は、いずれかのサーマルシャットダウン状態が発生するとアサートされます。さらに、SPIのSDOデータ内でサーマルシャットダウン状態のチャネルに対するF_ビットに1が設定されます。

過負荷および短絡保護

このデバイスは、プッシュプルおよびハイサイドモード動作時に、過負荷および短絡状態に対して各O_出力を保護します。

ハイサイドモードでは、デバイスはアクティブに各チャネルの出力電流を1.7Aに制限します。サーマルシャットダウンが発生しない限り、この電流制限状態が継続して維持されます。

プッシュプルモードでは、デバイスは負荷電流を300mA/500mA (typ)に制限します。O_出力がプッシュプルモードのとき、過電流状態によって出力電圧が90µs (typ)のブランキング時間以上にわたって強制的に1V以上(O_ = ローの場合)または(V_{DD} - 1V)以下(O_ = ハイの場合)になると、過負荷フォルトが検出されます。出力電圧レベルミスマッチの原因が除去されると、ドライバは通常動作を再開します。

PORおよびUVLO状態

MAX14900Eは、起動時または電源の1つに電圧低下が発生した場合にデバイスが既知の状態になることを確保するため、電源入力に低電圧ロックアウト(UVLO)およびパワーオンリセット(POR)回路を備えています。V_LまたはV_5のいずれかがPORスレッショルドを下回った場合、デバイスはリセット状態に移行し、全構成の設定が失われます。

V_{DD}またはV_5がUVLOスレッショルド以下の場合、全O_出力はディセーブルされ、80µAのオープン負荷検出電流の発生源がオフになります。UVLO状態が取り除かれると、デバイスは通常動作を再開します。V_LおよびV_5がPORスレッショルド以上を維持している限り、SPIインタフェースはアクティブなままで、構成の設定への影響はありません。

16ビットシリアルモードでUVLOが発生した場合、シリアルSDOステータス/フォルト読取りビットの一連の全1によってこの状態が通知されます。

$\overline{FAULT}$出力

グローバル$\overline{FAULT}$出力は、いずれかのO_出力でフォルト状態が検出されるとアサートします。$\overline{FAULT}$によって通知されるフォルト状態のタイプは、サーマルシャットダウン、オープン負荷(イネーブルされている場合)、および過負荷保護(プッシュプルモード時のみ)です。グローバル$\overline{FAULT}$は、UVLO状態では発生しません。

サーマルシャットダウンフォルトは、いずれかのドライバの内部温度がサーマルシャットダウンスレッショルド(T_{C_SD})を超えたときに検出されます。温度がアクティブ化スレッショルド(T_{C_SD} - $T_{C_SD_HYS}$)を下回ると、フォルトはクリアされます。

オープン負荷フォルトは、ハイサイドモードにおいてHSスイッチがオフの状態で、O_出力の電圧が7Vの検出スレッショルドを上回ったときに検出されます。これは、O_出力がどの外部負荷にも未接続で、80µAのプルアップ電流がノードを充電した場合に発生します。HSスイッチがオフになった後で負荷がまだ容量を放電していないときに、短時間のオープン負荷状態が発生する可能性があります。

プッシュプルモードでは、過電流によってO_出力の電圧レベルが90µs (typ)のブランキング時間以上にわたって設定値と異なった場合、11ms (typ)のリトライ時間の間ドライバがオフになります。リトライ期間中は、$\overline{FAULT}$出力がアサートされ、シリアルデータ内のそのドライバのフォルトビットに1が設定されます。フォルト状態が取り除かれた後、現在のリトライ期間(11ms)の最後でフォルトがクリアされます。

シリアルコントローラインタフェース

MAX14900Eは、SPIインタフェース経由でチャネル単位の設定、制御、および/または監視を行うことができます(表1を参照)。必要なCSおよび/またはアイソレータ端子の数を削減するため、複数のMAX14900Eデバイスのデイジーチェーンがサポートされます。図5は、2つのMAX14900Eデバイスのデイジーチェーンの例を示します。デイジーチェーンは、8ビットと16ビットの両方のシリアルデータで動作します(S16/IN8 = X)。

MAX14900EはCPOL = 0およびCPHA = 0の場合にSPIモード0を使用します。CS入力がローに遷移するとき、診断および状態情報がサンプリングされ、内部のSPIシフトレジスタに保存されて、SDO出力がアクティブになります。このデータはCLKの個々の立下りエッジでSDOからクロックアウトされ、CLKの個々の立上りエッジで新しいSDIデータがサンプリングされシフトレジスタに保存されます。SPIサイクルの最後でCSがハイに遷移するとき、SPIシフトレジスタ内の現在のデータがMAX14900Eにラッチされ、新しい構成および/または出力設定データによってドライバの状態が変更されます。図6は、CSの遷移に従った内部信号のサンプリングを示します。

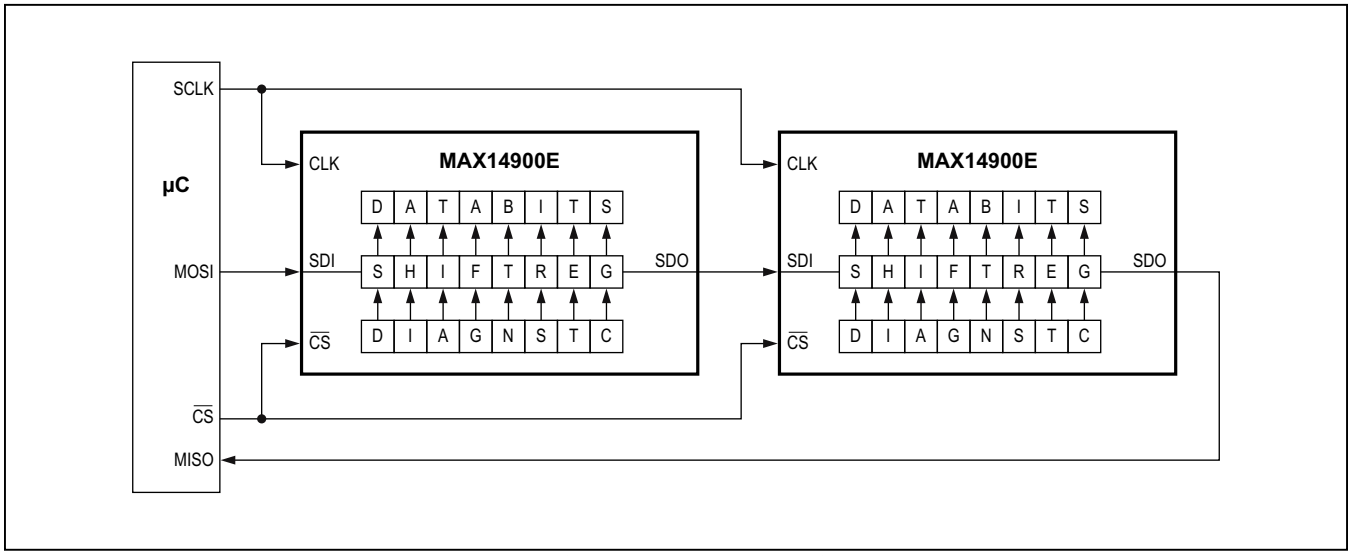


図 5. デイジーチェーンされた MAX14900E デバイス (8 ビットシリアルモード)

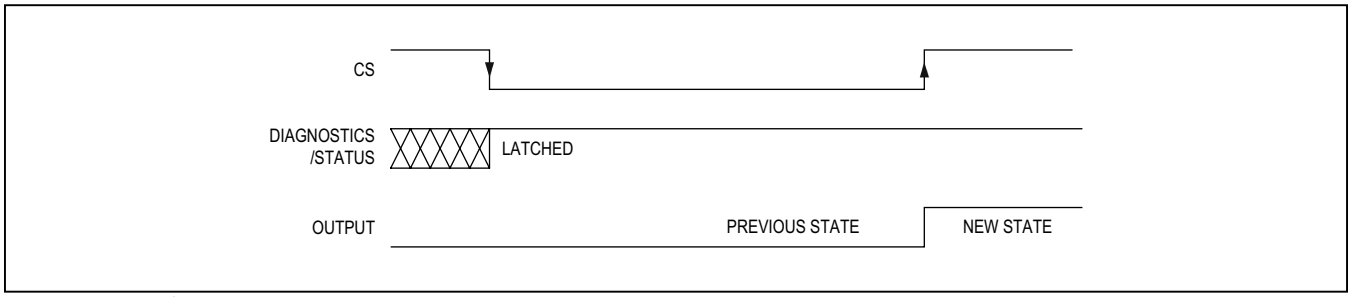


図 6. 内部サンプリングイベントのタイミング図

8ビットシリアルモード(出力設定および監視)

8ビット出力設定および8ビット監視を使用するシリアルモード(SRIAL = ハイ、S16/IN8 = ロー、CNFG/IN7 = ロー)では、SPIシフトレジスタは8ビット長です(図7)。DO_ビットは、それぞれのO_出力の状態を設定します(表4)。F_ビットは、それぞれのO_出力のフォルト情報を通知します(表7)。

8ビットシリアルモード(構成および監視)

8ビット構成および8ビット監視を使用するシリアルモード(SRIAL = ハイ、S16/IN8 = ロー、CNFG/IN7 = ハイ)では、SPIシフトレジスタは8ビット長です(図8)。C_ビットは、それぞれのO_出力のプッシュプル/ハイサイドモードを設定します(表5)。F_ビットは、それぞれのO_出力に対するフォルト情報を通知します(表7)。

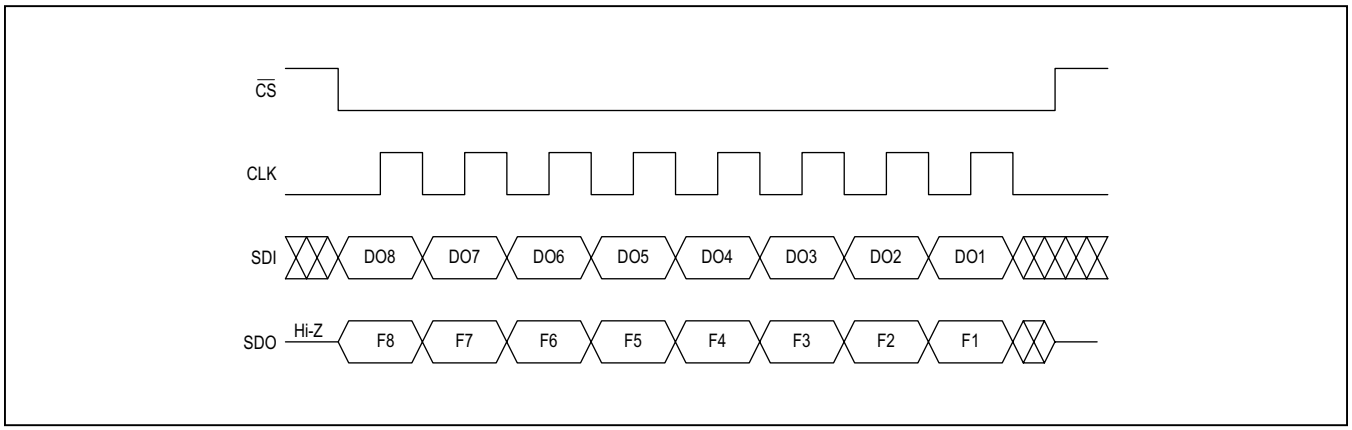


図 7. 8 ビット出力設定シリアルモードのシリアルタイミング

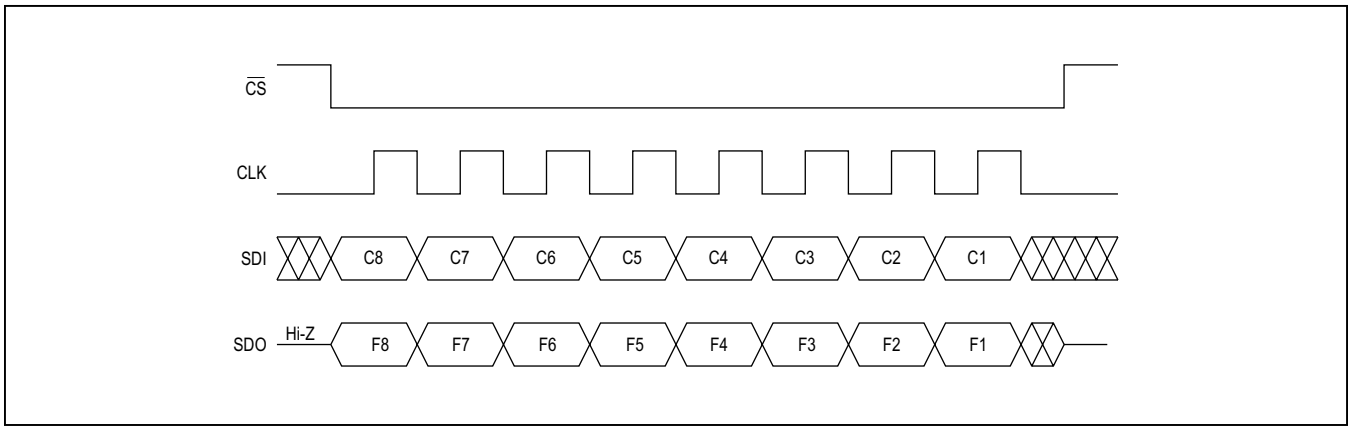


図 8. 8 ビット構成シリアルモードのシリアルタイミング

16ビットシリアルモード(8ビット出力設定/8ビット構成)

8ビット出力設定/8ビット構成および16ビット監視を使用するシリアルモード(SRIAL = ハイ、S16/IN8 = ハイ、CNFG/IN7 = ロー)では、SPIシフトレジスタは16ビット長です(図9)。DO_ビットはそれぞれのO_出力の状態を設定し、C_ビットはプッシュプル/ハイサイドモードを設定します(表4および表5)。F_およびS_ビットは、各チャネルの状態情報を通知します(表8)。

パラレルモード/16ビットシリアルモード(16ビット構成)

パラレルおよび16ビットシリアル設定と16ビット監視を使用するシリアルモード(SRIAL = ロー、またはSRIAL = ハイ、S16/IN8 = ハイ、CNFG/IN7 = ハイ)では、SPIシフトレジスタは16ビット長です(図10)。C1_およびC0_ビットは、それぞれのチャネルのプッシュプル/ハイサイドモードおよびオープン負荷検出を設定します(表6)。F_およびS_ビットは、各チャネルに対する状態情報を通知します(表8)。

出力設定、構成、および監視ビットの定義

表3～表8に、出力設定、構成、および監視ビットの作用を定義します。

PUSHPL = ハイの場合、C_に関係なく全出力はプッシュプルモードとして設定されます。

表4. シリアル出力設定の真理値表

DO_	O_ STATE	
	PUSH-PULL OPERATION	HIGH-SIDE OPERATION
0	Low	Off
1	High	On

表5. 8ビットシリアル設定の真理値表

C_	O_ CONFIGURATION
0	High-side mode
1	Push-pull mode

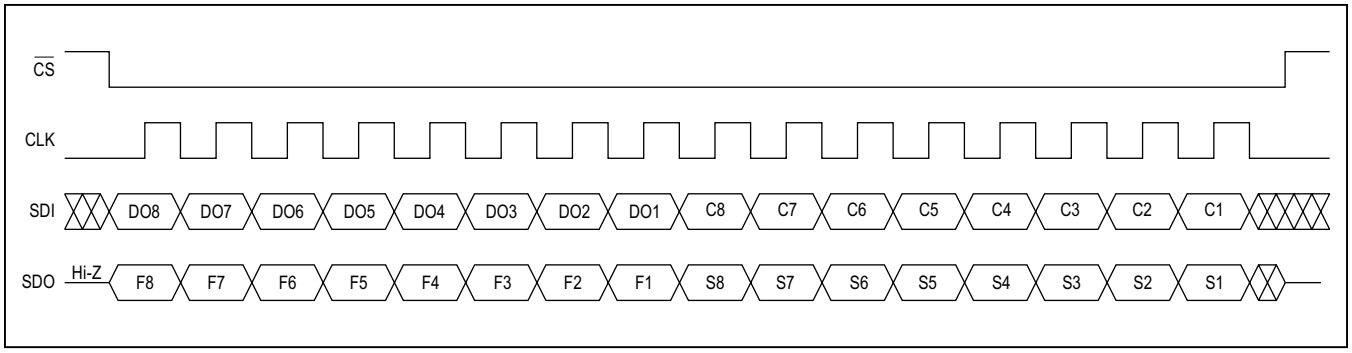


図 9. 16 ビットシリアルタイミング (8 ビット出力設定 /8 ビット構成)

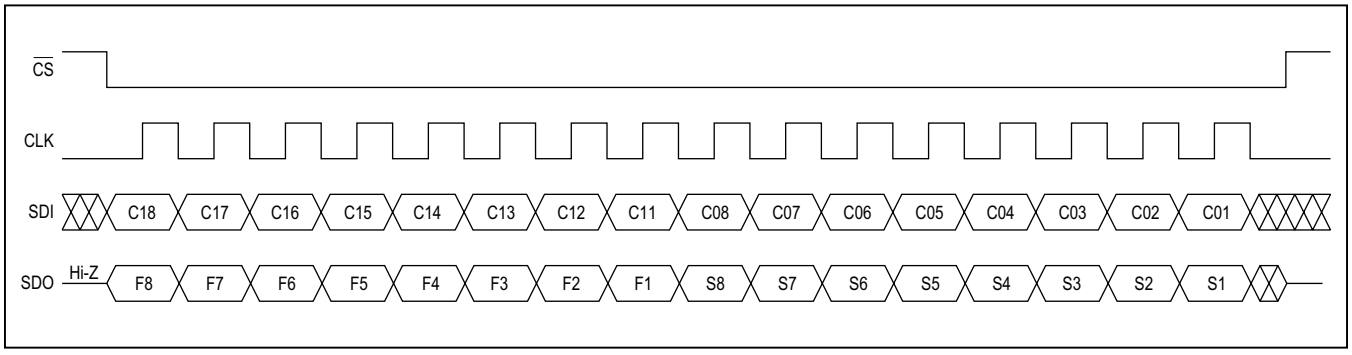


図 10. 16 ビットシリアルタイミング (16 ビット構成)

16ビットシリアル設定

オープン負荷検出は、ハイサイドモードに設定されている出力に対してのみ利用可能です。PUSHPL = ハイの場合、C_ビットに関係なく全出力はプッシュプルモードとして設定されます。シリアルモードでは、OL/IN1 = ハイの場合、C1_ビットに関係なくハイサイドとして設定されている全出力のオープン負荷検出がオンになります。

8ビットシリアル診断

ドライバがプッシュプルモードに設定されている場合、フォルトはそのチャネルに過負荷またはサーマルシャットダウンがあることを意味します。ドライバがハイサイドモードに設定されている場合、フォルトは過熱状態が検出されたことを意味します。ハイサイドモードでオープン負荷検出がイネーブルされている場合、オープン負荷(ハイサイドスイッチがオフの場合のみ可能)または過熱のいずれかが検出されるとF_ビットに1が設定されます。UVLO状態では、8つのF_ビットがロジック1になります。

16ビットシリアル診断

ロジックレベル状態(S_ビット)検出は、フォルトがない場合のみ有効です。通常(フォルトのない)動作状態の各S_ビットは、O_の電圧が7V (typ)以上か(= 1)あるいは以下か(= 0)を通知します。

全F_およびS_ビットがロジック1の場合は、UVLO状態です。

表6. 16ビットシリアル設定の真理値表

C1_	C0_	O_ CONFIGURATION
0	0	High-side mode, open-load detect off
0	1	Push-pull mode
1	0	High-side mode, open-load detect on
1	1	Push-pull mode

表7. 8ビット診断の真理値表

F_	O_ CONDITION
0	No fault present
1	Fault (overload, open load, or UVLO) present

表8. 16ビットシリアル診断の真理値表

F_	S_	O_ STATUS
0	0	No fault detected, logic state of O_ is low
0	1	No fault detected, logic state of O_ is high
1	0	Fault detected, logic state not defined
1	1	UVLO detected

シリアルインタフェースのCRCエラーチェック

シリアルモード(SRIAL = ハイ)では、CRC/IN3をハイに設定することによってCRCエラー検出をイネーブルし、SDI/SDO/CLK信号のノイズが原因で発生する不正な動作を最小限に抑えることができます。CRCエラー検出がイネーブルされている場合、MAX14900Eはコントローラから受信したSDIデータのエラーを検出し、コントローラに送信するSDOデータのCRCを計算してこのチェックバイトをSDOデータの末尾に付加します。

これによって、MAX14900Eの送信および受信SPIデータのいずれも未検出のエラーを含む可能性が低いことが確保されます。

MAX14900Eによって全8ビット/16ビットSDOデータに付加されるチェックバイトは、7ビットのフレームチェックシーケンス(FCS)を含みます。このFCSは、CRCジェネレータ多項式$x^7 + x^5 + x^4 + x^2 + x + 1$に基づきます。CRC初期化条件は0x7Fです。次に、MAX14900Eは受信する全8/16ビットSDIデータにも同じ多項式に基づくFCSを含んだチェックバイトが付加されていることを要求します(図11)。

コントローラは、8/16ビットデータに対する7つのFCSビット(CRI_)を、チェックバイトの最初の位置のロジック1を含めて計算する必要があります。そのため、CRCは9または17ビットに対して計算されます。CRI1はFCSのLSBです。MAX14900Eはこの受信したCRCを検証します。MAX14900Eが受信したSDIデータにCRCエラーを検出した場合は、このデータを無視し、構成および/または出力設定を変更しません。代わりに、$\overline{CERR}$/IN4出力がアサートされ、後続のシリアル通信サイクルでコントローラに返送する8/16ビットSDO診断/状態データの末尾に付加するチェックバイト内のERRビットに1を設定します(図12)。

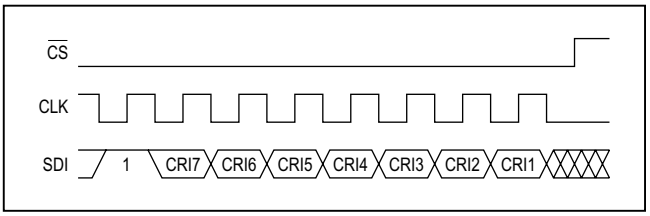


図 11. コントローラから送信する必要のある CRC チェックバイト

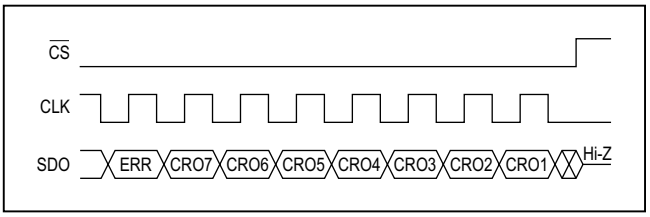


図 12. MAX14900E によって送信される CRC チェックバイト

ERRは、コントローラに送信されるエラーフィードバックビットで、直前のSDIデータ受信でCRCエラーが検出されたことを通知します。ERRは1つのSPIサイクルだけ遅延すること、つまり直前のSPIデータサイクルでCRCエラーが検出されたことを示すことに注意してください。CRCエラーが検出されると$\overline{CERR}$/IN4出力は直ちにアクティブに設定されるため、コントローラは直前のSDIデータの再送信またはその他の対応を行うことができます。

CRO_ビットは、MAX14900Eが8ビット/16ビット診断および/または状態データおよびERRビットに対して計算するCRCビットです(つまり、出力FCSは9/17ビットに対して計算されます)。これによって、コントローラはMAX14900Eから受信したSDOデータのエラーを検出することができます。

アプリケーション情報

誘導性負荷の駆動

ハイサイドモードでは、ハイサイドスイッチがオフになるとき、インダクタの磁場が消滅する間も負荷の誘導電流の供給を継続するため、誘導性負荷によってO_の電圧が負にスイングします。内蔵のダイオードは、最大1.5Hの誘導性負荷のターンオフおよび最大1.9Aの電流に対応します。

ランプ負荷の駆動

ランプ負荷とは白熱電球のことで、フィラメントの抵抗値がフィラメントの温度に大きく依存します。低温のフィラメントは抵抗値が非常に低いため、最初は大きい起動電流が流れます。MAX14900Eは、15Wのランプを動作温度範囲全体にわたって高信頼性でオンにします。

容量性負荷の駆動

プッシュプルドライバで純粋な容量性負荷を充電/放電する場合、ドライバはスイッチング周波数に比例する電力を消費します。電力は、$P_D \fallingdotseq C \times V_{DD}^2 \times f$によって概算可能です(ここで、Cは負荷容量、$V_{DD}$は電源電圧、$f$はスイッチング周波数です)。たとえば1nFの負荷と100kHzのスイッチング周波数を使用するアプリケーションでは、各ドライバはV_{DD} = 36Vで約130mWを消費します。純粋な容量性負荷を駆動する場合は、最大容量を約10nFと考えてください。

共有バス上の複数のSPIデバイス

$\overline{CS}$がロジックハイのときSDO出力はハイインピーダンスになるため、SDOラインを相互に接続した複数のデバイスを共有SPIバスに並列に接続することができます。SDOがハイインピーダンスのとき、200kΩの内蔵プルダウン抵抗がイネーブルされ、SDOをGNDに弱プルダウンします。

出力の並列接続

ハイサイドモードの場合、より高い負荷電流にするために複数の出力を並列に接続することができます。並列動作しているこれらのハイサイドスイッチ間で総負荷電流を等分する必要があります。これはO_ピンから共通のスター接続ポイントまでのすべてのPCBトラックが同じトレース抵抗を持つことによって達成されます。各ハイサイドスイッチのオン抵抗が85mΩ (typ)と低いため、これが特に重要となります。

基板レイアウト

高速スイッチが最高の性能を実現するには、適切なレイアウトおよび設計手順が必要です。電源バイパスコンデンサはできる限りデバイスの近くに配置されることを確保してください。全V_{DD}端子をV_{DD}プレーンに接続してください。全V_{DD}端子間は必ず10mΩ以内にしてください。この場合、グランドプレーン上のできる限りV_{DD}端子に近い位置に1µFのコンデンサを配置してください。V_{DD}端子間に低抵抗値の経路を作ることができない場合は、100nFのコンデンサ経由で各端子をGNDに接続してください。

V_{DD}とGND間にサプレッサ/TVSダイオードを使用して、V_{DD}電源入力の高サージ過渡およびO_出力からのサージをクランプしてください。スタンドオフ電圧は機器の最大動作電圧より高くし、ブレークダウン電圧は約40Vにしてください。

長いフィールド電源ケーブルを使用すると、大きいdi/dtによってV_{DD}電源上に大きい電圧過渡が発生する可能性があるため、フィールド電源が入るポイントでV_{DD}に大容量のコンデンサを追加することが推奨されます。容量はできる限り大きくすべきですが、最小値として47µFの電解コンデンサが推奨されます。

高ESD保護

取扱い中や組立て中に発生する静電気放電に対する保護のため、全端子に最大±2kV HBM (ヒューマンボディモデル)の静電気放電(ESD)保護構造が組み込まれています。

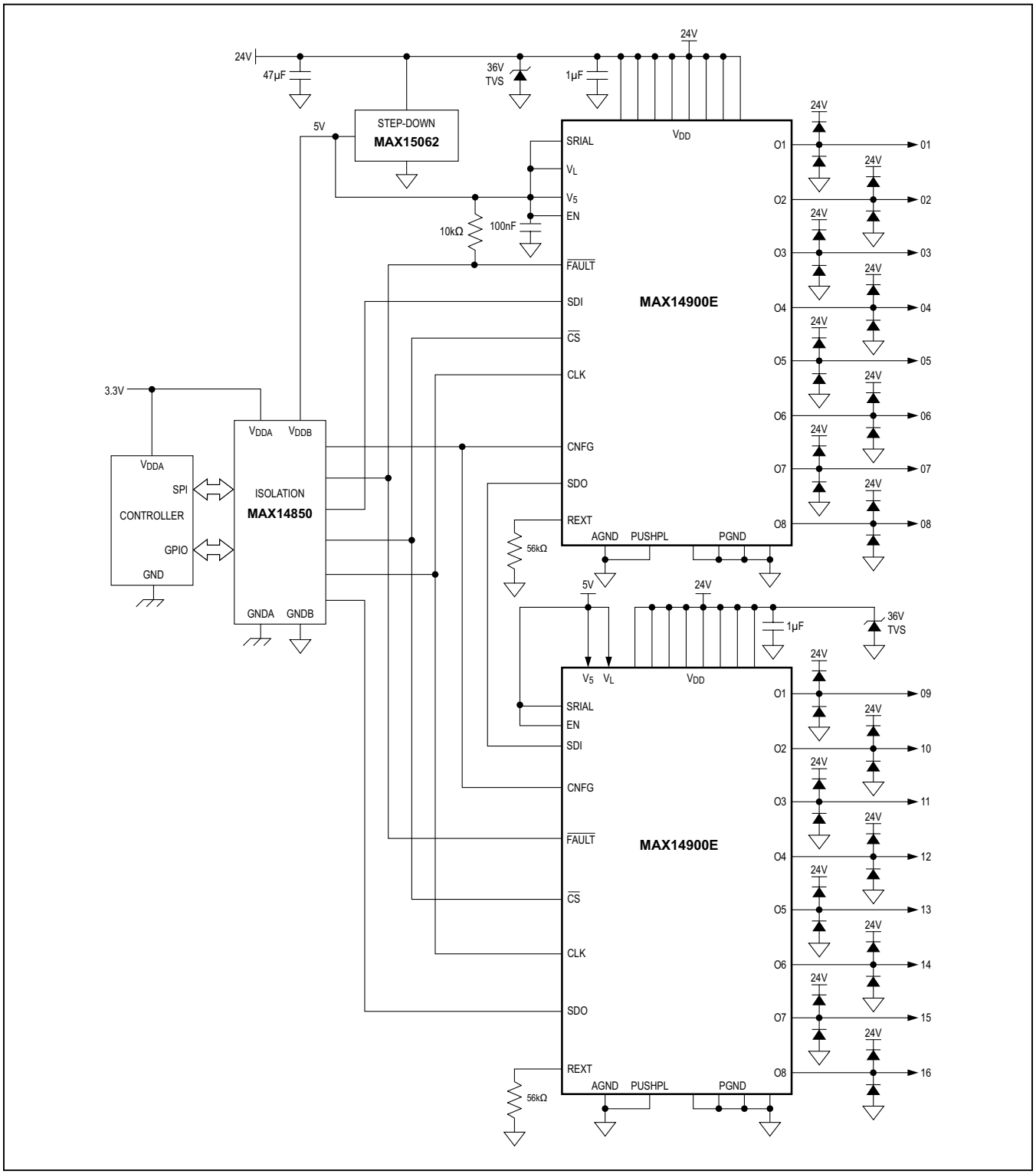
全O_出力はESDに対する保護がさらに強化されており、V_{DD}上に1µFのバイパスコンデンサおよびサプレッサ/TVSダイオードを備えたアプリケーション回路で動作する場合、最大±15kV (HBM)まで損傷が発生しません。

さらに高いESDレベルを実現するため、「サージ保護」の項で説明するように、各出力とGND間およびV_{DD}間に外付けダイオードを接続してください。

サージ保護

MAX14900EのO_端子は、V_{DD}上のTVSダイオードのみを使用し、O_端子の保護ダイオードはなしの場合に、±600V/(42Ω + 0.5µF) 1.2µs/50µsのサージ試験に耐えることができます。「標準動作回路」を使用した場合、±1.5kV/(42Ω + 0.5µF)以上のIEC61000-4-5サージ試験を達成しました。O_のシリコンダイオードは、サージ電流に対応する低フォワード電圧ダイオードとする必要があります(MURA205T3Gなど)。V_{DD}電源のサージサプレッサダイオードは、高サージ電流時に低出力インピーダンスを備える必要があります。SM30TYがこれに最適します。全ダイオードおよびV_{DD}のコンデンサは、できる限りMAX14900Eの端子の近くに配置してください。

標準動作回路


24V
47µF
36V
TVS
1µF
5V
STEP-DOWN
MAX15062
3.3V
VDDA
VDDB
ISOLATION
MAX14850
SPI
CONTROLLER
GPIO
GND
GNDA
GNDB
10kΩ
100nF
SRIAL
VL
V5
EN
FAULT
SDI
CS
CLK
CNFG
SDO
REXT
AGND
PUSHPL
PGND
VDD
MAX14900E
O1
O2
O3
O4
O5
O6
O7
O8
56kΩ
01
02
03
04
05
06
07
08
09
10
11
12
13
14
15
16

型番

PART	TEMP RANGE (°C)	PIN-PACKAGE
MAX14900EAGM+CKT	-40 to +125	48 QFN-EP**
MAX14900EAGM+TCKT	-40 to +125	48 QFN-EP**
MAX14900EAGM+CKH	-40 to +125	48 TQFN-EP**
MAX14900EAGM+TCKH	-40 to +125	48 TQFN-EP**

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
T = テープ&リール。
**EP = エクスポーズドパッド。

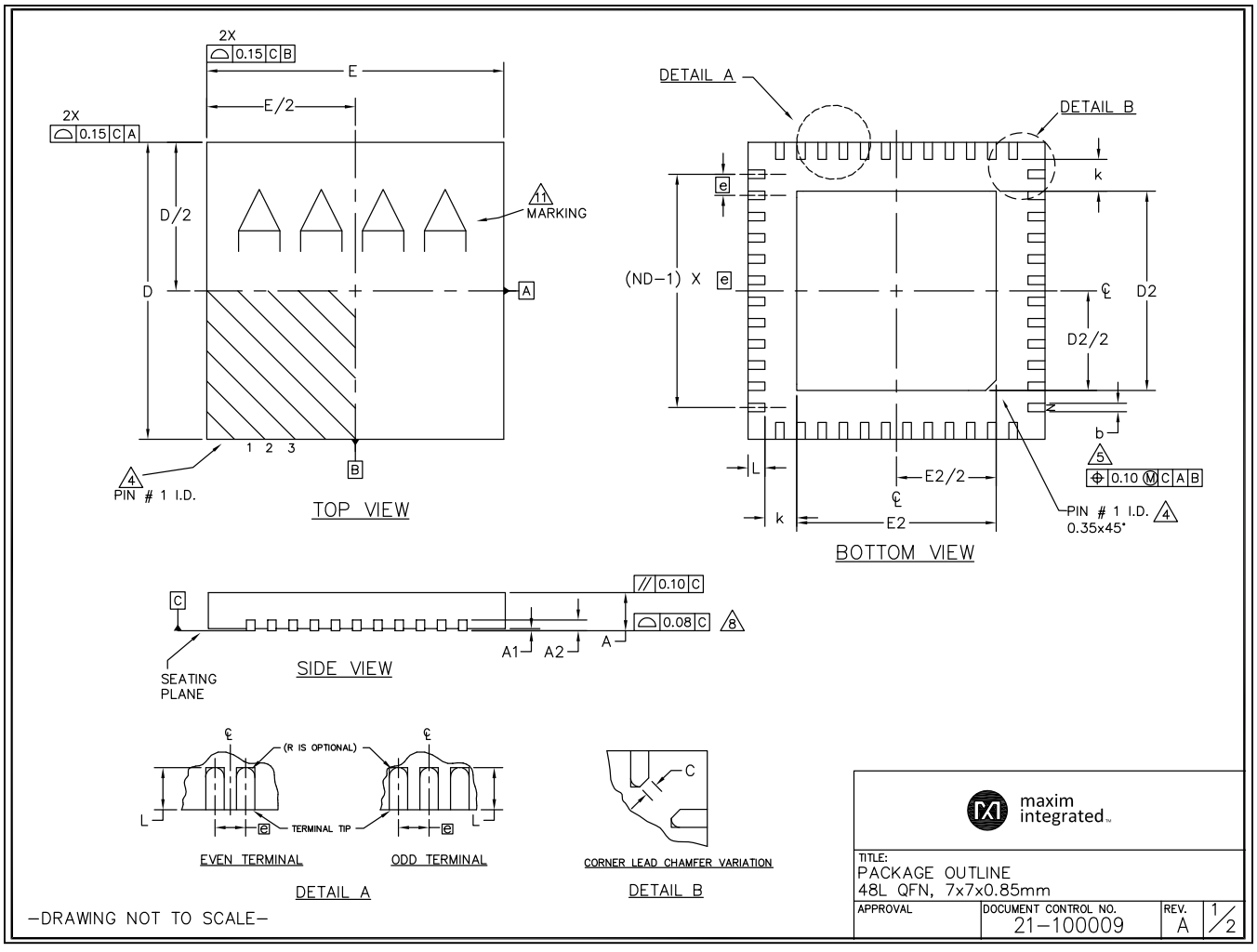
チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**www.maximintegrated.com/jp/packaging** を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

PACKAGE TYPE	PACKAGE CODE	OUTLINE NO.	LAND PATTERN NO.
48 QFN	K4877+1	21-100009	90-100003
48 TQFN	T4877+6	21-0144	90-0130



パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**www.maximintegrated.com/jp/packaging**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

COMMON DIMENSIONS			
PKG SYMBOL	MIN.	NOM.	MAX.
A	0.80	0.85	0.90
A1	0	0.02	0.05
A2	0.20 REF.		
b	0.20	0.25	0.30
D	6.90	7.00	7.10
D2	5.40	5.50	5.60
E	6.90	7.00	7.10
E2	5.40	5.50	5.60
e	0.50 BSC.		
k	0.25	–	–
L	0.30	0.40	0.50
C	0.115 X 45°		
N	48		
ND	12		
NE	12		
PACKAGE CODE	K4877-1		

NOTES:
1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. WARPAGE SHALL NOT EXCEED 0.10 mm.
10. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
11. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
12. ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbFREE (+) PKG. CODES.

-DRAWING NOT TO SCALE-

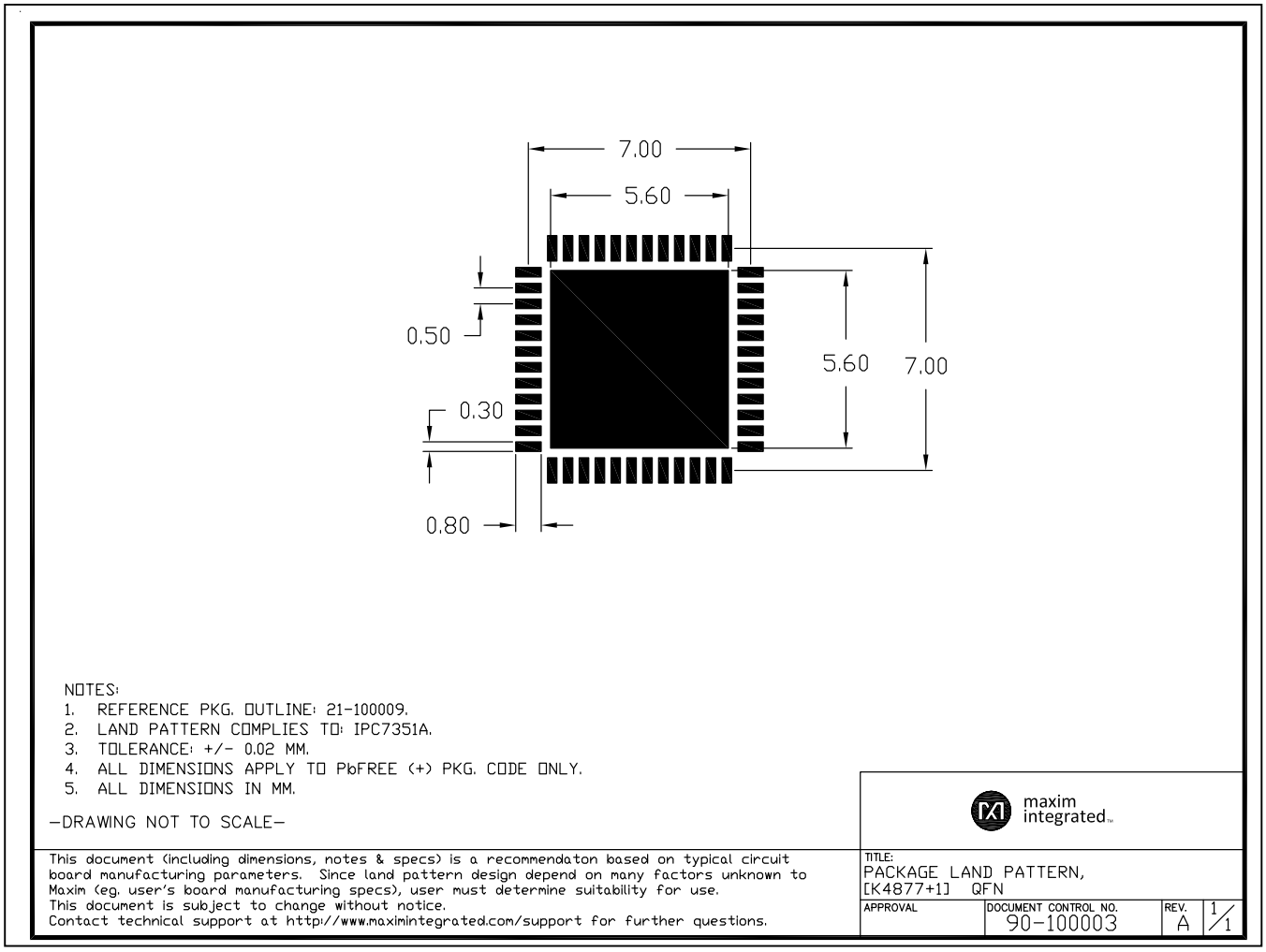
maxim integrated™

TITLE:
PACKAGE OUTLINE
48L QFN, 7x7x0.85mm

APPROVAL	DOCUMENT CONTROL NO.	REV.	
	21-100009	A	2/2

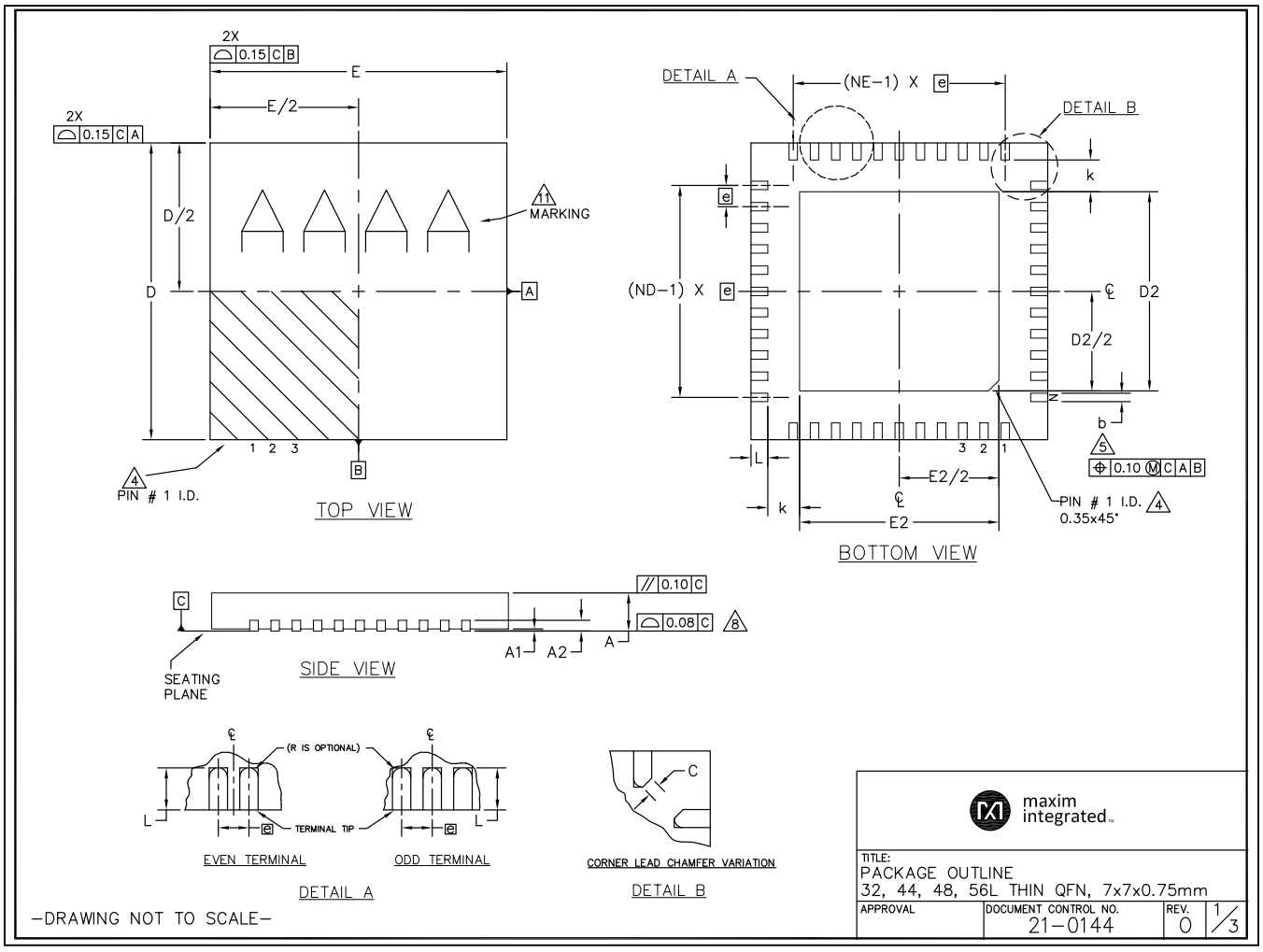
パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**www.maximintegrated.com/jp/packaging**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。



パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**www.maximintegrated.com/jp/packaging** を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。



パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**www.maximintegrated.com/jp/packaging**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

COMMON DIMENSIONS

PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	–	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	–	–	0.25	–	–	0.25	–	–	0.25	–	–	0.25	–	–
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.30	0.40	0.50
N	32			44			48			44			56		
ND	8			11			12			10			14		
NE	8			11			12			12			14		

CORNER LEAD CHAMFER VARIATION

PKG. CODES	C
T4877-3	0.115 X 45°
T4877-4	0.115 X 45°
T4877-4C	0.115 X 45°
T4877-6	0.115 X 45°
T4877-7	0.115 X 45°
T4877-10	0.115 X 45°
T4877M-1	0.115 X 45°
T4877M-6	0.115 X 45°

EXPOSED PAD VARIATIONS

PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C
		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3277-2	–	4.55	4.70	4.85	4.55	4.70	4.85	–
T3277-3	–	4.55	4.70	4.85	4.55	4.70	4.85	–
T4477-2	–	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1
T4477-2C	–	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1
T4477-3	–	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1
T4877-3	–	4.95	5.10	5.25	4.95	5.10	5.25	–
T4877-4	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877-4C	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877-6	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877-7	–	4.95	5.10	5.25	4.95	5.10	5.25	–
T4877-10	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877M-1	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877M-6	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877MN-8	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877N-8	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T4877-9C	–	3.92	4.02	4.12	3.92	4.02	4.12	–
T5677-1	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T5677MN-1	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T5677-2	–	5.40	5.50	5.60	5.40	5.50	5.60	–
T5677-3	–	5.40	5.50	5.60	5.40	5.50	5.60	–

–DRAWING NOT TO SCALE–

maxim integrated

TITLE:
PACKAGE OUTLINE
32, 44, 48, 56L THIN QFN, 7x7x0.75mm

APPROVAL	DOCUMENT CONTROL NO.	REV.	
	21-0144	0	2/3

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**www.maximintegrated.com/jp/packaging**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M−1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95−1 SPP−012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877−3/−4/−6 & T5677−1.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
13. ALL DIMENSIONS APPLY TO BOTH LEADED (−) AND PbFREE (+) PKG. CODES.

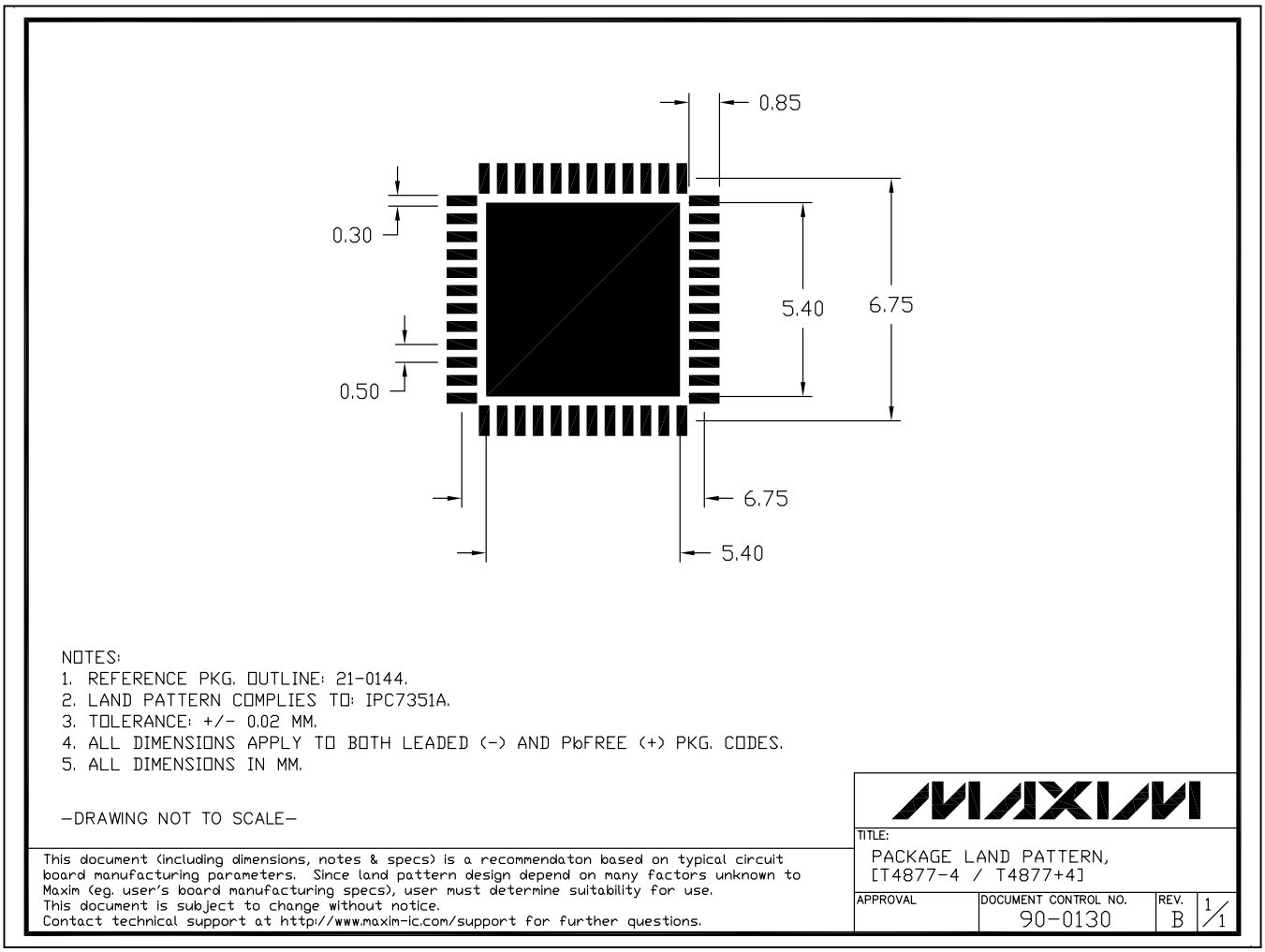
−DRAWING NOT TO SCALE−

maxim integrated™

TITLE: PACKAGE OUTLINE 32, 44, 48, 56L THIN QFN, 7x7x0.75mm			
APPROVAL	DOCUMENT CONTROL NO. 21−0144	REV. 0	3/3

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**www.maximintegrated.com/jp/packaging**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。



改訂履歴

版数	改訂日	説明	改訂ページ
0	3/13	初版	—
1	6/14	新しい特長を追加	1, 4, 5, 7, 9, 10, 12, 14, 15, 17-21
2	11/14	電流制限を変更、TQFNパッケージオプションを追加	1–3, 13, 16, 20–23
3	1/15	「概要」、「利点と特長」、「型番」、および「パッケージ」の各項を更新	1, 23-30
4	4/15	「ファンクションダイアグラム」、および「Absolute Maximum Ratings (絶対最大定格)」項の「Maximum Power Dissipation (最大消費電力)」を更新、「標準動作特性」の軸およびシンボルのラベル表示の誤りを修正、「アプリケーション情報」の下に「出力の並列接続」項を追加	1-2, 4, 10-11, 13, 15-18, 21

マキシム・ジャパン株式会社　〒141-0032　東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F　TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

© 2015 Maxim Integrated Products, Inc.　Maxim IntegratedおよびMaxim IntegratedのロゴはMaxin Integrated Products, Inc.の商標です。