

40V、高性能、同期バックコントローラ

MAX15046

概要

同期ステップダウンコントローラのMAX15046は、4.5V~40Vの入力電圧範囲で動作し、最大25Aの負荷に対応しつつ、入力電圧の85%から最低0.6Vまでの可変の出力電圧を生成します。このデバイスは、出力の放電なしにプリバイアスされたバスでの単調性起動が可能で、適型内蔵デジタルソフトスタートを備えています。

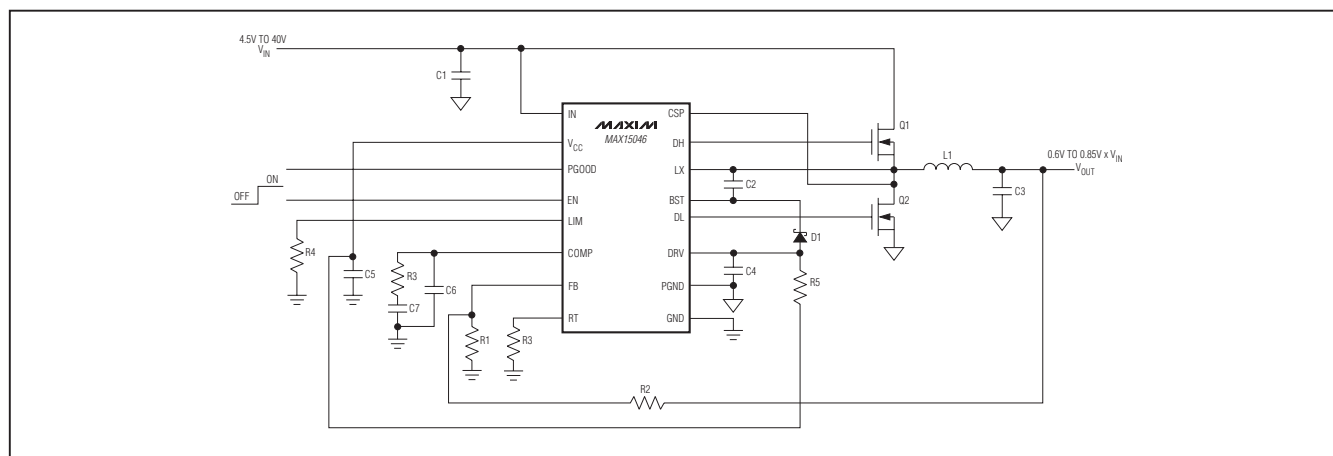
MAX15046は、外付け抵抗によってスイッチング周波数を100kHz~1MHzに調整することができます。MAX15046の適応型同期整流によって、外付けのフリーホイールショットキーダイオードが不要になります。また、このデバイスは外付けのローサイドMOSFETのオン抵抗を電流検出素子として利用するため、電流検出抵抗も不要です。これによって、電流検出抵抗を必要とせずに、DC-DC部品を出力過電圧状態または出力短絡フォルト時の損傷から保護されます。ヒカップモード電流制限は、短絡状態時の電力損失を低減します。MAX15046は、正確なターンオン/ターンオフスレッシュホールドの1つのパワーグッド出力と1つのイネーブル入力を備えており、入力電源監視および電源シーケンスに使用することができます。

その他の保護機能として、シンクモード電流制限とサーマルシャットダウンがあります。シンクモード電流制限は、デバイスが出力から電流をシンクするときに、逆インダクタ電流が危険なレベルに達するのを防止します。

MAX15046は16ピンQSOPまたは16ピンQSOP-EPパッケージで提供され、-40℃~+125℃の温度範囲で動作します。

ピン配置はデータシートの最後に記載されています。

標準動作回路



特長

- ◆ 入力電圧範囲：4.5V~40Vまたは5V ±10%
- ◆ 可変出力： $V_{IN} \times 0.85 \sim 0.6V$
- ◆ 可変スイッチング周波数(100kHz~1MHz)、±10% (1MHz)の精度
- ◆ 適応型デジタルソフトスタート内蔵
- ◆ 出力性能：25A (max)
- ◆ 可変温度補償スレッシュホールド(30mV~300mV)内蔵、サイクル単位の谷モード電流制限
- ◆ プリバイアス出力への単調性起動
- ◆ 電圧リファレンス精度：±1%
- ◆ 3Aピークゲートドライバ
- ◆ ヒカップモード短絡保護
- ◆ 温度過昇シャットダウン
- ◆ ±5%精度のスレッシュホールドを備えたパワーグッド (PGOOD)出力およびイネーブル入力(EN)
- ◆ 放熱特性を高めた16ピンQSOPパッケージ

アプリケーション

産業用電源(PLC、産業コンピュータ、フィールドバスコンポーネント、フィールドバス結合器)

テレコム電源

基地局

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX15046AAEE+	-40°C to +125°C	16 QSOP
MAX15046BAEE+	-40°C to +125°C	16 QSOP-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

40V、高性能、同期バックコントローラ

MAX15046

ABSOLUTE MAXIMUM RATINGS

IN to GND	-0.3V to +45V
V _{CC} to GND	-0.3V to lower of (V _{IN} + 0.6V) and 6V
EN, DRV to GND	-0.3V to +6V
PGOOD to GND	-0.3V to +45V
PGND to GND	-0.3V to +0.3V
DL to PGND	-0.3V to (V _{DRV} + 0.3V)
BST to PGND	-0.3V to +50V
LX and CSP to PGND	-1V to +45V
LX and CSP to PGND	-2V (50ns max) to +45V
BST to LX	-0.3V to +6V
CSP to LX	-0.3V to +0.3V
DH to LX	-0.3V to (V _{BST} + 0.3V)
All Other Pins to GND	-0.3V to (V _{CC} + 0.3V)
V _{CC} Short Circuit to GND	Continuous
PGOOD Maximum Sink Current	20mA

Continuous Power Dissipation (T_A = +70°C):

16-Pin QSOP (derate 9.6mW/°C above +70°C)771.5mW

16-Pin QSOP-EP (derate 22.7mW/°C above +70°C) 1818.2mW

Junction-to-Case Thermal Resistance (θ_{JC}) (Note 1)

16-Pin QSOP37°C/W

16-Pin QSOP-EP6°C/W

Junction-to-Ambient Thermal Resistance (θ_{JA}) (Note 1)

16-Pin QSOP103.7°C/W

16-Pin QSOP-EP44°C/W

Operating Temperature Range-40°C to +125°C

Junction Temperature+150°C

Storage Temperature Range-65°C to +150°C

Lead Temperature (soldering, 10s)+300°C

Soldering Temperature (reflow)+260°C

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to <http://japan.maxim-ic.com/thermal-tutorial>.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = 24V, V_{EN} = 5V, V_{GN} = V_{PGND} = 0V, C_{IN} = 1μF, C_{VCC} = 4.7μF, R_{RT} = 49.9kΩ, T_A = T_J = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM SPECIFICATIONS						
Input-Voltage Range	V _{IN}		4.5		40	V
		V _{IN} = V _{CC} = V _{DRV}	4.5		5.5	
Quiescent Supply Current	I _{IN_Q}	V _{IN} = 24V, V _{FB} = 0.9V, no switching		2	3	mA
Shutdown Supply Current	I _{IN_SBY}	V _{IN} = 24V, V _{EN} = 0V, I _{VCC} = 0, PGOOD = unconnected		0.35	0.55	mA
V_{CC} REGULATOR						
Output Voltage	V _{CC}	6V ≤ V _{IN} ≤ 40V, I _{LOAD} = 6mA	5	5.25	5.5	V
V _{CC} Regulator Dropout		V _{IN} = 4.5V, I _{LOAD} = 25mA		0.18	0.45	V
V _{CC} Short-Circuit Output Current		V _{IN} = 5V	30	55	90	mA
V _{CC} Undervoltage Lockout	V _{CCUVLO}	V _{CC} rising	3.8	4	4.2	V
V _{CC} Undervoltage Lockout Hysteresis				400		mV
ERROR AMPLIFIER (FB, COMP)						
FB Input-Voltage Set Point	V _{FB}		584	590	596	mV
FB Input Bias Current	I _{FB}	V _{FB} = 0.6V	-250		+250	nA
FB to COMP Transconductance	g _M	I _{COMP} = ±20μA	600	1200	1800	μS
Open-Loop Gain				80		dB
Unity-Gain Bandwidth		Capacitor from COMP to GND = 47pF		5		MHz

40V、高性能、同期バックコントローラ

MAX15046

ELECTRICAL CHARACTERISTICS (continued)

(VIN = 24V, VEN = 5V, VGND = VPGND = 0V, CIN = 1μF, CVCC = 4.7μF, RRT = 49.9kΩ, TA = TJ = -40°C to +125°C, unless otherwise noted. Typical values are at TA = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VCOMP-RAMP Minimum Voltage				200		mV
COMP Source/Sink Current	ICOMP	VCOMP = 1.4V	50	80	110	μA
ENABLE (EN)						
EN Input High	VEN_H	VEN rising	1.14	1.20	1.26	V
EN Input Low	VEN_L	VEN falling		1.05		V
EN Input Leakage Current	IEN	VEN = 5.5V	-1		+1	μA
OSCILLATOR						
Switching Frequency (100kHz)	fSW	RRT = 150kΩ	80	100	120	kHz
Switching Frequency (300kHz)	fSW	RRT = 49.9kΩ	270	300	330	kHz
Switching Frequency (1MHz)	fSW	RRT = 14.3kΩ	0.9	1	1.1	MHz
Switching Frequency Adjustment Range		(Note 3)	100		1000	kHz
RT Voltage	VRT	RRT = 49.9kΩ	1.15	1.2	1.25	V
PWM MODULATOR						
PWM Ramp Peak-to-Peak Amplitude	VRAMP			1.5		V
PWM Ramp Valley	VVALLEY			1.5		V
Minimum Controllable On-Time				70	125	ns
Maximum Duty Cycle		fSW = 300kHz (RRT = 49.9kΩ)	85	87.5		%
Minimum Low-Side On-Time		fSW = 1MHz (RRT = 14.3kΩ)		110		ns
OUTPUT DRIVERS/DRIVERS SUPPLY (VDRV)						
Undervoltage Lockout	VDRV_UVLO	VDRV rising	4.0	4.2	4.4	V
DRV Undervoltage Lockout Hysteresis				400		mV
DH On-Resistance		Low, sinking 100mA, VBST - VLX = 5V		1	3	Ω
		High, sourcing 100mA, VBST - VLX = 5V		1.5	4	
DL On-Resistance		Low, sinking 100mA, VDRV = VCC = 5.25V		1	3	
		High, sourcing 100mA, VDRV = VCC = 5.25V		1.5	4	
DH Peak Current		CLOAD = 10nF		3		A
		Sinking, VBST - VLX = 5V Sourcing, VBST - VLX = 5V		2		

40V、高性能、同期バックコントローラ

MAX15046

ELECTRICAL CHARACTERISTICS (continued)

(VIN = 24V, VEN = 5V, VGND = VPGND = 0V, CIN = 1μF, CVCC = 4.7μF, RRT = 49.9kΩ, TA = TJ = -40°C to +125°C, unless otherwise noted. Typical values are at TA = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DL Peak Current		CLOAD = 10nF Sinking, VDRV = VCC = 5.25V		3		A
		Sourcing, VDRV = VCC = 5.25V		2		
DH, DL Break-Before-Make Time (Dead Time)				10		ns
SOFT-START						
Soft-Start Duration				2048		Switching Cycles
Reference Voltage Steps				64		Steps
CURRENT LIMIT/HICCUP						
Cycle-by-Cycle Valley Current-Limit Threshold Adjustment Range		VCSP - VPGND, valley limit = VLIM/10	VLIM = 0.3V	30		mV
			VLIM = 3V	300		
LIM Reference Current	ILIM	VLIM = 0.3V to 3V, TA = +25°C	45	50	55	μA
LIM Reference Current Temperature Coefficient				2300		ppm/°C
CSP Input Bias Current		VCSP = 40V	-1		+1	μA
Number of Consecutive Current-Limit Events to Hiccup				7		Events
Hiccup Timeout				4096		Switching Cycles
Peak Low-Side Sink Current-Limit Threshold		VCSP - VPGND, sink limit = VLIM/20, RILIM = 30kΩ, VLIM = 1.5V, TA = +25°C		75		mV
POWER-GOOD (PGOOD)						
PGOOD Threshold		VFB rising	90	94	97.5	%VFB
PGOOD Threshold Hysteresis		VFB falling		2.65		%VFB
PGOOD Output Low Voltage	VPGOOD_L	IPGOOD = 2mA, VEN = 0V			0.4	V
PGOOD Output Leakage Current	I _{LEAK_PGOOD}	VPGOOD = 40V, VEN = 5V, VFB = 1V	-1		+1	μA
THERMAL SHUTDOWN						
Thermal Shutdown Threshold		Temperature rising		+150		°C
Thermal Shutdown Hysteresis				20		°C

Note 2: All devices are 100% tested at room temperature and guaranteed by design over the specified temperature range.

Note 3: Select RRT as: $R_{RT} = \frac{17.3 \times 10^9}{f_{SW} + (1 \times 10^{-7})(f_{SW}^2)}$, where fSW is in Hertz.

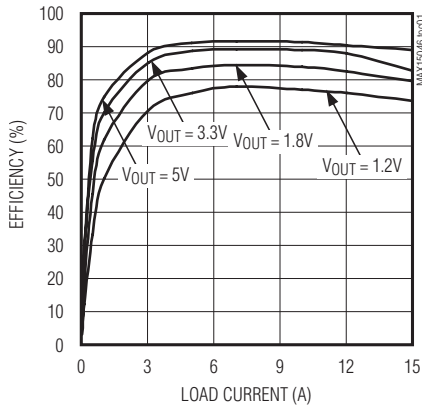
40V、高性能、同期バックコントローラ

MAX15046

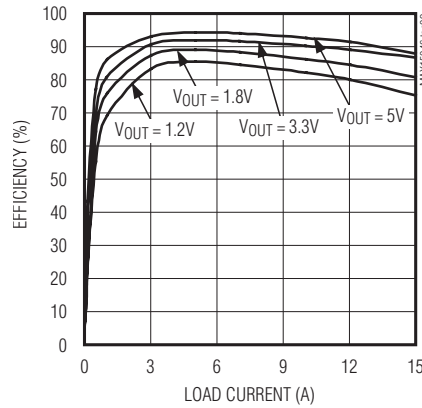
標準動作特性

($V_{IN} = 24V$, $T_A = +25^\circ C$, unless otherwise noted.)

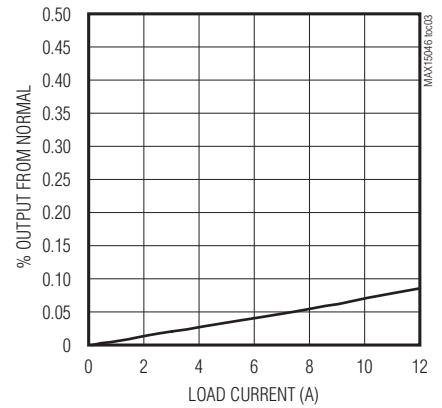
EFFICIENCY vs. LOAD CURRENT
($V_{IN} = 24V$)



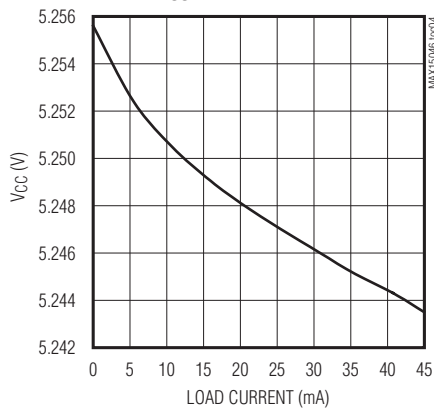
EFFICIENCY vs. LOAD CURRENT
($V_{IN} = 12V$)



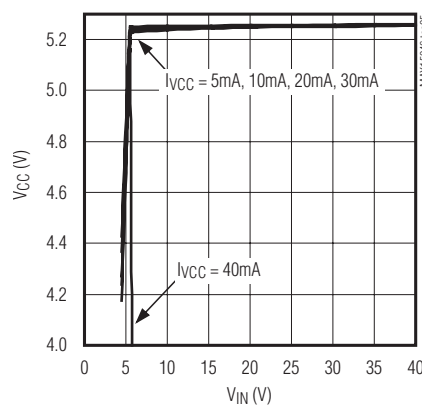
VOUT vs. LOAD CURRENT



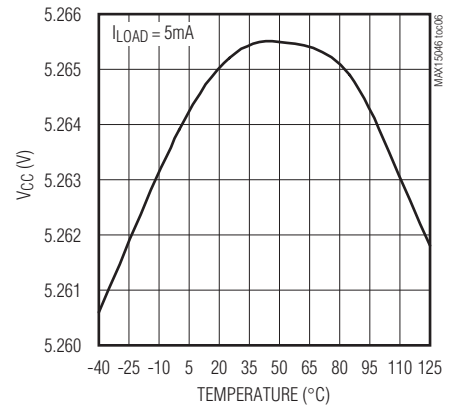
VCC vs. LOAD CURRENT



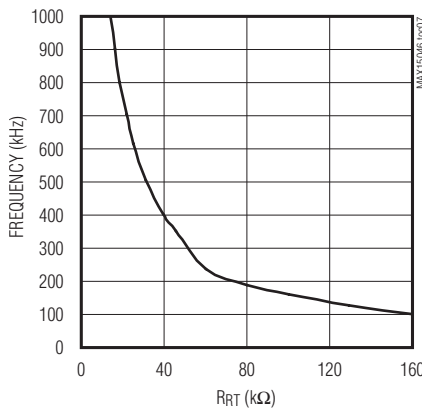
VCC LINE REGULATION



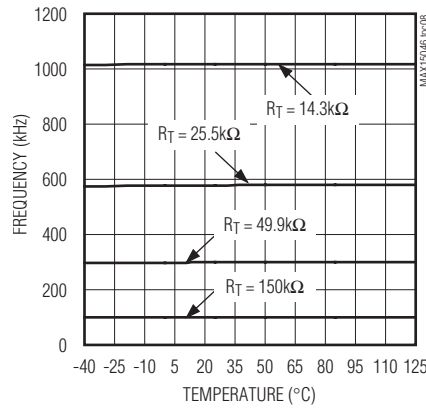
VCC vs. TEMPERATURE



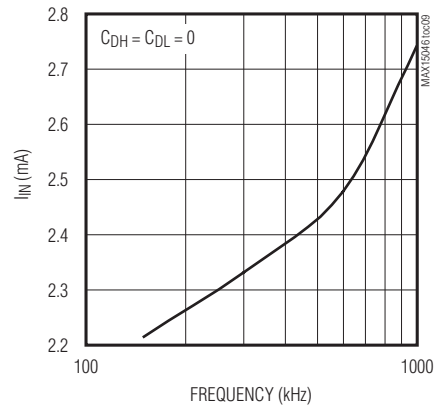
SWITCHING FREQUENCY vs. R_{RT}



SWITCHING FREQUENCY vs. TEMPERATURE



I_{IN} vs. SWITCHING FREQUENCY

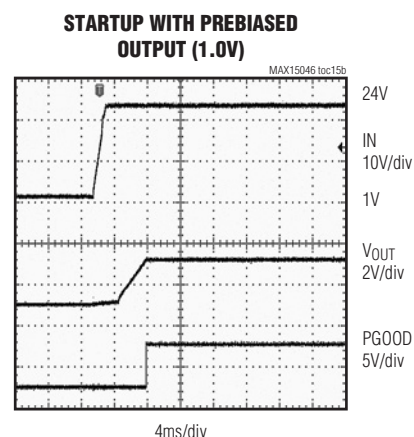
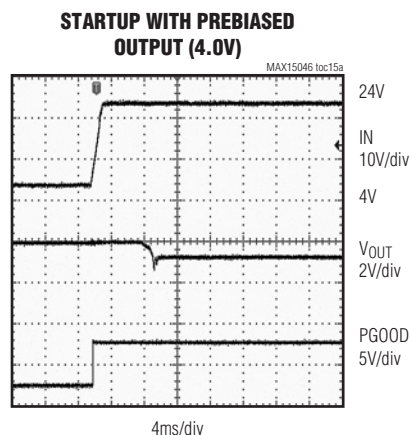
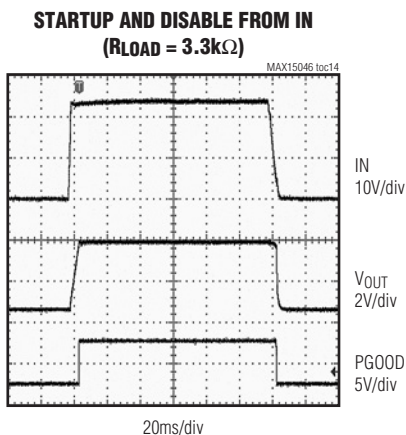
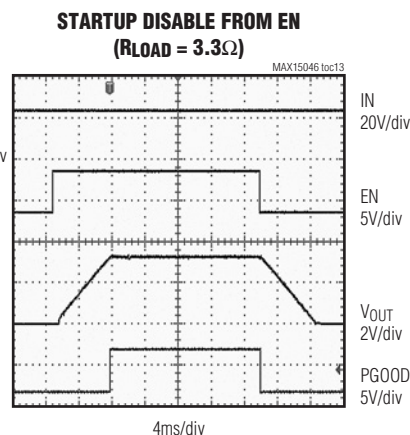
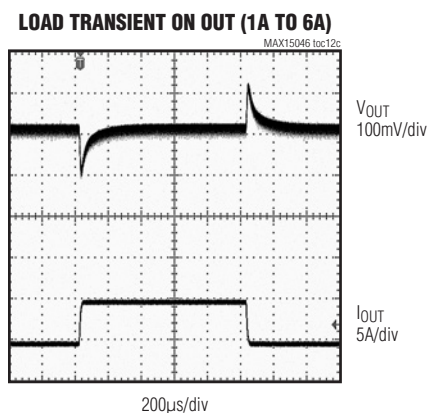
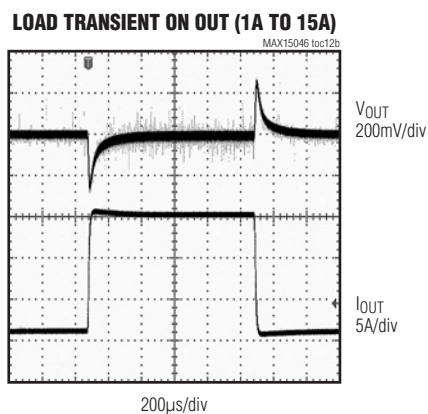
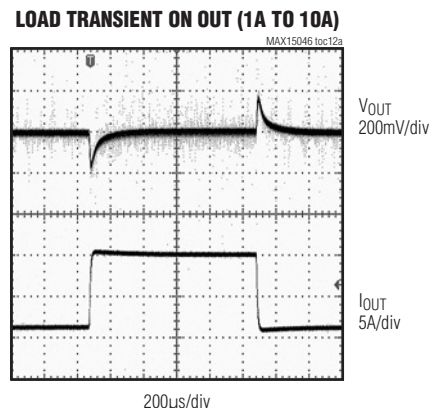
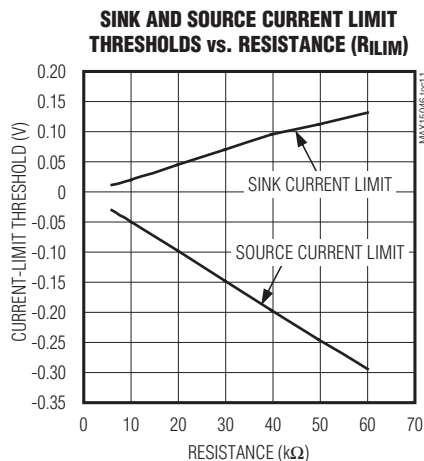
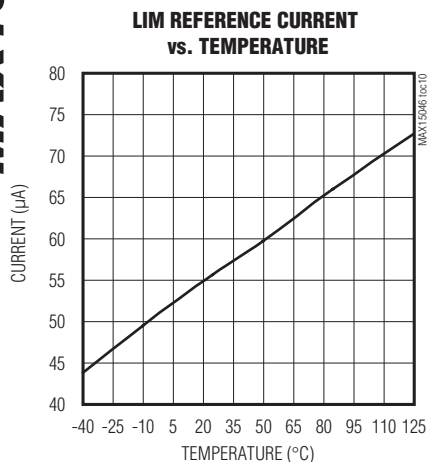


40V、高性能、同期バックコントローラ

MAX15046

標準動作特性(続き)

($V_{IN} = 24V$, $T_A = +25^{\circ}C$, unless otherwise noted.)

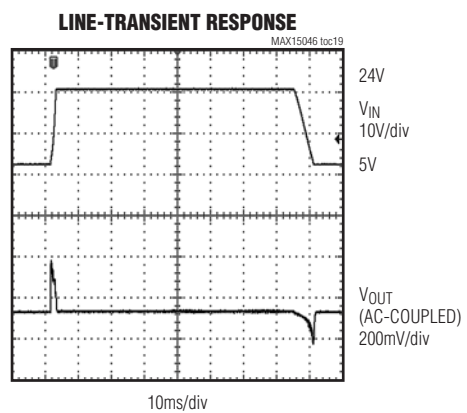
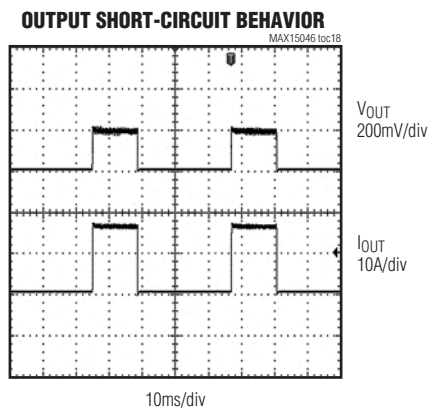
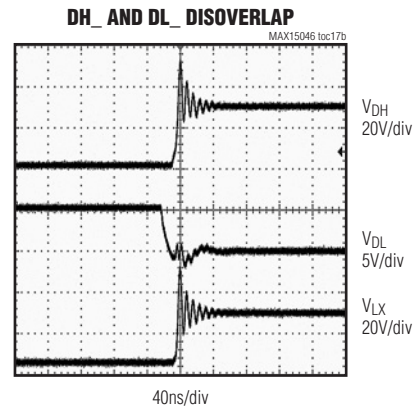
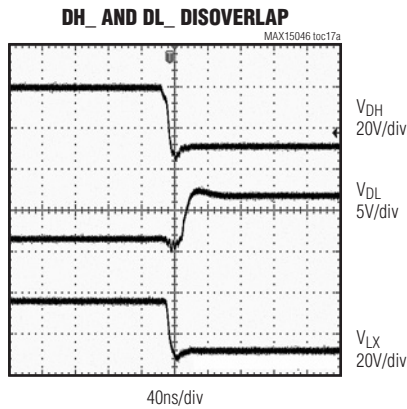
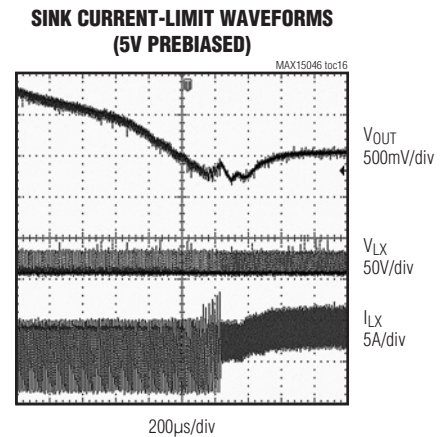
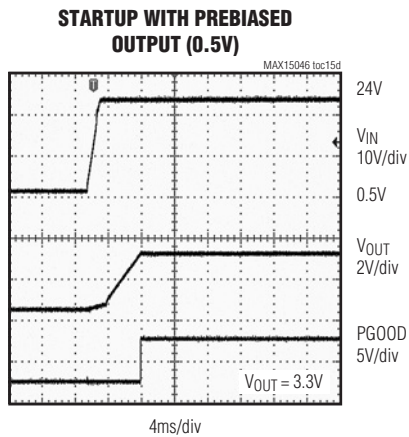
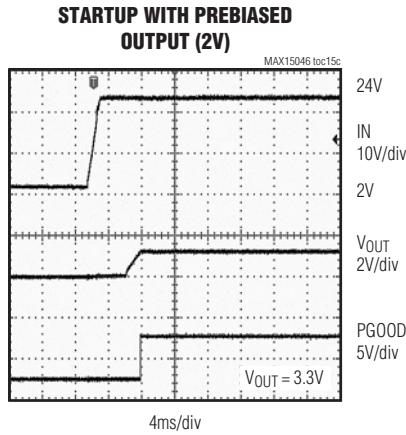


40V、高性能、同期バックコントローラ

MAX15046

標準動作特性(続き)

($V_{IN} = 24V$, $T_A = +25^\circ C$, unless otherwise noted.)



40V、高性能、同期バックコントローラ

MAX15046

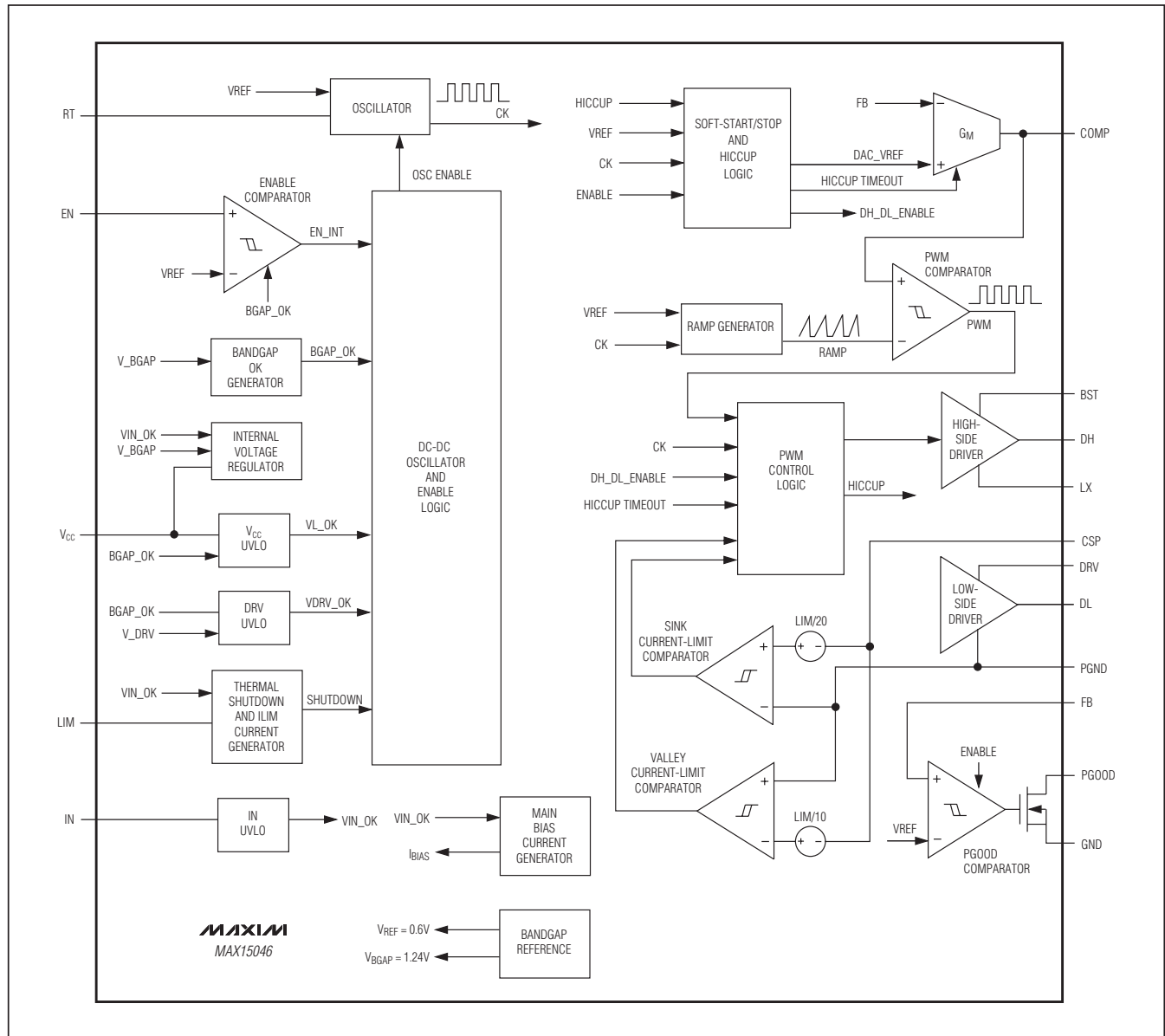
端子説明

端子	名称	機能
1	IN	レギュレータ入力。バックコンバータの入力レールに接続してください。100nF (min)のセラミックコンデンサで、INをPGNDにバイパスしてください。5V $\pm$ 10%の範囲で動作させる場合は、INをV _{CC} に接続してください。
2	V _{CC}	5.25Vリニアレギュレータ出力。V _{CC} がDRVからMOSFETゲートドライバ電流を供給する場合は少なくとも4.7 μ F、V _{CC} をDRVへの給電に使用しない場合は2.2 μ Fのセラミックコンデンサで、V _{CC} をPGNDにバイパスしてください。
3	PGOOD	オープンドレインのパワーグッド出力。外付けの抵抗で、PGOODを外部の電源または出力にプルアップしてください。
4	EN	アクティブハイのイネーブル入力。バックコンバータの出力をディセーブルするには、ENをGNDに駆動してください。常時オンの動作とする場合は、V _{CC} に接続してください。ENは、電源シーケンス用およびUVLO調整入力として使用することができます。
5	LIM	電流制限入力。LIMとGNDの間に抵抗を接続して、電流制限スレッショルドを30mV (R _{LIM} = 6k Ω) ~ 300mV (R _{LIM} = 60k Ω)に設定してください。
6	COMP	エラーアンプ出力。COMPとFBの間またはCOMPとGNDの間に補償回路を接続してください。
7	FB	フィードバック入力(エラーアンプの反転入力)。バックコンバータの出力とGNDの間の抵抗分圧器にFBを接続して、出力電圧を0.6V ~ IN $\times$ 0.85に調整してください。
8	RT	発振器タイミング抵抗入力。RTとGNDの間に抵抗を接続して、発振器の周波数を100kHz ~ 1MHzに設定してください。
9	GND	アナロググランド。PGNDとAGNDを1点で相互に接続してください。
10	PGND	電源グランド。ローサイドMOSFETゲートドライバのリターン経路としてPGNDを使用してください。
11	DRV	ゲートドライバ電源電圧。DRVは内部でローサイドドライバ電源に接続されています。2.2 μ F (min)のセラミックコンデンサで、DRVをPGNDにバイパスしてください(「標準アプリケーション回路」を参照)。
12	DL	ローサイド外付けMOSFETゲートドライバ出力。DLのスイング範囲はDRV ~ PGNDです。
13	BST	ブーストフライングコンデンサ接続。内部でハイサイドドライバ電源に接続されています。BSTとLXの間に少なくとも100nFのセラミックコンデンサを、BSTとDRVの間にダイオードを接続して、ハイサイドMOSFETゲートドライバに給電してください。
14	LX	インダクタ接続。ハイサイドMOSFETドライバ電流のリターン端子としての役割も果たします。LXをインダクタのスイッチング側に接続してください。
15	DH	ハイサイド外付けMOSFETゲートドライバ出力。DHのスイング範囲はBST ~ LXです。
16	CSP	電流検出の正の入力。ローサイドMOSFETのドレインにケルビン接続を行ってください。
—	EP	エクスポーズドパッド。EPは、内部でグランドに接続されています。最大の放熱性能を実現するために、EPを大面積の銅グランドプレーンに接続してください。

40V、高性能、同期バックコントローラ

ファンクションダイアグラム

MAX15046



40V、高性能、同期バックコントローラ

MAX15046

詳細

同期ステップダウンコントローラのMAX15046は、4.5V～40Vの入力電圧範囲で動作し、0.6V～入力電圧の85%の可変出力電圧を生成して、最大25Aの負荷に対応します。デバイスの電源電圧が5.0V～5.5Vの範囲内である限り、入力電源バス(V_{IN})は最低3.3Vまで下げることが可能です。

MAX15046は、外付け抵抗を使用して100kHz～1MHzのスイッチング周波数をプログラムできます。可変スイッチング周波数によって、受動部品の選択に関して設計の柔軟性が提供されます。MAX15046は適応型同期整流を採用しているため、外付けのフリーホイールショットキーダイオードが不要で、効率が向上しています。このデバイスは、外付けローサイドMOSFETのオン抵抗を、電流検出素子として利用します。電流制限スレッショルド電圧は抵抗で30mV～300mVに調整可能で、温度変化によるMOSFETのR_{DS(ON)}の変動の影響を低減するための温度補償を備えています。この電流検出方式によって、電流検出抵抗を必要とせずに出力過電圧状態や出力短絡フォルト時の損傷から外部の部品が保護されます。ヒカップモード電流制限は、短絡状態時の電力損失を低減します。MAX15046は、監視および電源シーケンスに使用するための、正確なターンオン/オフスレッショルドのパワーグッド出力とイネーブル入力を備えています。

MAX15046は、出力の放電なしにプリバイアススタートアップを実現するデジタルソフトスタートを内蔵しています。デジタルソフトスタート機能は、シンク電流制限の採用によって、設定された安定状態レギュレーションレベルをプリバイアス電圧が上回る場合にレギュレータが過剰な電流をシンクすることを防止しています。デジタルソフトスタート機能は、レギュレータが出力から電流をシンクしているときに、同期整流MOSFETおよびハイサイドMOSFETのボディダイオードが危険な電流レベルになるのを防止します。MAX15046は接合部温度+150℃でシャットダウンして、デバイスの損傷を防止します。

DC-DC PWMコントローラ

MAX15046ステップダウンコントローラは、PWM電圧モード制御方式を使用しています(「ファンクションダイアグラム」を参照)。動作周波数および出力LCフィルタ部品の選択について最大限の柔軟性を提供するために、制御ループの補償は外部で行うようになっています。内蔵のトランスコンダクタンスエラーアンプは、DC精度の向上に役立つ積分された誤差電圧をCOMPに生成します。COMPの電圧によって、PWMコンパレータおよびランプジェネレータを使用してデューティサイクルが設定されます。内部クロックの立上りエッジでハイサイドnチャネルMOSFETがターンオンして、適切なデューティサイクルまた

は最大デューティサイクルのいずれかに到達するまでオンのままになります。ハイサイドMOSFETのオン時間の間、インダクタ電流が漸増します。スイッチングサイクルの後半は、ハイサイドMOSFETがターンオフしてローサイドnチャネルMOSFETがターンオンします。インダクタ電流の漸減とともにインダクタは蓄積されたエネルギーを解放して、出力に電流を供給します。プログラムされた谷電流制限スレッショルド(「電流制限回路(LIM)」の項を参照)をインダクタ電流が上回る過負荷条件下では、後続のクロック立上りエッジでハイサイドMOSFETがターンオンせず、ローサイドMOSFETがオンのままになってインダクタ電流を漸減させます。

内蔵5.25Vリニアレギュレータ

内蔵リニアレギュレータ(V_{CC})は公称5.25Vの電源を提供して、内部機能への給電とローサイドMOSFETの駆動を行います。5V ±10%の外部電源を使用する場合は、INとV_{CC}を相互に接続してください。レギュレータの最大入力電圧(V_{IN})は40Vです。1μFのセラミックコンデンサで、INをGNDにバイパスしてください。4.7μFのセラミックコンデンサで、リニアレギュレータの出力(V_{CC})をGNDにバイパスしてください。V_{CC}のドロップアウト電圧は180mV (typ)です。V_{IN}が5.5Vより高い場合、V_{CC}は5.25V (typ)になります。MAX15046は、V_{CC}が3.6V (typ)を下回った場合に内蔵リニアレギュレータをディセーブルする低電圧ロックアウト回路も採用しています。400mVのUVLOヒステリシスによって、パワーアップ/パワーダウン時のチャタリングが防止されます。

MOSFETゲートドライバ(DH、DL)

DHおよびDLは、大型nチャネルパワーMOSFETの駆動用に最適化されています。通常の動作状態およびスタートアップ後には、DLのローサイド駆動波形は常にDHのハイサイド駆動波形の相補形となり、交差導通または「貫通電流」を防止する制御されたデッドタイムを備えています。適応型デッドタイム回路はDHおよびDL出力を監視して、MOSFETが完全にオフになるまで反対側のMOSFETのターンオンを防止します。これによって、この回路はDLゲートドライバのターンオフが完了した時点でのみハイサイドドライバをターンオンさせ、DHゲートドライバがターンオフを完了するまでローサイド(DL)のターンオンを防止します。

適応型のドライバデッドタイムによって、広範なMOSFETで貫通電流のない動作が可能になり、遅延が最小限に抑えられて効率が維持されます。適応型デッドタイム回路が適切に動作するためには、DLおよびDHとMOSFETのゲート間に、低抵抗、低インダクタンスの経路が存在する必要があります。ゲート放電経路の浮遊インピーダンスが原因で、MOSFETのV_{GS}がまだハイの間に検出回路がMOSFETゲートを「オフ」と解釈する可能性があります。浮遊インピー

40V、高性能、同期バックコントローラ

MAX15046

ダンスを最小限に抑えるために、非常に短く、太いトレースを使用してください。

同期整流は、通常のローサイドのショットキーキャッチダイオードを低抵抗のMOSFETスイッチに置き換えることによって、整流器の導通損失を低減します。MAX15046は、DLをローに駆動するための、 $R_{DS(ON)}$ が 1Ω (typ)の堅牢なプルダウントランジスタを内蔵しています。この低オン抵抗によって、LX端子の高速立ち上がり時間中に、ローサイド同期整流器MOSFETのドレインとゲート間の容量性結合が原因でDLがプルアップされるのを防止します。

ハイサイドゲート駆動電源(BST)

ゲート電圧をLXより高い値にブーストして、ハイサイドMOSFETのターンオンに必要なゲート-ソース間電圧を提供するために、BSTとDHの間に外付けのショットキーダイオードを接続する必要があります。BSTとLXの間に接続されたブーストコンデンサは、ハイサイドMOSFETのオン時間の間ゲートドライバ両端間の電圧を維持します。

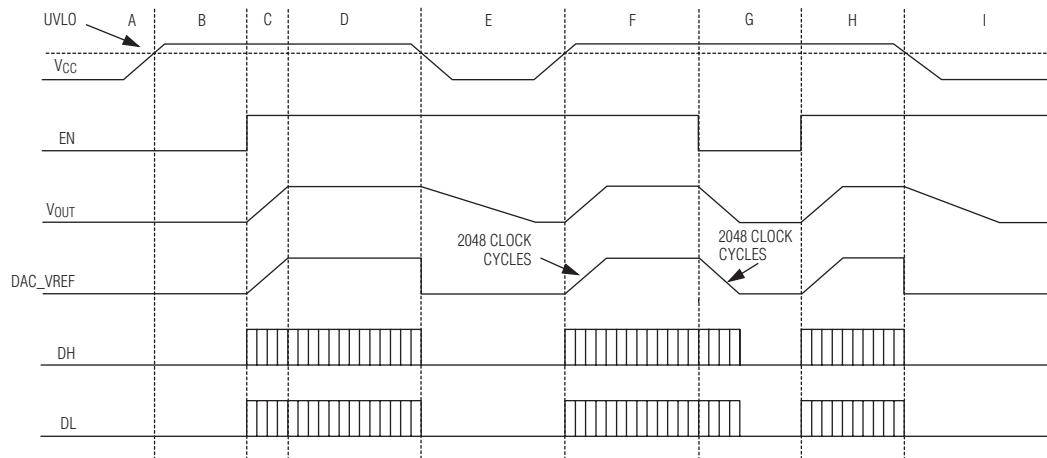
ゲート電荷を供給するために失われたブーストコンデンサの電荷は、ハイサイドMOSFETがターンオフしてLX端子がグラウンドレベルになるときに補充されます。LXがローのとき、 V_{DRV} とBSTの間の外付けダイオードがブーストコン

デンサを再充電します。適切なブーストコンデンサおよびダイオードの選択については、「アプリケーション情報」の「ブーストコンデンサおよびダイオードの選択」の項を参照してください。

イネーブル入力(EN)、ソフトスタート、およびソフトストップ

MAX15046をオンにするには、ENをハイに駆動してください。ソフトスタートシーケンスによって、エラーアンプのリファレンス電圧の(段階的な)増大が開始されます。ソフトスタートのランプ時間は2048スイッチングサイクルで、分解能は安定状態のレギュレーション電圧の1/64であるため、出力電圧のスムーズな増大が可能です。ENをロジックローとすることで、エラーアンプのリファレンス電圧の段階的な低下によるソフトストップシーケンスが開始されます。ソフトストップシーケンスの完了後は、両方のMOSFETドライバがオフになります。図1を参照してください。

常時オンの動作とする場合は、ENを V_{CC} に接続してください。正確なターンオン/オフスレッショルドを備えているため、ENはUVLO調整入力として使用することが可能で、PGOOD出力とともに電源シーケンス用に使用することも可能です。



SYMBOL	DEFINITION
UVLO	Undervoltage threshold value is provided in the <i>Electrical Characteristics</i> table.
V_{CC}	Internal 5.25V linear regulator output.
EN	Active-high enable input.
V_{OUT}	Regulator output voltage.
DAC_VREF	Regulator internal soft-start and soft-stop signal.
DH	Regulator high-side gate-driver output.
DL	Regulator low-side gate-driver output.
A	V_{CC} rising while below the UVLO threshold. EN is low.

SYMBOL	DEFINITION
B	V_{CC} is higher than the UVLO threshold. EN is low.
C	EN is pulled high. DH and DL start switching.
D	Normal operation.
E	V_{CC} drops below UVLO.
F	V_{CC} goes above the UVLO threshold. DH and DL start switching. Normal operation.
G	EN is pulled low. V_{OUT} enters soft-stop.
H	EN is pulled high. DH and DL start switching. Normal operation.
I	V_{CC} drops below UVLO.

図1. パワーオン/オフシーケンス

40V、高性能、同期バックコントローラ

MAX15046

ソフトスタート中に谷電流制限に達した場合、MAX15046は出力インピーダンスとインダクタ電流制限値の積にレギュレーションを行い、4096クロックサイクル後にオフになります。(たとえば)大きい容量性負荷に対して起動する場合も、突入電流が電流制限値を超えることはありません。4096クロックサイクルまでにソフトスタートが完了しない場合、デバイスはオフになります。デバイスは8192クロックサイクルの間オフのままになった後、再度ソフトスタートを試みます。この実装によって、出力コンデンサの充電中にインダクタ電流を制限値以下に保つために必要となる時間に、ソフトスタート時間を自動的に適応させることが可能です。

パワーグッド出力(PGOOD)

MAX15046は、出力電圧を監視してパワーグッドスレッショルド(公称FB電圧の93%に固定)の検出を行うパワーグッドコンパレータを内蔵しています。PGOOD出力はオープンドレインのため、外付けのプルアップ抵抗が必要です。PGOODがローのとき、最大2mAの電流をシンクします。

レギュレータ出力が設計上の公称レギュレーション電圧の93%を上回った場合、PGOODはハイ(ハイインピーダンス)になります。レギュレータ出力電圧が公称レギュレーション電圧の90%を下回った場合、PGOODはローになります。ヒカップタイムアウト時間中、PGOODはローにアサートされます。

プリバイアス出力へのスタートアップ

MAX15046がプリバイアス出力に対して起動する場合、コンバータが出力から電流をシンクしないので、DHおよびDLはオフになります。PWMコンパレータが最初のPWMパルスを発行するまで、DHおよびDLはスイッチングを開始しません。最初のPWMパルスは、リファレンス電圧ランプがFB電圧を上回った時点で発生します。

出力電圧が出力設定ポイント以上にバイアスされている場合、内部ソフトスタートが完了した時点で、コントローラは出力を設定ポイントにプルダウンしようと試みます。このプルダウンは、出力アンダーシュートを最小限に抑えるために低速で通常の値まで増大されるシンク電流制限によって制御されます。

電流制限回路(LIM)

電流制限回路は、ローサイドMOSFETのオン抵抗を電流検出素子として使用することによって高コストの検出抵抗を不要にする、「谷」およびシンク電流検出アルゴリズムを採用しています。電流制限回路は、MOSFETの温度過昇によるオン抵抗の変動に追従するための温度補償も備えています。電流制限値はLIMの外付け抵抗で調整可能で、広範なオン抵抗特性のMOSFETに対応します(「谷電流制

限の設定」の項を参照)。谷電流制限の調整範囲は0.3V~3Vで、6k Ω ~60k Ω の抵抗値に相当します。ローサイドMOSFETの谷電流制限スレッショルドは正確にLIMの電圧の1/10で、シンク電流制限スレッショルドはLIMの電圧の1/20です。

谷電流制限は、ローサイドMOSFETのオン時間中にインダクタ電流が負荷に向かって流れ、CSPがPGNDより負側である場合に作動します。ローサイドMOSFETのオン時間の最後で電流検出信号の大きさが谷電流制限スレッショルドを上回っていた場合、MAX15046は新しいPWMサイクルを開始せず、次のサイクルでインダクタ電流を減衰させます。また、コントローラは内部のリファレンス電圧を「ロールバック」して、電流制限値と短絡の抵抗によって決定されるレギュレーションポイントが見つかるようにします。このようにして、コントローラは定低電流ソースとして機能します。この方法では、短絡イベント中のインダクタのリップル電流が大幅に低減するため、インダクタのサイズの制限が緩和され、可聴ノイズが発生する可能性も減少します。4096クロックサイクル後、デバイスはヒカップモードに移行します。短絡が除去された時点で、内部リファレンス電圧がソフトスタートを使用して再び通常のリファレンス電圧に戻り、レギュレーションが続行されます。

シンク電流制限は、CSPがPGNDより正側であるときに、ローサイドMOSFETの電圧降下を監視することによって実現されます。ローサイドMOSFETのオン時間中の任意の時点でローサイドMOSFETの電圧降下がLIMの電圧の1/20を超えた場合、ローサイドMOSFETがオフになり、ハイサイドMOSFETのボディダイオードを通して出力からインダクタ電流が流れます。シンク電流制限が作動した場合、DH/DLのスイッチングシーケンスは相補形ではなくなり、両方のMOSFETがオフになります。

CSPとPGNDにおいてノイズとDC誤差による電流検出信号の劣化がないことを保証するために、PCBレイアウトのガイドラインを十分に遵守してください。MAX15046はローサイドMOSFETの近くに実装して、短い直接的なトレースを使用してケルビン接続を行い、トレース抵抗によってローサイドMOSFETの $R_{DS(ON)}$ が増加しないようにしてください。

ヒカップモード過電流保護

ヒカップモード過電流保護は、短絡や激しい過負荷状態が長時間続く場合に、電力消費を低減します。谷電流制限スレッショルドに到達している場合、内部の3ビットカウンタが各スイッチングサイクルでカウントアップします。スレッショルドに到達していない場合、カウンタは各スイッチングサイクルでカウントダウンして、ゼロ(000)で停止します。電流制限状態が持続してカウンタが111 (= 7イベント)に

到達した場合、MAX15046はDLとDHの両方のドライバを停止して、4096スイッチングサイクル(ヒカップタイムアウト遅延)の間待機した後に新しいソフトスタートシーケンスを試行します。ヒカップモード保護はソフトスタート時間中も作動したままになります。

低電圧ロックアウト

MAX15046は、V_{CC}の電圧を監視するための低電圧ロックアウト(UVLO)回路を内蔵しています。UVLO回路は、V_{CC}がV_{UVLO}より低いときにMAX15046が動作することを防止します。UVLOのスレッショルドは4Vで、電源電圧の立上り/立下りエッジでのチャタリングを防止するために400mVのヒステリシスを備えています。デバイスが低電圧ロックアウト状態の場合、スイッチングを抑制するためにDLおよびDHはローのままになります。

熱過負荷保護

熱過負荷保護は、MAX15046内の総電力消費を制限します。デバイスの接合部温度が+150℃を超えた時点で、内部の温度センサーがデバイスをシャットダウンして、DLおよびDHをローに強制することによって、デバイスの温度を低下させます。接合部温度が20℃低下すると、温度センサーはデバイスを再びオンにします。サーマルシャットダウン中に、レギュレータがシャットダウンされ、ソフトスタートがリセットされます。LDOレギュレータの電力消費およびDH/DLにおける過度の駆動損失によって熱過負荷保護がトリガされます。通常動作時の不要な熱過負荷保護のトリガを防止するために、総電力消費を慎重に評価してください(「電力消費」の項を参照)。

アプリケーション情報

有効入力電圧範囲

MAX15046は4.5V~40Vの入力電源で動作して、最小0.6Vに出力をレギュレートします。電圧変換比(V_{OUT}/V_{IN})の最小値は、制御可能な最小オン時間によって制限されます。正常な固定周波数PWM動作のためには、電圧変換比が次の条件を満たす必要があります。

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(MIN)} \times f_{SW}$$

ここで、t_{ON(MIN)}は125nsで、f_{sw}はスイッチング周波数(単位: Hz)です。所望の電圧変換が上記の条件に適合しない場合、実効デューティサイクルを減少させるためにパルススキップ動作が発生します。パルススキップ動作を防止する

には、スイッチング周波数を低下させるか、または入力電圧V_{IN}を低下させてください。

電圧変換比の最大値は、最大デューティサイクル(D_{max})によって制限されます。

$$\frac{V_{OUT}}{V_{IN}} < D_{max} - \frac{D_{max} \times V_{DROP2} + (1 - D_{max}) \times V_{DROP1}}{V_{IN}}$$

ここで、V_{DROP1}は、同期整流器、インダクタ、およびPCBの抵抗を含む、インダクタ放電経路の寄生電圧降下の合計です。V_{DROP2}は、ハイサイドスイッチ、インダクタおよびPCBの抵抗を含む、充電経路の抵抗による電圧降下の合計です。実際には、良好な負荷過渡応答を実現するために、上記の条件に適切なマージンを付加してください。

出力電圧の設定

MAX15046の出力電圧は、出力とFBおよびGNDの間に抵抗分圧器を接続することによって設定してください(図2)。R₂は、4kΩ~16kΩの範囲で選択してください。R₁は次式を使用して計算します。

$$R_1 = R_2 \left[\left(\frac{V_{OUT}}{V_{FB}} \right) - 1 \right]$$

ここで、V_{FB} = 0.59V (「Electrical Characteristics (電気的特性)」の表を参照)、V_{OUT}の範囲は0.6V~(V_{IN} × 0.85)が可能です。

抵抗R₁は、Type III補償回路の設計にも関与します。Type III補償回路を使用する場合は、R₁およびR₂の値を検討してください(「Type III補償回路(図4)」の項を参照)。

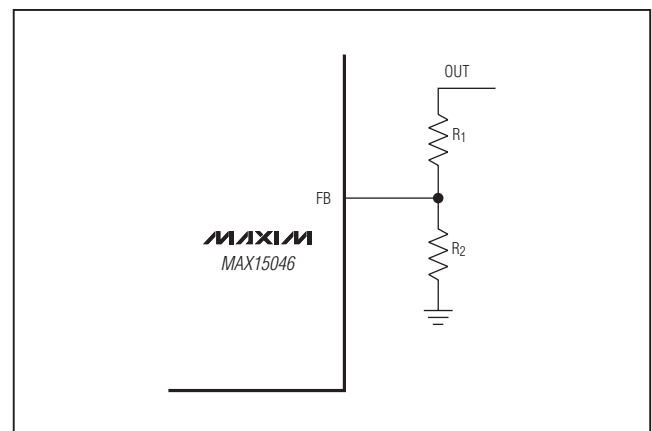


図2. 可変出力電圧

40V、高性能、同期バックコントローラ

MAX15046

スイッチング周波数の設定

RTとGNDの間に接続する外付け抵抗によって、スイッチング周波数(f_{SW})が設定されます。 f_{SW} と R_{RT} の関係は、次のとおりです。

$$R_{RT} = \frac{17.3 \times 10^9}{f_{SW} + (1 \times 10^{-7}) \times (f_{SW}^2)}$$

ここで、 f_{SW} の単位はHz、 R_{RT} の単位は Ω です。たとえば、300kHzのスイッチング周波数は、 $R_{RT} = 49.9k\Omega$ によって設定されます。周波数が高いほど、より低いインダクタ値と出力容量を使用する設計が可能になります。スイッチング周波数が高いほど、ピーク電流および I^2R 損失が減少しますが、コア損失、ゲート充電電流、およびスイッチング損失は増大します。

インダクタの選択

MAX15046による動作のためには、インダクタンス値(L)、インダクタ飽和電流(I_{SAT})、およびDC抵抗(R_{DC})の、3つの主要なインダクタのパラメータを指定する必要があります。インダクタンスを決定するためには、最初にインダクタのピークトゥピークAC電流とDC平均電流の比率(LIR)を選択する必要があります。LIRの値が大きすぎる場合、RMS電流が大きくなるため、 I^2R 損失が増大します。小さいLIR値を実現するには、大きい値のインダクタを使用してください。通常、特定のパッケージタイプについてインダクタの抵抗はインダクタンスに比例するため、LIR値が非常に小さい場合にも I^2R 損失が大きくなります。サイズと損失の間の適切な妥協点として、ピークトゥピークリップル電流と平均電流の比率が30%の場合(LIR = 0.3)があります。スイッチング周波数、入力電圧、出力電圧、および選択したLIRによって、次のようにインダクタの値が決定されます。

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN} \times f_{SW} \times I_{OUT} \times LIR}$$

ここで、 V_{IN} 、 V_{OUT} 、および I_{OUT} は標準値です。スイッチング周波数は、 R_T によって設定されます(「スイッチング周波数の設定」の項を参照)。インダクタの正確な値は重要ではなく、サイズ、コスト、および効率の間のトレードオフを行うために調整することができます。インダクタの値が小さいほどサイズとコストが最小限に抑えられ、過渡応答も改善されますが、ピーク電流が増大するため効率が低下します。逆に、インダクタンスが大きいほど、RMS電流が減少するため効率が向上します。

割り当てられた寸法に適合するものの中で、可能な限りDC抵抗値が小さい低損失のインダクタを探してください。ローサイドMOSFETのオン抵抗とLIMリファレンス電流(I_{LIM})の許容誤差を考慮した上で、最大電流制限値($I_{CL(MAX)}$)より下では飽和が発生する可能性がないことを保証するために、飽和電流定格(I_{SAT})は十分に高い値とする必要があります。これらの条件の組み合わせから、次式の飽和電流(I_{SAT})を備えたインダクタを選択してください。

$$I_{SAT} \geq 1.35 \times I_{CL(TYP)}$$

ここで、 $I_{CL(TYP)}$ は標準電流制限設定ポイントです。係数の1.35は、 $R_{DS(ON)}$ の25%の変動とLIMリファレンス電流の誤差10%を含んだ値です。この要件に適合する各種のインダクタが様々なメーカーから提供されています(たとえば、Vishay IHLP-4040DZ-1-5および同じシリーズの他のインダクタ)。

谷電流制限の設定

ローサイドMOSFETのが $R_{DS(ON)}$ が電流検出素子として使用されるため、最小電流制限スレッショルドはワーストケースのローサイドMOSFETのオン抵抗値で予想される最大の負荷電流に対応した十分な高さとする必要があります。インダクタの谷電流は、 $I_{LOAD(MAX)}$ からリップル電流の半分を引いた値で発生します。リップル電流の谷の間、電流制限スレッショルド電圧(V_{ITH})の最小値がローサイドMOSFETの電圧より高い必要があります。

$$V_{ITH} > R_{DS(ON,MAX)} \times I_{LOAD(MAX)} \times \left(1 - \frac{LIR}{2}\right)$$

ここで、 $R_{DS(ON,MAX)}$ (単位: Ω)は最大負荷電流 $I_{LOAD(MAX)}$ におけるローサイドMOSFETの最大オン抵抗で、次式から計算されます。

$$R_{DS(ON,MAX)} = R_{DS(ON)} \times [1 + TC_{MOSFET} \times (T_{MAX} - T_{AMB})]$$

ここで、 $R_{DS(ON)}$ (単位: Ω)は周囲温度 T_{AMB} (単位: $^{\circ}C$)でのローサイドMOSFETのオン抵抗、 TC_{MOSFET} (単位: ppm/ $^{\circ}C$)はローサイドMOSFETの温度係数、 T_{MAX} (単位: $^{\circ}C$)は最大負荷電流 $I_{LOAD(MAX)}$ での温度です。 $R_{DS(ON)}$ と TC_{MOSFET} は、MOSFETのデータシートに記載されています。

LIMとGNDの間に外付け抵抗(R_{LIM})を接続して、電流制限スレッショルドを調整してください。電流制限スレッショルドは、2300ppm/°Cの温度係数で温度補償されます。電流制限スレッショルド(V_{ITH})と R_{LIM} の関係は、次のとおりです。

$$R_{LIM} = \frac{10 \times V_{ITH}}{50 \times 10^{-6} \times \left[1 + 2300 \frac{\text{ppm}}{^\circ\text{C}} \times (T_{MAX} - T_{AMB}) \right]}$$

ここで、 R_{LIM} の単位は Ω 、 V_{ITH} の単位はV、 T_{MAX} と T_{AMB} の単位は°Cです。

R_{LIM} の6k Ω ～60k Ω の抵抗値範囲が、30mV～300mVの電流制限スレッショルドに対応します。電流制限を調整する際には、許容誤差1%の抵抗を使用して電流制限スレッショルドの誤差を最小限に抑えてください。

入力コンデンサ

入力フィルタコンデンサは、電力ソースから流れるピーク電流を低減するとともに、スイッチング回路が原因で発生する入力のノイズおよび電圧リップルを軽減します。入力コンデンサは、次式で定義されるスイッチング電流によって課せられるリップル電流の要件(I_{RMS})に適合する必要があります。

$$I_{RMS} = I_{LOAD(MAX)} \frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}}$$

I_{RMS} は、入力電圧が出力電圧の2倍に等しいとき($V_{IN} = 2V_{OUT}$)最大値となるため、 $I_{RMS(MAX)} = I_{LOAD(MAX)}/2$ です。タンタル以外のコンデンサ(セラミック、アルミ、ポリマー、またはOS-CON)は、非常にローインピーダンスのソースからシステムの給電が行われる場合に発生する大きい突入電流に耐える堅牢性を備えているため、大部分のアプリケーションでは入力にタンタル以外のコンデンサが適しています。さらに、高周波数ノイズを低減するために、2個(またはそれ以上)のより小さい値の低ESRコンデンサを並列に接続してください。

出力コンデンサ

出力コンデンサの選択に関する主要なパラメータは、容量値、ESR、および電圧定格です。これらのパラメータは、全体的な安定性、出力リップル電圧、および過渡応答に影響します。出力リップルには、出力コンデンサに蓄積される電荷の変動と、コンデンサに出入りする電流によって発生するコンデンサのESR両端での電圧降下という、2つの成分があります。

$$\Delta V_{RIPPLE} = \Delta V_{ESR} + \Delta V_Q$$

ESRと出力容量のそれぞれに起因する出力電圧リップルは、次のとおりです。

$$\begin{aligned} \Delta V_{ESR} &= I_{P-P} \times ESR \\ \Delta V_Q &= \frac{I_{P-P}}{8 \times C_{OUT} \times f_{SW}} \\ I_{P-P} &= \left(\frac{V_{IN} - V_{OUT}}{f_{SW} \times L} \right) \times \left(\frac{V_{OUT}}{V_{IN}} \right) \end{aligned}$$

ここで、 I_{P-P} はピークトゥピークインダクタ電流リップルです(「インダクタの選択」の項を参照)。最初にコンデンサを選択する際には、これらの式を使用してください。最終的な値は、プロトタイプや評価用回路のテストによって決定してください。

負荷過渡応答の要件に対して、出力コンデンサの確認を行ってください。高速負荷過渡中に許容される出力電圧の逸脱によって、コンデンサの出力容量、ESR、および等価直列インダクタンス(ESL)が決定されます。負荷ステップ中は、コントローラが応答してデューティサイクルを増大させるまでの間、出力コンデンサが負荷電流を供給します。応答時間($t_{RESPONSE}$)は、コンバータのクロズドループ帯域幅に依存します(「補償の設計」の項を参照)。出力コンデンサのESRによる抵抗性降下、コンデンサのESLによる電圧降下(ΔV_{ESL})、およびコンデンサの放電によって、負荷ステップ中に電圧ドループが発生します。

過渡負荷および電圧リップル性能を向上させるために、低ESRのタンタル/アルミ電解コンデンサとセラミックコンデンサの組み合わせを使用してください。リードのないコンデンサとコンデンサの並列接続は、ESLの低減に役立ちます。出力電圧の最大の逸脱を許容可能な負荷の制限以下に維持してください。次の各式を使用して、負荷ステップ中に必要なESR、ESL、および容量値を計算してください。

$$\begin{aligned} ESR &= \frac{\Delta V_{ESR}}{I_{STEP}} \\ C_{OUT} &= \frac{I_{STEP} \times t_{RESPONSE}}{\Delta V_Q} \\ ESL &= \frac{\Delta V_{ESL} \times t_{STEP}}{I_{STEP}} \\ t_{RESPONSE} &\cong \frac{1}{3 \times f_0} \end{aligned}$$

ここで、 I_{STEP} は負荷ステップ、 t_{STEP} は負荷ステップの立ち上がり時間、 $t_{RESPONSE}$ はコントローラの応答時間、 f_0 はクロズドループのクロスオーバー周波数です。

40V、高性能、同期バックコントローラ

MAX15046

補償の設計

MAX15046は、外部での周波数補正に使用可能な反転入力および出力を備えたトランスコンダクタンスアンプを内蔵しています。外部補償の柔軟性によって、出力フィルタ部品(特に出力コンデンサ)の広範な選択肢が提供されます。コストに敏感なアプリケーションには、高ESRのアルミ電解コンデンサを使用します。サイズに敏感なアプリケーションの出力には、低ESRのタンタルまたはセラミックコンデンサを使用します。MAX15046はスイッチング周波数が高いため、出力にセラミックコンデンサを使用することが可能です。出力リップル、部品サイズ、および部品コストの要件に適合するようにすべての受動電力部品を選択してください。エラーアンプが所望のクローズドループ帯域幅と位相マージンを実現するように補償用の部品を選択してください。

適切な補償回路のタイプを選択するためには、電源のポールとゼロ、ゼロクロスオーバー周波数、および出力コンデンサのタイプを最初に決定する必要があります。

バックコンバータの場合、出力段のLCフィルタによって次の周波数に1組の複合ポールが発生します。

$$f_{PO} = \frac{1}{2\pi \times \sqrt{L_{OUT} \times C_{OUT}}}$$

出力コンデンサによって、次の周波数にゼロが発生します。

$$f_{ZO} = \frac{1}{2\pi \times ESR \times C_{OUT}}$$

ここで、ESRは出力コンデンサの等価直列抵抗です。

ループ利得が1 (0dB)に等しくなるループ利得クロスオーバー周波数(f_O)は、スイッチング周波数の1/10より下に設定してください。

$$f_O \leq \frac{f_{SW}}{10}$$

より低いクロスオーバー周波数を選択することで、デューティサイクルのジッタなど、フィードバックループへのノイズ混入による影響が軽減されます。

安定したシステムを維持するには、安定性に関する2つの基準を満たす必要があります。

- 1) クロスオーバー周波数(f_O)における位相シフトが180°未満であること。言い換えると、ループの位相マージンが0°より大きいこと。

- 2) 位相シフトが-180°の周波数における利得(利得マージン)が1未満であること。

堅牢なループ安定性および良好な過渡応答を実現するために、60°程度の位相マージンを維持してください。

電解または高ESRのタンタル出力コンデンサを使用する場合、コンデンサのESRゼロ(f_{ZO})は通常はLCポールとクロスオーバー周波数 f_O の間で発生します($f_{PO} < f_{ZO} < f_O$)。Type II (PI: 比例、積分)補償回路を選択してください。

セラミックまたは低ESRのタンタル出力コンデンサを使用する場合、コンデンサのESRゼロは通常は所望のクロスオーバー周波数 f_O より上で発生して、 $f_{PO} < f_O < f_{ZO}$ になります。Type III (PID: 比例、積分、および微分)補償回路を選択してください。

Type II補償回路(図3)

f_{ZO} が f_O より低く、 f_{PO} に近い場合、コンデンサのESRゼロの位相リードによって、クロスオーバー周波数付近のLCフィルタの複合ポールの一方の位相損失がほぼ相殺されます。ループを安定させるために、中帯域のゼロおよび高周波数のポールを備えたType II補償回路を使用してください。図3では、 R_F および C_F によって中帯域のゼロ(f_{Z1})が発生します。Type II補償回路の R_F および C_F が高周波数ポール(f_{P1})を提供して、出力の高周波数リップルの影響を軽減します。

以下の手順を使用して、図3に示すType II補償回路の部品の値を計算してください。

- 1) レギュレータのパルス幅モジュレータ、LCフィルタ、フィードバック分圧器、および関連回路で構成されるモジュレータのクロスオーバー周波数における利得($GAIN_{MOD}$)を計算してください。

$$GAIN_{MOD} = \frac{V_{IN}}{V_{RAMP}} \times \frac{ESR}{(2\pi \times f_O \times L_{OUT})} \times \frac{V_{FB}}{V_{OUT}}$$

ここで、 V_{IN} はレギュレータの入力電圧、 V_{RAMP} はパルス幅モジュレータでのランプの大きさ、 V_{FB} はFBの入力電圧設定ポイント(0.6V typ、「Electrical Characteristics」の表を参照)、 V_{OUT} は所望の出力電圧です。

中帯域周波数でのエラーアンプの利得($GAIN_{EA}$)は、次のとおりです。

$$GAIN_{EA} = g_m \times R_F$$

ここで、 g_m はエラーアンプの相互コンダクタンスです。

f_0 におけるモジュレータの利得とエラーアンプの利得の積である全ループ利得は、次のようになります。

$$1) \text{GAIN}_{\text{MOD}} \times \text{GAIN}_{\text{EA}} = 1$$

よって、

$$\frac{V_{\text{IN}}}{V_{\text{OSC}}} \times \frac{\text{ESR}}{(2\pi \times f_0 \times L_{\text{OUT}})} \times \frac{V_{\text{FB}}}{V_{\text{OUT}}} \times g_{\text{M}} \times R_{\text{F}} = 1$$

R_{F} について解くと、

$$R_{\text{F}} = \frac{V_{\text{OSC}} \times (2\pi \times f_0 \times L_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{FB}} \times V_{\text{IN}} \times g_{\text{M}} \times \text{ESR}}$$

2) 中帯域のゼロ(f_{Z1})を、(LCポール的一方を相殺するために) $f_{\text{PO}} \times 0.75$ に設定してください。

$$f_{\text{Z1}} = \frac{1}{2\pi \times R_{\text{F}} \times C_{\text{F}}} = 0.75 \times f_{\text{PO}}$$

C_{F} について解くと、

$$C_{\text{F}} = \frac{1}{2\pi \times R_{\text{F}} \times f_{\text{PO}} \times 0.75}$$

3) 高周波数のポールを(スイッチング周波数 f_{SW} におけるリップルを減衰させるために) $f_{\text{P1}} = f_{\text{SW}} \times 0.5$ の位置として、次式を使用して C_{CF} を計算してください。

$$C_{\text{CF}} = \frac{1}{\pi \times R_{\text{F}} \times f_{\text{SW}} - \frac{1}{C_{\text{F}}}}$$

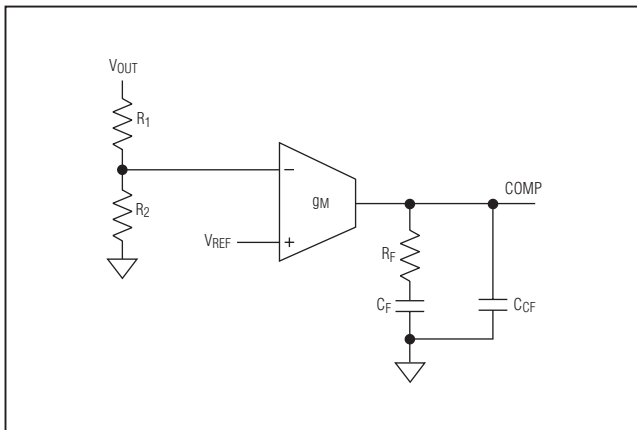


図3. Type II補償回路

Type III補償回路(図4)

低ESRのタンタルまたはセラミックタイプを使用する場合、ESRによるゼロ周波数は、通常は目標のゼロクロスオーバー周波数(f_0)より高くなります。Type III補償を使用してください。Type III補償は、下記の周波数に2つのゼロと3つのポールを提供します。

$$f_{\text{Z1}} = \frac{1}{2\pi \times R_{\text{F}} \times C_{\text{F}}}$$

$$f_{\text{Z2}} = \frac{1}{2\pi \times C_{\text{I}} \times (R_{\text{I}} + R_{\text{L}})}$$

2つの中帯域のゼロ(f_{Z1} および f_{Z2})が、LCフィルタによって発生する1組の複合ポールを相殺します。

$$f_{\text{P1}} = 0$$

f_{P1} は、DC出力電圧誤差を排除するために、ゼロ周波数にポールを生成します(積分器)。

$$f_{\text{P2}} = \frac{1}{2\pi \times R_{\text{I}} \times C_{\text{I}}}$$

f_{P2} は、ESRゼロ(f_{Z0})の位置に応じて、 f_{Z0} を相殺するか、または高周波数の出力リップルに対する減衰を追加するために使用してください。

$$f_{\text{P3}} = \frac{1}{2\pi \times R_{\text{F}} \times \frac{C_{\text{F}} \times C_{\text{CF}}}{C_{\text{F}} + C_{\text{CF}}}}$$

f_{P3} は、高周波数の出力リップルを減衰させます。

位相マージンが f_0 付近でピークになるように、ゼロおよびポールの位置を設定してください。

$R_{\text{F}} \gg 2/g_{\text{M}}$ であることと、 R_{I} 、 R_{L} 、および R_{I} の並列抵抗値が $1/g_{\text{M}}$ より大きいことを確認してください。そうでない場合は、応答に180°の位相シフトが発生してループが不安定になります。

以下の補償の手順を使用してください。

1) $R_{\text{F}} \gg 10\text{k}\Omega$ の場合、最初のゼロ(f_{Z1})を $f_{\text{PO}} \times 0.8$ の位置としてください。

$$f_{\text{Z1}} = \frac{1}{2\pi \times R_{\text{F}} \times C_{\text{F}}} = 0.8 \times f_{\text{PO}}$$

40V、高性能、同期バックコントローラ

MAX15046

よって、

$$C_F = \frac{1}{2\pi \times R_F \times 0.8 \times f_{PO}}$$

- 2) パルス幅モジュレータ、LCフィルタ、フィードバック分圧器、および関連回路で構成されるモジュレータのクロスオーバー周波数における利得($GAIN_{MOD}$)は、次のとおりです。

$$GAIN_{MOD} = \frac{V_{IN}}{V_{RAMP}} \times \frac{1}{(2\pi \times f_O)^2 \times L_{OUT} \times C_{OUT}}$$

中帯域周波数でのエラーアンプの利得($GAIN_{EA}$)は、次のとおりです。

$$GAIN_{EA} = 2\pi \times f_O \times C_I \times R_F$$

f_O におけるモジュレータの利得とエラーアンプの利得の積である全ループ利得は1です。

$$GAIN_{MOD} \times GAIN_{EA} = 1$$

よって、

$$\frac{V_{IN}}{V_{RAMP}} \times \frac{1}{(2\pi \times f_O)^2 \times C_{OUT} \times L_{OUT}} \times 2\pi \times f_O \times C_I \times R_F = 1$$

C_I について解くと、

$$C_I = \frac{V_{RAMP} \times (2\pi \times f_O \times L_{OUT} \times C_{OUT})}{V_{IN} \times R_F}$$

- 3) $f_{PO} < f_O < f_{ZO} < f_{SW}/2$ の場合は、第2のポール(f_{P2})を使用して f_{ZO} を相殺してください。ループ利得の周波数応答は、0dBクロスオーバーの後すぐには平坦にならず、最大でスイッチング周波数の1/2まで-20dB/decadeの傾きを維持します。出力コンデンサが低ESRのタンタルの場合、その可能性が高くなります。 $f_{P2} = f_{ZO}$ に設定してください。

セラミックコンデンサを使用する場合、コンデンサのESRゼロ(f_{ZO})はスイッチング周波数の半分よりさらに上に位置する可能性が高くなります($f_{PO} < f_O < f_{SW}/2 < f_{ZO}$)。この場合は、クロスオーバー周波数において位相マージンを大幅に損なうことがないように、第2のポールの周波数(f_{P2})を十分に高い位置としてください。たとえば、 f_{P2} を $f_O \times 5$ に設定することで、クロスオーバー周波数 f_O における位相損失への寄与は約11°のみとなります。

$$f_{P2} = 5 \times f_O$$

f_{P2} が決定した後、 R_I を計算してください。

$$R_I = \frac{1}{2\pi \times f_{P2} \times C_I}$$

- 4) 第2のゼロ(f_{Z2})を $f_O \times 0.2$ または f_{PO} のいずれか低い位置として、次式を使用して R_I を計算してください。

$$R_I = \frac{1}{2\pi \times f_{Z2} \times C_I} - R_I$$

- 5) 第3のポール(f_{P3})をスイッチング周波数の半分の位置として、 C_{CF} を計算してください。

$$C_{CF} = \frac{C_F}{(2\pi \times 0.5 \times f_{SW} \times R_F \times C_F) - 1}$$

- 6) R_2 を次のように計算してください。

$$R_2 = \frac{V_{FB}}{V_{OUT} - V_{FB}} \times R_1$$

MOSFETの選択

ステップダウンコントローラのMAX15046は、2つの外付けロジックレベルnチャネルMOSFETを駆動します。これらのMOSFETを選択するための主なパラメータとして、以下が含まれます。

- ・ オン抵抗($R_{DS(ON)}$)
- ・ 最大ドレイン-ソース間電圧($V_{DS(MAX)}$)
- ・ 最小スレッショルド電圧($V_{TH(MIN)}$)
- ・ 総ゲート電荷量(Q_G)
- ・ 帰還容量(C_{RSS})
- ・ 電力消費

2つのnチャネルMOSFETは、 $V_{GS} = 4.5V$ でのオン抵抗の仕様が保証されているロジックレベルタイプである必要があります。最大の効率を実現するために、標準入力電圧においてスイッチング損失と等しい導通損失を備えたハイサイドMOSFETを選択してください。最小入力電圧における導通損失がMOSFETのパッケージの熱的限界を超えず、全体的な熱許容量にも抵触しないことを確認してください。また、最大入力電圧における導通損失とスイッチング損失の和がパッケージの定格を超えず全体的な熱許容量にも抵触しないことを確認してください。DLゲートドライバがローサイドMOSFETを駆動可能であることを確認してください。特に、ハイサイドMOSFETのターンオンによる dv/dt が、ローサイドMOSFETのドレイン-ゲート間容量を

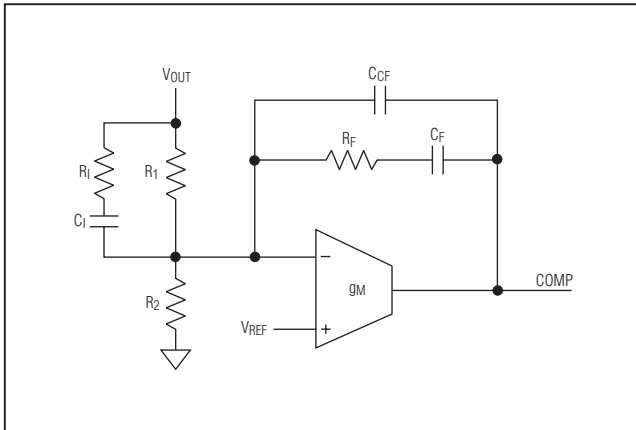


図4. Type III補償回路

通してローサイドMOSFETのゲートをプルアップすることがないか検討してください。これは、交差導通の問題が発生する最大の原因です。

内蔵リニアレギュレータを使用してゲートドライバに給電する場合は、電力消費を検討してください。デバイスのオーバーヒートなしにVCCが両方のドライバに給電することができるように、ゲート電荷量の低いMOSFETを選択してください。

$$P_{DRIVE} = V_{CC} \times Q_{G_TOTAL} \times f_{SW}$$

ここで、 Q_{G_TOTAL} は、2つの外付けMOSFETのゲート電荷量の合計です。

ブーストコンデンサおよびダイオードの選択

MAX15046は、ハイサイドMOSFETのターンオンに必要なゲート-ソース間電圧を、ブートストラップ回路を使用して生成します。選択したnチャネルハイサイドMOSFETによって、次式にしたがって適切なブースト容量値(「標準アプリケーション回路」の C_{BST})が決定されます。

$$C_{BST} = \frac{Q_G}{\Delta V_{BST}}$$

ここで、 Q_G はハイサイドMOSFETの総ゲート電荷量、 ΔV_{BST} はターンオン後にハイサイドMOSFETドライバで許容される電圧変動です。 C_{BST} を決定する際には、利用可能なゲート駆動電圧が大幅に減少しないような ΔV_{BST} を選択してください(たとえば、 $\Delta V_{BST} = 100\text{mV} \sim 300\text{mV}$)。

ブーストコンデンサには、100nF (min)の低ESRのセラミックコンデンサを使用してください。

小信号ダイオードをブートストラップ回路に使用することが可能で、BSTの最大電圧に耐えるために $V_{IN} + 3\text{V}$ の最小電圧定格を備えている必要があります。ダイオードの平均順方向電流は、次の要件に適合するようにしてください。

$$I_F > Q_{GATE} \times f_{SW}$$

ここで、 Q_{GATE} はハイサイドMOSFETのゲート電荷です。

電力消費

デバイスの最大電力消費は、ダイから周囲環境への熱抵抗および周囲温度に依存します。熱抵抗は、デバイスのパッケージ、PCBの銅面積、その他の熱質量、およびエアフローに依存します。

パッケージの電力消費(P_T)は、電源構成に依存します(「標準アプリケーション回路」を参照)。次式を使用して、電力消費を計算してください。

$$P_T = V_{IN} \times [Q_{G_TOTAL} \times f_{SW} + I_Q]$$

ここで、 I_Q はスイッチング周波数における自己消費電流です。「標準動作特性」の「 I_{IN} vs. Switching Frequency (I_{IN} とスイッチング周波数の関係)」のグラフから、 I_Q を判断してください。

次式を使用して、ダイの温度上昇を推定してください。

$$T_J = T_A + (P_T \times \theta_{JA})$$

ここで、 θ_{JA} はパッケージの接合部-周囲間熱インピーダンス、 P_T はデバイス内で消費される電力、 T_A は周囲温度です。 θ_{JA} は、それぞれに該当するJEDEC規格(JESD51-5、JESD51-7)で規定された条件で、16ピンQSOPの場合は103.7°C/W、16ピンQSOP-EPパッケージの場合は多層基板上において44°C/Wです。実際の動作条件がJEDEC規格に記載されているものと大幅に異なる場合、接合部温度の正確な評価を行うためにはケース温度(T_C)を直接測定する必要があります。その場合、接合部温度は次のようになります。

$$T_J = T_C + (P_T \times \theta_{JC})$$

16ピンQSOPパッケージの場合は θ_{JC} 熱インピーダンスとして37°C/Wを使用して、16ピンQSOP-EPパッケージの場合は6°C/Wを使用してください。ケース-周囲間熱インピーダンス(θ_{CA})は、PCBから周囲に熱がどの程度良好に伝達されるかに依存します。大面積の銅領域を使用して、PCBを低い温度に維持してください。

40V、高性能、同期バックコントローラ

MAX15046

PCBレイアウトのガイドライン

クリーンで安定した動作を実現するためには、注意深いPCBレイアウトが非常に重要です。スイッチングパワー段には特別な注意が必要です。適切なPCBレイアウトとするため、以下のガイドラインにしたがってください。

- 1) デカップリングコンデンサはできる限りICの近くに配置してください。電源グランドプレーン(PGNDに接続)と信号グランドプレーン(GNDに接続)を、デバイスの近くの1点で接続してください。
- 2) 入力および出力コンデンサは、電源グランドプレーンに接続してください。他のすべてのコンデンサは、信号グランドプレーンに接続してください。
- 3) 大電流の経路は、できる限り短くかつ太くしてください。スイッチング電流の経路(C2-IN間およびC2-PGND間)は短くしてください。スイッチング経路にはビアを使用しないでください。
- 4) 電流制限の検出を正確に行うために、CSPをローサイドFETのドレインにケルビン接続してください。
- 5) すべてのフィードバック接続が短く直接的であることを確認してください。フィードバック抵抗はできる限りICの近くに配置してください。
- 6) 高速スイッチング端子(BST、LX、DH、およびDL)は、敏感なアナログ領域(RT、FB、COMP、およびLIM)から離れた位置に配線してください。

24V電源、3.3V出力動作

「標準アプリケーション回路」の項の「Typical Application Circuit 1 (標準アプリケーション回路1)」は、24Vで動作して3.3Vで最大10Aを出力するアプリケーション回路を示します。R5は、スイッチング周波数を350kHzに設定しています。

単一4.5V~5.5V電源動作

「標準アプリケーション回路」の項の「Typical Application Circuit 2 (標準アプリケーション回路2)」は、単一+4.5V~+5.5V電源動作のアプリケーション回路を示します。

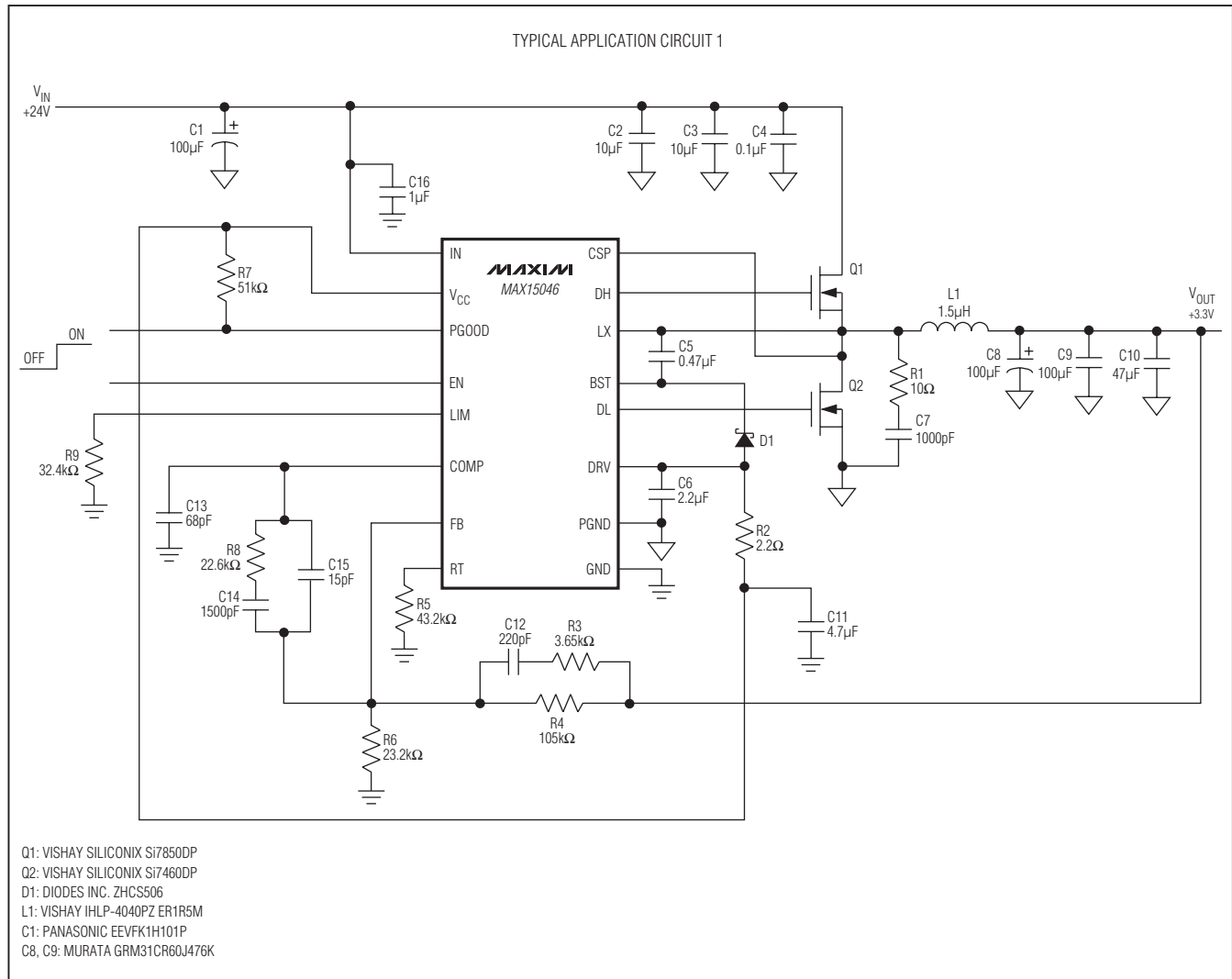
補助5V電源動作

「標準アプリケーション回路」の項の「Typical Application Circuit 3 (標準アプリケーション回路3)」は、+24V電源で外付けMOSFETを駆動して補助+5V電源でデバイスに給電するアプリケーション回路を示します。

40V、高性能、同期バックコントローラ

標準アプリケーション回路

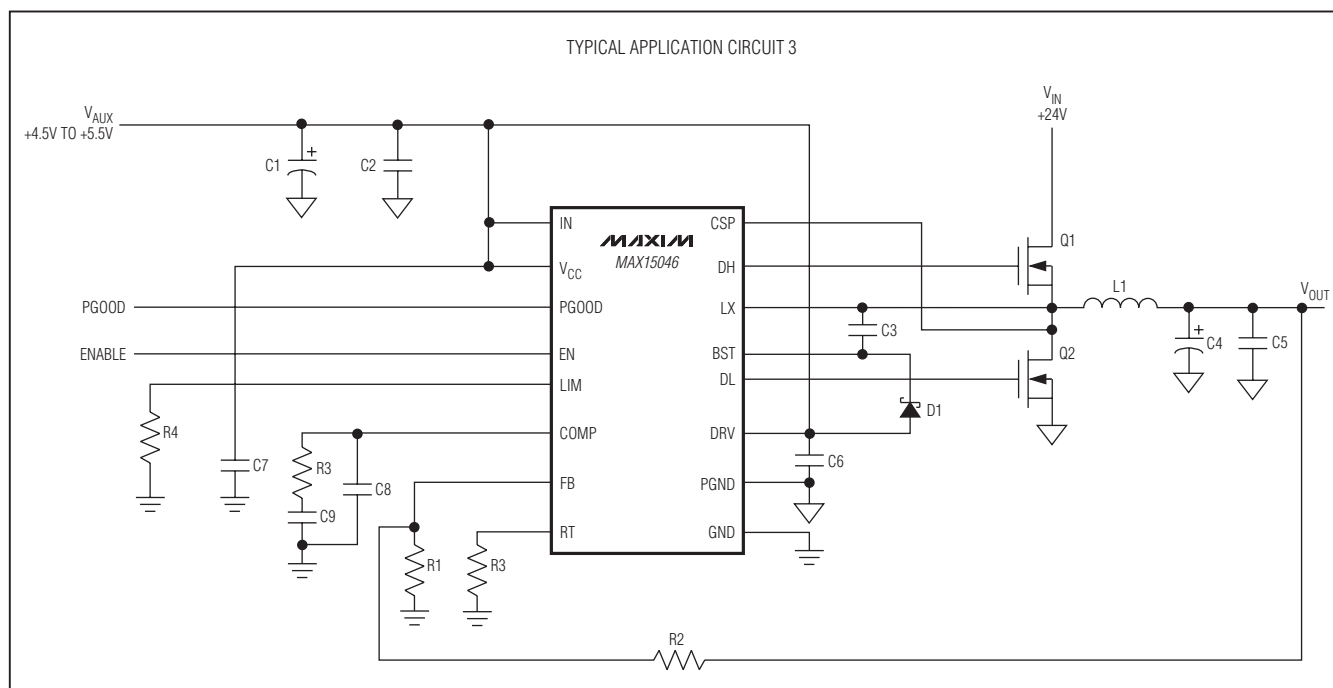
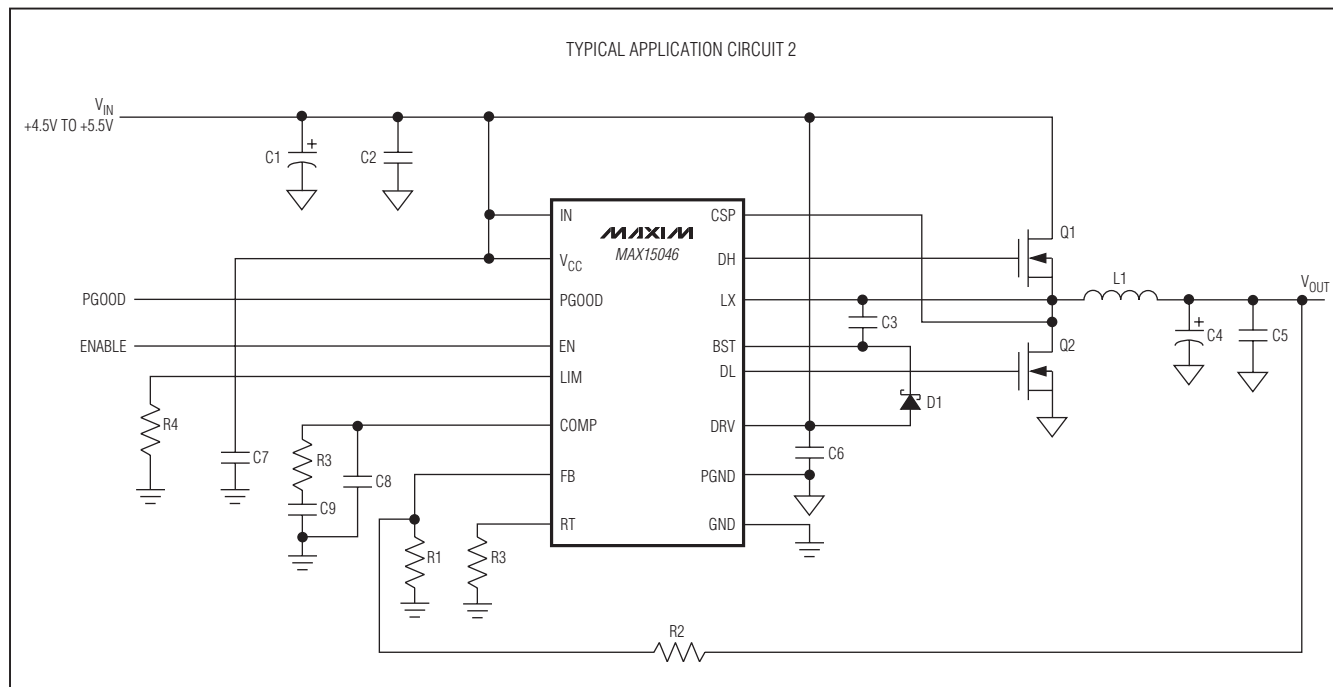
MAX15046



40V、高性能、同期バックコントローラ

MAX15046

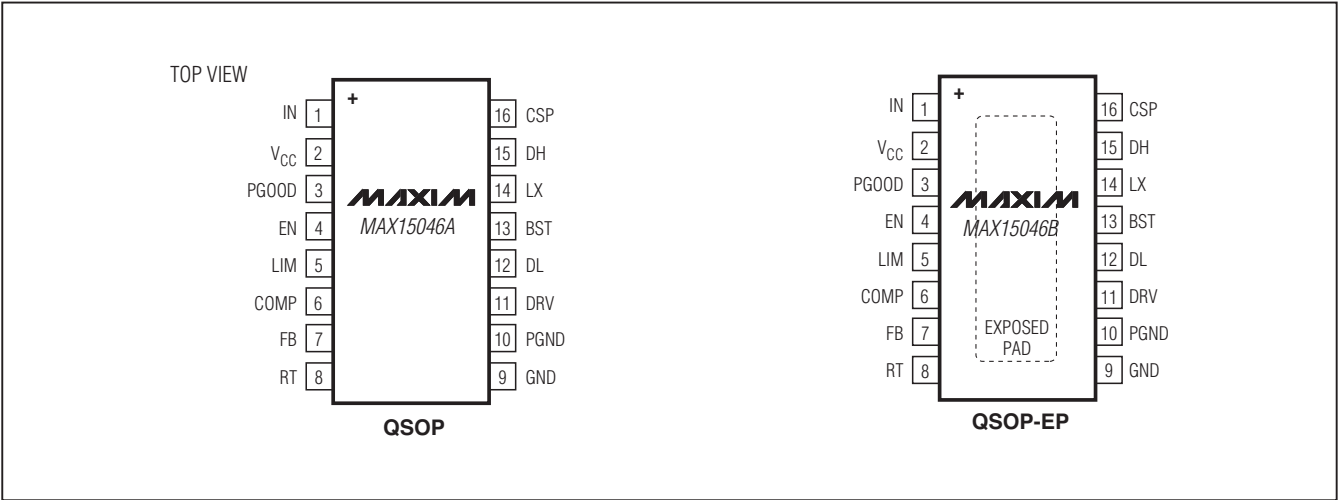
標準アプリケーション回路(続き)



40V、高性能、同期バックコントローラ

MAX15046

ピン配置



チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターンはjapan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
16 QSOP	E16+4	21-0055
16 QSOP-EP	E16E+9	21-0112

40V、高性能、同期バックコントローラ

MAX15046

改訂履歴

版数	改訂日	説明	改訂ページ
0	7/09	初版	—
1	2/10	「Electrical Characteristics」の「Minimum Low-Side On-Time (最小ローサイドオン時間)」の条件を修正。TOCの2、18、および19を修正。「MOSFETゲートドライバ(DH、DL)」、「スイッチング周波数の設定」、「谷電流制限の設定」、「MOSFETの選択」、および「電力消費」の項を修正。「Typical Application Circuit 1」を修正。	3, 5, 7, 10, 14, 15, 18, 19, 21

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2010 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。