

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

## 概要

MAX157/MAX159は低電力10ビットA/Dコンバータ(ADC)です。パッケージは8ピン $\mu$ MAX及びDIPが用意されています。いずれも+2.7V~+5.25V単一電源で動作し、7.4 $\mu$ sの逐次比較ADC、自動パワーダウン、高速ウェイクアップ(2.5 $\mu$ s)、内蔵クロック及び高速3線シリアルインタフェースを備えています。

最大サンプリングレート108kspsにおける消費電力は僅か3.2mW( $V_{DD}=+3.6V$ )です。低スループットレートにおいては、自動シャットダウン(0.2 $\mu$ A)によってさらに消費電力を低減しています。

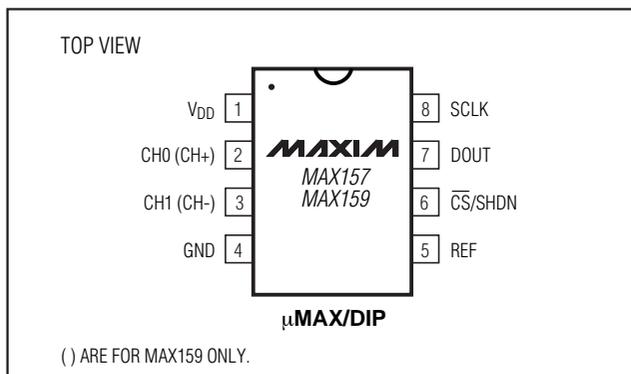
MAX157は2チャンネルのシングルエンド動作で、0~ $V_{REF}$ の入力信号を受け付けます。MAX159は0~ $V_{REF}$ の疑似差動入力を受け付けます。外部クロックが3線インタフェースからデータにアクセスします。このインタフェースは、SPI™、QSPI™及びMICROWIRE™とコンパチブルです。

本製品は、優れた動的性能及び低電力特性に加えて、使い易い小型パッケージのため、バッテリー駆動及びデータ収集アプリケーション、又はその他の省電力、小型化が必要な回路に最適です。ピンコンパチブルの12ビットアップグレード製品としては、MAX144及びMAX145を参照して下さい。

## アプリケーション

バッテリー駆動機器	計測器
ポータブルデータロギング	試験機器
絶縁データ収集	医療機器
プロセス制御監視	システム監視

## ピン配置



SPI及びQSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

## 特長

- ◆ 単一電源：+2.7V~+5.25V
- ◆ 2つのシングルエンドチャンネル(MAX157)  
1つの疑似差動チャンネル(MAX159)
- ◆ 低電力：
  - 0.9mA(108ksps、+3V)
  - 100 $\mu$ A(10ksps、+3V)
  - 10 $\mu$ A(1ksps、+3V)
  - < 0.2 $\mu$ A(パワーダウンモード)
- ◆ 内部トラック/ホールド
- ◆ サンプリングレート：108ksps
- ◆ 3線シリアルインタフェース：
  - SPI/QSPI/MICROWIREコンパチブル
- ◆ パッケージ：省スペースの8ピン $\mu$ MAX
- ◆ ピンコンパチブルの12ビットアップグレード製品も供給

## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX157ACUA	0°C to +70°C	8 $\mu$ MAX	$\pm 0.5$
MAX157BCUA	0°C to +70°C	8 $\mu$ MAX	$\pm 1$
MAX157ACPA	0°C to +70°C	8 Plastic DIP	$\pm 0.5$
MAX157BCPA	0°C to +70°C	8 Plastic DIP	$\pm 1$
MAX157AEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 0.5$
MAX157BEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 1$
MAX157AEPA	-40°C to +85°C	8 Plastic DIP	$\pm 0.5$
MAX157BEPA	-40°C to +85°C	8 Plastic DIP	$\pm 1$
MAX157AMJA	-55°C to +125°C	8 CERDIP*	$\pm 0.5$
MAX157BMJA	-55°C to +125°C	8 CERDIP*	$\pm 1$
MAX159ACUA	0°C to +70°C	8 $\mu$ MAX	$\pm 0.5$
MAX159BCUA	0°C to +70°C	8 $\mu$ MAX	$\pm 1$
MAX159ACPA	0°C to +70°C	8 Plastic DIP	$\pm 0.5$
MAX159BCPA	0°C to +70°C	8 Plastic DIP	$\pm 1$
MAX159AEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 0.5$
MAX159BEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 1$
MAX159AEPA	-40°C to +85°C	8 Plastic DIP	$\pm 0.5$
MAX159BEPA	-40°C to +85°C	8 Plastic DIP	$\pm 1$
MAX159AMJA	-55°C to +125°C	8 CERDIP*	$\pm 0.5$
MAX159BMJA	-55°C to +125°C	8 CERDIP*	$\pm 1$

\*Contact factory for availability.

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピンμMAX

MAX157/MAX159

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	-0.3V to +6V
CH0, CH1 (CH+, CH-) to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
REF to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Inputs to GND	-0.3V to +6V
DOUT to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
DOUT Sink Current	25mA
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
μMAX (derate 4.1mW/°C above +70°C)	330mW
Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
CERDIP (derate 8.00mW/°C above +70°C)	640mW

Operating Temperature Ranges	
MAX157/MAX159_C_A	0°C to +70°C
MAX157/MAX159_E_A	-40°C to +85°C
MAX157/MAX159_MJA	-55°C to +125°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +5.25V, V<sub>REF</sub> = 2.5V, 0.1μF capacitor at REF, f<sub>SCLK</sub> = 2.17MHz, 16 clocks/conversion cycle (108ksps), CH- = GND for MAX159, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution	RES		10			Bits
Relative Accuracy (Note 2)	INL	MAX15_A			±0.5	LSB
		MAX15_B			±1	
Differential Nonlinearity	DNL	No missing codes over temperature			±0.5	LSB
Offset Error					±2	LSB
Gain Error (Note 3)					±2	LSB
Gain Temperature Coefficient		External reference, V <sub>REF</sub> = 2.5V		±0.8		ppm/°C
Channel-to-Channel Offset Matching				±0.02		LSB
Channel-to-Channel Gain Matching				±0.02		LSB
<b>DYNAMIC SPECIFICATIONS</b> (f <sub>IN</sub> (sine wave) = 10kHz, V <sub>IN</sub> = 2.5Vp-p, 108ksps, external f <sub>SCLK</sub> = 2.17MHz, CH- = GND for MAX159)						
Signal-to-Noise Ratio plus Distortion	SINAD			66		dB
Total Harmonic Distortion (including 5th-order harmonic)	THD			-70		dB
Spurious-Free Dynamic Range	SFDR			70		dB
Channel-to-Channel Crosstalk		f <sub>IN</sub> = 65kHz, V <sub>IN</sub> = 2.5Vp-p (Note 4)		-75		dB
Small-Signal Bandwidth		-3dB rolloff		2.25		MHz
Full-Power Bandwidth				1.0		MHz

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピンμMAX

MAX157/MAX159

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+5.25V$ ,  $V_{REF} = 2.5V$ ,  $0.1\mu F$  capacitor at REF,  $f_{SCLK} = 2.17MHz$ , 16 clocks/conversion cycle (108ksps), CH- = GND for MAX159,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	$t_{CONV}$	External clock, $f_{SCLK} = 2.17MHz$ , 16 clock cycles per conversion	7.4			$\mu s$
		Internal clock	5		7	
T/H Acquisition Time	$t_{ACQ}$				2.5	$\mu s$
Aperture Delay				25		ns
Aperture Jitter				<50		ps
Serial Clock Frequency	$f_{SCLK}$	External clock mode	0.1		2.17	MHz
		Internal clock mode, for data transfer only	0		5	
<b>ANALOG INPUTS</b>						
Analog Input Voltage Range (Note 6)	$V_{IN}$		0		$V_{REF}$	V
Multiplexer Leakage Current		On/off-leakage current, $V_{IN} = 0$ to $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			16		$\mu A$
<b>EXTERNAL REFERENCE</b>						
Input Voltage Range (Note 7)	$V_{REF}$		0	$V_{DD} + 50mV$		V
Input Current		$V_{REF} = 2.5V$		100	140	$\mu A$
Input Resistance			18	25		$k\Omega$
Shutdown REF Input Current				0.01	10	$\mu A$
<b>DIGITAL INPUTS (<math>\overline{CS}/SHDN</math>, SCLK) AND DIGITAL OUTPUT (DOUT)</b>						
Input High Voltage	$V_{IH}$	$V_{DD} \leq 3.6V$	2.0			V
		$V_{DD} > 3.6V$	3.0			
Input Low Voltage	$V_{IL}$				0.8	V
Input Hysteresis	$V_{HYS}$			0.2		V
Input Leakage Current	$I_{IN}$	$V_{IN} = 0$ or $V_{DD}$			$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$	(Note 8)			15	pF
Output Low Voltage	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$		0.5		
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Output Leakage Current		$\overline{CS}/SHDN = V_{DD}$			$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS}/SHDN = V_{DD}$ (Note 8)			15	pF

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピンμMAX

MAX157/MAX159

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+5.25V$ ,  $V_{REF} = 2.5V$ ,  $0.1\mu F$  capacitor at REF,  $f_{SCLK} = 2.17MHz$ , 16 clocks/conversion cycle (108ksps), CH- = GND for MAX159,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>						
Positive Supply Voltage	$V_{DD}$		+2.7		+5.25	V
Positive Supply Current	$I_{DD}$	Operating mode		0.9	2.0	mA
Positive Supply Current	$I_{DD}$	Shutdown, $\overline{CS}/SHDN = GND$		0.2	5	$\mu A$
Power-Supply Rejection (Note 9)	PSR	$V_{DD} = 2.7V$ to $5.25V$ , full-scale input		$\pm 0.15$		mV

## TIMING CHARACTERISTICS (Figure 7)

( $V_{DD} = +2.7V$  to  $+5.25V$ ,  $V_{REF} = 2.5V$ ,  $0.1\mu F$  capacitor at REF,  $f_{SCLK} = 2.17MHz$ , 16 clocks/conversion cycle (108ksps), CH- = GND for MAX159,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Wake-Up Time	$t_{WAKE}$		2.5			$\mu s$
$\overline{CS}/SHDN$ Fall to Output Enable	$t_{DV}$	$C_L = 100pF$ (Figure 1)			120	ns
$\overline{CS}/SHDN$ Rise to Output Disable	$t_{TR}$	$C_L = 100pF$ (Figure 1)			120	ns
SCLK Fall to Output Data Valid	$t_{DO}$	$C_L = 100pF$	20		120	ns
SCLK Clock Frequency	$f_{SCLK}$	External clock	0.1		2.17	MHz
		Internal clock, SCLK for data transfer only	0		5	
SCLK Pulse Width High	$t_{CH}$	External clock	215			ns
		Internal clock, SCLK for data transfer only (Note 8)	50			
SCLK Pulse Width Low	$t_{CL}$	External clock	215			ns
		Internal clock, SCLK for data transfer only (Note 8)	50			
SCLK to $\overline{CS}/SHDN$ Setup	$t_{SCLKS}$		60			ns
$\overline{CS}/SHDN$ Pulse Width	$t_{CS}$		60			ns

**Note 1:** Tested at  $V_{DD} = +2.7V$ .

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after full-scale range has been calibrated.

**Note 3:** Offset nulled.

**Note 4:** The on channel is grounded; the sine wave is applied to off channel (MAX157 only).

**Note 5:** Conversion time is defined as the number of clock cycles times the clock period; clock has 50% duty cycle.

**Note 6:** The common-mode range for the analog inputs is from GND to  $V_{DD}$  (MAX159 only).

**Note 7:** ADC performance is limited by the converter's noise floor, typically  $300\mu V_p-p$ .

**Note 8:** Guaranteed by design. Not subject to production testing.

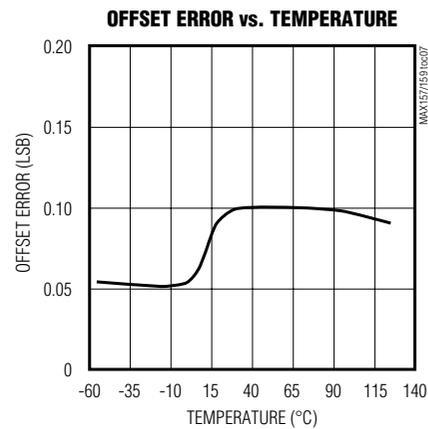
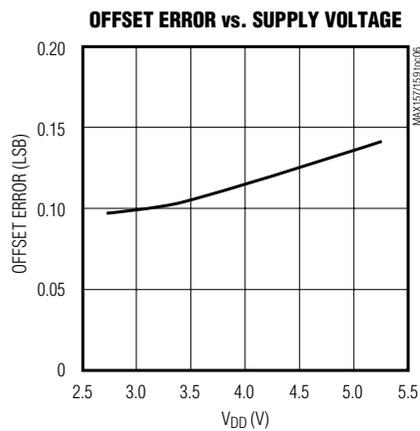
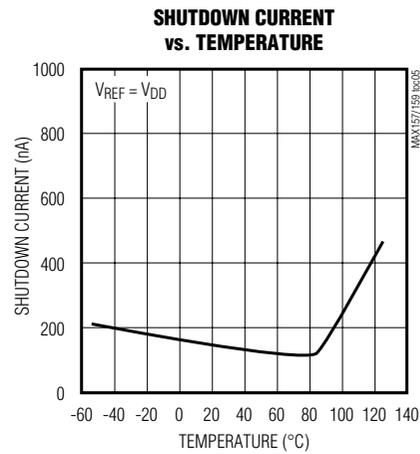
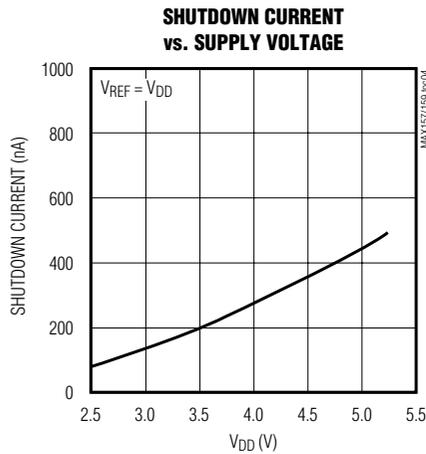
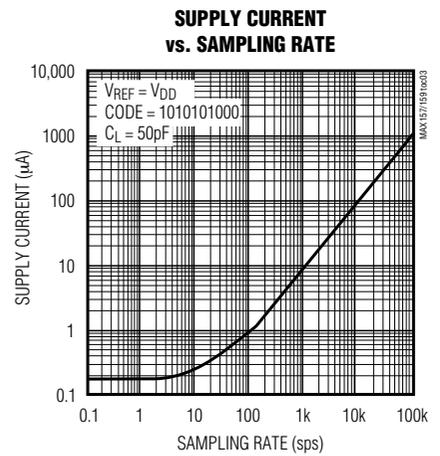
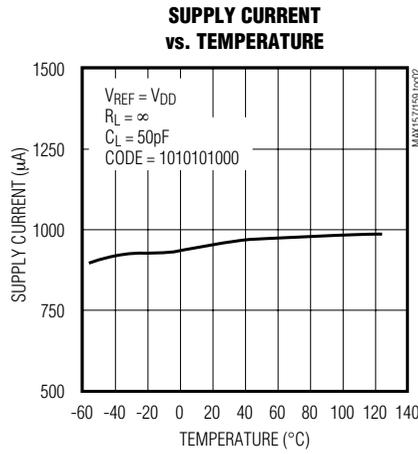
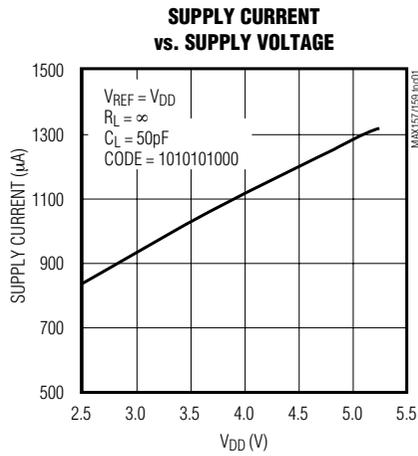
**Note 9:** Measured as  $V_{FS}(2.7V) - V_{FS}(5.25V)$ .

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

MAX157/MAX159

## 標準動作特性

( $V_{DD} = +3.0V$ ,  $V_{REF} = 2.5V$ ,  $0.1\mu F$  capacitor at REF,  $f_{SCLK} = 2.17MHz$ , 16 clocks/conversion cycle (108ksps); CH- = GND for MAX159;  $T_A = +25^\circ C$ , unless otherwise noted.)

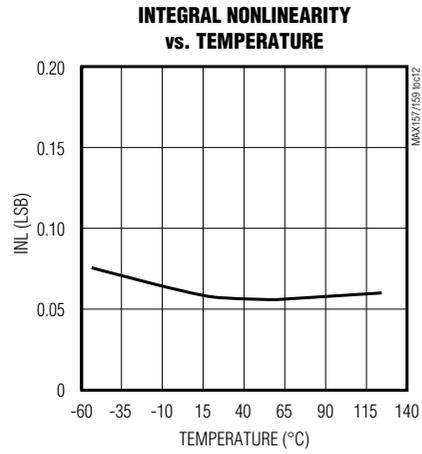
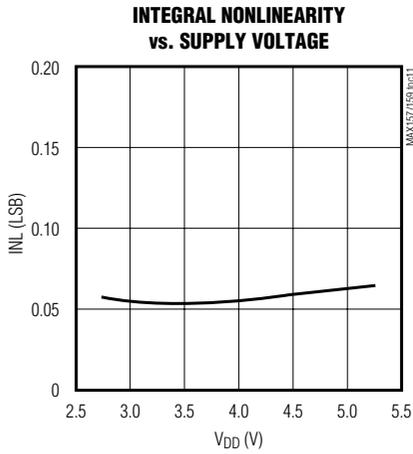
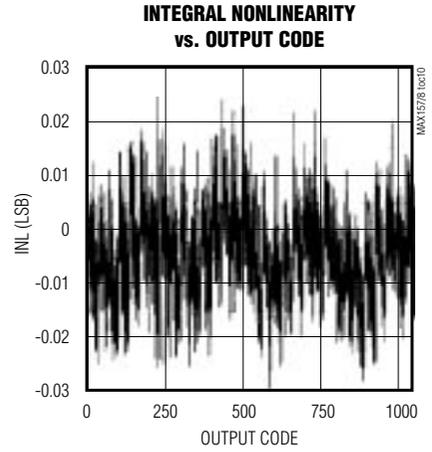
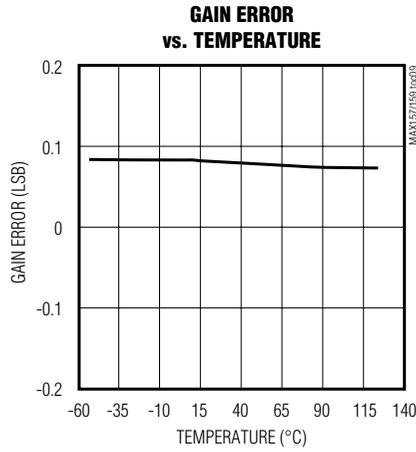
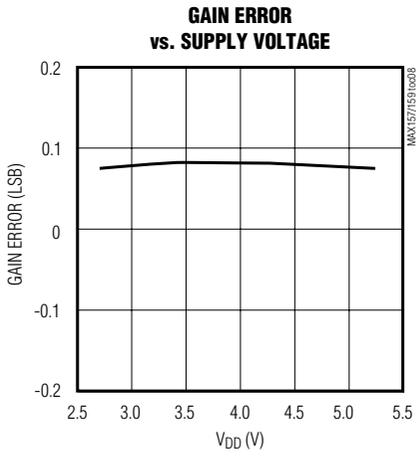


# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

**MAX157/MAX159**

## 標準動作特性(続き)

( $V_{DD} = +3.0V$ ,  $V_{REF} = 2.5V$ ,  $0.1\mu F$  capacitor at REF,  $f_{SCLK} = 2.17MHz$ , 16 clocks/conversion cycle (108ksps); CH- = GND for MAX159;  $T_A = +25^\circ C$ , unless otherwise noted.)



# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

## 端子説明

端子	名称	機能
1	V <sub>DD</sub>	正電源電圧(+2.7V~+5.25V)
2	CH0 (CH+)	アナログ入力：MAX157 = シングルエンド(CH0)；MAX159 = 差動(CH+)
3	CH1 (CH-)	アナログ入力：MAX157 = シングルエンド(CH1)；MAX159 = 差動(CH-)
4	GND	アナログ及びデジタルグランド
5	REF	外部リファレンス電圧入力。アナログ電圧範囲を設定します。デバイスの近くで0.1 $\mu$ F コンデンサを使ってバイパスして下さい。
6	$\overline{\text{CS}}/\text{SHDN}$	アクティブローチップセレクト入力/アクティブハイシャットダウン入力。 $\overline{\text{CS}}/\text{SHDN}$ をハイに引き上げると、デバイスはシャットダウン(最大電流5 $\mu$ A)になります。
7	DOUT	シリアルデータ出力。データはSCLKの立下がりエッジで変化します。 $\overline{\text{CS}}/\text{SHDN}$ がハイの時ハイインピーダンスになります。
8	SCLK	シリアルクロック入力。DOUTはSCLKの立下がりエッジで変化します。

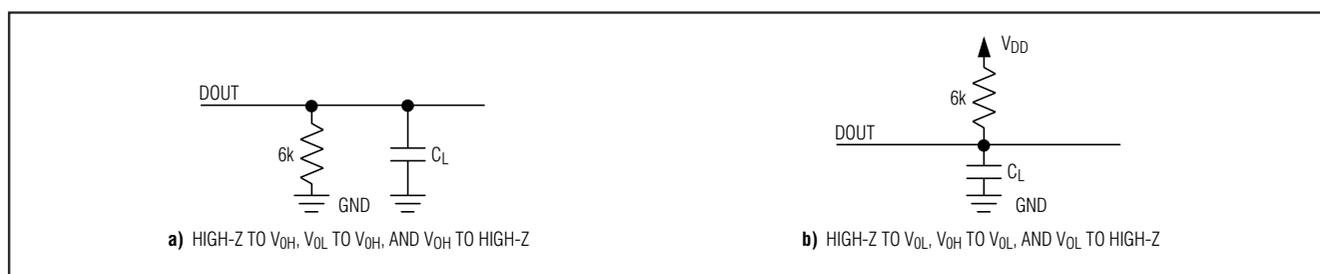


図1. イネーブル及びディセーブル時間の負荷回路

## 詳細

MAX157/MAX159 A/Dコンバータ(ADC)は、逐次比較変換(SAR)技法と内蔵トラックアンドホールド(T/H)構造を用いてアナログ信号をシリアル10ビットデジタル出力データストリームに変換します。

このフレキシブルなシリアルインタフェースにより、マイクロプロセッサ( $\mu$ P)へのインタフェースが簡単になっています。図2にMAX157(2チャンネル、シングルエンド)及びMAX159(1チャンネル、疑似差動)の内部構造の簡略化ファンクションダイアグラムを示します。

### シングルエンド(MAX157)及び疑似差動(MAX159)アナログ入力

ADCのアナログコンパレータのサンプリング構造を図3の等価入力回路に示します。シングルエンドモード(MAX157)においては、CH0及びCH1の両方のチャンネルがGNDを基準としており、2つの異なる信号ソースに接続することができます。パワーオンリセットの後、ADCはCH0を変換するように設定されます。CH0が変換されると次にCH1が変換され、その後両チャンネル間で交互に変換が続けられます。チャンネルの切り換えは $\overline{\text{CS}}/\text{SHDN}$ ピンをトグルすることによって行われます。変換と変換の間で $\overline{\text{CS}}/\text{SHDN}$ を2回トグルすることで、同じチャンネルで変換を行うことができます。一方のチャンネルのみを使用する場合、CH0とCH1をまとめて接続することができますが、その場合でも出力データは(MSBの前に)チャンネル識別ビットを含みます。

MAX159の場合、入力チャンネルは単一の差動チャンネルペア(CH+、CH-)を形成します。この構成は、IN+の信号のみがサンプリングされるため、疑似差動と呼んでいます。リターン側のIN-は変換中にGNDの $\pm 0.5$ LSB(最良の結果を得るためには $\pm 0.1$ LSB)以内で安定している必要があります。これを実現するためには、IN-とGNDの間に0.1 $\mu$ Fのコンデンサを接続して下さい。

アキュイジション期間中、正入力(IN+)として選択されたチャンネルがコンデンサC<sub>HOLD</sub>を充電します。アキュイジション期間は $\overline{\text{CS}}/\text{SHDN}$ が下がる時から2番目のクロックサイクルの立下がりエッジ(外部クロックモード)まで、あるいは $\overline{\text{CS}}/\text{SHDN}$ が下がる時から1番目のクロックサイクルの立下がりエッジ(内部クロックモード)までです。アキュイジション期間の終了時にT/Hスイッチが開き、IN+の信号のサンプルとしてC<sub>HOLD</sub>の電荷を保持します。

変換期間は、入力マルチプレクサがC<sub>HOLD</sub>を正入力(IN+)から負入力(IN-)に切り換えた時に始まります。これにより、コンパレータの正入力のノードZEROが不平衡になります。

容量性D/Aコンバータ(DAC)が、変換サイクルの残りの時間で、ノードZEROを10ビット分解能の制限範囲で0Vに調節します。この動作は、 $16\text{pF} \cdot [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷をC<sub>HOLD</sub>からバイナリ重み付の容量性DACに移すのと等価であり、この結果、アナログ入力信号のデジタル表示が生成されます。

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

## トラック/ホールド(T/H)

ADCのT/H段は $\overline{CS}$ /SHDNの立下がりエッジでトラックモードに入ります。MAX157(シングルエンド入力)の場合、IN-はGNDに接続され、コンバータは正(+)入力をサンプリングします。MAX159(疑似差動入力)の場合、IN-は負入力(-)に接続し、 $[(V_{IN+}) - (V_{IN-})]$ の差がサンプリングされます。変換の最後に正入力は再びIN+に切り換えられ、 $C_{HOLD}$ は入力信号まで充電されます。

T/Hが入力信号を取り込むのに要する時間は、入力容量が充電される速さの関数です。入力信号のソースインピーダンスが高いほど、アキュイジション時間が長くなるため、変換と変換の間隔を長くする必要があります。アキュイジション時間( $t_{ACQ}$ )は素子が信号を取込むのに要する最大時間であり、信号の取込みに必要な最小時間でもあります。 $t_{ACQ}$ は、次式で計算されます。

$$t_{ACQ} = 7 (R_S + R_{IN}) C_{IN}$$

ここで、 $R_S$ は入力信号のソースインピーダンス、 $R_{IN}$ (9k $\Omega$ )は入力抵抗、そして $C_{IN}$ (16pF)はADCの入力容量です。ソースインピーダンスが4k $\Omega$ 以下であれば、MAX157/MAX159のAC性能に大きな影響はありません。

アナログ入力に0.01 $\mu$ Fのコンデンサを接続することで、より高いソースインピーダンスを使用できます。このコンデンサは入力ソースインピーダンスと共にRCフィルタを構成し、ADCの信号帯域幅を制限します。

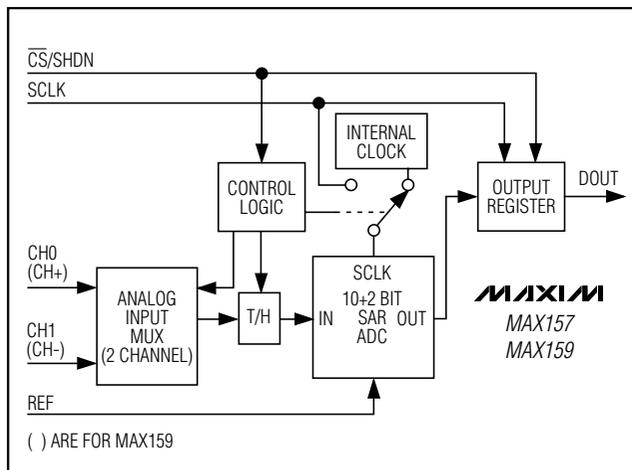


図2. MAX157/MAX159の簡略化ファンクションダイアグラム

## 入力帯域幅

MAX157/MAX159のT/H段は小信号帯域幅が2.25MHz、フルパワー帯域幅が1MHzであるため、アンダーサンプリング技法を使用することにより帯域幅がADCのサンプリングレートを超える周期信号を測定し、高速トランジェント現象を数値化することができます。高周波信号が計測したい周波数帯域にエイリアシングしてくるのを防ぐため、アンチエイリアシングフィルタリングをお勧めします。殆どのエイリアシングの問題は外付抵抗とコンデンサによって簡単に解決できます。ただし、DC精度が必要な場合は、MAX7410/MAX7414等の連続又はスイッチトキャパシタフィルタが最適です(図4)。本製品のバタワース特性は、一般にロールオフと減衰に関して最善のフィルタ構成を提供し、設計が簡単で、極めて平坦なパスバンド応答を提供します。

## アナログ入力保護

内部保護ダイオードによりアナログ入力 $V_{DD}$ とGNDにクランプされているため、入力チャンネルは(GND - 300mV) ~ ( $V_{DD} + 300mV$ )の範囲で、損傷を起こすことなくスイングできます。ただし、フルスケール付近で正確な変換を行うためには、両入力が $V_{DD}$ を50mV以上超えず、またGNDを50mV以上下回らないようにして下さい。

オフチャンネルアナログ入力が電源を50mV以上超える場合は、入力電流を4mAまでに制限して下さい。

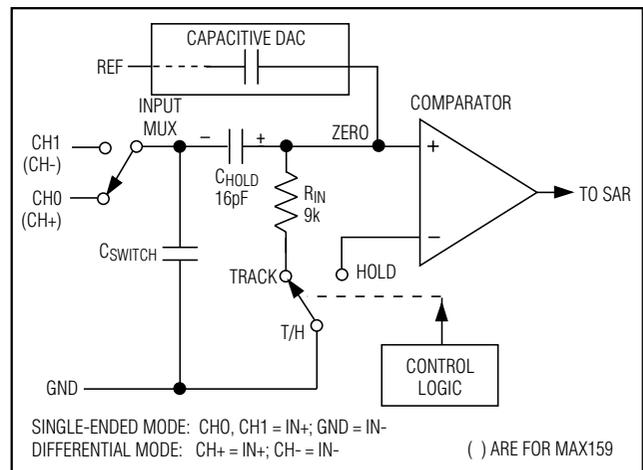


図3. アナログ入力チャンネルの構造

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

## クロックモードの選択

MAX157/MAX159の変換を開始するには、 $\overline{\text{CS}}/\text{SHDN}$ をローに引き下げて下さい。 $\overline{\text{CS}}/\text{SHDN}$ の立下がりエッジで、デバイスはウェイクアップし、内部T/H回路がトラックモードに入り、変換が始まります。さらに、 $\overline{\text{CS}}/\text{SHDN}$ の立下がりエッジにおけるSCLKの状態によって内部(SCLK = ハイ)クロック又は外部(SCLK = ロー)クロックモードが選択されます。

内部クロック ( $f_{\text{SCLK}} < 100\text{kHz}$ 又は $f_{\text{SCLK}} > 2.17\text{MHz}$ )  
内部クロックモードにおいては、MAX157/MAX159は内部のレーザトリミングされた発振器によって、仕様クロックレート2MHzの20%以内で動作します。この結果、システムマイクロプロセッサはSAR変換クロックを動作させる役割から解放され、変換結果はプロセッサの都合のよい時に、0~5MHzの任意のクロックレートで読取ることができます。100kHz未満又は2.17MHzよりも高いクロック周波数で動作するシリアルインタフェースに対しては、MAX157/MAX159を内部クロック

モードで動作させる必要があります。内部クロックモード(図5)を選択するには、 $\overline{\text{CS}}/\text{SHDN}$ のハイ/ロー遷移の時にSCLKをハイに保持して下さい。最初のSCLKの立下がりエッジがデータをサンプリングし、集積化内蔵発振器を使って変換を開始します。変換の後、発振器はシャットオフし、DOUTがハイになって変換終了(EOC)を知らせます。ここでSCLKを使ってデータを読取ることができます。

外部クロック ( $f_{\text{SCLK}} = 100\text{kHz} \sim 2.17\text{MHz}$ )  
SCLKがローの時に $\overline{\text{CS}}/\text{SHDN}$ がハイからローに遷移すると、外部クロックモード(図6)が選択されます。外部クロック信号は、データをシフトアウトするだけでなく、アナログディジタル変換の駆動も行います。2番目のクロックパルスの立下がりエッジで入力サンプリングされて変換が開始されます。T/Hコンデンサの落ち込みで変換結果が劣化するのを防ぐためには、140 $\mu$ s以内に変換を完了する必要があります。外部クロックモードは、100kHz~2.17MHzの範囲のクロック周波数において最良のスループットを提供します。

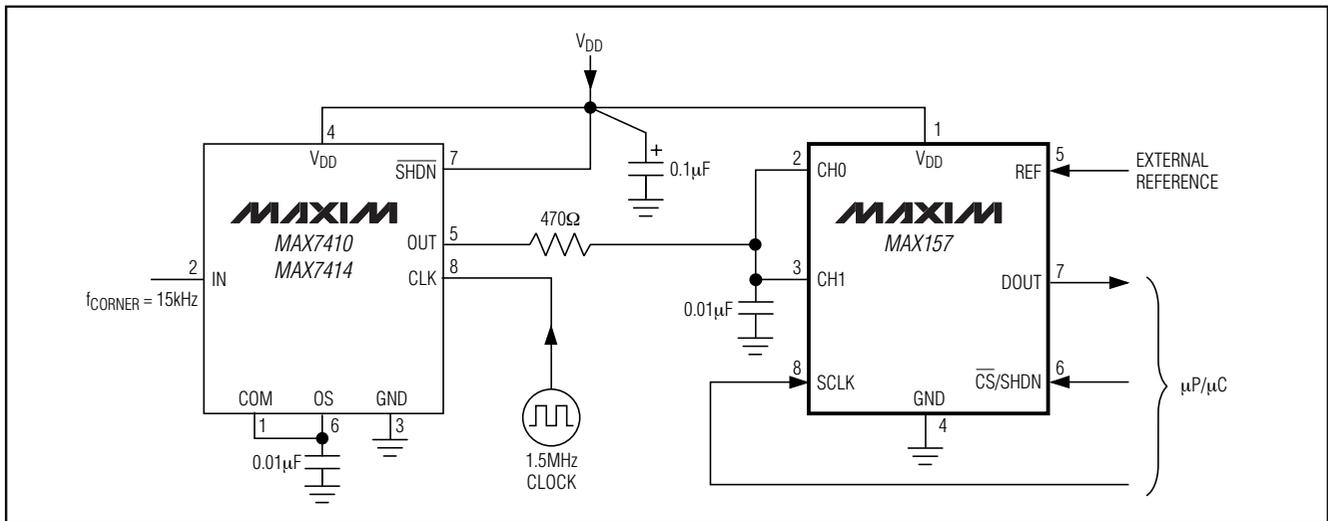


図4. アナログ入力にアンチエイリアシングフィルタを使った構造

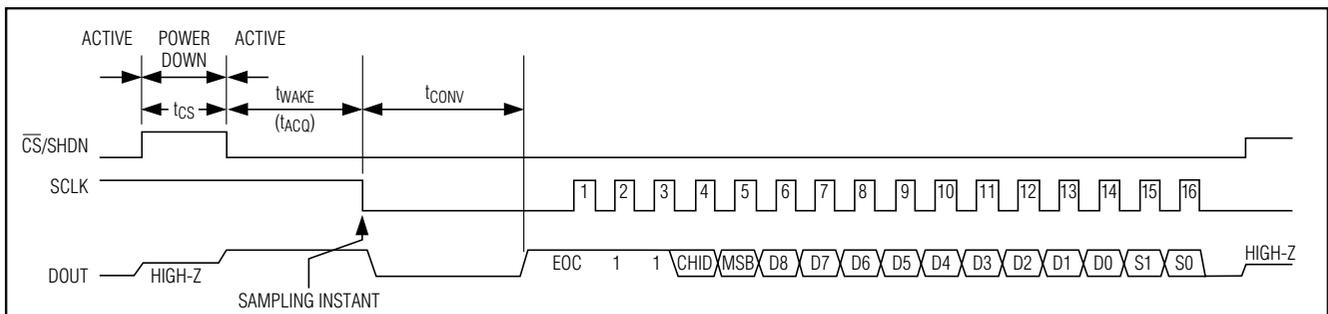


図5. 内部クロックモードのタイミング

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

## 出力データフォーマット

表1に、MAX157及びMAX159の16ビットシリアルデータストリーム出力を示します。最初の3ビットは常にロジックハイ(内部クロックモードのEOCビットを含む)で、その後にチャンネル識別(CH0ならCHID = 0、CH1ならCHID = 1、MAX159ならCHID = 1)、そして10ビットのデータがMSBを先頭とするフォーマットで続き、さらに2つのサブLSBビット(S1及びS0)が続きます。最後のビットが読取られた後のSCLKパルスではゼロの列が同期出力されます。DOUTはSCLKの立下がりエッジで遷移します。 $\overline{CS}/SHDN$ がハイの時、出力はハイインピーダンスに留まります。

## 外部リファレンス

MAX157とMAX159はいずれも外部リファレンスを必要とします。REFにおける最小DC入力抵抗は18kです。変換時のリファレンスは、250 $\mu$ AのDC負荷電流を供給できなければならず、出力インピーダンスは10以下でなければなりません。最高の性能を得るためには0.1 $\mu$ Fのバイパスコンデンサを使用して下さい。リファレンス入力構造は0 ~ ( $V_{DD} + 50mV$ )の電圧範囲を許容しますが、リファレンス電圧が低い場合、ノイズレベルにより実効分解能が低下します。

## 自動パワーダウンモード

MAX157/MAX159は、選択されていない時( $\overline{CS}/SHDN = V_{DD}$ )にはシャットダウンモードに入ります。シャットダウンモードにおいては、全ての内部回路がターンオフし、消費電流を0.2 $\mu$ A以下(typ)に低減します。外部リファレンスが1LSB以内で安定している時、ウェイクアップ時間は2.5 $\mu$ sです。外部リファレンスが1LSB以内で安定していない場合、リファレンスが安定するまでウェイクアップ時間を延長する必要があります。

## アプリケーション情報

### 信号対雑音比(SNR)

デジタルサンプルから完全に再構築された波形の場合、SNRはフルスケールアナログ入力(RMS値)とRMS数値化エラー(残留エラー)の比となります。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR_{(MAX)} = (6.02N + 1.76)dB$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRを計算する時はRMS信号とRMSノイズの比を取ります。後者は基本波、最初の5つの高調波及びDCオフセットを除く全てのスペクトル成分を含みます。

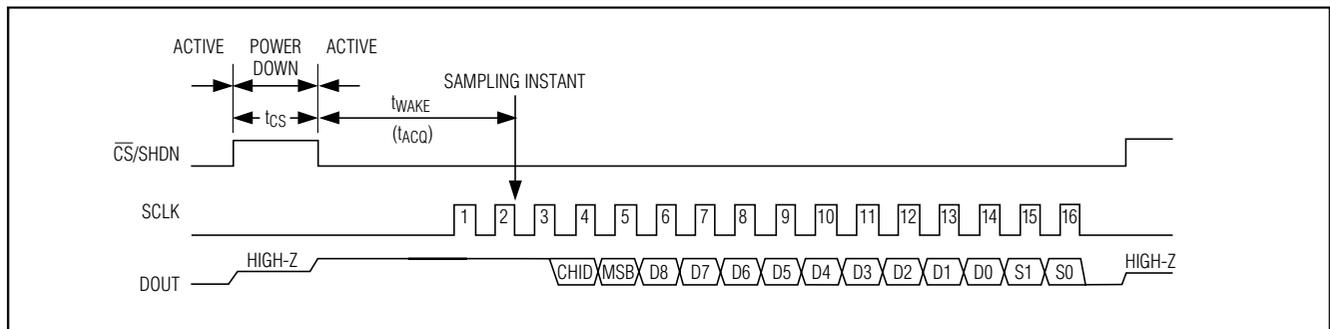


図6. 外部クロックモードのタイミング

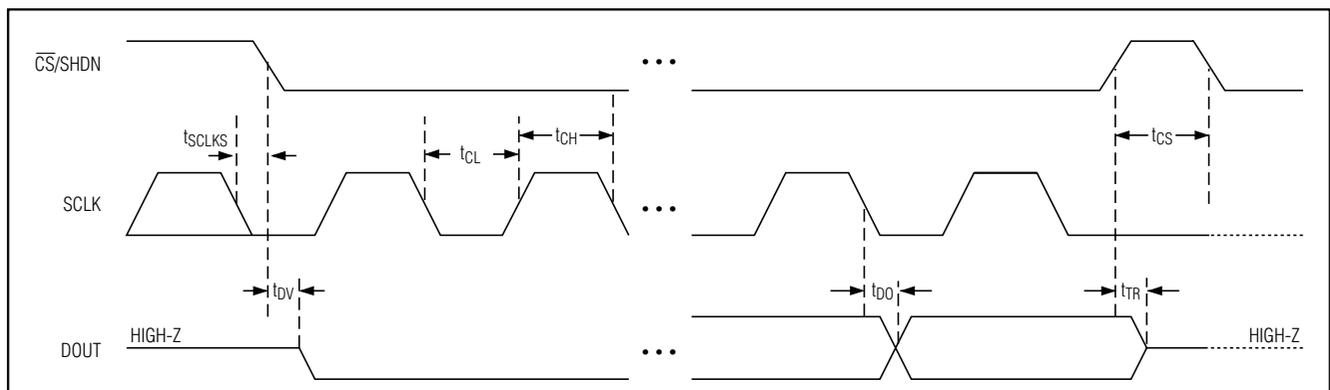


図7. シリアルインタフェースのタイミングシーケンスの詳細

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピンμMAX

表1. 内部及び外部クロックモードにおけるシリアル出力データストリーム

SCLK CYCLE	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
DOUT (Internal Clock)	EOC	1	1	CHID	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	S1	S0
DOUT (External Clock)	1	1	1	CHID	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	S1	S0

## 信号雑音+歪み(SINAD)

SINADは基本入力周波数のRMS振幅とその他全てのADC出力信号の比です。

$$\text{SINAD(dB)} = 20 \cdot \log \left[ \frac{\text{信号}_{\text{RMS}}}{(\text{ノイズ} + \text{歪み})_{\text{RMS}}} \right]$$

## 実効ビット数(ENOB)

ENOBは特定の入力周波数及びサンプリングレートにおけるADCの包括的な精度です。理想的なADCの誤差は数値化ノイズのみからなっています。入力範囲がADCのフルスケール範囲に等しい場合、実効ビット数は次式で計算できます。

$$\text{ENOB} = (\text{SINAD} - 1.76)/6.02$$

## 全高調波歪み(THD)

THDは入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \cdot \log \left[ \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2}{V_1^2}} \right]$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

## スプリアスフリーダイナミックレンジ(SFDR)

SFDRは基本波(最大信号成分)と次に大きなスプリアス成分(DCオフセットを除く)のRMS値の比です。

## 標準インタフェースへの接続

MAX157/MAX159のインタフェースはSPI、QSPI及びMICROWIRE標準シリアルインタフェースと完全にコンパチブルです。

シリアルインタフェースが使用できる場合は、CPUのシリアルインタフェースをマスターにすることにより、CPUがMAX157/MAX159のシリアルクロックを生成するようにして下さい。クロック周波数は100kHz～2.17MHz(外部クロックモード)の範囲で選択して下さい。

- 1) SCLKがローの時に、CPUの汎用I/Oラインを使用して $\overline{\text{CS}}/\text{SHDN}$ をローに引き下げます。

- 2) 仕様の最小ウェイクアップ時間( $t_{\text{WAKE}}$ )だけ待ってから、SCLKを起動します。

- 3) 少なくとも16クロックサイクルの間SCLKを起動します。先頭の3つの“1”、チャンネル識別及び数値化された入力信号のMSB、及び2つのサブビットからなるシリアルデータストリームがクロックの最初の立下がりエッジで開始されます。DOUTはSCLKの立下がりエッジで遷移し、MSBを先頭とするフォーマットで読むことができます。SCLKからDOUT有効までのタイミング特性を観察します。データはSCLKの立上がりエッジで $\mu\text{P}$ に同期入力する必要があります。

- 4) 16番目のクロック立下がりエッジあるいはその後で $\overline{\text{CS}}/\text{SHDN}$ をハイに引き上げます。 $\overline{\text{CS}}/\text{SHDN}$ がローに留まると、サブビットの後でゼロの列が同期出力されます。

- 5)  $\overline{\text{CS}}/\text{SHDN}$ がハイの状態、少なくとも60ns( $t_{\text{CS}}$ )待ってから $\overline{\text{CS}}/\text{SHDN}$ をローに引き下げて新しい変換を始めます。変換が終わる前に $\overline{\text{CS}}/\text{SHDN}$ をハイに引き上げることによって変換を中止することができます。新しい変換を始める前に少なくとも60ns待ちます。

データは2つの8ビットシーケンスとして、あるいは連続的に出力することができます。変換結果は3つの1、チャンネル識別、MSBに2つのサブビットが後に続く形で出力されます。最後のサブビット(S0)の後でシリアルクロックがアイドル状態にならず、 $\overline{\text{CS}}/\text{SHDN}$ がローに維持されると、DOUTはゼロの列を送り出します。

## SPI及びMICROWIREインタフェース

SPI(図8a)又はMICROWIRE(図8b)を使用する場合は、 $\text{CPOL} = 0$ 及び $\text{CPHA} = 0$ に設定して下さい。変換は、 $\overline{\text{CS}}/\text{SHDN}$ の立下がりエッジで開始されます(図8c)。ADCから完全な10ビットを取り出すには、2つの連続した8ビット読取り動作が必要です。DOUTの出力データは、シリアルの立下がりエッジで遷移し、SCLKの立上がりエッジで $\mu\text{P}$ に同期入力されます。最初の8ビットデータストリームは先頭の3つの“1”、チャンネル識別及びMSBで始まる最初の4つのデータビットを含んでいます。2番目の8ビットデータストリームには、残りのビットD5～D0及びサブビットS1及びS0が含まれています。

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

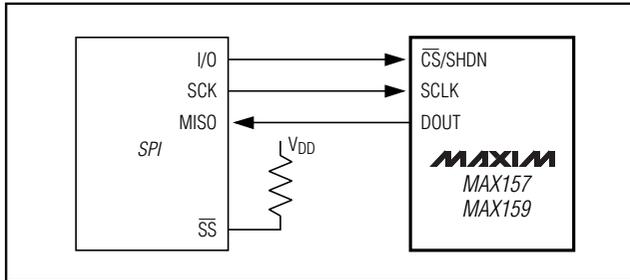


図8a. SPIの接続

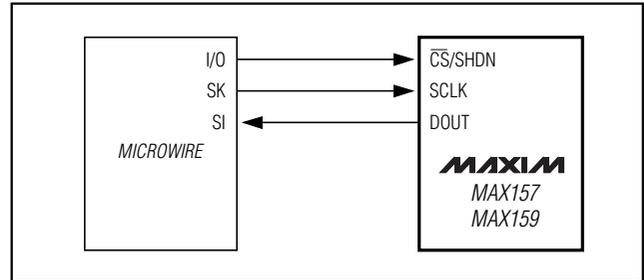


図8b. MICROWIREの接続

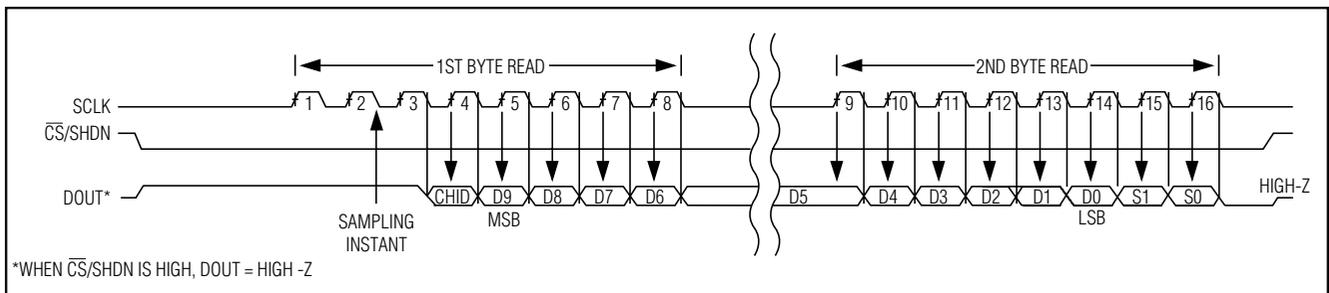


図8c. SPI/MICROWIREのインタフェースタイミングシーケンス(CPOL = CPHA = 0)

## QSPIインタフェース

CPOL = CPHA = 0で高速QSPIインタフェースを使う場合、MAX157/MAX159は最大 $f_{\text{SCLK}}$ として2.17MHzをサポートします。図9aのQSPI回路はMAX157の2つのチャンネルの各々で変換を行うように設定することができます。

図9bにQSPIのインタフェースタイミングを示します。

## SSPモジュール付のPIC16及びPIC17との インタフェース

MAX157/MAX159は、同期シリアルポート(SSP)モジュールを使ったPIC16/PIC17コントローラ( $\mu$ C)とコンパチブルです。

SPI通信を確立するには、図10aに示すようにコントローラを接続し、PIC16/PIC17の同期シリアルポート制御レジスタ(SSPCON)と同期シリアルポート状態レジスタ(SSPSTAT)を表2及び表3に示すビットパターンに初期化することにより、PIC16/PIC17をシステムマスターとして設定して下さい。

SPIモードにおいては、PIC16/PIC17  $\mu$ Cは8ビットのデータを同期して送信し、同時に受信することができます。ADCからの10ビット結果を完全に得るためには、2つの連続した8ビット読み取り(図10b)が必要です。DOUTデータはシリアルクロックの立下がりエッジで遷移し、SCLKの立上がりエッジで $\mu$ Cに同期入力されます。最初の8ビットデータストリームは先頭の3つの1、チャンネル識別及びMSBで始まる最初の4つのデータビットを

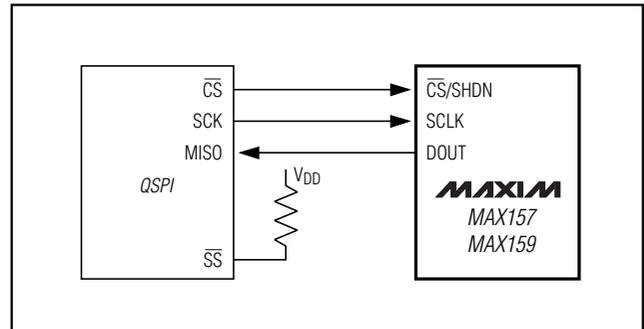


図9a. QSPIの接続

含んでいます。2番目の8ビットデータストリームは残りのビット(D5 ~ D0)及び2つのサブビットS1及びS0を含んでいます。

## レイアウト、グラウンド及びバイパス

最高の性能を得るためには、プリント回路基板(PCB)を使用して下さい。アナログトレースとデジタルトレースを分離したレイアウトが必要であるため、ワイヤラップボードは推奨できません。アナログとデジタルラインを互いに平行に走らせないで下さい。又、デジタル経路がADCパッケージの下に来ないようにして下さい。アナログとデジタルのPCBグラウンド部は別々にして、2つのグラウンドシステム(アナログとデジタル)がただ1つのスターポイント(図11)で接続されるようにして下さい。ノイズを排除するためにスターグラウンドの電源へのグラウンドリターンはできるだけ短くし、また、低インピーダンスにして下さい。デジタル信号は敏感

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

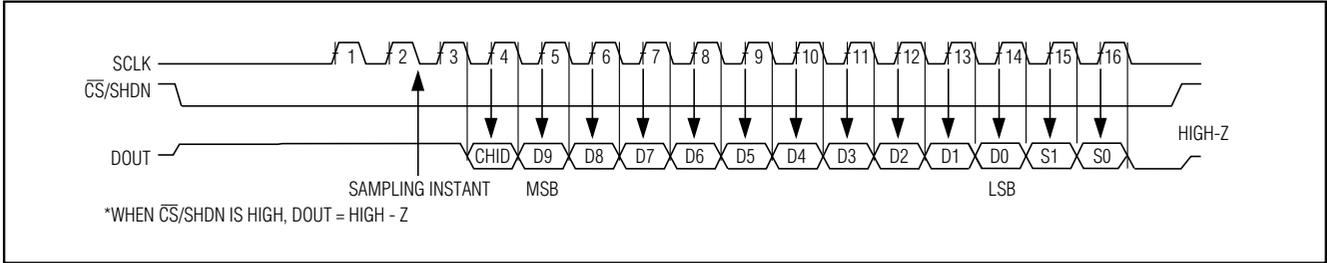


図9b. QSPIインタフェースのタイミングシーケンス(CPOL = CPHA = 0)

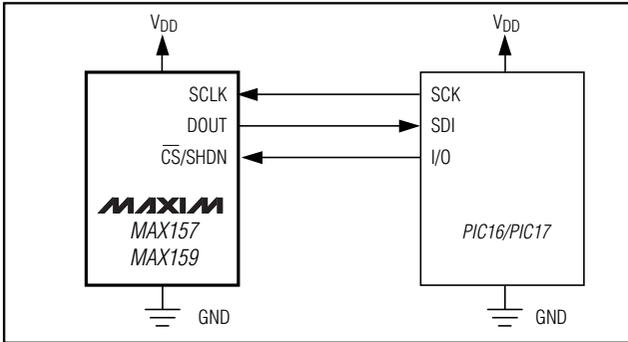


図10a. PIC16/PIC17コントローラ用のSPI  
インタフェースの接続

なアナログ及びリファレンス入力からできるだけ遠ざけて配線して下さい。

V<sub>DD</sub>電源内の高周波ノイズがADC内の高速コンパレータに影響を与える可能性があります。V<sub>DD</sub>は、0.1 $\mu$ F及び1 $\mu$ Fの並列コンデンサをMAX157/MAX159の電源ピンにできるだけ近くに配置してスターグラウンドにバイパスして下さい。最高の電源ノイズ除去比を得るには、コンデンサのリード線をできるだけ短くして下さい。電源のノイズが特に大きい場合は、減衰抵抗(10 $\Omega$ )を接続して下さい。

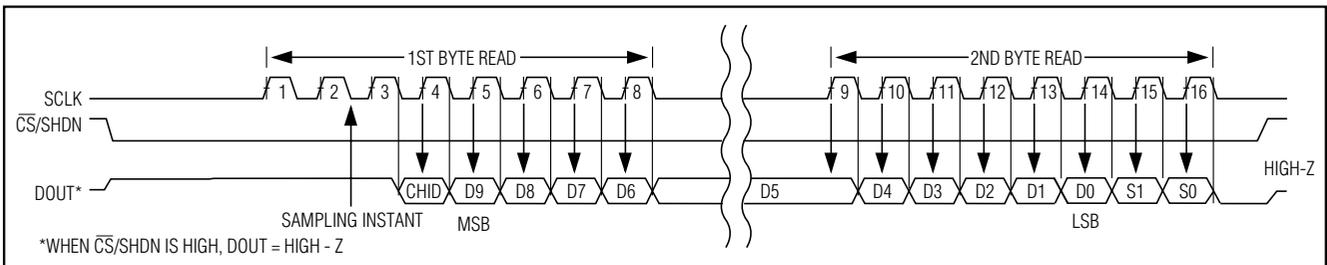


図10b. PIC16/PIC17がマスターモードの時のSPIインタフェースタイミング(CKE = 1、CKP = 0、SMP = 0、SSPM3 ~ SSPM0 = 0001)

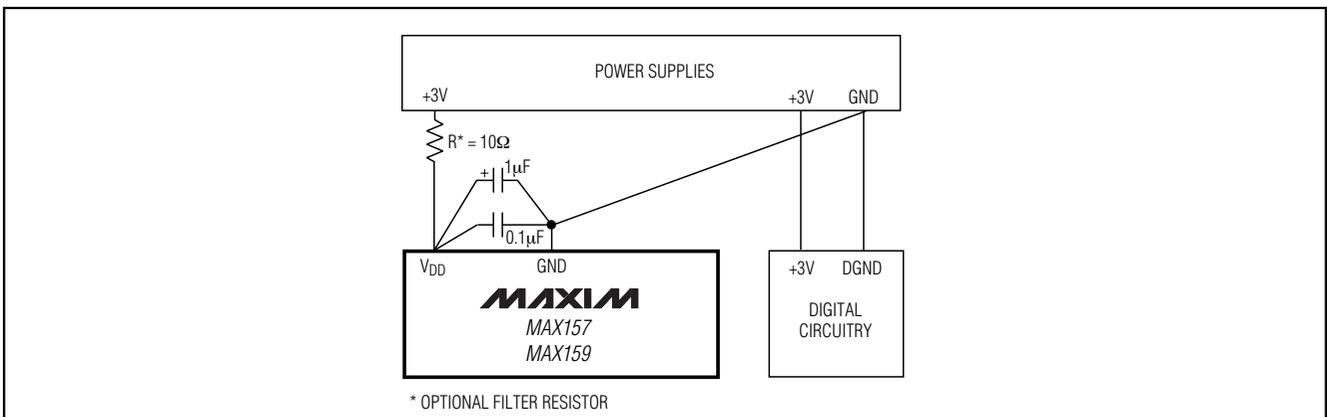


図11. 電源バイパス及びグラウンディング

# +2.7V、低電力、2チャンネル、 108kpsps、シリアル10ビットADC、8ピンμMAX

表2. SSPCONレジスタの内容の詳細

CONTROL BIT		MAX157/MAX159 SETTINGS	SYNCHRONOUS SERIAL PORT CONTROL REGISTER (SSPCON)
WCOL	Bit 7	X	Write Collision Detection Bit
SSPOV	Bit 6	X	Receive Overflow Detect Bit
SSPEN	Bit 5	1	Synchronous Serial Port Enable Bit 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO and SCL pins as serial port pins.
CKP	Bit 4	0	Clock Polarity Select Bit. CKP = 0 for SPI master mode selection.
SSPM3	Bit 3	0	Synchronous Serial Port Mode Select Bit. Sets SPI master mode and selects fCLK = fOSC / 16.
SSPM2	Bit 2	0	
SSPM1	Bit 1	0	
SSPM0	Bit 0	1	

X=任意

表3. SSPSTATレジスタの内容の詳細

CONTROL BIT		MAX157/MAX159 SETTINGS	SYNCHRONOUS SERIAL STATUS REGISTER (SSPSTAT)
SMP	Bit 7	0	SPI Data Input Sample Phase. Input data is sampled at the middle of the data output time.
CKE	Bit 6	1	SPI Clock Edge Select Bit. Data will be transmitted on the rising edge of the serial clock.
D/A	Bit 5	X	Data Address Bit
P	Bit 4	X	Stop Bit
S	Bit 3	X	Start Bit
R/W	Bit 2	X	Read/Write Bit Information
UA	Bit 1	X	Update Address
BF	Bit 0	X	Buffer Full Status Bit

X=任意

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピン $\mu$ MAX

## チップ情報

TRANSISTOR COUNT: 2,058

SUBSTRATE CONNECTED TO GND

**MAX157/MAX159**

## パッケージ

	INCHES		MILLIMETERS		JEDEC			
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
A	0.037	0.043	0.94	1.10	---	0.043	---	1.10
A1	0.002	0.006	0.05	0.15	0.002	0.006	0.05	0.15
B	0.010	0.014	0.25	0.36	0.010	0.016	0.25	0.40
C	0.005	0.007	0.13	0.18	0.005	0.009	0.13	0.23
D	0.116	0.120	2.95	3.05	0.114	0.122	2.9	3.1
e	0.0256 BSC		0.65 BSC		0.0256 BSC		0.64 BSC	
E	0.116	0.120	2.95	3.05	0.114	0.122	2.9	3.1
H	0.188	0.198	4.78	5.03	0.193	BSC	4.9	BSC
L	0.016	0.026	0.41	0.66	0.016	0.027	0.40	0.70
$\alpha$	0°	6°	0°	6°	0°	6°	0°	6°

**NOTES:**

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm(.006").
3. CONTROLLING DIMENSION: MILLIMETERS.
4. MEETS JEDEC MO-187.

MAXIM

PROPRIETARY INFORMATION

TITLE:  
8L  $\mu$ MAX PACKAGE OUTLINE DWG.

APPROVAL	DOCUMENT CONTROL NO. 21-0036	REV F	1/1
----------	---------------------------------	----------	-----

8LUMAXD.EPS

# +2.7V、低電力、2チャンネル、 108ksps、シリアル10ビットADC、8ピンμMAX

パッケージ(続き)

	INCHES		MILLIMETERS			
	MIN	MAX	MIN	MAX		
A	---	0.200	---	5.08	D	0.348 0.390 8.84 9.91 8 AB
A1	0.015	---	0.38	---	D	0.735 0.765 18.67 19.43 14 AC
A2	0.125	0.175	3.18	4.45	D	0.745 0.765 18.92 19.43 16 AA
A3	0.055	0.080	1.40	2.03	D	0.885 0.915 22.48 23.24 18 AD
B	0.016	0.022	0.41	0.56	D	1.015 1.045 25.78 26.54 20 AE
B1	0.045	0.065	1.14	1.65	D	1.14 1.265 28.96 32.13 24 AF
C	0.008	0.012	0.20	0.30	D	1.360 1.380 34.54 35.05 28 *5
D1	0.005	0.080	0.13	2.03	NOTES:	
E	0.300	0.325	7.62	8.26	1. D&E DO NOT INCLUDE MOLD FLASH	
E1	0.240	0.310	6.10	7.87	2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")	
e	0.100	---	2.54	---	3. CONTROLLING DIMENSION: MILLIMETER	
eA	0.300	---	7.62	---	4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE	
eB	---	0.400	---	10.16	5. SIMILAR TO JEDEC MO-058AB	
L	0.115	0.150	2.92	3.81	6. N = NUMBER OF PINS	

販売代理店

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**