

12ビット、95Msps、3.3VのADC

MAX19538

概要

MAX19538は3.3V、12ビット、95Mspsのアナログ-デジタルコンバータ(ADC)であり、完全差動、広帯域トラックアンドホールド(T/H)入力アンプを備え、内蔵ローノイズ量子化器を駆動します。アナログ入力はシングルエンドまたは差動信号を受け取ります。MAX19538はローパワー、小型、及び高ダイナミック性能に最適化されています。優れたダイナミック性能はベースバンドから175MHzの入力周波数を超える範囲まで維持され、MAX19538を中間周波数(IF)のサンプリングアプリケーションに好適としています。

MAX19538は3.3Vを給電されて、492mWしか消費せず、175MHzの入力周波数において標準値で68.4dBの信号対ノイズ比(SNR)を達成します。動作電力が小さいことに加えて、MAX19538はアイドル期間に省電するために63μWのパワーダウンモードを備えています。

MAX19538は、内蔵の2.048Vバンドギャップリファレンスを使用するか、または外部から印加するリファレンスを受け取るかを可能とする柔軟なリファレンス構造をとっています。このリファレンス構造では、フルスケールのアナログ入力範囲を±0.35V~±1.10Vに調整することを可能とします。MAX19538は、差動アナログ入力回路の場合に設計を単純化し、外付け部品を少なくするコモンモードリファレンスを備えています。

MAX19538はシングルエンドまたは差動入力クロックによる駆動をサポートします。内蔵のデューティサイクル等化器が、クロックデューティサイクルの広い範囲を可能とします。

アナログ-デジタル変換結果は12ビット、並列、CMOS対応の出力バスを通して使用することができます。デジタル出力フォーマットは2の補数またはグレイコードを端子選択することができます。信頼性の高いデジタルインタフェースに、通常必要とする外付け部品を不要とするデータバリッドインジケータが備えられています。別に備えられたデジタル電源入力1.7V~3.6Vの広範な電源を受け取ることができ、MAX19538をさまざまなロジックレベルとのインタフェースを可能とします。

MAX19538は6mm x 6mm x 0.8mmのエクスポーズドパッド(EP)付き、40ピン薄型QFNパッケージで提供され、拡張温度(-40°C~+85°C)での動作が保証されています。

14ビット及び12ビットの高速ADCのファミリ全体については、「ピン互換バージョン」の表を参照してください。

アプリケーション

IFベースバンド通信用レシーバ
携帯電話用のポイント間マイクロ波用HFC
ポジトロン放射トモグラフィ(PET)などの医療映像
ビデオ映像
携帯用計測機器
ローパワーデータ収集

特長

- ◆ 最高400MHzのダイレクトIFサンプリング
- ◆ 優れたダイナミック性能
SNR : 70.9dB/68.4dB($f_{IN} = 3\text{MHz}/175\text{MHz}$)
SFDR: 89.0dBc/76.2dBc($f_{IN} = 3\text{MHz}/175\text{MHz}$)
-71.5dBFSの微小信号ノイズフロア
- ◆ 3.3V低電力動作
465mW(シングルエンドクロックモード)
492mW(差動クロックモード)
63μW(電源断モード)
- ◆ 完全差動またはシングルエンドのアナログ入力
- ◆ 調整可能なフルスケールアナログ入力範囲 :
±0.35V~±1.10V
- ◆ コモンモードリファレンス
- ◆ 2の補数またはグレイコードによるCMOS対応出力
- ◆ データバリッドインジケータを備え、デジタル設計が容易
- ◆ 範囲外データのインジケータ
- ◆ エクスポーズドパッド付きの小型6mm x 6mm x 0.8mmの40ピン薄型QFNパッケージ
- ◆ 評価キットがご利用頂けます(MAX1211EVKITを注文してください)

型番

PART*	PIN-PACKAGE	PKG CODE
MAX19538ETL	40 Thin QFN	T4066-3
MAX19538ETL+	40 Thin QFN	T4066-3

+ は鉛フリーパッケージを示します。

* すべてのデバイスは-40°C~+85°Cの温度での動作が保証されています。

ピン互換バージョン

PART	SAMPLING RATE (Msps)	RESOLUTION (BITS)	TARGET APPLICATION
MAX12555	95	14	IF/Baseband
MAX12554	80	14	IF/Baseband
MAX12553	65	14	IF/Baseband
MAX19538	95	12	IF/Baseband
MAX1209	80	12	IF
MAX1211	65	12	IF
MAX1208	80	12	Baseband
MAX1207	65	12	Baseband
MAX1206	40	12	Baseband

ピン配置はデータシートの最後に記載されています。

12ビット、95Msps、3.3VのADC

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +3.6V
 OV_{DD} to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 INP, INN to GND ...-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 REFIN, REFOUT, REFP, REFN,
 COM to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 CLKP, CLKN, CLKTYP, G/T, DCE,
 PD to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 D11–D0, I.C., DAV,
 DOR to GND-0.3V to ($OV_{DD} + 0.3V$)

Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 40-Pin Thin QFN 6mm x 6mm x 0.8mm (derated
 26.3mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)2105.3mW
 Operating Temperature Range-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
 Junction Temperature+150 $^\circ\text{C}$
 Storage Temperature Range-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
 Lead Temperature (soldering 10s)+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, GND = 0, REFIN = REFOUT (internal reference), $V_{IN} = -0.5\text{dBFS}$, CLKTYP = high, DCE = high, PD = low, G/T = low, $f_{CLK} = 95\text{MHz}$ (50% duty cycle), $T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 2)						
Resolution			12			Bits
Integral Nonlinearity	INL	f _{IN} = 3MHz	-1.7	±0.4	+1.4	LSB
Differential Nonlinearity	DNL	f _{IN} = 3MHz, no missing codes over temperature	-0.55	±0.30	+0.95	LSB
Offset Error		V _{REFIN} = 2.048V		±0.10	±0.58	%FS
Gain Error		V _{REFIN} = 2.048V		±0.6	±4.9	%FS
ANALOG INPUT (INP, INN)						
Differential Input Voltage Range	V _{DIFF}	Differential or single-ended inputs		±1.024		V
Common-Mode Input Voltage				V _{DD} / 2		V
Input Capacitance (Figure 3)	C _{PAR}	Fixed capacitance to ground		2		pF
	C _{SAMPLE}	Switched capacitance		4.5		
CONVERSION RATE						
Maximum Clock Frequency	f _{CLK}		95			MHz
Minimum Clock Frequency			5			MHz
Data Latency		Figure 6	8.5			Clock cycles
DYNAMIC CHARACTERISTICS (Differential Inputs) (Note 2)						
Small-Signal Noise Floor	SSNF	Input at less than -35dBFS	-71.5			dBFS
Signal-to-Noise Ratio	SNR	f _{IN} = 3MHz at -0.5dBFS (Note 3)	67.2	70.9		dB
		f _{IN} = 70MHz at -0.5dBFS		70.4		
		f _{IN} = 175MHz at -0.5dBFS (Note 3)	65.5	68.4		
Signal-to-Noise and Distortion	SINAD	f _{IN} = 3MHz at -0.5dBFS (Note 3)	66.5	70.8		dB
		f _{IN} = 70MHz at -0.5dBFS		70.0		
		f _{IN} = 175MHz at -0.5dBFS (Note 3)	63.3	67.5		

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/T = low$, $f_{CLK} = 95MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 3MHz$ at $-0.5dBFS$ (Note 3)	73.5	89.0		dBc
		$f_{IN} = 70MHz$ at $-0.5dBFS$		83.5		
		$f_{IN} = 175MHz$ at $-0.5dBFS$ (Note 3)	67.2	76.2		
Total Harmonic Distortion	THD	$f_{IN} = 3MHz$ at $-0.5dBFS$ (Note 3)		-86.3	-72.9	dBc
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-81.2		
		$f_{IN} = 175MHz$ at $-0.5dBFS$ (Note 3)		-74.7	-66.2	
Second Harmonic	HD2	$f_{IN} = 3MHz$ at $-0.5dBFS$		-92.4		dBc
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-91.3		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-82.3		
Third Harmonic	HD3	$f_{IN} = 3MHz$ at $-0.5dBFS$		-89.6		dBc
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-83.7		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-76.2		
Intermodulation Distortion	IMD	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		-82.5		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		-73.6		
Third-Order Intermodulation	IM3	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		-84.3		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		-76.0		
Two-Tone Spurious Free Dynamic Range	SFDR _{TT}	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		84.7		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		75.6		
Aperture Delay	t_{AD}	Figure 4		1.2		ns
Aperture Jitter	t_{AJ}	Figure 4		<0.2		ps _{RMS}
Output Noise	n_{OUT}	INP = INN = COM		0.36		LSB _{RMS}
Overdrive Recovery Time		$\pm 10\%$ beyond full scale		1		Clock cycles
INTERNAL REFERENCE ($REFIN = REFOUT$; V_{REFP}, V_{REFN}, and V_{COM} are generated internally)						
REFOUT Output Voltage	V_{REFOUT}		1.996	2.048	2.063	V
COM Output Voltage	V_{COM}	$V_{DD} / 2$		1.65		V
Differential-Reference Output Voltage	V_{REF}	$V_{REF} = V_{REFP} - V_{REFN} = V_{REFIN} \times 3/4$		1.536		V
REFOUT Load Regulation		$-1.0mA < I_{REFOUT} < 0.1mA$		35		mV/mA
REFOUT Temperature Coefficient	TC_{REF}			+50		ppm/ $^{\circ}C$
REFOUT Short-Circuit Current		Short to V_{DD} , sinking		0.24		mA
		Short to GND, sourcing		2.1		

12ビット、95Msps、3.3VのADC

MAX19538

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/\bar{T} = low$, $f_{CLK} = 95MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BUFFERED EXTERNAL REFERENCE (REFIN driven externally; $V_{REFIN} = 2.048V$, V_{REFP}, V_{REFN}, and V_{COM} are generated internally)						
REFIN Input Voltage	V_{REFIN}			2.048		V
REFP Output Voltage	V_{REFP}	$(V_{DD} / 2) + (V_{REFIN} \times 3/8)$		2.418		V
REFN Output Voltage	V_{REFN}	$(V_{DD} / 2) - (V_{REFIN} \times 3/8)$		0.882		V
COM Output Voltage	V_{COM}	$V_{DD} / 2$	1.60	1.65	1.70	V
Differential-Reference Output Voltage	V_{REF}	$V_{REF} = V_{REFP} - V_{REFN} = V_{REFIN} \times 3/4$	1.462	1.536	1.594	V
Differential-Reference Temperature Coefficient				± 25		ppm/ $^{\circ}C$
REFIN Input Resistance				>50		M Ω
UNBUFFERED EXTERNAL REFERENCE (REFIN = GND; V_{REFP}, V_{REFN}, and V_{COM} are applied externally)						
COM Input Voltage	V_{COM}	$V_{DD} / 2$		1.65		V
REFP Input Voltage		$V_{REFP} - V_{COM}$		+0.768		V
REFN Input Voltage		$V_{REFN} - V_{COM}$		-0.768		V
Differential-Reference Input Voltage	V_{REF}	$V_{REF} = V_{REFP} - V_{REFN} = V_{REFIN} \times 3/4$		1.536		V
REFP Sink Current	I_{REFP}	$V_{REFP} = 2.418V$		1.4		mA
REFN Source Current	I_{REFN}	$V_{REFN} = 0.882V$		1.0		mA
COM Sink Current	I_{COM}	$V_{COM} = 1.65V$		1.0		mA
REFP, REFN Capacitance				13		pF
COM Capacitance				6		pF
CLOCK INPUTS (CLKP, CLKN)						
Single-Ended-Input High Threshold	V_{IH}	$CLKTYP = GND$, $CLKN = GND$	$0.8 \times V_{DD}$			V
Single-Ended-Input Low Threshold	V_{IL}	$CLKTYP = GND$, $CLKN = GND$		$0.2 \times V_{DD}$		V
Differential Input Voltage Swing		$CLKTYP = high$		1.4		V _{P-P}
Differential Input Common-Mode Voltage		$CLKTYP = high$		$V_{DD} / 2$		V
Input Resistance	R_{CLK}	Figure 5		5		k Ω
Input Capacitance	C_{CLK}			2		pF
DIGITAL INPUTS (CLKTYP, DCE, $G/\bar{T}$, PD)						
Input High Threshold	V_{IH}		$0.8 \times OV_{DD}$			V
Input Low Threshold	V_{IL}			$0.2 \times OV_{DD}$		V
Input Leakage Current		$V_{IH} = OV_{DD}$		± 5		μA
		$V_{IL} = 0$		± 5		
Input Capacitance	C_{DIN}			5		pF

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/T = low$, $f_{CLK} = 95MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS (D11–D0, DAV, DOR)						
Output-Voltage Low	V_{OL}	D11–D0, DOR, $I_{SINK} = 200\mu A$			0.2	V
		DAV, $I_{SINK} = 600\mu A$			0.2	
Output-Voltage High	V_{OH}	D11–D0, DOR, $I_{SOURCE} = 200\mu A$	$OV_{DD} - 0.2$			V
		DAV, $I_{SOURCE} = 600\mu A$	$OV_{DD} - 0.2$			
Tri-State Leakage Current	I_{LEAK}	(Note 4)			± 5	μA
D11–D0, DOR Tri-State Output Capacitance	C_{OUT}	(Note 4)		3		pF
DAV Tri-State Output Capacitance	C_{DAV}	(Note 4)		6		pF
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		3.15	3.30	3.60	V
Digital Output Supply Voltage	OV_{DD}		1.7	1.8	$V_{DD} + 0.3V$	V
Analog Supply Current	I_{VDD}	Normal operating mode, $f_{IN} = 175MHz$ at $-0.5dBFS$ $CLKTYP = GND$, single-ended clock		141		mA
		Normal operating mode, $f_{IN} = 175MHz$ at $-0.5dBFS$ $CLKTYP = OV_{DD}$, differential clock		149	163	
		Power-down mode clock idle $PD = OV_{DD}$		0.22		
Analog Power Dissipation	P_{DISS}	Normal operating mode, $f_{IN} = 175MHz$ at $-0.5dBFS$ $CLKTYP = GND$, single-ended clock		465		mW
		Normal operating mode, $f_{IN} = 175MHz$ at $-0.5dBFS$ $CLKTYP = OV_{DD}$, differential clock		492	538	
		Power-down mode clock idle $PD = OV_{DD}$		0.063		
Digital Output Supply Current	I_{OVDD}	Normal operating mode, $f_{IN} = 175MHz$ at $-0.5dBFS$, $C_L \approx 5pF$		9.9		mA
		Power-down mode clock idle $PD = OV_{DD}$		1.0		μA

12ビット、95Msps、3.3VのADC

MAX19538

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/T = low$, $f_{CLK} = 95MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 6)						
Clock Pulse-Width High	t_{CH}			5.26		ns
Clock Pulse-Width Low	t_{CL}			5.26		ns
Data-Valid Delay	t_{DAV}	$C_L \approx 5pF$ (Note 5)		6.8		ns
Data Setup Time Before Rising Edge of DAV	t_{SETUP}	$C_L \approx 5pF$ (Notes 5, 6)	5.7			ns
Data Hold Time After Rising Edge of DAV	t_{HOLD}	$C_L \approx 5pF$ (Notes 5, 6)	4.2			ns
Wake-Up Time from Power-Down	t_{WAKE}	$V_{REFIN} = 2.048V$		10		ms

Note 1: Specifications $\geq +25^{\circ}C$ guaranteed by production test, $< +25^{\circ}C$ guaranteed by design and characterization.

Note 2: See definitions in the *Parameter Definitions* section at the end of this data sheet.

Note 3: Limit specifications include performance degradations due to production test socket. Performance is improved when the MAX19538 is soldered directly to the PC board.

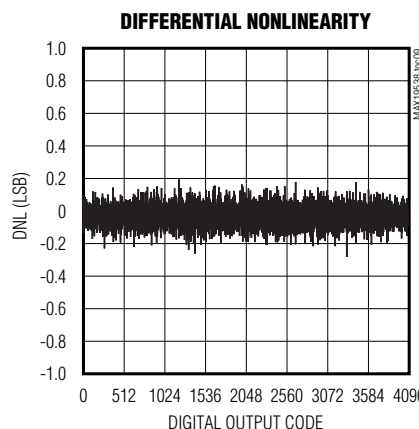
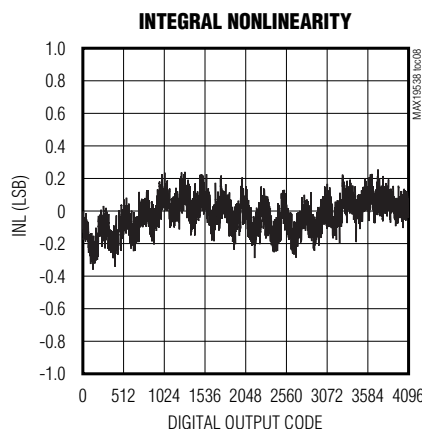
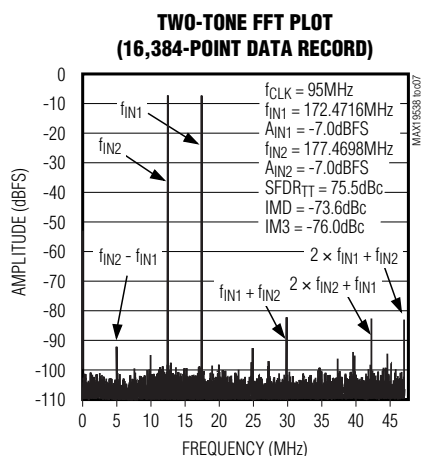
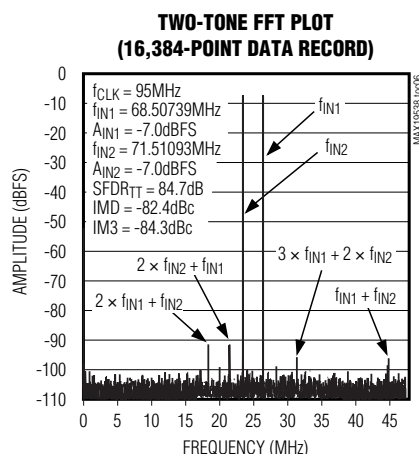
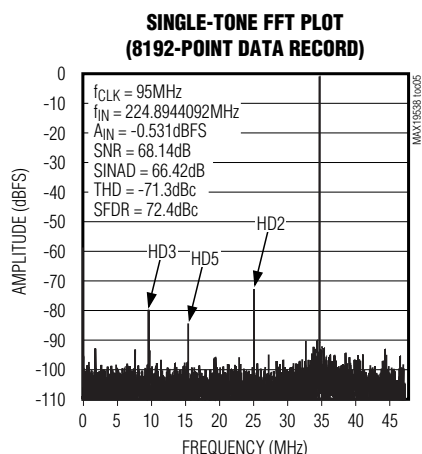
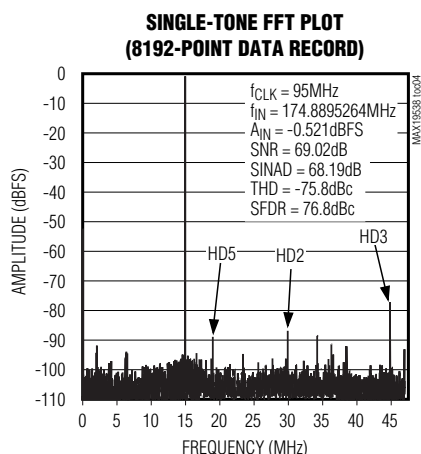
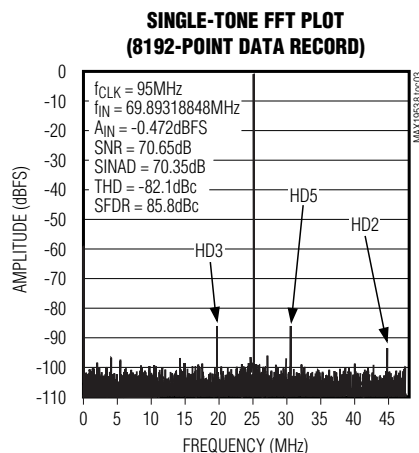
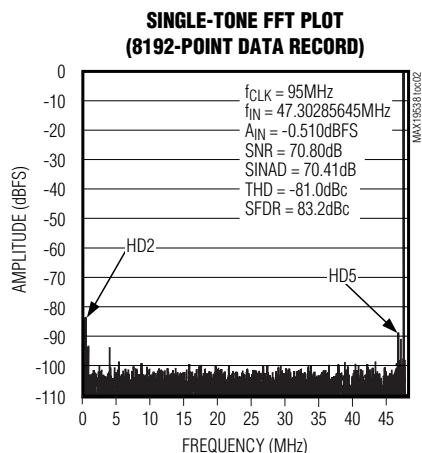
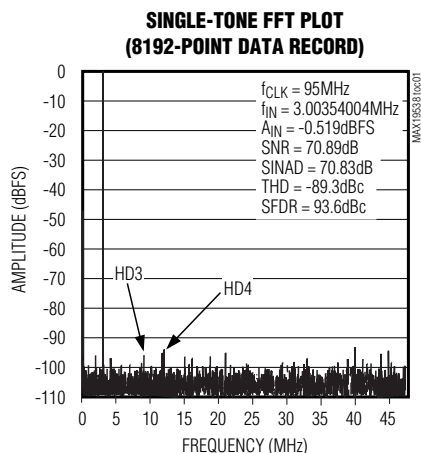
Note 4: During power-down, D11–D0, DOR, and DAV are high impedance.

Note 5: Digital outputs settle to V_{IH} or V_{IL} .

Note 6: Guaranteed by design and characterization.

標準動作特性

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/T = low$, $f_{CLK} \approx 95MHz$ (50% duty cycle), $T_A = +25^{\circ}C$, unless otherwise noted).

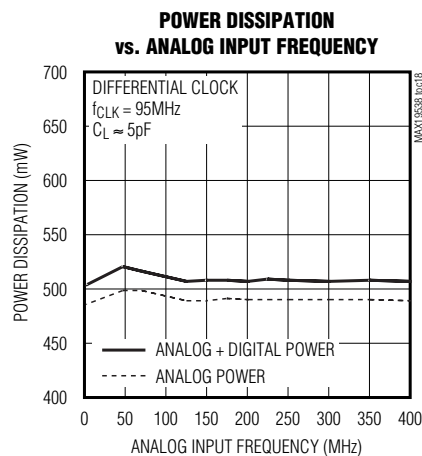
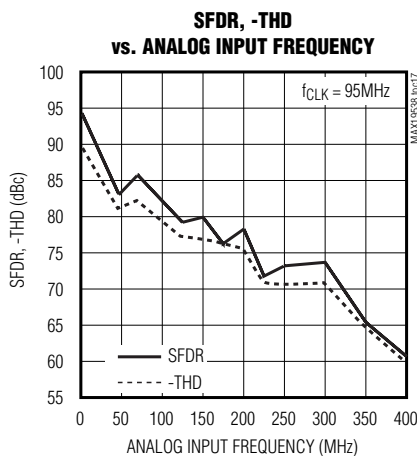
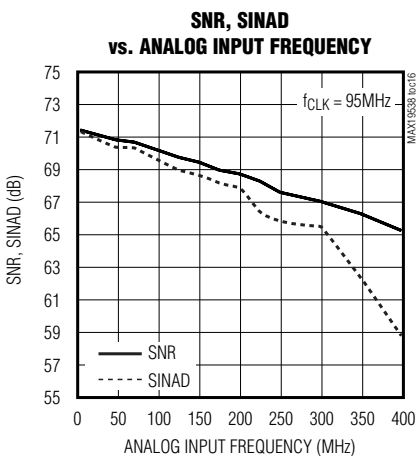
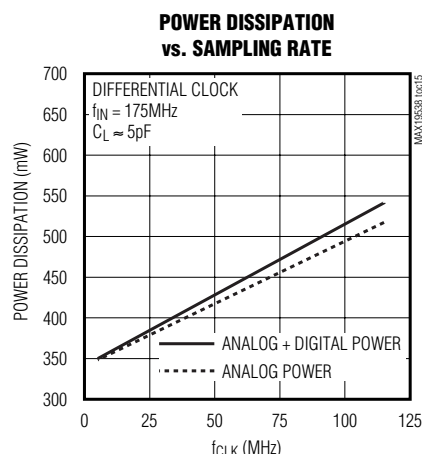
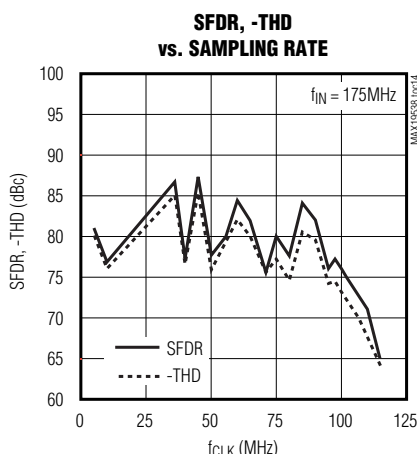
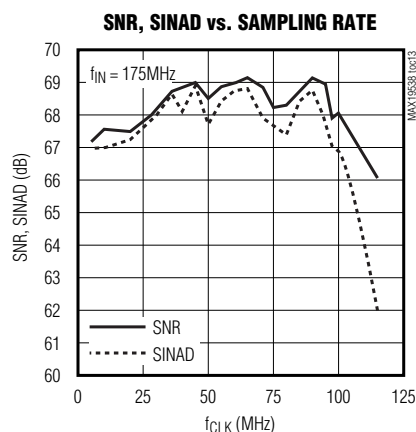
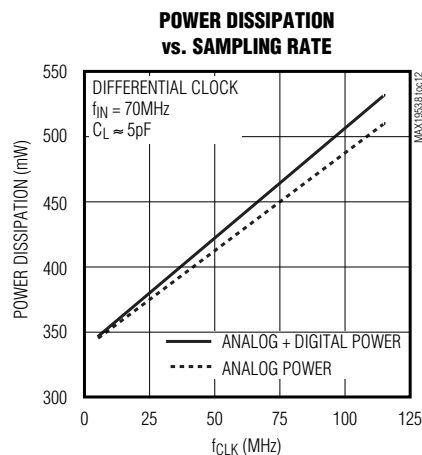
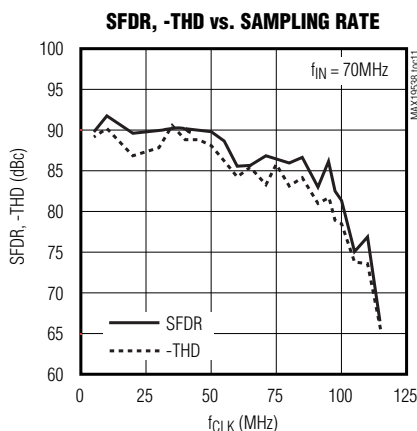
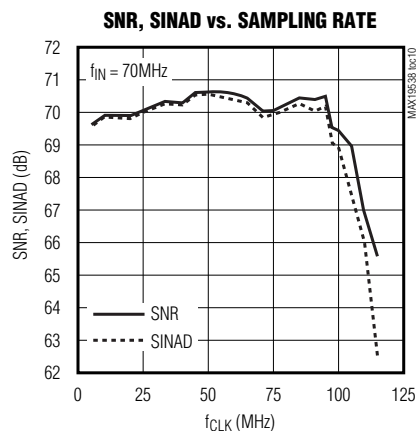


12ビット、95Msps、3.3VのADC

MAX19538

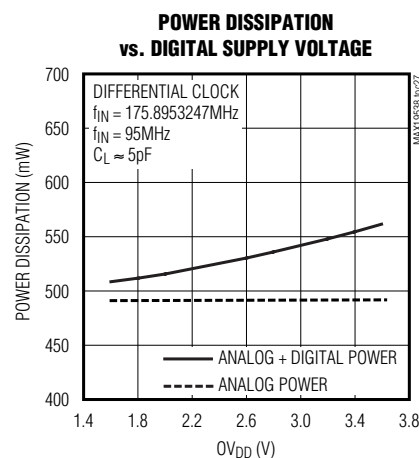
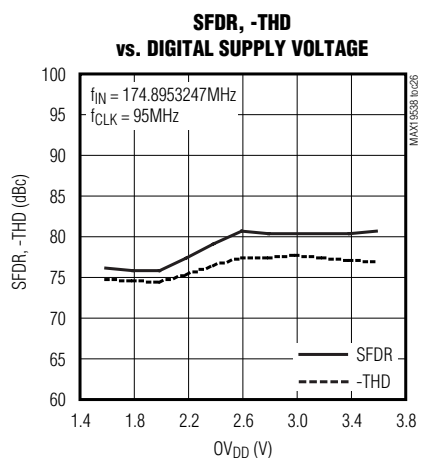
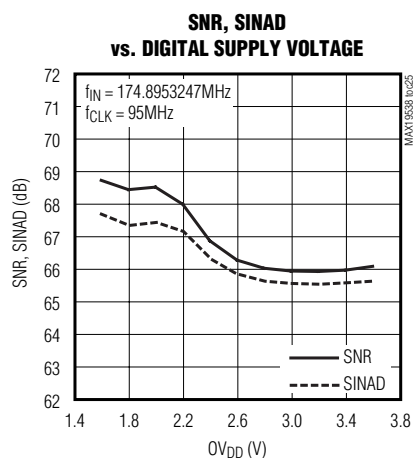
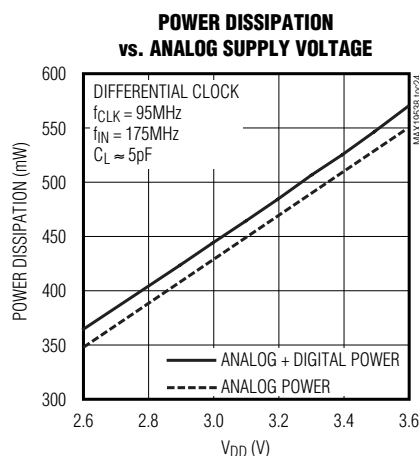
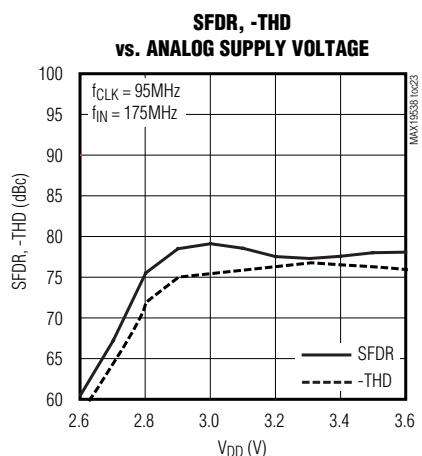
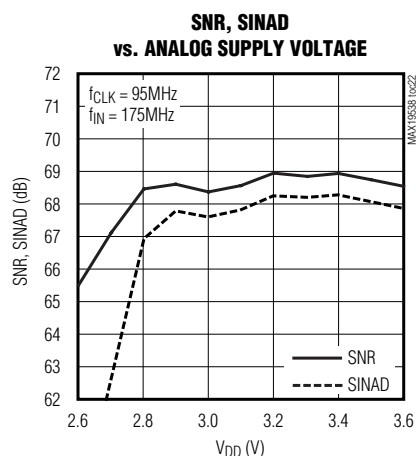
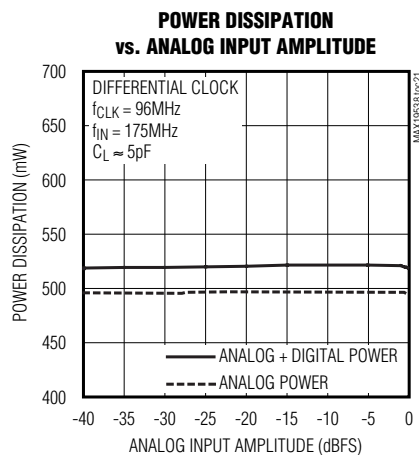
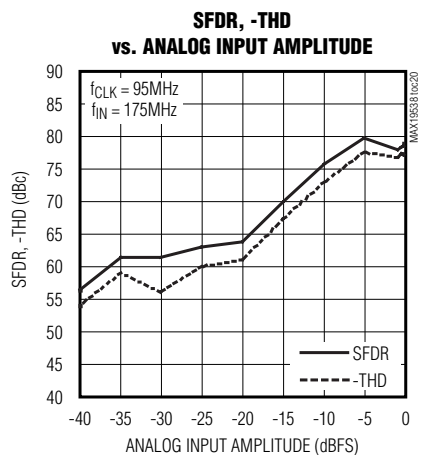
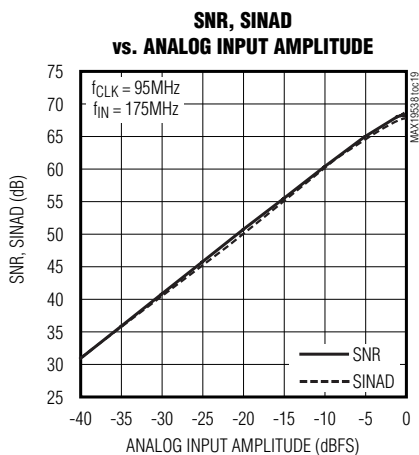
標準動作特性 (続き)

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/T = low$, $f_{CLK} \approx 95MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted).



標準動作特性 (続き)

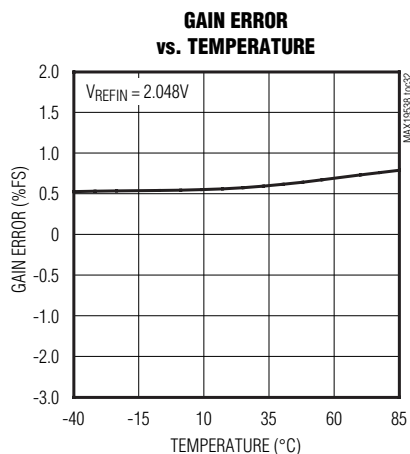
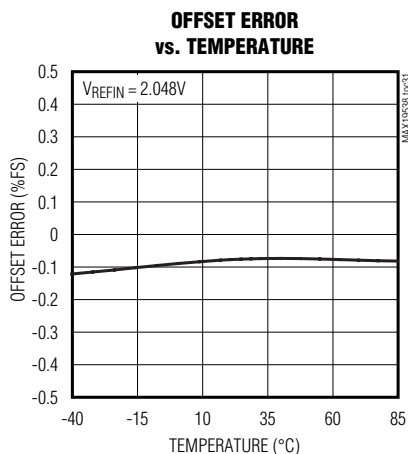
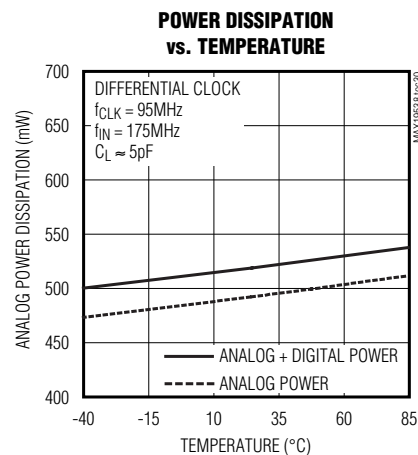
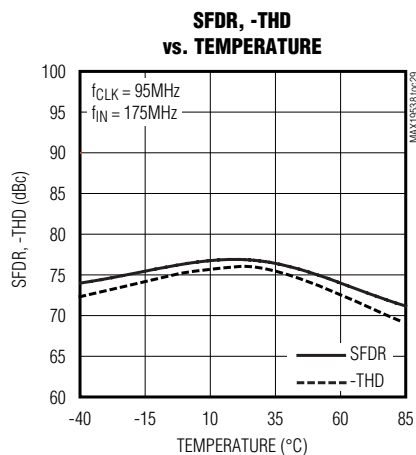
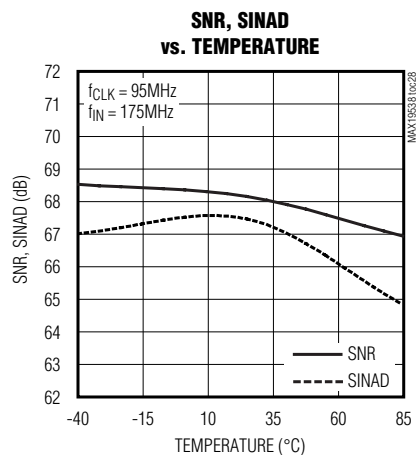
($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/T = low$, $f_{CLK} \approx 95MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted).



12ビット、95Msps、3.3VのADC

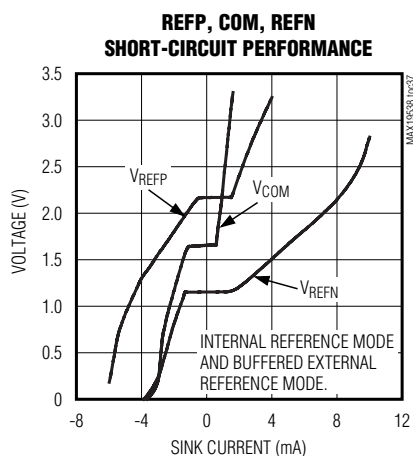
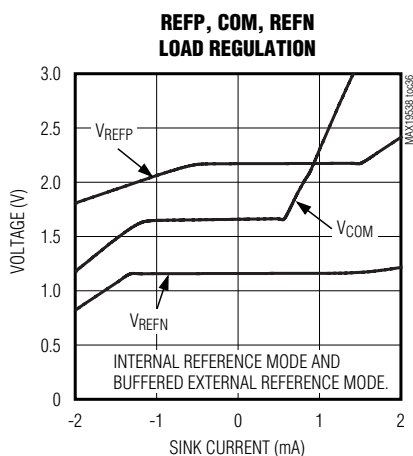
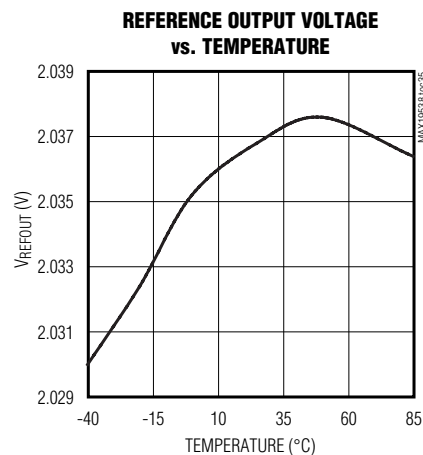
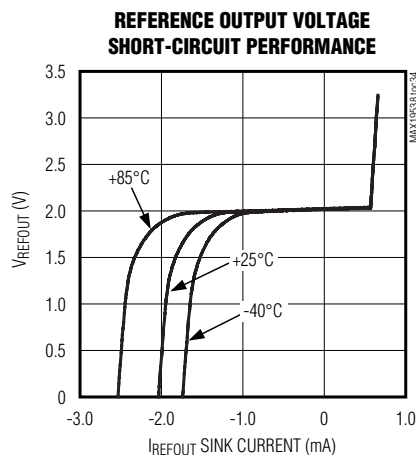
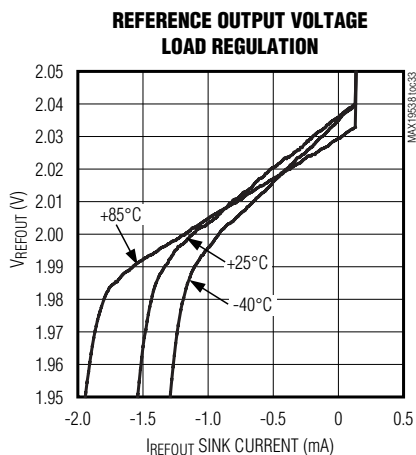
標準動作特性 (続き)

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/\bar{T} = low$, $f_{CLK} \approx 95MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted).



標準動作特性 (続き)

($V_{DD} = 3.3V$, $OV_{DD} = 1.8V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $V_{IN} = -0.5dBFS$, $CLKTYP = high$, $DCE = high$, $PD = low$, $G/T = low$, $f_{CLK} \approx 95MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted).



12ビット、95Msps、3.3VのADC

MAX19538

端子説明

端子	名称	機能
1	REFP	正リファレンスI/O。フルスケールアナログ入力範囲は $\pm(V_{REFP} - V_{REFN} \times 2/3)$ 。0.1 μ FのコンデンサでREFPをGNDにバイパスしてください。REFPとREFNの間に10 μ Fと1 μ Fのコンデンサを並列にして接続してください。1 μ FのREFPとREFN間のコンデンサはプリント基板のデバイスと同じ側にデバイスに可能な限り、直近に配置してください。
2	REFN	負リファレンスI/O。フルスケールアナログ入力範囲は $\pm(V_{REFP} - V_{REFN}) \times 2/3$ 。0.1 μ FのコンデンサでREFNをGNDにバイパスしてください。REFPとREFNの間に10 μ Fと1 μ Fのコンデンサを並列にして接続してください。1 μ FのREFPとREFN間のコンデンサはプリント基板のデバイスと同じ側にデバイスに可能な限り、直近に配置してください。
3	COM	コモンモード電圧I/O。2.2 μ FのコンデンサでCOMをGNDにバイパスしてください。2.2 μ FのCOMとGND間のコンデンサは可能な限り、デバイスの直近に配置してください。この2.2 μ Fのコンデンサはプリント基板のデバイスと反対側に配置することが可能であり、MAX19538にピアを通して接続することができます。
4, 7, 16, 35	GND	グラウンド。すべてのグラウンド端子とEPIは、相互に接続してください。
5	INP	正のアナログ入力
6	INN	負のアナログ入力
8	DCE	デューティサイクルの等化器入力。内蔵のデューティサイクル等化器をディセーブルするためにはDCEをロー(GND)に接続してください。内蔵のデューティサイクル等化器をイネーブルとするためには、DCEをハイ(OV _{DD} またはV _{DD})に接続してください。
9	CLKN	負クロック入力。差動クロック入力モード(CLKTYP = OV _{DD} またはV _{DD})では、差動クロック入力信号をCLKPとCLKNの間に接続してください。シングルクロックモード(CLKTYP = GND)では、シングルクロック信号をCLKPに接続してCLKNをGNDに接続してください。
10	CLKP	正クロック入力。差動クロック入力モード(CLKTYP = OV _{DD} またはV _{DD})では、差動クロック入力信号をCLKPとCLKNの間に接続してください。シングルクロックモード(CLKTYP = GND)では、シングルクロック信号をCLKPに接続してCLKNをGNDに接続してください。
11	CLKTYP	クロックタイプを決定する入力。シングルエンドクロック入力とするためにはCLKTYPをGNDに接続してください。差動クロック入力とする場合はCLKTYPをOV _{DD} またはV _{DD} に接続してください。
12-15, 36	V _{DD}	アナログ電源入力。V _{DD} を3.15V~3.60Vの電源に接続してください。V _{DD} は2.2 μ F以上と0.1 μ Fのコンデンサを並列接続してGNDにバイパスしてください。すべてのV _{DD} 端子は同じ電位に接続してください。
17, 34	OV _{DD}	出力ドライバの電源入力。OV _{DD} を1.7V~V _{DD} の電源に接続してください。OV _{DD} を2.2 μ F以上と0.1 μ Fのコンデンサを並列接続してGNDにバイパスしてください。
18	DOR	データ範囲外インジケータ。DORのデジタル出力はアナログ入力電圧が範囲外であることを示します。DORがハイになると、アナログ入力はそのフルスケール範囲を超えています。DORがローはアナログ入力がフルスケール以内であることを示します(図6)。
19	D11	CMOSデジタル出力、ビット11(MSB)
20	D10	CMOSデジタル出力、ビット10
21	D9	CMOSデジタル出力、ビット9
22	D8	CMOSデジタル出力、ビット8
23	D7	CMOSデジタル出力、ビット7
24	D6	CMOSデジタル出力、ビット6
25	D5	CMOSデジタル出力、ビット5
26	D4	CMOSデジタル出力、ビット4
27	D3	CMOSデジタル出力、ビット3
28	D2	CMOSデジタル出力、ビット2

端子説明 (続き)

端子	名称	機能
29	D1	CMOSデジタル出力、ビット1
30	D0	CMOSデジタル出力、ビット0(LSB)
31, 32	I.C.	内部接続用、この端子には、何も接続しないでください。
33	DAV	データバリッド(正常)出力。DAVは入力クロックのデューティサイクル変動が補正された入力クロックをシングルエンドとして出力するものです。DAVは、標準的には、外部の後続デジタル回路にMAX19538の出力データをラッチさせるために使用されます。
37	PD	電源断入力。PDをハイに強制すると、電源断モードとなります。通常の動作とするためには、PDをローに強制してください。
38	REFOUT	内部リファレンス電圧出力。内部リファレンス動作をさせるためには、REFOUTをREFINに接続するか、または、REFINの電圧を設定するためにREFOUTに抵抗分圧器を使用してください。0.1μF以上のコンデンサでREFOUTをGNDにバイパスしてください。
39	REFIN	リファレンス入力。内部リファレンスモード及びバッファされた外部リファレンスモードでは、REFINをGNDに0.1μF以上のコンデンサを使ってバイパスしてください。これらのモードでは $V_{REFP} - V_{REFN} = V_{REFIN} \times 3/4$ となります。バッファされない外部リファレンスモードによる動作では、REFINをGNDに接続してください。
40	G/T	出力フォーマットの選択入力。G/TをGNDに接続すると2の補数デジタル出力フォーマットになります。G/TをOV _{DD} またはV _{DD} に接続するとグレイスケールのデジタル出力フォーマットとなります。
—	EP	エクスポーズドパッド。MAX19538は低インダクタンスのグラウンド接続のためにエクスポーズドパッドによる接続に依存しています。仕様性能を達成するためにはEPをGNDに接続してください。表面層のグラウンドプレーンを底側のグラウンドプレーンに接続するためには、複数のビアを用いてください。

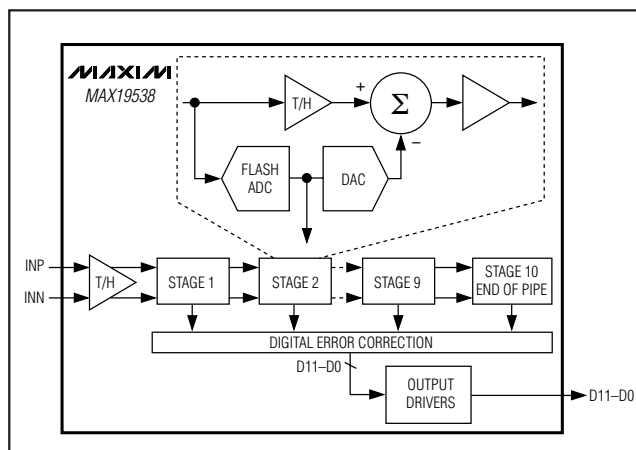


図1. パイプラインの構造：複数のステージブロックで構成

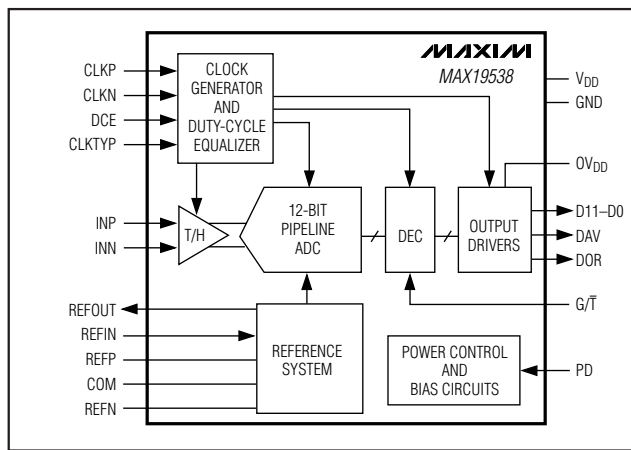


図2. 単純化したファンクションダイアグラム

詳細

MAX19538は10段の完全差動、パイプライン構造(図1)を採用しているため、最小の電力消費で高速変換を可能とします。入力で獲得されたサンプルは、パイプラインを順次、半クロックサイクルごとに移動します。入力から出力までの総合クロックサイクルの潜伏期間(latency)は8.5クロックサイクルです。

各パイプラインコンバータ段はその入力電圧をデジタル出力コードに変換します。各段では、最終段を除いて入力とデジタル出力間の誤差は増幅されて、次のパイプライン段へ移されます。デジタル誤差補正回路が各パイプライン段におけるADCコンパレータのオフセットを補正して、ミッシングコードを防ぎます。図2にはMAX19538のファンクションダイアグラムが示されています。

12ビット、95Msps、3.3VのADC

入カトラックアンドホールド(T/H) 回路

図3はトラックアンドホールド(T/H)回路の単純化したファンクションダイアグラムを示しています。この入力T/H回路は175MHzを超える高い入力周波数を可能とし、 $V_{DD} / 2 \pm 0.5V$ のコモンモード入力電圧をサポートします。

MAX19538のサンプリングクロックはADCのスイッチトキャパシタ型T/H方式を制御して(図3)、アナログ入力信号がサンプリングコンデンサ上の電荷として蓄積されます。これらのスイッチは、サンプリングクロックがハイのときに閉じられ(トラック)、サンプリングクロックがローのときにオープン(ホールド)となります(図4)。アナログ入力源は、サンプリングコンデンサを充電及び放電するために必要とするだけのダイナミック電流を供給することができなければなりません。信号の悪化を

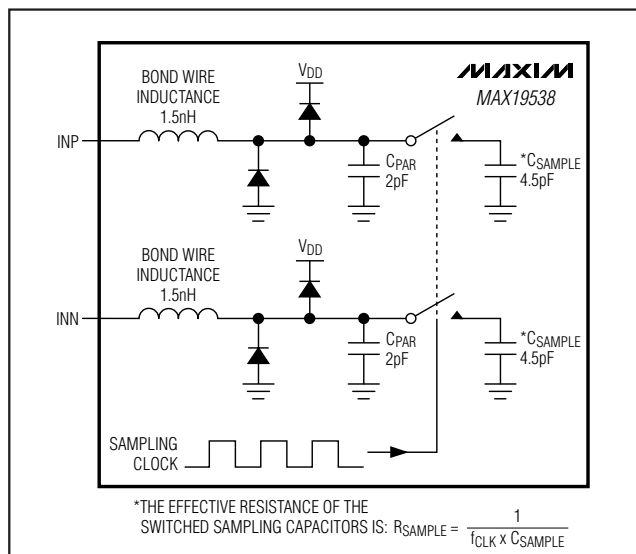


図3. 単純化したトラックアンドホールド回路

防ぐためには、これらのコンデンサはクロックサイクルの半周期以内に1/2LSBの精度となるように充電されなければなりません。

MAX19538のアナログ入力は差動及びシングルエンドの駆動をサポートします。差動入力の場合に最適な性能を得るためには、INPとINNの入カインピーダンスをバランスさせて、コモンモード電圧を電源の中間 ($V_{DD} / 2$) に設定してください。内部基準電圧モード及びバッファした外部リファレンスモードで動作する場合、MAX19538 はCOM出力による $V_{DD} / 2$ の最適なコモンモード電圧を供給します。このCOM出力電圧は図10、図11、及び図12に示すように入力回路網をバイアスするために使うことができます。

リファレンス出力 (REFOUT)

内蔵のバンドギャップリファレンスはMAX19538内で使われるすべての内部電圧及びバイアス電流の基準となります。電源断ロジック入力(PD)がリファレンス回路をイネーブル及びディセーブルします。電源が印加されるか、またはPDがハイからローに遷移してから、リファレンス回路が起動されて落ち着くまでに10msを要します。MAX19538が電源断となっている場合、REFOUTはGNDに対して約17kΩを呈します。

内部バンドギャップリファレンスとそのバッファは2.048Vを V_{REFOUT} に生成します。リファレンスの温度係数は標準値で+50ppm/°Cです。安定に動作させるためには0.1μF以上のバイパスコンデンサをREFOUTとGND間に接続してください。

REFOUTは外部回路に最大1.0mAを供給(ソース)し、最大0.1mAを吸収(シンク)し、負荷レギュレーションは35mV/mAです。短絡保護回路はREFOUTがGNDに短絡されたとき、供給電流を2.1mAに制限し、 V_{DD} に短絡されたとき、吸収電流を0.24mAに制限します。

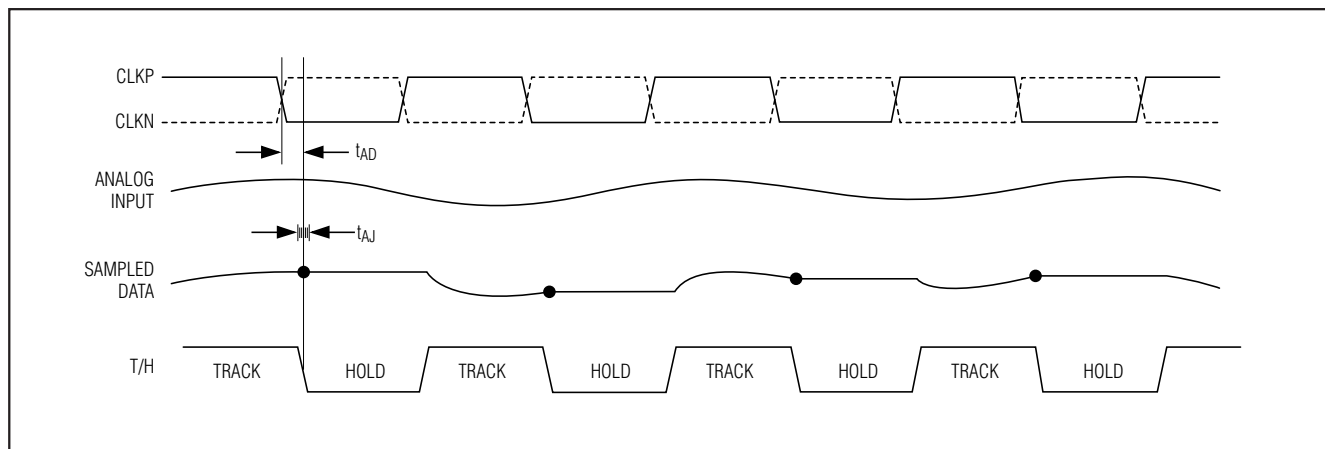


図4. T/Hのアパーチャタイミング

表1. リファレンスモード

VREFIN	REFERENCE MODE
35% VREFOUT to 100% VREFOUT	Internal Reference Mode. Drive REFIN with REFOUT either through a direct short or a resistive divider. The full-scale analog input range is $\pm V_{REFIN} / 2$: $V_{COM} = V_{DD} / 2$ $V_{REFP} = V_{DD} / 2 + V_{REFIN} \times 3/8$ $V_{REFN} = V_{DD} / 2 - V_{REFIN} \times 3/8$
0.7V to 2.2V	Buffered External Reference Mode. Apply an external 0.7V to 2.2V reference voltage to REFIN. The full-scale analog input range is $\pm V_{REFIN} / 2$: $V_{COM} = V_{DD} / 2$ $V_{REFP} = V_{DD} / 2 + V_{REFIN} \times 3/8$ $V_{REFN} = V_{DD} / 2 - V_{REFIN} \times 3/8$
<0.4V	Unbuffered External Reference Mode. Drive REFP, REFN, and COM with external reference sources. The full-scale analog input range is $\pm (V_{REFP} - V_{REFN}) \times 2/3$.

アナログ入力とリファレンスの構成

MAX19538のフルスケールアナログ入力範囲は共通モード入力範囲を $V_{DD} / 2 \pm 0.5V$ とした場合、 $\pm 0.35V \sim \pm 1.10V$ まで調整可能です。MAX19538は3種のリファレンス動作モードを備えています。REFIN(V_{REFIN})の電圧がリファレンス動作モードを決定します(表1)。

内部リファレンスを使ってMAX19538を動作させるためには、REFOUTをREFINに、直接短絡または抵抗分圧器によって接続してください。このモードでは、COM、REFP、及びREFNはローインピーダンス出力であり、 $V_{COM} = V_{DD} / 2$ 、 $V_{REFP} = V_{DD} / 2 + V_{REFIN} \times 3/8$ 、及び $V_{REFN} = V_{DD} / 2 - V_{REFIN} \times 3/8$ となります。REFINの入力インピーダンスは非常に大きい値(>50M Ω)となります。抵抗分圧器を通してREFINを駆動する場合は、REFOUTに負荷がかかることを避けるために10k Ω 以上の負荷抵抗となるようにしてください。

バッファされた外部リファレンスモードは、リファレンス源が外部リファレンスにより供給されてMAX19538のREFOUTからではないことを除いて、事実上内部リファレンスモードと同等です。バッファされた外部リファレンスモードでは、REFINに安定な0.7V~2.2Vの電圧源を印加してください。このモードでは、COM、REFP、及びREFNはローインピーダンス出力であり、 $V_{COM} = V_{DD} / 2$ 、 $V_{REFP} = V_{DD} / 2 + V_{REFIN} \times 3/8$ 、及び $V_{REFN} = V_{DD} / 2 - V_{REFIN} \times 3/8$ となります。

MAX19538をバッファなしの外部リファレンスモードで動作させるためには、REFINをGNDに接続してください。REFINをGNDに接続するとCOM、REFP、及びREFNに対応するチップ内蔵のリファレンスを非活性化させます。各バッファが非活性化されると、COM、REFP、及びREFNはハイインピーダンス入力となり、別の外部リファレンス源によって駆動されなければなりません。 V_{COM} を $V_{DD} / 2 \pm 5\%$ に駆動し、かつREFPとREFNを $V_{COM} = (V_{REFP} + V_{REFN}) / 2$ に駆動してください。その場合、アナログ入力フルスケールレンジは $\pm (V_{REFP} - V_{REFN}) \times 2/3$ となります。

この3つのリファレンスモードを動作させるためには、同じバイパスコンデンサの組合せを必要とします。COMを2.2 μF のコンデンサでGNDにバイパスしてください。REFPとREFNは、おのおの0.1 μF コンデンサでGNDにバイパスしてください。REFPとREFNの間は10 μF コンデンサと1 μF コンデンサを並列にしてバイパスしてください。1 μF のコンデンサをプリント基板のデバイスと同じ側に可能な限りデバイスに近づけて配置してください。0.1 μF のコンデンサを使って、REFINとREFOUTをGNDにバイパスしてください。

詳細な回路としては図13と図14を参照してください。

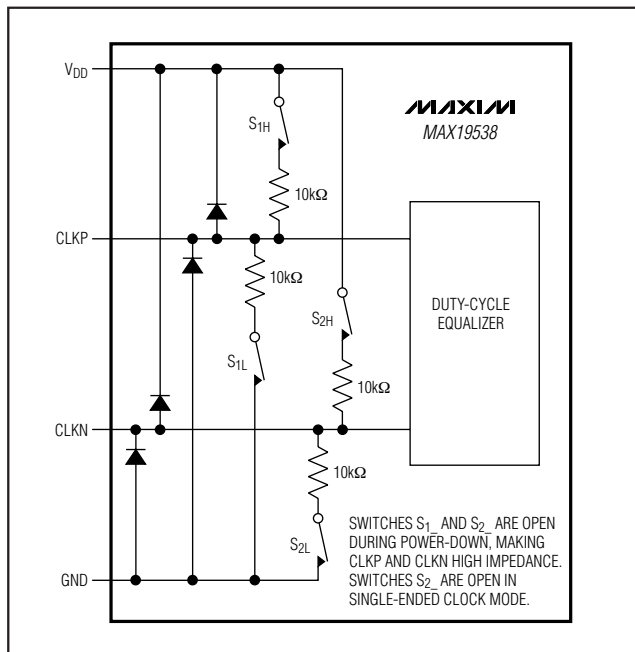


図5. 単純化したクロック入力回路

クロック入力とクロック制御ライン (CLKP、CLKN、CLKTYP)

MAX19538は、差動とシングルエンドの両方のクロック入力で動作します。シングルエンドクロック入力動作では、CLKTYPをGNDに、CLKNをGNDに接続し、CLKPを外部のシングルエンドクロック信号で駆動してください。差動クロック入力動作では、CLKTYPをOV_{DD}またはV_{DD}に接続し、CLKPとCLKNを外部の差動クロック信号で駆動してください。クロックのジッタを低減するために、外部のシングルエンドクロックは立下りエッジを急峻にする必要があります。クロック入力はアナログ入力と考えて、配線経路を他のアナログ入力及びデジタル信号ラインから離してください。

MAX19538がパワーダウンとなっているとき、CLKPとCLKNはハインピーダンスになります(図5)。

MAX19538の規定されたSNR性能を得るためには、低クロックジッタが求められます。アナログ入力はクロック信号の立下りエッジでサンプリングされるため、このエッジのジッタは可能な限り小さくする必要があります。

あります。ジッタは、次の関係に従ってADCの最大SNR性能を制限します。

$$\text{SNR} = 20 \times \log\left(\frac{1}{2 \times \pi \times f_N \times t_J}\right)$$

ここで、 f_N はアナログ入力周波数を表わし、 t_J はシステムの新クロックジッタを表わします。クロックジッタは、アンダサンプリングアプリケーションにおいて特に重要です。たとえば、クロックジッタが唯一のノイズ源であるとすると、175MHzの入力周波数で68.4dBの規定SNRを実現するためには、クロックジッタを0.35ps以下にしなければなりません。実際には、熱雑音や量子化雑音など、システムノイズに影響するノイズ源が他にも存在するため、175MHzにおいて規定された68.4dBのSNRを得るためにはクロックジッタを0.23ps以下にする必要があります。

クロックデューティサイクル等化器 (DCE)

クロックデューティサイクル等化器をイネーブルとするためには、DCEをハイに接続してください (DCE = OV_{DD}、またはV_{DD})。クロックデューティサイクル等化器をディセーブルとするためには、DCEをローに接続してください (DCE = GND)。クロックデューティサイクルをイネーブルとすると、MAX19538はCLKP及びCLKNに印加された信号のデューティサイクルに不感となります。クロックデューティサイクル等化器がイネーブルとなると、35%～65%のデューティサイクルで動作可能です。

クロックデューティサイクル等化器では、デューティサイクルとは無関係の内部タイミング信号を生成するために遅延ロックループ (DLL) が使用されます。このDLLでは、MAX19538が新たなクロック周波数を獲得してロックするまでに約100クロックサイクルを必要とします。

推奨しませんが、クロックデューティサイクル等化器をディセーブルとすると、アナログ電源電流が1.5mAだけ減少します。クロックデューティサイクルをディセーブルとすると、MAX19538のダイナミック性能はCLKPとCLKNに印加された信号のデューティサイクルに依存して変わります。

システムのタイミング要件

図6は、クロック、アナログ入力、DAVインジケータ、DORインジケータ、及び変換出力データの関係を示しています。アナログ入力はクロック信号の立下りエッジでサンプリングされ、変換されたデータは8.5クロックサイクル後にデジタル出力に現れます。

DAVインジケータは、デジタル出力に同期しており、データを後続のデジタル回路にラッチする用途に最適化されています。また、別の方法として、後続のデジタル回路を、変換クロック (CLKP-CLKN) の立上りエッジでラッチすることができます。

データバリッド出力 (DAV)

DAVは、入力クロック (CLKP) をシングルエンドとして出力するものです。出力データはDAVの立下りエッジで変化し、DAVは出力データが有効になると立上ります (図6)。

デューティサイクル等化器入力 (DCE) の状態によって、DAVの波形が変化します。デューティサイクル等化器をディセーブルする (DCE = ロウ) と、DAV信号はCLKPが6.8ns (t_{DAV}) だけ遅れた反転信号として現れます。デューティサイクル等化器をイネーブルする (DCE = ハイ) と、DAV信号はパルス幅がCLKPと関係なく一定になります。DCEがハイまたはローのいずれの場合も、D11~D0及びDORの出力データはDAVの立上りエッジの5.7ns (t_{SETUP}) 前からDAVの立上りエッジの4.2ns (t_{HOLD}) 後まで有効で、DAVの立上りエッジはCLKPの立下りエッジから6.8ns (t_{DAV}) 遅れて同期しています。

MAX19538 がパワーダウン状態 (PD = ハイ) にあるとき、DAVはハイインピーダンスです。DAVは600 μ Aの

シンク電流とソース電流を流すことができ、駆動能力がD11~D0及びDORの3倍です。DAVは、通常、MAX19538の出力データを外部の後続デジタル回路にラッチするために使用されます。

大きなデジタル電流がMAX19538のアナログ部にフィードバックされてそのダイナミック性能が低下することを防止するために、DAVの容量性負荷をできる限り小さく (25pF未満) 抑えてください。DAVの外部にバッファを設けると、DAVは容量性の重負荷から分離されます。外部バッファを介して後続のデジタル回路を駆動するDAVの例については、MAX1211の評価キットの回路図を参照してください。

データアウトオブレンジインジケータ (DOR)

DORデジタル出力は、アナログ入力電圧がレンジから外れているか否かを示します。DORがハイのとき、アナログ入力はレンジから外れています。DORがローのとき、アナログ入力はレンジ内にあります。有効な差動入力範囲は、 $(V_{REFP} - V_{REFN}) \times 2/3 \sim (V_{REFN} - V_{REFP}) \times 2/3$ です。信号がこの有効差動範囲外にある場合は、表2と図6に示すように、DORがハイになります。

DORは、DAVと同期しており、出力データD11~D0とともに遷移します。出力データの場合と同様に、DORの動作には8.5クロックサイクルの潜伏時間 (latency) があります (図6)。

MAX19538がパワーダウン状態 (PD = ハイ) にあるとき、DORはハイインピーダンスです。DORは、PDの立上りエッジ後の10ns以内にハイインピーダンス状態になり、PDの立下りエッジの10ns後にアクティブになります。

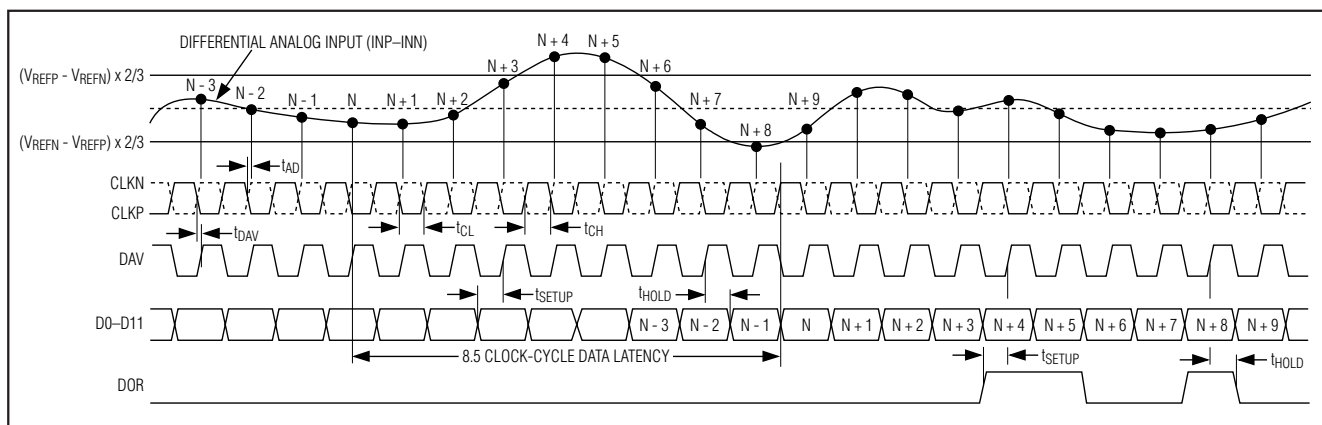


図6. システムのタイミングダイアグラム

12ビット、95Msps、3.3VのADC

デジタル出力データ (D11~D0)、出力形式 (G/ $\bar{T}$)

MAX19538は、12ビット、パラレル、トリステート出力バスを備えています。D11~D0及びDORは、DAVの立下りエッジで更新され、DAVの立上りエッジで有効になります。

MAX19538の出力データ形式は、ロジック入力G/ $\bar{T}$ に応じてグレイコードまたは2の補数のいずれかとなります。G/ $\bar{T}$ がハイの場合は、出力データ形式はグレイコードです。G/ $\bar{T}$ がローの場合は、出力データ形式は2の補数です。バイナリからグレイ、及びグレイからバイナリへのコード変換例については、図9を参照してください。

次式、表2、図7、及び図8によって、デジタル出力とアナログ入力との関係が定まります：

$$V_{INP} - V_{INN} = (V_{REFP} - V_{REFN}) \times \frac{4}{3} \times \frac{CODE_{10} - 2048}{4096}$$

(G/ $\bar{T}$ = 1の場合グレイコード)

$$V_{INP} - V_{INN} = (V_{REFP} - V_{REFN}) \times \frac{4}{3} \times \frac{CODE_{10}}{4096}$$

(G/ $\bar{T}$ = 0の場合2の補数)

ここで、CODE₁₀は、表2に示すようにデジタル出力コードと等価な10進値です。

MAX19538 パワーダウン状態 (PD = ハイ) にあるとき、デジタル出力D11~D0はハイインピーダンスです。D11~D0は、PDの立上りエッジの10ns後にハイに遷移し、PDの立下りエッジの10ns後にアクティブになります。

大きなデジタル電流がMAX19538のアナログ部にフィードバックされてそのダイナミック性能が低下することを防止するために、MAX19538のデジタル出力D11~D0の容量性負荷をできる限り小さく (15pF未満) 抑えてください。デジタル出力にデジタルバッファを外付けすると、MAX19538が容量性の重負荷から分離されます。MAX19538のダイナミック性能を向上させるために、MAX19538の近くで220Ωの抵抗器をデジタル出力に直列に接続してください。220Ωの直列抵抗器を介してデジタルバッファを駆動するデジタル出力の例については、MAX1211評価キットの回路図を参照してください。

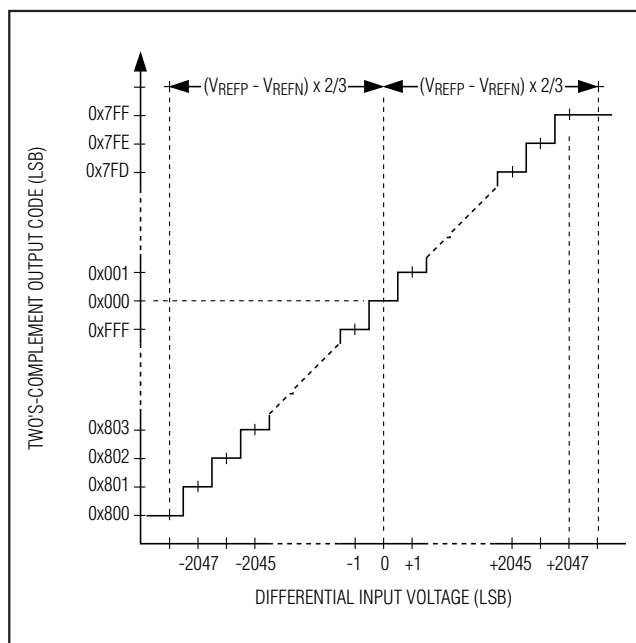


図7. 2の補数の場合の伝達関数 (G/ $\bar{T}$ = 0)

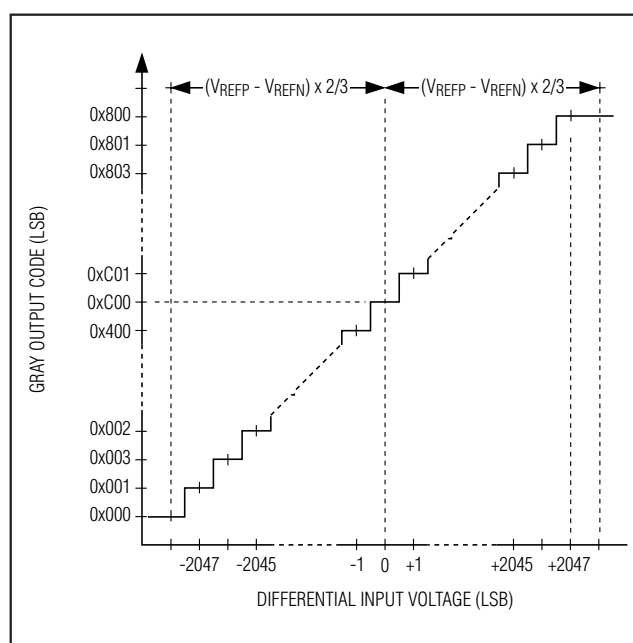


図8. グレイコードの場合の伝達関数 (G/ $\bar{T}$ = 1)

表2. 出力コード 対 入力電圧

GRAY-CODE OUTPUT CODE ($G/\bar{V} = 1$)				TWO'S-COMPLEMENT OUTPUT CODE ($G/\bar{V} = 0$)				V _{INP} - V _{INN} V _{REFP} = 2.418V V _{REFN} = 0.882V
BINARY D11 → D0	DOR	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0 (CODE ₁₀)	BINARY D11 → D0	DOR	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0 (CODE ₁₀)	
1000 0000 0000	1	0x800	+4095	0111 1111 1111	1	0x7FF	+2047	>+1.0235V (DATA OUT OF RANGE)
1000 0000 0000	0	0x800	+4095	0111 1111 1111	0	0x7FF	+2047	+1.0235V
1000 0000 0001	0	0x801	+4094	0111 1111 1110	0	0x7FE	+2046	+1.0230V
1100 0000 0011	0	0xC03	+2050	0000 0000 0010	0	0x002	+2	+0.0010V
1100 0000 0001	0	0xC01	+2049	0000 0000 0001	0	0x001	+1	+0.0005V
1100 0000 0000	0	0xC00	+2048	0000 0000 0000	0	0x000	0	+0.0000V
0100 0000 0000	0	0x400	+2047	1111 1111 1111	0	0xFFF	-1	-0.0005V
0100 0000 0001	0	0x401	+2046	1111 1111 1110	0	0xFFE	-2	-0.0010V
0000 0000 0001	0	0x001	+1	1000 0000 0001	0	0x801	-2047	-1.0235V
0000 0000 0000	0	0x000	0	1000 0000 0000	0	0x800	-2048	-1.0240V
0000 0000 0000	1	0x000	0	1000 0000 0000	1	0x800	-2048	<-1.0240V (DATA OUT OF RANGE)

12ビット、95Mps、3.3VのADC

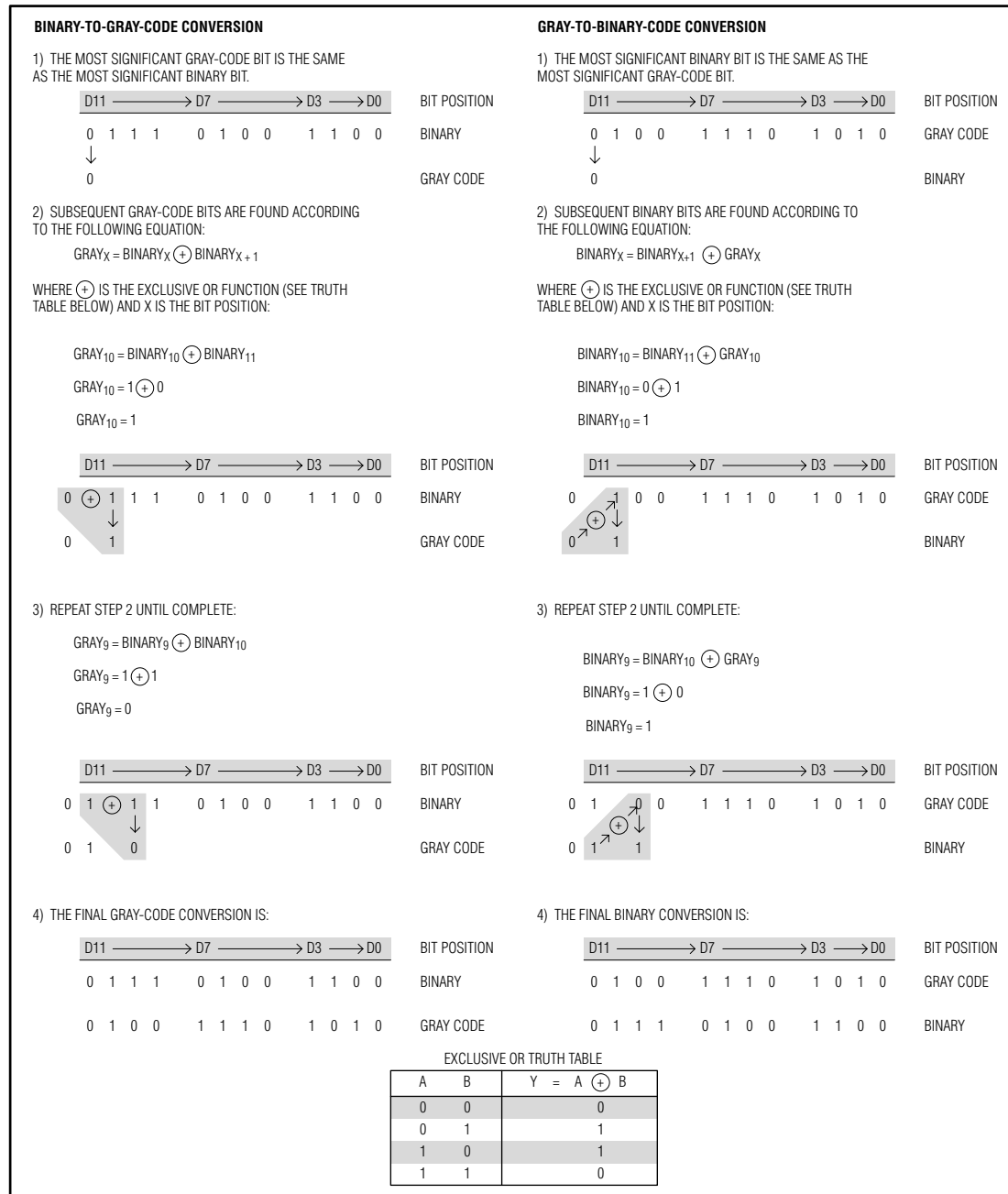


図9. 2進からグレイスケールへの変換及びグレイスケールから2進への変換

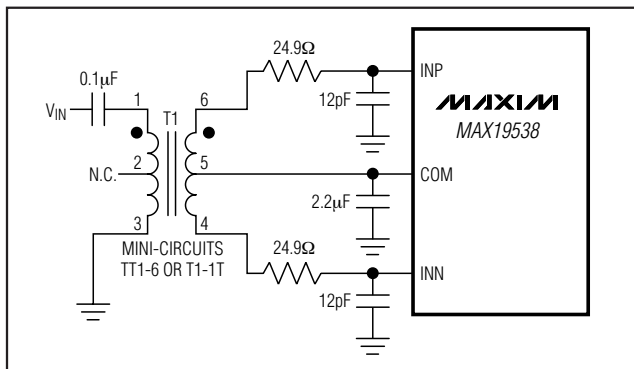


図10. ナイキスト周波数までの入力に対するトランス結合入力駆動

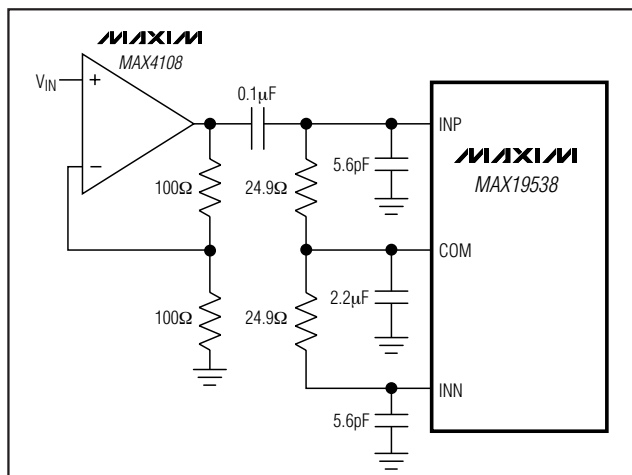


図12. シングルエンド入力のAC結合入力駆動

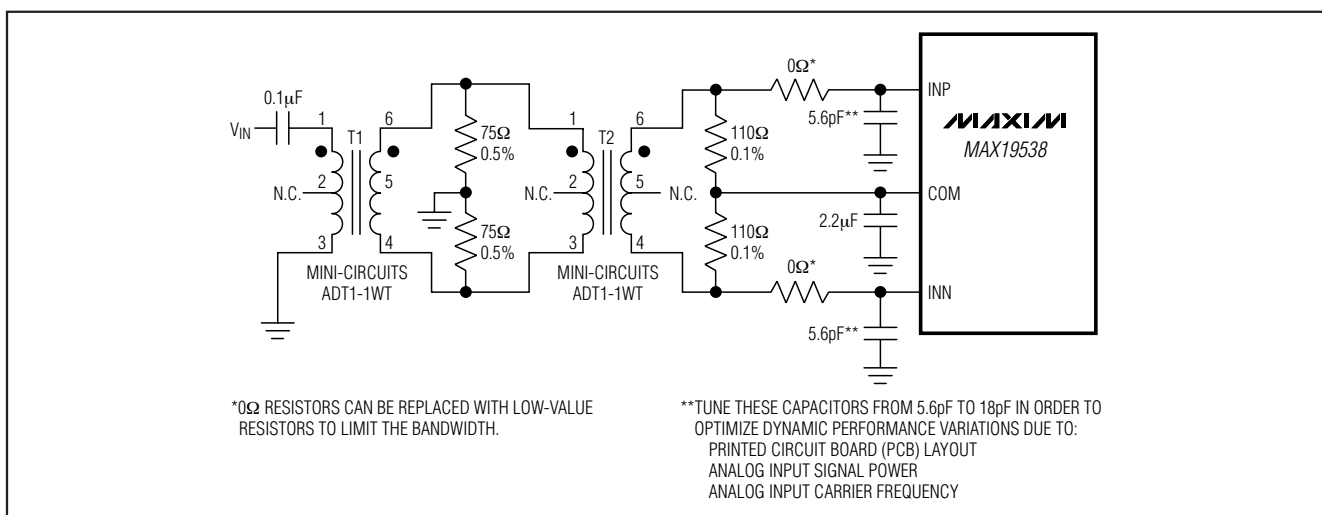


図11. ナイキスト周波数を超える入力に対するトランス結合入力駆動

パワーダウン入力 (PD)

MAX19538は、パワーダウンデジタル入力(PD)によって制御される2つの電力モードを備えています。PDがローの場合、MAX19538は通常動作モードにあります。PDがハイの場合、MAX19538はパワーダウンモードにあります。

パワーダウンモードでは、MAX19538は、変換が必要でないとき低電力状態に移転することによって電力を効率的に利用することができます。さらに、パワーダウンモードではMAX19538の平行出力バスがハイインピーダンスであるため、バス上の他のデバイスがアクセスされることが可能となります。

パワーダウンモードでは、すべての内部回路がオフ状態にあり、アナログ消費電流が0.02mAに減少し、デジタル消費電流が1μAに減少します。下記のリストは、パワーダウンモードにおけるアナログ入力とデジタル出力の状態を示します。

- INP、INNアナログ入力は、内蔵入力アンプから切断される(図3)。
- REFOUTは、GNDに対して約17kΩとなる。
- REFP、COM、及びREFNは、V_{DD}とGNDに対してハイインピーダンスになるが、REFPとCOMの間に4kΩの内部抵抗器があり、REFNとCOMの間にも4kΩの内部抵抗器がある。

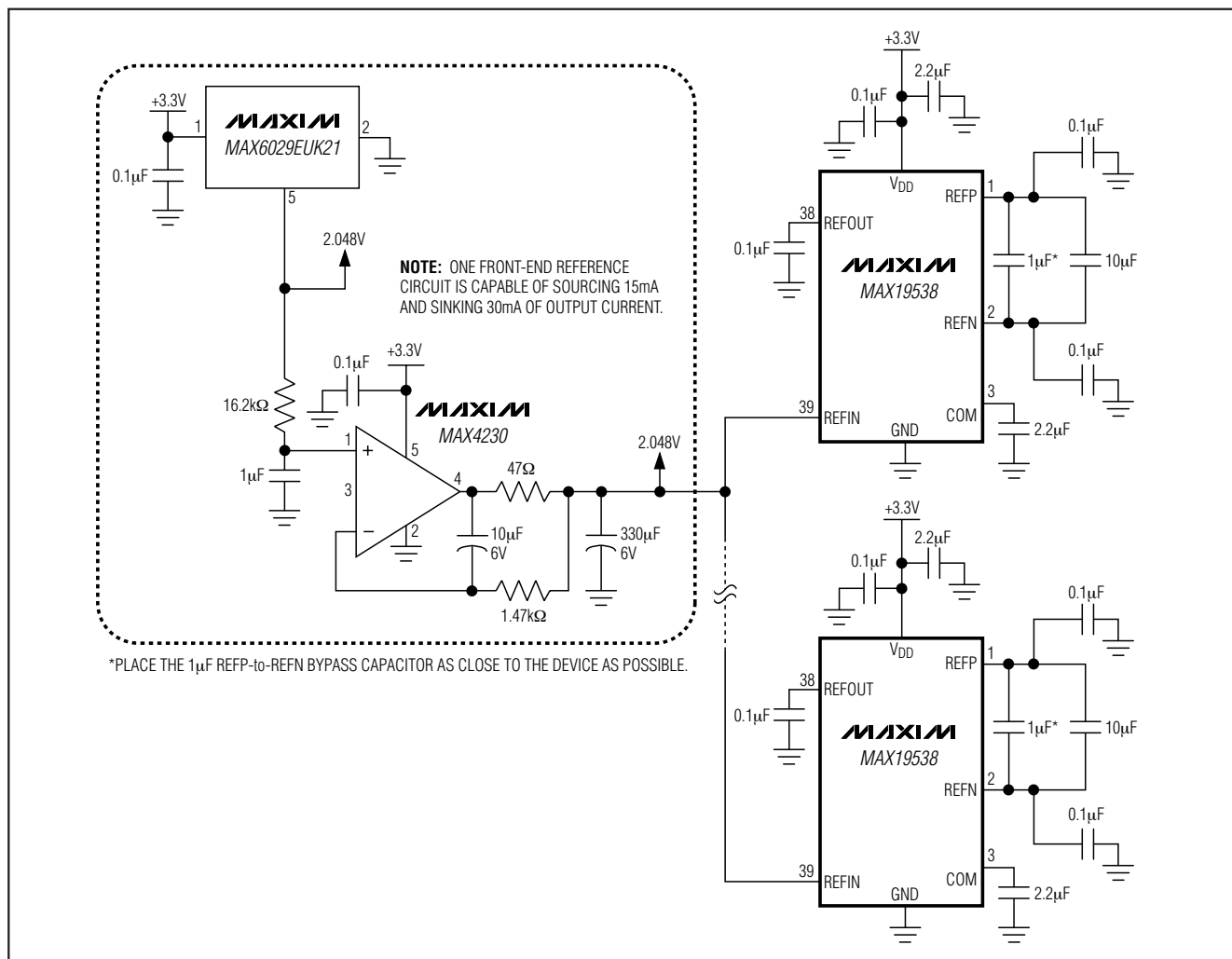


図13. 外付けのバッファされたリファレンスが複数のADCを駆動

- D11～D0、DOR、及びDAVがハイインピーダンスになる。
- CLKPとCLKNがハイインピーダンスになる(図5)。

パワーダウンモードからのウェイクアップ時間は、REFP、REFN、及びCOMにおけるコンデンサの充電に必要な時間によって支配されます。内部リファレンスモード及びバッファ付き外部リファレンスモードでは、推奨コンデンサアレイを接続した場合のウェイクアップ時間は標準値で10msです(図13)。バッファなし外部リファレンスモードで動作させる場合、ウェイクアップ時間は外付けのリファレンスドライバに依存します。

アプリケーション情報

トランス結合の利用

一般に、MAX19538は、シングルエンド入力駆動の場合よりも、完全差動入力信号の場合のSFDRとTHD性能が優れています。差動入力モードでは、両入力が平衡しており、かつADC入力の各々がシングルエンド入力モードに比べて1/2の信号振幅で済むため、偶数次の高調波が少なくなります。

RFトランス(図10)は、シングルエンド入力源信号を、最適性能を得るためにMAX19538が必要とする、完全差動信号に変換するための優れたソリューションを提供します。このトランスのセンタタップをCOMに接続

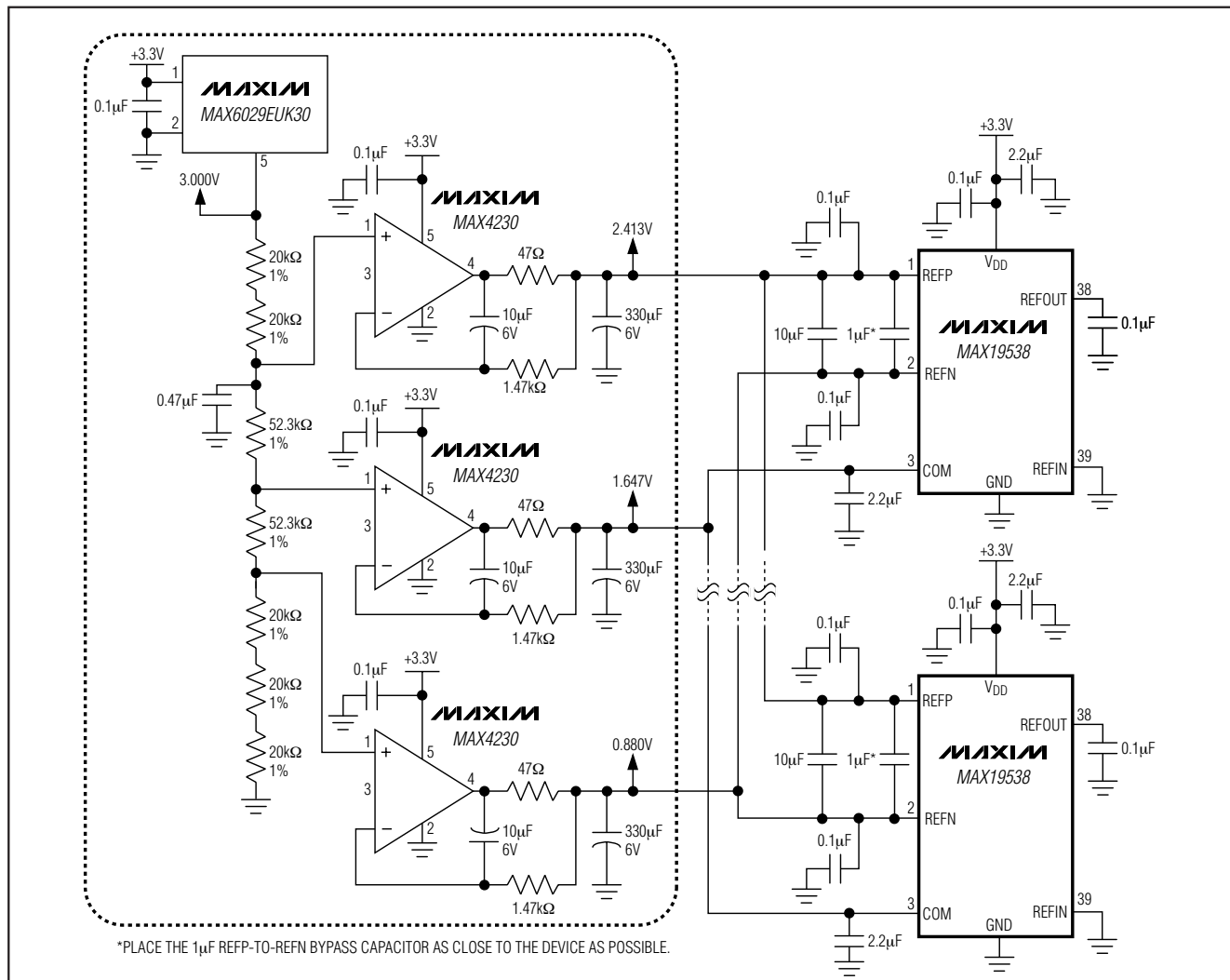


図14. 外付けバッファなしのリファレンスが複数のADCを駆動

すると、入力に対して $V_{DD} / 2$ だけDCレベルがシフトします。1:1のトランスが記載されていますが、ステップアップトランスを選択して駆動要件を緩和することもできます。オペアンプなどの入力ドライバの信号振幅を小さくすることによって、総合歪みを改善することもできます。図10の構成は、ナイキスト($f_{CLK} / 2$)までの周波数に適しています。

図11の回路は、シングルエンド入力信号を図10と同じように完全差動に変換するだけでなくコモンモード除去比を改善するためにトランスをさらに1個追加しているため、ナイキスト周波数を超える高周波信号を処理することができます。2組の終端抵抗器を使用して、信号源に対し50Ωに等しい終端が行われています。これはADT1-1WTトランスが1:1.5のインピーダンス変換比を持つためです。2番目の組の終端抵抗器をCOMに接続することによって、適切な入力コモンモード電圧を供給しています。アナログ入力に2個の0Ω抵抗器を

直列接続すると、IF入力周波数を高くすることができます。これらの0Ω抵抗器を値の小さい抵抗器に置き換えると入力帯域幅を制限することができます。

シングルエンドAC結合入力信号

図12は、AC結合、シングルエンド入力のアプリケーションを示します。MAX4108は、高速、広帯域幅、低ノイズ、及び低歪みの特性を備えおり、入力信号の完全性を保ちます。

バッファ付き外部リファレンスが複数のADCを駆動

バッファ付き外部リファレンスモードを使用すると、MAX19538内蔵のリファレンス電圧に優るより多くの制御が可能になり、複数のコンバータが共通リファレンスを使用することができます。REFINの入力インピーダンスは50MΩを超えています。

12ビット、95Msps、3.3VのADC

図13では、複数のコンバータに対する共通リファレンスとして高精度2.048VリファレンスのMAX6029EUK21を使用しています。MAX6029の2.048V出力は、単極、10Hzのローパスフィルタを介してMAX4230に接続されています。MAX4230は2.048Vリファレンスのバッファとして働き、その出力がMAX19538のREFIN入力に加えられる前にさらに10Hzのローパスフィルタ処理を行っています。

バッファなし外部リファレンスが複数のADCを駆動

バッファなし外部リファレンスモードを使用すると、MAX19538内蔵リファレンスに優る高精度の制御が可能になり、複数のコンバータに共通リファレンスを使用することができます。REFINをGNDに接続すると、内部リファレンスがディセーブルされて、REFP、REFN、及びCOMを1組の外部リファレンスソースによって直接駆動することができます。

図14では、複数のコンバータに対する共通リファレンスとして高精度3.000VリファレンスのMAX6029EUK30を使用しています。7個の部品から成る抵抗分圧器チェーンが電圧リファレンスのMAX6029の後に接続されています。0.47 μ Fのコンデンサがこのチェーンとともに10Hzのローパスフィルタを形成しています。3個のオペアンプMAX4230が、この抵抗器チェーンに沿ったタップにバッファとして接続され、MAX19538のREFP、COM、及びREFNの各リファレンス入力にそれぞれ2.413V、1.647V、及び0.880Vを供給しています。オペアンプのMAX4230にフィードバックを施すことによって、10Hzのローパスフィルタが新たに加わります。2.413Vと0.880Vのリファレンス電圧によって、フルスケールのアナログ入力範囲が $\pm 1.022V = \pm (V_{REFP} - V_{REFN}) \times 2/3$ に設定されます。

全能動部品の電源を共通にすることによって、電源投入または切断の際の電源シーケンスに関する問題が解消します。

グラウンド、バイパス、及び基板のレイアウト

MAX19538には、高速の基板レイアウト設計法を適用する必要があります。基板のレイアウト基準については、MAX1211評価キットのデータシートを参照してください。すべてのバイパスコンデンサは、インダクタンスを最小とする表面実装型デバイスを使用し、できればADCと基板の同じ側でデバイスにできる限り近づけて配置してください。0.1 μ Fのセラミックコンデンサと並列の2.2 μ Fのセラミックコンデンサで V_{DD} をGNDにバイパスしてください。0.1 μ Fのセラミックコンデンサと並列の2.2 μ Fのセラミックコンデンサで OV_{DD} をGNDにバイパスしてください。

十分に広いグラウンドプレーンと電源プレーンを備えた多層基板を使用すると、最高レベルの信号の完全性が実現します。MAX19538のすべてのGNDと裏面エクスポートパッドは、同じグラウンドプレーンに接続する必要があります。MAX19538は低インダクタンスのグラウンド接続を裏面エクスポートパッドに依存します。複数のビアを使用して上側のグラウンドを下側のグラウンドに接続してください。グラウンドプレーンは、DSPや出力バッファグラウンドなど、ノイズの多いデジタルシステムグラウンドプレーンから分離してください。

高速デジタル信号トレースは、ノイズに敏感なアナログトレースから離して配置してください。すべての信号ラインを短くして90°の方向転換を避けてください。

差動アナログ入力回路網のレイアウトが対称になるようにし、すべての寄生成分が等しくバランスされるようにしてください。対称な入力レイアウトの例については、MAX1211の評価キットのデータシートを参照してください。

パラメータの定義

Integral Nonlinearity (積分非直線性) (INL)

積分非直線性は、実際の伝達関数上の値に対する直線からのずれです。MAX19538の場合、この直線は、オフセットと利得誤差をゼロにした後の伝達関数の両端点を結んだ直線です。INLのずれは、伝達関数の全ステップにおいて測定され、ワーストケースのずれが「Electrical Characteristics (電気的特性)」の表に記載されています。

Differential Nonlinearity (微分非直線性) (DNL)

微分非直線性は、実際のステップ幅と1 LSBの理想値の差です。1 LSBより小さいDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証します。MAX19538の場合、DNLの偏差は、伝達関数の全ステップにおいて測定され、ワーストケースの偏差が「Electrical Characteristics (電気的特性)」の表に記載されています。

Offset Error (オフセット誤差)

オフセット誤差は、実際の伝達関数が1点において理想的な伝達関数とどの程度一致しているかを示す性能指数です。理想的には、ミッドスケールのMAX19538の遷移がミッドスケールよりも0.5LSBだけ上で起ります。オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点の偏差の大きさです。

Gain Error (利得誤差)

利得誤差は、実際の伝達関数の傾斜が理想的な伝達関数の傾斜とどの程度一致しているかを示す性能指数です。実際の伝達関数の傾斜は、2つのデータポイントの間、すなわち正のフルスケールと負のフルスケールの間で測定されます。理想的には、正のフルスケールの

MAX19538の遷移が正のフルスケールよりも1.5LSBだけ下で起こり、負のフルスケールの遷移が負のフルスケールよりも0.5LSBだけ上で起ります。利得誤差は、測定された遷移点の差から理想的な遷移点の差を差し引いた値です。

Small-Signal Noise Floor (小信号ノイズフロア) (SSNF)

小信号ノイズフロアは、小信号入力の場合のナイキスト帯域のノイズと歪みのパワーの総合値です。DCオフセットはこのノイズの計算から除外されます。このコンバータの場合、小信号は、-35dBFS以下の振幅を有するシングルトーンとして定義されます。このパラメータは、コンバータの熱雑音及び量子化雑音特性を取り入れて受信チャネルの総合雑音指数の計算に役立てることができます。熱雑音及び量子化雑音フロアに関するアプリケーションノートについては、japan.maxim-ic.comをご覧ください。

Signal-to-Noise Ratio (信号対雑音比) (SNR)

ディジタルサンプルから完全に再現される波形の場合、理論的な最大SNRはフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)との比です。理想的で理論的な最小のアナログ-ディジタル変換雑音は、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます：

$$\text{SNR}_{[\text{max}]} = 6.02 \times N + 1.76$$

実際には、量子化雑音以外に、熱雑音、リファレンス雑音、クロックジッタなどのノイズ源があります。SNRは、RMS信号とRMS雑音の比をとることによって求められます。RMS雑音には、基本波成分、最初の6つの高調波成分(HD2~HD7)、及びDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます：

$$\text{SNR} = 20 \times \log \left(\frac{\text{SIGNAL}_{\text{RMS}}}{\text{NOISE}_{\text{RMS}}} \right)$$

Signal-to-Noise Plus Distortion (信号 対 ノイズ + 歪み) (SINAD)

SINADは、RMS信号とRMSノイズ + RMS歪みとの比をとることによって求められます。RMSノイズには、基本波、最初の第6高調波(HD2~HD7)、及びDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。RMS歪みには、最初の第6高調波(HD2~HD7)が含まれます：

$$\text{SINAD} = 20 \times \log \left(\frac{\text{SIGNAL}_{\text{RMS}}}{\sqrt{\text{NOISE}_{\text{RMS}}^2 + \text{DISTORTION}_{\text{RMS}}^2}} \right)$$

Effective Number of Bits (有効ビット数) (ENOB)

ENOBは、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能を規定します。理想的なADCの誤差は、量子化雑音のみから成ります。フルスケールの正弦波入力信号波形に対するENOBは次式から計算されます：

$$\text{ENOB} = \left(\frac{\text{SINAD} - 1.76}{6.02} \right)$$

Single-Tone Spurious-Free Dynamic Range (シングルトーンスプリアスフリーダイナミックレンジ)(SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅と次に大きいスプリアス成分(DCオフセットを除く)のRMS振幅との比をデシベル単位で表わした値です。

Total Harmonic Distortion (全高調波歪み) (THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS和と基本波そのものとの比です。これは、次式で表わされます：

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_7$ は第2から第7までの高調波(HD2~HD7)の振幅です。

Intermodulation Distortion (相互変調歪み) (IMD)

IMDは、相互変調積のRMS和と2つの基本波入力トーンのRMS和との比です。これは、次式で表わされます：

$$\text{IMD} = 20 \times \log \left(\frac{\sqrt{V_{\text{IM}1}^2 + V_{\text{IM}2}^2 + \dots + V_{\text{IM}13}^2 + V_{\text{IM}14}^2}}{\sqrt{V_1^2 + V_2^2}} \right)$$

基本波入力トーンの振幅(V_1 と V_2)は、-7dBFSにおける値です。MAX19538のIMDの計算では、14の相互変調積(V_{IM_i})が使用されます。相互変調積は下記の周波数における出力スペクトルの振幅で、 $f_{\text{IN}1}$ と $f_{\text{IN}2}$ は基本波入力トーン周波数です。

- 2次の相互変調積： $f_{\text{IN}1} + f_{\text{IN}2}$ 、 $f_{\text{IN}2} - f_{\text{IN}1}$
- 3次の相互変調積： $2 \times f_{\text{IN}1} - f_{\text{IN}2}$ 、 $2 \times f_{\text{IN}2} - f_{\text{IN}1}$ 、 $2 \times f_{\text{IN}1} + f_{\text{IN}2}$ 、 $2 \times f_{\text{IN}2} + f_{\text{IN}1}$
- 4次の相互変調積： $3 \times f_{\text{IN}1} - f_{\text{IN}2}$ 、 $3 \times f_{\text{IN}2} - f_{\text{IN}1}$ 、 $3 \times f_{\text{IN}1} + f_{\text{IN}2}$ 、 $3 \times f_{\text{IN}2} + f_{\text{IN}1}$

12ビット、95Msps、3.3VのADC

- 5次の相互変調積: $3 \times f_{IN1} - 2 \times f_{IN2}$ 、 $3 \times f_{IN2} - 2 \times f_{IN1}$ 、 $3 \times f_{IN1} + 2 \times f_{IN2}$ 、 $3 \times f_{IN2} + 2 \times f_{IN1}$

Third-Order Intermodulation (3次相互変調) (IM3)

IM3は、2つの入力トーン f_{IN1} と f_{IN2} の全入力パワーを基準とするナイキスト周波数までの3次相互変調積の全パワーです。各入力トーンのレベルは、-7dBFSにおける値です。3次相互変調積は、 $2 \times f_{IN1} - f_{IN2}$ 、 $2 \times f_{IN2} - f_{IN1}$ 、 $2 \times f_{IN1} + f_{IN2}$ 、 $2 \times f_{IN2} + f_{IN1}$ です。

Two-Tone Spurious-Free Dynamic Range (2トンスプリアスフリーダイナミックレンジ) (SFDR_{TT})

SFDR_{TT}は、どちらかの入力トーンのリMS振幅の、スペクトルにおける次に大きいスプリアス成分 (DCオフセットを除く) のRMS振幅に対する比をデシベル単位で表わした値です。このスプリアス成分は、ナイキスト周波数までのスペクトルのどこでも発生する可能性があります。通常は相互変調積または高調波です。

Aperture Delay (アパーチャ遅延)

MAX19538は、そのサンプリングクロックの立下りエッジでデータがサンプリングされます。実際には、サンプリングクロック立下りエッジと実際のサンプリング時点の間にわずかな遅延があります。アパーチャ遅延 (t_{AD}) は、サンプリングクロックの立下りエッジと実際のサンプルが取り込まれた時点の間の時間として定義されます (図4)。

Aperture Jitter (アパーチャジッタ)

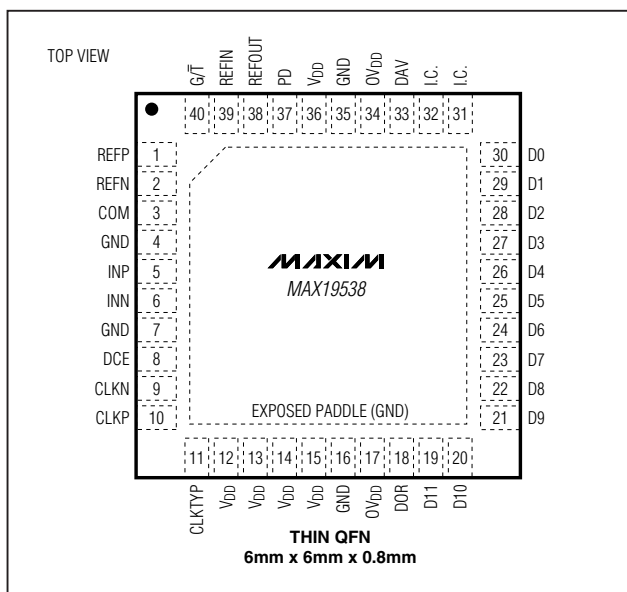
図4はアパーチャジッタ (t_{AJ}) を示します。これは、アパーチャ遅延における各サンプル間の変動です。

Output Noise (出力ノイズ) (n_{OUT})

出力ノイズ (n_{OUT}) パラメータは、熱雑音 + 量子化雑音パラメータに似ており、ADCの総合ノイズ性能を表わします。

n_{OUT} の試験には、基本波入力トーンは使用されません。INP、INN、及びCOMを相互に接続して、1024kのデータポイントが収集されます。 n_{OUT} は、平均値を除去した後の収集されたデータポイントのRMS値を求めることによって計算されます。

ピン配置

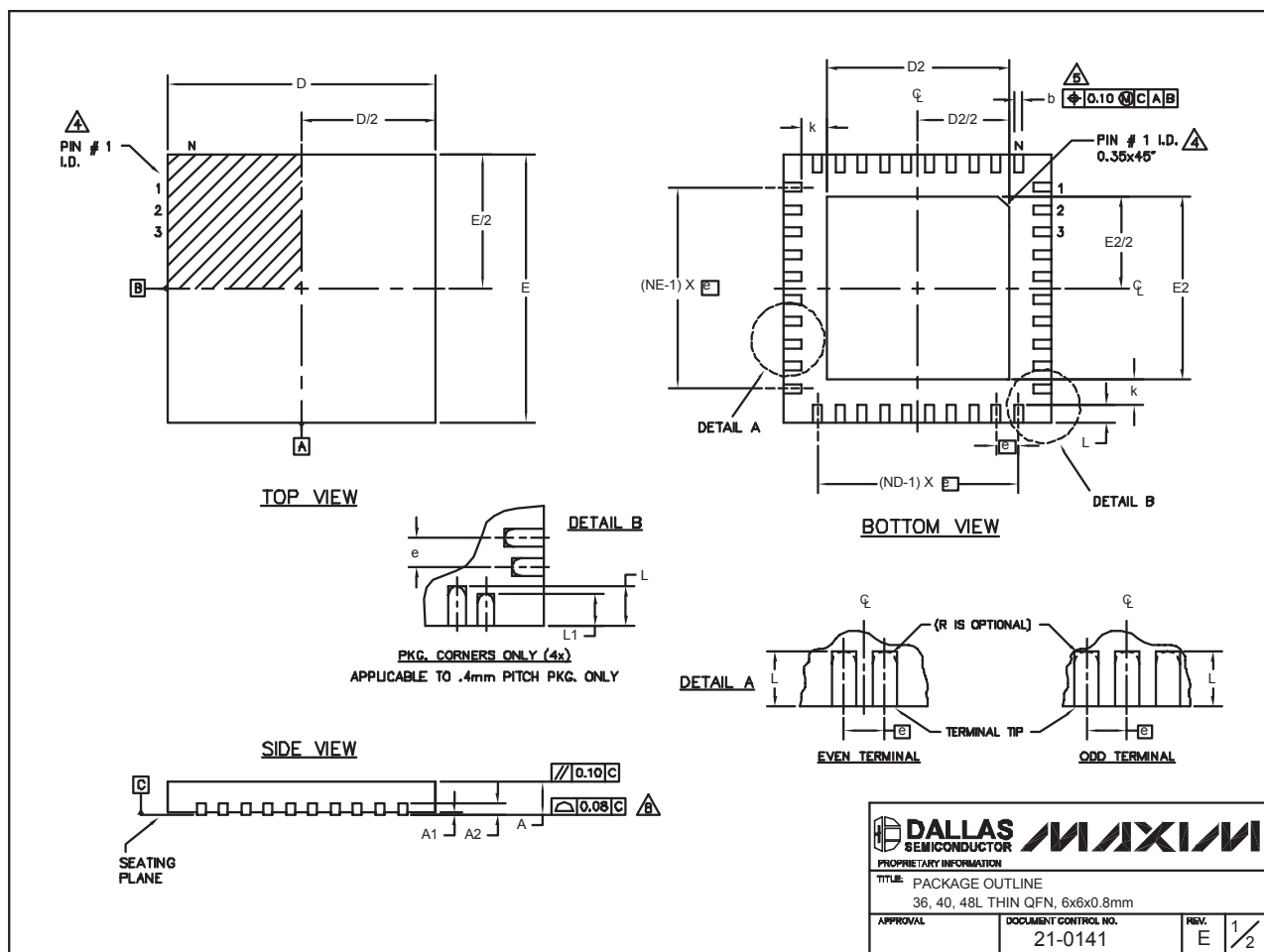


Overload Recovery Time (オーバードライブ回復時間)

オーバードライブ回復時間は、ADCがフルスケールの限界値を超える過渡入力から回復するのに要する時間です。MAX19538では、フルスケールの限界値を $\pm 10\%$ だけ超える過渡入力を使用してオーバードライブ回復時間を規定します。

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



12ビット、95Msps、3.3VのADC

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS									
PKG.	36L 6x6			40L 6x6			48L 6x6		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	—	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	—	—	0.25	—	—	0.25	0.35	0.45
L	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	—	—	—	—	—	—	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			—		

EXPOSED PAD VARIATIONS							DOWN BONDS ALLOWED
PKG. CODES	D2			E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3666-1	3.60	3.70	3.80	3.60	3.70	3.80	NO
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80	YES
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80	NO
T4066-1	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40	YES

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.

△ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.

△ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

△ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.

 DALLAS SEMICONDUCTOR			
PROPRIETARY INFORMATION			
TITLE: PACKAGE OUTLINE 36, 40, 48L THIN QFN, 6x6x0.8mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0141	REV. E	2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

28 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2004 Maxim Integrated Products, Inc. All rights reserved.

MAXIM is a registered trademark of Maxim Integrated Products.